

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7600470号
(P7600470)

(45)発行日 令和6年12月16日(2024.12.16)

(24)登録日 令和6年12月6日(2024.12.6)

(51)国際特許分類 F I
H 0 3 K 19/0175(2006.01) H 0 3 K 19/0175 2 2 0

請求項の数 30 (全45頁)

(21)出願番号	特願2024-527630(P2024-527630)	(73)特許権者	507364838 クアルコム, インコーポレイテッド アメリカ合衆国 カリフォルニア 9 2 1 2 1 サン ディエゴ モアハウス ドライ ブ 5 7 7 5
(86)(22)出願日	令和4年11月1日(2022.11.1)	(74)代理人	100108453 弁理士 村山 靖彦
(65)公表番号	特表2024-544755(P2024-544755 A)	(74)代理人	100163522 弁理士 黒田 晋平
(43)公表日	令和6年12月4日(2024.12.4)	(72)発明者	ウィルソン・ジアンボ・チェン アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ ドライブ・5 7 7 5
(86)国際出願番号	PCT/US2022/048591	(72)発明者	チュウ・グアン・タン アメリカ合衆国・カリフォルニア・9 2 最終頁に続く
(87)国際公開番号	WO2023/086243		
(87)国際公開日	令和5年5月19日(2023.5.19)		
審査請求日	令和6年5月10日(2024.5.10)		
(31)優先権主張番号	17/526,805		
(32)優先日	令和3年11月15日(2021.11.15)		
(33)優先権主張国・地域又は機関	米国(US)		
早期審査対象出願			

(54)【発明の名称】 プルアップトランジスタ及びブルダウントランジスタのダイナミックフルゲートブーストを有する入力/出力(I/O)回路

(57)【特許請求の範囲】

【請求項1】

装置であって、

出力ドライバであって、

第1のpチャネル型金属酸化膜半導体電界効果トランジスタ(PMOS FET)

と、

第1の電圧レールと出力との間で前記第1のPMOS FETと直列に結合された

第2のPMOS FETと、

第1のnチャネル型金属酸化膜半導体電界効果トランジスタ(NMOS FET)

と、

前記出力と第2の電圧レールとの間で前記第1のNMOS FETと直列に結合された第2のNMOS FETと、

を備える、出力ドライバと、

前記第1のPMOS FET及び前記第2のPMOS FETのゲートと、前記第1のNMOS FET及び前記第2のNMOS FETのゲートと、に結合された第1のプリドライバと、

前記第1のPMOS FET及び前記第2のPMOS FETの前記ゲートと、前記第1のNMOS FET及び前記第2のNMOS FETのゲートと、に結合された第2のプリドライバと、

を備える、装置。

10

20

【請求項 2】

前記第 1 のブリドライバが、前記第 1 の P M O S F E T の前記ゲートに結合されたプルアップブリドライバを備える、請求項 1 に記載の装置。

【請求項 3】

前記プルアップブリドライバが、

入力信号を受信するように構成された入力と、前記第 1 の P M O S F E T の前記ゲートに結合された出力と、を含むインバータと、

前記第 1 の電圧レールと第 3 の電圧レールとの間で前記インバータと直列に結合された第 3 の P M O S F E T であって、プルアップゲートブーストイネーブル信号を受信するように構成されている、第 3 の P M O S F E T と、

を備える、請求項 2 に記載の装置。

10

【請求項 4】

前記第 2 のブリドライバが、前記第 1 の P M O S F E T の前記ゲートに結合されたプルアップブリドライバを備える、請求項 1 に記載の装置。

【請求項 5】

前記プルアップブリドライバが、

前記第 1 の電圧レールと前記第 1 の P M O S F E T の前記ゲートとの間に結合された第 3 の N M O S F E T であって、第 1 のバイアス電圧を受け取るように構成されたゲートを含む、第 3 の N M O S F E T と、

ダイオード接続 N M O S F E T と、

第 2 のバイアス電圧を受け取るように構成されたゲートを含む第 4 の N M O S F E T と、

前記第 1 の P M O S F E T の前記ゲートと前記第 2 の電圧レールとの間で前記ダイオード接続 N M O S F E T 及び前記第 4 の N M O S F E T と直列に結合された第 5 の N M O S F E T であって、プルアップゲートブーストイネーブル信号を受信するように構成されたゲートを含む、第 5 の N M O S F E T と、

を備える、請求項 4 に記載の装置。

20

【請求項 6】

前記第 1 のブリドライバが、前記第 2 の P M O S F E T の前記ゲートに結合されたプルアップブリドライバを備える、請求項 1 に記載の装置。

30

【請求項 7】

前記プルアップブリドライバが、バイアス電圧を受け取るように構成されたソースと、プルアップゲートブーストイネーブル信号を受信するように構成されたゲートと、前記第 2 の P M O S F E T の前記ゲートに結合されたドレインと、を含む第 3 の P M O S F E T を備える、請求項 6 に記載の装置。

【請求項 8】

前記第 2 のブリドライバが、前記第 2 の P M O S F E T の前記ゲートに結合されたプルアップブリドライバを備える、請求項 1 に記載の装置。

【請求項 9】

前記プルアップブリドライバが、

前記第 1 の電圧レールと前記第 2 の P M O S F E T の前記ゲートとの間に結合された第 3 の N M O S F E T であって、バイアス電圧を受け取るように構成されたゲートを含む、第 3 の N M O S F E T と、

ダイオード接続 N M O S F E T と、

前記第 2 の P M O S F E T の前記ゲートと前記第 2 の電圧レールとの間で前記ダイオード接続 N M O S F E T と直列に結合された第 4 の N M O S F E T であって、プルアップゲートブーストイネーブル信号を受信するように構成されたゲートを含む、第 4 の N M O S F E T と、

を備える、請求項 8 に記載の装置。

40

【請求項 10】

50

前記第 1 のブリドライバが、前記第 2 の N M O S F E T の前記ゲートに結合されたプルダウンプリドライバを備える、請求項 1 に記載の装置。

【請求項 1 1】

前記プルダウンプリドライバが、

プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートを含む第 3 の N M O S F E T と、

第 3 の電圧レールと前記第 2 の電圧レールとの間で前記第 3 の N M O S F E T と直列に結合されたインバータであって、入力信号を受信するように構成された入力と、前記第 2 の N M O S F E T の前記ゲートに結合された出力と、を含む、インバータと、を備える、請求項 1 0 に記載の装置。

10

【請求項 1 2】

前記第 2 のブリドライバが、前記第 2 の N M O S F E T の前記ゲートに結合されたプルダウンプリドライバを備える、請求項 1 に記載の装置。

【請求項 1 3】

前記プルダウンプリドライバが、

プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートを含む第 3 の P M O S F E T と、

第 1 のバイアス電圧を受け取るように構成されたゲートを含む第 4 の P M O S F E T と、

前記第 1 の電圧レールと前記第 2 の N M O S F E T の前記ゲートとの間に直列に結合されたダイオード接続 P M O S F E T と、

20

第 2 のバイアス電圧を受け取るように構成されたゲートを含む第 4 の P M O S F E T と、

を備える、請求項 1 2 に記載の装置。

【請求項 1 4】

前記第 1 のブリドライバが、前記第 1 の N M O S F E T の前記ゲートに結合されたプルダウンプリドライバを備える、請求項 1 に記載の装置。

【請求項 1 5】

前記プルダウンプリドライバが、バイアス電圧を受け取るように構成されたドレインと、プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートと、前記第 1 の N M O S F E T の前記ゲートに結合されたドレインと、を含む第 3 の N M O S F E T を備える、請求項 1 4 に記載の装置。

30

【請求項 1 6】

前記第 2 のブリドライバが、前記第 1 の N M O S F E T の前記ゲートに結合されたプルダウンプリドライバを備える、請求項 1 に記載の装置。

【請求項 1 7】

前記プルダウンプリドライバが、

プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートを含む第 3 の P M O S F E T と、

前記第 1 の電圧レールと前記第 1 の N M O S F E T の前記ゲートとの間で前記第 3 の P M O S F E T と直列に結合されたダイオード接続 P M O S F E T と、

40

前記第 1 の N M O S F E T の前記ゲートと前記第 2 の電圧レールとの間に結合された第 4 の P M O S F E T であって、バイアス電圧を受け取るように構成されたゲートを含む、第 4 の P M O S F E T と、

を備える、請求項 1 6 に記載の装置。

【請求項 1 8】

前記第 1 のブリドライバ及び前記第 2 のブリドライバに結合されたゲートブースト制御回路を更に備える、請求項 1 に記載の装置。

【請求項 1 9】

前記ゲートブースト制御回路が、プルアップゲートブースト制御回路を備える、請求項

50

18に記載の装置。

【請求項20】

前記プルアップゲートブースト制御回路が、

第1のマルチドメイン論理回路であって、第1の電圧ドメインにおける入力信号及び第2の電圧ドメインにおける相補入力信号をそれぞれ受信するように構成された第1の入力及び第2の入力と、前記第2の電圧ドメインにおけるプルアップゲートブースト開始信号を生成するように構成された第1の出力と、を含む、第1のマルチドメイン論理回路と、

第2のマルチドメイン論理回路であって、前記第1の電圧ドメインにおける相補出力信号及び前記第2の電圧ドメインにおける出力信号をそれぞれ受信するように構成された第3の入力及び第4の入力と、前記第2の電圧ドメインにおけるプルアップゲートブースト終了信号を生成するように構成された第2の出力と、を含む、第2のマルチドメイン論理回路と、

論理ゲートであって、前記プルアップゲートブースト開始信号及び前記プルアップゲート終了信号をそれぞれ受信するように構成された第5の入力及び第6の入力と、前記第2の電圧ドメインにおけるプルアップゲートブーストイネーブル信号を生成するように構成された第3の出力と、を含み、前記第3の出力が、前記第1のプリドライバ及び前記第2のプリドライバに結合されている、論理ゲートと、

を備える、請求項19に記載の装置。

【請求項21】

前記第1のマルチドメイン論理回路が、

前記入力信号を受信するように構成されたゲートを含む第3のNMOS FETと、第3の電圧レールと前記第2の電圧レールとの間で前記第3のNMOS FETと直列に結合されたインバータであって、前記相補入力信号を受信するように構成された入力と、前記プルアップゲートブースト開始信号を生成するように構成された出力と、を含む、インバータと、

を備える、請求項20に記載の装置。

【請求項22】

前記第2のマルチドメイン論理回路が、

前記相補出力信号を受信するように構成されたゲートを含む第3のNMOS FETと、第3の電圧レールと前記第2の電圧レールとの間で前記第3のNMOS FETと直列に結合されたインバータであって、前記入力信号を受信するように構成された入力と、前記プルアップゲートブースト終了信号を生成するように構成された出力と、を含む、インバータと、

を備える、請求項20に記載の装置。

【請求項23】

前記ゲートブースト制御回路が、プルダウングートブースト制御回路を備える、請求項18に記載の装置。

【請求項24】

前記プルダウングートブースト制御回路が、

第1のマルチドメイン論理回路であって、第1の電圧ドメインにおける入力信号及び第2の電圧ドメインにおける相補入力信号をそれぞれ受信するように構成された第1の入力及び第2の入力と、前記第1の電圧ドメインにおけるプルダウングートブースト開始信号を生成するように構成された第1出力と、を含む、第1のマルチドメイン論理回路と、

第2のマルチドメイン論理回路であって、前記第1の電圧ドメインにおける相補出力信号及び前記第2の電圧ドメインにおける出力信号をそれぞれ受信するように構成された第3の入力及び第4の入力と、前記第1の電圧ドメインにおけるプルダウングートブースト終了信号を生成するように構成された第2の出力と、を含む、第2のマルチドメイン論理回路と、

論理ゲートであって、前記プルダウングートブースト開始信号及び前記プルダウングート終了信号をそれぞれ受信するように構成された第5の入力及び第6の入力と、前記第1

10

20

30

40

50

の電圧ドメインにおけるプルダウンゲートブーストイネーブル信号を生成するように構成された第3の出力と、を含み、前記第3の出力が、前記第1のプリドライバ及び前記第2のプリドライバに結合されている、論理ゲートと、

を備える、請求項23に記載の装置。

【請求項25】

前記第1のマルチドメイン論理回路が、

前記入力信号を受信するように構成された入力と、前記プルダウンゲートブースト開始信号を生成するように構成された出力と、を含むインバータと、

前記第1の電圧レールと第3の電圧レールとの間で前記インバータと直列に結合された第3のPMOS FETであって、前記相補入力信号を受信するように構成されたゲートを含む、第3のPMOS FETと、

を備える、請求項24に記載の装置。

【請求項26】

前記第2のマルチドメイン論理回路が、

前記相補出力信号を受信するように構成された入力と、前記プルダウンゲートブースト終了信号を生成するように構成された出力と、を含むインバータと、

前記第1の電圧レールと第3の電圧レールとの間で前記インバータと直列に結合された第3のPMOS FETであって、前記出力信号を受信するように構成されたゲートを含む、第3のPMOS FETと、

を備える、請求項24に記載の装置。

【請求項27】

第1のpチャネル型金属酸化膜半導体電界効果トランジスタ(PMOS FET)のゲートに第1の制御信号を印加することと、

第1の電圧レールと出力との間で前記第1のPMOS FETと直列に結合された第2のPMOS FETのゲートに第2の制御信号を印加することであって、前記出力における出力信号がロー論理状態にあるとき、前記第1の制御信号及び前記第2の制御信号が、ハイ論理電圧にあり、前記出力信号がハイ論理状態にあるとき、前記第1の制御信号及び前記第2の制御信号が、ロー論理電圧にあり、前記出力信号が前記ロー論理状態から前記ハイ論理状態に遷移しているとき、前記第1の制御信号及び前記第2の制御信号が、第1のセットのブースト電圧にある、第2の制御信号を印加することと、

第1のnチャネル型金属酸化膜半導体電界効果トランジスタ(NMOS FET)のゲートに第3の制御信号を印加することと、

前記出力と第2の電圧レールとの間で前記第1のNMOS FETと直列に結合された第2のNMOS FETのゲートに第4の制御信号を印加することであって、前記出力信号が前記ハイ論理状態にあるとき、前記第3の制御信号及び前記第4の制御信号が、ロー論理電圧にあり、前記出力信号が前記ロー論理状態にあるとき、前記第3の制御信号及び前記第4の制御信号が、ハイ論理電圧にあり、前記出力信号が前記ハイ論理状態から前記ロー論理状態に遷移しているとき、前記第3の制御信号及び前記第4の制御信号が、第2のセットのブースト電圧にある、第4の制御信号を印加することと、

を含む、方法。

【請求項28】

入力信号に基づいて前記第1のセットのブースト電圧及び前記第2のセットのブースト電圧を開始することと、

前記出力信号に基づいて前記第1のセットのブースト電圧及び前記第2のセットのブースト電圧を終了することと、

を更に含む、請求項27に記載の方法。

【請求項29】

第1のpチャネル型金属酸化膜半導体電界効果トランジスタ(PMOS FET)のゲートに第1の制御信号を印加するための手段と、

第1の電圧レールと出力との間で前記第1のPMOS FETと直列に結合された第2

10

20

30

40

50

のPMOS FETのゲートに第2の制御信号を印加するための手段であって、前記出力における出力信号がロー論理状態にあるとき、前記第1の制御信号及び前記第2の制御信号が、ハイ論理電圧にあり、前記出力信号がハイ論理状態にあるとき、前記第1の制御信号及び前記第2の制御信号が、ロー論理電圧にあり、前記出力信号が前記ロー論理状態から前記ハイ論理状態に遷移しているとき、前記第1の制御信号及び前記第2の制御信号が、第1のセットのブースト電圧にある、手段と、

第1のnチャンネル型金属酸化膜半導体電界効果トランジスタ(NMOS FET)のゲートに第3の制御信号を印加するための手段と、

前記出力と第2の電圧レールとの間で前記第1のNMOS FETと直列に結合された第2のNMOS FETのゲートに第4の制御信号を印加するための手段であって、前記出力信号が前記ハイ論理状態にあるとき、前記第3の制御信号及び前記第4の制御信号が、ロー論理電圧にあり、前記出力信号が前記ロー論理状態にあるとき、前記第3の制御信号及び前記第4の制御信号が、ハイ論理電圧にあり、前記出力信号が前記ハイ論理状態から前記ロー論理状態に遷移しているとき、前記第3の制御信号及び前記第4の制御信号が、第2のセットのブースト電圧にある、手段と、

を備える、装置。

【請求項30】

無線通信デバイスであって、

少なくとも1つのアンテナと、

前記少なくとも1つのアンテナに結合された送受信機と、

前記送受信機に結合された集積回路(IC)であって、1つ又は複数の入力/出力(I/O)回路を含む、ICと、

を備え、前記I/O回路が、

出力ドライバであって、

第1のpチャンネル型金属酸化膜半導体電界効果トランジスタ(PMOS FET)と、

上側電圧レールと出力との間で前記第1のPMOS FETと直列に結合された第2のPMOS FETと、

第1のnチャンネル型金属酸化膜半導体電界効果トランジスタ(NMOS FET)と、

前記出力と下側電圧レールとの間で前記第1のNMOS FETと直列に結合された第2のNMOS FETと、

を含む、出力ドライバと、

前記第1のPMOS FET及び前記第2のPMOS FETのゲートと、前記第1のNMOS FET及び前記第2のNMOS FETのゲートと、に結合された第1のプリドライバと、

前記第1のPMOS FET及び前記第2のPMOS FETの前記ゲートと、前記第1のNMOS FET及び前記第2のNMOS FETのゲートと、に結合された第2のプリドライバと、

を備える、

無線通信デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本特許出願は、2021年11月15日に出願され、本特許出願の譲受人に譲渡された係属中の米国非仮出願第17/526,805号に対する優先権を主張し、この米国非仮出願は、以下に完全に記載されているかのように、及び全ての適用可能な目的のために、参照により本明細書に明示的に組み込まれる。

【0002】

本開示の態様は、概して、入力/出力(I/O)ドライバに関し、詳細には、プルアップトランジスタ及びプルダウントランジスタの動的フルゲートブーストを伴うI/O回路に関する。

【背景技術】

【0003】

入力/出力(I/O)回路は、典型的には、第1の電圧ドメインにおける入力信号を変換して、第2の電圧ドメインにおける出力信号を生成するために使用される。電圧ドメインは、信号のハイ及びロー論理電圧レベル又は状態の電圧レベルによって定義される。入力/出力(I/O)回路は、第1の電圧ドメインにおける信号を処理するように構成された回路から入力信号を受信していてもよい。入力/出力(I/O)回路は、第2の電圧ドメインにおける信号を処理するように構成された回路に出力信号を供給し得る。電圧レベルシフトは、第2の電圧ドメインが第1の電圧ドメインの少なくとも1つの対応する論理電圧レベルよりも高い少なくとも1つの論理電圧レベルを有する場合、上方であり得る。

10

【発明の概要】

【0004】

以下では、1つ又は複数の実装形態の簡略化された概要が、そのような実装形態の基本的理解をもたらすために提示される。本概要は、企図される全ての実装形態の包括的な概説ではなく、全ての実装形態の主要又は重要な要素を特定することも、いずれか又は全ての実装形態の範囲を定めることも意図しない。その唯一の目的は、後に提示される「発明を実施するための形態」に対する導入部として、1つ又は複数の実装形態のいくつかの構想を簡略化された形式で提示することである。

20

【0005】

本開示のある態様は、装置に関する。本装置は、出力ドライバであって、第1のpチャネル型金属酸化膜半導体電界効果トランジスタ(PMOS FET)と、第1の電圧ルールと出力との間で第1のPMOS FETと直列に結合された第2のPMOS FETと、第1のnチャネル型金属酸化膜半導体電界効果トランジスタ(NMOS FET)と、出力と第2の電圧ルールとの間で第1のNMOS FETと直列に結合された第2のNMOS FETと、を含む、出力ドライバと、第1のPMOS FET及び第2のPMOS FET並びに第1のNMOS FET及び第2のNMOS FETのゲートに結合された第1のプリドライバと、第1のPMOS FET及び第2のPMOS FET並びに第1のNMOS FET及び第2のNMOS FETのゲートに結合された第2のプリドライバと、を含む。

30

【0006】

本開示の別の態様は、方法に関する。本方法は、第1のpチャネル型金属酸化膜半導体電界効果トランジスタ(PMOS FET)のゲートに第1の制御信号を印加することと、第1の電圧ルールと出力との間で第1のPMOS FETと直列に結合された第2のPMOS FETのゲートに第2の制御信号を印加することであって、出力における出力信号がロー論理状態にあるとき、第1の制御信号及び第2の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態にあるとき、第1の制御信号及び第2の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態からハイ論理状態に遷移しているとき、第1の制御信号及び第2の制御信号が、第1のセットのブースト電圧にある、ことと、第1のnチャネル型金属酸化膜半導体電界効果トランジスタ(NMOS FET)のゲートに第3の制御信号を印加することと、出力と第2の電圧ルールとの間で第1のNMOS FETと直列に結合された第2のNMOS FETのゲートに第4の制御信号を印加することであって、出力信号がハイ論理状態にあるとき、第3の制御信号及び第4の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態にあるとき、第3の制御信号及び第4の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態からロー論理状態に遷移しているとき、第3の制御信号及び第4の制御信号が、第2のセットのブースト電圧にある、ことと、を含む。

40

【0007】

本開示の別の態様は、装置に関する。本装置は、第1のpチャネル型金属酸化膜半導体

50

電界効果トランジスタ（PMOS FET）のゲートに第1の制御信号を印加するための手段と、第1の電圧レールと出力との間で第1のPMOS FETと直列に結合された第2のPMOS FETのゲートに第2の制御信号を印加するための手段であって、出力における出力信号がロー論理状態にあるとき、第1の制御信号及び第2の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態にあるとき、第1の制御信号及び第2の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態からハイ論理状態に遷移しているとき、第1の制御信号及び第2の制御信号が、第1のセットのブースト電圧にある、手段と、第1のnチャネル型金属酸化膜半導体電界効果トランジスタ（NMOS FET）のゲートに第3の制御信号を印加するための手段と、出力と第2の電圧レールとの間で第1のNMOS FETと直列に結合された第2のNMOS FETのゲートに第4の制御信号を印加するための手段であって、出力信号がハイ論理状態にあるとき、第3の制御信号及び第4の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態にあるとき、第3の制御信号及び第4の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態からロー論理状態に遷移しているとき、第3の制御信号及び第4の制御信号が、第2のセットのブースト電圧にある、手段と、を備える。

【0008】

本開示の別の態様は、無線通信デバイスに関する。無線通信デバイスは、少なくとも1つのアンテナと、少なくとも1つのアンテナに結合された送受信機と、送受信機に結合された集積回路（IC）であって、1つ又は複数の入力/出力（I/O）回路を含む、ICと、を含み、1つ又は複数のI/O回路のうちの少なくとも1つは、出力ドライバであって、第1のpチャネル型金属酸化膜半導体電界効果トランジスタ（PMOS FET）と、上側電圧レールと出力との間で第1のPMOS FETと直列に結合された第2のPMOS FETと、第1のnチャネル型金属酸化膜半導体電界効果トランジスタ（NMOS FET）と、出力と下側電圧レールとの間で第1のNMOS FETと直列に結合された第2のNMOS FETと、を含む、出力ドライバと、第1のPMOS FET及び第2のPMOS FET並びに第1のNMOS FET及び第2のNMOS FETのゲートに結合された第1のプリドライバと、第1のPMOS FET及び第2のPMOS FET並びに第1のNMOS FET及び第2のNMOS FETのゲートに結合された第2のプリドライバと、を含む、無線通信デバイス。

【0009】

上記の目的及び関係する目的の達成のために、1つ又は複数の実装形態が、以下で十分に説明されると共に特に特許請求の範囲において指摘される特徴を含む。以下の説明及び添付の図面は、1つ又は複数の実装形態のいくつかの例示的な態様を詳細に示している。しかしながら、これらの態様は、様々な実装形態の原理が採用されることがある様々な方法のうちの少数の方法のみを示しており、記載される実装形態は、そのような全ての態様及びそれらの均等物を含むものとする。

【図面の簡単な説明】

【0010】

【図1A】本開示の一態様にかかる、例示的な入力/出力（I/O）ドライバの概略図を示す。

【図1B】本開示の別の態様にかかる、図1AのI/Oドライバの動作に関連する例示的な信号のタイミング図を示す。

【図2A】本開示の別の態様にかかる、例示的な入力/出力（I/O）回路のブロック/概略図を示す。

【図2B】本開示の別の態様にかかる、図2AのI/O回路の動作に関連する例示的な信号のタイミング図を示す。

【図3A】本開示の別の態様にかかる、別の例示的な入力/出力（I/O）回路の概略図を示す。

【図3B】本開示の別の態様にかかる、図3AのI/O回路の動作に関連する例示的な信号のタイミング図を示す。

【図 4】本開示の別の態様にかかる、例示的なプルダウンゲートブースト制御回路のブロック図を示す。

【図 5】本開示の別の態様にかかる、図 4 のプルダウンゲートブースト制御回路の例示的なマルチドメイン論理回路の概略図を示す。

【図 6】本開示の別の態様にかかる、例示的なプルアップゲートブースト制御回路のブロック図を示す。

【図 7】本開示の別の態様にかかる、図 6 のプルアップゲートブースト制御回路の例示的なマルチドメイン論理回路の概略図を示す。

【図 8】本開示の別の態様にかかる、例示的な第 1 のプルアッププリドライバの概略図を示す。

10

【図 9】本開示の別の態様にかかる、例示的な第 2 のプルアッププリドライバの概略図を示す。

【図 10】本開示の別の態様にかかる、例示的な第 1 のプルダウンプリドライバの概略図を示す。

【図 11】本開示の別の態様にかかる、例示的な第 2 のプルダウンプリドライバの概略図を示す。

【図 12】本開示の別の態様にかかる、出力信号を生成するために入力信号を電圧レベルシフトする例示的な方法のフロー図を示す。

【図 13】本開示の別の態様にかかる、例示的な無線通信デバイスのブロック図を示す。

【発明を実施するための形態】

20

【0011】

添付図面に関連して、以下に記載される「発明を実施するための形態」は、様々な構成の説明として意図されているものであり、本明細書で説明される構想を実践することができる、唯一の構成を表すことを意図するものではない。「発明を実施するための形態」は、様々な構想の完全な理解をもたらすことを目的とする、具体的な詳細を含む。しかしながら、当業者には、これらの具体的な詳細を伴わずとも、これらの構想を実践することができる点が明らかとなるであろう。場合によっては、そのような構想を不明瞭にすることを回避するために、周知の構造及び構成要素は、ブロック図の形式で示されている。

【0012】

図 1A は、本開示の一態様にかかる、例示的な入力/出力 (I/O) ドライバ 100 の概略図を示す。I/O ドライバ 100 は、例えば、集積回路 (IC) 又はシステムオンチップ (SOC) のコア回路から入力信号 V_{IN} を受信するように構成されている。入力信号 V_{IN} は、第 1 の電圧ドメイン又はコア電圧ドメインにしたがって、ハイ論理電圧 (例えば、1.1V) とロー論理電圧 (例えば、0.5V) との間で変動し得る。

30

【0013】

入力信号 V_{IN} のハイ論理電圧及びロー論理電圧にตอบสนองして、I/O ドライバ 100 は、それぞれ、第 2 の電圧ドメイン又は PX 電圧ドメインに従ってハイ論理電圧 (例えば、1.8V) とロー論理電圧 (例えば、0V) との間で変動する出力信号 V_{OUT} を出力 (例えば、正方形内の X として表される I/O パッド) において生成する。以下でより詳細に説明するように、PX 電圧ドメインのハイ論理電圧及びロー論理電圧は、実質的に、(第 1 の電圧レールに印加される) 電源電圧 V_{DDPX} と (第 2 の電圧レールに印加される) 電源電圧 V_{SSX} との間で変動し得る。I/O ドライバ 100 は、出力と第 2 の電圧レール V_{SSX} との間に結合された負荷に出力信号 V_{OUT} を提供する。負荷は、キャパシタンス C_{LOAD} を有してもよい。本明細書で使用される場合、電圧レール及び電圧レールに与えられる供給電圧は、説明を容易にするために同じ標示によって参照され得る。同様に、ノード及びノードにおける電圧は、説明を容易にするために同じ標示によって参照され得る。

40

【0014】

この例では、I/O ドライバ 100 は、第 1 の電圧レール V_{DDPX} と出力 V_{OUT} との間に位置するプルアップ回路を含む。プルアップ回路は、第 1 の電圧レール V_{DDPX} を

50

出力 V_{OUT} に結合して、出力信号 V_{OUT} を、実質的に第1のレール電圧（例えば、1.8V）における供給電圧 V_{DDPX} などのハイ論理電圧に遷移させ、そこで安定させるように構成されている。プルアップ回路はまた、第1の電圧レール V_{DDPX} を出力 V_{OUT} から分離するか又は切り離して、出力信号 V_{OUT} が、第2のレール電圧（例えば、0V又は接地）における実質的に V_{SSX} などのロー論理電圧に遷移し、そこで安定することを可能にするように構成されている。この例では、プルアップ回路は、一对のpチャネル金属酸化物半導体（PMOS）電界効果トランジスタ（FETs）（以下、「PMOS FETs」） M_{11} 及び M_{12} 、抵抗 R_P を含む。PMOS FET M_{11} は、出力 V_{OUT} を第1のレール電圧 V_{DDPX} へ、及び第1のレール電圧 V_{DDPX} からそれぞれ結合及び分離するため、PMOS FET M_{11} をオン/オフするための制御信号 V_{PCTL_HV} に
10

【0015】

プルアップ回路のPMOS FET M_{12} は、 $V_{DDPX}/2$ （例えば、0.9V）に設定され得る、実質的に一定のゲート電圧 V_{PBias} でバイアスされ得る。このように構成されているので、PMOS FET M_{12} は、PMOS FET M_{11} のオン及びオフにそれぞれ応答してオン及びオフになる。例えば、制御信号 V_{PCTL_HV} が $V_{DDPX}/2$ （例えば、0.9V）などの実質的にロー論理電圧であるとき、PMOS FET M_{11} は、そのゲート-ソース電圧（ V_{GS} ）（例えば、 $1.8V - 0.9V = 0.9V$ ）がその閾値電圧 V_T （例えば、0.4V）よりも大きいのでオンになる。PMOS FET M_{11} がオンになることにより、実質的に V_{DDPX} がPMOS FET M_{12} のソース
20

に印加される。したがって、PMOS FET M_{12} は、その V_{GS} （例えば、 $1.8V - 0.9V = 0.9V$ ）がその閾値電圧 V_T （例えば、0.4V）よりも大きいのでオンになる。両方のPMOS FET M_{11} 及び M_{12} がオンになると、 V_{DDPX} が、抵抗 R_P を介してI/Oドライバ100の出力 V_{OUT} に実質的に印加され、それによって、出力信号 V_{OUT} が、 V_{DDPX} （例えば、約1.8V）に遷移し、そこで実質的に安定する。抵抗 R_P は、PMOS FET M_{11} 及び M_{12} を流れる電流を制限して、これらのデバイスの過度の応力又は損傷を防止する。

【0016】

同様に、制御信号 V_{PCTL_HV} が、実質的に V_{DDPX} （例えば、1.8V）などのハイ論理電圧にあるとき、PMOS FET M_{11} は、その V_{GS} （例えば、 $1.8V - 1.8V = 0V$ ）がその閾値電圧 V_T （例えば、0.4V）未満であるのでオフになる。PMOS FET M_{11} がオフになると、 V_{DDPX} がPMOS FET M_{12} のソースから分離されて、PMOS FET M_{12} のソースにおける電圧を減少させ、 V_{PBias} を上回る閾値電圧未満の電圧 V_{PI} で安定させる（例えば、 $< 1.3V$ ）。したがって、PMOS FET M_{12} は、その V_{GS} がその閾値電圧 V_T を超えないのでオフになる。PMOS FET M_{11} 及び M_{12} の両方がオフになると、出力 V_{OUT} は、 V_{DDPX} から実質的に分離され、I/Oドライバ100のプルダウン回路が出力信号 V_{OUT} をプルダウンすることを可能にし、その結果、出力信号は実質的に V_{SSX} （例えば、0V）に遷移し安定する。
30

【0017】

出力信号 V_{OUT} が実質的に V_{SSX} であるとき、PMOS FET M_{12} は、 V_{DDPX} と V_{SSX} との間の全電圧差がPMOS FET M_{11} の両端間に印加されるのを防止し、それによって、デバイス M_{11} への過度の応力又は損傷を防止する。代わりに、電圧差（ $V_{DDPX} - V_{SSX}$ ）は、PMOS FET M_{11} 及び M_{12} の両方にわたって、おそらく不均等ではあるが分割される。したがって、PMOS FET M_{12} は、PMOS FET M_{11} のためのバッファデバイスとして働く。
40

【0018】

I/Oドライバ100は、出力 V_{OUT} と第2の電圧レール V_{SSX} との間に位置するプルダウン回路を更に含む。プルダウン回路は、出力 V_{OUT} を第2の電圧レール V_{SSX} に結合して、出力信号 V_{OUT} をロー論理電圧、例えば、実質的に定常状態の第2のレール電
50

圧 V_{SSX} (例えば、 $0V$ 又は接地) に遷移させ安定させるように構成されている。プルダウン回路はまた、出力 V_{OUT} を第2の電圧レール V_{SSX} から分離するか又は切り離して、出力信号 V_{OUT} をハイ論理電圧、例えば、実質的に第1のレール電圧 V_{DDPX} に遷移し、そこで安定するように構成されている。この例では、プルダウン回路は、一対の n チャネル MOS FET (以下、「NMOS FET」) M_{13} 及び M_{14} 並びに抵抗 R_N を含む。NMOS M_{14} は、出力 V_{OUT} をそれぞれ第2の電圧レール V_{SSX} に結合し、第2の電圧レール V_{SSX} から分離するため、制御信号として、NMOS FET M_{14} をオン及びオフにするための制御信号 V_{NCTL_LV} に応答する。

【0019】

プルダウン回路の NMOS FET M_{13} は、 $V_{DDPX}/2$ (例えば、 $0.9V$) に設定され得る、実質的に一定のゲート電圧 V_{NBias} でバイアスされ得る。このように構成されているので、NMOS FET M_{13} は、NMOS FET M_{14} のオン及びオフにそれぞれ応答してオン及びオフになる。例えば、制御信号 V_{NCTL_LV} が、ハイ論理電圧、例えば、 $V_{DDPX}/2$ (例えば、 $0.9V$) にあるとき、NMOS FET M_{14} は、その V_{GS} (例えば、 $0.9V - 0V = 0.9V$) がその閾値電圧 V_T (例えば、 $0.4V$) よりも大きいためにオンになる。NMOS FET M_{14} がオンになると、 V_{SSX} が実質的に NMOS FET M_{13} のソースに印加される。それに応答して、NMOS FET M_{13} は、その V_{GS} (例えば、 $0.9V - 0V = 0.9V$) がその閾値電圧 V_T (例えば、 $0.4V$) よりも大きいのでオンになる。両方の NMOS FET M_{13} 及び M_{14} がオンになると、 V_{SSX} が抵抗 R_N を介して実質的に出力 V_{OUT} に印加され、その結果、出力信号 V_{OUT} が実質的に第2のレール電圧 V_{SSX} (例えば、 $0V$) に遷移し、そこで安定する。抵抗 R_N は、デバイス M_{13} 及び M_{14} を流れる電流を制限して、デバイスへの過度の応力又は損傷を防止する。

【0020】

同様に、制御信号 V_{NCTL_LV} が、ロー論理電圧、例えば、 V_{SSX} (例えば、 $0V$) にあるとき、NMOS FET M_{14} は、その V_{GS} (例えば、 $0V - 0V = 0V$) がその閾値電圧 V_T (例えば、 $0.4V$) 未満であるのでオフになる。デバイス NMOS FET M_{14} がオフになると、 V_{SSX} が NMOS FET M_{13} のソースから分離されて、NMOS FET M_{13} のソースを減少させ、 V_{NBias} を下回る閾値電圧未満に安定させる (例えば、 $> 0.7V$)。したがって、NMOS FET M_{13} は、その V_{GS} がその閾値電圧 V_T を超えないのでオフになる。NMOS FET M_{13} 及び M_{14} の両方がオフになると、出力 V_{OUT} が第2の電圧レール V_{SSX} から切り離される。それにより、プルアップ回路が、出力信号 V_{OUT} を、実質的に第1のレール電圧 V_{DDPX} (例えば、 $1.8V$) などのハイ論理電圧に遷移させ、ハイ論理電圧に安定させることを可能にする。

【0021】

出力信号 V_{OUT} が V_{DDPX} であるとき、NMOS FET M_{13} は、 V_{DDPX} と V_{SSX} との間の全電圧差が NMOS FET M_{14} の両端間に印加されるのを防止し、それによって、デバイス M_{14} への過度の応力印加又は損傷を防止する。代わりに、電圧差 ($V_{DDPX} - V_{SSX}$) は、NMOS FET M_{13} 及び M_{14} の両方にわたって、おそらく不均等ではあるが分割される。したがって、NMOS FET M_{13} は、NMOS FET M_{14} のためのバッファデバイスとして働く。

【0022】

なお、出力信号 V_{OUT} 、制御信号 V_{PCTL_HV} 、及び制御信号 V_{NCTL_LV} のそれぞれの論理電圧は、異なる電圧ドメインにある。例えば、 V_{OUT} 電圧ドメインに関係するハイ論理電圧及びロー論理電圧は、実質的に V_{DDPX} (例えば、 $1.8V$) と V_{SSX} (例えば、 $0V$) との間で変化する (本明細書では PX 電圧ドメインと呼ばれることがある)。 V_{PCTL_HV} 電圧ドメインに関連するハイ論理電圧及びロー論理電圧は、実質的に V_{DDPX} (例えば、 $1.8V$) と V_{SSIX} (例えば、 $0.9V$) との間で変動する (本明細書では HV 電圧ドメインと呼ばれることがある)。また、 V_{NCTL_LV} 電圧

10

20

30

40

50

ドメインに係るハイ論理電圧及びロー論理電圧は、実質的にVDDIX（例えば、0.9V）とVSSX（例えば、0V）との間で変動する（本明細書ではLV電圧ドメインと呼ばれることがある）。

【0023】

図1Bは、本開示の別の態様にかかる、例示的なI/Oドライバ100の動作に関連する例示的な信号のタイミング図を示す。タイミング図の横軸は、時間を表し、以下の4つの状態又は期間に分割される：(1)タイミング図の最左列及び最右列に示される、出力信号VOUTが定常状態ハイ論理電圧VDDPXにあるとき；(2)左から2番目の列に示される、出力信号VOUTがハイ論理電圧VDDPXからロー論理電圧VSSXに遷移しているとき；(3)左から3番目の列に示される、出力信号VOUTが定常状態のロー論理電圧VSSXにあるとき、(4)左から4番目の列に示される、出力信号VOUTがロー論理電圧VSSXからハイ論理電圧VDDPXに遷移しているとき。

10

【0024】

タイミング図の縦軸は、I/Oドライバ100の様々な信号を表す。例えば、上から下へ、信号は以下の通りである：(1)PMOS FET M11の制御信号VPCTL_HV；(2)PMOS FET M12のゲートバイアス電圧VPBIAS；(3)PMOS FET M12のソースにおける電圧VPI；(4)I/Oドライバ100の出力信号VOUT；(5)NMOS FET M13のゲートバイアス電圧VNBIAS；(6)NMOS FET M13のソースにおける電圧VNI；及び(7)NMOS FET M14の制御信号VNCTL_LV。

20

【0025】

動作において、タイミング図の最左列に示されるように、出力信号VOUTが定常状態ハイ論理電圧VDDPXである状態又は期間の間、制御信号VPCTL_HVは、ロー論理電圧VSSIX（例えば、0.9V）であり、ゲートバイアス電圧VPBIASは、両方のPMOS FET M11及びM12をそれぞれオンにするために、一定のVDDPX/2電圧（例えば、0.9V）である。PMOS FET M11及びM12の両方がオンになることは、VDDPXを出力VOUTに実質的に印加することをもたらし、それによって、出力信号VOUTをハイ論理電圧VDDPX（例えば、1.8V）で安定して維持する。また、PMOS FET M12のソースにおける電圧VPIは、実質的にVDDPX（例えば、1.8V）である。更に、この状態又は期間の間、制御信号VNCTL_LVは、NMOS FET M14をオフにするためにロー論理電圧VSSX（例えば、0V）にある。NMOS FET M13のゲートバイアス電圧VNBIASは、一定のVDDPX/2電圧（例えば、0.9V）である。NMOS FET M14がオフになると、NMOS FET M13のソースにおける電圧VNIは、VNBIASを下回る閾値電圧未満、例えば、 $> V_{NBIAS} - V_T$ （例えば、 $> 0.5V$ ）で安定する。したがって、NMOS FET M13及びM14の両方がオフにされて、出力VOUTをVSSXから分離する又は切り離す。

30

【0026】

左から2番目の列に示されるように、出力信号VOUTがハイ論理電圧VDDPXからロー論理電圧VSSXに遷移している状態又は期間の間、PMOS FET M11のための制御信号VPCTL_HVは、ハイ論理電圧VDDPX（例えば、1.8V）まで上昇してPMOS FET M11をオフにする。PMOS FET M12のゲートバイアス電圧VPBIASは、一定のVDDPX/2（例えば、0.9V）のままである。したがって、PMOS FET M12のソースにおける電圧VPIは、減少し、VPBIASを上回る閾値電圧未満、例えば、 $< V_{PBIAS} + V_T$ （例えば、 $< 1.3V$ ）に安定する。したがって、PMOS FET M11及びM12の両方がオフにされて、出力VOUTをVDDPXから分離する又は切り離す。また、この状態又は期間の間、制御信号VNCTL_LVは、NMOS FET M14をオンにするためにハイ論理電圧VDDIX（例えば、0.9V）に上昇される。NMOS FET M14のオンは、NMOS FET M13のソースにおける電圧VNIを実質的にVSSX（例えば、0V）まで低下させる。NMOS FET M13のゲートバイアス電圧VNBIASは、VDDPX/2（例えば、0.9V）のまま

40

50

である。したがって、NMOS FET M_{13} のゲート-ソース間電圧 V_{GS} は、その閾値電圧 V_T よりも大きくなり、それによって、NMOS FET M_{13} がオンになる。両方のNMOS FET M_{13} 及び M_{14} がオンになると、出力信号 V_{OUT} は、 V_{SSX} (例えば、 $0V$)に遷移し、実質的にそこで安定する。

【0027】

電圧が遷移すると、左から3番目の列に示されるように、出力信号 V_{OUT} が実質的に V_{SSX} である状態又は期間の間、電圧は実質的に一定のままである。すなわち、制御信号 V_{PCTL_HV} はハイ論理電圧 V_{DDPX} であり、バイアス電圧 V_{PBias} は $V_{DDPX}/2$ であり、デバイス M_{11} 及び M_{12} をオフに維持して、出力 V_{OUT} を第1の電圧レール(V_{DDPX})から分離する又は切り離す。PMOS FET M_{12} のソースにおける電圧 V_{PI} は、 V_{PBias} を上回る閾値電圧 V_T 未満で実質的に一定のままである(例えば、 $<1.3V$)。制御信号 V_{NCTL_LV} はハイ論理電圧 V_{DDIX} にあり、バイアス電圧 V_{NBias} は定数 $V_{DDPX}/2$ であり、デバイス M_{14} 及び M_{13} の両方をオンに維持して、出力信号 V_{OUT} をロー論理電圧 V_{SSX} にする。両方のデバイス M_{13} 及び M_{14} がオンになると、NMOS FET M_{13} のソースにおける電圧 V_{NI} が V_{SSX} (例えば、 $0V$)になる。

【0028】

左から4番目の列に示されるように、出力信号 V_{OUT} がロー論理電圧 V_{SSX} からハイ論理電圧 V_{DDPX} に遷移している状態又は期間の間、PMOS FET M_{11} のための制御信号 V_{PCTL_HV} は、PMOS FET M_{11} をオンにするためにロー論理電圧 V_{SSIX} (例えば、 $0.9V$)に引き下げられる。PMOS FET M_{12} のゲートバイアス電圧 V_{PBias} は、一定の $V_{DDPX}/2$ (例えば、 $0.9V$)のままである。したがって、PMOS FET M_{11} 及び M_{12} の両方がオンになる。したがって、PMOS FET M_{12} のソースにおける電圧 V_{PI} 並びに出力信号 V_{OUT} は、ハイ論理電圧 V_{DDPX} (例えば、 $1.8V$)に遷移する。また、この状態又は期間の間、制御信号 V_{NCTL_LV} は、NMOS FET M_{14} をオフにするためにロー論理電圧 V_{SSX} (例えば、 $0V$)に引き下げられる。NMOS FET M_{13} のゲートバイアス電圧 V_{NBias} は、一定の $V_{DDPX}/2$ (例えば、 $0.9V$)のままである。したがって、NMOS FET M_{13} のソースにおける電圧 V_{NI} は、 V_{NBias} を下回る閾値電圧を超えて、例えば $>0.5V$ まで増加する。したがって、NMOS FET M_{13} のゲート-ソース電圧 V_{GS} は、その閾値電圧 V_T を超えず、それによって、NMOS FET M_{13} をオフにする。オフにされているNMOS FET M_{13} 及び M_{14} の両方は、出力信号 V_{OUT} を V_{SSX} (例えば、 $0V$)から分離する又は切り離す。いったん電圧が遷移すると、一番右の列に示されるように、出力信号 V_{OUT} がハイ論理電圧 V_{DDPX} である状態又は期間の間、電圧は実質的に一定のままである。

【0029】

I/Oドライバ100にはいくつかの問題がある。例えば、デバイス M_{11} 、 M_{12} 、 M_{14} 、及び M_{13} が、(例えば、IC又はSOC中の全ての他の非I/Oデバイス(例えば、コアデバイス)に同じ技術ノードを使用するために)ある技術ノードに従って製造される場合、これらのデバイスの任意の端子(V_{GS} 、 V_{GD} 、及び V_{DS})にわたる最大信頼性電圧は、約 $1.3V$ であり得る。デバイスが $1.3V$ の信頼限界を超える電圧に長時間(例えば、数ピコ秒(ps)以上)さらされる場合、これらのデバイスに回復可能な又は回復不能な損傷が生じる可能性がある。そのような損傷は、負バイアス温度不安定性(NBTI)又はホットキャリア注入(HCI)に起因し得る。その結果、デバイスの性能及び機能が低下するか、又は完全に故障する可能性がある。

【0030】

再び図1Bを参照すると、タイミング図の最左列及び最右列に示されるように、出力信号 V_{OUT} がハイ論理電圧 V_{DDPX} であるとき、NMOS FET M_{13} のドレインにおける電圧は、実質的に V_{DDPX} (例えば、 $1.8V$)であり、NMOS FET M_{13} のソースにおける電圧は、 $0.5V$ である。したがって、NMOS FET M_{13} のド

10

20

30

40

50

レインとソースとの間の電圧差（例えば、 V_{DS} ）は1.3Vである。先に説明したように、NMOS FET M_{13} の両端間のこの1.3Vの電圧差は、このデバイスが特定の実装形態に従って製造される場合、1.3Vの信頼性限界をほぼ超える。

【0031】

更に、左から2番目の列に示されるように、出力信号 V_{OUT} が V_{DDPX} から V_{SSX} に遷移している状態又は期間の間、NMOS FET M_{13} のソースにおける電圧 V_{NI} は、概してI/Oドライバ100の出力 V_{OUT} に存在するより大きい容量性負荷 C_{LOAD} に起因して、出力信号 V_{OUT} が1.8Vから0Vに低下するよりもはるかに速い速度で0.5Vから0Vに低下する。結果として、NMOS FET M_{13} のドレインとソースとの間の電圧差 V_{DS} は、 V_{DDPX} から V_{SSX} への出力信号 V_{OUT} の遷移中に約1.5Vまで増加し得、デバイスが特定の実装形態に従って製造される場合、再び1.3Vの信頼性限界を超える場合がある。

10

【0032】

同様に、左から3番目の列に示されるように、出力信号 V_{OUT} がロー論理電圧 V_{SSX} であるとき、PMOS FET M_{12} のドレインにおける電圧は実質的に V_{SSX} （例えば、0V）であり、PMOS FET M_{12} のソースにおける電圧は1.3Vである。したがって、PMOS FET M_{12} のドレインとソースとの間の電圧差（例えば、 V_{DS} ）は1.3Vである。前述したように、PMOS FET M_{12} の両端間のこの1.3Vの電圧差は、このデバイスが特定の実装形態に従って製造された場合、1.3Vの信頼性限界をほぼ超える。

20

【0033】

また、同様に、左から4番目の列に示されるように、出力信号 V_{OUT} が V_{SSX} から V_{DDPX} に遷移している状態又は期間の間、PMOS FET M_{12} のソースにおける電圧 V_{PI} は、概してI/Oドライバ100の出力 V_{OUT} に存在するより大きい容量性負荷 C_{LOAD} に起因して、出力信号 V_{OUT} が1.3Vから1.8Vに増加するよりもはるかに速い速度で、0Vから1.8Vに増加する。その結果、PMOS FET M_{12} のドレインとソースとの間の電圧差 V_{DS} は、 V_{SSX} から V_{DDPX} への出力信号 V_{OUT} の遷移中に約1.5Vまで増加し、デバイスが特定の実装形態に従って製造された場合、再び1.3Vの信頼性限界を超える。抵抗 R_P 及び R_N は、PMOS FET M_{12} 及びNMOS FET M_{13} の V_{DS} のオーバーシュートの一部を吸収するために設けられている。しかしながら、抵抗 R_P 及び R_N は、かなりのICフットプリントを占有し、不要な電磁（EM）エネルギーを生成するので、望ましくない場合がある。

30

【0034】

図2Aは、本開示の別の態様にかかる、入力/出力（I/O）回路200の概略図を示す。I/O回路200とI/Oドライバ100との間の差異の1つは、PMOS FET M_{12} 及びNMOS FET M_{13} に印加されるゲート電圧が一定ではなく、出力信号 V_{OUT} のハイ論理電圧からロー論理電圧への遷移中及びロー論理電圧からハイ論理電圧への遷移中にそれぞれ変化するか又はブーストされることである。これは、出力信号 V_{OUT} の遷移中に、バッファデバイス M_{12} 及び M_{13} の両端間の最大電圧を、それらの信頼性限界未滿にそれぞれ低下させるために行われる。更に、I/O回路200は、 M_{12} 及び M_{13} のソースにバイアス電圧を印加して、出力信号 V_{OUT} が定常状態のハイ論理電圧及びロー論理電圧にそれぞれあるときに、そのようなデバイスの過電圧を防止する。

40

【0035】

概要として、I/O回路200は、例えば、IC又はSOCのコア回路から入力電圧 V_{IN} を受け取るように構成されている。入力電圧 V_{IN} は、第1の（例えば、コア）電圧ドメインに従ってハイ論理電圧とロー論理電圧との間で変動し得る。入力電圧 V_{IN} のハイ電圧及びロー電圧にตอบสนองして、I/O回路200は、それぞれ、第2の（例えば、PX）電圧ドメインに従ってハイ論理電圧とロー論理電圧との間で変動する出力信号 V_{OUT} を生成する。第2の電圧ドメインのハイ論理電圧及びロー論理電圧は、 V_{DDPX} 及び V_{SSX} と実質的に一致し得る。I/O回路200は、キャパシタンス C_{LOAD} を有する負荷に

50

出力信号 V_{OUT} を供給する。

【0036】

より具体的には、I/O回路200は、第1の電圧レール V_{DDPX} とI/O回路200の出力 V_{OUT} との間に直列に結合されたPMOS FET M_{21} 及び M_{22} を含むプルアップ回路を含む出力ドライバを含む。同様に、出力ドライバは、出力 V_{OUT} と第2の電圧レール V_{SSX} との間に直列に結合されたNMOS FET M_{23} 及び M_{24} を含むプルダウン回路を含む。

【0037】

I/O回路200は、入力信号 V_{IN} に応答して制御信号 V_{PCTL_HV} を生成するように構成された第1のPMOSプリドライバ210を更に含む。前述したように、 V_{PCTL_HV} のHV電圧ドメインは、ロー論理電圧 V_{SSIX} (例えば、 $V_{DDPX}/2$) とハイ論理電圧 V_{DDPX} との間で変化する。I/O回路200は、入力信号 V_{IN} に応答して制御信号 V_{LV} を生成するように構成された第2のPMOSプリドライバ211を更に含む。 V_{LV} のLV電圧ドメインは、ロー論理電圧 V_{SSX} とハイ論理電圧 V_{DDIX} との間で変化する。したがって、入力電圧 V_{IN} が低いとき、 V_{PCTL_HV} は V_{DDPX} にあり、 V_{LV} は V_{DDIX} にある。入力電圧 V_{IN} が高いとき、 V_{PCTL_HV} は V_{SSIX} にあり、 V_{LV} は V_{SSX} にある。

【0038】

同様に、I/O回路200は、入力信号 V_{IN} に応答して制御信号 V_{NCTL_LV} を生成するように構成された第1のNMOSプリドライバ220を更に含む。 V_{NCTL_LV} のLV電圧ドメインは、ロー論理電圧 V_{SSX} とハイ論理電圧 V_{DDIX} との間で変化する。I/O回路200は、入力信号 V_{IN} に応答して制御信号 V_{HV} を生成するように構成された第2のNMOSプリドライバ221を更に含む。 V_{HV} のHV電圧ドメインは、ロー論理電圧 V_{SSIX} とハイ論理電圧 V_{DDPX} との間で変化する。したがって、入力電圧 V_{IN} が低いとき、 V_{NCTL_LV} は V_{DDIX} にあり、 V_{HV} は V_{DDPX} にある。入力電圧 V_{IN} が高いとき、 V_{NCTL_LV} は V_{SSX} にあり、 V_{NCTL_HV} は V_{SSIX} にある。

【0039】

第1のPMOSプリドライバ210によって生成された制御信号 V_{PCTL_HV} は、PMOS FET M_{21} のゲート及び V_{PI} 電圧発生器214に印加される。第2のPMOSプリドライバ211によって生成された制御信号 V_{LV} は、 V_{PCTL_LV} プリドライバ212に印加される。同様に、第1のNMOSプリドライバ220によって生成された制御信号 V_{NCTL_LV} は、NMOS FET M_{24} のゲート及び V_{NI} 電圧発生器224に印加される。第2のNMOSプリドライバ221によって生成された制御信号 V_{HV} は、 V_{NCTL_HV} プリドライバ222に印加される。 V_{PCTL_LV} プリドライバ212は、 V_{LV} 及び V_{OUT} に基づいて制御信号 V_{PCTL_LV} を生成するように構成されている。制御信号 V_{PCTL_LV} は、PMOS FET M_{22} のゲートに印加される。同様に、 V_{NCTL_HV} プリドライバ222は、 V_{HV} 及び V_{OUT} に基づいて制御信号 V_{NCTL_HV} を生成するように構成されている。制御信号 V_{NCTL_HV} は、NMOS FET M_{23} のゲートに印加される。

【0040】

V_{PI} 電圧発生器214は、 V_{PCTL_HV} 及び V_{OUT} に基づいて電圧 V_{PI} を生成するように構成されている。電圧 V_{PI} は、PMOS FET M_{22} のソースに印加される。出力信号 V_{OUT} が定常状態ロー論理電圧 V_{SSX} であるとき、電圧 V_{PI} は、PMOS FET M_{22} を過電圧から保護する。例えば、出力信号 V_{OUT} が定常状態ロー論理電圧 V_{SSX} (例えば、0V) であるとき、電圧 V_{PI} は、実質的に V_{DDIX} (例えば、0.9V) である。電圧 V_{PI} に起因して、PMOS FET M_{22} のドレイン-ソース間電圧 V_{DS} は、例えば0.9Vであり、デバイスの信頼性最大電圧、例えば1.3Vより低い。

【0041】

10

20

30

40

50

同様に、 V_{NI} 電圧発生器 224 は、 V_{NCTL_LV} 及び V_{OUT} に基づいて電圧 V_{NI} を生成するように構成されている。電圧 V_{NI} は、NMOS FET M_{23} のソースに印加される。電圧 V_{NI} は、出力信号 V_{OUT} が定常状態ハイ論理電圧 V_{DDPX} であるときに、NMOS FET M_{23} を過電圧から保護する。例えば、出力信号 V_{OUT} が定常状態ハイ論理電圧 V_{DDPX} (例えば、1.8V) であるとき、電圧 V_{NI} は実質的に V_{DDIX} (例えば、0.9V) である。電圧 V_{NI} に起因して、NMOS FET M_{23} のドレイン-ソース間電圧 V_{DS} は、例えば 0.9V であり、デバイスの信頼性最大電圧、例えば 1.3V より低い。

【0042】

図 2B は、本開示の別の態様にかかる、I/O 回路 200 の例示的な動作に関連付けられたタイミング図を示す。説明のために、 V_{DDPX} は 1.8V であり、 V_{DDIX}/V_{SSIX} は 0.9V であり、 V_{SSX} は 0V である。また、説明のために、デバイス M_{21} 、 M_{22} 、 M_{22} 、及び M_{21} の V_{DS} 、 V_{GS} 、及び V_{DG} の最大信頼性電圧は、前述のように 1.3V である。そのような電圧及び最大信頼性電圧は、I/O 回路 200 のために使用されるデバイス及び用途のタイプに基づいて、様々な実装形態において異なり得ることを理解されたい。

【0043】

図 1B のグラフと同様に、タイミング図の横軸は時間を表し、4つの状態又は期間に分割される：(1) タイミング図の最左列及び最右列に示される、出力信号 V_{OUT} が定常状態ハイ論理電圧 V_{DDPX} であるとき；(2) 左から 2 番目の列に示される、出力信号 V_{OUT} がハイ論理電圧 V_{DDPX} からロー論理電圧 V_{SSX} に遷移しているとき；(3) 左から 3 番目の列に示される、出力信号 V_{OUT} が定常状態のロー論理電圧 V_{SSX} にあるとき、(4) 左から 4 番目の列に示される、出力信号 V_{OUT} がロー論理電圧 V_{SSX} からハイ論理電圧 V_{DDPX} に遷移しているとき。

【0044】

タイミング図の縦軸は、I/O 回路 200 の様々な信号を表す。例えば、上から下へ、信号は以下の通りである：(1) PMOS FET M_{21} の制御信号 V_{PCTL_HV} ；(2) PMOS FET M_{22} のゲートバイアス電圧 V_{PCTL_LV} ；(3) 出力信号 V_{OUT} ；(4) NMOS FET M_{23} のゲートバイアス電圧 V_{NCTL_HV} ；及び(5) NMOS FET M_{24} の制御信号 V_{NCTL_LV} 。

【0045】

最左列及び最右列によって示されるように、出力信号 V_{OUT} がハイ論理電圧 V_{DDPX} (例えば、1.8V) であるとき、制御信号 V_{PCTL_HV} は、PMOS FET M_{21} をオンにするためにロー論理電圧 V_{SSIX} (例えば、0.9V) であり、PMOS FET M_{22} のソースにおける電圧 V_{PI} は、 V_{DDPX} (例えば、1.8V) であり、制御信号 V_{PCTL_LV} は、非ブースト電圧 (例えば、0.9V) であって、PMOS FET M_{21} のオンにตอบสนองして PMOS FET M_{22} をオンにする。したがって、出力信号 V_{OUT} は、オンにされた PMOS FET M_{21} 及び M_{22} を介して出力 V_{OUT} に結合されている第 1 の電圧レール V_{DDPX} に起因して、ハイ論理電圧 V_{DDPX} (例えば、1.8V) にある。また、出力信号 V_{OUT} がハイ論理電圧 V_{DDPX} (例えば、1.8V) であるとき、制御信号 V_{NCTL_LV} は、NMOS FET M_{24} をオフにするためにロー論理電圧 V_{SSX} (例えば、0V) であり、電圧 V_{NI} は、NMOS FET M_{23} の V_{DS} をその信頼性限界未満に維持するために V_{DDIX} (例えば、0.9V) であり、制御信号 V_{NCTL_HV} は非ブースト電圧 V_{SSIX} (例えば、0.9V) であって、NMOS FET M_{23} をオフにする。したがって、出力 V_{OUT} は、オフにされた NMOS FET M_{23} 及び M_{24} により、第 2 の電圧レール V_{SSX} から切り離される。

【0046】

左から 2 番目の列に示されるように、ハイ論理電圧 V_{DDPX} (1.8V) からロー論理電圧 V_{SSX} (0V) に出力信号 V_{OUT} を遷移させるために、制御信号 V_{NCTL_LV} は、ロー論理電圧 V_{SSX} (例えば、0V) からハイ論理電圧 V_{DDIX} (例えば、0.

10

20

30

40

50

9 V)に変更されて、NMOS FET M_{24} をオンにする。 V_{NCTL_LV} がローからハイに変化すると同時に、バイアス電圧 V_{NCTL_HV} は、非ブースト電圧(例えば、約 V_{SSIX} (例えば、0.9 V))からブースト電圧(例えば、 $V_{SSIX} + 約0.5 V = 約1.4 V$)にブーストされる。出力信号 V_{OUT} が最初にハイからローに遷移するとき、ブースト電圧は、NMOS FET M_{23} 及び M_{24} のそれぞれのターンオン抵抗をより等化する(例えば、実質的に同じ)ように構成する。この例では、このために、 V_{OUT} と V_{SSX} との間に1.8 Vの電圧降下が生じ、これはNMOS FET M_{23} と M_{24} との間で等しく分割される。したがって、デバイスはそれぞれ、1.3 Vの信頼性限界未満である実質的に0.9 Vの電圧降下を受ける。

【0047】

出力信号 V_{OUT} がある電圧レベルまで低下すると、制御信号 V_{NCTL_HV} は非ブースト電圧(例えば、約 V_{SSIX} (0.9 V))に戻される。 V_{NCTL_HV} がブースト電圧(例えば、約1.4 V)である期間は、NMOS FET M_{23} の過電圧を防止するように制御されるべきである。例えば、期間が短すぎる場合、NMOS FET M_{23} は、その V_{DS} が信頼性限界を上回ることに起因する過電圧を受ける可能性がある。一方、期間が長すぎる場合、デバイス M_{23} は、そのゲート-ソース電圧(V_{GS})及び/又はゲート-ドレイン電圧(V_{GD})が信頼性限界を上回ることに起因して、過電圧を受ける可能性がある。

【0048】

期間は、出力信号 V_{OUT} が V_{DDPX} から V_{SSX} に減少する速度に依存する。そのような速度は、I/O回路200の出力に結合された容量性負荷 C_{LOAD} に依存する。負荷のキャパシタンス C_{LOAD} が比較的小さい場合、出力信号 V_{OUT} が減少する速度が比較的速いので、期間は比較的短いはずである。負荷のキャパシタンス C_{LOAD} が比較的大きい場合、出力信号 V_{OUT} が減少する速度が比較的遅いので、期間は比較的長いはずである。したがって、 V_{NCTL_HV} プリドライバ222は、出力信号 V_{OUT} がハイからローに遷移する速度に基づいて、ブーストされた V_{NCTL_HV} 電圧を生成する。

【0049】

更に、ハイ論理電圧 V_{DDPX} (例えば、1.8 V)からロー論理電圧 V_{SSX} (0 V)への出力信号 V_{OUT} の遷移を容易にするために、制御信号 V_{PCTL_HV} は、ロー論理電圧 V_{SSIX} (例えば、0.9 V)からハイ論理電圧 V_{DDPX} (例えば、1.8 V)に変更されて、PMOS FET M_{21} をオフにする。出力信号 V_{OUT} ある電圧レベルまで減少したことに応答して、 V_{PI} 電圧発生器214は、実質的に V_{DDPX} (例えば、0.9 V)で電圧 V_{PI} を発生させる。PMOS FET M_{22} のゲートに印加される制御信号 V_{PCTL_LV} は、ハイからローへの出力信号 V_{OUT} の遷移中に V_{DDIX} (例えば、0.9 V)で一定に維持されるので、PMOS FET M_{22} は、その V_{GS} が実質的に0 Vであるためにオフになる。したがって、出力信号 V_{OUT} のハイからローへの遷移の間、プルアップ回路は、オフにされたPMOS FET M_{21} 及び M_{22} に起因して、第1の電圧レール V_{DDPX} から出力を切り離す。

【0050】

左から3番目の列に示されるように、出力信号 V_{OUT} が定常状態ロー論理電圧 V_{SSX} (0 V)であるとき、制御信号 V_{NCTL_LV} はハイ論理電圧 V_{DDIX} (例えば、0.9 V)であり、NMOS FET M_{24} をオンに維持し、制御信号 V_{NCTL_HV} は非ブースト電圧 V_{DDIX} (例えば、0.9 V)であり、NMOS FET M_{23} をオンに維持する。したがって、出力信号 V_{OUT} は、オンにされたNMOS FET M_{23} 及び M_{24} を介して第2の電圧レールから V_{SSX} (0 V)を受け取る。したがって、電圧 V_{NI} も V_{SSX} (0 V)である。また、出力信号 V_{OUT} が定常状態ロー論理電圧 V_{SSX} (0 V)であるとき、制御信号 V_{PCTL_HV} は、PMOS FET M_{21} をオフに維持するためにハイ論理電圧 V_{DDPX} (例えば、1.8 V)であり、電圧 V_{PI} は、説明したようにPMOS FET M_{22} を過電圧から保護するために V_{SSIX} (例えば、0.9 V)であり、制御信号 V_{PCTL_HV} は、PMOS FET M_{22} をオフに維持する非ブー

10

20

30

40

50

スト電圧 V_{DDIX} (例えば、 $0.9V$) である。したがって、 I/O 回路 200 の出力は、オフにされた $PMOS FET M_{21}$ 及び M_{22} を介して第 1 の電圧レール V_{DDPX} から切り離される。

【0051】

左から 4 番目の列に示されるように、ロー論理電圧 V_{SSX} (例えば、 $0V$) からハイ論理電圧 V_{DDPX} (例えば、 $1.8V$) に向かって出力信号 V_{OUT} を遷移させるために、制御信号 V_{PCTL_HV} は、ハイ論理電圧 V_{DDPX} (例えば、 $1.8V$) からロー論理電圧 V_{SSIX} (例えば、 $0.9V$) に変更され、 $PMOS FET M_{21}$ をオンにする。 V_{PCTL_HV} がハイからローに変化するのと同時に、制御信号 V_{PCTL_LV} は、非ブースト電圧 (例えば、 $0.9V$) からブースト電圧 (例えば、約 $0.4V$) に変化する。これは、出力信号 V_{OUT} が最初にローからハイに遷移するとき、 $PMOS FET M_{21}$ 及び M_{22} のそれぞれのターンオン抵抗をより等化する (例えば、実質的に同じになる) ように構成するために行われる。この例では、これにより、 V_{DDPX} と V_{OUT} との間の $1.8V$ の電圧降下が、 $PMOS FET M_{21}$ 及び M_{22} の間で等しく分割される。したがって、デバイスはそれぞれ、 $1.3V$ の信頼性限界未満である実質的に $0.9V$ の電圧降下を受ける。

10

【0052】

出力信号 V_{OUT} がある電圧レベルまで上昇すると、制御信号 V_{PCTL_LV} は、非ブースト電圧 (例えば V_{DDIX} (例えば $0.9V$)) に戻される。 V_{PCTL_LV} がブースト電圧 (例えば、約 $0.4V$) である期間は、 $PMOS FET M_{22}$ の過電圧を防止するように制御されるべきである。例えば、期間が短すぎる場合、 $PMOS FET M_{22}$ は、その V_{DS} が信頼性限界を上回ることに起因する過電圧を受ける可能性がある。一方、期間が長すぎる場合、デバイス M_{22} は、そのゲート - ソース間電圧 (V_{GS}) 及び / 又はゲート - ドレイン間電圧 (V_{GD}) が信頼性限界を上回ることに起因して、過電圧を受ける可能性がある。

20

【0053】

期間は、出力信号 V_{OUT} が V_{SSX} から V_{DDPX} に増加する速度に依存する。そのような速度は、 I/O 回路 200 の出力に結合された容量性負荷 C_{LOAD} に依存する。負荷のキャパシタンス C_{LOAD} が比較的小さい場合、出力信号 V_{OUT} が増加する速度が比較的速いので、期間は比較的短いはずである。負荷のキャパシタンス C_{LOAD} が比較的大きい場合、出力信号 V_{OUT} が増加する速度は比較的遅いので、期間は比較的長いはずである。したがって、 V_{PCTL_LV} プリドライバ 212 は、出力信号 V_{OUT} がローからハイに遷移する速度に基づいて、ブーストされた V_{PCTL_LV} 電圧を生成する。

30

【0054】

更に、ロー論理電圧 V_{SSX} (例えば、 $0V$) からハイ論理電圧 V_{DDPX} (例えば、 $1.8V$) への出力信号 V_{OUT} の遷移を容易にするために、制御信号 V_{NCTL_LV} は、ハイ論理電圧 V_{DDIX} (例えば、 $0.9V$) からロー論理電圧 V_{SSX} (例えば、 $0V$) に変化して $NMOS FET M_{24}$ をオフにする。出力信号 V_{OUT} がある電圧レベルまで上昇したことに応答して、 V_{NI} 電圧発生器 224 は、電圧 V_{NI} を実質的に V_{DDIX} (例えば、 $0.9V$) で発生させる。 $NMOS FET M_{23}$ のゲートに印加される制御信号 V_{NCTL_HV} は、ローからハイへの出力信号 V_{OUT} の遷移の間、 V_{SSIX} (例えば、 $0.9V$) で一定に維持されるので、 $NMOS FET M_{23}$ は、その V_{GS} が実質的に $0V$ であるためにオフになる。したがって、出力信号 V_{OUT} のローからハイへの遷移中、プルダウン回路は、オフにされた $NMOS FET M_{21}$ 及び M_{22} に起因して、第 2 の電圧レール V_{SSX} から出力を切り離す。

40

【0055】

I/O 回路 200 にはいくつかの問題がある。第 1 に、出力信号 V_{OUT} の各遷移の間に 1 つのゲートブーストしかない。例えば、 $NMOS FET M_{23}$ は、出力信号 V_{OUT} のハイからローへの遷移中にブーストされる唯一のデバイスであり、 $PMOS FET M_{22}$ は、出力信号 V_{OUT} のローからハイへの遷移中にブーストされる唯一のデバイスであ

50

る。遷移中に2つ以上のFETをブーストすることは、より速い遷移を生成して、I/Oドライバがより高速に動作することを可能にする。

【0056】

第2に、図2Bに示されるように、I/O回路200におけるゲートブーストは、遷移の期間の約30パーセント(%)にすぎない。各遷移の間により高いパーセントのブースト期間を提供することはまた、遷移を早め、再び、I/Oドライバがより高速に動作することを可能にする。比較的短いブースト持続時間(例えば、30%)の更なる欠点は、出力インピーダンスが各遷移中に変化することである。例えば、ブースト期間の間、出力インピーダンスは、遷移の残りの期間又は非ブースト期間の間よりも著しく小さい。各遷移中の出力インピーダンスの変化は、出力信号V_{OUT}における信号完全性(SI)問題を引き起こす可能性がある。

10

【0057】

第3に、プルアップ回路(例えば、PMOS FET M₂₁及びM₂₂)及びプルダウン回路(例えば、NMOS FET M₂₃及びM₂₄)は、異なるドメイン信号によって駆動される。例えば、プルアップ回路のPMOS FET M₂₁及びM₂₂は、それぞれHV及びLV電圧ドメインにおける制御信号V_{PCTL_HV}及びV_{PCTL_LV}によって駆動される。同様に、プルダウン回路のNMOS FET M₂₃及びM₂₄は、それぞれHV及びLV電圧ドメインにおける制御信号V_{NCTL_HV}及びV_{NCTL_LV}によって駆動される。HV及びLVドメイン信号は、異なる伝送経路を介して伝搬するので、これらの信号間に遅延不整合が存在する可能性がある。これは、動作(例えば、出力信号V_{OUT}にデューティサイクル歪みを生じさせる)及び信頼性(例えば、FETを過電圧の応力又は損傷に更す)に悪影響を及ぼす可能性がある。一例として、ローからハイへの遷移中に、V_{PCTL_HV}の上昇エッジがV_{PCTL_LV}の下降エッジの前に到達する場合、PMOS FET M₂₂が、過電圧によって応力又は損傷を受ける可能性があり、あるいは、V_{PCTL_HV}の上昇エッジがV_{PCTL_LV}の下降エッジの後に到達した場合、PMOS FET M₂₁が、過電圧によって応力又は損傷を受ける可能性がある。同じ悪影響が、ハイからローへの遷移中にNMOS FET M₂₃及びM₂₄にも当てはまる。

20

【0058】

図3Aは、本開示の別の態様にかかる、別の例示的な入力/出力(I/O)回路300の概略図を示す。要約すると、I/O回路300は、それぞれ上昇遷移及び下降遷移の間にI/O回路300のプルアップ回路及びプルダウン回路の両方又は全てのFETをブーストする1つ又は複数のプリドライバを使用する。これは、より高速な遷移を可能にし、I/O回路300の速度を改善する。

30

【0059】

更に、1つ又は複数のプリドライバは、遷移期間のより長いパーセンテージ(例えば、80%)の間、プルアップ回路及びプルダウン回路の両方又は全てのFETをブーストする。再び、これはまた、I/O回路300のより速い遷移及びより速い速度性能を可能にする。加えて、遷移中のより長いブースト期間は、出力インピーダンス変化の影響を低減する。それにより、出力信号V_{OUT}の信号完全性(SI)劣化が低減される。

【0060】

加えて、プルアップ回路の制御信号V_{PCTL_HV}及びV_{PCTL_LV}、又はプルダウン回路の制御信号V_{NCTL_HV}及びV_{NCTL_LV}の生成は、単一ドメイン信号に回答し、これは、前述のように、出力信号V_{OUT}におけるデューティサイクル歪み及び出力ドライバのFETに対する過電圧の応力又は損傷を引き起こし得る、信号間の遅延不整合を防止又は低減する。更に、中間電圧レールV_{DDIX}又はV_{SSIX}に対する電流負荷要求は、より高い電流負荷を扱うように既に構成され得るV_{DDPX}電圧レールのみを使用する遷移に關与するプリドライバを実装することによって低減される。

40

【0061】

特に、I/O回路300は、電圧レベルシフタ310と、ゲートブースト制御回路320と、定常状態プリドライバ330と、遷移プリドライバ340と、出力ドライバ350

50

と、電圧ドメインスプリッタ360と、を含む。電圧レベルシフタ310は、入力信号 V_{IN} を受信するように構成され、入力信号 V_{IN} は、本明細書ではCXドメインと呼ばれることがあるIC又はSOCコア電圧ドメイン内にあり得、電圧は、 V_{DDCX} の論理ハイ（例えば、1.1V）と V_{SSCX} の論理ロー（例えば、0.5V）との間で変化する。電圧レベルシフタ310は、入力信号 V_{IN} を電圧レベルシフトして、それぞれHV電圧ドメイン及びLV電圧ドメインにおける入力信号 V_{IN_HV} 及び V_{IN_LV} を生成するように構成されている。入力信号 V_{IN_HV} は、ハイ論理電圧 V_{DDPX} （例えば、1.8V）とロー論理電圧 V_{SSIX} （例えば、0.9V）との間で変動し得る。入力信号 V_{IN_LV} は、ハイ論理電圧 V_{DDIX} （例えば、0.9V）とロー論理電圧 V_{SSX} （例えば、0V）との間で変動し得る。

10

【0062】

ゲートブースト制御回路320は、出力ドライバ350のプルアップ回路のPMOS FET M_{21} 及び M_{22} 、並びにプルダウン回路のNMOS FET M_{23} 及び M_{24} のゲートブーストをそれぞれ有効にするためのゲートブーストイネーブル信号 V_{TR_LV} 及び V_{TF_HV} を生成するように構成されている。示されているように、出力ドライバ350は、I/O回路200の出力ドライバごとに構成され得る。ゲートブースト制御回路320は、入力信号 V_{IN_HV} 及び V_{IN_LV} と、出力信号 V_{OUT} のPX電圧ドメインを分割することによって電圧ドメインスプリッタ360によって生成された出力電圧信号 V_{OUT_HV} 及び V_{OUT_LV} とに基づいて、ゲートブーストイネーブル信号 V_{TR_LV} 及び V_{TF_HV} を生成するように構成されている。下付き文字で示すように、出力信号 V_{OUT_HV} はHV電圧ドメインにあり、出力信号 V_{OUT_LV} はLV電圧ドメインにある。本明細書でより詳細に説明するように、関連する信号 V_{IN_HV} 及び V_{IN_LV} を介した入力信号 V_{IN} は、ゲートブースト期間の開始を開始させ、関連する信号 V_{OUT_HV} 及び V_{OUT_LV} を介した出力信号 V_{OUT} は、ゲートブースト期間を終了させる。

20

【0063】

定常状態プリドライバ330は、定常状態期間中に出力ドライバ350のPMOS FET M_{21} 及び M_{22} 並びにNMOS FET M_{23} 及び M_{24} のための制御信号 V_{PCTL_HV} 、 V_{PCTL_LV} 、 V_{NCTL_HV} 、及び V_{NCTL_LV} をそれぞれ生成するように構成されている。定常状態期間は、出力信号 V_{OUT} が1つの論理レベル又は状態から別の論理レベル又は状態に遷移していない期間である。本明細書で更に詳細に説明するように、定常状態プリドライバ330は、入力信号 V_{IN_HV} 及び V_{IN_LV} 並びにゲートブーストイネーブル信号 V_{TR_LV} 及び V_{TF_HV} に基づいて、制御信号 V_{PCTL_HV} 、 V_{PCTL_LV} 、 V_{NCTL_HV} 、及び V_{NCTL_LV} を生成する。

30

【0064】

図3Bのタイミング図を参照すると、出力信号 V_{OUT} が定常状態ハイ論理電圧 V_{DDPX} （例えば、1.8V）であるとき、定常状態プリドライバ330は、制御信号 V_{PCTL_HV} 、 V_{PCTL_LV} 、 V_{NCTL_HV} 、及び V_{NCTL_LV} を、ロー論理電圧 V_{SSIX} （例えば、0.9V）、非ブースト電圧（例えば、0.9V）、非ブースト電圧（例えば、0.9V）、及びロー論理 V_{SSX} 電圧（例えば、0V）でそれぞれ生成する。これらの電圧レベルは、PMOS FET M_{21} 及び M_{22} をオンにし、NMOS FET M_{23} 及び M_{24} をオフにして、出力信号 V_{OUT} が V_{DDPX} （例えば、1.8V）で実質的に安定に維持されるようにする。 V_{DDPX} 定常状態期間中に、ゲートブースト制御回路320は、ゲートブーストイネーブル信号 V_{TR_LV} 及び V_{TF_HV} を生成し、これらは、LV電圧ドメイン及びHV電圧ドメインにあり、それらのデアサートされたロー V_{SSX} （例えば、0V）及びハイ論理状態 V_{DDPX} （例えば、1.8V）において、それぞれ上昇遷移及び下降遷移に関係することに留意されたい。

40

【0065】

出力信号 V_{OUT} が定常論理ロー電圧 V_{SSX} （例えば、0V）であるとき、定常状態プリドライバ330は、ハイ論理電圧 V_{DDPX} （例えば、1.8V）、非ブースト電圧（例えば、0.9V）、非ブースト電圧（例えば、0.9V）、及びハイ論理電圧 V_{DDI}

50

X (例えば、0.9V)で制御信号 V_{PCTL_HV} 、 V_{PCTL_LV} 、 V_{NCTL_HV} 、及び V_{NCTL_LV} を生成する。これらの電圧レベルは、PMOS FET M_{21} 及び M_{22} をオフにし、NMOS FET M_{23} 及び M_{24} をオンにして、出力信号 V_{OUT} が V_{SSX} (例えば、0V)で実質的に安定に維持されるようにする。同様に、 V_{SSX} 定常状態期間の間、ゲートブースト制御回路320は、ゲートブーストイネーブル信号 V_{TR_LV} 及び V_{TF_HV} を、デアサートされたロー V_{SSX} (例えば、0V)及びハイ V_{DDPX} (例えば、1.8V)論理状態でそれぞれ生成する。

【0066】

遷移プリドライバ340は、遷移期間中に出力ドライバ350のPMOS FET M_{21} 及び M_{22} 並びにNMOS FET M_{23} 及び M_{24} のための制御信号 V_{PCTL_HV} 、 V_{PCTL_LV} 、 V_{NCTL_HV} 、及び V_{NCTL_LV} をそれぞれ生成するように構成されている。遷移期間は、出力信号 V_{OUT} が1つの論理レベル又は状態から別の論理レベル又は状態に遷移している期間である。本明細書で更に詳細に説明するように、遷移プリドライバ340は、ゲートブーストイネーブル信号 V_{TR_LV} 及び V_{TF_HV} に基づいて制御信号 V_{PCTL_HV} 、 V_{PCTL_LV} 、 V_{NCTL_HV} 、及び V_{NCTL_LV} を生成する。

【0067】

図3Bのタイミング図を参照すると、入力信号 V_{IN_HV} 及び V_{IN_LV} がロー論理電圧に変化することによって示されるように、出力信号 V_{OUT} がハイ論理電圧 V_{DDPX} (例えば、1.8V)からロー論理電圧 V_{SSX} (例えば、0V)に遷移するとき、ゲートブースト制御回路320は、ゲートブーストイネーブル信号 V_{TF_HV} をそのアサートされたロー論理状態 V_{SSIX} (例えば、0.9V)で生成し、ゲートブーストイネーブル信号 V_{TR_LV} をそのデアサートされたロー論理状態 V_{SSX} (例えば、0V)に維持する。デアサートされたゲートブーストイネーブル信号 V_{TR_LV} にตอบสนองして、定常状態プリドライバ330は、ハイ論理電圧 V_{DDPX} (例えば、1.8V)及び非ブースト電圧 (例えば、0.9V)で制御信号 V_{PCTL_HV} 及び V_{PCTL_LV} をそれぞれ生成する。これらの電圧レベルは、PMOS FET M_{21} 及び M_{22} をオフにする。

【0068】

アサートされたゲートブーストイネーブル信号 V_{TF_HV} にตอบสนองして、遷移プリドライバ340は、ブースト電圧レベル (例えば、約1.4V)で制御信号 V_{NCTL_HV} 及び V_{NCTL_LV} を生成する。これらの電圧レベルの制御信号は、NMOS FET M_{23} 及び M_{24} をオンにして、それらのターンオン抵抗が、出力信号 V_{OUT} の定常状態ロー論理状態 V_{SSX} 中にNMOS FET M_{23} 及び M_{24} が0.9Vによって駆動されるときにターンオン抵抗よりも小さくなるようにする。NMOS FET M_{23} 及び M_{24} のゲートブーストのために、出力信号 V_{OUT} は、 V_{DDPX} (例えば、1.8V)から V_{SSX} (例えば、0V)に迅速に遷移する。出力信号 V_{OUT} のハイからローへの遷移の約80%において、ゲートブースト制御回路320は、ゲートブーストイネーブル信号 V_{TF_HV} をデアサートする (例えば、それを V_{DDPX} (例えば、1.8V)に戻す)。それに対応して、遷移プリドライバ340は、 V_{NCTL_HV} 信号及び V_{NCTL_LV} 信号の制御を定常状態プリドライバ330に引き渡し、それらの状態を非ブースト電圧レベル V_{DDIX} 及び V_{SSIX} (例えば、両方とも0.9V)にそれぞれ変更する。

【0069】

ハイ論理電圧に変化する入力信号 V_{IN_HV} 及び V_{IN_LV} によって示されるように、出力信号 V_{OUT} がロー論理電圧 V_{SSX} (例えば、0V)からハイ論理電圧 V_{DDPX} (例えば、1.8V)に遷移されるとき、ゲートブースト制御回路320は、アサートされたロー論理状態 V_{DDIX} (例えば、0.9V)でゲートブーストイネーブル信号 V_{TR_LV} を生成し、ゲートブーストイネーブル信号 V_{TF_HV} をデアサートされたハイ論理状態 V_{DDPX} (例えば、1.8V)に維持する。デアサートされたゲートブーストイネーブル信号 V_{TF_HV} にตอบสนองして、定常状態プリドライバ330は、非ブースト電圧 (例えば、0.9V)及びロー論理電圧 V_{SSX} (例えば、0V)で制御信号 V_{NCTL_H}

10

20

30

40

50

V及び V_{NCTL_LV} をそれぞれ生成する。これらの電圧レベルの制御信号は、NMOS FET M_{23} 及び M_{24} をオフにする。

【0070】

アサートされたゲートブーストイネーブル信号 V_{TR_LV} にตอบสนองして、遷移プリドライバ340は、ブースト電圧レベル（例えば、約0.4V）で制御信号 V_{PCTL_HV} 及び V_{PCTL_LV} を生成する。これらの電圧レベルは、PMOS FET M_{21} 及び M_{22} をオンにして、それらのターンオン抵抗が、出力信号 V_{OUT} の定常状態ロー論理状態 V_{SSX} 中にPMOS FET M_{21} 及び M_{22} が非ブースト電圧、例えば、0.9Vによって駆動されるときにターンオン抵抗よりも小さくなるようにする。PMOS FET M_{21} 及び M_{22} のゲートブーストのために、出力信号 V_{OUT} は、 V_{SSX} （例えば、0V）から V_{DDPX} （例えば、1.8V）に迅速に遷移する。出力信号 V_{OUT} のローからハイへの遷移の約80%において、ゲートブースト制御回路320は、ゲートブーストイネーブル信号 V_{TR_LV} をデアサートする（例えば、それを V_{SSX} （例えば、0V）に戻す）。それにตอบสนองして、遷移プリドライバ340は、 V_{PCTL_HV} 信号及び V_{PCTL_LV} 信号の制御を定常状態プリドライバ330に引き渡し、それらの状態を非ブースト電圧レベル V_{SSIX} 及び V_{DDIX} （例えば、両方とも0.9V）にそれぞれ変更する。

10

【0071】

図4は、本開示の別の態様にかかる、例示的なプルダウンゲートブースト制御回路400の例のブロック図を示す。プルダウンゲートブースト制御回路400は、前に説明したゲートブースト制御回路320のプルダウン側又は部分の例示的な詳細な実装形態であり得る。すなわち、ゲートブースト制御回路400は、入力信号 V_{IN_HV} 及び V_{IN_LV} と、出力信号 V_{OUT_HV} 及び V_{OUT_LV} とに基づいて、プルダウンゲートブーストイネーブル信号 V_{TF_HV} を生成するように構成されている。前述したように、プルダウンゲートブースト制御回路400は、ゲートブーストイネーブル信号 V_{TF_HV} を出力信号 V_{OUT} の下降遷移期間の間（例えば、下降遷移区間の80%）、アサートされたロー論理電圧 V_{SSIX} （例えば、0.9V）で生成し、定常状態遷移期間及び上昇遷移期間の間、デアサートされたハイ論理電圧 V_{DDPX} （例えば、1.8V）で生成する。

20

【0072】

特に、プルダウンゲートブースト制御回路400は、第1のインバータ405及び第2のインバータ410と、ヒステリシス論理デバイス420と、第1のマルチドメイン論理回路430と、第2のマルチドメイン論理回路440と、論理ゲート450（例えば、NANDゲート）と、を含む。マルチドメイン論理回路は、異なる電圧ドメイン（例えば、HV及びLV電圧ドメイン）における信号に対して動作する論理回路である。第1のインバータ405は、LV電圧ドメイン内の入力信号 V_{IN_LV} を受信し反転して、同じくLV電圧ドメインにおける相補入力信号

30

【0073】

【数1】

$$\overline{V_{IN_LV}}$$

40

を生成するように構成されている。第2のインバータ410は、HV電圧ドメインにおける出力信号 V_{OUT_HV} を受信し反転して、同じくHV電圧ドメインにおける相補出力信号

【0074】

【数2】

$$\overline{V_{OUT_HV}}$$

を生成するように構成されている。

【0075】

50

第1のマルチドメイン論理回路430は、HV電圧ドメインにおける入力信号 V_{IN_H} 及び相補入力信号

【0076】

【数3】

$$\overline{V_{IN_LV}}$$

を受信し、HV電圧ドメインにおけるプルダウンゲートブースト開始信号 V_{TF1_HV} を生成するように構成されている。第2のマルチドメイン論理回路440は、LV電圧ドメインにおける相補出力信号

【0077】

【数4】

$$\overline{V_{OUT_HV}}$$

及び出力信号 V_{OUT_LV} を受信し、HV電圧ドメインにおけるプルダウンゲートブースト終了信号 V_{TF2_HV} を生成するように構成されている。第2のマルチドメイン論理回路440は、ヒステリシス論理デバイス420を介して出力信号 V_{OUT_LV} を受信するように構成され得る。ヒステリシス論理デバイス420は、2つのスイッチング閾値、すなわち、信号 V_{OUT_LV} が上側閾値を上回って上昇するとヒステリシス論理デバイス420がハイ論理電圧を生成する上側閾値と、信号 V_{OUT_LV} が下側閾値を下回って低下するとヒステリシス論理デバイス420がロー論理電圧を生成する下側閾値とを有する。これは、プルダウンゲートブースト終了信号 V_{TF2_HV} が V_{OUT_LV} の低電圧に応じて変化するようにするためである。これは、ゲートブースト期間の終了を遅延させる効果を有する。NANDゲート450は、ゲートブースト開始信号 V_{TF1_HV} とゲートブースト終了信号 V_{TF2_HV} とを論理積演算して、HV電圧ドメインにおけるプルダウンゲートブーストイネーブル信号 V_{TF_HV} を生成する。

【0078】

前述したように、入力信号 V_{IN} はプルダウンゲートブースト期間を開始させ、出力信号 V_{OUT} はプルダウンゲートブースト期間を終了させる。下降遷移の前に、入力信号 V_{IN} 及び出力信号 V_{OUT} は、ハイ論理定常状態にある。入力信号 V_{IN} が論理ハイであることに応答して、電圧レベルシフタ310は、入力信号 V_{IN_HV} 及び V_{IN_LV} の論理ハイ V_{DDPX} （例えば、1.8V）及び V_{DDIX} （例えば、0.9V）をそれぞれ生成する。同様に、論理ハイである出力信号 V_{OUT} に応答して、電圧ドメインスプリッタ460は、論理ハイの出力信号 V_{OUT_HV} 及び V_{OUT_LV} の V_{DDPX} （例えば、1.8V）及び V_{DDIX} （例えば、0.9V）を生成する。

【0079】

本実施形態では、第1のマルチドメイン論理回路430は、信号 V_{IN_HV} を反転して、プルダウンゲートブースト開始信号 V_{TF1_HV} を生成する。信号 V_{IN_HV} は論理ハイであるので、プルダウンゲートブースト開始信号 V_{TF1_HV} は論理ローである。同様に、第2のマルチドメイン論理回路440は、信号

【0080】

【数5】

$$\overline{V_{OUT_HV}}$$

を反転して、プルダウンゲートブースト終了信号 V_{TF2_HV} を生成する。信号

【0081】

【数6】

10

20

30

40

50

$$\overline{V_{OUT_HV}}$$

は論理ローであるので、プルダウンゲートブースト終了信号 V_{TF2_HV} は論理ハイである。NANDゲート450が論理ロー及びハイの入力信号 V_{TF1_HV} 及び V_{TF2_HV} を見ると、NANDゲート450は、出力信号 V_{OUT} が定常状態ハイ V_{DDPX} であるので、そのデアサートされたハイ論理状態 V_{DDPX} (例えば、1.8V) でプルダウンゲートブーストイネーブル信号 V_{TF_HV} を生成する。

【0082】

入力信号 V_{IN} は続いて、ロー論理状態に遷移し、電圧レベルシフタ310は、論理ローの V_{SSIX} (例えば、0.9V) 状態及び論理ハイの V_{DDIX} (例えば、0.9V) 状態で入力信号 V_{IN_HV} 及び

【0083】

【数7】

$$\overline{V_{IN_LV}}$$

をそれぞれ生成する。それに応答して、第1のマルチドメイン論理回路430は、ロー論理信号 V_{IN_HV} を反転して、アサートされたハイ論理電圧 V_{DDPX} (例えば、1.8V) でプルダウンゲートブースト開始信号 V_{TF1_HV} を生成する。NANDゲート450はここで論理ハイの入力信号 V_{TF1_HV} 及び V_{TF2_HV} を見るので、NANDゲート450は、プルダウンゲートブースト期間を開始するために、アサートされたロー論理レベル V_{SSIX} (例えば、0.9V) でプルダウンゲートブーストイネーブル信号 V_{TF_HV} を生成する。前述したように、プルダウンゲートブースト期間は、入力信号 V_{IN} がロー論理状態に遷移することに応答して開始される。

【0084】

出力信号 V_{OUT} が実質的にロー論理状態に遷移するとき、電圧ドメインスプリッタ360は、出力信号 V_{OUT_HV} 及び V_{OUT_LV} を、論理ロー状態 V_{SSIX} (例えば、0.9V) 及び V_{SSX} (例えば、0V) でそれぞれ生成する。それに応答して、第2のマルチドメイン論理回路440は、ハイ論理信号

【0085】

【数8】

$$\overline{V_{OUT_HV}}$$

を反転させて、アサートされたロー論理電圧 V_{SSIX} (例えば、0.9V) でプルダウンゲートブースト終了信号 V_{TF2_HV} を生成する。ここで、NANDゲート450が論理ハイ及びローの入力信号 V_{TF1_HV} 及び V_{TF2_HV} を見ると、NANDゲート450は、プルダウンゲートブースト期間を終了させるために、そのデアサートされたハイ論理状態 V_{DDPX} (例えば、1.8V) でプルダウンゲートブーストイネーブル信号 V_{TF_HV} を生成する。前述したように、プルダウンゲートブースト期間は、出力信号 V_{OUT} がロー論理状態に遷移することに応答して終了する。

【0086】

図5は、本開示の別の態様にかかる、例示的なマルチドメイン論理回路500の別のブロック図を示す。マルチドメイン論理回路500は、第1のFET M_{51} 及び第2のFET M_{52} を含むインバータ510を含む。第1のFET M_{51} はPMOS FETとして実装され得、第2のFET M_{52} はNMOS FETとして実装され得る。マルチドメイン論理回路500は、PMOS FETとして実装され得る第3のFET M_{53} を更に含む。インバータ510及びPMOS FET M_{53} は、上側電圧レール V_{DDPX} と、(例えば、HV電圧ドメインに関連する) 下側電圧レール V_{SSIX} との間に直列に結合

される。

【 0 0 8 7 】

PMOS FET M₅₃は、信号V_{2LV}を受信するように構成されたゲートを含む。プルダウンゲートブースト制御回路400を参照すると、信号V_{2LV}は、マルチドメイン論理回路500が第1のマルチドメイン論理回路430に対応する場合、相補入力信号

【 0 0 8 8 】

【数9】

$$\overline{V_{IN, LV}}$$

10

であってもよく、又はマルチドメイン論理回路500が第2のマルチドメイン論理回路440に対応する場合、出力信号V_{OUT_LV}であってもよい。

【 0 0 8 9 】

PMOS FET M₅₁及びNMOS FET M₅₂は、インバータ510の入力を形成するために互いに結合され、相補信号

【 0 0 9 0 】

【数10】

$$\overline{V_{1HV}}$$

20

を受信するように構成されたそれぞれのゲートを含む。プルダウンゲートブースト制御回路400を参照すると、相補信号

【 0 0 9 1 】

【数11】

$$\overline{V_{1HV}}$$

は、マルチドメイン論理回路500が第1のマルチドメイン論理回路430に対応する場合、入力信号V_{IN_HV}であってもよく、又はマルチドメイン論理回路500が第2のマルチドメイン論理回路440に対応する場合、相補出力ベース信号

30

【 0 0 9 2 】

【数12】

$$\overline{V_{OUT, HV}}$$

であってもよい。

【 0 0 9 3 】

PMOS FET M₅₁及びNMOS FET M₅₂は、インバータ510の出力を形成するために互いに結合されたそれぞれのドレインを含み、出力信号V_{OUT_HV}を生成するように構成されている。プルダウンゲートブースト制御回路400を参照すると、出力信号V_{OUT_HV}は、マルチドメイン論理回路500が第1のマルチドメイン論理回路430に対応する場合、プルダウンゲートブースト開始信号V_{TF1_HV}であってもよく、マルチドメイン論理回路500が第2のマルチドメイン論理回路440に対応する場合、プルダウンゲートブースト終了信号V_{TF2_HV}であってもよい。マルチドメイン論理回路500は、任意選択で、V_{OUT_HV}の論理状態をラッチするように構成されたラッチ520（例えば、交差結合インバータ）を含み得る。

40

【 0 0 9 4 】

図6は、本開示の別の態様にかかる、例示的なプルアップゲートブースト制御回路600のブロック図を示す。プルアップゲートブースト制御回路600は、前に説明したゲートブースト制御回路320のプルアップ側又は部分の例示的な詳細な実装形態であり得る

50

。すなわち、プルアップゲートブースト制御回路600は、入力信号 V_{IN_HV} 、 V_{IN_LV} と、出力信号 V_{OUT_HV} 、 V_{OUT_LV} とに基づいて、プルアップゲートブーストイネーブル信号 V_{TR_LV} を生成するように構成されている。前述したように、プルアップゲートブースト制御回路600は、ゲートブーストイネーブル信号 V_{TR_LV} を、出力信号 V_{OUT} の上昇遷移期間（例えば、上昇遷移期間の80%）の間、アサートされたハイ論理電圧 V_{DDPX} （例えば、1.8V）で生成し、定常状態及び下降遷移期間の間、デアサートされたロー論理電圧 V_{SSIX} （例えば、0.9V）で生成する。

【0095】

特に、プルアップゲートブースト制御回路600は、第1のインバータ605及び第2のインバータ610と、ヒステリシス論理デバイス620と、第1のマルチドメイン論理回路630と、第2のマルチドメイン論理回路640と、論理ゲート650（例えば、ANDゲート）と、を含む。第1のインバータ605は、入力信号 V_{IN_LV} を受信及び反転して、相補入力信号

10

【0096】

【数13】

$$\overline{V_{IN,LV}}$$

を生成するように構成されている。第2のインバータ610は、出力信号 V_{OUT_HV} を受信し反転して、相補出力信号

20

【0097】

【数14】

$$\overline{V_{OUT,HV}}$$

を生成するように構成されている。

【0098】

第1のマルチドメイン論理回路630は、入力信号 V_{IN_HV} 及び相補入力信号

【0099】

【数15】

30

$$\overline{V_{IN,LV}}$$

を受信し、LV電圧ドメインにおけるプルアップゲートブースト開始信号 V_{TR1_LV} を生成するように構成されている。第2のマルチドメイン論理回路640は、相補出力信号

【0100】

【数16】

$$\overline{V_{OUT,HV}}$$

40

及び出力信号 V_{OUT_LV} を受信し、そこから、LV電圧ドメインにおけるプルアップゲートブースト終了信号 V_{TR2_LV} を生成するように構成されている。第2のマルチドメイン論理回路640は、ヒステリシス論理デバイス620を介して相補出力信号

【0101】

【数17】

$$\overline{V_{OUT,HV}}$$

を受信するように構成され得る。同様に、ヒステリシス論理デバイス620は、2つのスイッチング閾値、すなわち、信号

50

【 0 1 0 2 】

【数 1 8 】

 $\overline{V_{OUT_HV}}$

が上側閾値を上回って上昇すると、ヒステリシス論理デバイス 6 2 0 がハイ論理電圧を生成する上側閾値と、信号

【 0 1 0 3 】

【数 1 9 】

 $\overline{V_{OUT_HV}}$

10

が下側閾値を下回って下降すると、ヒステリシス論理デバイス 6 2 0 がロー論理電圧を生成する下側閾値とを有する。これは、プルアップゲートブースト終了信号 V_{TR2_LV} が、

【 0 1 0 4 】

【数 2 0 】

 $\overline{V_{OUT_HV}}$

20

の高電圧にตอบสนองして変化するようにするためである。これは、ゲートブースト期間の終了を遅延させる効果を有する。ANDゲート 6 5 0 は、ゲートブースト開始信号 V_{TR1_LV} とゲートブースト終了信号 V_{TR2_LV} とを論理積演算して、LV電圧ドメインにおけるプルアップゲートブーストイネーブル信号 V_{TR_LV} を生成する。

【 0 1 0 5 】

前述したように、入力信号 V_{IN} は、プルアップゲートブースト期間を開始させ、出力信号 V_{OUT} は、プルアップゲートブースト期間を終了させる。上昇遷移の前に、入力信号 V_{IN} 及び出力信号 V_{OUT} は、ロー論理定常状態にある。入力信号 V_{IN} が論理ローであることにตอบสนองして、電圧レベルシフタ 3 1 0 は、論理ロー V_{SSIX} (例えば、0.9V) 及び V_{SSX} (例えば、0V) で入力信号 V_{IN_HV} 及び V_{IN_LV} をそれぞれ生成

30

する。同様に、出力信号 V_{OUT} が論理ローであるにตอบสนองして、電圧ドメインスプリッタ 4 6 0 は、論理ロー V_{SSIX} (例えば、0.9V) 及び V_{SSX} (例えば、0V) で出力信号 V_{OUT_HV} 及び V_{OUT_LV} を生成する。

【 0 1 0 6 】

第 1 のマルチドメイン論理回路 6 3 0 は、信号

【 0 1 0 7 】

【数 2 1 】

 $\overline{V_{IN_LV}}$

40

を反転させて、プルアップゲートブースト開始信号 V_{TR1_LV} を生成する。信号

【 0 1 0 8 】

【数 2 2 】

 $\overline{V_{IN_LV}}$

が論理ハイであるので、プルアップゲートブースト開始信号 V_{TR1_LV} は論理ローである。同様に、第 2 のマルチドメイン論理回路 6 4 0 は、信号 V_{OUT_LV} を反転して、プルアップゲートブースト終了信号 V_{TR2_LV} を生成する。信号 V_{OUT_LV} が論理ローであるので、プルアップゲートブースト終了信号 V_{TR2_LV} は論理ハイである。AN

50

Dゲート650が論理ロー及びハイの入力信号 V_{TR1_LV} 及び V_{TR2_LV} を見ると、出力信号 V_{OUT} が定常状態ロー V_{SSX} であるので、ANDゲート650は、そのデアサートされたロー論理状態 V_{SSX} (例えば、0V)でプルアップゲートブーストイネーブル信号 V_{TR_LV} を生成する。

【0109】

入力信号 V_{IN} が続いてハイ論理状態に遷移するとき、電圧レベルシフタ310は、論理ハイの V_{DDPX} (例えば、1.8V)状態及び論理ローの V_{SSX} (例えば、0V)状態を入力信号 V_{IN_HV} 及び

【0110】

【数23】

$$\overline{V_{IN_LV}}$$

をそれぞれ生成する。それに応答して、第1のマルチドメイン論理回路630は、ロー論理信号

【0111】

【数24】

$$\overline{V_{IN_LV}}$$

を反転させ、アサートされたハイ論理電圧 V_{DDIX} (例えば、0.9V)でプルアップゲートブースト開始信号 V_{TR1_LV} を生成する。ここで、ANDゲート650が論理ハイの入力信号 V_{TR1_LV} 及び V_{TR2_LV} を見ると、ANDゲート650は、プルアップゲートブースト期間を開始するために、アサートされたハイ論理レベル V_{DDIX} (例えば、0.9V)のプルアップゲートブーストイネーブル信号 V_{TR_LV} を生成する。前述したように、プルアップゲートブースト期間は、入力信号 V_{IN} がハイ論理状態に遷移することに応答して開始される。

【0112】

出力信号 V_{OUT} がハイ論理状態に実質的に遷移するとき、電圧ドメインスプリッタ360は、ハイ論理状態 V_{DDPX} (例えば、1.8V)及び V_{DDIX} (例えば、0.9V)でそれぞれ出力信号 V_{OUT_HV} 及び V_{OUT_LV} を生成する。それに応答して、第2のマルチドメイン論理回路640は、ハイ論理信号 V_{OUT_LV} を反転して、アサートされたハイ論理電圧 V_{DDIX} (例えば、0.9V)としてプルアップゲートブースト終了信号 V_{TR2_LV} を生成する。ここで、ANDゲート650が論理ハイ及びローの入力信号 V_{TR1_LV} 及び V_{TR2_LV} を見ると、ANDゲート650は、プルアップゲートブースト期間を終了させるために、そのデアサートされたロー論理状態 V_{SSX} (例えば、0V)でプルアップゲートブーストイネーブル信号 V_{TR_LV} を生成する。前述したように、プルアップゲートブースト期間は、出力信号 V_{OUT} がハイ論理状態に遷移することに応答して終了する。

【0113】

図7は、本開示の別の態様にかかる、例示的なマルチドメイン論理回路700のブロック図を示す。マルチドメイン論理回路700は、NMOS FETとして実装され得る第1のFET M_{71} を含む。マルチドメイン論理回路700は、第2のFET M_{72} 及び第3のFET M_{73} を含むインバータ710を更に含む。第2のFET M_{72} は、PMOS FETとして実装され得、第3のFET M_{73} は、NMOS FETとして実装され得る。NMOS FET M_{71} 及びインバータ710は、上側電圧レール V_{DDIX} と(例えば、LV電圧ドメインに関連付けられた)下側電圧レール V_{SSX} との間に直列に結合される。

【0114】

NMOS FET M_{71} は、信号 V_{1HV} を受信するように構成されたゲートを含む。

10

20

30

40

50

プルアップゲートブースト制御回路600を参照すると、信号 V_{1_HV} は、マルチドメイン論理回路700が第1のマルチドメイン論理回路630に対応する場合、入力信号 V_{IN_HV} であってもよく、又はマルチドメイン論理回路700が第2のマルチドメイン論理回路640に対応する場合、出力信号

【0115】

【数25】

$\overline{V_{OUT_HV}}$

であってもよい。

【0116】

PMOS FET M_{72} 及びNMOS FET M_{73} は、インバータ710の入力を形成するために互いに結合され、相補信号

【0117】

【数26】

$\overline{V_{2_LV}}$

を受信するように構成されたそれぞれのゲートを含む。プルアップゲートブースト制御回路600を参照すると、マルチドメイン論理回路700が第1のマルチドメイン論理回路630に対応する場合、相補信号

【0118】

【数27】

$\overline{V_{2_LV}}$

は、相補入力信号

【0119】

【数28】

$\overline{V_{IN_LV}}$

であってもよく、又はマルチドメイン論理回路700が第2のマルチドメイン論理回路640に対応する場合、出力信号 V_{OUT_LV} であってもよい。

【0120】

PMOS FET M_{72} 及びNMOS FET M_{73} は、インバータ710の出力を形成するために互いに結合されたそれぞれのドレインを含み、出力信号 V_{OUT_LV} を生成するように構成されている。プルアップゲートブースト制御回路600を参照すると、出力信号 V_{OUT_LV} は、マルチドメイン論理回路700が第1のマルチドメイン論理回路630に対応する場合、プルアップゲートブースト開始信号 V_{TR1_LV} であってもよく、マルチドメイン論理回路700が第2のマルチドメイン論理回路640に対応する場合、プルアップゲートブースト終了信号 V_{TR2_LV} であってもよい。マルチドメイン論理回路700は、任意選択で、 V_{OUT_LV} の論理状態をラッチするように構成されたラッチ720（例えば、交差結合インバータ）を含み得る。

【0121】

図8は、本開示の別の態様にかかる、例示的な第1のプルアップブリドライバ800の概略図を示す。第1のプルアップブリドライバ800は、出力ドライバ350のPMOS FET M_{21} のための制御信号 V_{PCTL_HV} を生成する定常状態ブリドライバ330及び遷移ブリドライバ340の一部であり得る。第1のプルアップブリドライバ800は、第1の定常状態プルアップブリドライバ810及び第1のプルアップ遷移ブリドライバ8

10

20

30

40

50

30を含む。

【0122】

第1の定常状態プルアップブリドライバ810は、上側電圧レールVDDPXとHV電圧ドメインに関連付けられた下側電圧レールVSSIXとの間にPMOS FET M83と直列に結合されたインバータ820を含む。次に、インバータ820は、PMOS FET M81及びNMOS FET M82を含む。PMOS FET M81及びNMOS FET M82は、インバータ820の入力を形成するように互いに結合されたゲートを含む。インバータ820の入力は、HV電圧ドメインにおける入力信号VIN_HVを受信するように構成されている。PMOS FET M81及びNMOS FET M82は、第1のプルアップブリドライバ800の出力としても働き、PMOS FET M21のゲートに結合されるインバータ820の出力を形成するように互いに結合されたドレインを含む。出力信号VOUTの定常状態のハイ及びロー、並びに下降遷移の間、インバータ820は、出力ドライバ350のPMOS FET M21のための制御信号VPCTL_HVを生成するように構成されている。PMOS FET M83は、プルアップゲートブーストイネーブル信号VTR_LVを受信するように構成されたゲートを含む。

10

【0123】

第1のプルアップ遷移ブリドライバ830は、上側電圧レールVDDPXと第1のプルアップブリドライバ800の出力との間に結合されたNMOS FET M84を含む。第1のプルアップ遷移ブリドライバ830は、第1のプルアップブリドライバ800の出力と下側電圧レールVSSXとの間に直列に結合されたダイオード接続NMOS FET M85と、NMOS FET M86と、別のNMOS FET M87とを更に含む。NMOS FET M84は、バイアス電圧VSSIX（例えば、0.9V）を受け取るように構成されたゲートを含む。NMOS FET M85は、そのドレインとゲートが互いに結合されているのでダイオード接続されている。NMOS FET M86は、バイアス電圧VDDIX（例えば、0.9V）を受け取るように構成されたゲートを含む。NMOS FET M87は、プルアップゲートブーストイネーブル信号VTR_LVを受信するように構成されたゲートを含む。

20

【0124】

図3Bを更に参照すると、第1のプルアップブリドライバ800の動作は以下の通りである。出力信号VOUTが定常状態ハイ論理状態VDDPX（例えば、1.8V）にあるとき、制御信号VPCTL_HVは、ロー論理状態VSSIX（例えば、0.9V）にある。出力信号VOUTが定常状態ハイ論理状態VDDPX（例えば、1.8V）にあるとき、入力信号VIN_HVは、ハイ論理状態VDDPX（例えば、1.8V）にあり、プルアップゲートブーストイネーブル信号VTR_LVは、デアサートされたロー論理状態VSSX（例えば、0V）にある。したがって、PMOS FET M83がオンにされてインバータ820を有効にし、インバータ820は、入力信号VIN_HVのハイ論理状態VDDPX（例えば、1.8V）を反転して、ロー論理状態VSSIX（例えば、0.9V）で制御信号VPCTL_HVを生成する。この定常状態の間、第1のプルアップ遷移ブリドライバ830は、プルアップゲートブーストイネーブル信号VTR_LVのロー論理状態VSSX（例えば、0V）がNMOS FET M87をオフに維持するので無効にされる。

30

40

【0125】

制御信号VPCTL_HVは、出力信号VOUTが定常状態ロー論理状態VSSX（例えば、0V）にあるとき、ハイ論理状態VDDPX（例えば、1.8V）にある。出力信号VOUTが定常状態ロー論理状態VSSX（例えば、0V）であるとき、入力信号VIN_HVはロー論理状態VSSX（例えば、0V）であり、プルアップゲートブーストイネーブル信号VTR_LVはデアサートロー論理状態VSSX（例えば、0V）である。したがって、PMOS FET M83がオンにされてインバータ820を有効にし、インバータ820は、入力信号VIN_HVのロー論理状態VSSX（例えば、0V）を反転して、ハイ論理状態VDDPX（例えば、1.8V）で制御信号VPCTL_HVを生成する。同様に、この定常状態の間、第1のプルアップ遷移ブリドライバ830は、プルアップゲート

50

ブーストイネーブル信号 V_{TR_LV} のロー論理状態 V_{SSX} (例えば、0 V) が $NMOS FET M_{87}$ をオフに維持するので無効にされる。

【0126】

出力信号 V_{OUT} がハイ論理状態 V_{DDPX} (例えば、1.8 V) からロー論理状態 V_{SSX} (例えば、0 V) に遷移しているとき、制御信号 V_{PCTL_HV} は、ハイ論理状態 V_{DDPX} (例えば、0 V) にある。出力信号 V_{OUT} がロー論理状態 V_{SSX} (例えば、0 V) に遷移しているとき、入力信号 V_{IN_HV} はロー論理状態 V_{SSX} (例えば、0.9 V) にあり、プルアップゲートブーストイネーブル信号 V_{TR_LV} はデアサートされたロー論理状態 V_{SSX} (例えば、0 V) にある。したがって、 $PMOS FET M_{83}$ がオンにされてインバータ820を有効にし、インバータ820は、入力信号 V_{IN_HV} のロー論理状態 V_{SSX} (例えば、0 V) を反転して、ハイ論理状態 V_{DDPX} (例えば、1.8 V) で制御信号 V_{PCTL_HV} を生成する。このハイからローへの遷移期間中、第1のプルアップ遷移プリドライバ830は、プルアップゲートブーストイネーブル信号 V_{TR_LV} のロー論理状態 V_{SSX} (例えば、0 V) が $NMOS FET M_{87}$ をオフに維持するので無効にされる。

10

【0127】

出力信号 V_{OUT} がロー論理状態 V_{SSX} (例えば、0 V) からハイ論理状態 V_{DDPX} (例えば、1.8 V) に遷移しているとき、制御信号 V_{PCTL_HV} は、ブースト状態 (例えば、約0.4 V) にある。出力信号 V_{OUT} がハイ論理状態 V_{DDPX} (例えば、1.8 V) に遷移しているとき、入力信号 V_{IN_HV} はハイ論理状態 V_{DDPX} (例えば、1.8 V) にあり、プルアップゲートブーストイネーブル信号 V_{TR_LV} はアサートされたハイ論理状態 V_{DDIX} (例えば、0.9 V) にある。したがって、 $PMOS FET M_{83}$ は、第1の定常状態プルアッププリドライバ810を無効にするためにオフになる。プルアップゲートブーストイネーブル信号 V_{TR_LV} が有効にされたハイ論理状態 V_{DDIX} (例えば、0.9 V) にあると、 $NMOS FET M_{87}$ がオンになり、 V_{DDPX} と V_{SSX} との間に電流経路を生成する。 $NMOS FET M_{87}$ のオンはまた、 $NMOS FET M_{86}$ をオンにさせる。したがって、ダイオード接続 $NMOS FET M_{85}$ は、第1のプルアッププリドライバ800の出力と下側電圧レール V_{SSX} との間に結合される。それによって、約0.4 Vのブースト電圧レベルで制御信号 V_{PCTL_HV} を生成することができる (例えば、ダイオード接続 $NMOS FET M_{85}$ の両端間の電圧降下)。上部 $NMOS FET M_{84}$ は、 V_{DDPX} と V_{SSX} との間の電流を制限するように構成されている。

20

30

【0128】

図9は、本開示の別の態様にかかる、例示的な第2のプルアッププリドライバ900の概略図を示す。第2のプルアッププリドライバ900は、出力ドライバ350の $PMOS FET M_{22}$ のための制御信号 V_{PCTL_LV} を生成する定常状態プリドライバ330及び遷移プリドライバ340の一部であり得る。第2のプルアッププリドライバ900は、第2の定常状態プルアッププリドライバ910及び第2のプルアップ遷移プリドライバ930を含む。

【0129】

第2の定常状態プルアッププリドライバ910は、バイアス電圧 V_{DDIX} (例えば、0.9 V) を受信するように構成されたソースと、プルアップゲートブーストイネーブル信号 V_{TR_LV} を受信するように構成されたゲートと、出力ドライバ350の $PMOS FET M_{22}$ のための制御信号 V_{PCTL_LV} を生成するために第2のプルアッププリドライバ900の出力として機能するドレインと、を含む $PMOS FET M_{91}$ を含む (第2のプルアッププリドライバ900の出力は、 $PMOS FET M_{22}$ のゲートに結合される)。

40

【0130】

第2のプルアップ遷移プリドライバ930は、上側電圧レール V_{DDPX} と第2のプルアッププリドライバ900の出力との間に結合された $NMOS FET M_{92}$ を含む。第

50

2のプルアップ遷移プリドライバ930は、第2のプルアッププリドライバ900の出力と下側電圧レールVSSXとの間にNMOS FET M₉₄と直列に結合されたダイオード接続NMOS FET M₉₃を更に含む。NMOS FET M₉₂は、バイアス電圧VSSIX(例えば、0.9V)を受け取るように構成されたゲートを含む。NMOS FET M₉₃は、そのドレインとゲートが互いに結合されているので、ダイオード接続されている。NMOS FET M₉₄は、プルアップゲートブーストイネーブル信号VTR_LVを受信するように構成されたゲートを含む。

【0131】

図3Bを更に参照すると、第2のプルアッププリドライバ900の動作は以下の通りである。出力信号V_{OUT}が定常状態ハイ論理状態VDDPX(例えば、1.8V)、定常状態ロー論理状態VSSX(例えば、0V)にあるとき、又はハイからローに遷移しているとき、制御信号V_{PCTL_LV}は、非ブースト状態(例えば、0.9V)にある。出力信号V_{OUT}が前述の状態にあるとき、プルアップゲートブーストイネーブル信号V_{TR_LV}は、デアサートされたロー論理状態VSSX(例えば、0V)にある。これにより、PMOS FET M₉₁はオンになり、そのソース電圧VDDIX(例えば0.9V)を制御信号V_{PCTL_LV}として出力する。これらの状態の間、第2のプルアップ遷移プリドライバ930は、プルアップゲートブーストイネーブル信号V_{TR_LV}のロー論理状態VSSX(例えば、0V)がNMOS FET M₉₄をオフに維持するので無効にされる。

【0132】

出力信号V_{OUT}がロー論理状態VSSX(例えば、0V)からハイ論理状態VDDPX(例えば、1.8V)に遷移しているとき、制御信号V_{PCTL_LV}は、ブースト状態(例えば、約0.4V)にある。出力信号V_{OUT}がハイ論理状態VDDPX(例えば、1.8V)に遷移しているとき、プルアップゲートブーストイネーブル信号V_{TR_LV}は、アサートされたハイ論理状態VDDIX(例えば、0.9V)にある。したがって、PMOS FET M₉₁はオフにされて、第2の定常状態プルアッププリドライバ910を無効にする。プルアップゲートブーストイネーブル信号V_{TR_LV}がアサートされたハイ論理状態VDDIX(例えば、0.9V)にあると、NMOS FET M₉₄がオンになり、VDDPXとVSSXとの間に電流経路を生成する。したがって、ダイオード接続NMOS FET M₉₃は、第2のプルアッププリドライバ900の出力と下側電圧レールVSSXとの間に結合され、それにより、約0.4Vのブースト電圧レベル(例えば、ダイオード接続NMOS FET M₉₃の両端間の電圧降下)で制御信号V_{PCTL_LV}を生成する。上部NMOS FET M₉₂は、VDDPXとVSSXとの間の電流を制限するように構成されている。

【0133】

図10は、本開示の別の態様にかかる、例示的な第1のプルダウンプリドライバ1000の概略図を示す。第1のプルダウンプリドライバ1000は、出力ドライバ350のNMOS FET M₂₄の制御信号V_{NCTL_LV}を生成する定常状態プリドライバ330及び遷移プリドライバ340の一部であり得る。第1のプルダウンプリドライバ1000は、第1の定常状態プルダウンプリドライバ1010及び第1のプルダウン遷移プリドライバ1030を含む。

【0134】

第1の定常状態プルダウンプリドライバ1010は、LV電圧ドメインに関連付けられた上側電圧レールVDDIXと下側電圧レールVSSXとの間にインバータ1020と直列に結合されたNMOS FET M₁₀₁を含む。NMOS FET M₁₀₁は、プルダウングートブーストイネーブル信号V_{TF_HV}を受信するように構成されたゲートを含む。次に、インバータ1020は、PMOS FET M₁₀₂及びNMOS FET M₁₀₃を含む。PMOS FET M₁₀₂及びNMOS FET M₁₀₃は、インバータ1020の入力を形成するように互いに結合されたゲートを含む。インバータ1020の入力は、LV電圧ドメインにおける入力信号V_{IN_LV}を受信するように構成されている。PMOS FET M₁₀₂及びNMOS FET M₁₀₃は、第1のプルダウンプリドライ

10

20

30

40

50

バ1000の出力としても機能し、NMOS FET M₂₄のゲートに結合されるインバータ1020の出力を形成するように互いに結合されたドレインを含む。定常状態のハイ及びロー、並びに出力信号V_{OUT}の上昇遷移の間、インバータ1020は、出力ドライバ350のNMOS FET M₂₄のための制御信号V_{NCTL_LV}を生成するように構成されている。

【0135】

第1のプルダウン遷移プリドライバ1030は、上側電圧レールV_{DDPX}と第1のプルダウンプリドライバ1000の出力との間に直列に結合された、第1のPMOS FET M₁₀₄と、第2のPMOS FET M₁₀₅と、ダイオード接続PMOS FET M₁₀₆と、を含む。第1のプルダウン遷移プリドライバ1030は、第1のプルダウンプリドライバ1000の出力と下側電圧レールV_{SSX}との間に結合された第3のPMOS FET M₁₀₇を更に含む。PMOS FET M₁₀₄は、プルダウンゲートブーストイネーブル信号V_{TF_HV}を受信するように構成されたゲートを含む。PMOS FET M₁₀₅は、バイアス電圧V_{SSIX}（例えば、0.9V）を受け取るように構成されたゲートを含む。PMOS FET M₁₀₆は、そのドレインとゲートが互いに結合されているので、ダイオード接続されている。PMOS FET M₁₀₇は、バイアス電圧V_{DDIX}（例えば、0.9V）を受け取るように構成されたゲートを含む。

10

【0136】

図3Bを更に参照すると、第1のプルダウンプリドライバ1000の動作は以下の通りである。出力信号V_{OUT}が定常状態のロー論理状態V_{SSX}（例えば、0V）にあるとき、制御信号V_{NCTL_LV}は、ハイ論理状態V_{DDIX}（例えば、0.9V）にある。出力信号V_{OUT}が定常状態ロー論理状態V_{SSX}（例えば、0V）であるとき、入力信号V_{IN_LV}は、ロー論理状態V_{SSX}（例えば、0V）であり、プルダウンゲートブーストイネーブル信号V_{TF_HV}は、デアサートされたハイ論理状態V_{DDPX}（例えば、1.8V）である。したがって、NMOS FET M₁₀₁はオンにされてインバータ1020を有効にし、インバータ1020は、入力信号V_{IN_LV}のロー論理状態V_{SSX}（例えば、0V）を反転して、ハイ論理状態V_{DDIX}（例えば、0.9V）で制御信号V_{NCTL_LV}を生成する。この定常状態の間、プルダウンゲートブーストイネーブル信号V_{TF_HV}のデアサートされたハイ論理状態V_{DDPX}（例えば、1.8V）がPMOS FET M₁₀₄をオフに維持するので、第1のプルダウン遷移プリドライバ1030は無効にされる。

20

30

【0137】

出力信号V_{OUT}が定常状態ハイ論理状態V_{DDPX}（例えば、1.8V）にあるとき、制御信号V_{NCTL_LV}は、ロー論理状態V_{SSX}（例えば、0V）にある。出力信号V_{OUT}が定常状態ハイ論理状態V_{DDPX}（例えば、1.8V）にあるとき、入力信号V_{IN_LV}は、ハイ論理状態V_{DDIX}（例えば、0.9V）にあり、プルダウンゲートブーストイネーブル信号V_{TF_HV}は、デアサートされたハイ論理状態V_{DDPX}（例えば、1.8V）にある。したがって、NMOS FET M₁₀₁がオンにされてインバータ1020を有効にし、インバータ1020は、入力信号V_{IN_LV}のハイ論理状態V_{DDIX}（例えば、0.9V）を反転して、ロー論理状態V_{SSX}（例えば、0V）で制御信号V_{NCTL_LV}を生成する。同様に、この定常状態の間、プルダウンゲートブーストイネーブル信号V_{TF_HV}のデアサートされたハイ論理状態V_{DDPX}（例えば、1.8V）がPMOS FET M₁₀₄をオフに維持するので、第1のプルダウン遷移プリドライバ1030は無効にされる。

40

【0138】

出力信号V_{OUT}がロー論理状態V_{SSX}（例えば、0V）からハイ論理状態V_{DDPX}（例えば、0V）に遷移しているとき、制御信号V_{NCTL_LV}は、ロー論理状態V_{SSX}（例えば、1.8V）にある。出力信号V_{OUT}がハイ論理状態V_{DDPX}（例えば、1.8V）に遷移しているとき、入力信号V_{IN_LV}は、ハイ論理状態V_{DDIX}（例えば、0.9V）にあり、プルダウンゲートブーストイネーブル信号V_{TF_HV}は、デアサー

50

トされたハイ論理状態 $VDDPX$ (例えば、 $1.8V$) にある。したがって、 $NMOS FET M_{101}$ がオンにされてインバータ 1020 を有効にし、インバータ 1020 は、入力信号 V_{IN_LV} のハイ論理状態 $VDDIX$ (例えば、 $0.9V$) を反転して、ロー論理状態 $VSSX$ (例えば、 $0V$) で制御信号 V_{NCTL_LV} を生成する。このローからハイへの遷移期間中、プルダウンゲートブーストイネーブル信号 V_{TF_HV} のデアサートされたハイ論理状態 $VDDPX$ (例えば、 $1.8V$) が $NMOS FET M_{104}$ をオフに維持するので、第1のプルダウン遷移プリドライバ 1030 は無効にされる。

【0139】

出力信号 V_{OUT} がハイ論理状態 $VDDPX$ (例えば、 $1.8V$) からロー論理状態 $VSSX$ (例えば、 $0V$) に遷移しているとき、制御信号 V_{NCTL_LV} は、ブースト状態 (例えば、約 $1.4V$) にある。出力信号 V_{OUT} がロー論理状態 $VSSX$ (例えば、 $0V$) に遷移しているとき、入力信号 V_{IN_LV} は、ロー論理状態 $VSSX$ (例えば、 $0V$) にあり、プルダウンゲートブーストイネーブル信号 V_{TF_HV} は、アサートされたロー論理状態 $VSSIX$ (例えば、 $0.9V$) にある。したがって、 $NMOS FET M_{101}$ は、第1の定常状態プルダウンプリドライバ 1010 を無効にするためにオフになる。プルダウンゲートブーストイネーブル信号 V_{TF_HV} がアサートされたロー論理状態 $VSSIX$ (例えば、 $0.9V$) にあると、 $PMOS FET M_{104}$ はオンになり、 $VDDPX$ と $VSSX$ との間に電流経路を生成する。 $PMOS FET M_{104}$ のオンはまた、 $PMOS FET M_{105}$ をオンにする。したがって、ダイオード接続 $PMOS FET M_{106}$ は、上側電圧レール $VDDPX$ と第1のプルダウンプリドライバ 1000 の出力との間に結合される。それによって、約 $1.4V$ のブースト電圧レベルで制御信号 V_{NCTL_LV} を生成する (例えば、 $VDDPX$ (例えば、 $1.8V$) を下回るダイオード電圧降下)。下部 $PMOS FET M_{107}$ は、 $VDDPX$ と $VSSX$ との間の電流を制限するように構成されている。

【0140】

図11は、本開示の別の態様にかかる、例示的な第2のプルダウンプリドライバ 1100 の概略図を示す。第2のプルダウンプリドライバ 1100 は、出力ドライバ 350 の $NMOS FET M_{23}$ の制御信号 V_{NCTL_HV} を生成する定常状態プリドライバ 330 及び遷移プリドライバ 340 の一部であり得る。第2のプルダウンプリドライバ 1100 は、第2の定常状態プルダウンプリドライバ 1110 及び第2のプルダウン遷移プリドライバ 1130 を含む。

【0141】

第2の定常状態プルダウンプリドライバ 1110 は、バイアス電圧 $VSSIX$ (例えば、 $0.9V$) を受信するように構成されたドレインと、プルダウンゲートブーストイネーブル信号 V_{TF_HV} を受信するように構成されたゲートと、第2のプルダウンプリドライバ 1100 の出力として働いて、出力ドライバ 350 の $NMOS FET M_{23}$ のための制御信号 V_{NCTL_HV} を生成するドレインと、を含む $NMOS FET M_{121}$ を含む (第2のプルダウンプリドライバ 1100 の出力は、 $NMOS FET M_{23}$ のゲートに結合される)。

【0142】

第2のプルダウン遷移プリドライバ 1130 は、上側電圧レール $VDDPX$ と第2のプルダウンプリドライバ 1100 の出力との間にダイオード接続 $PMOS FET M_{123}$ と直列に結合された $PMOS FET M_{122}$ を含む。第2のプルダウン遷移プリドライバ 1130 は、第2のプルダウンプリドライバ 1100 の出力と下側電圧レール $VSSX$ との間に結合された $PMOS FET M_{124}$ を更に含む。 $PMOS FET M_{122}$ は、プルダウンゲートブーストイネーブル信号 V_{TF_HV} を受信するように構成されたゲートを含む。 $PMOS FET M_{123}$ は、そのドレインとゲートが互いに結合されているので、ダイオード接続されている。 $PMOS FET M_{124}$ は、 LV 電圧ドメインのハイ論理電圧 $VDDIX$ (例えば、 $0.9V$) を受け取るように構成されたゲートを含む。

【0143】

10

20

30

40

50

図3Bを更に参照すると、第2のプルダウンプリドライバ1100の動作は以下の通りである。出力信号 V_{OUT} がハイ定常状態 V_{DDPX} （例えば、1.8V）及びロー定常状態 V_{SSX} （例えば、0V）にあるとき、又はローからハイに遷移しているとき、制御信号 V_{NCTL_HV} は、非ブースト状態（例えば、0.9V）にある。出力信号 V_{OUT} が前述の状態にあるとき、プルダウンゲートブーストイネーブル信号 V_{TF_HV} は、デアサートされたハイ論理状態 V_{DDPX} （例えば、1.8V）にある。これにより、NMOS FET M_{121} はオン状態となり、そのドレイン電圧 V_{SSIX} （例えば、0.9V）を制御信号 V_{NCTL_HV} として出力する。これらの状態の間、プルダウンゲートブーストイネーブル信号 V_{TF_HV} のデアサートされたハイ論理状態 V_{DDPX} （例えば、1.8V）がPMOS FET M_{122} をオフに維持するので、第2のプルダウン遷移プリドライバ1130は無効にされる。

10

【0144】

出力信号 V_{OUT} がハイ論理状態 V_{DDPX} （例えば、1.8V）からロー論理状態 V_{SSX} （例えば、0V）に遷移しているとき、制御信号 V_{NCTL_HV} はブースト状態（例えば、約1.4V）にある。出力信号 V_{OUT} がロー論理状態 V_{SSX} （例えば、0V）に遷移しているとき、プルダウンゲートブーストイネーブル信号 V_{TF_HV} は、アサートされたロー論理状態 V_{SSIX} （例えば、0.9V）にある。したがって、NMOS FET M_{121} はオフにされて、第2の定常状態プルダウンプリドライバ1110を無効にする。プルダウンゲートブーストイネーブル信号 V_{TF_HV} がアサートされたロー論理状態 V_{SSIX} （例えば、0.9V）にあると、PMOS FET M_{122} はオンになり、 V_{DDPX} と V_{SSX} との間に電流経路を生成する。したがって、ダイオード接続PMOS FET M_{123} は、上側電圧レール V_{DDPX} と第2のプルダウンプリドライバ1100の出力との間に結合される。それによって、約1.4Vのブースト電圧レベルで制御信号 V_{NCTL_HV} を生成する（例えば、 V_{DDPX} を下回るダイオード電圧降下）。下部PMOS FET M_{124} は、 V_{DDPX} と V_{SSX} との間の電流を制限するように構成されている。

20

【0145】

図12は、本開示の別の態様にかかる、出力信号を生成するために入力信号を電圧レベルシフトする例示的な方法1200のフロー図を示す。本方法は、第1のpチャネル型金属酸化膜半導体電界効果トランジスタ（PMOS FET）のゲートに第1の制御信号を印加すること（ブロック1210）を含む。第1のpチャネル型金属酸化膜半導体電界効果トランジスタ（PMOS FET）のゲートに第1の制御信号を印加するための手段の例は、本明細書で説明するプルアップ定常状態プリドライバ又は遷移プリドライバのいずれかを含む。

30

【0146】

方法1200は、第1の電圧レールと出力との間で第1のPMOS FETと直列に結合された第2のPMOS FETのゲートに第2の制御信号を印加することであって、出力における出力信号がロー論理状態にあるとき、第1の制御信号及び第2の制御信号は、ハイ論理電圧にあり、出力信号がロー論理状態にあるとき、第1の制御信号及び第2の制御信号は、ロー論理電圧にあり、出力信号がロー論理状態からハイ論理状態に遷移しているとき、第1の制御信号及び第2の制御信号は、それぞれ第1のセットのブースト電圧にある、こと（ブロック1220）を更に含む。第2のPMOS FETのゲートに第2の制御信号を印加するための手段の例は、本明細書で説明するプルアップ定常状態プリドライバ又は遷移プリドライバのいずれかを含む。

40

【0147】

方法1200は、第1のnチャネル型金属酸化膜半導体電界効果トランジスタ（NMOS FET）のゲートに第3の制御信号を印加すること（ブロック1230）を更に含む。第1のnチャネル型金属酸化膜半導体電界効果トランジスタ（NMOS FET）のゲートに第3の制御信号を印加するための手段の例は、本明細書で説明するプルダウン定常状態プリドライバ又は遷移プリドライバのいずれかを含む。

50

【 0 1 4 8 】

更に、方法 1 2 0 0 は、出力と第 2 の電圧レールとの間で第 1 の N M O S F E T と直列に結合された第 2 の N M O S F E T のゲートに第 4 の制御信号を印加することであって、出力信号がハイ論理状態にあるとき、第 3 の制御信号及び第 4 の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態にあるとき、第 3 の制御信号及び第 4 の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態からロー論理状態に遷移しているとき、第 3 の制御信号及び第 4 の制御信号が、それぞれ第 2 のセットのブースト電圧にある、こと（ブロック 1 2 4 0）を含む。第 2 の N M O S F E T のゲートに第 4 の制御信号を印加するための手段の例は、本明細書で説明するプルダウン定常状態プリドライバ又は遷移プリドライバのいずれかを含む。

10

【 0 1 4 9 】

図 1 3 は、本開示の別の態様にかかる、例示的な無線通信デバイス 1 3 0 0 のブロック図を示す。無線通信デバイス 1 3 0 0 は、少なくとも 1 つのアンテナ 1 3 6 0（例えば、少なくとも 1 つのアンテナアレイ）と、少なくとも 1 つのアンテナ 1 3 6 0 に結合された送受信機 1 3 5 0 と、送受信機に結合された集積回路（IC）又はシステムオンチップ（SOC）1 3 1 0 と、を含む。IC 又は SOC 1 3 1 0 は、1 つ又は複数の信号処理コア 1 3 2 0 及び 1 つ又は複数の入力 / 出力（I / O）回路 1 3 3 0 を含む。1 つ又は複数の I / O 回路 1 3 3 0 は、本明細書で説明する I / O 回路のいずれかごとに実装され得る。

【 0 1 5 0 】

信号送信用途にしたがって、1 つ又は複数の信号処理コア 1 3 2 0 は、第 1 の電圧ドメイン（例えば、C X 電圧ドメイン）における送信ベースバンド（BB）信号を処理するように構成され得る。1 つ又は複数の I / O 回路 1 3 3 0 は、送信（BB）ベースバンド信号を第 2 の電圧ドメイン（例えば、P X 電圧ドメイン）に上向きに電圧レベルシフトするように構成され得る。第 2 の電圧ドメインにおける送信ベースバンド（BB）信号は、送信ベースバンド（BB）信号に基づいて送信無線周波数（RF）信号を生成するように構成された送受信機 1 3 5 0 に供給される。送信 RF 信号は、1 つ又は複数のリモート無線デバイスへの無線送信のために少なくとも 1 つのアンテナ 1 3 6 0 に供給される。

20

【 0 1 5 1 】

本明細書で説明されるインバータ及び論理ゲート（例えば、AND、NAND など）は、トランジスタの異なる構成及び / 又は論理ゲートの組合せで実装され得ることを理解されたい。例えば、インバータは、NAND ゲートを使用して実装することができる。

30

【 0 1 5 2 】

以下は、本開示の態様の概要を提供する。

態様 1：出力ドライバであって、第 1 の p チャネル型金属酸化膜半導体電界効果トランジスタ（PMOS FET）と、第 1 の電圧レールと出力との間で第 1 の PMOS FET と直列に結合された第 2 の PMOS FET と、第 1 の n チャネル型金属酸化膜半導体電界効果トランジスタ（NMOS FET）と、出力と第 2 の電圧レールとの間で第 1 の NMOS FET と直列に結合された第 2 の NMOS FET と、を含む、出力ドライバと、第 1 の PMOS FET 及び第 2 の PMOS FET 並びに第 1 の NMOS FET 及び第 2 の NMOS FET のゲートに結合された第 1 のプリドライバと、第 1 の PMOS FET 及び第 2 の PMOS FET 並びに第 1 の NMOS FET 及び第 2 の NMOS FET のゲートに結合された第 2 のプリドライバと、を含む、装置。

40

【 0 1 5 3 】

態様 2：第 1 のプリドライバが、第 1 の PMOS FET のゲートに結合されたプルアッププリドライバを含む、態様 1 に記載の装置。

【 0 1 5 4 】

態様 3：プルアッププリドライバが、入力信号を受信するように構成された入力と、第 1 の PMOS FET のゲートに結合された出力と、を含むインバータと、第 1 の電圧レールと第 3 の電圧レールとの間でインバータと直列に結合された第 3 の PMOS FET であって、プルアップゲートブーストイネーブル信号を受信するように構成されている、

50

第3のPMOS FETと、を含む、態様2に記載の装置。

【0155】

態様4：第2のプリドライバが、第1のPMOS FETのゲートに結合されたプルアッププリドライバを含む、態様1～3のいずれか1つに記載の装置。

【0156】

態様5：プルアッププリドライバは、第1の電圧レールと第1のPMOS FETのゲートとの間に結合された第3のNMOS FETであって、第1のバイアス電圧を受け取るように構成されたゲートを含む、第3のNMOS FETと、ダイオード接続NMOS FETと、第2のバイアス電圧を受け取るように構成されたゲートを含む第4のNMOS FETと、第1のPMOS FETのゲートと第2の電圧レールとの間でダイオード接続NMOS FET及び第4のNMOS FETと直列に結合された第5のNMOS FETであって、プルアップゲートブーストイネーブル信号を受信するように構成されたゲートを含む、第5のNMOS FETと、を含む、態様4に記載の装置。

10

【0157】

態様6：第1のプリドライバが、第2のPMOS FETのゲートに結合されたプルアッププリドライバを含む、態様1～5のいずれか1つに記載の装置。

【0158】

態様7：プルアッププリドライバが、バイアス電圧を受け取るように構成されたソースと、プルアップゲートブーストイネーブル信号を受け取るように構成されたゲートと、第2のPMOS FETのゲートに結合されたドレインと、を含む第3のPMOS FETを含む、態様6に記載の装置。

20

【0159】

態様8：第2のプリドライバが、第2のPMOS FETのゲートに結合されたプルアッププリドライバを含む、態様1～7のいずれか1つに記載の装置。

【0160】

態様9：プルアッププリドライバが、第1の電圧レールと第2のPMOS FETのゲートとの間に結合された第3のNMOS FETであって、バイアス電圧を受け取るように構成されたゲートを含む、第3のNMOS FETと、ダイオード接続NMOS FETと、第2のPMOS FETのゲートと第2の電圧レールとの間でダイオード接続NMOS FETと直列に結合された第4のNMOS FETであって、プルアップゲートブーストイネーブル信号を受信するように構成されたゲートを含む、第4のNMOS FETと、を備える、態様8に記載の装置。

30

【0161】

態様10：第1のプリドライバが、第2のNMOS FETのゲートに結合されたプルダウンプリドライバを含む、態様1～9のいずれか1つに記載の装置。

【0162】

態様11：プルダウンプリドライバは、プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートを含む第3のNMOS FETと、第3の電圧レールと第2の電圧レールとの間で第3のNMOS FETと直列に結合されたインバータであって、入力信号を受信するように構成された入力と、第2のNMOS FETのゲートに結合された出力と、を含む、インバータと、を含む、態様10に記載の装置。

40

【0163】

態様12：第2のプリドライバが、第2のNMOS FETのゲートに結合されたプルダウンプリドライバを含む、態様1～11のいずれか1つに記載の装置。

【0164】

態様13：プルダウンプリドライバが、プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートを含む第3のPMOS FETと、第1のバイアス電圧を受け取るように構成されたゲートを含む第4のPMOS FETと、第1の電圧レールと第2のNMOS FETのゲートとの間に直列に結合されたダイオード接続PMOS FETと、第2のバイアス電圧を受け取るように構成されたゲートを含む第4のPMOS F

50

FETと、を含む、態様12に記載の装置。

【0165】

態様14：第1のプリドライバが、第1のNMOS FETのゲートに結合されたプルダウンプリドライバを含む、態様1～13のいずれか1つに記載の装置。

【0166】

態様15：プルダウンプリドライバが、バイアス電圧を受け取るように構成されたドレインと、プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートと、第1のNMOS FETのゲートに結合されたドレインと、を含む第3のNMOS FETを含む、態様14に記載の装置。

【0167】

態様16：第2のプリドライバが、第1のNMOS FETのゲートに結合されたプルダウンプリドライバを含む、態様1～15のいずれか1つに記載の装置。

【0168】

態様17：プルダウンプリドライバが、プルダウンゲートブーストイネーブル信号を受信するように構成されたゲートを含む第3のPMOS FETと、第1の電圧レールと第1のNMOS FETのゲートとの間で第3のPMOS FETと直列に結合されたダイオード接続PMOS FETと、第1のNMOS FETのゲートと第2の電圧レールとの間に結合された第4のPMOS FETであって、バイアス電圧を受け取るように構成されたゲートを含む、第4のPMOS FETと、を含む、態様16の装置。

【0169】

態様18：第1のプリドライバ及び第2のプリドライバに結合されているゲートブースト制御回路を更に含む、態様1～17のいずれか1つに記載の装置。

【0170】

態様19：ゲートブースト制御回路が、プルアップゲートブースト制御回路を含む、態様18に記載の装置。

【0171】

態様20：プルアップゲートブースト制御回路が、第1のマルチドメイン論理回路であって、第1の電圧ドメインにおける入力信号及び第2の電圧ドメインにおける相補入力信号をそれぞれ受信するように構成された第1の入力及び第2の入力と、第2の電圧ドメインにおけるプルアップゲートブースト開始信号を生成するように構成された第1の出力と、を含む、第1のマルチドメイン論理回路と、第2のマルチドメイン論理回路であって、第1の電圧ドメインにおける相補出力信号及び第2の電圧ドメインにおける出力信号をそれぞれ受信するように構成された第3の入力及び第4の入力と、第2の電圧ドメインにおけるプルアップゲートブースト終了信号を生成するように構成された第2の出力と、を含む、第2のマルチドメイン論理回路と、論理ゲートであって、プルアップゲートブースト開始信号及びプルアップゲート終了信号をそれぞれ受信するように構成された第5の入力及び第6の入力と、第2の電圧ドメインにおけるプルアップゲートブーストイネーブル信号を生成するように構成された第3の出力と、を含み、第3の出力が、第1のプリドライバ及び第2のプリドライバに結合されている、論理ゲートと、を含む、態様19に記載の装置。

【0172】

態様21：第1のマルチドメイン論理回路が、入力信号を受信するように構成されたゲートを含む第3のNMOS FETと、第3の電圧レールと第2の電圧レールとの間で第3のNMOS FETと直列に結合されたインバータであって、相補入力信号を受信するように構成された入力と、プルアップゲートブースト開始信号を生成するように構成された出力と、を含む、インバータと、を含む、態様20に記載の装置。

【0173】

態様22：第2のマルチドメイン論理回路が、相補出力信号を受信するように構成されたゲートを含む第3のNMOS FETと、第3の電圧レールと第2の電圧レールとの間で第3のNMOS FETと直列に結合されたインバータであって、入力信号を受信する

10

20

30

40

50

ように構成された入力と、プルアップゲートブースト終了信号を生成するように構成された出力と、を含む、インバータと、を含む、態様 20 又は 21 に記載の装置。

【0174】

態様 23：ゲートブースト制御回路が、プルダウングートブースト制御回路を含む、態様 18～22 のいずれか 1 つに記載の装置。

【0175】

態様 24：プルダウングートブースト制御回路が、第 1 のマルチドメイン論理回路であって、第 1 の電圧ドメインにおける入力信号及び第 2 の電圧ドメインにおける相補入力信号をそれぞれ受信するように構成された第 1 の入力及び第 2 の入力と、第 1 の電圧ドメインにおけるプルダウングートブースト開始信号を生成するように構成された第 1 の出力と、を含む、第 1 のマルチドメイン論理回路と、第 2 のマルチドメイン論理回路であって、第 1 の電圧ドメインにおける相補出力信号及び第 2 の電圧ドメインにおける出力信号をそれぞれ受信するように構成された第 3 の入力及び第 4 の入力と、第 1 の電圧ドメインにおけるプルダウングートブースト終了信号を生成するように構成された第 2 の出力と、を含む、第 2 のマルチドメイン論理回路と、論理ゲートであって、プルダウングートブースト開始信号及びプルダウングート終了信号をそれぞれ受信するように構成された第 5 の入力及び第 6 の入力と、第 1 の電圧ドメインにおけるプルダウングートブーストイネーブル信号を生成するように構成された第 3 の出力と、を含み、第 3 の出力が、第 1 のプリドライバ及び第 2 のプリドライバに結合されている、論理ゲートと、を含む、態様 23 に記載の装置。

10

20

【0176】

態様 25：第 1 のマルチドメイン論理回路が、入力信号を受信するように構成された入力と、プルダウングートブースト開始信号を生成するように構成された出力と、を含むインバータと、第 1 の電圧レールと第 3 の電圧レールとの間でインバータと直列に結合された第 3 の PMOS FET であって、相補入力信号を受信するように構成されたゲートを含む、第 3 の PMOS FET と、を含む、態様 24 に記載の装置。

【0177】

態様 26：第 2 のマルチドメイン論理回路が、相補出力信号を受信するように構成された入力と、プルダウングートブースト終了信号を生成するように構成された出力と、を含むインバータと、第 1 の電圧レールと第 3 の電圧レールとの間でインバータと直列に結合された第 3 の PMOS FET であって、出力信号を受信するように構成されたゲートを含む、第 3 の PMOS FET と、を含む、態様 24 又は 25 に記載の装置。

30

【0178】

態様 27：第 1 の p チャネル型金属酸化膜半導体電界効果トランジスタ (PMOS FET) のゲートに第 1 の制御信号を印加することと、第 1 の電圧レールと出力との間で第 1 の PMOS FET と直列に結合された第 2 の PMOS FET のゲートに第 2 の制御信号を印加することであって、出力における出力信号がロー論理状態にあるとき、第 1 の制御信号及び第 2 の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態にあるとき、第 1 の制御信号及び第 2 の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態からハイ論理状態に遷移しているとき、第 1 の制御信号及び第 2 の制御信号が、それぞれ第 1 のセットのブースト電圧にある、ことと、第 1 の n チャネル型金属酸化膜半導体電界効果トランジスタ (NMOS FET) のゲートに第 3 の制御信号を印加することと、出力と第 2 の電圧レールとの間で第 1 の NMOS FET と直列に結合された第 2 の NMOS FET のゲートに第 4 の制御信号を印加することであって、出力信号がハイ論理状態にあるとき、第 3 の制御信号及び第 4 の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態にあるとき、第 3 の制御信号及び第 4 の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態からロー論理状態に遷移しているとき、第 3 の制御信号及び第 4 の制御信号が、それぞれ第 2 のセットのブースト電圧にある、ことと、を含む、方法。

40

【0179】

態様 28：入力信号に基づいて第 1 のセットのブースト電圧及び第 2 のセットのブース

50

ト電圧を開始することと、出力信号に基づいて第1のセットのブースト電圧及び第2のセットのブースト電圧を終了することと、を更に含む、態様27に記載の方法。

【0180】

態様29：第1のpチャネル型金属酸化膜半導体電界効果トランジスタ（PMOS FET）のゲートに第1の制御信号を印加するための手段と、第1の電圧レールと出力との間で第1のPMOS FETと直列に結合された第2のPMOS FETのゲートに第2の制御信号を印加するための手段であって、出力における出力信号がロー論理状態にあるとき、第1の制御信号及び第2の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態にあるとき、第1の制御信号及び第2の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態からハイ論理状態に遷移しているとき、第1の制御信号及び第2の制御信号が、第1のセットのブースト電圧にある、手段と、第1のnチャネル型金属酸化膜半導体電界効果トランジスタ（NMOS FET）のゲートに第3の制御信号を印加するための手段と、出力と第2の電圧レールとの間で第1のNMOS FETと直列に結合された第2のNMOS FETのゲートに第4の制御信号を印加するための手段であって、出力信号がハイ論理状態にあるとき、第3の制御信号及び第4の制御信号が、ロー論理電圧にあり、出力信号がロー論理状態にあるとき、第3の制御信号及び第4の制御信号が、ハイ論理電圧にあり、出力信号がハイ論理状態からロー論理状態に遷移しているとき、第3の制御信号及び第4の制御信号が、第2のセットのブースト電圧にある、手段と、を備える、装置。

10

【0181】

態様30：少なくとも1つのアンテナと、少なくとも1つのアンテナに結合された送受信機と、1つ又は複数の入力/出力（I/O）回路を含む集積回路（IC）と、を含む無線通信デバイスであって、1つ又は複数のI/O回路のうち少なくとも1つは、出力ドライバであって、第1のpチャネル型金属酸化膜半導体電界効果トランジスタ（PMOS FET）と、上側電圧レールと出力との間で第1のPMOS FETと直列に結合された第2のPMOS FETと、第1のnチャネル型金属酸化膜半導体電界効果トランジスタ（NMOS FET）と、出力と下側電圧レールとの間で第1のNMOS FETと直列に結合された第2のNMOS FETと、を含む、出力ドライバと、第1のPMOS FET及び第2のPMOS FET並びに第1のNMOS FET及び第2のNMOS FETのゲートに結合された第1のプリドライバと、第1のPMOS FET及び第2のPMOS FET並びに第1のNMOS FET及び第2のNMOS FETのゲートに結合された第2のプリドライバと、を含む、無線通信デバイス。

20

30

【0182】

本開示の上記の説明は、あらゆる当業者が本開示を作成又は使用することが可能となるように提供される。本開示に対する様々な修正は、当業者には容易に明らかとなり、本明細書で定義されている一般的原理は、本開示の趣旨又は範囲から逸脱することなく、他の変形例に適用することができる。したがって、本開示は、本明細書で説明されている実施例に限定されることを意図するものではなく、本明細書で開示されている原理及び新規の特徴と一致する最も広い範囲が与えられるべきである。

40

50

【図面】

【図 1 A】

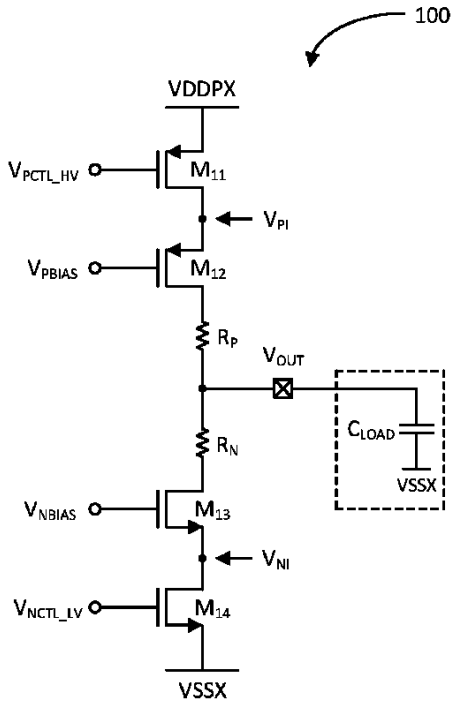
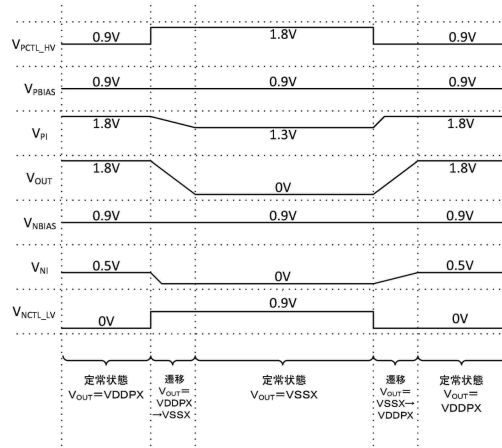


FIG. 1A

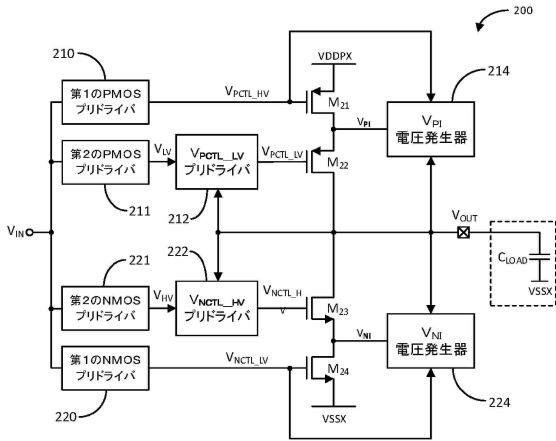
【図 1 B】



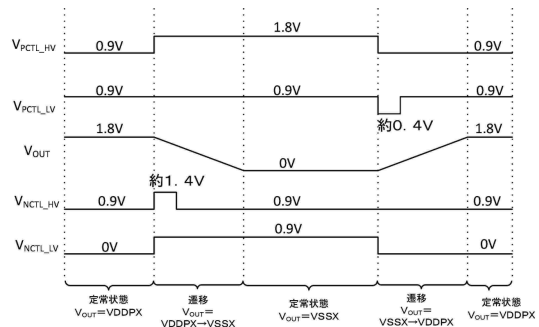
10

20

【図 2 A】



【図 2 B】

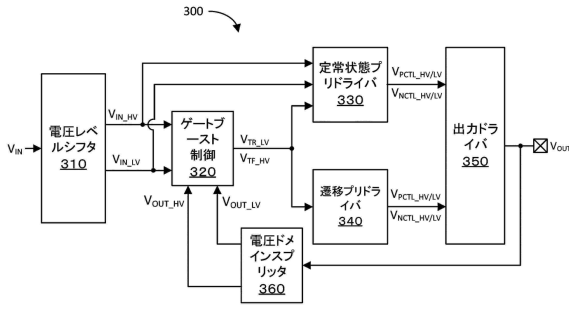


30

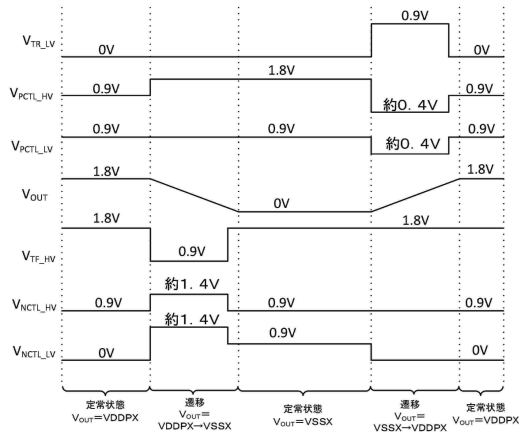
40

50

【図 3 A】

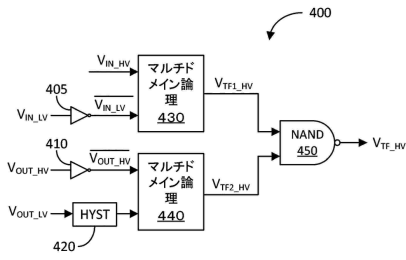


【図 3 B】

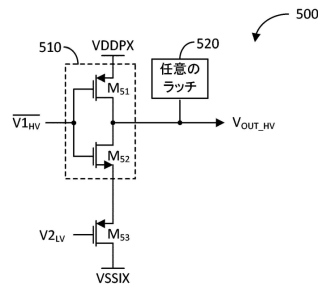


10

【図 4】

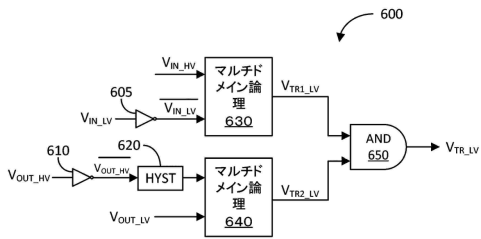


【図 5】

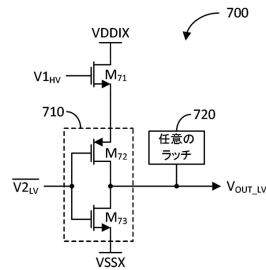


20

【図 6】



【図 7】



30

40

50

【 8 】

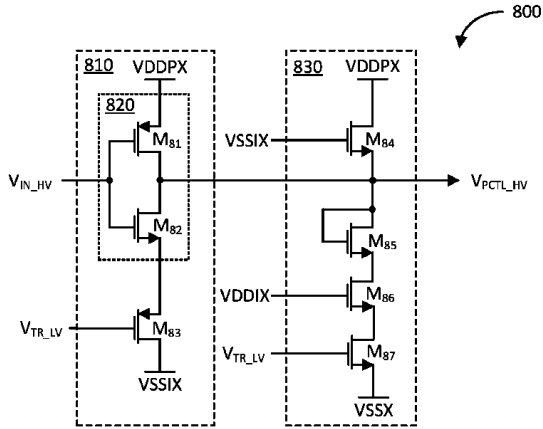


FIG. 8

【 9 】

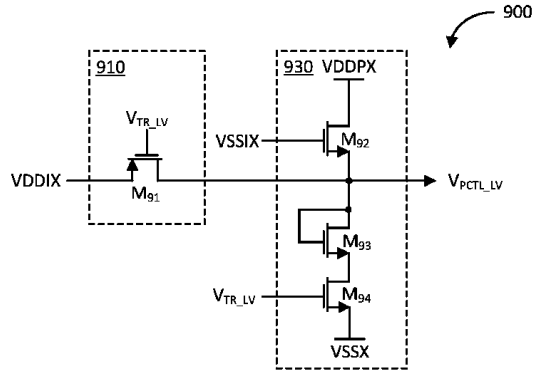


FIG. 9

【 1 0 】

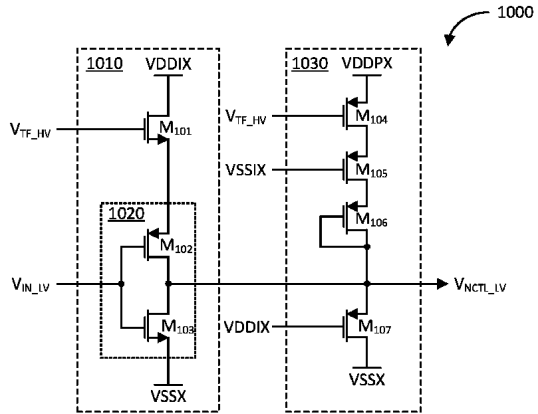


FIG. 10

【 1 1 】

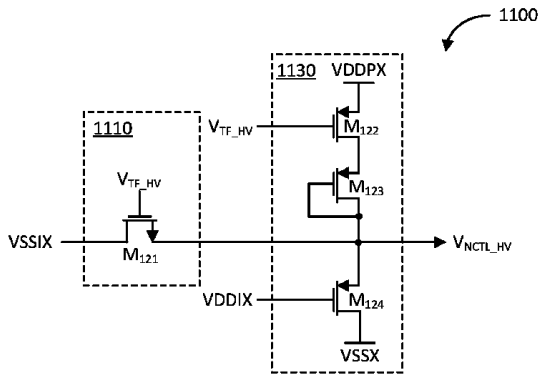


FIG. 11

10

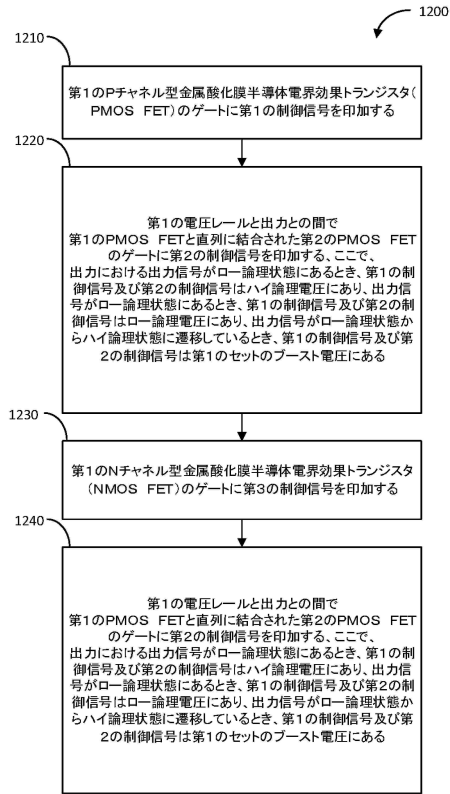
20

30

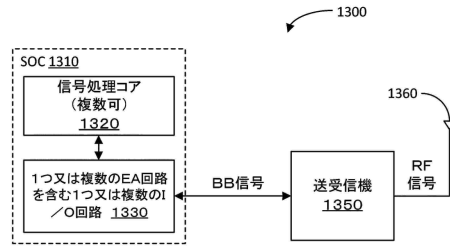
40

50

【図 1 2】



【図 1 3】



10

20

30

40

50

フロントページの続き

1 2 1 ・ サン ・ ディエゴ ・ モアハウス ・ ドライヴ ・ 5 7 7 5

審査官 柳下 勝幸

- (56)参考文献 米国特許第9614529 (US, B1)
米国特許出願公開第2014/0091860 (US, A1)
米国特許出願公開第2007/0247190 (US, A1)
特開平9 - 73788 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H03K 19/0175