【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第２区分
【発行日】平成18年8月10日(2006.8.10)

【公開番号】特開2005-43672(P2005-43672A)
【公開日】平成17年2月17日(2005.2.17)
【年通号数】公開・登録公報2005-007
【出願番号】特願2003-277779(P2003-277779)
【国際特許分類】
Ｇ０９Ｆ　9/30　(2006.01)
Ｇ０２Ｆ　1/1368　(2006.01)
Ｈ０５Ｂ　33/10　(2006.01)
Ｈ０１Ｌ　51/50　(2006.01)
Ｈ０１Ｌ　31/10　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
Ｈ０１Ｌ　21/336　(2006.01)
Ｈ０１Ｌ　27/146　(2006.01)
【ＦＩ】
Ｇ０９Ｆ　9/30　３３８
Ｇ０２Ｆ　1/1368
Ｈ０５Ｂ　33/10
Ｈ０５Ｂ　33/14　Ａ
Ｈ０１Ｌ　31/10　Ａ
Ｈ０１Ｌ　29/78　６１３Ｚ
Ｈ０１Ｌ　29/78　６１２Ｚ
Ｈ０１Ｌ　29/78　６２７Ｃ
Ｈ０１Ｌ　27/14　Ｃ

【手続補正書】
【提出日】平成18年6月26日(2006.6.26)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
絶縁性基板と、
この絶縁性基板の一主面に設けられ、多結晶半導体層である活性層を有するスイッチング素子と、
前記絶縁性基板の一主面に設けられ、前記多結晶半導体層である光電変換部を有する光電変換素子とを具備し、
前記スイッチング素子の活性層と、前記光電変換素子の光電変換部とは、同一工程で不純物がドープされ、これら活性層および光電変換部のドーピング濃度が異なる
ことを特徴としたアレイ基板。
【請求項２】
スイッチング素子は、薄膜トランジスタであり、
光電変換素子は、ＰＩＮダイオードである
ことを特徴とした請求項１記載のアレイ基板。
【請求項３】

絶縁性基板と、
この絶縁性基板の一主面に設けられ、多結晶半導体層である活性層を有する複数のスイッチング素子とを具備し、
これら複数のスイッチング素子の活性層は、同一の工程で不純物がドープされ、これら複数のスイッチング素子の活性層のドーピング濃度が異なる
ことを特徴とするアレイ基板。
【請求項４】
複数のスイッチング素子は、チャネル長の異なる薄膜トランジスタであり、
これら複数の薄膜トランジスタは、これら複数の薄膜トランジスタの活性層への不純物のドーピング濃度がゲート長ごとに異なる
ことを特徴とする請求項３記載のアレイ基板。
【請求項５】
不純物のドーピング濃度が異なる活性層を有する複数のスイッチング素子と光電変換部を有する光電変換素子との少なくとも２つ以上を絶縁性基板の一主面に形成するアレイ基板の製造方法であって、
前記絶縁性基板の一主面に設けられた多結晶半導体層の一主面にフォトレジストを形成する工程と、
このフォトレジストを、透過率の異なる領域を有するマスクを介して露光して、前記多結晶半導体層の一主面に膜厚の異なる領域を有するレジストパターンを形成する工程と、
このレジストパターンをマスクとして前記多結晶半導体層の一主面をエッチングする工程と、
前記レジストパターンの膜厚の薄い部分を露出させる工程と、
この膜厚の薄い部分を露出させた前記レジストパターンをマスクとして、前記多結晶半導体層の一主面に不純物をドープする工程と、
この多結晶半導体層の一主面から前記レジストパターンを除去する工程と
を具備したことを特徴とするアレイ基板の製造方法。
【請求項６】
レジストパターンをマスクとして多結晶半導体層の一主面をエッチングする工程と、前記レジストパターンの膜厚の薄い部分を露出させる工程とを、同一の処理室内で連続処理する
ことを特徴とした請求項５記載のアレイ基板の製造方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【発明の詳細な説明】
【発明の名称】アレイ基板およびその製造方法
【技術分野】
【０００１】
本発明は、スイッチング素子を備えたアレイ基板およびその製造方法に関する。
【背景技術】
【０００２】
近年、液晶表示素子などの構成材料であるアレイ基板は、従来の非晶質シリコン薄膜を用いた薄膜トランジスタに代わって、多結晶シリコン薄膜であるポリシリコン薄膜を用いた薄膜トランジスタが実用化されている。
【０００３】
そして、この種のアレイ基板は、絶縁性基板上に非晶質シリコン薄膜を成膜して堆積させた後、この非晶質シリコン薄膜をレーザアニールして再結晶化させて多結晶シリコン薄膜にしてから、この多結晶シリコン薄膜をパターニングして薄膜トランジスタの活性層と

する。
【０００４】
次いで、この薄膜トランジスタの閾値電圧制御の目的のために、この薄膜トランジスタの活性層に、低濃度Ｐ型もしくはＮ型の不純物をドープして注入した後、これら低濃度Ｐ型もしくはＮ型の不純物がドープされた活性層を含む絶縁基板上にゲート絶縁膜を成膜する。
【０００５】
さらに、このゲート絶縁膜上に導電体膜を成膜して堆積した後に、この導電体膜をパターニングして薄膜トランジスタの活性層上にゲート電極を形成する。この後、このゲート電極をマスクとして、薄膜トランジスタの活性層にＰ型もしくはＮ型の不純物を高濃度ドープして注入して、薄膜トランジスタのソース領域およびドレイン領域を形成する。
【０００６】
次いで、ゲート電極を含むゲート絶縁膜上に層間絶縁膜を形成した後に、この層間絶縁膜に薄膜トランジスタのソース領域あるいはドレイン領域に貫通するコンタクトホールを開口する。この後、これらコンタクトホールを含む層間絶縁膜上に導電体膜を形成した後、この導電体膜をパターニングして信号線となるソース電極およびドレイン電極を形成する。
【０００７】
さらに、これらソース電極およびドレイン電極を含む層間絶縁膜上に保護層を形成した後、この保護膜に薄膜トランジスタのドレイン電極に貫通するコンタクトホールを開口して、このコンタクトホールを介してドレイン電極を外部に電気的に接続してアレイ基板を製造する。
【０００８】
次いで、アレイ基板のガラス基板上に入力機能を持ったデバイスを光センサ素子で実現するためには、光を受けると光電流を発生する光センサ素子をガラス基板上に設ける必要がある。そして、この光センサ素子としては、Ｉ層の低濃度不純物注入された領域において光電流が発生するＰＩＮダイオードが用いられている(例えば、特許文献１参照。)。
【０００９】
ここで、薄膜トランジスタの所望の特性を得るためには、この薄膜トランジスタの活性層に対して不純物を注入する必要がある。これに対して、光センサ素子としてＰＩＮダイオードを用いた場合には、このＰＩＮダイオードのＩ層に、光感度を向上させる点から不純物を注入しない方が好ましい。
【００１０】
ところが、これら薄膜トランジスタと光センサ素子とを同一工程でガラス基板上に形成しようとした場合には、これら薄膜トランジスタの活性層と光センサ素子のＩ層との不純物濃度を変えることができない。このため、所望の特性の薄膜トランジスタと、光感度を向上させた光センサ素子とのそれぞれを同時にガラス基板上に形成することは容易ではない。また、これら薄膜トランジスタと光センサ素子とを別々の工程で形成することによって、これら薄膜トランジスタの活性層と光センサ素子のＩ層との不純物濃度を変えることができるが、製造工程数が増加してしまい安価に製造することが容易ではない。
【００１１】
一方、多結晶シリコン薄膜としてポリシリコン薄膜を活性層に用いた複数の薄膜トランジスタが実装されたアレイ基板は、これら薄膜トランジスタのオン電流が高いため、画素スイッチング回路のみならず、周辺駆動回路を取り込むことができる。さらに、液晶表示装置の高解像度化に伴い、周辺駆動回路の動作周波数を高くすることが要求されるから、薄膜トランジスタのチャネル長を短くすることが要求される。
【００１２】
一般に、薄膜トランジスタのドレイン耐圧は、チャネル長が短くなると低くなる。すなわち、このチャネル長が短くなると、電界が集中しているドレイン端でのキャリア濃度が高くなり、ドレインアバランシェの発生する電圧が低くなるためである。ここで、回路動

作周波数を上げる目的で、チャネル長を短くすることは、ＶＬＳＩ(Very Large Scale Integration)でもなされており、このＶＬＳＩでは耐圧の低下に伴い電源電圧を低くして使用している。
【特許文献１】特許２９５９６８２号公報（第２－４頁、図１）
【発明の開示】
【発明が解決しようとする課題】
【００１３】
ところが、液晶表示素子や有機ＥＬ(ElectroLuminescence)素子においては、これら液晶あるいはＥＬ素子の駆動に一定以上の電圧を必要とする。このため、これら液晶表示素子あるいは有機ＥＬ素子全体の電源電圧を下げることができない。例えば、液晶の駆動においては、１０Ｖ以上の駆動電圧が要求される。
【００１４】
そして、高耐圧および高周波数での動作という相反する要求を満たすため、同一のガラス基板上にチャネル長の異なる複数の薄膜トランジスタを形成する。すなわち、高周波数での動作が要求される部分での薄膜トランジスタのチャネル長を短くして低い電圧で駆動させる。これに対し、高耐圧が要求される部分での薄膜トランジスタのチャネル長を長くする。
【００１５】
ここで、図２７および図２８に示すように、多結晶シリコン薄膜を活性層に用いた薄膜トランジスタで、チャネル長を変化させた場合のドレイン電流のゲート電圧依存性は、チャネル長を短くすることによって、閾値電圧の低下が起こるとともに、ゲート電圧０Ｖでのオフ電流が増大している。すなわち、活性層が多結晶シリコン薄膜であるために、ギャップ中準位を持つためである。ここで、オフ電流の増加は、回路の消費電流を増大させたり、回路を誤動作させたりする。したがって、単純にチャネル長を変化させるのみでは、高耐圧の薄膜トランジスタと、高周波で動作できる薄膜トランジスタとのそれぞれを作成できないという問題を有している。
【００１６】
本発明は、このような点に鑑みなされたもので、特性の異なるスイッチング素子や光電変換素子を容易かつ少ない工程数で製造できるアレイ基板およびその製造方法を提供することを目的とする。
【課題を解決するための手段】
【００１７】
本発明は、絶縁性基板と、この絶縁性基板の一主面に設けられ、多結晶半導体層である活性層を有するスイッチング素子と、前記絶縁性基板の一主面に設けられ、前記多結晶半導体層である光電変換部を有する光電変換素子とを具備し、前記スイッチング素子の活性層と、前記光電変換素子の光電変換部とは、同一工程で不純物がドープされ、これら活性層および光電変換部のドーピング濃度が異なるものである。
【００１８】
そして、絶縁性基板の一主面に設けたスイッチング素子の活性層と、この絶縁性基板の一主面に設けられた光電変換素子の光電変換部とのそれぞれを多結晶半導体層とする。これらスイッチング素子の活性層と、光電変換素子の光電変換部とに必要に応じて同一の工程で不純物をドープして、これら活性層と光電変換部との不純物のドーピング濃度を異ならせる。この結果、所望の特性のスイッチング素子と、光感度を向上させた光電変換素子とを、容易かつ少ない工程数で絶縁性基板の一主面に製造できる。
【００１９】
また、絶縁性基板と、この絶縁性基板の一主面に設けられ、多結晶半導体層である活性層を有する複数のスイッチング素子とを具備し、これら複数のスイッチング素子の活性層は、同一の工程で不純物がドープされ、これら複数のスイッチング素子の活性層のドーピング濃度が異なるものである。
【００２０】

そして、絶縁性基板の一主面に設けた複数のスイッチング素子の活性層を、多結晶半導体層とする。これら複数のスイッチング素子の活性層に対して同一の工程で不純物をドープして、これら複数のスイッチング素子の活性層の不純物のドーピング濃度を異ならせる。この結果、異なる特性を有するスイッチング素子を、容易かつ少ない工程で絶縁性基板の一主面に製造できる。

【発明の効果】

【００２１】

本発明によれば、所望の特性のスイッチング素子と、光感度を向上させた光電変換素子とを、容易かつ少ない工程数で絶縁性基板の一主面に製造できる。

【００２２】

また、異なる特性を有するスイッチング素子を、容易かつ少ない工程で絶縁性基板の一主面に製造できる。

【発明を実施するための最良の形態】

【００２３】

以下、本発明のアレイ基板の第１の実施の形態の構成を図１ないし図１３を参照して説明する。

【００２４】

図１ないし図１３において、１は平面表示素子としての液晶表示素子１で、この液晶表示素子１は、略矩形平板状のアレイ基板２を備えている。このアレイ基板２は、略透明な矩形平板状の絶縁性基板であるガラス基板３を有している。このガラス基板３の一主面である表面上には、シリコン窒化膜や酸化シリコン膜などにて構成された図示しないアンダーコート層が積層されて成膜されている。

【００２５】

このアンダーコート層上には、液晶表示用のＮ型スイッチング素子である複数のＮチャネル(Ｎ－ｃｈ)型の薄膜トランジスタ(ＴＦＴ)４と、液晶表示用のＰ型スイッチング素子である複数のＰチャネル(Ｐ－ｃｈ)の薄膜トランジスタ５と、複数の光電変換素子としての光センサ素子であるＰＩＮダイオード６とのそれぞれがマトリクス状に複数形成されている。

【００２６】

ここで、これら薄膜トランジスタ４,５のそれぞれは、アンダーコート層上に形成された活性層11を備えている。この活性層11は、非単結晶半導体である非晶質半導体としてのアモルファスシリコンのレーザアニールにより形成された多結晶半導体としてのポリシリコンにて構成されている。そして、この活性層11は、この活性層11の中央部に設けられたチャネル領域12を有している。このチャネル領域12の両側には、N^+ 領域あるいは P^+ 領域であるソース領域13およびドレイン領域14のそれぞれが対向して設けられている。

【００２７】

そして、これらチャネル領域12、ソース領域13およびドレイン領域14それぞれを含むアンダーコート層上には、絶縁性を有するシリコン酸化膜であるゲート絶縁膜15が積層されて成膜されている。さらに、各チャネル領域12に対向したゲート絶縁膜15上には、ゲート電極16が積層されて成膜されている。これらゲート電極16は、ゲート絶縁膜15を介して各薄膜トランジスタ４,５のチャネル領域12に対向しており、このチャネル領域12の幅寸法に略等しい幅寸法を有している。

【００２８】

一方、薄膜トランジスタ４,５に連続したアンダーコート層上には、ポリシリコンにて構成されたＰＩＮダイオード６が積層されて形成されている。

【００２９】

さらに、このＰＩＮダイオード６は、ガラス基板３上の薄膜トランジスタ４,５と同一平面状に配置されている。また、このＰＩＮダイオード６は、アモルファスシリコンのレーザアニールにより形成されたポリシリコンにて構成された光電変換部21を備えている。この光電変換部21は、各薄膜トランジスタ４,５の活性層11と同一工程にて形成されてお

り、アンダーコート層上に積層されている。

【００３０】

ここで、この光電変換部21は、各薄膜トランジスタ４,５の活性層11と同一の工程でＰ型あるいはＮ型の不純物が必要に応じてドープされている。さらに、この光電変換部21と、各薄膜トランジスタ４,５の活性層11とは、不純物のドーピング濃度が異なる。そして、この光電変換部21は、この光電変換部21の中央部に設けられ、ポリシリコンにて構成された光電変換層としてのＩ型ポリシリコン部であるＩ層22を備えている。

【００３１】

このＩ層22の両側には、多結晶半導体層であるＰ$^+$領域23と、多結晶半導体層であるＮ$^+$領域24とが連続して設けられている。

【００３２】

そして、これらＩ層22、Ｐ$^+$領域23およびＮ$^+$領域24にて構成された光電変換部21を含むアンダーコート層上には、ゲート絶縁膜15が積層されて成膜されている。そして、光電変換部21のＩ層22に対向したゲート絶縁膜15上には、各薄膜トランジスタ４,５のゲート電極16と同一の工程で同一層に形成されたゲート電極25が積層されて形成されている。このゲート電極25は、光電変換部21のＩ層22の幅寸法に略等しい幅寸法を有している。

【００３３】

さらに、このゲート電極25および各薄膜トランジスタ４,５のゲート電極16のそれぞれを含むゲート絶縁膜15上には、絶縁性を有する酸化シリコン膜である層間絶縁膜31が積層されて成膜されている。そして、これら層間絶縁膜31およびゲート絶縁膜15には、これら層間絶縁膜31およびゲート絶縁膜15のそれぞれを貫通した導通部としての複数のコンタクトホール32,33,34,35,36,37が開口されて設けられている。

【００３４】

ここで、コンタクトホール32,33のそれぞれは、Ｎチャネル型の薄膜トランジスタ４のゲート電極16の両側である、この薄膜トランジスタ４のソース領域13およびドレイン領域14上に設けられている。そして、コンタクトホール32はＮチャネル型の薄膜トランジスタ４のソース領域13に連通して開口しており、コンタクトホール33はＮチャネル型の薄膜トランジスタ４のドレイン領域14に連通して開口している。

【００３５】

また、コンタクトホール34,35のそれぞれは、Ｐチャネル型の薄膜トランジスタ５のゲート電極16の両側である、この薄膜トランジスタ５のソース領域13およびドレイン領域14上に設けられている。そして、コンタクトホール34はＰチャネル型の薄膜トランジスタ５のソース領域13に連通して開口しており、コンタクトホール35はＰチャネル型の薄膜トランジスタ５のドレイン領域14に連通して開口している。

【００３６】

さらに、コンタクトホール36,37は、ＰＩＮダイオード６のＩ層22の両側である、このＰＩＮダイオード６のＰ$^+$領域23およびＮ$^+$領域24上に設けられている。そして、コンタクトホール36はＮ$^+$領域24に連通して開口しており、コンタクトホール37はＰ$^+$領域23に連通して開口している。

【００３７】

そして、各薄膜トランジスタ４,５のソース領域13に連通したコンタクトホール32,34には、信号線であるソース電極41がそれぞれ積層されて設けられている。これらソース電極41は、コンタクトホール32,34を介して薄膜トランジスタ４,５のソース領域13に電気的に接続されて導通されている。

【００３８】

また、各薄膜トランジスタ４,５のドレイン領域14に連通したコンタクトホール33,35には、信号線であるドレイン電極42がそれぞれ積層されて設けられている。これらドレイン電極42は、コンタクトホール33,35を介して薄膜トランジスタ４,５のドレイン領域14に電気的に接続されて導通されている。

【００３９】

さらに、ＰＩＮダイオード６のＮ$^{+}$領域24に連通したコンタクトホール36には、ソース電極41が積層されて設けられている。このソース電極41は、コンタクトホール36を介してＮ$^{+}$領域24に電気的に接続されて導通されている。また、ＰＩＮダイオード６のＰ$^{+}$領域23に連通したコンタクトホール37には、ドレイン電極42が積層されて設けられている。このドレイン電極42は、コンタクトホール37を介してＰ$^{+}$領域23に電気的に接続されて導通されている。

【００４０】

一方、各薄膜トランジスタ４,５およびＰＩＮダイオード６それぞれのソース電極41およびドレイン電極42を含む層間絶縁膜31上には、これら薄膜トランジスタ４,５およびＰＩＮダイオード６のそれぞれを覆うように保護膜51が積層されて成膜されている。そして、この保護膜51には、この保護膜51を貫通した導通部としてのコンタクトホール52が開口されて設けられている。このコンタクトホース52は、Ｎチャネル型の薄膜トランジスタ４のソース電極41に連通して開口している。

【００４１】

そして、このコンタクトホール52を含む保護膜51上には、画素電極53が積層されて成膜されている。この画素電極53は、コンタクトホール52を介してＮチャネル型の薄膜トランジスタ４のソース電極41に電気的に接続されて導通されている。そして、この画素電極53は、Ｎチャネル型の薄膜トランジスタ４によって制御される。さらに、この画素電極53を含んだ保護膜51上には、配向膜54が積層されて成膜されている。

【００４２】

一方、アレイ基板２に対向して矩形平板状の対向基板61が配設されている。この対向基板61は、略透明な矩形平板状の絶縁性基板であるガラス基板62を備えている。このガラス基板62のアレイ基板２に対向した側の一主面には、対向電極63が設けられている。また、この対向電極63上には配向膜64が積層されて成膜されている。そして、この対向基板61の配向膜64とアレイ基板２の配向膜54との間には、液晶65が介挿されて封止されている。

【００４３】

次に、上記第１の実施の形態のアレイ基板の製造方法を説明する。

【００４４】

まず、図２に示すように、ガラス基板３の表面上にアンダーコート層を成膜した後、このアンダーコート層上に、プラズマＣＶＤ(Chemical Vapor Deposition)法で５０ｎｍ非晶質半導体層としてのアモルファスシリコン薄膜71を積層させて成膜する。

【００４５】

この後、このアモルファスシリコン薄膜71にエキシマレーザビームを照射して、このアモルファスシリコン薄膜71を溶融結晶化させて、ポリシリコン薄膜72にする。

【００４６】

次いで、このポリシリコン薄膜72の表面にポジ型のレジストをスピン塗布で２.０μｍ塗布して、フォトレジスト73を形成する。

【００４７】

この後、図３に示すように、ＰＩＮダイオード６が形成される部分に位置し光が透過しない遮光部74と、各薄膜トランジスタ４,５が形成される部分に位置し光が一部透過する半透光部75とのそれぞれが設けられたマスク76を、フォトレジスト73上に対向させた状態で、このマスク76を介して図示しない露光機にてフォトレジスト73を露光する。

【００４８】

このとき、マスク76の半透光部75を、露光機の最高解像線幅より細いラインアンドスペースパターン、すなわち複数のスリット77を等間隔に形成して構成した。

【００４９】

この結果、フォトレジスト73には、完全に露光された部分と、全く露光されない部分と、その中間のエネルギで露光された部分とができる。

【００５０】

さらに、露光されたフォトレジスト73を現像液で現像する。このとき、完全に露光され

た部分と、まったく露光されない部分と、中間のエネルギで露光された部分とで溶解度が異なるため、図４に示すように、このフォトレジスト73の膜厚の相違に伴うレジストパターン78が形成される。

【００５１】

この後、このレジストパターン78をマスクとして、ガラス基板３上のポリシリコン薄膜72を、CF_4をエッチングガスとしたドライエッチングにて島状にパターニング加工する。

【００５２】

次いで、図５に示すように、このポリシリコン薄膜72のドライエッチングをした同一の処理室である図示しないチャンバ内において、このドライエッチングに連続して、島状にパターニングされたポリシリコン薄膜72上のレジストパターン78をO_2プラズマにてライトアッシングする。

【００５３】

そして、図６に示すように、マスク76の半透光部75で露光したレジストパターン78の膜厚が薄い部分、すなわち各薄膜トランジスタ４,５の活性層11となる部分の島状のポリシリコン薄膜72を露出させる。

【００５４】

このとき、マスク76の遮光部74で露光したレジストパターン78の膜厚が厚い部分、すなわちＰＩＮダイオード６の光電変換部21となる部分は、ライトアッシングによって薄くなるが、完全に除去させずに所定の膜厚でレジストパターン79を残す。

【００５５】

次いで、図７に示すように、この残したレジストパターン79をマスクとして、ガラス基板３上の島状のポリシリコン薄膜72にＰ型の低濃度不純物をドーピングして打ち込んで注入する。

【００５６】

この後、このガラス基板３上の島状のポリシリコン薄膜72から、残ったレジストパターン79を酸素プラズマによるアッシングにて除去する。

【００５７】

次いで、ＰＩＮダイオード６のＩ層22およびP^+領域23となる部分と、Ｐチャネル型の薄膜トランジスタ５のチャネル領域12、ソース領域13およびドレイン領域14となる部分と、Ｎチャネル型の薄膜トランジスタ４のチャネル領域12となる部分とのそれぞれの上方にレジスト81を形成する。

【００５８】

この状態で、図８に示すように、このレジスト81をマスクとして、ＰＩＮダイオード６のN^+領域24となる部分と、Ｎチャネル型の薄膜トランジスタ４のソース領域13およびドレイン領域14となる部分とのそれぞれのポリシリコン薄膜72にＮ型の不純物を高濃度でドーピングして打ち込んで注入する。

【００５９】

この後、このレジスト81を除去した後、図９に示すように、各島状のポリシリコン薄膜72を含むアンダーコート層上にゲート絶縁膜15および導電体膜82のそれぞれを順次成膜して堆積させてから、この導電体膜82をパターニングして各ゲート電極16,25を形成する。

【００６０】

このとき、このゲート電極16,25は、ＰＩＮダイオード６のＩ層22およびN^+領域24となる部分と、Ｐチャネル型の薄膜トランジスタ５のチャネル領域12となる部分と、Ｎチャネル型の薄膜トランジスタ４のチャネル領域12、ソース領域13およびドレイン領域14となる部分とのそれぞれの上方に形成されている。

【００６１】

この状態で、図１０に示すように、これらゲート電極16,25をマスクとして、ＰＩＮダイオード６のP^+領域23となる部分と、Ｐチャネル型の薄膜トランジスタ５のソース領域13およびドレイン領域14となる部分とのそれぞれのポリシリコン薄膜72にＰ型の不純物を

高濃度でドーピングして打ち込んで注入する。

【００６２】

この後、図１１に示すように、各ゲート電極16,25をパターニングした後、これら各ゲート電極16,25を含むゲート絶縁膜15上に層間絶縁膜31を成膜して積層させてから、この層間絶縁膜31にコンタクトホール32,33,34,35,36,37を開口する。

【００６３】

次いで、図１２に示すように、これらコンタクトホール32,33,34,35,36,37を含む層間絶縁膜31上に導電体膜83を成膜して積層させてから、この導電体膜83をパターニングして、各薄膜トランジスタ４,５およびＰＩＮダイオード６それぞれのソース電極41およびドレイン電極42を形成する。

【００６４】

この後、図１３に示すように、これらソース電極41およびドレイン電極42を含む層間絶縁膜31上に保護膜51を成膜して積層させた後、この保護膜51にコンタクトホール52を形成する。

【００６５】

この後、このコンタクトホール52を含む保護膜51上に画素電極53を形成してから、この画素電極53を含む保護膜51上に配向膜54を形成してアレイ基板２が完成する。

【００６６】

上述したように、上記第１の実施の形態によれば、ガラス基板３上の薄膜トランジスタ４,５およびＰＩＮダイオード６ごとに、不純物のドーピング濃度を変えた。すなわち、これら薄膜トランジスタ４,５およびＰＩＮダイオード６の不純物のドーピング濃度を変える工程として、ガラス基板３上に塗布したフォトレジスト73を、透過率の異なる遮光部74および半透光部75を有するマスク76で露光する。

【００６７】

そして、ガラス基板３上のポリシリコン薄膜72の表面に、膜厚の異なる領域を有するレジストパターン78を形成する。さらに、このレジストパターン78をマスクとして、ポリシリコン薄膜72をエッチングした後に、このレジストパターン78をライトアッシングして、このレジストパターン78のうち、膜厚の薄い部分を露出させる。この状態で、膜厚の厚い部分のレジストパターン79をマスクとして、ポリシリコン薄膜72に不純物をドーピングしてから、このレジストパターン79をポリシリコン薄膜72から取り除く。

【００６８】

この結果、所望の特性を有する薄膜トランジスタ４,５と、光感度を向上させたＰＩＮダイオード６とを、容易かつ少ない工程数で同一のガラス基板３上に同時に作り込むことができる。特に、このガラス基板３上のポリシリコン薄膜72のエッチングとライトアッシングとを同一のチャンバ内で連続して処理したため、工程数の増加を最小限に留めることができる。このため、リソグラフィ回数が同一で工程数の増加が少ないから、これら薄膜トランジスタ４,５およびＰＩＮダイオード６を備えたアレイ基板２をより安価に製造できる。

【００６９】

次に、本発明の第２の実施の形態を図１４ないし図２６を参照して説明する。

【００７０】

この図１４ないし図２６に示す液晶表示素子１は、基本的には図１ないし図１３に示す液晶表示素子１と同様であるが、ガラス基板３上に、チャネル長の異なる複数のスイッチング素子としてのＮチャネル型の薄膜トランジスタ91,92,93を設けたものである。

【００７１】

すなわち、図１５に示すように、ガラス基板３上にアモルファスシリコン薄膜71を形成した後に、このアモルファスシリコン薄膜71をレーザアニールにてポリシリコン薄膜にする。次いで、図１６に示すように、チャネル長の短い薄膜トランジスタ91が形成される部分に位置する半透光部75と、チャネル長の長い薄膜トランジスタ92,93が形成される部分に位置する遮光部74とを備えたマスク76を、ガラス基板３上のフォトレジスト73に対向さ

せて、このマスク76を介してフォトレジスト73を露光する。

【００７２】

さらに、図１７に示すように、この露光されたフォトレジスト73を現像液で現像して、このフォトレジスト73の膜厚の相違に伴うレジストパターン78を形成する。この後、図１８に示すように、このレジストパターン78をマスクとして、ガラス基板３上のポリシリコン薄膜72をドライエッチングして島状にパターニング加工する。

【００７３】

次いで、図１９に示すように、島状にパターニングされたポリシリコン薄膜72上のレジストパターン78をライトアッシングする。この後、マスク76の半透光部75で露光したレジストパターン78の膜厚が薄い部分の島状のポリシリコン薄膜72を露出させるとともに、マスク76の遮光部74で露光したレジストパターン78の膜厚が厚い部分のレジストパターン79を残す。

【００７４】

さらに、図２０に示すように、このレジストパターン79をマスクとして、ガラス基板３上の島状のポリシリコン薄膜72にＰ型あるいはＮ型の不純物をドーピングして打ち込んで注入する。すなわち、この不純物のドーピング濃度を調整することにより、チャネル長の短い薄膜トランジスタ91の閾値電圧を調整できる。具体的には、チャネル長の短い薄膜トランジスタ91の活性層11となる部分のポリシリコン薄膜72にボロン(Ｂ)をドーピングして、このチャネル長の短い薄膜トランジスタ91の閾値電圧をプラス側に０．３Ｖほどシフトさせる。

【００７５】

この後、図２１に示すように、このガラス基板３上の島状のポリシリコン薄膜72からレジストパターン79を除去する。次いで、図２２に示すように、各島状のポリシリコン薄膜72を含むアンダーコート層上にゲート絶縁膜15および導電体膜82のそれぞれを順次成膜する。次いで、図２３に示すように、この導電体膜82をパターニングして各ゲート電極16を形成する。

【００７６】

この状態で、これらゲート電極16をマスクとして、各薄膜トランジスタ91,92,93のソース領域13およびドレイン領域14となる部分のポリシリコン薄膜72に、Ｐ型あるいはＮ型の不純物を高濃度でドーピングして打ち込んで注入する。具体的には、Ｐ型としてリン(Ｐ)をドーピングした後にアニールして各ポリシリコン薄膜72を活性化させる。この結果、これら複数の薄膜トランジスタ91,92,93の活性層11への不純物のドーピング濃度がゲート長ごとに異なる。

【００７７】

この後、各ゲート電極16をパターニングした後、これら各ゲート電極16を含むゲート絶縁膜15上に層間絶縁膜31を成膜する。さらに、図２４に示すように、この層間絶縁膜31にコンタクトホール32,33,34,35,36,37を開口した後、これらコンタクトホール32,33,34,35,36,37を含む層間絶縁膜31上に導電体膜83を成膜する。次いで、図２５に示すように、この導電体膜83をパターニングして、各薄膜トランジスタ91,92,93のソース電極41およびドレイン電極42を形成する。

【００７８】

この後、図２６に示すように、これらソース電極41およびドレイン電極42を含む層間絶縁膜31上に保護膜51を成膜した後、この保護膜51にコンタクトホール52を形成する。次いで、このコンタクトホール52を含む保護膜51上に画素電極53を形成してから、この画素電極53を含む保護膜51上に配向膜54を形成してアレイ基板２とする。

【００７９】

上述したように、上記第２の実施形態によれば、チャネル長の異なる薄膜トランジスタ91,92,93ごとに、これら薄膜トランジスタ91,92,93の活性層11への不純物のドーピング量を異ならせることとができるから、これら薄膜トランジスタ91,92,93の閾値電圧を独立して調整できる。このため、高周波での動作が要求される薄膜トランジスタ91と、高耐圧が

要求される薄膜トランジスタ92,93とのそれぞれを、所望の特性で同一のガラス基板３上に同時に同一工程で作り込むことができる。

【００８０】

したがって、チャネル長の異なる薄膜トランジスタ91,92,93の閾値電圧を独立に制御することが、容易にかつ少ない工程数で実現できる。よって、チャネル長が短く高周波で動作できる薄膜トランジスタ91と、チャネル長が長い高耐圧の薄膜トランジスタ92,93との両方を同一のガラス基板３上に作成できる。同時に、リソグラフィ回数が同一で工程数の増加が少ないから、これらチャネル長の異なる複数の薄膜トランジスタ91,92,93を備えたアレイ基板２をより安価に製造できる。

【００８１】

特に、同一のガラス基板３上にＮチャネル型の薄膜トランジスタ４とＰチャネル型の薄膜トランジスタ５のそれぞれを一度に作り込むＣＭＯＳ構成のアレイ基板２の場合や、Ｎチャネル型の薄膜トランジスタ４とＰチャネル型の薄膜トランジスタ５のそれぞれの閾値電圧を独立させて調整した場合や、同じチャネル長でも回路上でオフ特性を重視して閾値電圧の絶対値の大きな薄膜トランジスタ91,92,93を作成する場合など、同一のアレイ基板２上に特性の異なる薄膜トランジスタ91,92,93を作成する場合において、全て対応できる。

【００８２】

なお、上記第２の実施の形態では、チャネル長の短い薄膜トランジスタ91の活性層11となる部分のみに不純物をドーピングしたが、チャネル長の長い薄膜トランジスタ92,93の活性層11となる部分にも閾値制御が必要な場合には、レジストパターン78をマスクとして不純物をドーピングして残ったレジストパターン79を除去した後に、ガラス基板３の全面に不純物をドーピングすればよい。

【００８３】

また、Ｎチャネル型の薄膜トランジスタ91,92,93を作成したが、ゲート電極16をマスクに不純物をドーピングする際に、リン(Ｐ)などのＰ型の不純物をドーピングすればＰチャネル型の薄膜トランジスタを作成できる。

【００８４】

さらに、上記各実施の形態では、液晶表示素子１に用いられるアレイ基板２について説明したが、有機ＥＬ(ElectroLuminescence)素子に用いられるアレイ基板であっても、対応させて用いることができる。

【図面の簡単な説明】

【００８５】

【図１】本発明のアレイ基板の第１の実施の形態を示す説明断面図である。

【図２】同上アレイ基板の絶縁性基板上に非晶質半導体層を設けた状態を示す説明断面図である。

【図３】同上絶縁性基板上にフォトレジストを設けた後にマスクを対向させた状態を示す説明断面図である。

【図４】同上絶縁性基板上のフォトレジストを露光した状態を示す説明断面図である。

【図５】同上絶縁性基板上の多結晶半導体層をエッチングした状態を示す説明断面図である。

【図６】同上絶縁性基板上の膜厚の薄い部分のレジストを露出させた状態を示す説明断面図である。

【図７】同上絶縁性基板上の多結晶半導体層にＰ型の不純物をドーピングする状態を示す説明断面図である。

【図８】同上絶縁性基板上の多結晶半導体層にＮ型の不純物をドーピングする状態を示す説明断面図である。

【図９】同上多結晶半導体層を含む絶縁性基板上にゲート絶縁膜を設けた状態を示す説明断面図である。

【図１０】同上ゲート絶縁膜上に形成したゲート電極をマスクとして不純物をドーピング

する状態を示す説明断面図である。
【図１１】同上ゲート電極を含んだゲート絶縁膜上の層間絶縁膜にコンタクトホールを設けた状態を示す説明断面図である。
【図１２】同上コンタクトホールにソース電極およびドレイン電極を設けた状態を示す説明断面図である。
【図１３】同上ソース電極およびドレイン電極を含む層間絶縁膜上に保護膜を設けた状態を示す説明断面図である。
【図１４】本発明の第２の実施の形態のアレイ基板を示す説明断面図である。
【図１５】同上アレイ基板の絶縁性基板上に非晶質半導体層を設けた状態を示す説明断面図である。
【図１６】同上絶縁性基板上にフォトレジストを設けた後にマスクを対向させた状態を示す説明断面図である。
【図１７】同上絶縁性基板上のフォトレジストを露光した状態を示す説明断面図である。
【図１８】同上絶縁性基板上の多結晶半導体層をエッチングした状態を示す説明断面図である。
【図１９】同上絶縁性基板上の膜厚の薄い部分のレジストを露出させた状態を示す説明断面図である。
【図２０】同上絶縁性基板上の多結晶半導体層にＮ型の不純物をドーピングする状態を示す説明断面図である。
【図２１】同上多結晶半導体層上のレジストを取り除いた状態を示す説明断面図である。
【図２２】同上多結晶半導体層を含む絶縁性基板上にゲート絶縁膜を設けた状態を示す説明断面図である。
【図２３】同上ゲート絶縁膜上にゲート電極を設けた状態を示す説明断面図である。
【図２４】同上ゲート電極を含んだゲート絶縁膜上の層間絶縁膜にコンタクトホールを形成した状態を示す説明断面図である。
【図２５】同上コンタクトホールにソース電極およびドレイン電極を設けた状態を示す説明断面図である。
【図２６】同上ソース電極およびドレイン電極を含む層間絶縁膜上に保護膜を設けた状態を示す説明断面図である。
【図２７】多結晶半導体層を活性層に用いた薄膜トランジスタで、チャネル長を１．５μｍにした場合のドレイン電流のゲート電圧依存性を示すグラフである。
【図２８】多結晶半導体層を活性層に用いた薄膜トランジスタで、チャネル長を４．５μｍにした場合のドレイン電流のゲート電圧依存性を示すグラフである。
【符号の説明】
【００８６】
２　アレイ基板
３　絶縁性基板としてのガラス基板
４　スイッチング素子としてのＮチャネル型の薄膜トランジスタ
５　スイッチング素子としてのＰチャネル型の薄膜トランジスタ
６　光電変換素子としてのＰＩＮダイオード
11　活性層
21　光電変換部
72　多結晶半導体層としてのポリシリコン薄膜
73　フォトレジスト
76　マスク
78　レジストパターン
79　レジストパターン
91,92,93　スイッチング素子としての薄膜トランジスタ