



(12) 发明专利申请

(10) 申请公布号 CN 118044349 A

(43) 申请公布日 2024. 05. 14

(21) 申请号 202280065644.1

(22) 申请日 2022.09.29

(30) 优先权数据

63/261,847 2021.09.30 US

(85) PCT国际申请进入国家阶段日

2024.03.28

(86) PCT国际申请的申请数据

PCT/JP2022/036488 2022.09.29

(87) PCT国际申请的公布数据

W02023/054602 JA 2023.04.06

(71) 申请人 株式会社索思未来

地址 日本

(72) 发明人 冈本淳 王文桢 武野弘宜

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 金雪梅

(51) Int.Cl.

H10B 10/00 (2006.01)

H01L 21/82 (2006.01)

H01L 21/822 (2006.01)

H01L 27/04 (2006.01)

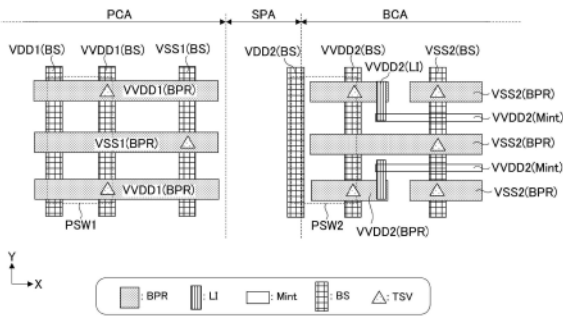
权利要求书2页 说明书9页 附图15页

(54) 发明名称

半导体装置

(57) 摘要

一种半导体装置,具有:设置于基板的第1面的第1及第2电源线和第1及第2接地线、以及设置于基板的第2面的第3及第4电源线。第2电源线和第3电源线经由设置在基板的通孔连接。半导体装置具有夹着第3区域配置的第1及第2区域、以及具有连接在第3及第4电源线之间的开关晶体管的电源开关电路。由此,能够使用基板的背面的设置有电源布线网的布线的布线层来适当地配置电源开关。



1. 一种半导体装置, 具有:
具有第1面和与所述第1面相对的第2面的基板;
设置在所述第1面的第1电源线;
设置在所述第1面的第1接地线;
具有所述第1电源线和所述第1接地线的第1区域;
设置在所述第1面的第2电源线;
设置在所述第1面的第2接地线;
设置在所述第2面的第3电源线;
设置在所述第2面的第4电源线;
将所述第2电源线与所述第3电源线电连接, 设置在所述基板上的通孔;
具有所述第2电源线和所述第2接地线的第2区域;
俯视下位于所述第1区域与所述第2区域之间的第3区域; 以及
第1电源开关电路, 在所述基板的所述第2面侧具有电连接在所述第3电源线与所述第4电源线之间的第1开关晶体管。
2. 根据权利要求1所述的半导体装置, 其中,
具有与所述第2电源线连接的第1布线。
3. 根据权利要求1所述的半导体装置, 其中,
所述第2电源线在所述第2区域中在第1方向延伸。
4. 根据权利要求1至3中任一项所述的半导体装置, 其中,
所述第1电源开关电路在俯视下设置在所述第2区域。
5. 根据权利要求1至3中任一项所述的半导体装置, 其中,
所述第1电源开关电路在俯视下设置在所述第3区域。
6. 根据权利要求1至3中任一项所述的半导体装置, 其中,
具有: 设置在所述第2面的第5电源线;
设置在所述第2面的第6电源线;
通孔, 设置在所述基板, 将所述第5电源线与设置在所述第1面的所述第1电源线连接;
以及
第2电源开关电路, 在所述基板的所述第2面侧具有电连接在所述第5电源线与所述第6电源线之间的第2开关晶体管, 在俯视下设置在所述第1区域。
7. 根据权利要求1至3中任一项所述的半导体装置, 其中,
所述第1接地线和所述第2接地线在第1方向上延伸, 在与所述第1方向不同的第2方向上隔开间隔配置,
多个所述第1接地线的所述第2方向的配置间隔, 与多个所述第2接地线的所述第2方向的配置间隔不同。
8. 根据权利要求1至3中任一项所述的半导体装置, 其中,
具有: 设置在所述第2面的第3接地线,
设置在所述第2面的第4接地线,
通孔, 设置在所述基板, 将所述第3接地线与设置在所述第1面的所述第1接地线连接;
以及

通孔,设置在所述基板,将所述第4接地线与设置在所述第1面的所述第2接地线连接。

9.根据权利要求1至3中任一项所述的半导体装置,其中,

具有在所述第1面设置的第7电源线,

所述第4电源线经由设置在所述基板的通孔与所述第7电源线连接。

10.根据权利要求6所述的半导体装置,其中,

所述第6电源线和所述第4电源线彼此电连接。

半导体装置

技术领域

[0001] 本发明涉及一种半导体装置。

[0002] 本申请主张基于2021年9月30日申请的美国临时申请第63/261,847号的优先权，并引用了上述申请中所记载的全部内容。

背景技术

[0003] 在SRAM(Static Random Access Memory,静态随机存取存储器)中,在比特单元区域和周边电路区域电源布线的配置不同的情况下,有时为了在俯视下确保比特单元区域和周边电路区域的间隔而设置分离区域。在半导体基板嵌入电源布线的BPR(Buried Power Rail)的技术为人所知。为了切换向内部电路的虚拟电源线的电源电压的供给和切断,已知有在电源线和虚拟电源线之间设置电源开关电路的技术。已知有在半导体基板的背面设置电源布线网,经由贯通半导体基板的背面和表面的通孔供给电源电压的BS-PDN(Backside-Power Delivery Network,背侧电源输送网络)的技术。已知在布线层设置切换电源电压的供给和切断的晶体管的技术。

[0004] 【现有技术文献】

[0005] 【专利文献】

[0006] [专利文献1]美国专利第10446224号说明书

[0007] [专利文献2]美国专利第8670265号说明书

[0008] [专利文献3]美国专利申请公开第2020/0135718号说明书

[0009] [专利文献4]美国专利申请公开第2018/0151494号说明书

[0010] [专利文献5]美国专利第2005/0212018号说明书

[0011] [专利文献6]美国专利第10170413号说明书

[0012] [专利文献7]国际公开第2021/070366号

[0013] [专利文献8]国际公开第2021/070367号

[0014] [专利文献9]国际公开第2021/079511号

[0015] [专利文献10]国际公开第2021/111604号

发明内容

[0016] 【发明所要解决的课题】

[0017] 在使用设置有BS-PDN布线的布线层形成晶体管的情况下,没有进行如何配置电源开关电路的详细的技术研究。

[0018] 本发明是鉴于上述问题而完成的,其目的在于,使用基板的背面的设置有电源布线网的布线的布线层,将电源开关适当地配置在半导体装置上。

[0019] 【解决课题的手段】

[0020] 本发明的一个方式中,半导体装置,具有:具有第1面和与所述第1面相对的第2面的基板;设置在所述第1面的第1电源线;设置在所述第1面的第1接地线;具有所述第1电源

线和所述第1接地线的第1区域;设置在所述第1面的第2电源线;设置在所述第1面的第2接地线;设置在所述第2面的第3电源线;设置在所述第2面的第4电源线;将所述第2电源线与所述第3电源线电连接,设置在所述基板上的通孔;具有所述第2电源线和所述第2接地线的第2区域;俯视下位于所述第1区域与所述第2区域之间的第3区域;以及第1电源开关电路,在所述基板的所述第2面侧具有电连接在所述第3电源线与所述第4电源线之间的第1开关晶体管。

[0021] 【发明的效果】

[0022] 根据所公开的技术,能够使用基板的背面的设置有电源布线网的布线的布线层来在半导体装置适当地配置电源开关。

附图说明

[0023] 图1是表示第1实施方式中的半导体装置的布局的概要的俯视图。

[0024] 图2是表示配置在图1的比特单元区域的电源开关电路的概要的电路框图。

[0025] 图3是表示配置图1的电源开关电路的区域的电源布线的布局的一例的俯视图。

[0026] 图4A是表示图3的电源开关电路PSW1的开关晶体管的截面的一例的截面图。

[0027] 图4B是表示图3的电源开关电路PSW1的开关晶体管的截面的另一例子的截面图。

[0028] 图4C是表示图3的电源开关电路PSW1的开关晶体管的截面的另一例子的截面图。

[0029] 图4D是表示图3的电源开关电路PSW1的开关晶体管的截面的又一例子的截面图。

[0030] 图5是表示配置在图1的比特单元区域的比特单元的一例的图。

[0031] 图6是表示配置在图1的比特单元区域的比特单元的另一例的图。

[0032] 图7是表示跨越分离区域和比特单元区域配置的电源开关电路的一例的俯视图。

[0033] 图8是表示沿着图7的Y1-Y1'线的截面的截面图。

[0034] 图9是表示沿着图7的X1-X1'线的截面的截面图。

[0035] 图10是表示在图7的比特单元区域配置的电源开关电路的变形例的俯视图。

[0036] 图11是表示在第2实施方式中的半导体装置中跨越分离区域和比特单元区域配置的电源开关电路的一例的俯视图。

[0037] 图12是表示图11的电源开关电路的变形例的俯视图。

具体实施方式

[0038] 以下,使用附图说明实施方式。在下文中,表示信号的符号可以用作表示信号值、信号线或信号端子的符号。表示电源的符号也可以用作表示电源电压、被供给电源电压的电源线或电源端子的符号。

[0039] (第1实施方式)

[0040] 图1是表示第1实施方式中的半导体装置的布局的概要的俯视图。图1所示的半导体装置100例如是SRAM。半导体装置100包括比特单元区域BCA和配置在比特单元区域BCA的周围的周边电路区域PCA和解码器区域DECA。周边电路区域PCA和解码器区域DECA是第1区域的一例。比特单元区域BCA是第2区域的一例。

[0041] 例如,周边电路区域PCA和比特单元区域BCA在X方向上排列配置,解码器区域DECA和比特单元区域BCA在Y方向上排列配置。X方向是第1方向的一例。Y方向是与第1方向不同

的第2方向的一例。在俯视下,在比特单元区域BCA、周边电路区域PCA和解码器区域DECA之间配置分离区域SPA。分离区域SPA是第3区域的一例。

[0042] 例如,向比特单元区域BCA、周边电路区域PCA以及解码器区域DECA分别供给不同的电源电压。例如,在比特单元区域BCA、周边电路区域PCA以及解码器区域DECA中,配置有在X方向延伸且在Y方向排列配置的多条电源线。另外,比特单元区域BCA、周边电路区域PCA以及解码器区域DECA的电源线的位置以及配置间隔,也可以分别不同。

[0043] 另外,在周边电路区域PCA和解码器区域DECA中,在半导体装置100的半导体基板SUB的背面BS(图4A中,分别设置规定数量的电源开关电路PSW1。在比特单元区域BCA中,在半导体基板SUB的背面BS中设置规定数量的电源开关电路PSW2。另外,电源开关电路PSW1、PSW2的一方或双方,也可以在分离区域SPA中配置在半导体基板SUB的背面BS。半导体基板SUB的背面BS是与半导体基板SUB的表面相对的第2面的一例。电源开关电路PSW1是第2电源开关电路的一例。电源开关电路PSW2是第1电源开关电路的一例。下面,在不区分地表示电源开关电路PSW1、PSW2的情况下,也称为电源开关电路PSW。

[0044] 图2是表示配置在图1的比特单元区域BCA的电源开关电路PSW2的概要的电路框图。另外,配置在周边电路区域PCA和解码器区域DECA的电源开关电路PSW1也具有与图2相同的电路结构。比特单元区域BCA具有多个比特单元BC(即,存储单元)。各个比特单元BC,电连接到虚拟电源线VVDD和接地线VSS,并且在从虚拟电源线VVDD接受供电的情况下动作。

[0045] 电源开关电路PSW2,具有开关晶体管SWT和控制电路CNTL。开关晶体管SWT例如是p沟道晶体管,由栅极接受来自控制电路CNTL的开关控制信号SWCNT而动作。电源开关电路PSW2的开关晶体管SWT是第1开关晶体管的一例。电源开关电路PSW1的开关晶体管SWT是第2开关晶体管的一例。另外,在图2中,为了简单化,表示了一个开关晶体管SWT,但也可以在电源线VDD与虚拟电源线VVDD之间配置多个开关晶体管SWT。

[0046] 在开关晶体管SWT接通的期间,电源线VDD与虚拟电源线VVDD电连接,并且电源电压被提供给虚拟电源线VVDD。在开关晶体管SWT断开的期间,电源线VDD与虚拟电源线VVDD之间的电连接被断开,并且虚拟电源线VVDD设置为浮空状态。

[0047] 控制电路CNTL例如是缓冲电路。控制电路CNTL在使SRAM动作时,为了从电源线VDD向虚拟电源线VVDD供给电源电压,将开关控制信号SWCNT设定为低电平。控制电路CNTL在停止SRAM的动作的情况下,为了停止从电源线VDD向虚拟电源线VVDD的电源电压的供给,将开关控制信号SWCNT设定为高电平。

[0048] 图3是表示配置图1的电源开关电路PSW1、PSW2的区域的电源布线的布局的一例的俯视图。图3是周边电路区域PCA和比特单元区域BCA夹着分离区域SPA配置的区域的大图。

[0049] 在图3所示的例子中,Mint层的布线和BPR分别在X方向延伸设置,局部布线LI和半导体基板SUB的背面BS的布线,分别在Y方向延伸设置。例如,Mint层设置在半导体基板SUB的表面侧。局部布线LI设置在半导体基板SUB和Mint层之间。半导体基板SUB的表面是第1表面的一例。

[0050] 以下,在周边电路区域PCA和解码器区域DECA布线的电源线、虚拟电源线和接地线,分别用符号VDD1、VVDD1、VSS1表示。在比特单元区域BCA布线的电源线、虚拟电源线以及接地线,分别用符号VDD2、VVDD2、VSS2表示。另外,有时将在周边电路区域PCA或比特单元区

域BCA布线的电源线或接地线配置在分离区域SPA侧。

[0051] 配置在周边电路区域PCA和解码器区域DECA的电路,电连接到虚拟电源线VVDD1和接地线VSS1。配置于比特单元区域BCA的比特单元,与虚拟电源线VVDD2和接地线VSS2电连接。在图3所示的例子中,电源开关电路PSW1与电源线VDD1、虚拟电源线VVDD1和接地线VSS1电连接,电源开关电路PSW2与电源线VDD2、虚拟电源线VVDD2和接地线VSS2电连接。

[0052] 在周边电路区域PCA中,配置有作为BPR设置的接地线VSS1 (BPR) 及虚拟电源线VVDD1 (BPR)、在背面BS设置的接地线VSS1 (BS)、电源线VDD1 (BS) 及虚拟电源线VVDD1 (BS)。接地线VSS1 (BPR)、VSS1 (BS) 通过TSV相互连接。虚拟电源线VVDD1 (BPR)、VVDD1 (BS) 通过TSV相互连接。

[0053] 在周边电路区域PCA中,在半导体基板SUB的背面BS设置有电源开关电路PSW1,其具有与电源线VDD1 (BS) 和虚拟电源线VVDD1 (BS) 电连接的开关晶体管(未图示)。电源开关电路PSW1向设置在周边电路区域PCA的未图示的元件和电路供给电源电压VVDD1。

[0054] 在比特单元区域BCA,配置有作为BPR设置的接地线VSS2 (BPR) 及虚拟电源线VVDD2 (BPR)、和在背面BS设置的接地线VSS (BS) 及虚拟电源线VVDD2 (BS)。接地线VSS2 (BPR)、VSS2 (BS) 通过TSV相互连接。虚拟电源线VVDD2 (BPR)、VVDD2 (BS) 通过TSV相互连接。虚拟电源线VVDD2 (BPR) 经由本地布线LI的虚拟电源线VVDD2连接到Mint层的虚拟电源线VVDD2 (Mint)。虚拟电源线VVDD2 (Mint) 是第1布线的一例。

[0055] 设置在背面BS上的电源线VDD2 (BS) 被配置在分离区域SPA。在比特单元区域BCA中,在半导体基板SUB的背面BS设置电源开关电路PSW2,其具有与电源线VDD2 (BS) 和虚拟电源线VVDD2 (BS) 电连接的开关晶体管(未图示)。电源开关电路PSW2向设置在比特单元区域BCA中的比特单元BC(图5或图6)供给电源电压VVDD2。

[0056] 另外,也可以对图3所示的电源开关电路PSW1的电源线VDD1 (BS) 和电源开关电路PSW2的电源线VDD2 (BS) 供给相同的电源电压,也可以分别供给不同的电源电压。在向电源线VDD1 (BS)、VDD2 (BS) 供给相同的电源电压的情况下,电源线VDD1 (BS)、VDD2 (BS) 也可以相互电连接。例如,电源线VDD1 (BS)、虚拟电源线VVDD1 (BS)、接地线VSS1 (BS)、电源线VDD2 (BS)、虚拟电源线VVDD2 (BS) 和接地线VSS2 (BS),可以作为BS-PDN设置。

[0057] 虚拟电源线VVDD1 (BPR) 是第1电源线的一例。虚拟电源线VVDD2 (BPR) 是第2电源线的一例。虚拟电源线VVDD2 (BS) 是第3电源线的一例。电源线VDD2 (BS) 是第4电源线的一例。虚拟电源线VVDD1 (BS) 是第5电源线的一例。电源线VDD1 (BS) 是第6电源线的一例。接地线VSS1 (BPR) 是第1接地线的一例。接地线VSS2 (BPR) 是第2接地线的一例。接地线VSS1 (BS) 是第3接地线的一例。接地线VSS2 (BS) 是第4接地线的一例。

[0058] 图4A是表示包括图3的电源开关电路PSW1的开关晶体管SWT的区域的截面的一例的截面图。在图4A中,仅表示半导体基板SUB和半导体基板SUB的背面BS侧的结构,省略了设置在半导体基板SUB的表面侧的晶体管和布线等的图示。另外,图3的电源开关电路PSW2的包含开关晶体管SWT的区域的截面结构也与图4A相同。

[0059] 开关晶体管SWT具有相互层叠的半导体层SEML、栅绝缘膜GINS和栅极电极GT。电源线VDD1 (BS) 夹着栅极电极GT连接到半导体层SEML的一方。在半导体层SEML的另一方,夹着栅极电极GT连接虚拟电源线VVDD1 (BS)。开关晶体管SWT根据输入到栅极电极GT的控制信号而导通或截止,在导通时从电源线VDD1向虚拟电源线VVDD1供给电源电压。

[0060] 另外,如图4A所示,电源线VDD1和虚拟电源线VVDD1的一方或双方也可以与设置在开关晶体管SWT的下侧的布线层上的布线连接。在该情况下,上侧的布线层的布线和下侧的布线层的布线经由将绝缘膜INS开口设置的通孔VIA(BS)相互连接。

[0061] 另外,在图4A中,在半导体基板SUB的背面BS设置2层布线层,但也可以设置3层以上的布线层。在这种情况下,彼此层叠的两个布线层的布线也可以经由将绝缘膜INS开口设置的通孔VIA(BS)连接。

[0062] 图4B是表示图3的电源开关电路PSW1的开关晶体管的截面的另一例的截面图。在图4B中,也仅表示半导体基板SUB和半导体基板SUB的背面BS侧的结构,在半导体基板SUB的表面侧设置的晶体管和布线等省略图示。另外,图3的电源开关电路PSW2的包含开关晶体管SWT的区域的截面结构也与图4B相同。

[0063] 图4B中,在与电源线VDD1(BS)和虚拟电源线VVDD1(BS)相同的层设置半导体层SEML,在半导体层SEML的背面BS设置栅绝缘膜GINS和栅极电极GT。电源线VDD1(BS)和虚拟电源线VVDD1(BS)分别连接到半导体层SEML。半导体层SEML、栅绝缘膜GINS以及栅极电极GT依次朝向背面BS设置。其它结构与图4A相同。例如,栅极电极GT在图4B的深度方向延伸,并连接到设置在背面BS的布线。

[0064] 图4C是表示图3的电源开关电路PSW1的开关晶体管的截面的另一例的截面图。在图4C中,也仅表示半导体基板SUB和半导体基板SUB的背面BS侧的结构,在半导体基板SUB的表面侧设置的晶体管和布线等省略图示。另外,图3的电源开关电路PSW2的包含开关晶体管SWT的区域的截面结构也与图4C相同。图4C具有与图4A相同的结构,不同之处在于开关晶体管SWT设置在第2层而不是最靠近半导体基板SUB的最上层。

[0065] 图4D是表示图3的电源开关电路PSW1的开关晶体管SWT的截面的又一例的截面图。在图4D中,也仅表示半导体基板SUB和半导体基板SUB的背面BS侧的结构,在半导体基板SUB的表面侧设置的晶体管和布线等省略图示。另外,图3的电源开关电路PSW2的包含开关晶体管SWT的区域的截面结构也与图4D相同。

[0066] 图4D具有与图4A相同的结构,不同之处在于从背面BS依次设置半导体层SEML、栅绝缘膜GINS以及栅极电极GT,半导体层SEML的一方经由TSV与半导体基板SUB的表面侧连接这一点。

[0067] 半导体层SEML的一方经由TSV与设置在半导体基板SUB的表面侧的虚拟电源线VVDD1连接。半导体层SEML的另一方经由通孔VIA(BS)与设置在开关晶体管SWT的下侧的布线层的电源线VVDD1(BS)连接。

[0068] 另外,图4A到图4D所示的半导体层SEML,也可以使用石墨烯或碳纳米管来设置。另外,图4A到图4D的开关晶体管SWT还包括薄膜晶体管(TFT;Thin Film Transistor)。

[0069] 图5是表示配置在图1的比特单元区域BCA的比特单元BC的一例的图。为了使布线的布局容易理解,在图5的(A)表示Mint层的布线以及与Mint层连接的通孔的布局,在图5的(B)表示Mint层之下(半导体基板侧)的层的布线、栅极、翅片以及通孔的布局。另外,在图5的(C)表示比特单元BC的电路。图5的(A)和图5的(B)所示的布局,在俯视下相互重叠地设置。

[0070] 方形所示的通孔VIA1将Mint层的布线和各栅极连接。圆圈所示的通孔VIA2,将Mint层的布线和本地布线LI连接。菱形所示的通孔VIA3,将本地布线LI和BPR的布线连接。

局部布线LI和翅片FIN在俯视下重叠的位置连接。

[0071] 图5的(B)所示的矩形虚线,表示p沟道晶体管P1、P2、n沟道晶体管N1、N2以及传输晶体管T1、T2。传输晶体管T1、T2是n沟道晶体管。图5的(A)到图5的(C)所示的符号Q、QB,表示比特单元BC的互补的存储节点。存储节点Q经由传输晶体管T1连接到比特线BL。存储节点QB经由传输晶体管T2连接到比特线BLB。

[0072] 设置在Mint层的两个字线WL,分别经由通孔VIA1与传输晶体管T1、T2的栅极GT4、GT1连接。设置在Mint层的虚拟电源线VDD2经由通孔VIA2连接到本地布线LI2、LI7。本地布线LI2连接到p沟道晶体管P1的源极。本地布线LI7连接到p沟道晶体管P2的源极。

[0073] 设置在Mint层的布线Q,经由通孔VIA2与本地布线LI5以及翅片FIN3、FIN4连接,经由通孔VIA1与栅极GT3连接。翅片FIN3用作p沟道晶体管P1的源极、漏极,并且翅片FIN4用作传输晶体管T1和n沟道晶体管N1的源极、漏极。

[0074] 设置在Mint层上的布线QB经由通孔VIA2与本地布线LI4以及翅片FIN2、FIN1连接,经由通孔VIA1与栅极GT2连接。翅片FIN2用作p沟道晶体管P2的源极、漏极,并且翅片FIN1用作传输晶体管T2和n沟道晶体管N2的源极、漏极。

[0075] 设置在Mint层中的比特线BLB经由通孔VIA2连接到本地布线LI1和FIN1。设置在Mint层上的比特线BL经由通孔VIA2与本地布线LI8及FIN4连接。配置在图5(B)的Y方向的两侧的两个BPR的接地线VSS2经由通孔VIA3分别与本地布线LI3、LI6连接。本地布线LI3连接到n沟道晶体管N1的源极。本地布线LI6连接到n沟道晶体管N2的源极。

[0076] 图6是表示配置在图1的比特单元区域BCA的比特单元BC的另一例的图。对于与图5相同的要素,标注相同的符号或相同的图案,省略详细的说明。图6具有与图5相同的布局,不同之处在于虚拟电源线VDD2被设置在BPR中之外这一点。

[0077] 此外,本地布线LI2和LI7的虚拟电源线VDD2,通过通孔VIA3连接到BPR的虚拟电源线VDD2。BPR的虚拟电源线VDD2位于两个BPR的接地线VSS2之间,并且与两个BPR的接地线VSS2一样在X方向上延伸。

[0078] 图7是表示跨越分离区域SPA和比特单元区域BCA配置的电源开关电路PSW2的一例的俯视图。图2所示的电源开关电路PSW2的开关晶体管SWT设置在分离区域SPA。例如,在比特单元区域BCA中,配置图5所示的比特单元BC。另外,比特单元区域BCA中的比特单元BC的布线以及通孔的一部分省略图示。

[0079] 在开关晶体管SWT2的半导体层SEML(图4A到图4D)中,夹着栅极电极GT的一方与半导体基板SUB的背面BS的电源线VDD2(BS)连接。另外,在开关晶体管SWT2的半导体层SEML中,夹着栅极电极GT的另一方,与背面BS的虚拟电源线VDD2(BS)连接。另外,在图7中,省略与栅极电极GT连接的布线。

[0080] 背面BS的虚拟电源线VDD2(BS)经由TSV和虚拟电源线VDD2(BPR)等连接到Mint层的虚拟电源线VDD2(Mint)。另外,在电源开关电路PSW2配置在比特单元区域BCA内的情况下,虚拟电源线VDD2(BPR)和接地线VSS2(BPR),也可以在设置于背面BS的开关晶体管SWT2上延伸。另外,比特单元区域BCA的多个接地线VSS(BPR),也可以经由背面BS的接地线VSS2(BS)和TSV相互连接。

[0081] 图8是表示沿着图7的Y1-Y1'线的截面的截面图。半导体基板SUB的背面BS的虚拟电源线VDD2(BS),经由通孔VIA(BS)与电源开关电路PSW2的开关晶体管SWT的半导体层

SEML连接。另外,虚拟电源线VDD2 (BS),通过TSV连接到BPR的虚拟电源线VDD2 (BPR)。

[0082] 图9是表示沿着图7的X1-X1' 线的截面的截面图。开关晶体管SWT2与图4A相同,具有相互层叠的半导体层SEML、栅绝缘膜GINS和栅极电极GT。

[0083] 在电源开关电路PSW2的开关晶体管SWT的半导体层SEML中,夹着栅极电极GT的一方与半导体基板SUB的背面BS的虚拟电源线VDD2 (BS) 连接。在半导体层SEML中,夹着栅极电极GT的另一方,与半导体基板SUB的背面BS的电源线VDD2 (BS) 连接。

[0084] 另外,与背面BS的虚拟电源线VDD2 (BS) 连接的TSV,也可以贯通连接到Mint层的虚拟电源线VDD2 (Mint)。另外,TSV也可以混合有贯通连接到BPR的情况、和贯通连接到Mint层的情况。

[0085] 图10是表示配置在图7的比特单元区域BCA的电源开关电路PSW2的变形例的俯视图。对于与图7相同的要素,标注相同的符号,省略详细说明。

[0086] 在图10中,省略开关晶体管SWT的半导体层SEML和栅极电极GT。图10与图7的布局相同,不同之处在于电源开关电路PSW2的开关晶体管SWT和半导体基板SUB的背面BS的电源线VDD2 (BS) 配置在与比特单元BC重叠的位置。

[0087] 另外,开关晶体管SWT也可以与虚拟电源线VDD2 (BS) 一起配置在与比特单元区域BCA重叠的位置。另外,比特单元区域BCA的多个接地线VSS (BPR) 也可以经由TSV与背面BS的共同的接地线VSS2 (BS) 连接。

[0088] 以上,在本实施方式中,能够使用设置在半导体基板SUB的背面BS上的布线层,适当地配置电源开关电路PSW (或者,PSW1、PSW2)。例如,电源开关电路PSW可以被配置在比特单元区域BCA或分离区域SPA中。或者,可以将电源开关电路PSW1、PSW2分别配置在周边电路区域PCA和比特单元区域BCA。

[0089] 然后,能够从设置于背面BS的电源开关电路PSW向周边电路区域PCA、解码器区域DECA以及比特单元区域BCA的虚拟电源线VDD供给电源电压。即,能够从设置于背面BS的电源开关电路PSW向SRAM供给电源电压。

[0090] (第2实施方式)

[0091] 图11是表示第2实施方式中的半导体装置中跨越分离区域SPA及比特单元区域BCA配置的电源开关电路PSW2的一例的俯视图。对于与上述实施方式相同的要素,标注相同的符号,省略详细说明。图11与图7相同,不同之处在于比特单元区域BCA的虚拟电源线VDD2使用BPR来设置。

[0092] 另外,如图10所示,也可以将电源开关电路PSW2的开关晶体管SWT和半导体基板SUB的背面BS的电源线VDD2 (BS) 配置在与比特单元BC重叠的位置。另外,在电源开关电路PSW2配置在比特单元区域BCA内的情况下,虚拟电源线VDD2 (BPR) 和接地线VSS2 (BPR) 也可以在开关晶体管SWT上延伸设置。此外,比特单元区域BCA的多个接地线VSS (BPR),可以经由TSV连接到背面BS的公共接地线VSS2 (BS)。

[0093] 图12是表示图11的电源开关电路PSW2的变形例的俯视图。对于与图11相同的要素,标注相同的标号,并省略详细说明。在图12中,与电源开关电路PSW2连接的电源线VDD2 (BS),经由TSV与设置在半导体基板SUB的表面的电源线VDD2 (BPR) 连接。电源线VDD2 (BPR) 是第7电源线的一例。

[0094] 将电源线VDD2 (BS) 连接到电源线VDD2 (BPR) 的TSV,例如配置在比特单元区域BCA。

由此,能够抑制在分离区域SPA配置BPR的布线。在Y方向延伸的电源线VDD2(BS)与在X方向延伸的电源线VDD2(BS)的交点所示的五角形,是在半导体基板SUB的背面BS中连接彼此不同的布线层的通孔VIA(BS)。

[0095] 另外,电源线VDD2(BS)及虚拟电源线VVDD2(BS)的一方或双方,也可以通过在背面BS的多个布线层设置的布线而配置成网格状。在这种情况下,多个布线层的布线经由通孔VIA(BS)相互连接。另外,比特单元区域BCA的多个接地线VSS2(BPR),也可以经由TSV与背面BS的共同的接地线VSS2(BS)连接。

[0096] 图12中说明的布局结构,也可以适用于上述的其他实施方式,也可以适用于设置在电源开关电路PSW1中的电源线VDD1(PSW1)或虚拟电源线VDD1(PSW1)。另外,在应用于电源开关电路PSW1的情况下,连接半导体基板SUB的背面BS的电源线VDD1(BS)和表面的电源线VDD1(BPR)的TSV,配置于周边电路区域PCA。

[0097] 以上,在该实施方式中也能够得到与上述实施方式相同的效果。例如,可以使用设置在半导体基板SUB的背面BS上的布线层来适当地配置电源开关电路PSW2。例如,可将电源开关电路PSW2配置在比特单元区域BCA或分离区域SPA。

[0098] 以上,根据各实施方式进行了本发明的说明,但本发明不限于上述实施方式所示的要件。关于这些方面,可以在不损害本发明的主旨的范围内进行变更,可以根据其应用方式适当地进行规定。

[0099] 【符号的说明】

[0100]	100	半导体装置
[0101]	BCA	比特单元区域
[0102]	BL、BLB	比特线
[0103]	BS	背面
[0104]	CNTL	控制电路
[0105]	DECA	解码区域
[0106]	FIN1-FIN4	翅片
[0107]	GINS	栅绝缘膜
[0108]	GT,GT1-GT4	栅极
[0109]	INS	绝缘膜
[0110]	LI1-LI8	本地布线
[0111]	N1,N2	n沟道晶体管
[0112]	P、P1、P2	p沟道晶体管
[0113]	PCA	周边电路区域
[0114]	PSW、PSW1、PSW2	电源开关电路
[0115]	Q、QB	存储节点
[0116]	SPA	分离区域
[0117]	SEML	半导体层
[0118]	SUB	半导体基板
[0119]	SWCNT	开关控制信号
[0120]	SWT	开关晶体管

[0121]	T1、T2	传输晶体管
[0122]	VDD、VDD1、VDD2	电源线
[0123]	VIA、VIA1、VIA2、VIA3	通孔
[0124]	VSS、VSS1、VSS2	接地线
[0125]	VVDD、VVDD1、VVDD2	虚拟电源线
[0126]	WL	字线。

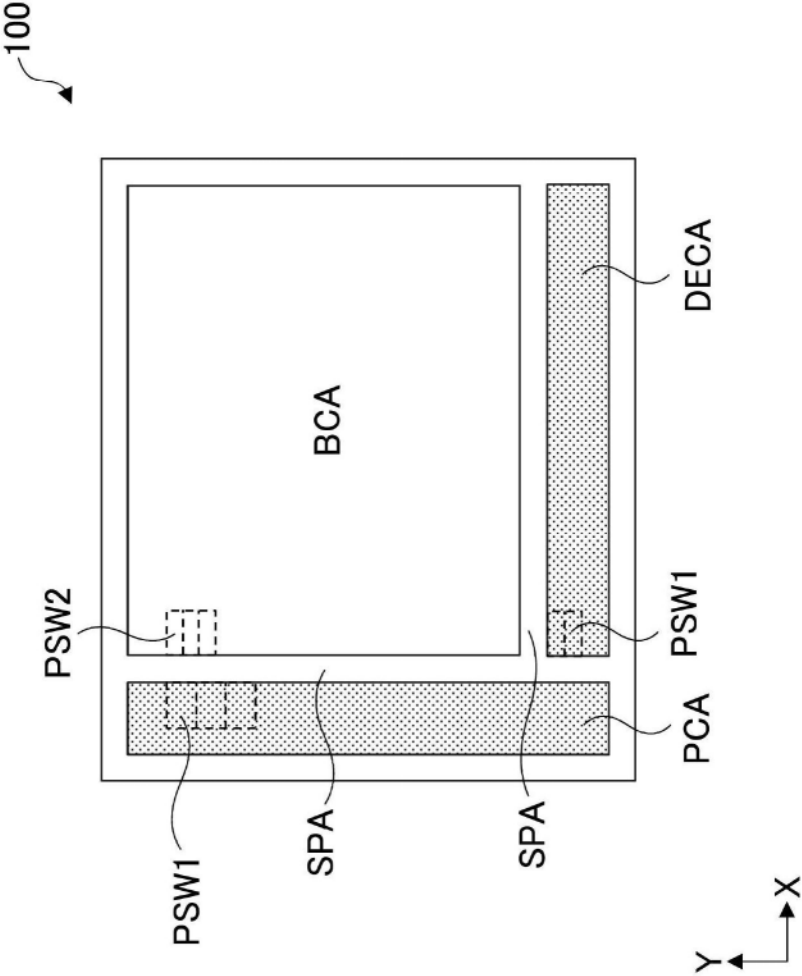


图1

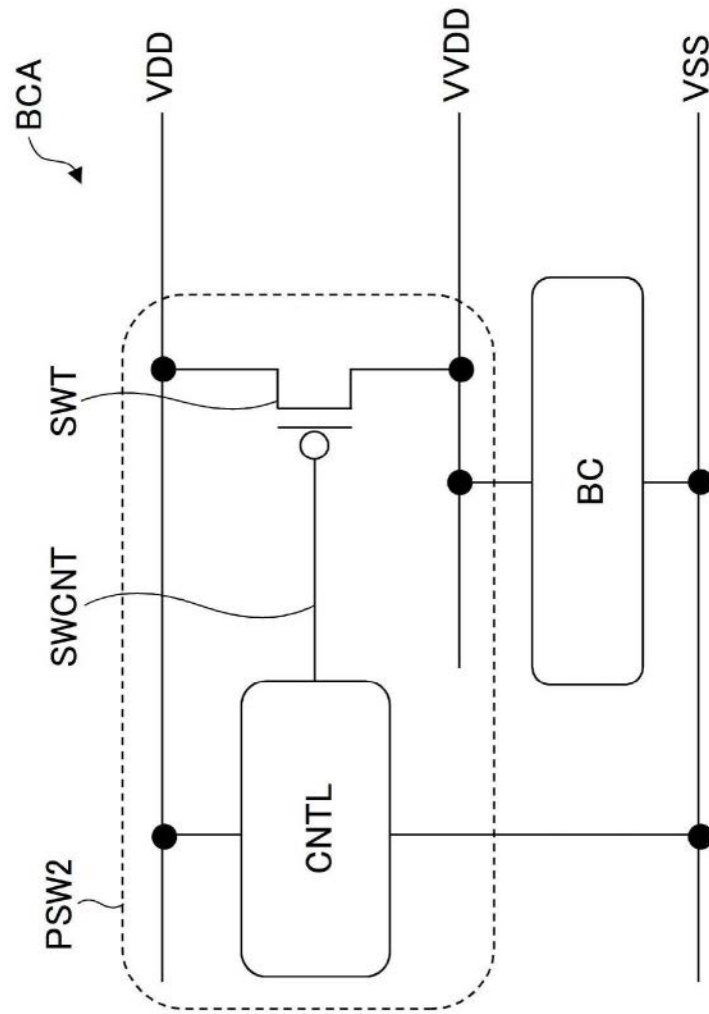


图2

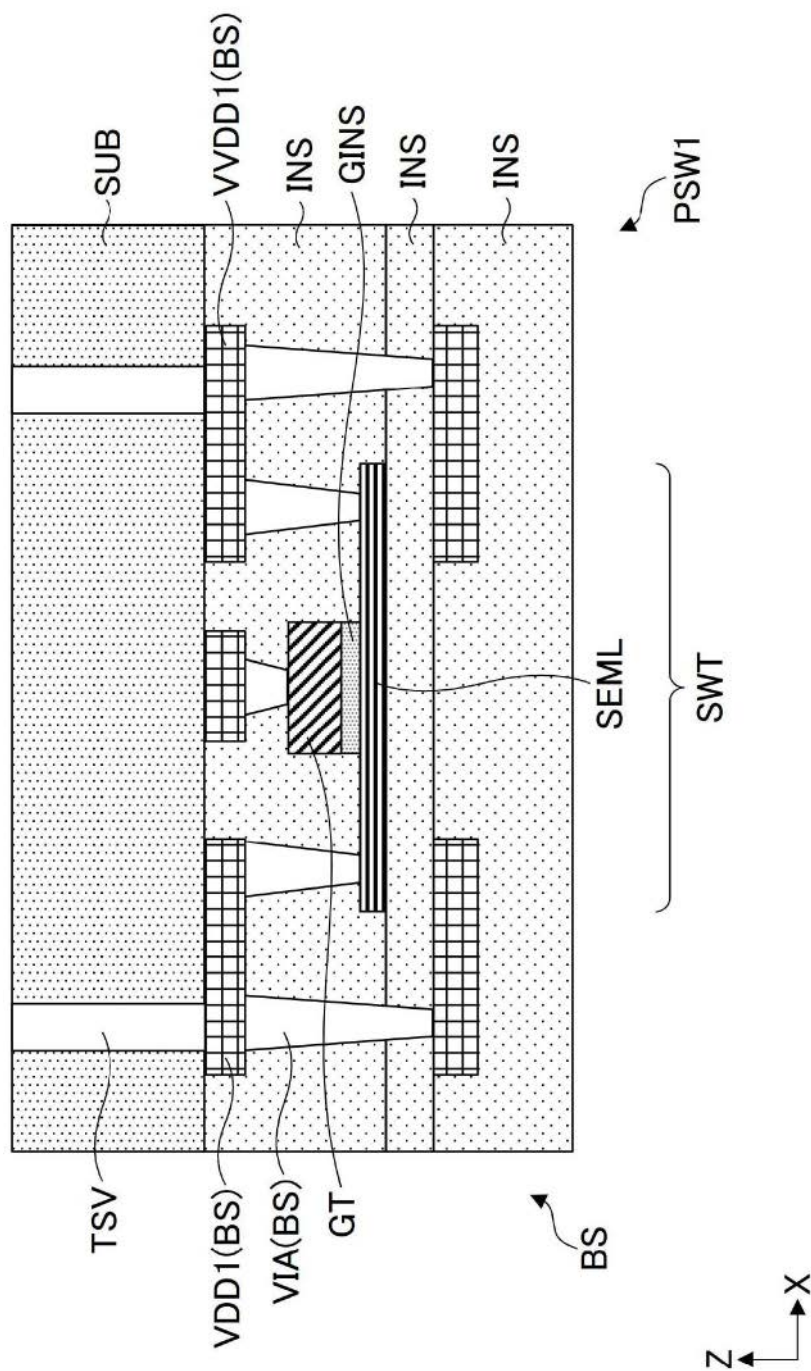


图4A

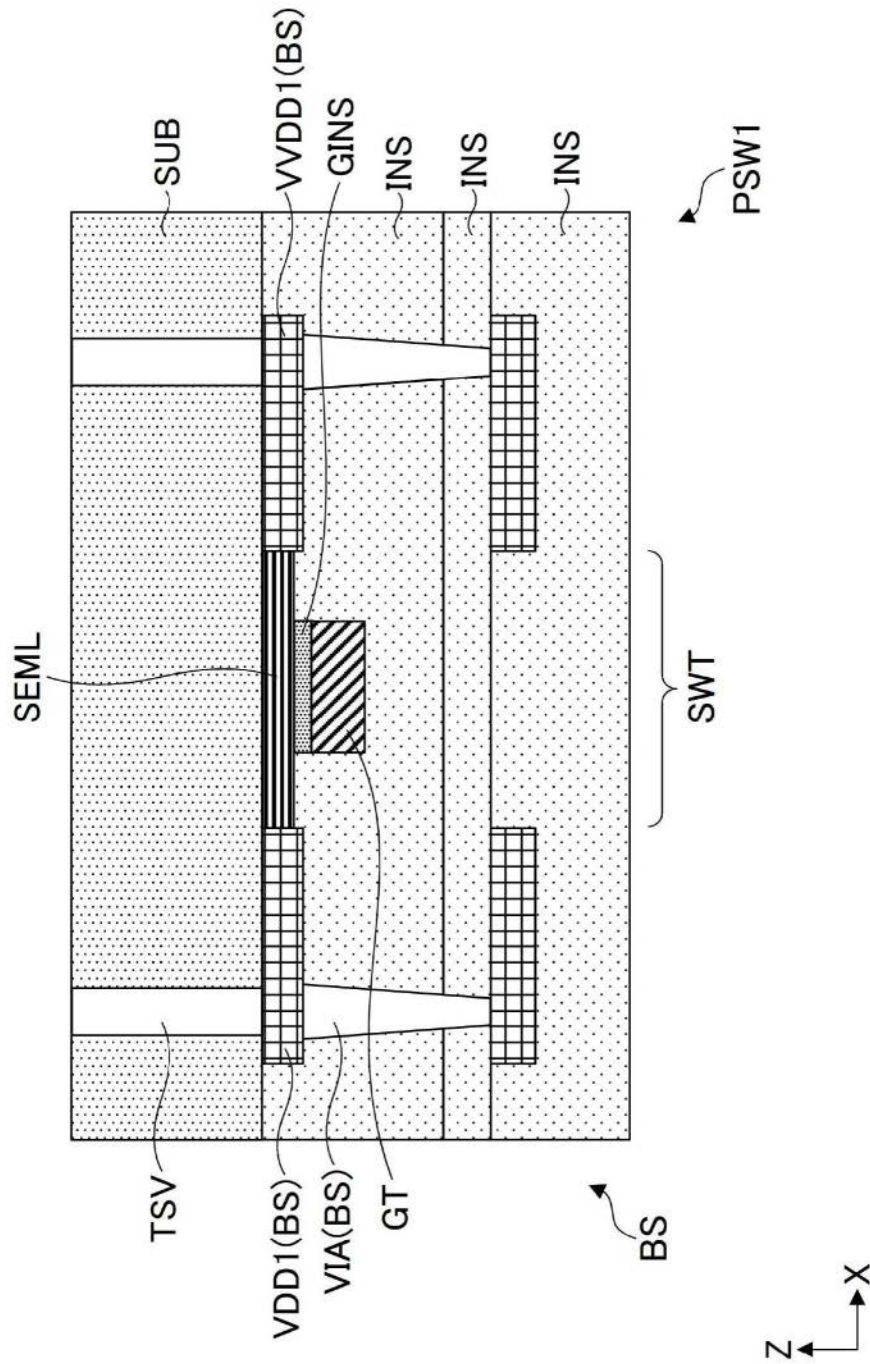


图4B

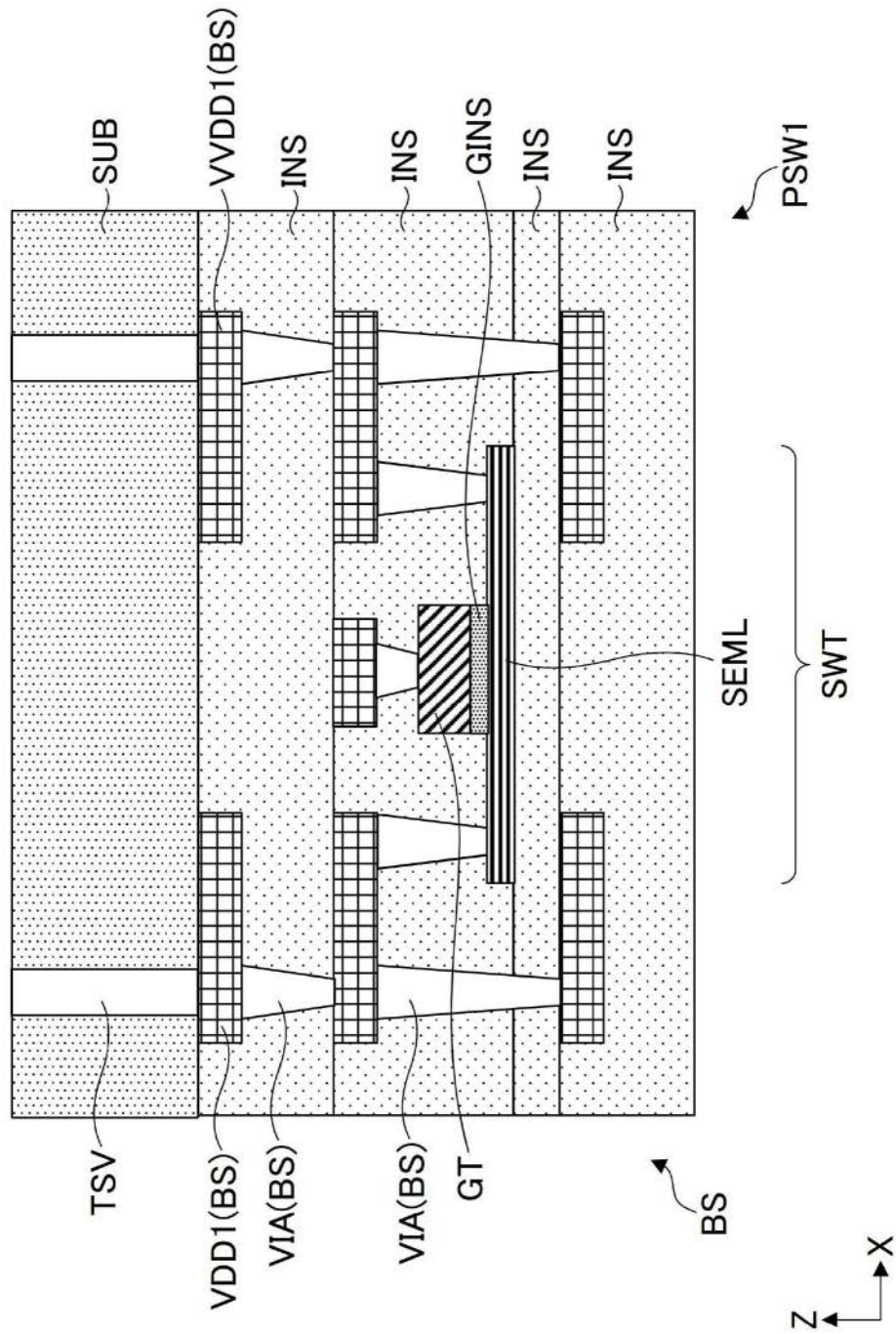


图4C

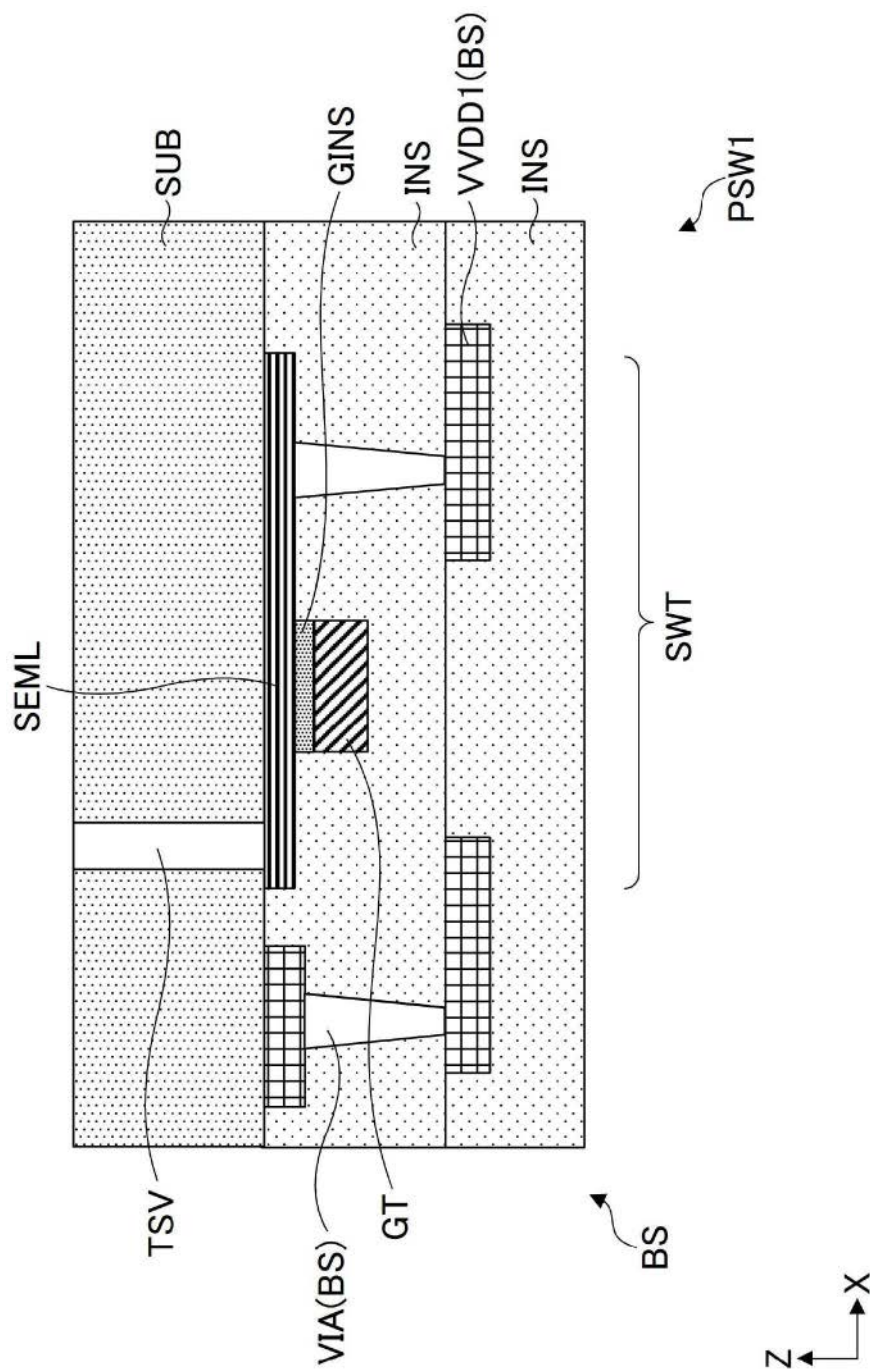


图4D

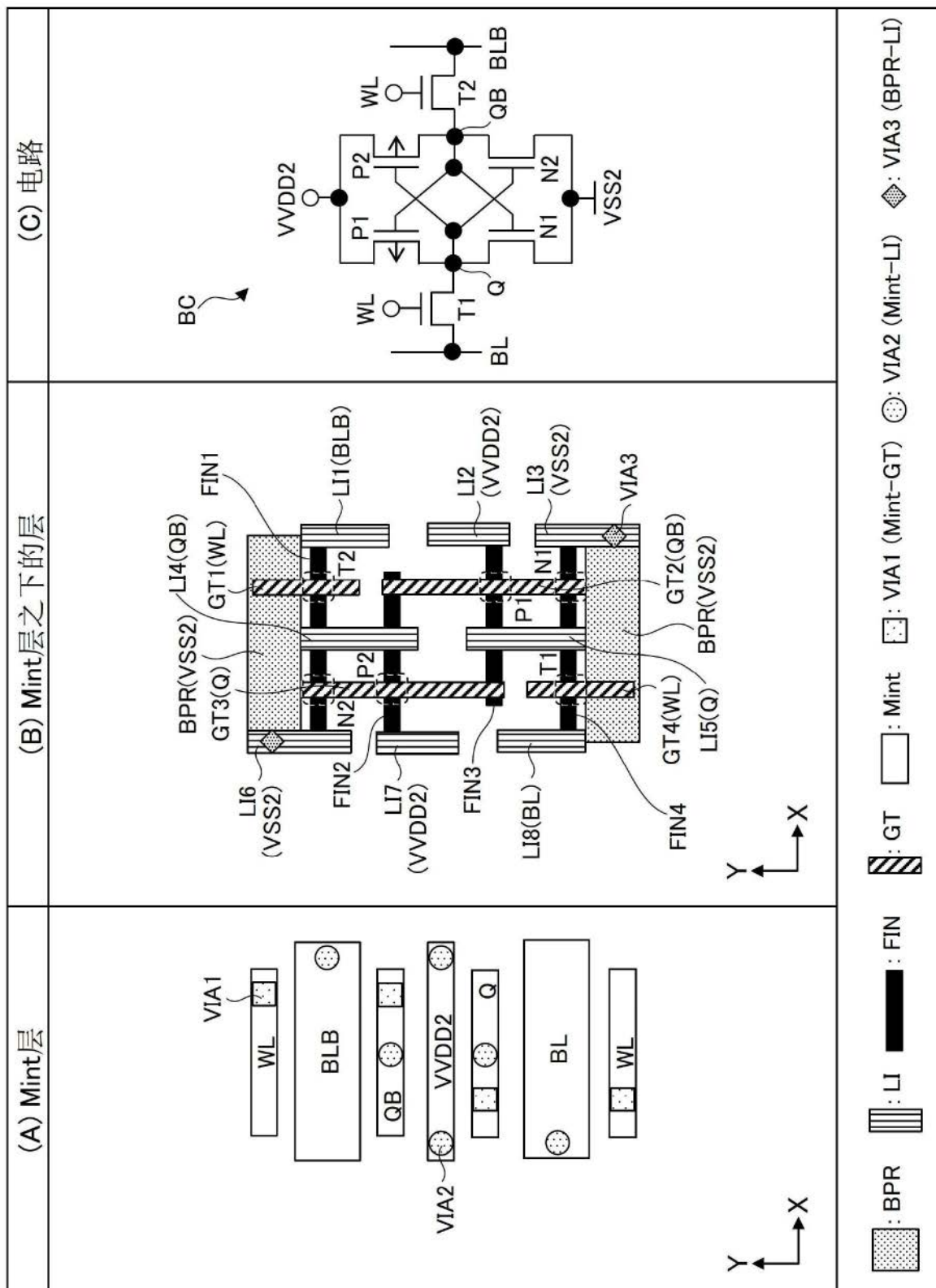


图5

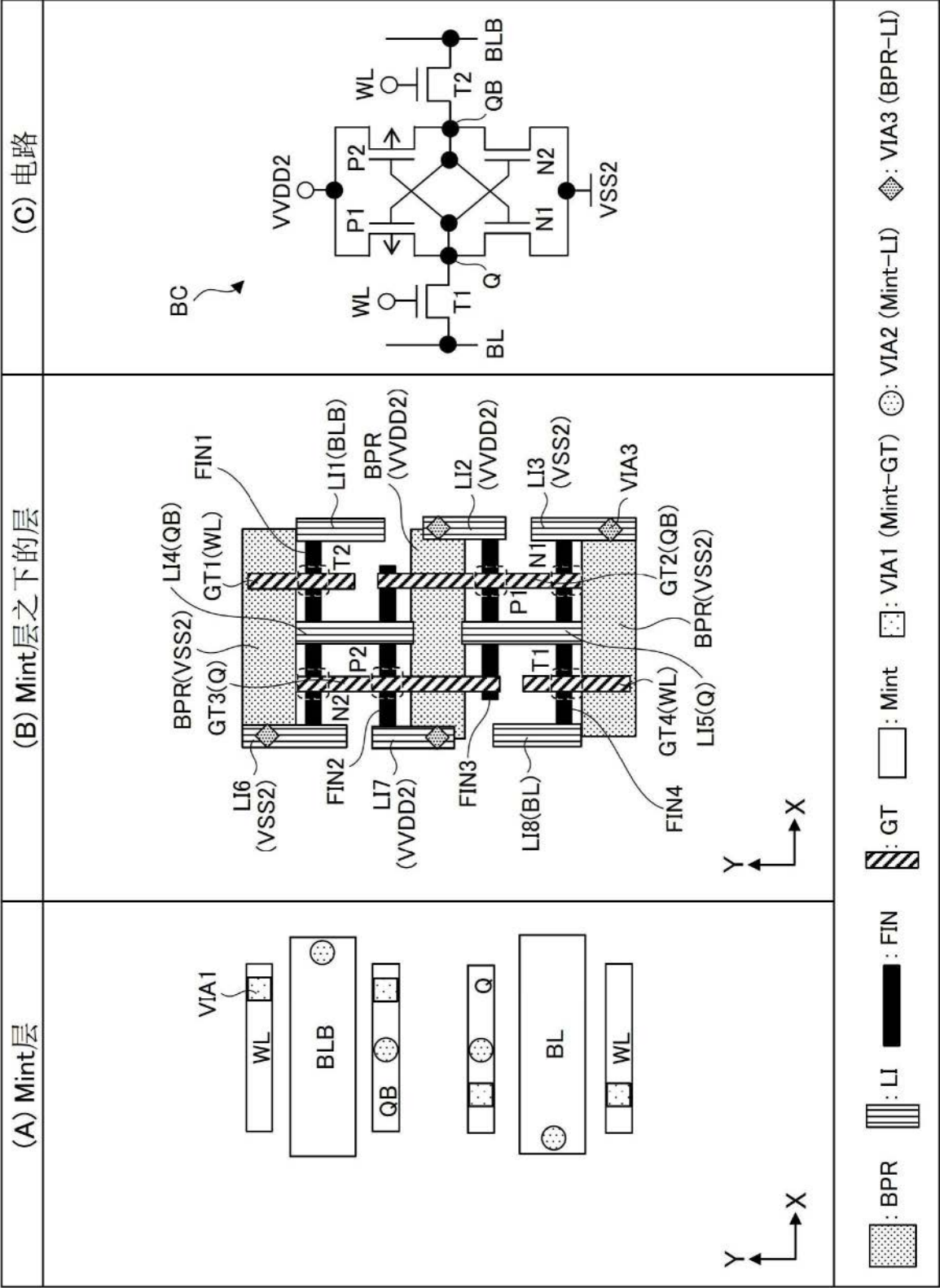


图6

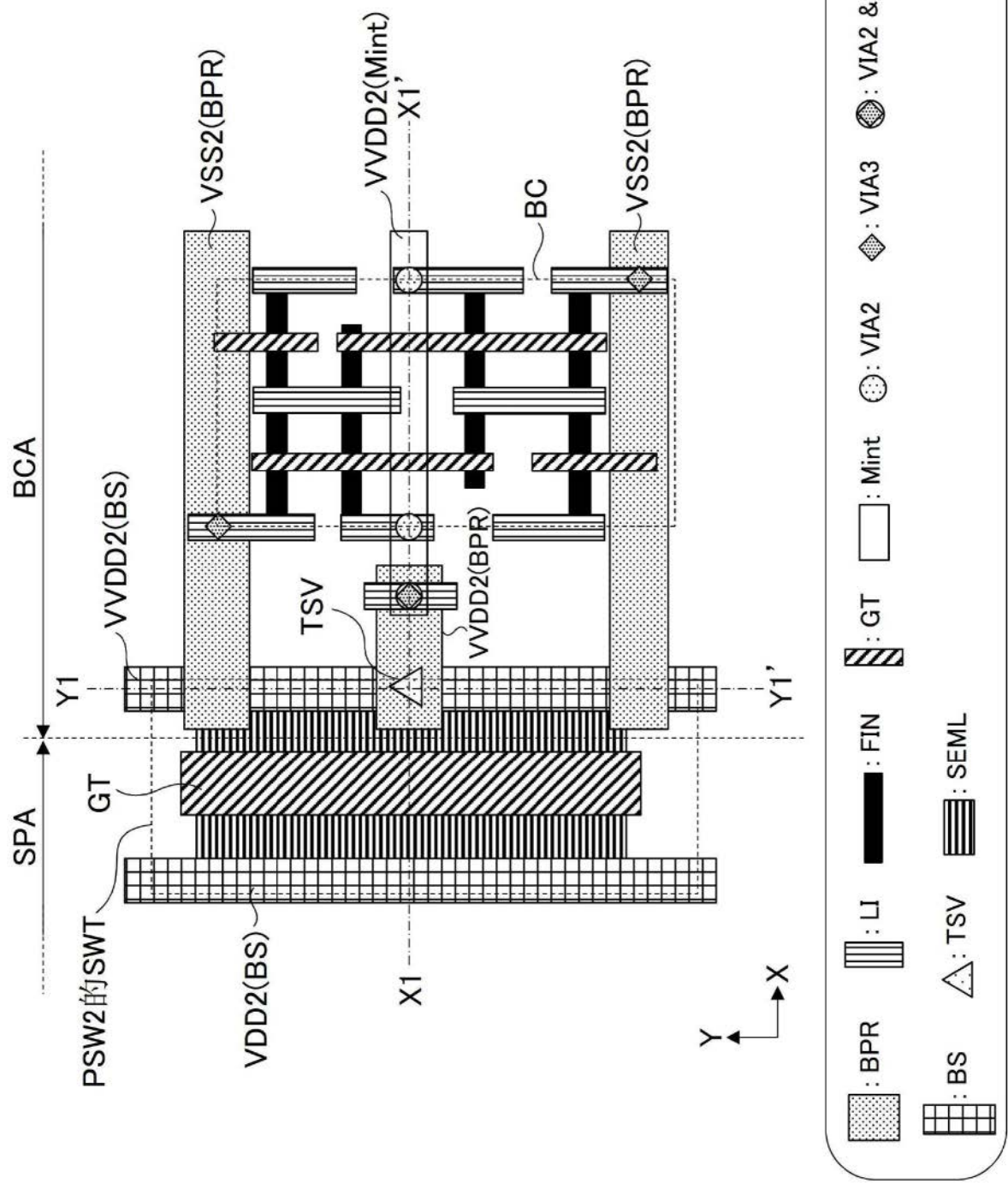


图7

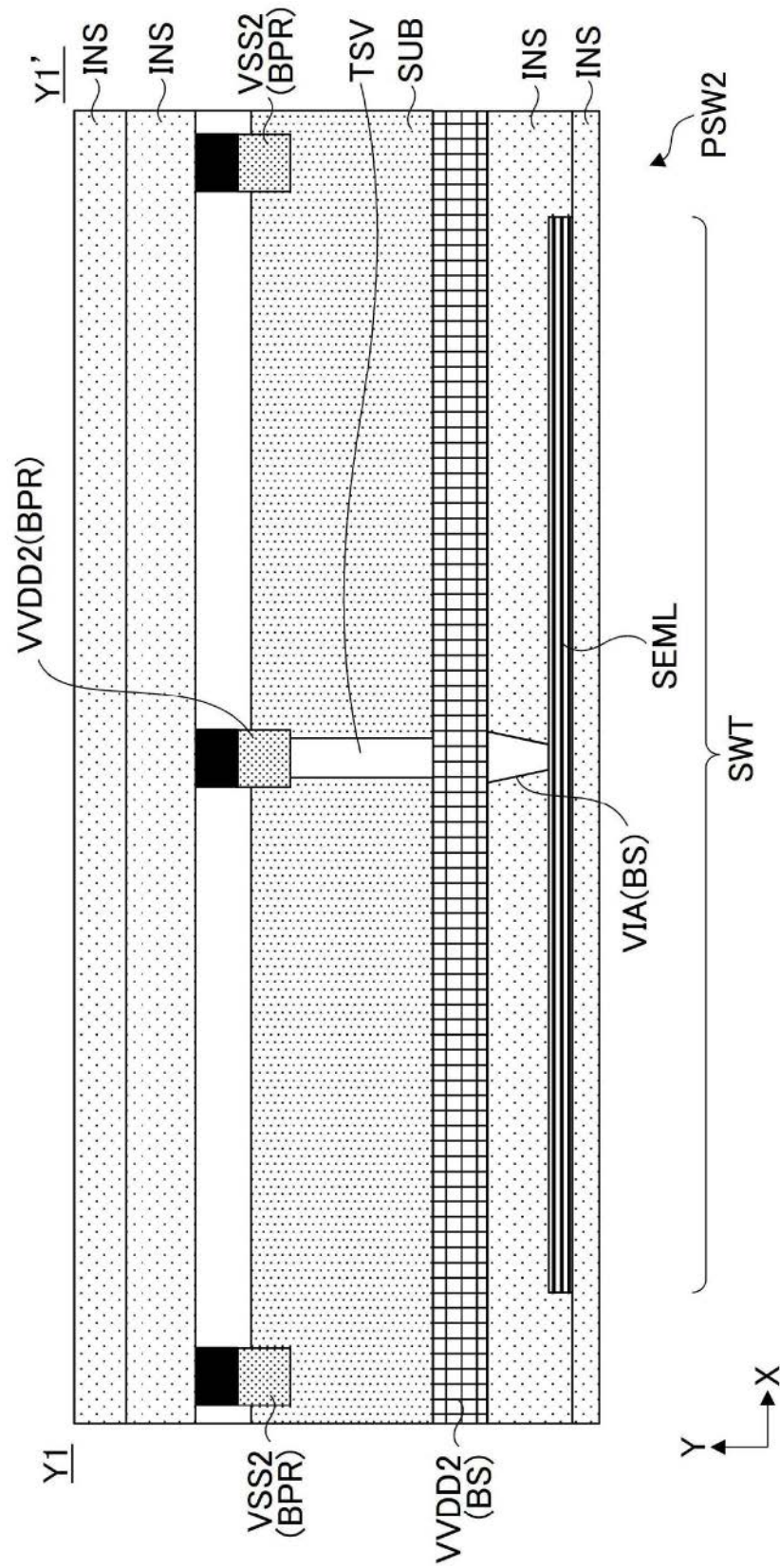


图8

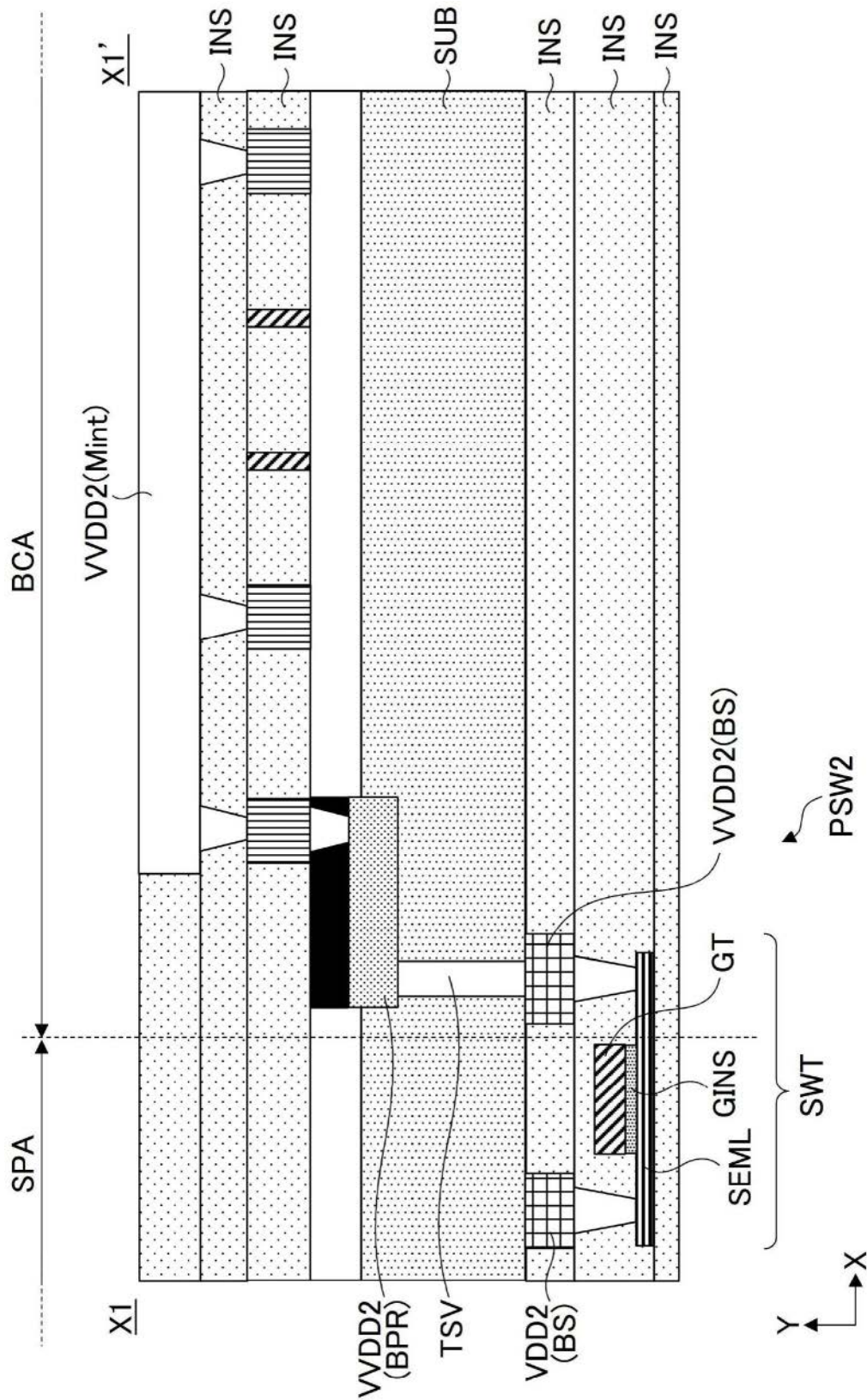


图9

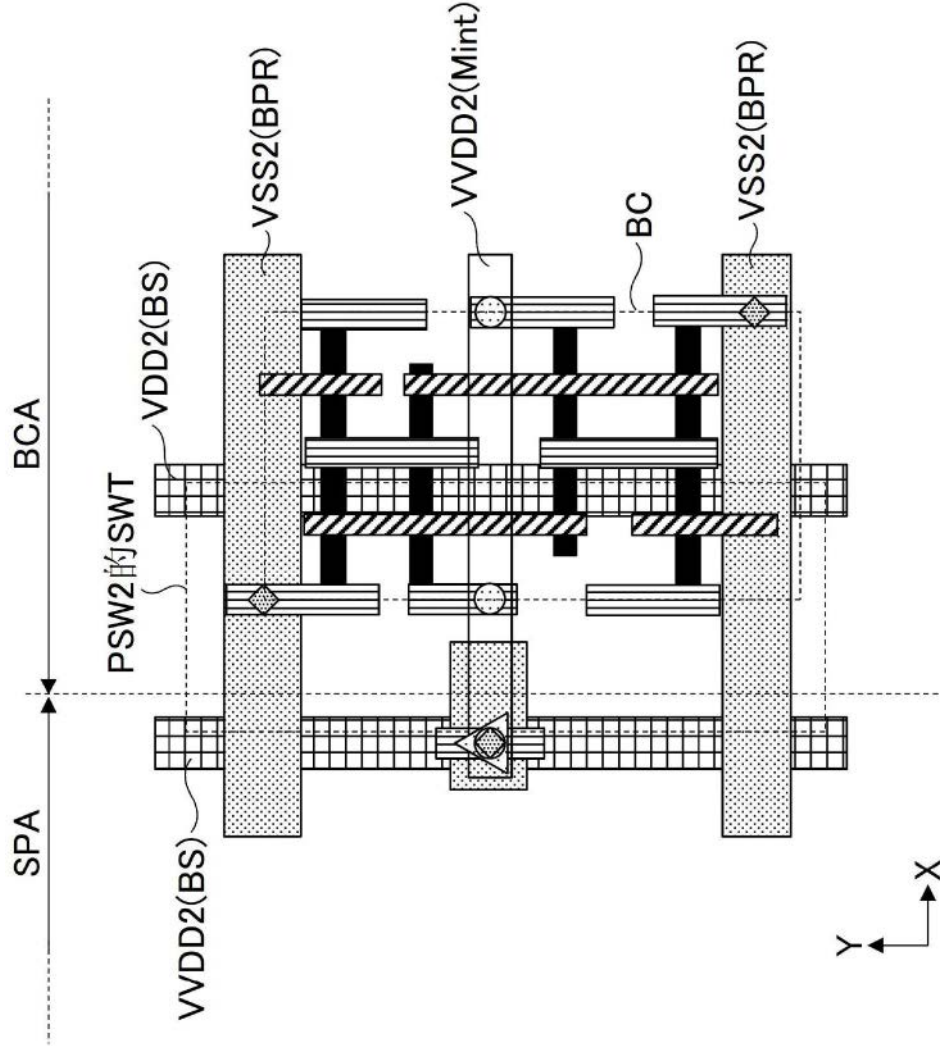


图10

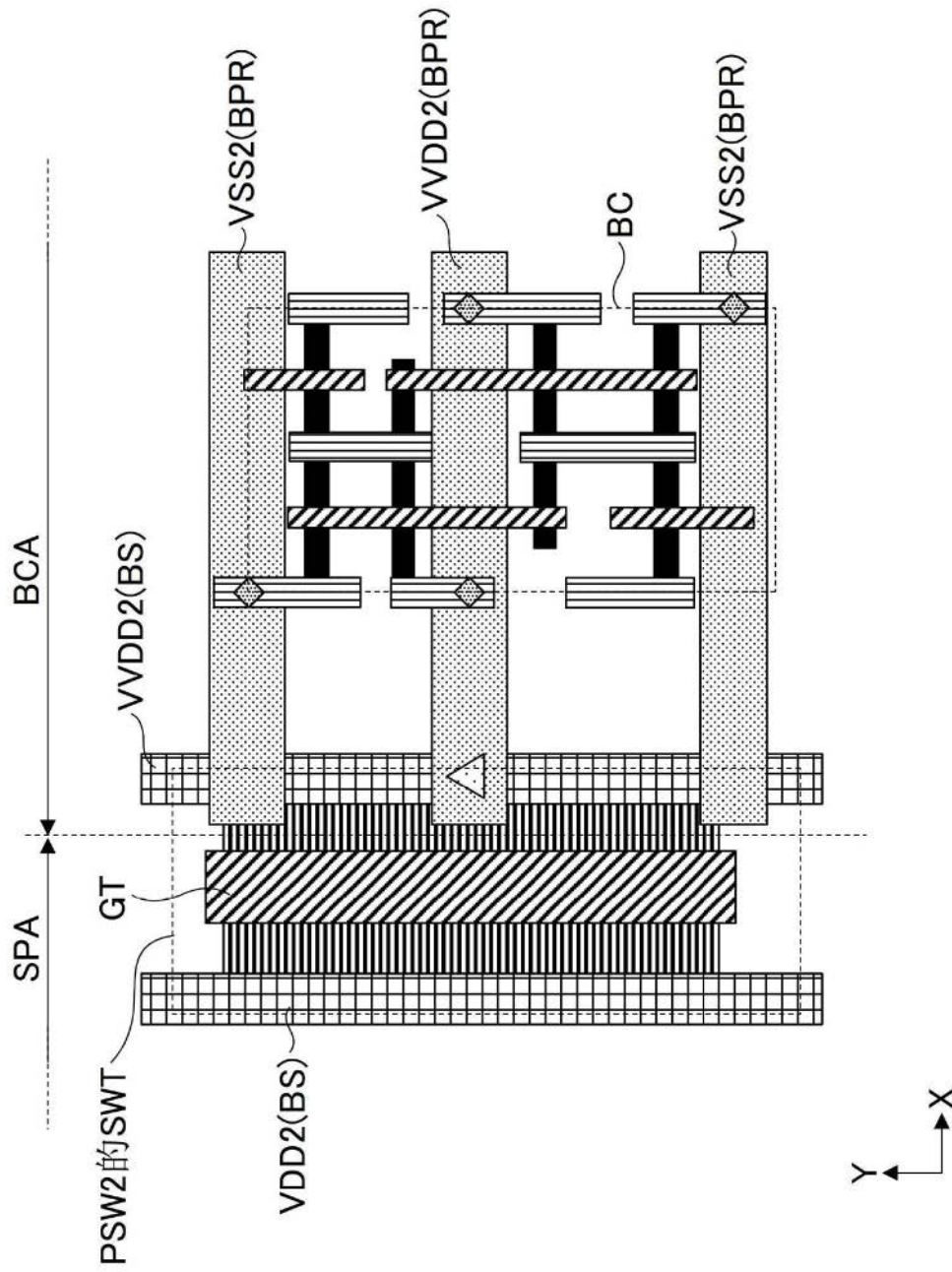


图11

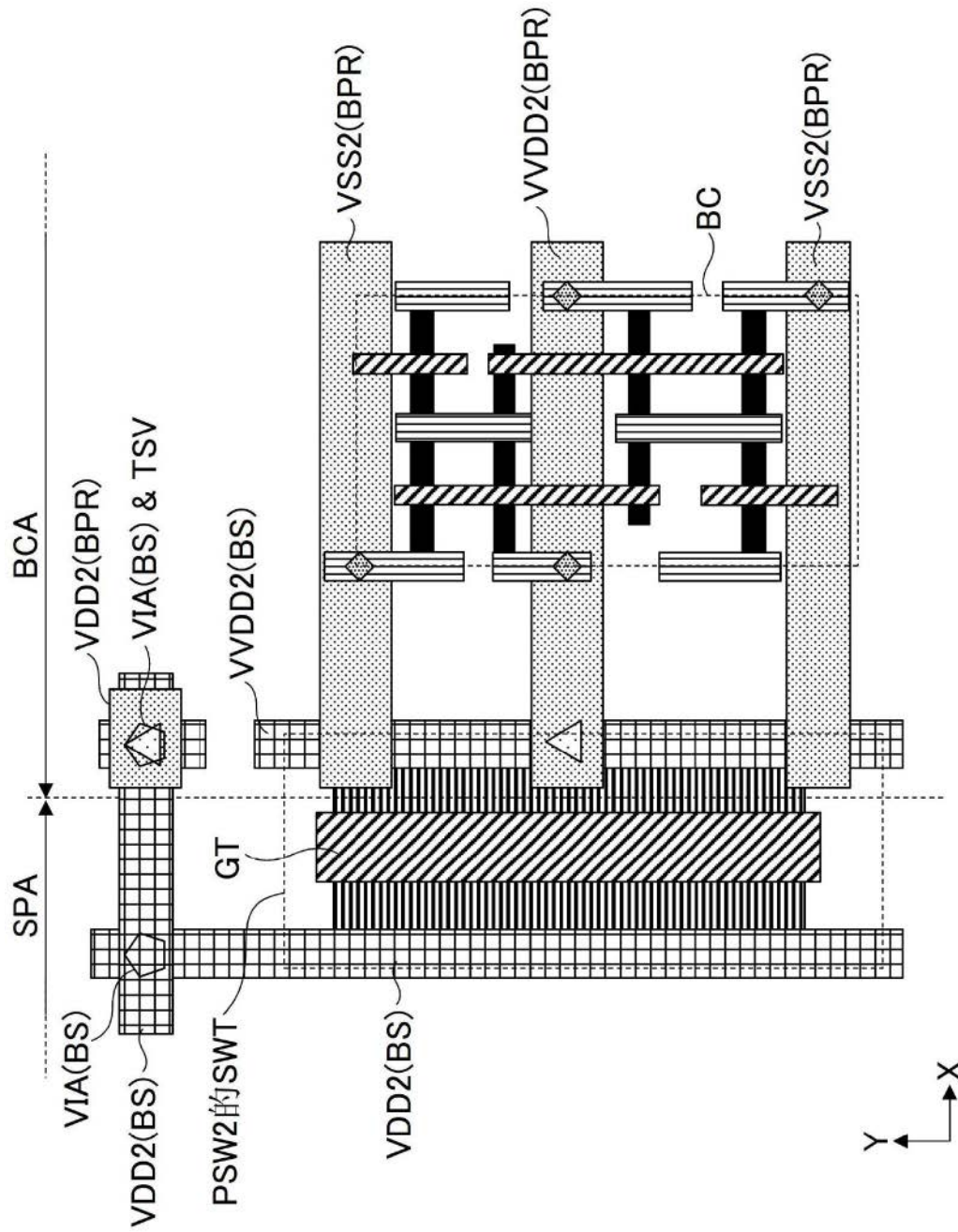


图12