



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0132679
(43) 공개일자 2017년12월04일

- (51) 국제특허분류(Int. Cl.)
H01L 31/08 (2006.01) H01L 27/146 (2006.01)
H01L 31/04 (2014.01) H01L 31/06 (2006.01)
- (52) CPC특허분류
H01L 31/08 (2013.01)
H01L 27/1461 (2013.01)
- (21) 출원번호 10-2017-0063234
- (22) 출원일자 2017년05월23일
심사청구일자 없음
- (30) 우선권주장
JP-P-2016-103716 2016년05월24일 일본(JP)

- (71) 출원인
캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고
- (72) 발명자
스즈키 다츠야
일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고
캐논 가부시끼가이샤 내
교이즈미 도루
일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고
캐논 가부시끼가이샤 내
(뒷면에 계속)
- (74) 대리인
장수길, 이중희

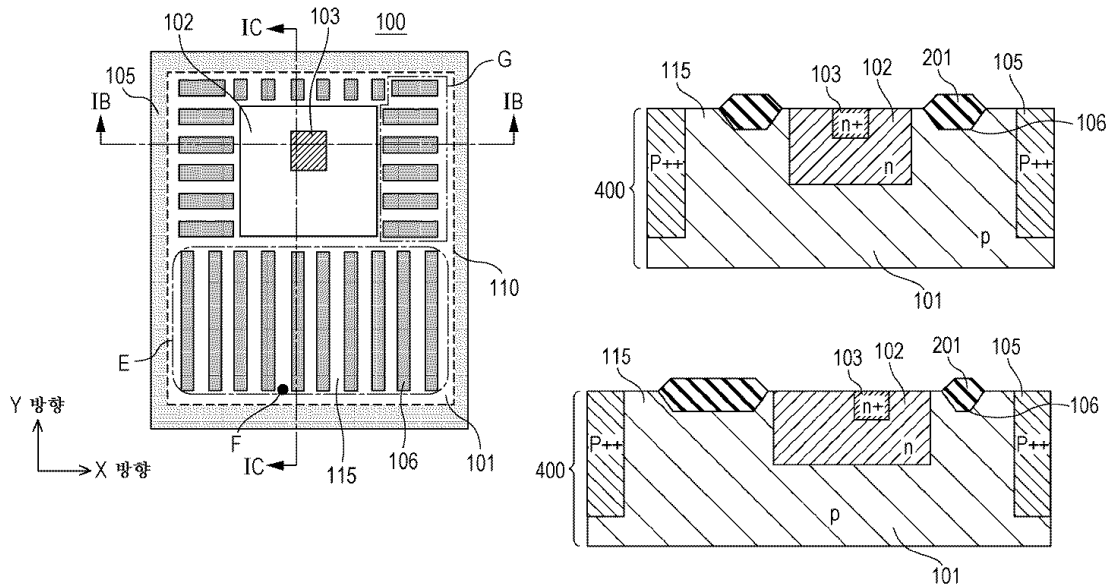
전체 청구항 수 : 총 38 항

(54) 발명의 명칭 광전 변환 장치 및 영상 판독 장치

(57) 요약

광전 변환 장치는 오목부를 포함하는 하나의 주면을 가지는 반도체 기관, 및 오목부 내의 절연체를 포함한다. 반도체 기관은 광전 변환 소자를 포함하고, 각각의 광전 변환 소자는 제1 도전형의 제1 반도체 영역, 제2 도전형의 제2 반도체 영역, 및 제2 반도체 영역에 비해서 주면에 더 근접하여 배치되는 하나 이상의 부분을 가지는 제2 도전형의 제3 반도체 영역을 포함한다. 제2 반도체 영역은 신호 전하의 극성을 갖는다. 제2 반도체 영역은 제1 및 제3 반도체 영역과 접촉된다. 신호 전하 경로는 주면에 수직인 단면에서 오목부 사이에 배치된다. 제2 및 제3 반도체 영역 중 하나 이상이 2개 이상의 신호 전하 경로의 방향으로 배치된다.

대표도



(52) CPC특허분류

H01L 31/04 (2013.01)

H01L 31/06 (2013.01)

(72) 발명자

오구라 마사노리

일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고
캐논 가부시끼가이샤 내

스즈키 다카노리

일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고
캐논 가부시끼가이샤 내

이바 준

일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고
캐논 가부시끼가이샤 내

명세서

청구범위

청구항 1

광전 변환 장치이며:

오목부를 포함하는 하나의 주면을 가지도록 구성된 반도체 기관; 및

상기 오목부 내에 배치되도록 구성된 절연체를 포함하고,

상기 반도체 기관은 광전 변환 소자를 포함하고, 각각의 광전 변환 소자는 제1 도전형의 제1 반도체 영역, 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역, 및 제2 반도체 영역의 불순물 농도보다 높은 불순물 농도를 가지고 제2 반도체 영역에 비해서 주면에 더 근접하여 배치되는 하나 이상의 부분을 가지는, 제2 도전형의 제3 반도체 영역을 포함하며, 상기 제2 반도체 영역은 신호 전하의 극성과 동일한 극성을 가지며,

상기 제2 반도체 영역은 상기 제1 및 제3 반도체 영역과 접촉하고,

상기 제1 및 제2 반도체 영역이 PN 접합부를 형성하며,

신호 전하 경로가, 상기 주면에 수직인 단면에서 상기 오목부 사이에 배치되며,

상기 신호 전하 경로는, 상기 주면의 평면 뷰(view) 내에서,

제2 방향의 길이보다 긴 제1 방향의 길이를 가지는 제1 신호 전하 경로로서, 제2 방향은 제1 방향과 상이한, 제1 신호 전하 경로, 및

제4 방향의 길이보다 긴, 제1 방향과 상이한 제3 방향의 길이를 가지는 제2 신호 전하 경로로서, 제4 방향은 제3 방향과 상이한, 제2 신호 전하 경로를 포함하고,

상기 제2 및 제3 반도체 영역 중 하나 이상은, 상기 제1 방향에 평행하고 상기 제1 신호 전하 경로를 통과하는 라인 상에 위치하며, 상기 제2 방향에 평행하고 상기 제2 신호 전하 경로를 통과하는 라인 상에 위치하는, 영역을 포함하는, 광전 변환 장치.

청구항 2

제1항에 있어서,

상기 반도체 기관은:

상기 주면에 수직인 단면에서 상기 반도체 기관 내의 제1 반도체 영역에 비해서 상기 주면에 더 근접한 영역 내에 배치되고, 상기 주면의 평면 뷰에서 상기 제2 및 제3 반도체 영역을 둘러싸는, 제1 도전형의 제4 반도체 영역을 더 포함하며,

상기 제4 반도체 영역의 불순물 농도가 상기 제1 반도체 영역의 불순물 농도보다 높고,

상기 주면의 평면 뷰에서, 상기 오목부가 상기 제4 반도체 영역에 의해서 둘러싸이는, 광전 변환 장치.

청구항 3

제2항에 있어서,

상기 주면의 평면 뷰에서, 상기 제1 반도체 영역이 상기 제2 반도체 영역 및 상기 오목부와 중첩하고,

상기 오목부 내에 포함된 절연체는, 상기 제4 반도체 영역의 깊이보다 깊은, 상기 반도체 기관의 주면으로부터 하단부까지의 깊이를 가지는, 광전 변환 장치.

청구항 4

제1항에 있어서,

상기 오목부는:

제2 방향으로 서로 인접하여 배열되고 제1 신호 전하 경로를 개재하는(sandwich) 오목부의 제1 쌍; 및 제2 방향으로 서로 인접하여 배열되고 제1 신호 전하 경로를 개재하는 오목부의 제2 쌍을 포함하는, 광전 변환 장치.

청구항 5

제2항에 있어서,

상기 주면의 평면 뷰에서, 상기 제4 반도체 영역을 둘러싸도록 배열된 소자 분리부를 더 포함하고, 상기 오목부가 상기 소자 분리부에 의해서 둘러싸이는, 광전 변환 장치.

청구항 6

제2항에 있어서,

상기 제2 반도체 영역의 일부가 상기 주면에 수직인 방향으로 상기 제1 및 제4 반도체 영역 사이에 위치하는, 광전 변환 장치.

청구항 7

제2항에 있어서,

상기 제4 반도체 영역의 불순물 농도가 상기 제2 반도체 영역의 불순물 농도보다 높은, 광전 변환 장치.

청구항 8

제6항에 있어서,

상기 주면의 평면 뷰에서, 상기 제2 반도체 영역이 상기 오목부와 중첩하는, 광전 변환 장치.

청구항 9

제1항에 있어서,

상기 오목부 중 제1 및 제2 오목부는, 상기 주면에 수직인 제1 단면에서 상기 제2 및 제3 반도체 영역을 개재하도록 서로 인접하여 배열되고,

상기 제2 반도체 영역은 상기 제1 단면에서 상기 제1 반도체 영역과 접촉하며,

상기 제1 및 제2 반도체 영역에 의해서 형성된 PN 접합부가 상기 제1 단면에서 상기 제1 및 제2 오목부 사이에 배치되는, 광전 변환 장치.

청구항 10

제9항에 있어서,

상기 오목부 중 제3 및 제4 오목부는, 상기 주면에 수직인 제1 단면과 교차하는 제2 단면에서 상기 제3 반도체 영역을 개재하도록 서로 인접하여 배열되고,

상기 제2 반도체 영역은 상기 제2 단면에서 상기 제3 및 제4 오목부 사이에 형성되고, 상기 제1 및 제2 반도체 영역에 의해서 형성된 PN 접합부는 상기 제2 단면에서 상기 제3 및 제4 오목부 사이에 배치되는, 광전 변환 장치.

청구항 11

제1항에 있어서,

상기 주면의 평면 뷰에서, 상기 오목부가 상기 제1 반도체 영역과 중첩하는, 광전 변환 장치.

청구항 12

제1항에 있어서,

상기 주면의 평면 뷰에서, 상기 제3 반도체 영역이 상기 제2 반도체 영역에 의해서 둘러싸이는, 광전 변환 장치.

청구항 13

제1항에 있어서,

상기 제2 반도체 영역의 일부가 상기 주면에 수직인 방향으로 상기 제1 및 제3 반도체 영역 사이에 위치하는, 광전 변환 장치.

청구항 14

제1항에 있어서,

상기 절연체가 산화 규소로 형성되는, 광전 변환 장치.

청구항 15

제1항에 있어서,

상기 절연체가 LOCOS(local oxidation of silicon) 영역에 상응하는, 광전 변환 장치.

청구항 16

제1항에 있어서,

상기 절연체가 상기 반도체 기판 상에 형성된 층간 절연막에 상응하는, 광전 변환 장치.

청구항 17

제1항에 있어서,

상기 제2 반도체 영역의 불순물 농도가 상기 제1 반도체 영역의 불순물 농도보다 높은, 광전 변환 장치.

청구항 18

제1항에 있어서,

상기 반도체 기판 상에 형성된 절연막 상에 형성된 개구부를 통해서 상기 제3 반도체 영역과 접촉하는 도전층을 더 포함하는, 광전 변환 장치.

청구항 19

광전 변환 장치이며:

오목부를 포함하는 하나의 주면을 가지도록 구성된 반도체 기판; 및

상기 오목부 내에 배치되도록 구성된 절연체를 포함하고,

상기 반도체 기판은 광전 변환 소자를 포함하고, 상기 광전 변환 소자의 각각이

제1 도전형의 제1 반도체 영역;

상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역으로서, 신호 전하의 극성과 동일한 극성을 가지는, 제2 반도체 영역;

상기 제2 반도체 영역의 불순물 농도보다 높은 불순물 농도를 가지고 상기 제2 반도체 영역에 비해서 상기 주면에 더 근접하여 배치되는 하나 이상의 부분을 가지는, 제2 도전형의 제3 반도체 영역;

상기 주면에 수직인 단면에서 오목부 사이에 형성되고 상기 제1 반도체 영역의 불순물 농도보다 높은 불순물 농도를 가지는, 제1 도전형의 제4 반도체 영역; 및

상기 주면에 수직인 단면에서 상기 제4 반도체 영역의 깊이 방향으로 형성되고 상기 제4 반도체 영역의 불순물

농도보다 낮은 제1 도전형의 불순물 농도를 가지는 제5 반도체 영역을 포함하고,
 상기 제2 반도체 영역은 상기 제1 및 제3 반도체 영역과 접촉하고,
 상기 제1 및 제2 반도체 영역이 PN 접합부를 형성하며,
 상기 제5 반도체 영역은 상기 주면에 수직인 단면에서 오목부 사이에 배치되며,
 상기 제5 반도체 영역은, 상기 주면의 평면 뷰에서,

제2 방향의 길이보다 긴 제1 방향의 길이를 가지는 제1 부분으로서, 제2 방향은 제1 방향과 상이한, 제1 부분,
 및

제4 방향의 길이보다 긴, 제1 방향과 상이한 제3 방향의 길이를 가지는 제2 부분으로서, 제4 방향은 제3 방향
 과 상이한, 제2 부분을 포함하고,

상기 제2 및 제3 반도체 영역 중 하나 이상은, 상기 제1 방향에 평행하고 상기 제5 반도체 영역의 제1 부분을
 통과하는 라인 상에 위치하며 상기 제2 방향에 평행하고 상기 제5 반도체 영역의 제2 부분을 통과하는 라인 상
 에 위치하는, 영역을 포함하는, 광전 변환 장치.

청구항 20

제19항에 있어서,

상기 주면의 평면 뷰에서, 상기 제1 반도체 영역이 상기 제2 반도체 영역 및 상기 오목부와 중첩하고,

상기 제5 반도체 영역이 상기 제1 반도체 영역의 일부인, 광전 변환 장치.

청구항 21

제20항에 있어서,

상기 제2 도전형의 제5 반도체 영역은 상기 제3 반도체 영역의 불순물 농도보다 낮은 불순물 농도를 가지는, 광
 전 변환 장치.

청구항 22

제19항에 있어서,

상기 제5 반도체 영역이 상기 제2 반도체 영역의 일부이고, 상기 제2 반도체 영역은 상기 주면의 평면 뷰에서
 적어도 다수의 오목부와 중첩하는, 광전 변환 장치.

청구항 23

제19항에 있어서,

상기 오목부는:

상기 제2 방향으로 상기 제5 반도체 영역의 제1 부분을 개재하도록 서로 인접하게 배열되는 오목부의 제1 쌍;
 및

상기 제2 방향으로 상기 제5 반도체 영역의 제2 부분을 개재하도록 서로 인접하게 배열되는 오목부의 제2 쌍을
 포함하는, 광전 변환 장치.

청구항 24

제19항에 있어서,

상기 주면의 평면 뷰에서, 상기 제4 반도체 영역을 둘러싸도록 배열된 소자 분리부를 더 포함하고,

상기 오목부가 상기 소자 분리부에 의해서 둘러싸이는, 광전 변환 장치.

청구항 25

제19항에 있어서,

상기 제2 반도체 영역의 일부가 상기 주면에 수직인 방향으로 상기 제1 및 제4 반도체 영역 사이에 위치하는, 광전 변환 장치.

청구항 26

제19항에 있어서,

상기 제4 반도체 영역의 불순물 농도가 상기 제2 반도체 영역의 불순물 농도보다 높은, 광전 변환 장치.

청구항 27

제20항에 있어서,

상기 주면의 평면 뷰에서, 상기 제2 반도체 영역이 상기 오목부와 중첩하는, 광전 변환 장치.

청구항 28

제19항에 있어서,

상기 오목부 중 제1 및 제2 오목부는, 상기 주면에 수직인 제1 단면에서 상기 제2 및 제3 반도체 영역을 개재하도록 서로 인접하여 배열되고,

상기 제2 반도체 영역은 상기 제1 단면에서 상기 제1 반도체 영역과 접촉하며,

상기 제1 및 제2 반도체 영역에 의해서 형성된 PN 접합부가 상기 제1 단면에서 상기 제1 및 제2 오목부 사이에 배치되는, 광전 변환 장치.

청구항 29

제28항에 있어서,

상기 오목부 중 제3 및 제4 오목부는, 상기 주면에 수직인 제1 단면과 교차하는 제2 단면에서 상기 제3 반도체 영역을 개재하도록 서로 인접하여 배열되고,

상기 제2 반도체 영역은 상기 제2 단면에서 상기 제3 및 제4 오목부 사이에 형성되고, 상기 제1 및 제2 반도체 영역에 의해서 형성된 PN 접합부는 상기 제2 단면에서 상기 제3 및 제4 오목부 사이에 배치되는, 광전 변환 장치.

청구항 30

제19항에 있어서,

상기 주면의 평면 뷰에서, 상기 오목부가 상기 제1 반도체 영역과 중첩하는, 광전 변환 장치.

청구항 31

제19항에 있어서,

상기 주면의 평면 뷰에서, 상기 제3 반도체 영역이 상기 제2 반도체 영역에 의해서 둘러싸이는, 광전 변환 장치.

청구항 32

제19항에 있어서,

상기 제2 반도체 영역의 일부가 상기 주면에 수직인 방향으로 상기 제1 및 제3 반도체 영역 사이에 위치하는, 광전 변환 장치.

청구항 33

제19항에 있어서,

상기 절연체가 산화 규소로 형성되는, 광전 변환 장치.

청구항 34

제19항에 있어서,
상기 절연체가 LOCOS 영역에 상응하는, 광전 변환 장치.

청구항 35

제19항에 있어서,
상기 절연체가 상기 반도체 기판 상에 형성된 층간 절연막에 상응하는, 광전 변환 장치.

청구항 36

제19항에 있어서,
상기 제4 반도체 영역의 불순물 농도가 상기 제2 반도체 영역의 불순물 농도보다 높은, 광전 변환 장치.

청구항 37

제19항에 있어서,
상기 반도체 기판 상에 형성된 절연막 상에 형성된 개구부를 통해서 상기 제3 반도체 영역과 접촉하는 도전층을 더 포함하는, 광전 변환 장치.

청구항 38

영상 판독 장치이며:

제1항 내지 제37항 중 어느 한 항에 따른 광전 변환 장치를 포함하고, 원고 판독에 의해서 영상 데이터를 생성하도록 구성된 판독 유닛; 및

상기 영상 데이터를 기초로 데이터를 처리하도록 구성된 프로세서를 포함하는, 영상 판독 장치.

발명의 설명

기술 분야

[0001] 본 발명은 광전 변환 장치 및 영상 판독 장치에 관한 것이다.

배경 기술

[0002] 제1 및 제2 도전형 반도체 영역의 PN 접합에 의해서 형성된 광다이오드가 광전 변환 소자로서 사용되는 광전 변환 장치, 및 광전 변환 장치를 이용한 영상 판독 장치가 사용되고 있다. 일반적으로, 영상 판독 장치는 높은 감도 및 높은 영상 품질을 요구한다. 감도 개선을 위해서, 일본 특허 공개 제2004-312039호의 도 1에서, 전하 수집 효율이 개선되도록 수집하고자 하는 전하와 동일한 극성을 가지는 큰 전하 수집 영역이 상부에 형성된 광전 변환 장치가, 광 수용 지역의 크기 증가라는 단점을 해결하기 위해서 제시되어 있다. 또한, 광전 변환 소자의 하나의 주면 상에 LOCOS(local oxidation of silicon) 영역을 제공하는 것이 일본 특허 공개 제2011-124522호에서 개시되어 있다. 따라서, 광전 변환 장치의 출력 특성이 입사 광의 파장과 관련된 파동 형상(리플(ripple))에 상응하는 상태의 발생을 감소시키는 광전 변환 장치의 구성이 일본 특허 공개 제2011-124522호에서 제시되었다.

발명의 내용

과제의 해결 수단

[0003] 본 발명의 실시예에 따라서, 광전 변환 장치는 오목부를 포함하는 하나의 주면을 가지도록 구성된 반도체 기판, 및 오목부 내에 배치되도록 구성되는 절연체를 포함한다. 반도체 기판은 광전 변환 소자를 포함하고, 각각의 광전 변환 소자는 제1 도전형의 제1 반도체 영역, 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역, 및 제2 반도체 영역의 불순물 농도보다 높은 불순물 농도를 가지고 제2 반도체 영역에 비해서 주면에 더 근접하여 배치되는 하나 이상의 부분을 가지는, 제2 도전형의 제3 반도체 영역을 포함한다. 제2 반도체 영역은 신호 전하

의 극성과 동일한 극성을 갖는다. 제2 반도체 영역은 제1 및 제3 반도체 영역과 접촉된다. 제1 및 제2 반도체 영역이 PN 접합부를 형성한다. 신호 전하 경로가 주면에 수직인 단면 내에서 오목부 사이에 배치된다. 신호 전하 경로는, 주면의 평면 뷰(view)에서, 제1 방향과 상이한 제2 방향의 길이보다 긴 제1 방향의 길이를 가지는 제1 신호 전하 경로, 및 제3 방향과 상이한 제4 방향의 길이보다 긴, 제1 방향과 상이한 제3 방향의 길이를 가지는 제2 신호 전하 경로를 포함한다. 제2 및 제3 반도체 영역 중 하나 이상은, 제1 방향에 평행하고 제1 신호 전하 경로를 통과하는 라인 상에 위치하며 제2 방향에 평행하고 제2 신호 전하 경로를 통과하는 라인 상에 위치되는 영역을 포함한다.

[0004] 본 발명의 다른 실시예에 따라서, 광전 변환 장치는 오목부를 포함하는 하나의 주면을 가지도록 구성된 반도체 기관, 및 오목부 내에 배치되도록 구성되는 절연체를 포함한다. 반도체 기관은 광전 변환 소자를 포함하고, 각각의 광전 변환 소자는 제1 도전형의 제1 반도체 영역 및 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 포함한다. 제2 반도체 영역은 신호 전하의 극성과 동일한 극성을 갖는다. 각각의 광전 변환 소자는 제2 반도체 영역의 불순물 농도보다 높은 불순물 농도를 가지고 제2 반도체 영역에 비해서 주면에 더 근접하여 배치되는 하나 이상의 부분을 가지는, 제2 도전형의 제3 반도체 영역, 주면에 수직인 단면 내에서 오목부 사이에 형성되고 제1 반도체 영역의 불순물 농도보다 높은 불순물 농도를 가지는, 제1 도전형의 제4 반도체 영역, 및 주면에 수직인 단면 내에서 제4 반도체 영역의 깊이 방향으로 형성되고 제4 반도체 영역의 불순물 농도보다 낮은 제1 도전형의 불순물 농도를 가지는 제5 반도체 영역을 더 포함한다. 제2 반도체 영역은 제1 및 제3 반도체 영역과 접촉된다. 제1 및 제2 반도체 영역이 PN 접합부를 형성한다. 제5 반도체 영역은 주면에 수직인 단면 내에서 오목부 사이에 배치된다. 제5 반도체 영역은, 주면의 평면 뷰에서, 제1 방향과 상이한 제2 방향의 길이보다 긴 제1 방향의 길이를 가지는 제1 부분, 및 제3 방향과 상이한 제4 방향의 길이보다 긴, 제1 방향과 상이한 제3 방향의 길이를 가지는 제2 부분을 포함한다. 제2 및 제3 반도체 영역 중 하나 이상은, 제1 방향에 평행하고 제5 반도체 영역의 제1 부분을 통과하는 라인 상에 위치하며 제2 방향에 평행하고 제5 반도체 영역의 제2 부분을 통과하는 라인 상에 위치되는 영역을 포함한다.

[0005] 첨부된 도면을 참조한 예시적인 실시예에 관한 이하의 설명으로부터 본 발명의 추가적인 특징이 명확해질 것이다.

도면의 간단한 설명

[0006] 도 1a는 제1 실시예에 따른 광전 변환 장치의 부분의 평면도이고, 도 1b 및 도 1c는 그 단면도이다.
 도 2는 제1 실시예에 따른 광전 변환 장치의 부분의 평면도이다.
 도 3a 내지 도 3d는 제1 실시예에 따른 광전 변환 장치의 부분의 단면도이다.
 도 4는 제1 실시예에 따른 광전 변환 장치의 부분의 단면도이다.
 도 5는 제1 실시예에 따른 광전 변환 장치의 부분의 회로도이다.
 도 6은 제1 실시예에 따른 오목부의 개략적인 단면도이다.
 도 7a 및 도 7b는 제1 실시예에 따른 광전 변환 장치의 부분의 평면도이다.
 도 8a 및 도 8b는 제1 실시예의 비교예에 따른 광전 변환 장치의 평면도이다.
 도 9는 제2 실시예에 따른 광전 변환 장치의 부분의 평면도이다.
 도 10은 제3 실시예에 따른 광전 변환 장치의 부분의 평면도이다.
 도 11은 제3 실시예에 따른 오목부의 단면도이다.
 도 12는 제4 실시예에 따른 광전 변환 장치의 부분의 평면도이다.
 도 13은 제5 실시예에 따른 광전 변환 장치의 부분의 단면도이다.
 도 14a 및 도 14b는 제6 실시예에 따른 광전 변환 장치의 부분의 평면도이다.
 도 15는 제7 실시예에 따른 영상 관독 장치를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0007] 이하에서, 실시예에 따른 광전 변환 장치의 부분의 예가 첨부 도면을 참조하여 설명될 것이다. 이하의 실시예

에서, 전자가 신호 전하로서 사용되는 경우가 설명된다. 그러나, 만약 홀이 신호 전하로서 사용된다면, P-형 반도체 영역은 N-형 반도체 영역에 의해서 대체되고, N-형 반도체 영역은 P-형 반도체 영역에 의해서 대체된다. 이하에서 설명되는 본 발명의 각각의 실시예에는 단독적으로 또는, 필요한 경우에 또는 개별적인 실시예로부터의 요소 또는 특징이 단일 실시예 내에서 조합되는 것이 유리한 경우에, 복수의 실시예의 또는 그 특징의 조합으로서 구현될 수 있다.

- [0008] 여기에서, 일본 특허 공개 제2004-312039호에서 개시된, 수집하고자 하는 전하의 극성과 동일한 극성의 큰 전하 수집 영역을 가지는 광전 변환 장치에서, 일본 특허 공개 제2011-124522호에서 개시된 바와 같이 리플의 발생을 감소시키기 위해서 LOCOS 영역이 제공되는 것으로 가정한다. 이러한 경우에, LOCOS 영역은 신호 전하의 이동 경로(신호 전하 경로)로서의 역할을 하지 않으며, 그에 따라 전하의 이동이 LOCOS 영역의 위치 및 형상에 따라서 차단되며 전하 수집 효율이 저하된다.
- [0009] 도 1a는 이러한 실시예에 따른 광전 변환 장치의 부분의 예의 평면도이다. 도 1b 및 도 1c는 도 1a의 선 IB-IB 및 선 IC-IC 각각을 따라서 취한 단면도이다. 광전 변환 장치(100)는 소자 분리부(105)에 의해서 분리된 복수의 광전 변환 소자(110)를 포함한다.
- [0010] 광은 반도체 기관(400) 내에 포함된 복수의 오목부(106)를 가지는 하나의 주면으로부터 진입하고, 반도체 기관(400)의 주면 상에 배치된, 도시되지 않은, 보호막 또는 층간 절연막을 통과하고, 그리고 반도체 기관(400) 상으로 입사된다. 광은, 반도체 기관(400)의 주면과 그러한 주면 상에 배치된, 도시되지 않은, 층간 절연막 사이의 경계면 상에서의 복수의 반사로 인한 파장과 관련된 파형(리플)을 출력이 가지는 스펙트럼 특성을 가질 수 있다. 만약 반도체 기관(400)의 주면의 편평도가 높다면, 리플이 출력 내에서 발생된다.
- [0011] 다른 한편으로, 도 1a에 도시된 광전 변환 장치(100)는 예를 들어, 주면 상의 오목부(106) 및 오목부(106) 상에 배치된 절연체(201)를 가지는 반도체 기관(400)을 포함한다. 이러한 구성에서, 반도체 기관(400)의 주면의 반사까지의 광학적 경로 길이는 광의 입사 위치에 따라서 달라지고, 그에 따라 반사 광이 위상차를 갖는다. 상이한 위상들을 가지는 반사 광 및 입사 광이 서로 간섭하기 때문에, 광전 변환 장치(100)의 출력 특성 상의 리플의 발생이 감소될 수 있다. 예를 들어, 복수의 오목부(106)는 반도체 기관(400) 상에 LOCOS 영역을 형성하는 것에 의해서 형성될 수 있다.
- [0012] 반도체 기관(400)(도 1b)은 광전 변환 소자(110)를 포함하고, 그러한 광전 변환 소자는 제1 도전형(P형)의 제1 반도체 영역(101), 제1 도전형에 반대되는 도전형(N형)의 제2 반도체 영역(102), 및 제2 도전형의 제3 반도체 영역(103)을 포함한다. 제2 반도체 영역(102) 및 제3 반도체 영역(103)의 도전형은 광전 변환 소자(110)의 신호 전하의 극성과 동일한 극성을 갖는다. 제3 반도체 영역(103)의 불순물 농도는 제2 반도체 영역(102)의 불순물 농도보다 높고, 제3 반도체 영역(103)의 적어도 일부는 제2 반도체 영역(102)과 관련된 주면 측면 상에 배치된다. 불순물 농도는 반대 도전형의 불순물로 보상된 순 불순물 농도, 즉, 소위 NET 농도를 의미한다는 것을 주목하여야 한다.
- [0013] 제2 반도체 영역(102)은 제1 반도체 영역(101) 및 제3 반도체 영역(103)과 접촉된다. 광전 변환 장치(100)에서, 수집하고자 하는 전하와 동일한 극성을 가지는 제2 반도체 영역(102)이 수집하고자 하는 전하와 상이한 도전형을 가지는 제1 반도체 영역(101)과 접촉하게 형성되기 때문에, PN 접합이 생성된다. 또한, 제2 반도체 영역(102)은 전극으로서 기능하는 제2 도전형을 가지는 반도체 영역(제3 반도체 영역(103))과 접촉된다. 따라서, 전하는 드리프트 현상(drift phenomenon)을 이용하여 제2 반도체 영역(102)을 통해서 제3 반도체 영역(103) 내에 수집될 수 있다.
- [0014] 따라서, 광전 변환 장치(100)가 제2 반도체 영역(102)을 포함하기 때문에, 광전 변환 장치(100)가 제2 반도체 영역(102)을 포함하지 않고 전하가 제1 반도체 영역(101) 내에 포함된 전하의 확산에 의해서 제3 반도체 영역(103) 내에서 수집되는 경우에 비해서, 전하가 더 효율적으로 수집될 수 있다.
- [0015] 그러나, 반도체 기관(400)이 주면 상에서 복수의 오목부(106)를 포함할 때, 오목부(106) 상에 배치된 절연체(201)는 신호 전하의 이동 경로로서 기능하지 않는다. 따라서, 반도체 기관(400)의 주면 측면 상의 영역 내의 전하는 반도체 기관(400)의 복수의 오목부(106) 사이의 영역 내에서 이동된다. 구체적으로, 광전 변환 장치(100)는 반도체 기관(400)의 복수의 오목부(106) 사이의 복수의 신호 전하 경로를 갖는다.
- [0016] 여기에서, 주면의 평면 뷰에서, 오목부(106)의 쌍 사이에 배치된 제1 신호 전하 경로의 연장 방향이 제1 방향으로 결정되고, 오목부(106)의 다른 쌍 사이의 제2 신호 전하 경로의 연장 방향이 제2 방향으로 결정되는 것으로 가정한다. 제2 방향은 제1 방향과 교차된다. 여기에서, 이러한 상태에서, 제2 반도체 영역(102) 및 제3 반도체

체 영역(103) 중 하나 이상이 제1 신호 전하 경로의 제1 방향으로 그리고 제2 신호 전하 경로의 제2 방향으로 영역 내에 배치되는 것을 가정한다. 그에 따라, 제2 반도체 영역(102) 및 제3 반도체 영역(103) 중 하나 이상은, 제1 방향에 평행하고 제1 신호 전하 경로를 통과하는 라인 상에 위치하며 제2 방향에 평행하고 제2 신호 전하 경로를 통과하는 라인 상에 위치되는 영역을 포함한다. 광전 변환 장치(100)의 이러한 구성에서, 제2 반도체 영역(102) 또는 제3 반도체 영역(103)으로 이동되는, 적어도, 제1 및 제2 신호 전하 경로 내의 신호 전하가 오목부(106)에 의해서 차단되는 것이 방지된다. 또한, 이러한 구성으로, 제2 반도체 영역(102) 및 제3 반도체 영역(103)이 복수의 오목부(106) 사이의 신호 전하 경로의 연장 방향 중 하나만을 따라서 배치되는 경우에 비해서, 신호 전하 수집의 효율이 개선될 수 있다.

[0017] 예를 들어, 도 1a의 영역(E)에서, 제1 방향(Y 방향)을 따른 오목부(106) 사이의 제1 신호 전하 경로는 제1 방향과 상이한 제2 방향(X 방향)을 따른 신호 전하 경로보다 길다. 또한, 영역(G) 내에서, 제3 방향(X 방향)을 따른 오목부(106) 사이의 제2 신호 전하 경로는 제4 방향(Y 방향)을 따른 신호 전하 경로보다 길다. 여기에서, 비록 제1 및 제3 방향이 서로 직교하는 경우가 본 실시예에서 설명되지만, 제1 및 제3 방향이 서로 상이하기만 한다면(서로 교차하기만 한다면) 그러한 방향들은 그와 같은 것으로 제한되지 않는다. 전술한 광전 변환 장치(100)에서, 제2 반도체 영역(102) 및 제3 반도체 영역(103) 중 하나 이상이 제1 신호 전하 경로의 제1 방향으로 그리고 제2 신호 전하 경로의 제2 방향으로 영역 내에 배치된다.

[0018] 이러한 구성으로, 제1 신호 전하 경로 내의 제1 신호 전하 및 제2 신호 전하 경로 내의 제2 신호 전하가 제2 반도체 영역(102) 또는 제3 반도체 영역(103)으로 매끄럽게 이동될 수 있다.

[0019] 다른 한편으로, E 영역의 경우와 같이, 제1 방향(Y 방향)을 따른 복수의 오목부(106) 사이의 신호 전하 경로가 G 영역 내의 제2 방향(X 방향)을 따른 신호 전하 경로보다 긴 경우를 예로서 취할 것이다. 이러한 경우에, 신호 전하가 신호 전하 경로 내에서 이동되거나, 신호 전하가 우회하도록 요구되는 경우라 하더라도, 신호 전하가 제2 반도체 영역(102) 또는 제3 반도체 영역(103)으로 이동되지 않을 수 있다. 구체적으로, 이러한 경우에, 신호 전하 경로 내의 신호 전하가 제2 반도체 영역(102)으로 이동되는 전하 이동 경로를 가로질러 오목부(106)가 형성되고, 그에 따라, 신호 전하가 제2 반도체 영역(102) 또는 제3 반도체 영역(103)으로 이동되는 것이 차단된다.

[0020] 따라서, 본 명세서의 광전 변환 장치(100)의 이러한 구성으로, 리플의 발생이 해결될 수 있는 한편, 전하 수집 효율이 개선된다.

[0021] 복수의 오목부(106) 사이의 복수의 신호 전하 경로가 내부에 배치되는 영역이 제5 반도체 영역(115)으로 결정되는 것으로 가정하면, 제1 반도체 영역(101) 상의 복수의 오목부(106) 사이의 영역은 도 1a 내지 도 1c에 도시된 광전 변환 장치(100) 내의 제5 반도체 영역(115)이 된다.

[0022] 또한, 도 2 및 도 3a 내지 도 3d에서 도시된 바와 같이, 광전 변환 장치(100)는 반도체 기판(400)의 복수의 오목부(106)를 가지는 주면 측면 상에서 제1 도전형의 제4 반도체 영역(104)을 포함할 수 있다. 제4 반도체 영역(104)이 주면의 단면도에서 복수의 오목부(106) 사이에 배치되고, 복수의 오목부(106)는 제4 반도체 영역(104)에 의해서 개별적으로 둘러싸인다.

[0023] 제4 반도체 영역(104)은 제1 반도체 영역(101)의 불순물 농도보다 높은 불순물 농도를 갖는다. 이러한 경우에, 제5 반도체 영역(115)은 제4 반도체 영역(104)의 주면에 반대로 배치되고 제4 반도체 영역(104)의 불순물 농도보다 낮은 제1 도전형의 불순물 농도를 갖는다. 그에 따라, 제5 반도체 영역(115)은 복수의 오목부(106) 사이의 신호 전하 경로인 것으로 보여질 수 있다.

[0024] 제5 반도체 영역(115)이 제4 반도체 영역(104)의 불순물 농도보다 낮은 제1 도전형의 불순물 농도를 가지기만 한다면, 제5 반도체 영역(115)은 제1 도전형 또는 제2 도전형이 될 수 있다. 도 2 및 도 3a 내지 도 3d에서, 제5 반도체 영역(115)이 제1 도전형을 가지고 제1 반도체 영역(101)의 일부인 경우가 도시되어 있다.

[0025] 제5 반도체 영역(115)은 복수의 오목부(106)를 가지는 주면에 수직인 단면도에서 복수의 오목부(106) 사이에 배치된다. 제5 반도체 영역(115)은 하나의 주면의 평면 뷰에서 제2 방향의 길이보다 긴 제1 방향의 길이를 가지는 제1 부분을 구비한다. 제1 방향은 제2 방향과 상이하다. 또한, 제5 반도체 영역(115)은 주면의 평면 뷰에서 제4 방향의 길이보다 긴 제3 방향의 길이를 가지는 제2 부분을 구비한다. 제3 방향은 제4 방향과 상이하다. 예를 들어, 도 2에서, 제1, 제2, 제3, 및 제4 방향은 Y, X, X, 및 Y 방향에 각각 상응한다.

[0026] 제2 반도체 영역(102) 및 제3 반도체 영역(103) 중 하나 이상이 제5 반도체 영역(115)의 제1 부분의 제1 방향을 따른 그리고 제5 반도체 영역(115)의 제2 부분의 제2 방향을 따른 위치로 배치된다. 즉, 제2 반도체 영역(102)

및 제3 반도체 영역(103) 중 하나 이상은, 제1 방향에 평행하고 제5 반도체 영역(115)의 제1 부분을 통과하는 라인 상에 위치하며 제2 방향에 평행하고 제5 반도체 영역(115)의 제2 부분을 통과하는 라인 상에 위치되는 영역을 포함한다. 제1 및 제3 방향이 서로 수직일 필요는 없고, 제1 및 제2 및 제3 방향이 서로 단지 상이하다는 (서로 교차한다는) 것을 주목하여야 한다.

- [0027] 광전 변환 장치(100)의 구성을 이하의 실시예에서 구체적으로 설명할 것이다.
- [0028] 제1 실시예
- [0029] 도 1a 및 도 2는 제1 실시예에 따른 광전 변환 장치(100)의 부분의 평면도이다. 도 1b 및 도 1c는 도 1a의 선 IB-IB 및 선 IC-IC 각각을 따라서 취한 개략적인 단면도이다. 도 3a 내지 도 3d는 도 2의 선 IIIA-III A, IIIB-IIIB, IIIC-IIIC, 및 IIID-IIID 각각을 따라서 취한 개략적인 단면도이다. 도 4는 이러한 실시예에 따른 광전 변환 장치(100)의 부분의 개략적인 평면도이다. 도 5는 이러한 실시예에 따른 광전 변환 장치(100)의 부분의 회로도이고, 도 6은 이러한 실시예에 따른 광전 변환 장치(100)의 오목부 중 하나의 개략적인 단면도이다. 도 7a 및 도 7b는 이러한 실시예에 따른 광전 변환 장치(100)의 부분의 평면도이고, 도 8a 및 도 8b는 이러한 실시예의 비교예에 따른 광전 변환 장치의 평면도이다.
- [0030] 도 1a 내지 도 1c, 도 2, 도 3a 내지 도 3d, 도 4 내지 도 6, 도 7a 및 도 7b, 그리고 도 8a 및 도 8b 내의 동일한 구성요소가 동일한 참조번호로 표시되어 있다는 것을 주목하여야 한다.
- [0031] 도 1a는 이러한 실시예에 따른 광전 변환 장치(100)의 부분의 예의 개략적인 평면도이다. 도 1b 및 도 1c는 도 1a의 선 IB-IB 및 선 IC-IC 각각을 따라서 취한 개략적인 단면도이다.
- [0032] 광전 변환 장치(100)는 반도체 기관(400)을 포함하고, 반도체 기관은 하나의 주면 상에서 복수의 오목부(106) 및 오목부(106) 상에 배치된 절연체(201)를 갖는다. 도 1a 내지 도 1c에 도시된 광전 변환 장치(100)에서, 반도체 기관(400)은 제1 내지 제3 반도체 영역(101 내지 103)을 포함한다. 도 2 및 도 3a 내지 도 3d에 도시된 광전 변환 장치(100)에서, 반도체 기관(400)은 제1 내지 제3 반도체 영역(101 내지 103) 그리고 제4 및 제5 반도체 영역(104 및 115)을 포함한다. 제5 반도체 영역(115)은 제1 반도체 영역(101)의 일부이다. 제1 반도체 영역(101)은 N 형 및 P 형 중 어느 하나일 수 있다. 이러한 실시예에서, 제1 반도체 영역(101)이 P-형 반도체 영역인 경우를 설명할 것이다. 재료 기관으로서의 역할을 하는 반도체 기관이 제1 반도체 영역(101)으로서 이용될 수 있고, 예를 들어, 규소 기관이 이러한 실시예에서 이용된다.
- [0033] 제2 반도체 영역(102)은 제1 반도체 영역(101) 내에 포함되고 N-형 반도체 영역이다. 제2 반도체 영역(102)은 제1 반도체 영역(101)과 PN 접합을 형성한다.
- [0034] 제3 반도체 영역(103)은 제2 반도체 영역(102)의 불순물 농도보다 높은 불순물 농도를 가지며 N-형 반도체 영역이다. 반도체 기관(400)에서, 제3 반도체 영역(103)의 적어도 일부가 제2 반도체 영역(102)과 관련된 주면 측면 상에 배치된다. 또한, 반도체 기관(400)의 주면에 수직인 제1 단면(도 1b, 도 1c, 도 3a, 및 도 3c)에서, 제3 반도체 영역(103)이 제1 및 제2 오목부(106) 사이에 배치된다. 제2 반도체 영역(102)의 일부가 반도체 기관(400)의 깊이 방향(제1 단면 내에서 주면에 수직인 방향)으로 제1 반도체 영역(101)과 제3 반도체 영역(103) 사이에 위치된다.
- [0035] 제3 반도체 영역(103)은 주요 운반체인 신호 전하로서의 역할을 하는 전자를 수집한다. 또한, 제3 반도체 영역(103)은 판독 회로에 전기적으로 연결된다. 구체적으로, 제3 반도체 영역(103)은 반도체 기관(400) 상의 절연막의 개구부 내에 배치된 도전층을 통해서 판독 회로에 연결된다. 산화 규소, 질화 규소, 또는 기타가 반도체 기관(400) 상의 절연막으로 이용될 수 있다.
- [0036] 도 4에 도시된 바와 같이, 판독 회로는, 예를 들어, 증폭 트랜지스터(121), 리셋 트랜지스터(122), 및 선택 트랜지스터(미도시)를 포함한다. 증폭 트랜지스터(121) 및 리셋 트랜지스터(122)는 제3 반도체 영역(103) 및 도전성 라인(123)을 통해서 서로 연결된다. 예를 들어, MOS 트랜지스터가 증폭 트랜지스터(121), 리셋 트랜지스터(122), 및 선택 트랜지스터로서 이용될 수 있다.
- [0037] 도 4에 도시된 바와 같이, 광전 변환 장치(100)는 서로 인접하고 소자 분리부(105)가 사이에 개재된 복수의 광전 변환 소자들(110)을 포함한다는 것을 주목하여야 할 것이다. 비록 광전 변환 소자(110) 및 광전 변환 소자(110)를 둘러싸는 소자 분리부(105) 중 하나가 이러한 실시예에서 구체적으로 설명될 것이지만, 다른 부분도 동일한 구성을 가질 수 있다. 그에 따라, 표적 광전 변환 소자(110)에 인접하여 수평으로 배치되는 광전 변환 소자(110)의 판독 회로 및 판독 회로에 연결된 라인이 도 4에서 생략되었다.

- [0038] 도 5는 이러한 실시예에 따른 광전 변환 장치(100)의 부분을 도시한 회로도이다. 증폭 트랜지스터(121)의 게이트 및 리셋 트랜지스터(122)의 하나의 단자가 도전체를 통해서 광전 변환 소자(D1) 내의 제3 반도체 영역(103)에 연결된다. 리셋 트랜지스터(122)의 다른 단자가 리셋 기준 전압을 인가하기 위해서 이용되는 라인(VR)에 연결된다. 증폭 트랜지스터(121)는 전원 전압을 인가하기 위해서 이용되는 라인(VDD)에 연결되는 하나의 단자, 및 MOS 트랜지스터에 의해서 구성되는 부하(124)의 하나의 단자 및 신호 출력 라인(Vout)에 연결된 다른 단자를 갖는다. 부하(124)는 접지에 연결된 다른 단자를 갖는다. 부하(124)는 선택 스위치로서 이용될 수 있다.
- [0039] 도 1a 및 도 2에 도시된 바와 같이, 복수의 오목부(106) 중 하나 이상, 반도체 기관(400) 상의 복수의 오목부(106)를 포함하는 주면의 평면 뷰에서, 제1 방향(Y 방향)으로 연장된다. 또한, 복수의 오목부(106) 중 적어도 다른 하나가 평면 뷰에서 제2 방향(X 방향)으로 연장된다. 제2 반도체 영역(102) 및 제3 반도체 영역(103) 중 하나 이상이 오목부(106) 중 하나 이상의 제1 방향으로 그리고 오목부(106)의 적어도 다른 하나의 제2 방향으로 영역 내에 배치된다.
- [0040] 광전 변환 장치(100)가 전술한 구성을 가지기 때문에, 광전 변환 장치(100)가 이하의 구성을 가질 수 있다. 구체적으로, 그 주면 상에서 복수의 오목부(106)를 포함하는 반도체 기관(400)은 복수의 오목부(106) 사이의 신호 전하 경로(운반체 경로)를 포함한다. 신호 전하 경로는 주면의 평면 뷰에서 제1 및 제2 신호 전하 경로를 포함한다. 제1 신호 전하 경로는, 예를 들어, 도 1a의 영역(E) 내에 배치되고, 제1 방향과 상이한 제2 방향(X 방향)의 길이보다 긴 제1 방향(Y 방향)의 길이를 갖는다. 제2 신호 전하 경로는, 예를 들어, 도 1a의 영역(G) 내에 배치되고, 제4 방향(Y 방향)의 길이보다 긴 제3 방향(X 방향)의 길이를 갖는다. 제3 방향은 제1 방향과 상이하고, 제4 방향은 제3 방향과 상이하다.
- [0041] 도 1a에서, 제2 반도체 영역(102) 및 제3 반도체 영역(103)이 제1 신호 전하 경로의 제1 방향으로 그리고 제2 신호 전하 경로의 제2 방향으로 영역 내에 배치된다. 그러나, 그러한 구성은, 제2 반도체 영역(102) 및 제3 반도체 영역(103) 중 하나 이상이 제1 신호 전하 경로의 제1 방향으로 그리고 제2 신호 전하 경로의 제2 방향으로 배치되기만 한다면, 이러한 것으로 제한되지 않는다. 도 1a 내지 도 1c에 도시된 광전 변환 장치(100)에서, 복수의 오목부(106) 사이에 배치된 복수의 전하 이동 경로로서의 역할을 하는 제5 반도체 영역(115)은 제1 반도체 영역(101)의 일부이다.
- [0042] 전술한 구성으로, 제1 신호 전하 경로가 연장되는 방향으로 위치한 영역 및 제2 신호 경로가 연장되는 방향으로 위치한 영역 중 하나 내에 제2 및 제3 반도체 영역(102 및 103)이 형성되는 경우에 비해서, 전하 수집 효율이 개선된다. 또한, 전술한 구성으로, 제1 신호 전하 경로가 연장되는 방향으로 위치한 영역 또는 제2 신호 경로가 연장되는 방향으로 위치한 영역 내에 제2 및 제3 반도체 영역(102 및 103)이 형성되지 않는 경우에 비해서, 전하 수집 효율이 개선된다.
- [0043] 또한, 도 2 및 도 3a 내지 도 3d에서 도시된 바와 같이, 이러한 실시예의 광전 변환 장치(100)는 반도체 기관(400)의 주면 측면 상의 복수의 오목부(106) 사이에 제4 반도체 영역(104)을 포함할 수 있다. 제4 반도체 영역(104)은 제1 반도체 영역(101)의 불순물 농도보다 높은 불순물 농도를 가지며 P-형 불순물 영역이다. 제4 반도체 영역(104)이 많은 수의 오목부(106)를 포함한다.
- [0044] 제4 반도체 영역(104)은 제1 반도체 영역(101)과 제2 반도체 영역(102) 사이에서 발생하는 PN 접합면을 반도체 기관(400)의 주면으로부터 분리하는 것에 의해서 암전류를 억제하는 암전류 억제 영역으로서 기능한다. 제4 반도체 영역(104)은 반도체 기관(400)의 주면 상의 제3 반도체 영역(103)에 가장 가까이 위치되는 많은 수의 오목부(106)로부터 제3 반도체 영역(103)을 향해서 연장된다. 따라서, 제2 반도체 영역(102)의 일부가 반도체 기관(400)의 깊이 방향(복수의 오목부(106)를 가지는 주면에 수직인 방향)으로 제1 반도체 영역(101)과 제4 반도체 영역(104) 사이에 위치된다.
- [0045] 전술한 구성으로, 제5 반도체 영역(115)은 주면 측면에 반대되는 제4 반도체 영역(104)의 측면 상에 배치되고, 제4 반도체 영역(104)의 불순물 농도보다 낮은 제1 도전형의 불순물 농도를 가지며, 제1 반도체 영역(101)의 부분이다. 구체적으로, 제5 반도체 영역(115)이, 제1 반도체 영역(101) 내에서 반도체 기관(400)의 복수의 오목부(106)를 포함하는 주면의 평면 뷰에서, 복수의 오목부(106) 사이에 위치된다. 또한, 제5 반도체 영역(115)은 주면의 수직 단면도에서 전술한 제1 반도체 영역(101) 내의 부분 내에서 복수의 오목부(106) 사이에 위치된다.
- [0046] 소자 분리부(105)는 반도체 영역이고, 예를 들어, P-형 반도체 영역으로 형성될 수 있다. 소자 분리부(105)의 반도체 영역은 제4 반도체 영역(104)의 불순물 농도보다 높은 불순물 농도를 가지고, 인접한 광전 변환 소자들(110)을 서로 분리하며, 신호 전하가 외부로 흐르는 것을 방지하는 장벽 층으로서의 기능을 한다.

- [0047] 소자 분리부(105)는 반도체 기판(400)의 주면의 평면 뷰에서 광전 변환 소자(110)를 전체적으로 둘러쌀 수 있다. 구체적으로, 복수의 오목부(106) 및 제4 반도체 영역(104)이 소자 분리부(105)에 의해서 둘러싸일 수 있다. 소자 분리부(105)가 광전 변환 소자(110)를 전체적으로 둘러싸기 때문에, 광전 변환 소자(110) 내에 생성된 전하가 누출되는 것이 충분히 방지된다.
- [0048] 리셋 전위가 제3 반도체 영역(103)을 통해서 인가될 때 제2 반도체 영역(102)이 공핍 상태가 되도록 그리고 커패시턴스 증가를 억제하면서 전하를 수집하도록, 제2 반도체 영역(102)이 가능하다. 리셋 전압이 제3 반도체 영역(103)에 인가될 때, 제1 반도체 영역(101)이 전적으로 공핍 상태가 되지 않고 중립 영역(공핍 상태가 아닌 영역)을 포함한다는 것을 주목하여야 한다.
- [0049] 도 1a 내지 도 1c, 도 2 및 도 3a 내지 도 3d에 도시된 바와 같이, 제2 반도체 영역(102)은 반도체 기판(400)의 복수의 오목부(106)를 포함하는 주면에 수직인 단면에서, 제1 반도체 영역(101)과 접촉하게 배치된다. 그에 따라, 단면에서 제2 반도체 영역(102)으로부터 분리된 제1 반도체 영역(101) 내에서 생성된 전하는, 제2 반도체 영역(102)을 통과하고 제3 반도체 영역(103)에 의해서 수집되기 전에, 제1 반도체 영역(101) 내에서 제2 반도체 영역(102)을 향해서 이동된다. 제1 반도체 영역(101) 내에서 생성된 전하가 인접 화소로 유동하는 것은 소자 분리부(105)에 의해서 억제되고, 전하는 제2 반도체 영역(102)을 향해서 확산되면서 이동된다.
- [0050] 제1 반도체 영역(101) 내에서 확산되는 전하가 제1 반도체 영역(101)과 제2 반도체 영역(102) 사이의 PN 접합에 근접한 부분에 도달할 때, PN 접합의 전기장에 의해서 유발되는 드리프트 현상으로 인해서, 전하는 제3 반도체 영역(103)을 향해서 이동된다. 적어도 제2 반도체 영역(102)의 일부 및 제1 반도체 영역(101)의 일부가 서로 접촉하는 경우에, 전술한 효과가 얻어질 수 있다. 또한, 제2 반도체 영역(102)이 제1 반도체 영역(101)에 의해서 둘러싸이는 구성이 이용될 때, 제1 반도체 영역(101) 및 제2 반도체 영역(102)이 하나의 방향으로 서로 접촉하는 경우에 비해서, 많은 양의 전하가 드리프트 현상을 이용하여 제2 반도체 영역(102)에 의해서 수집될 수 있다.
- [0051] 제2 반도체 영역(102) 내의 불순물 농도가 제1 반도체 영역(101) 내의 불순물 농도보다 높을 때, 공핍 층 영역이 제2 반도체 영역(102)으로부터 제1 반도체 영역(101)을 향해서 확장되고, 그에 따라, 전하 수집 효율이 개선될 수 있다. 따라서, 제2 반도체 영역(102)의 불순물 농도는 바람직하게 제1 반도체 영역(101)의 불순물 농도보다 높다. 전하 수집 효율이 개선될 때, 광전 변환 장치(100)의 감도가 개선된다. 또한, 제2 반도체 영역(102)은 상이한 농도들을 가지는 복수의 N-형 불순물 영역을 포함할 수 있다.
- [0052] 예를 들어, 제2 반도체 영역(102)은 제1 반도체 영역(101)과 접촉하는 제1 N-형 반도체 영역 및 제3 반도체 영역(103)과 접촉하는 제2 N-형 반도체 영역을 포함할 수 있다. 이러한 경우에, 제2 N-형 반도체 영역의 불순물 농도는 제1 N-형 반도체 영역의 불순물 농도보다 높다.
- [0053] 또한, 제4 반도체 영역(104) 내의 불순물 농도가 제2 반도체 영역(102)의 불순물 농도보다 낮고 공핍 층이 제4 반도체 영역(104)을 향해서 확장될 때, 암전류 억제 효과가 낮아진다. 따라서, 바람직하게, 제4 반도체 영역(104)은 제2 반도체 영역(102)의 불순물 농도보다 높은 불순물 농도를 갖는다.
- [0054] 또한, 광전 변환 소자(110) 내의 복수의 오목부(106)를 포함하는 주면에 수직인 방향을 따른, 제1 반도체 영역(101), 제2 반도체 영역(102), 제3 반도체 영역(103), 제4 반도체 영역(104), 및 소자 분리부(105)의 두께 및 불순물 농도가 이하의 범위로부터 개별적으로 선택될 수 있다. 반도체 기판(400)의 복수의 오목부(106)의 표면 이외의 표면으로부터의 접합 깊이가 두께의 매개변수로서 이용된다는 것을 주목하여야 한다.
- [0055] 제1 반도체 영역(101)은 $1.0 \times 10^{14} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{17} \text{ cm}^{-3}$ (포함) 범위, 또는 보다 바람직하게, $1.0 \times 10^{15} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{16} \text{ cm}^{-3}$ (포함) 범위의 불순물 농도를 가질 수 있다. 또한, 접합 깊이가 $0.1 \mu\text{m}$ (포함) 내지 $1000 \mu\text{m}$ (포함)의 범위일 수 있다. 제2 반도체 영역(102)은 $1.0 \times 10^{13} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{17} \text{ cm}^{-3}$ (포함) 범위, 또는 보다 바람직하게, $1.0 \times 10^{14} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{16} \text{ cm}^{-3}$ (포함) 범위의 불순물 농도를 가질 수 있다. 또한, 접합 깊이가 $0.2 \mu\text{m}$ (포함) 내지 $3 \mu\text{m}$ (포함)의 범위일 수 있다.
- [0056] 제3 반도체 영역(103)은 $1.0 \times 10^{18} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{21} \text{ cm}^{-3}$ (포함) 범위, 또는 보다 바람직하게, $1.0 \times 10^{19} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{20} \text{ cm}^{-3}$ (포함) 범위의 불순물 농도를 가질 수 있다. 또한, 접합 깊이가 $0.1 \mu\text{m}$ (포함) 내지 $0.3 \mu\text{m}$ (포함)의 범위일 수 있다.

- [0057] 제4 반도체 영역(104)은 $1.0 \times 10^{15} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{19} \text{ cm}^{-3}$ (포함) 범위, 또는 보다 바람직하게, $1.0 \times 10^{16} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{18} \text{ cm}^{-3}$ (포함) 범위의 불순물 농도를 가질 수 있다. 또한, 접합 깊이가 $0.1 \mu\text{m}$ (포함) 내지 $0.5 \mu\text{m}$ (포함)의 범위일 수 있다. 소자 분리부(105)의 반도체 영역은 $1.0 \times 10^{14} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{19} \text{ cm}^{-3}$ (포함) 범위, 또는 보다 바람직하게, $1.0 \times 10^{15} \text{ cm}^{-3}$ (포함) 내지 $1.0 \times 10^{18} \text{ cm}^{-3}$ (포함) 범위의 불순물 농도를 가질 수 있다. 또한, 접합 깊이가 $0.1 \mu\text{m}$ (포함) 내지 $10 \mu\text{m}$ (포함)의 범위일 수 있다.
- [0058] 복수의 오목부(106)가 반도체 기판(400)의 주면(광 수용면) 상에 배치된다. 복수의 오목부(106)는 반도체 기판(400) 상에서 식각을 실시하는 것에 의해서, 또는 LOCOS 방법에 의해서 반도체 기판(400) 상에서 열적 산화를 실시하는 것에 의해서 형성될 수 있다. LOCOS 방법 또는 얇은 트렌치 소자분리(STI) 방법이 이용될 때 또는 층간 절연막이 반도체 기판(400) 상에 형성될 때, 산화 규소 또는 기타로 이루어진 절연체(201)가 오목부(106) 상에 형성된다.
- [0059] 이러한 실시예에서, 광전 변환 장치(100)가, 절연체(201)와 같은, LOCOS 방법에 의해서 형성된 LOCOS 영역을 가지는 경우가 예로서 설명되었다. 도 3a 및 도 3c에서, 제4 반도체 영역(104)이 오목부(106)의 하단부 부분보다 얇은 위치에 배치되고, 오목부(106)의 절연체(201)가 제1 반도체 영역(101)과 접촉된다. 따라서, 오목부(106)에 포함된 절연체(201)가 제4 반도체 영역(104)으로 침투하고 제1 반도체 영역(101)의 내측에 도달된다.
- [0060] 여기에서, 제5 반도체 영역(115) 내의 신호 전하인 전자가 제2 반도체 영역(102)으로 이동되는 경우에, 오목부(106)가 제2 반도체 영역(102)을 향한 이동 경로에 걸쳐서 배치된다면, 전자의 이동이 차단된다. 그러나, 이러한 실시예의 광전 변환 장치(100)의 구성에서, 제2 반도체 영역(102)을 향한 전자의 이동이 적어도 2 방향으로 차단되지 않는다. 따라서, 도 8a에 도시된 바와 같이, 제2 반도체 영역(102) 및 제3 반도체 영역(103) 중 하나 이상을 통과하는 신호 전하의 경로가 복수의 오목부(106) 사이에서 하나의 방향으로 연장되는 경우에 비해서, 전하 수집 효율이 개선될 수 있다.
- [0061] 도 2에 도시된 복수의 오목부(106)가 도 7a, 도 7b, 도 8a, 및 도 8b를 참조하여 구체적으로 설명될 것이다. 도 7a에 도시된 바와 같이, 제1 반도체 영역(101)은 오목부(106)를 포함하는 복수의 단편(107) 및 복수의 단편(108)을 포함한다. 도 8a 및 도 8b는 일반적인 광전 변환 장치의 부분을 도시하는 도면이다. 도 8a에 도시된 바와 같이, 제1 반도체 영역은 복수의 오목부(106)를 포함하는 단편(107' 및 108')을 포함한다. 도 7b 및 도 8b는 도 7a의 단편(107) 중 하나 및 도 8a의 단편(107')의 하나를 구체적으로 각각 도시하는 도면이다.
- [0062] 도 7a에서, 제2 반도체 영역(102)은 예를 들어, 평면 뷰 내에서 직사각형 형상을 갖는다. 오목부(106) 사이의 신호 전하 경로가 단편(108) 내에서 제1 방향(Y 방향)으로 연장되고, 오목부(106) 사이의 신호 전하 경로는 단편(107) 내에서 제2 방향(X 방향)으로 연장된다. 본 명세서에서, 부분(A)의 연장 방향은, 연장 방향을 따른 부분(A)의 길이가 그러한 연장 방향과 상이한(교차하는) 방향을 따른 부분(A)의 길이보다 긴 방향에 상응한다는 것을 주목하여야 한다. 즉, 부분(A)의 연장 방향은, 예를 들어, 부분(A)의 가장 긴 길이의 방향을 의미한다.
- [0063] 그에 따라, 단편(107) 중 하나 내의 제5 반도체 영역(115) 내에 포함되는 위치(P) 내의 신호 전하의 이동은 제2 반도체 영역(102) 및 제3 반도체 영역(103)을 향한 이동 경로 내에서 오목부(106)에 의해서 거의 차단되지 않는다. 또한, 단편(108) 중 하나 내의 제5 반도체 영역(115) 내에 포함되는 위치(Q) 내의 신호 전하의 이동은 제2 반도체 영역(102) 및 제3 반도체 영역(103)을 향한 이동 경로 내에서 오목부(106)에 의해서 거의 차단되지 않는다. 따라서, 오목부(106)는 적어도 2 방향으로 제2 반도체 영역(102)을 향하는 제5 반도체 영역(115) 내의 이동 경로를 가로질러 배치되지 않는다. 그에 따라, 전하의 이동이 차단되지 않을 수 있고, 전하 수집 효율이 개선될 수 있다.
- [0064] 도 7a 내의 광전 변환 장치(100)의 광전 변환 소자(110) 중 하나 내의 복수의 오목부(106)를 포함하는 영역이 단편(107 및 108)을 포함한다. 그에 따라, 반도체 기판(400)의 주면 상에 배치된 복수의 오목부(106)가 제1 방향 또는 제2 방향으로 연장된다. 따라서, 제2 반도체 영역(102) 및 제3 반도체 영역(103)을 향하는 제5 반도체 영역(115) 내의 많은 양의 신호 전하의 이동이 거의 차단되지 않고, 결과적으로, 신호 전하를 효율적으로 수집하는 광전 변환 장치(100)가 제공될 수 있다.
- [0065] 도 8a의 광전 변환 장치에서, 단편(108') 내의 제5 반도체 영역 내의 오목부(106) 사이의 전하 경로가 Y 방향으로 연장된다. 또한, 단편(107') 내의 제5 반도체 영역 내의 오목부(106) 사이의 전하 경로가 Y 방향으로 또한 연장된다. 그에 따라, 제3 반도체 영역(103)을 향하는 단편(107') 내에 포함된 제5 반도체 영역(115) 내의 위치(P') 내의 신호 전하의 이동 경로에서, 오목부(106)는 제3 반도체 영역(103)을 향하는 방향에 수직인 방향으

로 연장된다. 따라서, 위치(P') 내의 신호 전하가 제3 반도체 영역(103)으로 직접적으로 이동되지 않고, Y 방향을 따른 이동 이후에 또는 반도체 기관(400)의 주면에 반대되는 오목부(106) 상의 영역을 통해서 제3 반도체 영역(103)으로 이동될 수 있다. 결과적으로, 전하 수집 효율은 도 7a에 도시된 광전 변환 장치(100)의 효율보다 낮다.

[0066] 또한, 반도체 기관(400) 내의 복수의 오목부(106)를 포함하는 주면의 평면 뷰에서, 제4 반도체 영역(104)은 주면에 수직인 단면에서 오목부(106)를 포함하지 않는 영역 내에서 주면 측면 상의 제1 반도체 영역(101) 내에 배치된다. 다른 한편으로, 오목부(106)가 상부에 배치된 영역 내에서, 오목부(106) 내에 포함된 절연체(201)가 단면도에서 제1 반도체 영역(101)과 접촉하고, 전위차가 오목부(106)를 포함하는 영역 내에서 형성된다.

[0067] 따라서, 오목부(106)가 도 8a에 도시된 바와 같이 전하 이동 경로를 가로질러 배치될 때, 전하의 이동이 차단되고 제4 반도체 영역(104) 내의 전하 수집 효율이 저하된다.

[0068] 다른 한편으로, 도 7a의 단편(107) 내에서, 제2 반도체 영역(102) 및 제3 반도체 영역(103)은 오목부(106) 사이에서 신호 전하 경로가 연장되는 방향으로 영역 내에 배치된다. 그에 따라, 제1 반도체 영역(101)과 오목부(106) 사이에 형성되는 전위차는 제2 반도체 영역(102)을 향하는 지점(P) 내에 배치된 전하의 이동 경로 내에서 생성되지 않는다. 이러한 구성에서, 제2 반도체 영역(102)을 향하는 지점(Q) 내에 배치된 전하의 이동뿐만 아니라 지점(P) 내에 배치된 전하의 이동이 차단되지 않고, 전하 수집 효율이 개선될 수 있다.

[0069] 다음에, 복수의 오목부(106)에 의한 리플 감소의 동작을 도 6을 참조하여 설명할 것이다.

[0070] 도 6은, 절연체(201) 중 하나가 오목부(106) 중 상응하는 하나 상에 형성되는 부분의 개략적인 단면도이다. 반도체 기관(400) 상의 광 입사가 화살표 표시(150 내지 152)에 의해서 표시되어 있다. 입사 광은, 오목부(106)가 형성되지 않는 영역 내에서 반사된 입사 광 빔(150), 오목부(106)의 측벽에 의해서 반사된 입사 광 빔(151), 및 오목부(106)의 하단부 표면에 의해서 반사된 입사 광 빔(152)을 포함한다.

[0071] 오목부(106)가 형성되기 때문에, 입사 광이 반도체 영역(101, 102, 103, 및 104)에 도달할 때, 상이한 광학 경로 길이들이 얻어질 수 있고, 위상차가 반도체 영역(101, 102, 103, 및 104)과 절연체(201) 사이의 경계면에 의해서 반사된 반사 광 빔들 사이에서 얻어질 수 있다. 따라서, 광전 변환 장치(100)의 출력 특성이 균일하지 않고 파동 형상을 가지더라도, 입사 광과 반사 광 사이의 간섭에 의해서 불균일성이 감소될 수 있다. 다시 말해서, 광전 변환 장치(100)의 출력의 리플이 간섭의 효과에 의해서 감소될 수 있다.

[0072] 오목부(106)의 깊이가 d로 표시되고, 입사 광의 파장이 λ 로 표시되며, 그리고 절연체(201)의 굴절률이 n으로 표시될 때, 이하의 표현식이 바람직하게 만족된다.

[0073] $d \geq \lambda/4n$ 표현식 1

[0074] 여기에서, 반도체 기관(400) 상에서 오목부(106)를 포함하지 않는 영역의 표면(반도체 기관(400) 상의 주면 상의 복수의 오목부(106) 이외의 표면)이 깊이(d)의 기준으로서 이용된다.

[0075] 또한, 광전 변환 소자(110) 상의 오목부(106)의 면적 대 오목부(106) 이외의 영역의 면적의 비율은, 광전 변환 소자(110)의 오목부(106)를 포함하지 않는 영역에 의해서 형성된 표면에 평행한 표면 내에서 1:1이고, 간섭 구성요소들 사이의 비율이 또한 1:1이다. 따라서, 가장 큰 리플 감소 효과가 얻어질 수 있다. 결과적으로, 반도체 기관(400) 내의 오목부(106)의 면적 대 오목부(106) 이외의 영역의 면적의 비율이, 오목부(106)를 포함하지 않는 영역에 의해서 형성된 표면에 평행한 표면 내에서 1:1이 되도록, 오목부(106)가 바람직하게 형성된다. 또한, 오목부(106)가 바람직하게 복수의 위치에 배치된다.

[0076] 도 7b에 따라서, 단편(107) 내에서, 광전 변환 소자(110)의 주면 내의 오목부(106) 이외의 영역의 면적 대 오목부(106)의 면적의 비율은, 오목부(106)를 포함하지 않고 광전 변환 소자(110) 상의 표면을 포함하는 영역의 표면에 평행한 표면 내에서 88:100이다. 다른 한편으로, 도 8b에 도시된 광전 변환 장치(100) 내에서, 오목부(106) 이외의 영역의 면적 대 오목부(106)의 면적의 비율은, 광전 변환 소자(110) 상에서 오목부(106)를 포함하지 않는 표면 내에서 313:100이다.

[0077] 단편(107) 내의 오목부(106)가 이러한 실시예에서 도시된 바와 같이 배열되기 때문에, 광전 변환 소자(110)의 각각의 주면 내에서 오목부(106)의 면적 대 오목부(106) 이외의 영역의 면적의 비율이 1:1에 근접할 수 있다. 따라서, 광전 변환 장치(100)의 출력 내의 리플의 발생이 효과적으로 감소될 수 있다.

[0078] 다른 한편으로, 만약 리플의 발생을 감소시키기 위한 오목부(106)가 제2 반도체 영역(102) 상에 형성된다면, 오

목부(106) 상에 형성된 절연체(201)가 제2 반도체 영역(102)과 접촉하는, LOCOS 영역 또는 층간 막과 같은, 부분 내에서 전하가 포획되고, 그에 따라, 전하의 이동이 차단된다. 따라서, 도 2, 도 3a 내지 도 3d, 도 4 내지 도 6, 그리고 도 7a 및 도 7b에 도시된 제2 반도체 영역(102)은 오목부(106)를 포함하지 않는다. 오목부(106)는 제2 반도체 영역(102)과 그리고 제1 반도체 영역(101) 상에 형성되고 제1 도전형을 가지는 제4 반도체 영역(104)과 접촉하여 형성되는 제1 반도체 영역(101) 상에서만 형성된다. 이에 의해서, 전하의 이동에 미치는 전하의 포획의 영향이 감소될 수 있고, 전하 수집 효율이 더 개선될 수 있다.

[0079] 예를 들어, 반도체 기관(400) 상에서 오목부(106)를 포함하는 주면의 평면 뷰에서, 복수의 오목부(106)를 포함하는 영역과 중첩되지 않도록 제2 반도체 영역(102)이 형성된다. 구체적으로, 반도체 기관(400)(도 1b)의 제1 주면의 제1 단면도에서, 복수의 오목부(106) 내의 제1 오목부(106) 및 제2 오목부(106)가, 주면에 평행한 방향으로, 제3 반도체 영역(103)이 그 사이에 개재된 상태로, 서로 인접하여 배열된다. 또한, 제1 단면도에서, 제2 반도체 영역(102)이 제1 오목부(106)와 제2 오목부(106) 사이에 형성된다.

[0080] 또한, 제1 반도체 영역(101)과 제2 반도체 영역(102)이 서로 접촉될 때 형성되는 PN 접합부는 제1 단면도에서 주면에 평행한 방향으로 제1 오목부(106)와 제2 오목부(106) 사이에 배치된다.

[0081] 따라서, 전하는 공핍 상태가 아닌 제1 반도체 영역(101) 내의 전하 확산에 의해서 수집될 수 있고, 전하는 제2 반도체 영역(102) 내에서 드리프트 현상에 의해서 수집되며, 그에 따라 전하 수집 효율이 개선된다. 또한, 복수의 오목부(106)가 제2 반도체 영역(102)을 둘러싸는 영역 내에 형성될 때, 리플의 발생이 해결될 수 있다. 제3 반도체 영역(103)이 반도체 기관(400)의 표면 상에서 암전류를 억제하는 기능을 갖는다는 것을 주목하여야 한다.

[0082] 오목부(106)가 제2 반도체 영역(102) 내에 배열되지 않고 제2 반도체 영역(102)을 둘러싸는 영역 내에만 배열되기 때문에, 오목부(106) 내의 절연체(201)와 제2 반도체 영역(102) 사이의 접촉에 의해서 유발되는 암전류의 발생이 방지될 수 있다.

[0083] 따라서, 출력 특성의 리플의 발생을 감소시키면서 전하 수집 효율을 개선할 수 있는 광전 변환 장치가 이러한 실시예에 따라서 제공될 수 있다.

[0084] 제2 실시예

[0085] 도 9는 제2 실시예에 따른 광전 변환 장치(100)를 개략적으로 도시하는 평면도이다. 도 3a 내지 도 3d에 도시된 단면도가 이용된다. 제1 실시예의 기능과 동일한 기능을 가지는 부분을 제1 실시예에서와 같은 참조 번호로 표시하였고 그에 관한 구체적인 설명은 생략하였다.

[0086] 이러한 실시예에 따른 광전 변환 장치(100)는 복수의 오목부(106) 사이에 배열되고 X 방향으로 연장되는 신호 전하 경로를 포함하는 단편(207), 및 복수의 오목부(106) 사이에 배열되고 Y 방향으로 연장되는 신호 전하 경로를 포함하는 단편(208)을 포함한다. 이러한 실시예의 광전 변환 장치(100)는 단편(207 및 208)에 더하여, 복수의 오목부(106) 사이에 배열되고 X 방향 및 Y 방향과 교차하는 방향으로 연장되는 신호 전하 경로를 가지는 단편(209)을 더 포함한다.

[0087] 도 9에 도시된 바와 같이, 제2 반도체 영역(102) 및 제3 반도체 영역(103)은 단편(209) 내에 포함된 신호 전하 경로가 연장되는 방향으로 배치된 영역 내에 포함된다.

[0088] 이러한 구성에서, 도 9에 도시된 지점(B) 내의 전하는, 제1 반도체 영역(101)과 오목부(106) 사이에 전위차가 형성되는 것을 방지하면서, 제2 반도체 영역(102)으로 이동될 수 있고, 그에 따라 광전 변환 장치(100)의 전하 수집 효율이 개선된다.

[0089] 다시 말해서, 제2 실시예에서, 제1 반도체 영역(101) 내의 지점(B) 내에 배치된 전하는 제1 실시예의 경우보다 더 빨리 전하 수집 영역으로 이동될 수 있고, 전하 수집 효율이 더 개선된다.

[0090] 제3 실시예

[0091] 도 10은 제3 실시예에 따른 광전 변환 장치(100)의 부분을 개략적으로 도시하는 평면도이다. 그러한 단면도는, 도 3a 내지 도 3c의 오목부(106)의 각각이 복수의 오목부(606)로 표시된 것을 제외하고, 도 3a 내지 도 3d의 단면도와 동일하다. 제1 실시예의 기능 및 구성과 동일한 기능 및 구성을 가지는 부분을 제1 실시예에서와 같은 참조 번호로 표시하였고 그에 관한 구체적인 설명은 생략하였다.

[0092] 이러한 실시예의 광전 변환 장치(100)에서, 오목부(106)의 각각에 상응하는 영역(506)은 하나의 오목부에 의해

서 형성되지 않고 복수의 오목부(606)에 의해서 형성된다. 이러한 실시예에서, 복수의 오목부(606)는 예를 들어, 반도체 기관(400) 상에서 오목부(606)를 가지는 주면의 평면 뷰에서, 예를 들어, 짧은 방향의 길이의 2배 이하인 길이방향(연장 방향)의 길이를 가질 수 있다. 또한, 오목부(606)는 반도체 기관(400) 상에서 오목부(606)를 포함하는 주면의 평면 뷰에서, 예를 들어, 가장 큰 직경이 가장 작은 직경의 2배 이하인 형상을 가질 수 있다.

- [0093] 평면 뷰에서, 오목부(606)는 제2 방향(X 방향)의 길이보다 긴 제1 방향(Y 방향)의 길이를 가지는 제1 신호 전하 경로(131) 및 제4 방향(Y 방향)의 길이보다 긴 제3 방향(X 방향)의 길이를 가지는 제2 신호 전하 경로(132)를 갖는다.
- [0094] 오목부(606)는 제1 신호 전하 경로(131)가 사이에 개재된 상태로 제2 방향(X 방향)으로 서로 인접하여 배치되는 오목부(606a 및 606b)의 제1 쌍, 및 제1 신호 전하 경로(131)가 사이에 개재된 상태로 제2 방향으로 서로 인접하여 배치되는 오목부(606c 및 606d)의 제2 쌍을 포함한다. 구체적으로, 복수의 오목부(606)는 평면 뷰에서 제5 반도체 영역(115)의 제1 부분이 사이에 개재된 상태로 제2 방향으로 서로 인접하여 배치되는 오목부(606a 및 606b)의 제1 쌍을 포함한다. 또한, 복수의 오목부(606)는 평면 뷰에서 제5 반도체 영역(115)의 제2 부분이 사이에 개재된 상태로 제2 방향으로 서로 인접하여 배치되는 오목부(606c 및 606d)의 제2 쌍을 포함한다.
- [0095] 따라서, 평면 뷰에서, 오목부(606a 및 606c)는 신호 전하 경로(131)의 일 측면 상에 배열되고, 오목부(606b 및 606d)는 신호 전하 경로(131)의 다른 측면 상에 배열된다.
- [0096] 오목부(606a 및 606c)는 제5 반도체 영역(115)의 제3 부분이 사이에 개재된 상태로 제1 방향으로 서로 인접하여 배열되고, 오목부(606b 및 606d)는 제5 반도체 영역(115)의 제4 부분이 사이에 개재된 상태로 제1 방향으로 서로 인접하여 배열된다.
- [0097] 유사하게, 복수의 오목부(606)는 평면 뷰에서 제2 신호 전하 경로(132)의 양 측면 상에 배열되고, 각 측면 상의 오목부(606)는 제5 반도체 영역(115)의 부분이 사이에 개재된 상태로 서로 인접하여 배열된다.
- [0098] 또한 이러한 구성에서, 제2 반도체 영역(102) 또는 제3 반도체 영역(103)으로 이동되는, 복수의 오목부(606) 사이의 신호 전하 경로로서의 기능을 하는 제5 반도체 영역(115) 내의 신호 전하는 오목부(606)에 의해서 차단되지 않는다. 따라서 전하 수집 효율이 개선될 수 있다.
- [0099] 도 10의 광전 변환 장치(100)의 일부의 예에서의 오목부(606)의 폭과 두께 사이의 관계가 도 11에 도시되어 있다.
- [0100] 화소 영역 내의 오목부(106, 406, 및 606)의 형상은 오목부(106, 406, 및 606)의 폭에 따라 달라진다. 도 11에 도시된 바와 같이, 활성 영역의 편평한 부분이 "a"로 표시되어 있고, 오목부 영역 내의 편평한 부분이 "b"로 표시되어 있으며, "새 부리(bird's beak)"로 지칭되는 완만하게-경사진 부분이 "c"로 표시되어 있고, 그리고 기준으로서 오목부를 포함하지 않는 영역을 이용하는 깊이(두께)가 "d"로 표시되어 있다. 이러한 경우에, 영역(a) 및 영역(b) 내에서 생성되는 간섭 구성요소의 수가 깊이(두께)(d) 및 면적비에 의해서 제어될 수 있다. 오목부(406 및 606)에서, 오목부(406 및 606)의 형상에 따라서 여러 매개변수를 변화시키는 것에 의해서, 리플의 발생이 감소될 수 있다.
- [0101] 이러한 실시예에서, 제1 및 제2 실시예와 비교할 때, 미세 거칠기가 광전 변환 소자(110)의 주면 상에 형성될 수 있다. 따라서, 전하 수집 효율이 개선될 수 있는 한편, 광전 변환 장치(100)의 출력 내의 리플의 발생을 감소시키기 위한 오목부의 배치에 대한 융통성이 개선된다.
- [0102] 제4 실시예
- [0103] 도 12는 제4 실시예에 따른 광전 변환 장치(100)의 부분의 예의 개략적인 평면도이다. 제1 실시예의 기능 및 구성과 동일한 기능 및 구성을 가지는 부분을 제1 실시예에서와 같은 참조 번호로 표시하였고 그에 관한 구체적인 설명은 생략하였다. 이러한 실시예에서, 광전 변환 장치(100)는 평면 뷰에서 제2 반도체 영역(102)을 둘러싸는 제1 반도체 영역(101) 내에서, 판독 회로의 소자가 형성되는 영역에 근접한 측면 상에서, 영역 내에 오목부(106)를 포함하지 않을 수 있다. 그에 따라, 이러한 실시예의 광전 변환 장치(100)에서, 판독 회로로 전하를 출력하기 위한 제3 반도체 영역(103)과 판독 회로 소자 사이의 거리는, 제1 실시예에 따른 광전 변환 장치(100) 내의 판독 회로 소자와 제3 반도체 영역(103) 사이의 거리보다 짧다.
- [0104] 제4 반도체 영역(104)은 라인(123)을 통해서 판독 회로의 증폭 트랜지스터(121) 및 리셋 트랜지스터(122)에 연결된다. 제4 반도체 영역(104)의 위치가 판독 회로 소자에 더 근접할 때, 라인(123)의 길이가 감소될 수 있고,

그에 따라, 라인(123), 접지 라인을 포함하는 다른 라인, 및 라인(123)과 다른 라인 사이에 개재된 절연막에 의해서 형성되는 기생 커패시턴스가 감소될 수 있다.

- [0105] 제5 실시예
- [0106] 제5 실시예에 따른 광전 변환 장치(100)의 부분을 도 13을 참조하여 설명할 것이다. 도 13은 이러한 실시예에 따른 광전 변환 장치(100)의 부분을 개략적으로 도시하는 단면도이다. 도 2에 도시된 제1 실시예의 평면도가 이용될 수 있다. 반도체 기관(400) 상의 복수의 오목부(106)를 포함하는 주면의 단면도에서 제4 반도체 영역(104)의 주면에 반대되는 측면 상에서 제2 도전형의 반도체 영역이 형성된다는 점에서, 도 13의 광전 변환 장치(100)가 도 3a 내지 도 3d의 광전 변환 장치와 상이하다. 구체적으로, 이러한 실시예에서, 반도체 영역은 제5 반도체 영역(115)에 상응한다.
- [0107] 제5 반도체 영역(115)의 불순물 농도는 제2 반도체 영역(102)의 불순물 농도 이하이고 제3 반도체 영역(103)의 불순물 농도보다 낮다. 따라서, 제5 반도체 영역(115) 내에서 발생된 신호 전하가 제2 반도체 영역(102)에 의해서 수집된다. 또한 이러한 실시예에서, 신호 전하 경로로서의 역할을 하는 제5 반도체 영역(115)의 연장 방향 및 제2 반도체 영역(102)과 제3 반도체 영역(103) 사이의 위치 관계가 제1 실시예의 그러한 연장 방향 및 위치 관계와 동일하게 설정될 때, 전하 수집 효율이 개선될 수 있다.
- [0108] 이러한 실시예의 광전 변환 장치(100)의 구성이 전술한 구성으로 제한되지 않고, 도 1의 광전 변환 장치(100) 및 제2 내지 제4 실시예에 따른 광전 변환 소자 중 어느 하나가 서로 조합될 수 있다는 것을 주목하여야 한다.
- [0109] 제6 실시예
- [0110] 제6 실시예에 따른 광전 변환 장치(100)의 부분을 도 14a 및 도 14b를 참조하여 설명할 것이다. 도 14a는 이러한 실시예의 광전 변환 장치(100)의 일부의 예의 평면도이고, 도 14b는 도 14a에서 선 XIVB-XIVB를 따라서 취한 광전 변환 장치(100)의 일부의 예의 개략적인 단면도이다. 제5 반도체 영역(115)이 제2 반도체 영역(102)의 일부이고, 반도체 기관(400)의 복수의 오목부(106) 내에 포함된 절연체(201)가 제2 반도체 영역(102)과 접촉하는 영역 내에 제6 반도체 영역(116)이 형성된다는 점에서, 이러한 실시예의 광전 변환 장치(100)는 제1 실시예의 광전 변환 장치와 상이하다. 제6 반도체 영역(116)은 바람직하게 제1 도전형을 가지고 바람직하게 제1 반도체 영역(101), 제2 반도체 영역(102), 및 제5 반도체 영역(115)의 불순물 농도보다 높은 불순물 농도를 갖는다. 여기에서, 오목부(106)를 따라서 형성된 제4 반도체 영역(104)의 부분이 제6 반도체 영역(116)에 상응하는 경우를 설명할 것이다.
- [0111] 만약 복수의 오목부(106) 내에 포함된 절연체(201)가 제2 반도체 영역(102)과 접촉된다면, 절연체(201) 내에서 경계 결함을 유발하는 암전류가 발생할 수 있다. 이러한 실시예의 광전 변환 장치(100)에서 제4 반도체 영역(104)이 절연체(201)와 제2 반도체 영역(102) 사이에 배치되기 때문에, 신호 전하의 극성과 동일한 극성을 가지는 제2 도전형의 전하가 발생하는 경우에도, 암전류는 제4 반도체 영역(104) 내에서의 재조합에 의해서 억제될 수 있다.
- [0112] 따라서, 반도체 기관(400) 상에서 복수의 오목부(106)를 포함하는 주면의 평면 뷰에서, 제2 반도체 영역(102)이 제3 반도체 영역(103)과 접촉하는 부분으로부터 제2 반도체 영역(102)이 복수의 오목부(106)의 적어도 일부와 중첩되는 영역까지 연장될 수 있다. 제2 반도체 영역(102)의 영역을 증가시키는 것에 의해서 전류 수집 효율이 더 개선될 수 있다.
- [0113] 다른 한편으로, 비록 제6 반도체 영역(116)이 배치되지만, 낮은 불순물 농도를 가지는 영역이 오목부(106)의 근접부 내에 생성될 수 있다. 신호 전하의 전위는 낮은 불순물 농도의 영역에서 낮고, 그에 따라 축적된 전하가 방출될 때 시간 상수가 증대되기 시작하고, 이는 영상 지연 현상(image lag phenomenon)을 유발한다. 그러한 단점이 예상되는 경우에, 제2 반도체 영역(102)은 다른 실시예에서 도시된 바와 같은 평면도에서, 제3 반도체 영역(103)에 가장 근접하는 오목부(106) 중 하나에 비해서 제3 반도체 영역(103)에 더 근접하게 배치된다. 따라서, 평면 뷰에서, 제2 반도체 영역(102)은 복수의 오목부(106)와 중첩되지 않는다. 이러한 구성에서, 영상 지연 현상의 발생이 억제될 수 있다.
- [0114] 이러한 실시예의 광전 변환 장치(100)의 구성이 전술한 구성으로 제한되지 않고, 도 1의 광전 변환 장치(100)는 제2 내지 제4 실시예에 따른 광전 변환 소자(110) 중 어느 하나와 조합될 수 있다는 것을 주목하여야 한다.
- [0115] 제7 실시예
- [0116] 도 15의 블록도를 참조하여, 본 발명의 제7 실시예에 따른 영상 판독 장치(800)의 구성을 설명할 것이다. 영상

판독 장치(800)는 예를 들어, 복합기(MFP), 스캐너, 또는 복사기일 수 있다. 영상 판독 장치(800)는 클록 변환 회로(900), 판독 유닛(810), 발진 회로(820), 및 영상 프로세서(830)를 포함할 수 있다.

[0117] 판독 유닛(810)은 원고 판독에 의해서 영상 데이터를 생성한다. 판독 유닛(810)은 광원, 축소 광학 부품, 라이선서, 아날로그/디지털 변환기, 및 제어기를 포함할 수 있다. 제1 내지 제6 실시예에 따른 광전 변환 장치(100) 중 하나가 라이선서로서 이용될 수 있다. 발진 회로(820)는 생성된 기준 클록을 판독 유닛(810) 및 클록 변환 회로(900)로 공급한다. 판독 유닛(810)은 공급된 기준 클록에 따라서 동작된다. 기준 클록의 주파수는 예를 들어, 몇백 MHz일 수 있다.

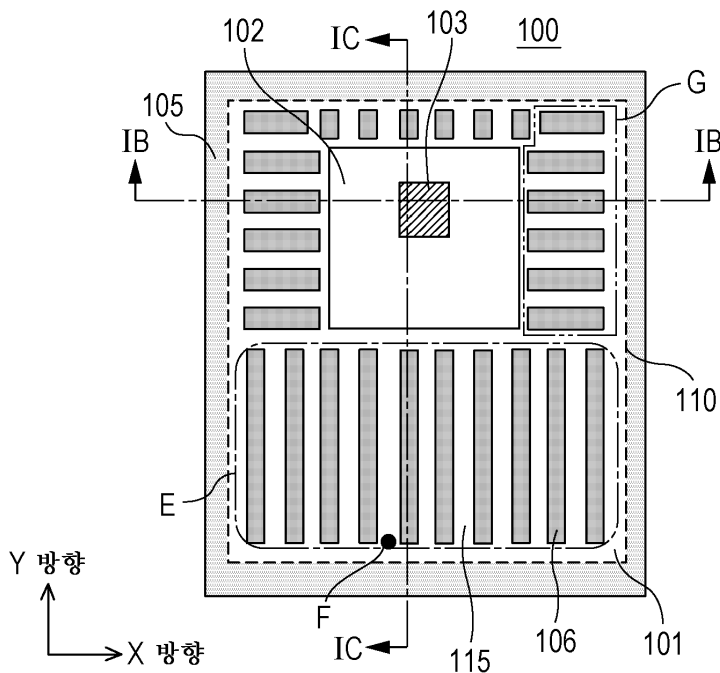
[0118] 클록 변환 회로(900)는 전술한 바와 같이 기준 클록에 따라 판독 유닛(810)으로부터 영상 데이터를 수신하고 스펙트럼 확산 클록에 따라서 영상 데이터를 영상 프로세서(830)로 공급한다. 영상 프로세서(830)는 공급된 영상 데이터를 처리한다. 따라서, 영상 프로세서(830)는 판독 유닛(810)으로부터 출력된 영상 데이터를 기초로 데이터를 처리한다.

[0119] 판독 유닛(810), 발진 회로(820), 및 클록 변환 회로(900)가 영상 판독 장치(800)의 가동형 부분 내에 배치될 수 있고, 영상 프로세서(830)가 영상 판독 장치(800)의 본체 부분 상에 배치될 수 있다. 클록 변환 회로(900) 및 영상 프로세서(830)가, 예를 들어, 몇십 센티미터의 와이어 하니스(wire harness)를 통해서 서로 연결될 수 있다.

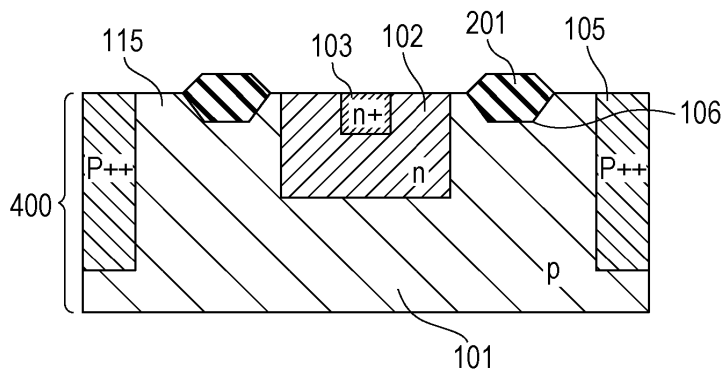
[0120] 예시적인 실시예를 참조하여 본 발명을 설명하였지만, 개시된 예시적 실시예로 본 발명이 제한되지 않는다는 것을 이해할 수 있을 것이다. 이하의 청구항의 범위는, 모든 수정 및 균등한 구조 및 기능을 포함하도록 가장 넓은 해석을 따를 것이다.

도면

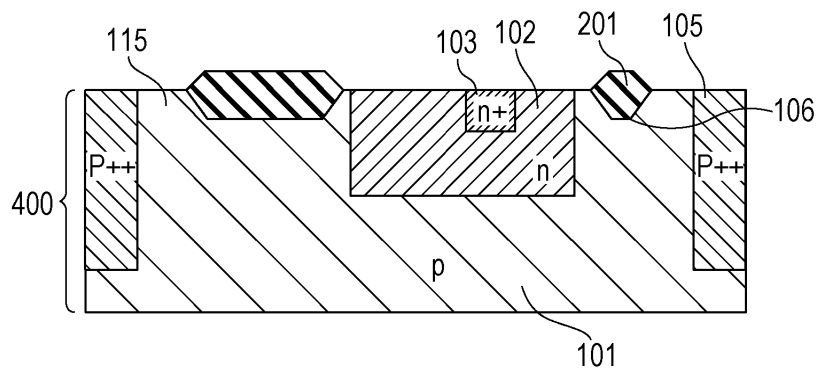
도면1a



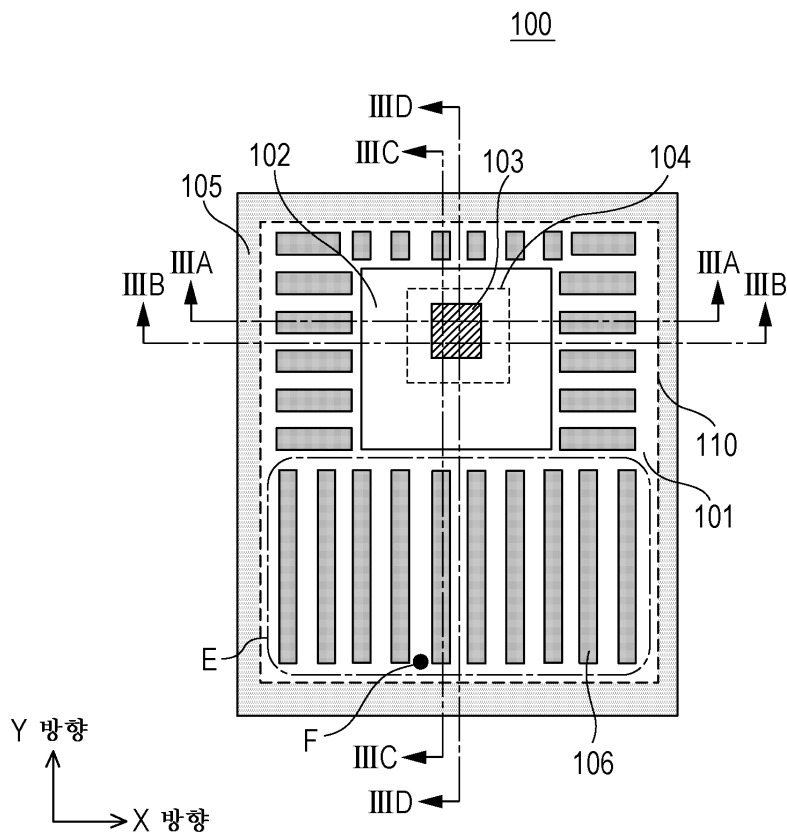
도면1b



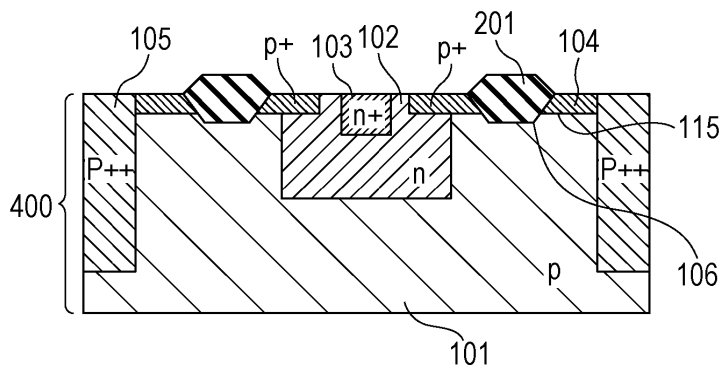
도면1c



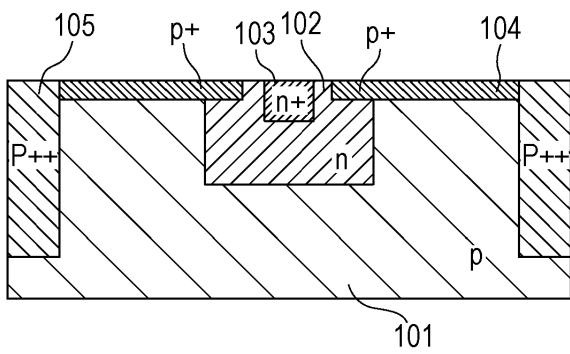
도면2



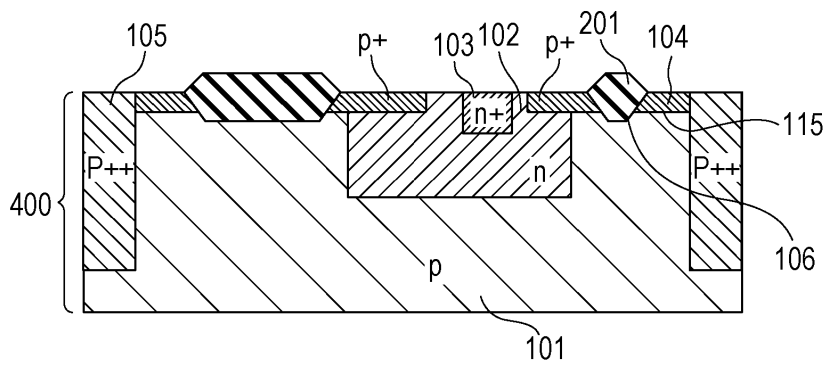
도면3a



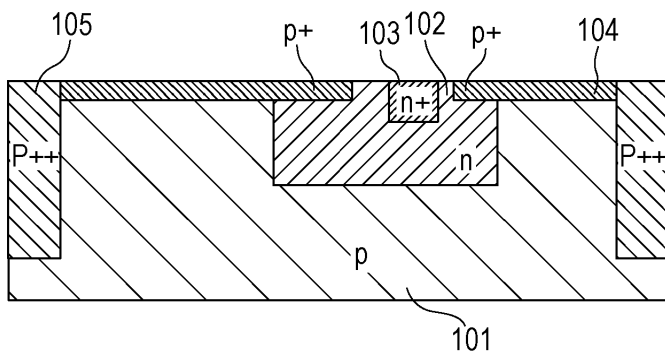
도면3b



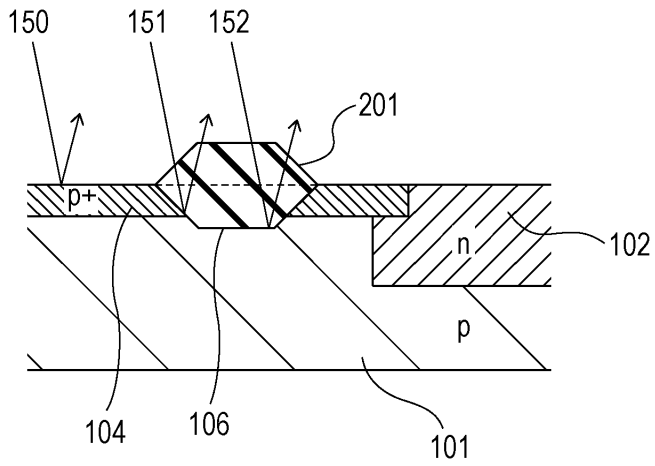
도면3c



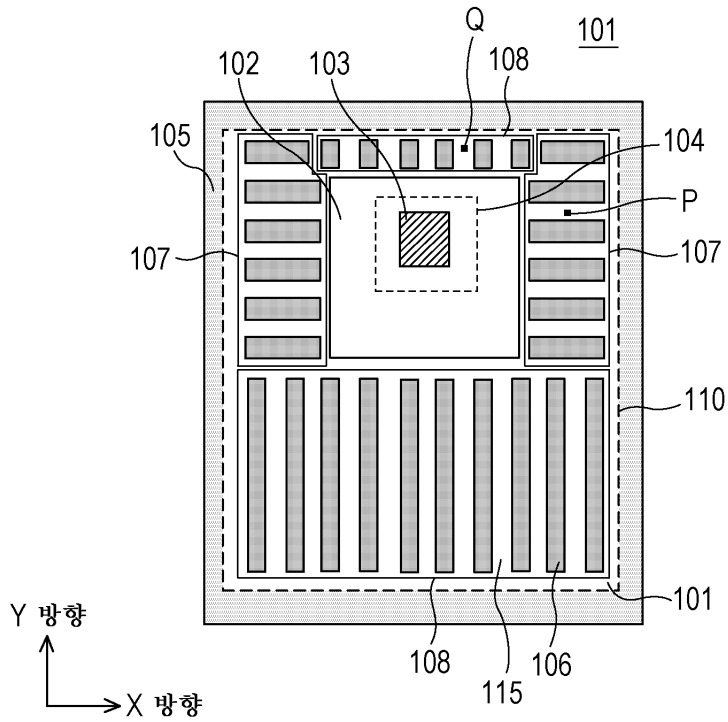
도면3d



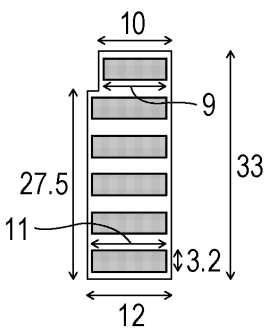
도면6



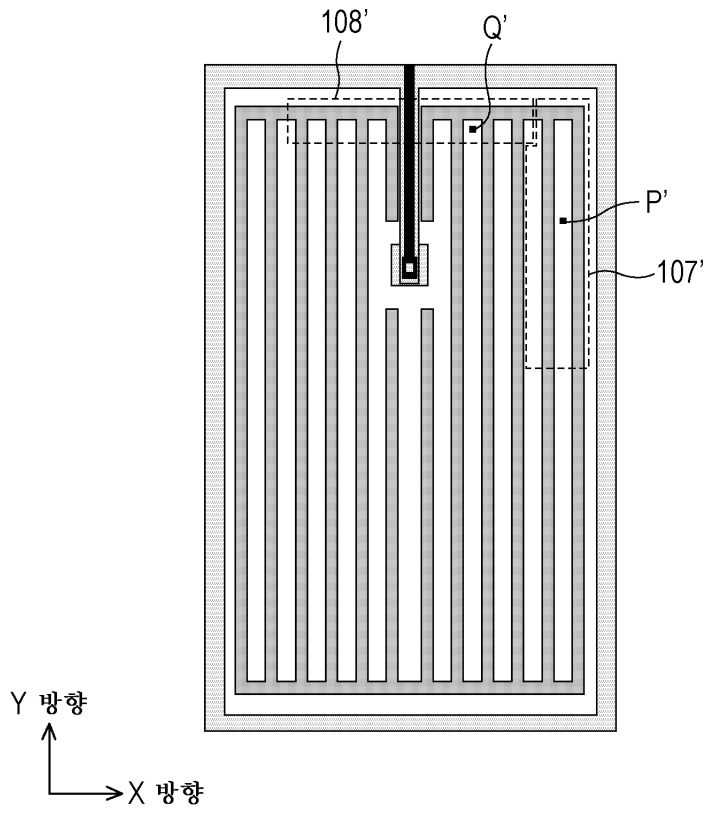
도면7a



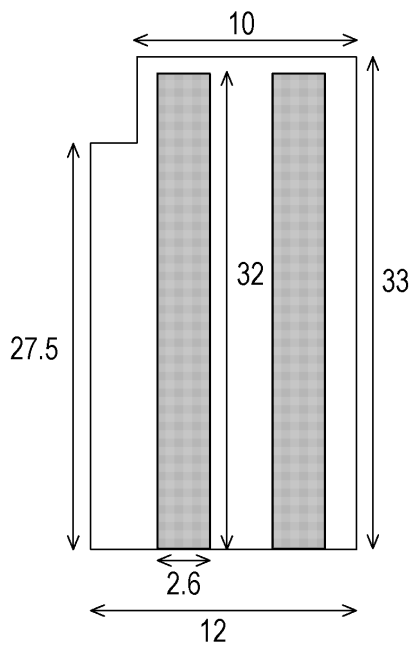
도면7b



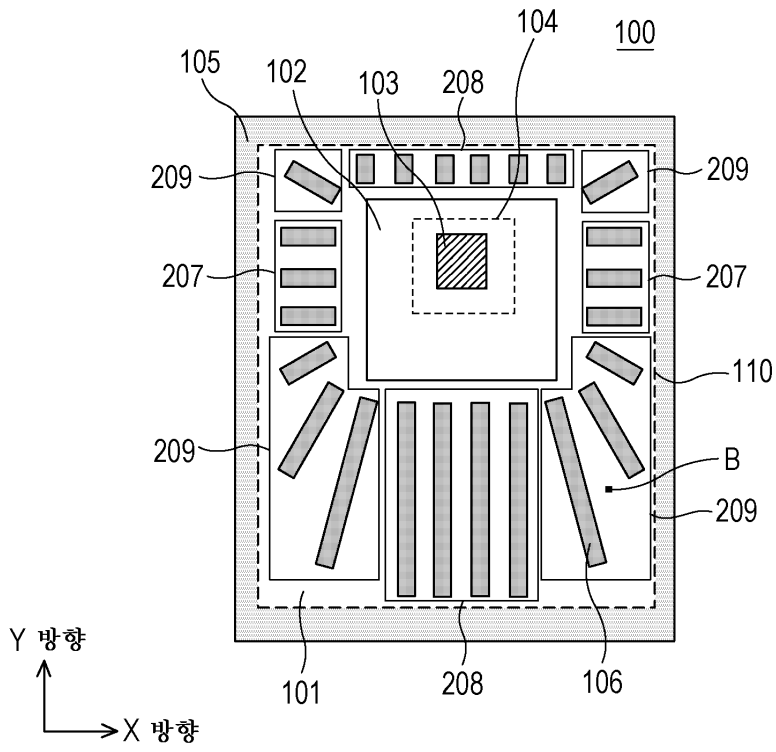
도면8a



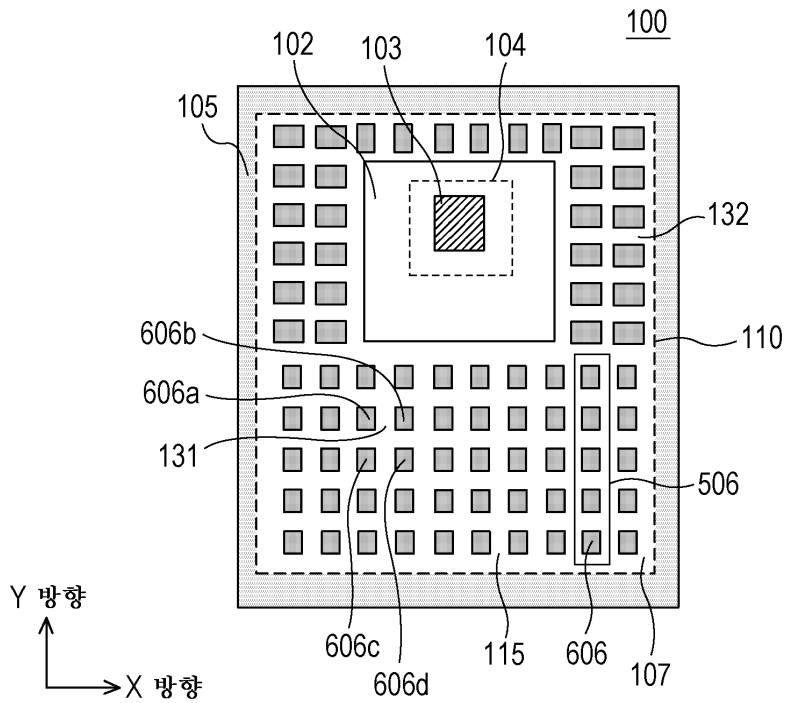
도면8b



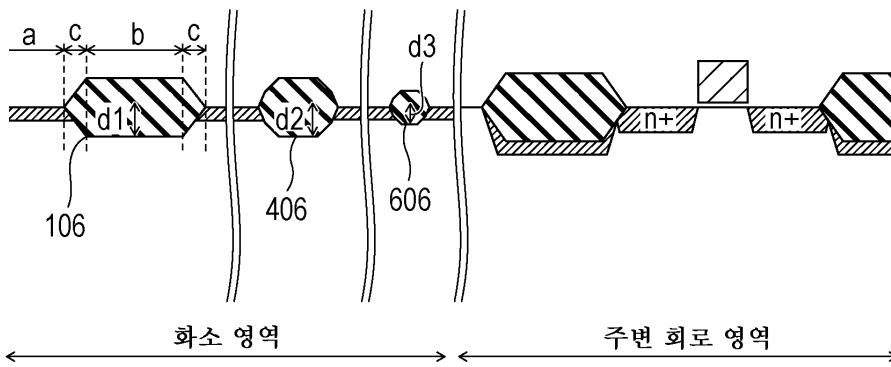
도면9



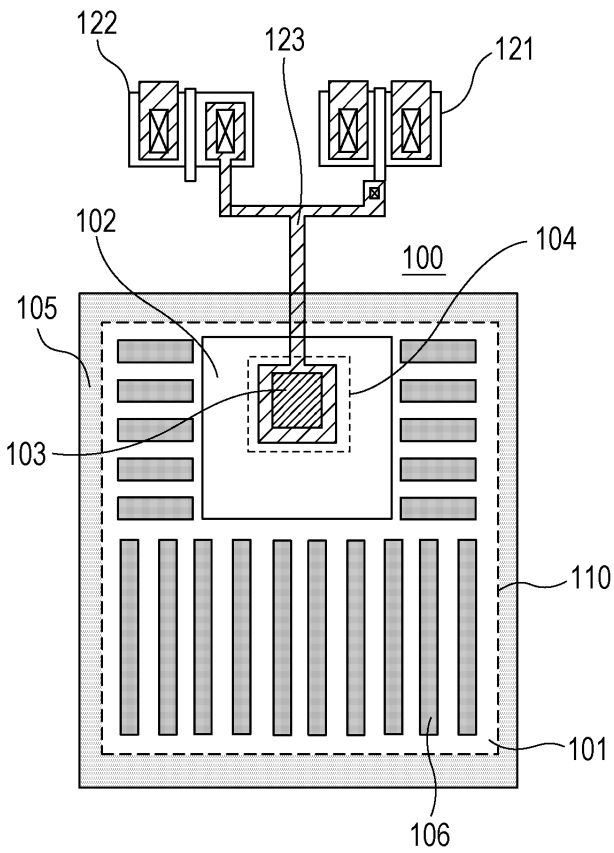
도면10



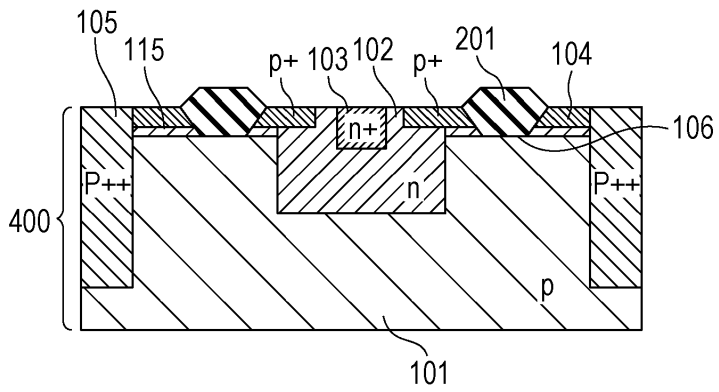
도면11



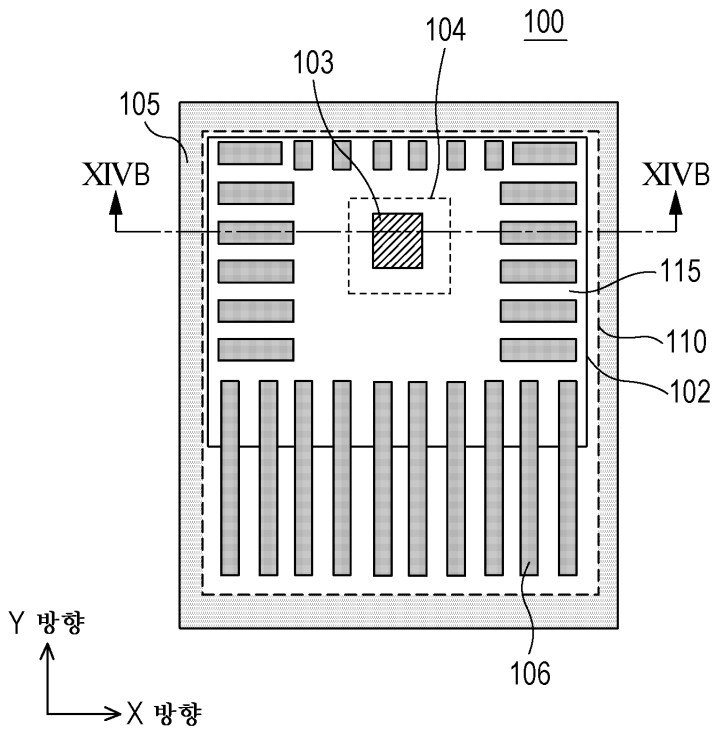
도면12



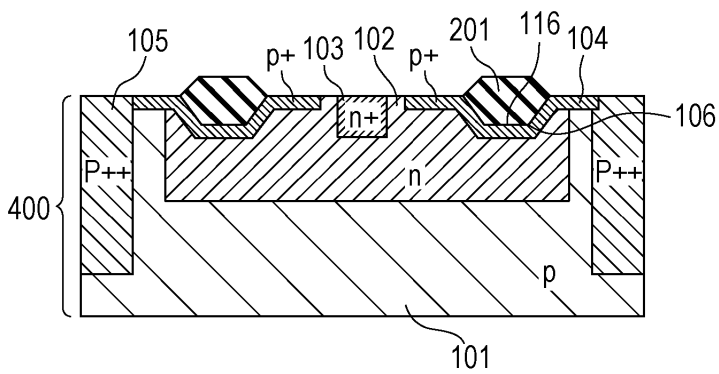
도면13



도면14a



도면14b



도면15

