

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97123240

※ 申請日期：97.6.20

※IPC 分類：G11C 13/02(2006.01)  
H01L 27/24 (2006.01)

一、發明名稱：(中文/英文)

具有控制的漂移電阻參數的多位階單元相變記憶體裝置，運用該裝置的記憶體系統及讀取記憶體裝置的方法

MULTIPLE LEVEL CELL PHASE-CHANGE MEMORY DEVICES  
HAVING CONTROLLED RESISTANCE-DRIFT PARAMETER,  
MEMORY SYSTEMS EMPLOYING SUCH DEVICES AND METHODS  
OF READING MEMORY DEVICES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司  
SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

李潤雨  
LEE, YOON-WOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞416番地  
416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI, GYEONGGI-  
DO, KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 鄭梟旭  
JEONG, CHANG-WOOK
2. 姜大煥  
KANG, DAE-HWAN
3. 金亨俊  
KIM, HYEONG-JUN
4. 高昇必  
KO, SEUNG-PIL
5. 林東源  
LIM, DONG-WON

國 籍：(中文/英文)

1. 韓國      REPUBLIC OF KOREA
2. 韓國      REPUBLIC OF KOREA
3. 韓國      REPUBLIC OF KOREA
4. 韓國      REPUBLIC OF KOREA
5. 韓國      REPUBLIC OF KOREA

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2007年06月20日；10-2007-0060562

2. 美國；2008年03月28日；12/079,886

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

在一種控制一電阻可變材料記憶體裝置之一記憶體單元中之電阻漂移的方法中，處理該記憶體單元中之電阻可變材料以使得該記憶體單元之漂移參數小於約0.18，其中一記憶體單元之電阻在時間週期內的變化係根據以下關係式來確定：

$$R_{drift} = R_{initial} \times t^{\alpha};$$

其中  $R_{drift}$  表示在時間週期後該記憶體單元之最終電阻， $R_{initial}$  表示在程式化操作後該記憶體單元之初始電阻， $t$  表示時間週期；且  $\alpha$  表示漂移參數。

## 六、英文發明摘要：

In a method of controlling resistance drift in a memory cell of a resistance-changeable material memory device, the resistance changeable material in the memory cell is treated so that a drift parameter for the memory cell is less than about 0.18, wherein a change in resistance of a memory cell over the time period is determined according to the relationship:

$$R_{drift} = R_{initial} \times t^{\alpha};$$

where  $R_{drift}$  represents a final resistance of the memory cell following the time period,  $R_{initial}$  represents the initial resistance of the memory cell following the programming operation,  $t$  represents the time period; and  $\alpha$  represents the drift parameter.

**七、指定代表圖：**

(一)本案指定代表圖為：第(5C)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)

## 九、發明說明：

### 【發明所屬之技術領域】

本申請案根據 35 U.S.C. 119 規定主張 2007 年 6 月 20 日申請之韓國專利申請案第 2007-60562 號的優先權，該案之全文以引用之方式併入本文中。

本申請案係關於與本案在同一天申請的，Chang-Wook Jeong 等人之名為 "具有讀取操作前電阻漂移恢復的多位階單元相變記憶體裝置、運用該等裝置之記憶體系統，及讀取記憶體裝置之方法 (Multiple-Level Cell Phase-Change Memory Devices Having Pre-Reading Operation Resistance Drift Recovery, Memory Systems Employing Such Devices, and Methods of Reading Memory Devices)"，且與本申請案共同擁有的美國專利申請案第 (our SAM-1115) 號，該案之內容以引用之方式併入本文中。

本申請案係關於與本案在同一天申請的，Chang-Wook Jeong 等人之名為 "具有程式化操作後電阻漂移飽和的多位階單元相變記憶體裝置、運用該等裝置之記憶體系統，及讀取記憶體裝置之方法 (Multiple-Level Cell Phase-Change Memory Devices Having Post-Programming Operation Resistance Drift Saturation, Memory Systems Employing Such Devices, and Methods of Reading Memory Devices)"，且與本申請案共同擁有的美國專利申請案第 (our SAM-1117) 號，該案之內容以引用之方式併入本文中。

## 【先前技術】

本文中稱為相變記憶體或相變隨機存取記憶體 (PRAM) 在此項技術中亦稱為雙向通用記憶體 (ovonic unified memory, OUM)。OUM單元係基於硫屬化物合金之體積 (volume)，硫屬化物合金在加熱及冷卻後採取兩種穩定但可程式化之相 (結晶相或非晶相) 中之一者。第一相 (亦即，結晶相) 之電阻相對低，且第二相 (亦即，非晶相) 之電阻相對高。將單元之狀態程式化至邏輯一 (1) 或零 (0) 視可程式化體積之相而定，且係藉由量測其電阻予以確定。結晶或導電狀態通常被稱為 "設定" 或 "0" 狀態；且非晶或電阻性不導電狀態通常被稱為 "重設" 或 "1" 狀態。

為使可程式化體積為非晶的，藉由電阻性加熱器將其加熱至其熔點以上。為使可程式化體積為結晶的，將其加熱至僅僅在其熔點以下持續一段短的時間 (例如，50 ns)，使得原子排列於其結晶位置中。該體積在加熱器關閉時迅速冷卻至穩定的非晶狀態或穩定的結晶狀態中。以此方式，藉由將單元程式化至結晶狀態或非晶狀態而將資料寫入至單元。藉由一感測放大器執行對程式化單元 (programmed cell) 之讀取，該感測放大器量測程式化單元之電阻。

相變記憶體之關鍵為硫屬化物材料。裝置在歷史上包括鍺 (Ge)、銻 (Sb) 及碲 (Te) 之合金，其通常被稱為 GST 合金。該材料尤其可用於併入於記憶體裝置中，因為其具有在加熱及冷卻時在穩定之非晶相與結晶相之間迅速切換的能力。

併入有硫屬化物材料之記憶體單元通常包括頂部電極、硫屬化物材料之圖案化層或體積，及充當電阻性加熱元件之底部電極。圖1為說明使用可程式化硫屬化物材料之記憶體單元10的示意圖。單元10包括一形成於可程式化相變硫屬化物材料14之上之導電性頂部電極12。導電性底部電極接點(BEC)16形成於可程式化材料14之下。底部電極接點(BEC)由諸如TiAlN、TiN及其類似物之較高電阻率材料形成，因此其藉由在電流流過BEC時產生熱而作為電阻性加熱器操作。存取電晶體20(參看圖2A及圖2B)連接至底部電極接點16以用於控制電流經過單元10之流動。存取電晶體20之閘極通常連接至併入單元10之記憶體裝置的字線WL。

圖2A及圖2B為說明處於兩個程式化狀態中之每一者的單元10之示意圖。在圖2A中，單元10經展示處於導電性設定或"0"狀態。在此狀態中，可程式化材料14之與BEC接觸之某部分處於結晶狀態。在圖2B中，單元10經展示處於電阻性重設或"1"狀態。在此狀態中，可程式化材料14之與BEC接觸之某部分處於非晶狀態。

圖3為示意性說明單元10之電組態的示意圖。字線WL在存取電晶體20之閘極處控制電流經過單元10之流動。流過單元10之所得電流 $I_{CELL}$ 及連接至單元10之頂部電極12的位線BL之啟動在寫入或程式化操作期間用來程式化該單元10之狀態，且在讀取或感測操作期間用來讀取該單元10之狀態。



圖4為說明記憶體單元之程式化的時序圖，記憶體單元包括(例如)上文結合圖1至圖3所說明並描述之類型的可程式化硫屬化物材料之體積。圖4之時序圖為說明在習知設備中用於將材料程式化至設定(結晶)狀態及重設(非晶)狀態之程式化熱脈衝的溫度關於時間的曲線圖。標記為22之曲線說明對於重設脈衝(亦即，用於將材料程式化至重設(非晶)狀態的溫度脈衝)之時間溫度關係；且標記為24之曲線說明對於設定脈衝(亦即，用於將材料程式化至設定(結晶)狀態的溫度脈衝)之時間溫度關係。

參看圖4中之記為22的曲線，為將硫屬化物材料之可程式化體積改變至非晶相(重設狀態)，藉由電阻性加熱器將硫屬化物合金加熱至在其熔點( $T_m$ )以上之溫度。施加加熱脈衝持續一段相對短的時間(例如，幾奈秒)。當加熱器關閉時，合金在時間週期 $T_1$ (稱為淬火週期)內迅速冷卻至在該體積之結晶溫度 $T_c$ 以下的溫度。在淬火週期之後，硫屬化物材料之體積被置於穩定非晶狀態中。

參看圖4中標記為24之曲線，為將可程式化體積改變至結晶相(設定狀態)，藉由電阻性加熱器將合金加熱至在其熔點 $T_m$ 以下的溫度(例如，在材料之結晶溫度 $T_c$ 與熔融溫度 $T_m$ 之間的溫度)。將該溫度維持一相對比時間週期 $T_1$ 長的時間週期 $T_2$ ，以允許合金之部分結晶。當加熱器關閉時，合金迅速冷卻至在該體積之結晶溫度 $T_c$ 以下的溫度。在達成結晶之後，移除設定加熱脈衝，且材料冷卻至穩定的結晶狀態。

已針對具有多個可程式化狀態之PRAM裝置的製造進行研究。舉例而言，雖然上述實例示範了具有兩種狀態(亦即，非晶(重設)及結晶(設定)狀態)之PRAM單元，但是其他人已對具有多個在非晶"末端"狀態與結晶"末端"狀態之間的所謂"混合"或"中間"狀態之PRAM單元進行實驗。在中間狀態中，可程式化體積為部分非晶的及部分結晶的，且藉由控制可程式化材料的非晶體積與結晶體積之相對百分比，可控制單元之所得電阻。以此方式，可認為每一所得PRAM單元具有各自對應於唯一電阻值的多個可程式化狀態或多個位階。Itri等人已進行多位階PRAM領域的研究，2004年在費尼克斯舉辦的IEEE第42次年度國際可靠性物理研討會上的"Analysis of phase-transformation dynamics and estimation of amorphous-chalcogenide fraction in phase-change memories"，第209至215頁，其內容以引用之方式併入本文中。

其他人已確定經程式化之硫屬化物體積之電阻值可隨時間而變化。參看(例如)2004年5月，IEEE電子裝置會刊，第5期，第51卷，第714至719頁，Pirovano等人之"Low-Field Amorphous State Resistance and Threshold Voltage Drift in chalcogenide Materials"，其內容以引用之方式併入本文中。所得"電阻漂移"在兩位階PRAM單元之非晶狀態中且在多位階PRAM單元之部分非晶中間狀態及完全非晶狀態中尤其顯著。為了控制電阻漂移，其他人已研究電阻漂移動力學的特性。參看(例如)2007年2月，電子裝置會

刊，第2期，第54卷，第308至315頁，Ielmini等人之"Recovery and Drift Dynamics of Resistance and Threshold Voltages in Phase-Change Memories"，其內容以引用之方式併入本文中。然而，電阻漂移仍為難以解決之問題，尤其是在多位階PRAM裝置中。

### 【發明內容】

本發明之實施例係針對多位階單元相變記憶體裝置、運用該等裝置之記憶體系統及讀取記憶體裝置之方法，其中選擇記憶體單元之電阻漂移參數以將單元之電阻漂移控制在預定的可接受的已知限度內。以此方式，可在考慮材料中之電阻漂移的情況下可靠地執行對記憶體裝置之讀取操作。

在一態樣中，一種控制電阻可變材料記憶體裝置之記憶體單元中之電阻漂移的方法包含處理記憶體單元中之電阻可變材料，使得記憶體單元之漂移參數小於約0.18，其中根據以下關係式來確定記憶體單元之電阻在時間週期內的變化：

$$R_{drift} = R_{initial} \times t^{\alpha};$$

其中  $R_{drift}$  表示在時間週期後記憶體單元之最終電阻， $R_{initial}$  表示在程式化操作後記憶體單元之初始電阻， $t$  表示時間週期；且  $\alpha$  表示漂移參數。

記憶體單元可藉由程式化操作予以程式化而佔據複數種狀態中之一者，該複數種狀態中之每一狀態對應於與相鄰狀態之相鄰電阻範圍無關的一電阻範圍，其中記憶體單元

之初始電阻在程式化操作後佔據對應於初始電阻範圍的初始狀態，且其中選擇每一狀態之初始電阻範圍以使得記憶體單元之電阻在時間週期後仍在初始電阻範圍中。

記憶體單元可藉由程式化操作予以程式化而佔據兩種以上狀態。

複數種狀態中之低狀態可對應於具有最低電阻範圍之狀態，複數種狀態中之高狀態可對應於具有最高電阻範圍之狀態，且複數種狀態中之至少一中間狀態可對應於具有大於低狀態之最低電阻範圍且小於高狀態之最高電阻範圍的電阻範圍的至少一狀態，其中記憶體單元經程式化而佔據複數種狀態中之至少一中間狀態。

在一實施例中，記憶體單元之漂移參數小於約0.058。

電阻可變材料可包含基於硫屬化物之材料。

處理記憶體單元中之電阻可變材料可包含藉由用包括氮或碳之摻雜材料來摻雜記憶體單元中之電阻可變材料而控制記憶體單元之漂移參數。

處理記憶體單元中之電阻可變材料可包含藉由處理記憶體單元中之電阻可變材料以在材料中包括氫原子而控制記憶體單元之漂移參數。

處理電阻可變材料可包含在形成電阻可變材料期間提供包括氫原子之源料(source material)。

處理器電阻可變材料可包含在形成電阻可變材料之後在氫環境中退火。

處理器電阻可變材料可包含在電阻可變材料中植入氫離

子。

處理器電阻可變材料可包含：在電阻可變材料上形成一含有氫之層；及熱處理器該層以使得氫擴散至電阻可變材料中。

在另一態樣中，一種記憶體裝置包含複數個記憶體單元，每一記憶體單元包含具有回應於在程式化操作中所施加之程式化電流而確定之初始電阻的電阻可變材料，該記憶體單元之電阻根據以下關係式在程式化操作後的一時間週期內自初始電阻改變：

$$R_{drift} = R_{initial} \times t^{\alpha},$$

其中  $R_{drift}$  表示在該時間週期後記憶體單元之最終電阻， $R_{initial}$  表示在程式化操作後記憶體單元之初始電阻， $t$  表示時間週期；且  $\alpha$  表示記憶體單元之漂移參數，且其中漂移參數小於約 0.18。

每一記憶體單元可藉由程式化操作予以程式化而佔據複數種狀態中之一者，該複數種狀態中之每一狀態對應於與相鄰狀態之相鄰電阻範圍無關的一電阻範圍，其中記憶體單元之初始電阻在程式化操作後佔據對應於初始電阻範圍的初始狀態，且其中選擇每一狀態之初始電阻範圍以使得記憶體單元之電阻在該時間週期後仍在初始電阻範圍中。

記憶體單元可藉由程式化操作予以程式化而佔據兩種以上狀態。

複數種狀態中之低狀態可對應於具有最低電阻範圍之狀態，複數種狀態中之高狀態可對應於具有最高電阻範圍之

狀態，且複數種狀態中之至少一中間狀態可對應於具有大於低狀態之最低電阻範圍且小於高狀態之最高電阻範圍的電阻範圍之至少一狀態。

記憶體單元可經程式化而佔據複數種狀態中之至少一中間狀態。

在一實施例中，記憶體單元之漂移參數小於約0.058。

電阻可變材料可包含基於硫屬化物之材料。

可藉由用包括氮或碳之摻雜材料來摻雜記憶體單元中之電阻可變材料而確定記憶體單元之漂移參數。

可藉由處理記憶體單元中之電阻可變材料以在材料中包括氮原子而確定記憶體單元之漂移參數。

作為程式化操作之結果，初始電阻可對應於處於結晶狀態之單元材料的量與處於非晶狀態之單元材料之量的比率。

每一記憶體單元可進一步包含一與記憶體單元之對應單元材料熱連通的加熱電極，該加熱電極接收程式化電流以加熱對應記憶體單元以使得單元材料具有初始電阻。

硫屬化物材料可包含(例如)選自由Ge、Sb、Sn、As、Si、Pb、Te、Se、S、其組合及其合金組成之材料群的材料。

硫屬化物材料可進一步包括選自由Bi、Sr、Si及O組成之群的至少一雜質。

在另一態樣中，一種電子裝置包括一記憶體系統，該記憶體系統包含：一記憶體控制器，其經配置以連接至一資

料匯流排，在該資料匯流排處傳送資料信號；及一連接至該記憶體控制器之記憶體裝置，其儲存並擷取資料信號，該記憶體裝置包含複數個記憶體單元，每一記憶體單元包含具有回應於在程式化操作中所施加之電流而確定之初始電阻的電阻可變材料，記憶體單元之電阻根據以下關係式在程式化操作後的一時間週期內自初始電阻改變：

$$R_{drift} = R_{initial} \times t^{\alpha},$$

其中  $R_{drift}$  表示在時間週期後記憶體單元之最終電阻， $R_{initial}$  表示在程式化操作後記憶體單元之初始電阻， $t$  表示時間週期；且  $\alpha$  表示記憶體單元之漂移參數，且其中漂移參數小於約 0.18。

### 【實施方式】

如在隨附圖式中所說明，本發明之實施例的前述及其他目標、特徵及優點將自本發明之較佳實施例的更詳細描述顯而易見，在隨附圖式中相同參考字符在不同視圖中始終指代相同部分。該等圖式未必按比例，而是著重於說明本發明之原理。

現將參看隨附圖式在下文中更充分地描述本發明之實施例，在隨附圖式中展示了本發明之較佳實施例。然而，本發明可體現於不同形式中，且不應被認為受限於本文中闡述之實施例。相同數字說明書中始終指代相同元件。

應理解，儘管術語第一、第二等在本文中用來描述各種元件，但此等元件不應受此等術語限制。此等術語僅用來區別一元件與另一元件。舉例而言，在不脫離本發明之範

疇的情況下，第一元件可被稱作第二元件，且類似地，第二元件可被稱作第一元件。如本文中所使用，術語"及/或"包括相關聯之所列項目中之一或多者的任何及所有組合。

應理解，當一元件被稱為"在另一元件上"或"連接"或"耦接"至另一元件時，該元件可直接在該另一元件上或連接或耦接至該另一元件，或可存在介入元件。與之對比，當一元件被稱為"直接在另一元件上"或"直接連接"或"直接耦接"至另一元件時，不存在介入元件。應以類似方式解釋用來描述元件之間關係的其他詞語(例如，"在...之間"與"直接在...之間"、"鄰近於"與"直接鄰近於"等)。當元件在本文中被稱為"在另一元件之上"時，其可在另一元件之上或之下，且可直接耦接至另一元件，或可存在介入元件，或元件可由空隙或間隙隔開。

本文中使用之術語係為了描述特定實施例且不欲限制本發明。如本文中所使用，除非本文另外明確指示，否則單數形式"一"及"該"意欲亦包括複數形式。應進一步理解，術語"包含"、"包括"在本文中使用時指定所陳述特徵、整數、步驟、操作、元件及/或組件的存在，但並不排除一或多個其他特徵、整數、步驟、操作、元件、組件及/或其群組的存在或添加。

圖5A為對於兩位階相變記憶體單元將電阻值分成兩個不同狀態的概念圖表；圖5B為對於多位階相變記憶體單元(在此狀況下為四位階單元)將電阻值分成多個不同狀態的概念圖表；且圖5C為對於圖5B之多位階相變記憶體單元



將電阻值分成多個不同狀態的概念圖表，其說明電阻漂移之影響。

參看圖5A，描繪標準的兩位階相變記憶體單元之狀態。該等兩位階單元在此項技術中被稱為"單位階"單元。在程式化該單元後，所得電阻值之分布可落在兩種狀態"0"及"1"中之一者中。落在第一分布曲線32A之範圍中的程式化單元之任何電阻值經確定為"0"狀態，且落在第二分布曲線32B之範圍中的程式化單元之任何電阻值經確定為"1"狀態。在此狀況下，對應於第一分布曲線32A及第二分布曲線32B的電阻值可輕易地由邊界電阻值34分開；亦即，若所確定之電阻值小於邊界值34，則認為其對應於"0"狀態，且若所確定之電阻值大於邊界值34，則認為其對應於"1"狀態。

參看圖5B，描繪四位階相變記憶體單元之狀態。在程式化該單元後，所得電阻值可落在四種狀態"00"、"01"、"10"及"11"中之一者中。"00"及"11"狀態在本文中被稱為"末端狀態"，因為其分別對應於電阻值範圍之下端及上端處的電阻值。"00"末端狀態可對應於單元之結晶狀態，且"11"末端狀態可對應於單元之非晶狀態。"01"及"10"狀態可對應於單元之中間部分非晶狀態，其中"01"狀態對應於經程式化以具有相對較少非晶材料之單元，且"10"狀態對應於具有相對較多非晶材料之單元。多位階單元有益於系統整合，因為可將兩種以上狀態程式化至單一單元中。雖然"00"及"11"狀態在本文中分別被稱為對應於"結晶"狀態

及"非晶"狀態，但是裝置之該等末端狀態未必對應於"完全結晶"狀態及"完全非晶"狀態，其中可程式化材料之體積為完全結晶的或完全非晶的。實情為，該等末端狀態可同樣對應於為部分結晶及部分非晶的狀態(如在中間狀態中)，其中"00"末端狀態主要為結晶的，亦即含有比其他狀態多的結晶材料，且"11"末端狀態主要為非晶的，亦即含有比其他狀態多的非晶材料。

落入第一分布曲線36A之範圍中的程式化單元之任何電阻值經確定為"00"狀態，落入第二分布曲線36B之範圍中的程式化單元之任何電阻值經確定為"01"狀態，落入第三分布曲線36C之範圍中的程式化單元之任何電阻值經確定為"10"狀態，且落入第四分布曲線36D之範圍中的程式化單元之任何電阻值經確定為"11"狀態。在此狀況下，對應於屬於末端狀態"00"及"11"之第一分布曲線36A及第四分布曲線36D的電阻值輕易地由對應之邊界電阻值38A、38C而與相鄰分布曲線36B、36C分開。舉例而言，若所確定之電阻值小於邊界值38A，則認為其對應於"00"狀態，且若所確定之電阻值大於邊界值38C，則認為其對應於"11"狀態。然而，屬於中間狀態"01"及"10"的第二分布曲線36B及第三分布曲線36C之電阻值更容易受電阻漂移現象影響。圖5C中說明此增加之易受性。

參看圖5C，可見電阻漂移對對應於四種狀態"00"、"01"、"10"、"11"之分布曲線36A、36B、36C、36D的影響。在一時間週期後，對應於漂移前分布曲線36A之電阻

值歸因於可程式化體積之化學晶格中的不穩定缺陷轉變至較穩定之缺陷而漂移，從而使曲線偏移至漂移後分布曲線36A'。類似地，對應於漂移前分布曲線36B之電阻值漂移，從而使曲線偏移至漂移後分布曲線36B'；對應於漂移前分布曲線36C之電阻值漂移，從而使曲線偏移至漂移後分布曲線36C'；且對應於漂移前分布曲線36D之電阻值漂移，從而使曲線偏移至漂移後分布曲線36D'。

在圖5C中，可見漂移後分布曲線36A'已相對於其漂移前分布曲線36A漂移相對小的量。此係因為，與第一分布曲線36A相關聯之電阻值係可程式化體積含有相對較多結晶材料或完全由結晶材料形成的結果。因為結晶材料之基質含有比非晶材料之對應基質相對較少之不穩定缺陷，所以結晶材料將經歷相對較小的電阻漂移。圖5C中亦可見第二漂移後分布曲線36B'、第三漂移後分布曲線36C'及第四漂移後分布曲線36D'已相對於其漂移前分布曲線36B、36C、36D漂移相對大的量。電阻漂移量通常隨材料之程式化體積中增加之非晶含量一起增加。

在兩位階單元(參見圖5A)之狀況下，可更輕易地管理電阻漂移，因為可藉由選擇適當之邊界電阻值34而將對應於兩種狀態"0"及"1"的電阻值實質上彼此分開，使得即使在長時間週期內發生實質電阻漂移之後，非晶狀態"1"之所得漂移後電阻值仍在邊界電阻值34以上，且結晶狀態"0"之所得漂移後電阻值仍在邊界電阻值34以下。因為僅需要兩種狀態，所以電阻漂移在標準的兩位階單元中並非主要

關心的問題。

在具有諸如圖 5B 及圖 5C 中所描繪之狀態之狀態的多位階單元之狀況下，對電阻漂移之管理係重要的。對於 "00" 及 "11" 末端狀態，可藉由設定適當之邊界值 38A、38C 輕易地管理電阻漂移。舉例而言，若邊界值 38A 經選擇而清楚地界定對應於第一分布曲線 36A 之電阻值 (已知其較不容易受電阻漂移影響)，則可輕易地管理對末端狀態 "00" 之電阻漂移的管理。類似地，若邊界值 38C 經選擇而大大超過對應於第三分布曲線 36C' 之預測之所得漂移後電阻值的最高值，則可確定所有高於此邊界值 38C 之所得電阻值係對應於末端狀態 "11"，不論關於第四漂移後分布曲線 36D' 之電阻值所經歷的電阻漂移量如何。

然而，在此實例中，對於 "01" 及 "10" 中間狀態，需要對電阻漂移的管理。舉例而言，第二漂移前分布曲線 36B 之電阻漂移導致第二漂移後分布曲線 36B' 跨越將第二中間狀態 "01" 與第三中間狀態 "10" 分開之預定邊界值 38B。類似地，第三漂移前分布曲線 36C 之電阻漂移導致第三漂移後分布曲線 36C' 跨越將第三狀態 (亦即，中間狀態 "01") 與第四狀態 (亦即，末端狀態 "11") 分開之預定邊界值 38C。若不對電阻漂移現象進行正確管理，則可見在對記憶體單元之後續讀取操作期間可能發生不正確之狀態確定。

上文引用的 Pirovano 等人之論文中很好地描述了電阻漂移現象背後的機制。電阻漂移可歸因於在程式化後硫屬化合物可程式化體積之化學晶格中便存在特定缺陷結構而發

生。隨時間逝去，最初不穩定的缺陷(諸如不穩定之 $C_3^0$ 結構，其中C表示硫屬化物原子)根據以下化學關係式而轉變至較穩定之結構(諸如相對穩定之 $C_3^+$ 及 $C_1^-$ 結構)：



不穩定缺陷之密度對可程式化體積之電阻具有直接影響；因此，改變了材料之可程式化體積之所得電阻。該等不穩定缺陷較少見，亦即，其在結晶狀態中具有較低密度，這就是為何電阻漂移對於經程式化成結晶狀態之裝置的意義比對經程式化而具有一百分比之非晶材料之裝置的意義小。

在包括多位階單元相變記憶體裝置、運用該等裝置之記憶體系統及讀取記憶體裝置之方法的本發明之實施例中，記憶體單元之電阻漂移參數經選擇以將單元之電阻漂移控制在預定的可接受的已知限度內。以此方式，在進行讀取操作時考慮材料之電阻漂移的情況下，可輕易地執行讀取操作。

在一實施例中，藉由將可程式化體積之材料之電阻漂移參數(本文中稱為漂移指數 $\alpha$ )控制為小於約0.18來確定可接受的電阻漂移。

在一實施例中，在製造時用雜質來摻雜可程式化體積之化學晶格，以便隨時間逝去確保所得記憶體單元中的可接受的可預測的電阻漂移。在一實例中，雜質包含氮或碳；然而，可使用其他雜質。

在另一實施例中，在可程式化體積之化學晶格形成時對

其執行氫退火製程，使得在材料之體積中可獲得氫。在材料中存在氫之情況下，可使在程式化時自然產生於可程式化體積中之特定的不穩定缺陷穩定，從而限制發生之電阻漂移之量。

其他人已證明，相變材料中之電阻漂移通常對應於以下關係式：

$$R_{drift} = R_{initial} \times t^{\alpha}; \quad (2)$$

其中  $R_{drift}$  表示可程式化體積之最終電阻， $R_{initial}$  表示可程式化體積之初始電阻， $t$  表示已過去的時間量；且  $\alpha$  表示漂移指數。

藉由將材料之可程式化體積的電阻漂移指數  $\alpha$  之值控制為可接受的預定的值(例如，小於約 0.18)，已確定運用該可程式化體積的所得相變記憶體單元可可靠地操作。舉例而言，可程式化體積可將經程式化資訊保持於非揮發性設定中持續至少為十年之休眠時間週期。此計算假定 100 千歐姆的初始電阻值  $R_{initial}$ ，其在十年  $t$  的休眠內具有 30% 之電阻容限，從而導致在對記憶體單元之讀取操作時的最終電阻值  $R_{drift}$ 。在此實例中將 100 千歐姆之電阻值假定為初始電阻，因為該值通常經確定為最大初始電阻值，其對應於在程式化後便具有最高百分比之非晶含量之單元的末端狀態。

在其他實例中，假定 100 千歐姆的初始電阻值  $R_{initial}$ ，其在十年  $t$  的休眠內具有 20% 之電阻容限，則材料之可程式化體積的電阻漂移指數  $\alpha$  之值應小於約 0.12。假定 100 千歐姆

的初始電阻值  $R_{initial}$ ，其在十年  $t$  的休眠內具有 10% 之電阻容限，則材料之可程式化體積的電阻漂移指數  $\alpha$  之值應小於約 0.058。

參看表 1，處於程式化狀態的電阻之改變率 ( $\Delta R/R_{ini}$ ) 應在一可允許之容限內，在此容限內確保相變記憶體之穩定操作。在  $R_{ini}$  為 10 k $\Omega$ 、20 k $\Omega$ 、50 k $\Omega$ 、100 k $\Omega$  之狀況下，表 1 中展示漂移參數 ( $\alpha$ ) 之最大允許值，亦即，臨界漂移參數 ( $\alpha_c$ )。在表 1 中，允許之容限之實例經提供為 10%、20%、30%。舉例而言，在初始電阻  $R_{ini}$  為 100 k $\Omega$  之狀況下，臨界漂移參數 ( $\alpha_c$ ) 在允許之容限為 30% 時將為 0.18，且臨界漂移參數 ( $\alpha_c$ ) 在允許之容限為 10% 時將為 0.058。

表 1

$R_{ini}$ (k $\Omega$ )	$\Delta R/R_{ini}$ 之容限		
	10 %	20 %	30 %
100	0.058	0.12	0.18
50	0.055	0.11	0.17
20	0.050	0.10	0.15
10	0.047	0.09	0.14

### I. 雜質摻雜

已確定，在本發明之第一實施例中可藉由用適當雜質來摻雜材料之化學晶格而完成對電阻可變材料之可程式化體積的電阻漂移指數  $\alpha$  之值的控制。在一實例中，已確定可使用為用氮摻雜之 GST 之可程式化材料。在另一實例中，已確定可使用為用碳摻雜之 GST 之可程式化材料。

在各種實施例中，記憶體單元之可程式化體積可包含

(例如)由 Te、Se、S、其組合或其合金組成之硫屬化物材料，或可包含一種選自由 Ge、Sb、Sn、As、Si、Pb、Te、Se、S、其組合及其合金組成之群的材料。雖然本文中特別提及包括碳或氮之雜質，但是可應用其他雜質(其包括 Bi、Sr、Si、O等、其組合或其合金)來控制所得電阻可變材料之電阻漂移參數 $\alpha$ 。

參看圖 6 及圖 7，現將描述藉此所應用雜質包括碳或氮的實例。在由碳或氮摻雜之電阻可變材料中表示漂移參數( $\alpha$ )關於初始電阻( $R_{ini}$ )之分布。碳摻雜之電阻可變材料示範了與未摻雜之材料所展現的漂移參數相比大大減小之漂移參數。氮摻雜之材料示範了相比碳摻雜之材料甚至進一步減小之漂移參數。一般而言，電阻可變材料在結晶狀態(亦即，SET 狀態)中展現幾 k $\Omega$  至幾十 k $\Omega$  之電阻且在處於非晶狀態(亦即，RESET 狀態)時展現幾 M $\Omega$  之電阻。

圖 7 之實驗資料證明，碳摻雜之電阻可變材料在處於中間資料狀態時具有小於約 0.08 之漂移參數( $\alpha$ )。氮摻雜之電阻可變材料在經程式化於中間資料狀態中時具有小於約 0.03 之漂移參數( $\alpha$ )。參看表 1 及圖 7，在所要的容限小於 20% 之狀況下可應用碳摻雜之電阻可變材料且在所要的容限小於 10% 之狀況下可應用氮摻雜之電阻可變材料。

在一實施例中，可首先形成 GST 材料，隨後應用氮或碳雜質。在將氮雜質應用於 GST 材料的狀況下，可執行氮離子植入及退火。在此狀況下，N<sub>2</sub>、N<sub>2</sub>O 及 NH<sub>3</sub> 氣體可用於退火製程。



## II. 氫處理

已進一步確定，在本發明之第二實施例中可藉由對材料之化學晶格執行氫處理製程而完成對電阻可變材料之可程式化體積的電阻漂移指數 $\alpha$ 之值的控制。以此方式，氫原子存在且可材料之可程式化體積中可獲得。在材料中存在氫的情況下，可使在程式化時自然產生於可程式化體積中之特定之不穩定缺陷穩定，從而限制發生之電阻漂移之量。

舉例而言，在存在穩定化元素(諸如氫原子)之情況下，使不穩定之 $C_3^0$ 結構(上文將其描述為導致相變材料之電阻漂移的不穩定結構)穩定，從而導致形成穩定之 $C_4^0$ 結構。以此方式，因為藉由不穩定之 $C_3^0$ 結構轉換至穩定之 $C_4^0$ 結構而有效減小了不穩定之 $C_3^0$ 結構的平衡密度(equilibrium density)，所以在可程式化體積材料中將很少或不發生不穩定結構至相對穩定之 $C_3^+$ 及 $C_1$ 結構的轉換，且因此材料中之電阻漂移更不可能發生，或電阻漂移將不會發生。

在一種對電阻可變材料之氫處理方法中，可在形成電阻可變材料期間使氫原子存在。在一實例中，包括底部電極之絕緣層可形成於基板上。電阻可變材料層(例如，硫屬化合物合金層)可形成於該絕緣層上。在形成電阻可變材料層時，可使用熱化學氣相沈積或原子層沈積(ALD)製程。在一實例實施例中，用於硫屬化合物合金之源料可包括具有鍺之第一前驅體、具有銻之第二前驅體及具有碲之第三前驅體。舉例而言，第一前驅體可包括 $Ge(CH_2CHCH_2)_4$ 或

$\text{GeH}_4$ ，第二前驅體可包括  $\text{Sb}(\text{CH}(\text{CH}_3)_2)_3$ ，第三前驅體可包括  $\text{Te}(\text{CH}(\text{CH}_3)_3)_2$ 。配位體分解氣體可包括  $\text{H}_2$  或  $\text{NH}_3$ 。此外，因為源料較佳包括氫原子，所以配位體分解氣體可包括過剩之  $\text{H}_2$  或  $\text{NH}_3$ 。載送氣體可包含氫氣。電阻可變材料層可包含(例如)  $\text{Ge}_2\text{Sb}_2\text{Te}_5:\text{H}$ 。

在另一種對電阻可變材料之氫處理方法之中，可首先形成電阻可變材料，且接著藉由在氫環境中將該材料退火來進一步處理該材料。在此實例中，包括底部電極之絕緣層形成於半導體基板上，且電阻可變材料層形成於其上。可在氫環境中熱處理電阻可變材料層，其中可在  $200^\circ\text{C}$  至  $500^\circ\text{C}$  之溫度下進行該處理。

在另一種對電阻可變材料之氫處理方法中，可首先形成電阻可變材料，且接著藉由將氫原子植入於材料中來進一步處理電阻可變材料。在一實例中，可藉由在電阻可變材料上形成含有氫離子之諸如氧化矽或氮化矽之材料層來執行此處理。接著在(例如)  $200^\circ\text{C}$  至  $500^\circ\text{C}$  之溫度下熱處理該材料以使氫擴散至電阻可變材料中。

藉由(例如)根據上述技術來修改電阻可變材料從而限制其電阻漂移參數( $\alpha$ )，可將中間狀態之電阻漂移控制在預定的允許的容限內，使得材料之所得漂移參數小於臨界漂移參數( $\alpha_c$ )。參看圖 8A 及圖 8B，此等圖表分別示範在不控制電阻漂移之狀況下(圖 8A)及在控制材料之電阻漂移之狀況下(圖 8B)多位階相變記憶體裝置中之電阻分布的變化。垂直虛線界定區別相鄰資料狀態之邊界線。參看圖 8A，因

為未根據本文中描述之技術來控制電阻可變材料之電阻漂移參數，所以難以區別在電阻漂移後的相鄰資料狀態01、10、11。另一方面，參看圖8B，因為正確地控制了電阻可變材料之電阻漂移，所以達成相鄰資料狀態01、10、11之間的區別。

圖9為根據本發明之實施例的包括含有複數個多位階相變可程式化記憶體單元之PRAM單元陣列210之記憶體裝置200的方塊圖。根據標準的記憶體裝置組態，PRAM單元陣列包括X選擇器電路220及Y選擇器電路230。X選擇器電路220(亦稱為列解碼器)接收列位址RA信號，且Y選擇器電路(亦稱為行解碼器)接收行位址CA信號。

參看圖9，根據本實施例之相變記憶體裝置200包括記憶體單元陣列210，其儲存N位元的資料(其中，N為2或更大)。複數個記憶體單元按列(例如，沿字線)及行(例如，沿位線)配置於記憶體單元陣列210中。每一記憶體單元可由切換元件及電阻元件組成。切換元件可由諸如MOS電晶體、二極體及其類似物之各種元件形成。電阻元件可經組態以包括一相變膜，該相變膜包括具有上述有利的電阻漂移參數 $\alpha$ 特性之上述電阻可變材料。每一記憶體單元可為可寫記憶體單元。例示性電阻元件揭示於美國專利第6,928,022、6,967,865號及第6,982,913號中，每一專利之全文以引用之方式併入本文中。

繼續參看圖9，列選擇器電路220經組態以回應於列位址RA信號而選擇該等列(或字線)中之一者，且行選擇器電路

230經組態以回應於行位址CA信號而選擇特定的行(或位線)。控制邏輯240經組態以回應於外部讀取/寫入命令而控制多位階相變記憶體裝置200之總體操作。高電壓產生器電路250由控制邏輯240控制且經組態以產生用於列選擇器電路220及行選擇器電路230、感測放大器電路260及寫入驅動器電路280的高電壓。舉例而言，可使用電荷泵來實施高電壓產生器電路250。對於熟習此項技術者將顯而易見，高電壓產生器電路250之實施不限於本文中描述之實施例。

感測放大器電路260由控制邏輯240控制，且經組態以經由行選擇器電路230所選擇的行(或位線)來感測單元資料。可經由資料輸入/輸出緩衝器電路270在外部輸出感測到之資料SAOUT。感測放大器電路260連接至資料匯流排DL，且經組態以在讀取操作時向資料匯流排DL供應感測電流I\_SENSE。寫入驅動器電路280由控制邏輯240控制，且經組態以根據經由輸入/輸出緩衝器電路270所提供的資料向資料線DL供應寫入電流。偏壓產生器電路290由控制邏輯240控制，且經組態以產生將被供應給感測放大器電路260及寫入驅動器電路280之偏壓。

圖10為根據本發明之實施例的包括含有複數個多位階相變可程式化記憶體單元之半導體裝置PRAM單元陣列之電子裝置100的方塊圖。在各種實例中，電子裝置100可用作無線通信裝置，亦即，PDA、膝上型電腦、行動電腦、網絡瀏覽板、行動電話、數位音樂播放器或任何經組態以在

無線環境中發射及/或接收資訊的裝置。電子裝置100可包括輸入/輸出裝置120、記憶體130、無線介面140及經由匯流排150通信的控制器110。控制器110包含(例如)微處理器、數位信號處理器或微控制器中之至少一者。輸入/輸出裝置120可包括(例如)小鍵盤、鍵盤及顯示單元。記憶體130可用來儲存由控制器110執行的命令，或可用來儲存使用者資料。記憶體130可進一步包含各種種類之記憶體。電子裝置100可使用無線介面140自無線通信網路接收資料或(例如)經由RF信號向網路發射資料。無線介面140可包括(例如)天線、無線收發器及用於無線通信之其他必要裝備。可將根據本發明之電子裝置100用作諸如第三代通信系統(亦即，CDMA、GSM、NADC、E-TDMA、WCDMA、CDMA2000)之通信介面協定。

雖然已參考本發明之較佳實施例特定地展示並描述本發明，但是熟習此項技術者應理解，在不脫離如附加的申請專利範圍所界定之本發明之精神及範疇的情況下，可在本文中進行形式及細節之各種改變。

舉例而言，雖然上述實施例描繪可在每單元兩個或四種狀態中操作的多位階單元，但是其他數目種狀態係可想到的，且可同樣適用本揭示案之原理。舉例而言，單元可具有某一數目(諸如4、8、16、32等)個多位階狀態，該數目為二的倍數。單元亦可具有不為二的倍數之其他數目(諸如3、5、6、7等)種狀態。

### 【圖式簡單說明】

圖 1 為說明運用可程式化硫屬化物材料之習知記憶體單元的示意圖；

圖 2A 及圖 2B 為說明處於兩個程式化狀態中之每一者的習知記憶體單元之示意圖；

圖 3 為圖 1、圖 2A 及圖 2B 之習知記憶體單元的等效電路圖；

圖 4 為說明對包括可程式化硫屬化物材料的記憶體單元之程式化的時序圖；

圖 5A 為對於兩位階單元將電阻值分成兩個不同狀態的概念圖表；圖 5B 為對於多位階單元(在此狀況下為四位階單元)將電阻值分成多個不同狀態的概念圖表；且圖 5C 為對於圖 5B 之多位階單元將電阻值分成多個不同狀態的概念圖表，其說明電阻漂移之影響；

圖 6 為說明根據本發明之實施例的用碳摻雜之電阻可變材料及用氮摻雜之電阻可變材料的電阻隨時間變化之曲線圖；

圖 7 為說明根據本發明之實施例的用碳或氮摻雜之電阻可變材料的減小之漂移參數( $\alpha$ )的實驗資料圖；

圖 8A 及圖 8B 為分別示範根據本發明之實施例的在不控制電阻漂移之狀況下(圖 8A)及在控制材料之電阻漂移的狀況下(圖 8B)多位階相變記憶體裝置中之電阻分布之變化的圖表；

圖 9 為根據本發明之實施例的包括含有複數個多位階相變可程式化記憶體單元之 PRAM 單元陣列的記憶體裝置之

方塊圖。

圖10為根據本發明之實施例的包括含有複數個多位階相變可程式化記憶體單元之半導體裝置PRAM單元陣列的電子裝置之方塊圖。

**【主要元件符號說明】**

10	記憶體單元/單元
12	頂部電極
14	可程式化相變硫屬化合物材料/相變材料/可程式化材料
16	底部電極接點
20	存取電晶體
100	電子裝置
110	控制器
120	輸入/輸出裝置
130	記憶體
140	無線介面
150	匯流排
200	記憶體裝置/相變記憶體裝置
210	PRAM單元陣列/記憶體單元陣列
220	X選擇器電路/列選擇器電路
230	Y選擇器電路/行選擇器電路
240	控制邏輯
250	高電壓產生器電路
260	感測放大器電路

270	資料輸入/輸出緩衝器電路
280	寫入驅動器電路
290	偏壓產生器電路
BL	位線
WL	字線



## 十、申請專利範圍：

1. 一種控制一電阻可變材料記憶體裝置之一記憶體單元中之電阻漂移的方法，其包含處理該記憶體單元中之該電阻可變材料以使得該記憶體單元之一漂移參數小於約0.18，其中一記憶體單元之電阻在時間週期內的一變化係根據以下關係式予以確定：

$$R_{drift} = R_{initial} \times t^{\alpha};$$

其中  $R_{drift}$  表示在該時間週期後該記憶體單元之一最終電阻， $R_{initial}$  表示在程式化操作後該記憶體單元之初始電阻， $t$  表示該時間週期；且  $\alpha$  表示該漂移參數。

2. 如請求項1之方法，其中該記憶體單元藉由程式化操作予以程式化而佔據複數種狀態中之一者，該複數種狀態中之每一狀態對應於與相鄰狀態之相鄰電阻範圍無關的一電阻範圍，其中一記憶體單元之初始電阻在程式化操作後佔據一對應於一初始電阻範圍的初始狀態，且其中選擇每一狀態之該初始電阻範圍以使得該記憶體單元之一電阻在該時間週期後仍在該初始電阻範圍中。
3. 如請求項2之方法，其中該記憶體單元藉由程式化操作予以程式化而佔據兩種以上狀態。
4. 如請求項3之方法，其中該複數種狀態中之一低狀態對應於一具有一最低電阻範圍之狀態，該複數種狀態中之一高狀態對應於一具有一最高電阻範圍之狀態，且該複數種狀態中之至少一中間狀態對應於具有一大於該低狀態之該最低電阻範圍且小於該高狀態之該最高電阻範圍

- 的電阻範圍之至少一狀態，其中該記憶體單元經程式化而佔據該複數狀態中之該至少一中間狀態。
5. 如請求項1之方法，其中該記憶體單元之該漂移參數小於約0.058。
  6. 如請求項1之方法，其中該電阻可變材料包含一基於硫屬化物之材料。
  7. 如請求項6之方法，其中處理該記憶體單元中之一電阻可變材料包含：藉由用一包括氮或碳之摻雜材料來摻雜該記憶體單元中之該電阻可變材料而控制該記憶體單元之該漂移參數。
  8. 如請求項6之方法，其中處理該記憶體單元中之一電阻可變材料包含：藉由處理該記憶體單元中之該電阻可變材料以在該材料中包括氫原子而控制該記憶體單元之該漂移參數。
  9. 如請求項8之方法，其中處理該電阻可變材料包含：在形成該電阻可變材料期間提供一包括氫原子之源料。
  10. 如請求項8之方法，其中處理該電阻可變材料包含：在形成該電阻可變材料之後在一氫環境中退火。
  11. 如請求項8之方法，其中處理該電阻可變材料包含：在該電阻可變材料中植入氫離子。
  12. 如請求項8之方法，其中處理該電阻可變材料包含：  
在該電阻可變材料上形成一含有氫之層；及  
熱處理該層，使得該氫擴散至該電阻可變材料中。
  13. 一種記憶體裝置，其包含複數個記憶體單元，每一記憶

體單元包含一電阻可變材料，該電阻可變材料具有回應於在一程式化操作中一所施加之程式化電流而確定之一初始電阻，該記憶體單元之電阻根據以下關係式在該程式化操作後的一時間週期內自該初始電阻變化：

$$R_{drift} = R_{initial} \times t^{\alpha},$$

其中  $R_{drift}$  表示在該時間週期後該記憶體單元之一最終電阻， $R_{initial}$  表示在該程式化操作後該記憶體單元之該初始電阻， $t$  表示該時間週期；且  $\alpha$  表示該記憶體單元之一漂移參數，且其中該漂移參數小於約 0.18。

14. 如請求項 13 之記憶體裝置，其中每一記憶體單元藉由該程式化操作予以程式化而佔據複數種狀態中之一者，該複數種狀態中之每一狀態對應於與相鄰狀態之相鄰電阻範圍無關的一電阻範圍，其中一記憶體單元之該初始電阻在該程式化操作後佔據一對應於一初始電阻範圍的初始狀態，且其中選擇每一狀態之該初始電阻範圍以使得該記憶體單元之一電阻在該時間週期後仍在該初始電阻範圍中。
15. 如請求項 14 之記憶體裝置，其中該記憶體單元藉由該程式化操作予以程式化而佔據兩種以上狀態。
16. 如請求項 15 之記憶體裝置，其中該複數種狀態中之一低狀態對應於一具有一最低電阻範圍之狀態，該複數種狀態中之一高狀態對應於一具有一最高電阻範圍之狀態，且該複數種狀態中之至少一中間狀態對應於具有一大於該低狀態之該最低電阻範圍且小於該高狀態之該最高電

阻範圍的電阻範圍之至少一狀態。

17. 如請求項16之記憶體裝置，其中該記憶體單元經程式化而佔據該複數種狀態中之該至少一中間狀態。
18. 如請求項13之記憶體裝置，其中該記憶體單元之該漂移參數小於約0.058。
19. 如請求項13之記憶體裝置，其中該電阻可變材料為一基於硫屬化物之材料。
20. 如請求項19之記憶體裝置，其中該記憶體單元之該漂移參數係藉由用一包括氮或碳之摻雜材料來摻雜該記憶體單元中之該電阻可變材料予以確定。
21. 如請求項19之記憶體裝置，其中該記憶體單元之該漂移參數係藉由處理該記憶體單元中之該電阻可變材料以在該材料中包括氫原子予以確定。
22. 如請求項19之記憶體裝置，其中作為該程式化操作之結果，該初始電阻對應於處於一結晶狀態之單元材料之一量與處於一非晶狀態之單元材料之一量的一比率。
23. 如請求項19之記憶體裝置，其中每一記憶體單元進一步包含一與該記憶體單元之對應單元材料熱連通的加熱電極，該加熱電極接收該程式化電流以加熱該對應記憶體單元，以使得該單元材料具有該初始電阻。
24. 如請求項19之記憶體裝置，其中該硫屬化物材料包含一選自由Ge、Sb、Sn、As、Si、Pb、Te、Se、S、其一組合及其一合金組成之群的材料。
25. 如請求項24之記憶體裝置，其中該硫屬化物材料進一步

包括選自由 Bi、Sr、Si 及 O 組成之群的至少一雜質。

26. 一種電子裝置，其包括一記憶體系統，該記憶體系統包含：

一記憶體控制器，其經配置以連接至一資料匯流排，在該資料匯流排處傳送資料信號；及

一連接至該記憶體控制器之記憶體裝置，其儲存並擷取該等資料信號，該記憶體裝置包含：

複數個記憶體單元，每一記憶體單元包含一電阻可變材料，該電阻可變材料具有回應於在一程式化操作中一所施加之程式化電流而確定之一初始電阻，該記憶體單元之電阻根據以下關係式在該程式化操作後的一時間週期內自該初始電阻變化：

$$R_{drift} = R_{initial} \times t^{\alpha},$$

其中  $R_{drift}$  表示在該時間週期後該記憶體單元之一最終電阻， $R_{initial}$  表示在該程式化操作後該記憶體單元之該初始電阻， $t$  表示該時間週期；且  $\alpha$  表示該記憶體單元之一漂移參數，且其中該漂移參數小於約 0.18。

十一、圖式：

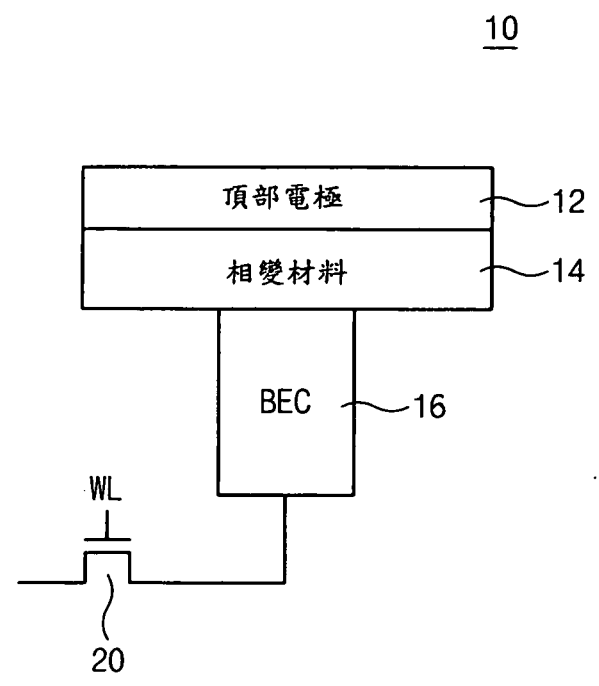


圖 1

10

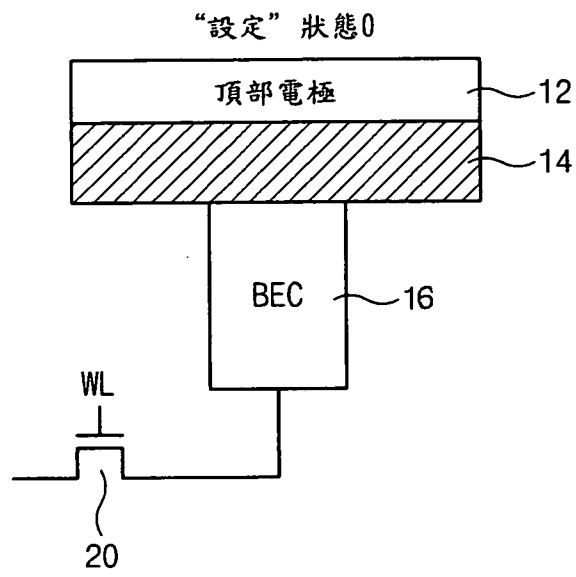


圖 2A

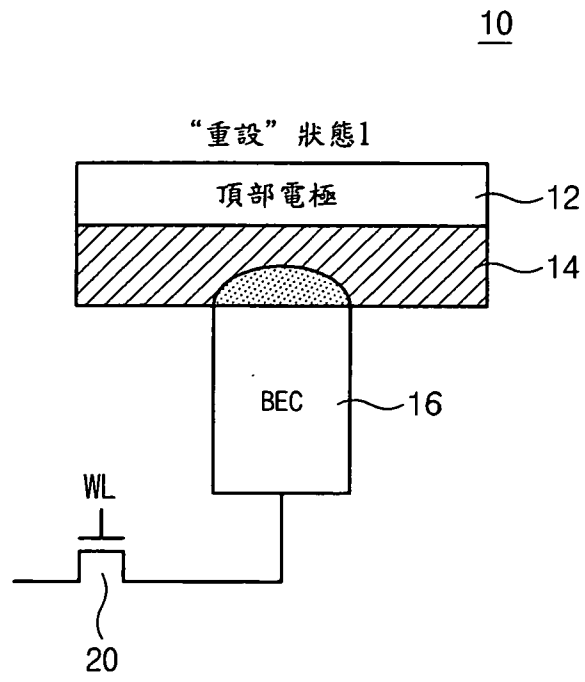


圖 2B



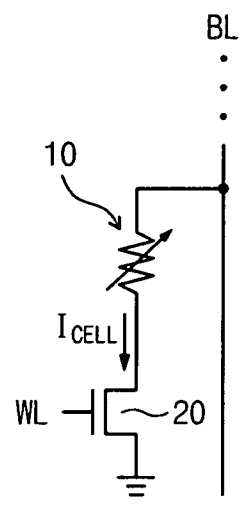


圖3

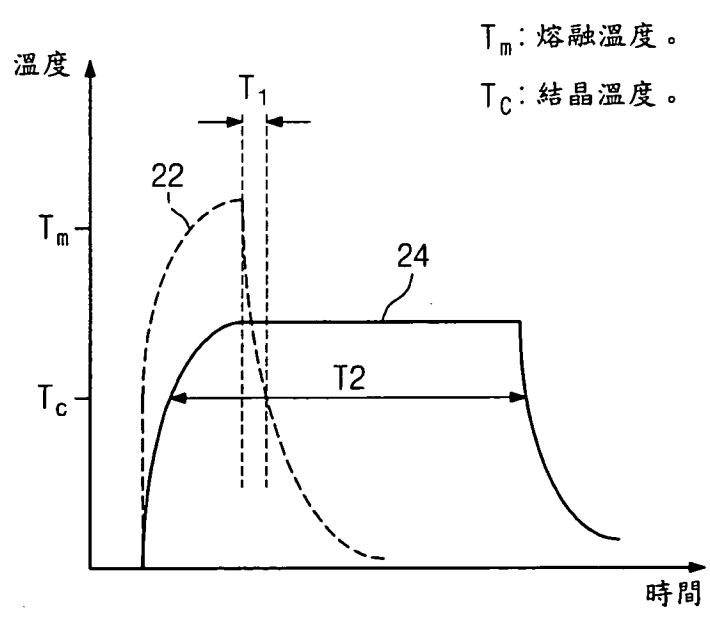


圖4

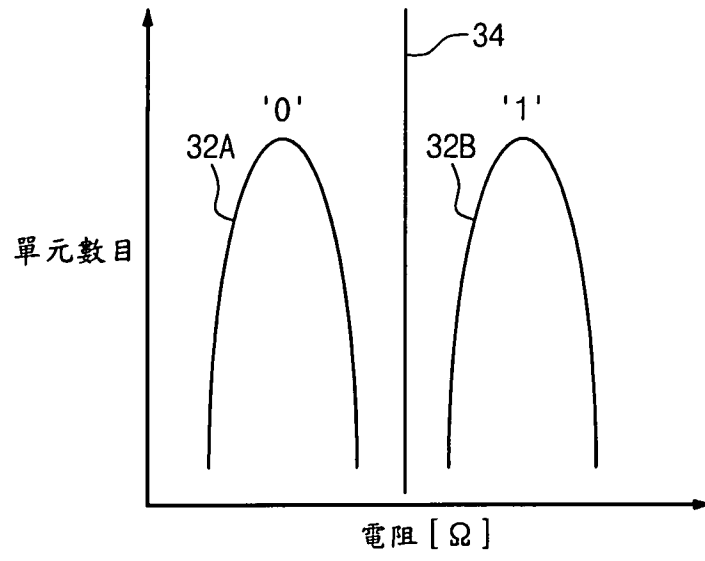


圖 5A

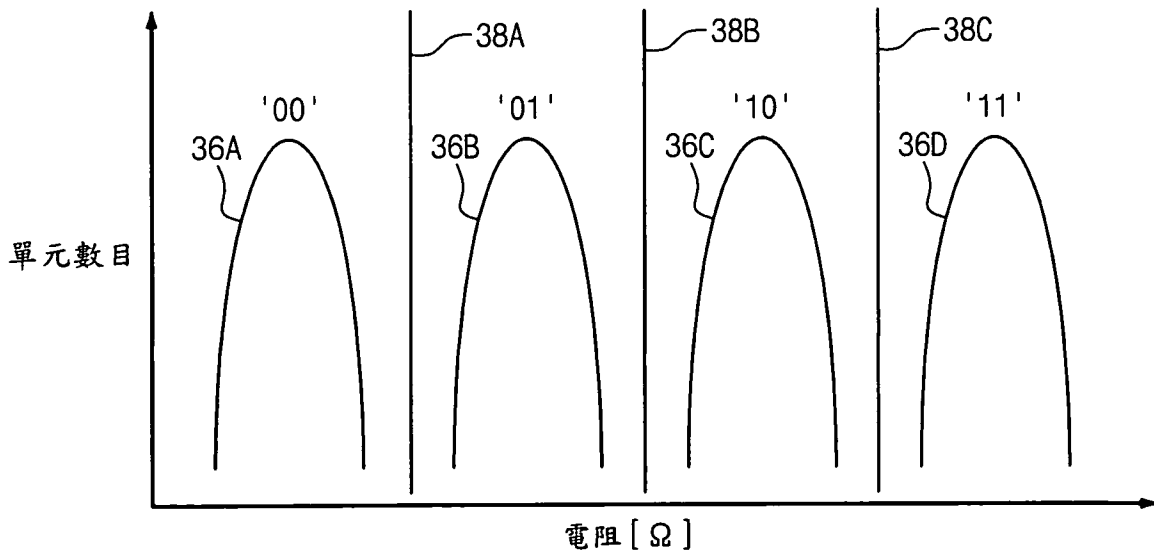


圖 5B

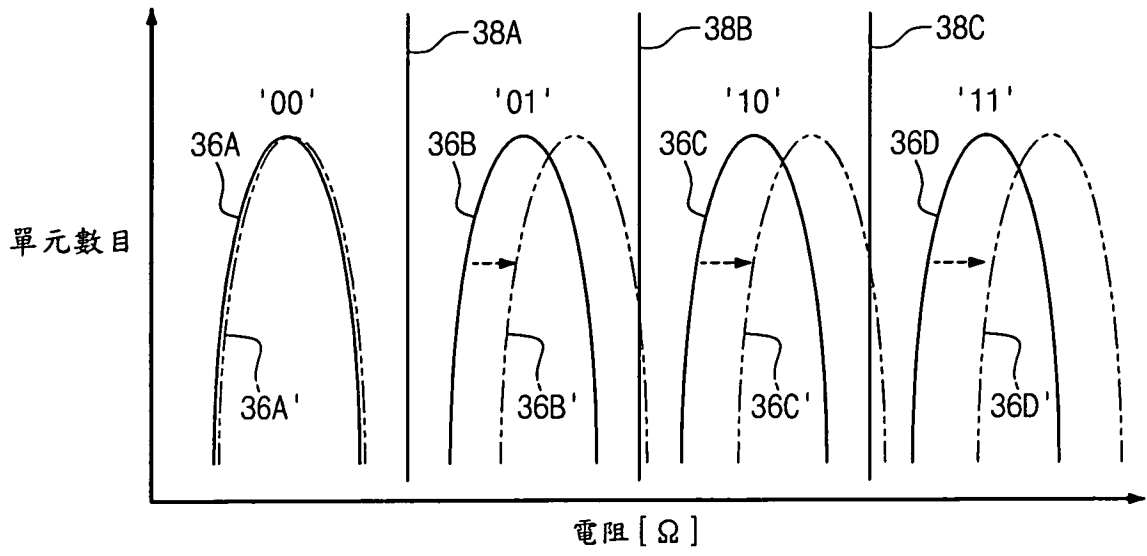


圖5C

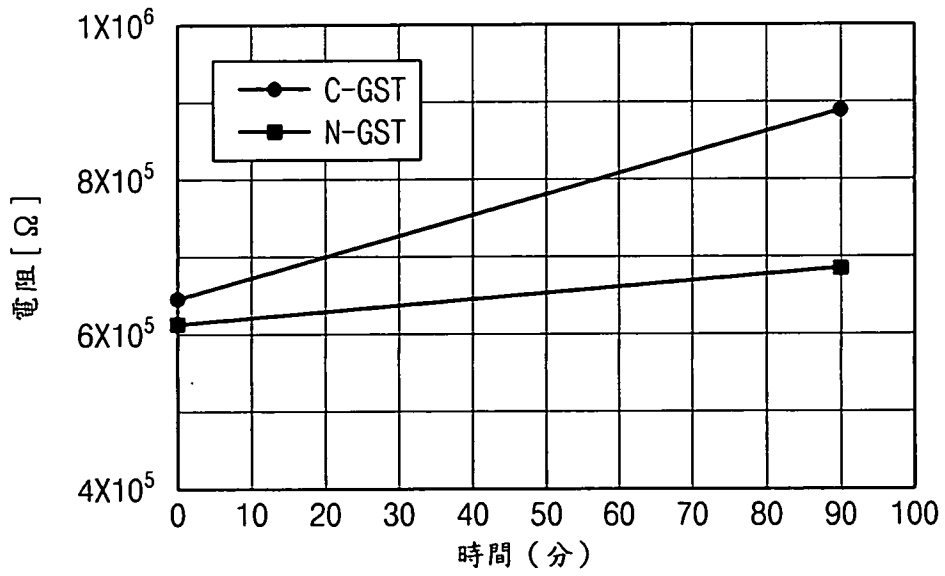
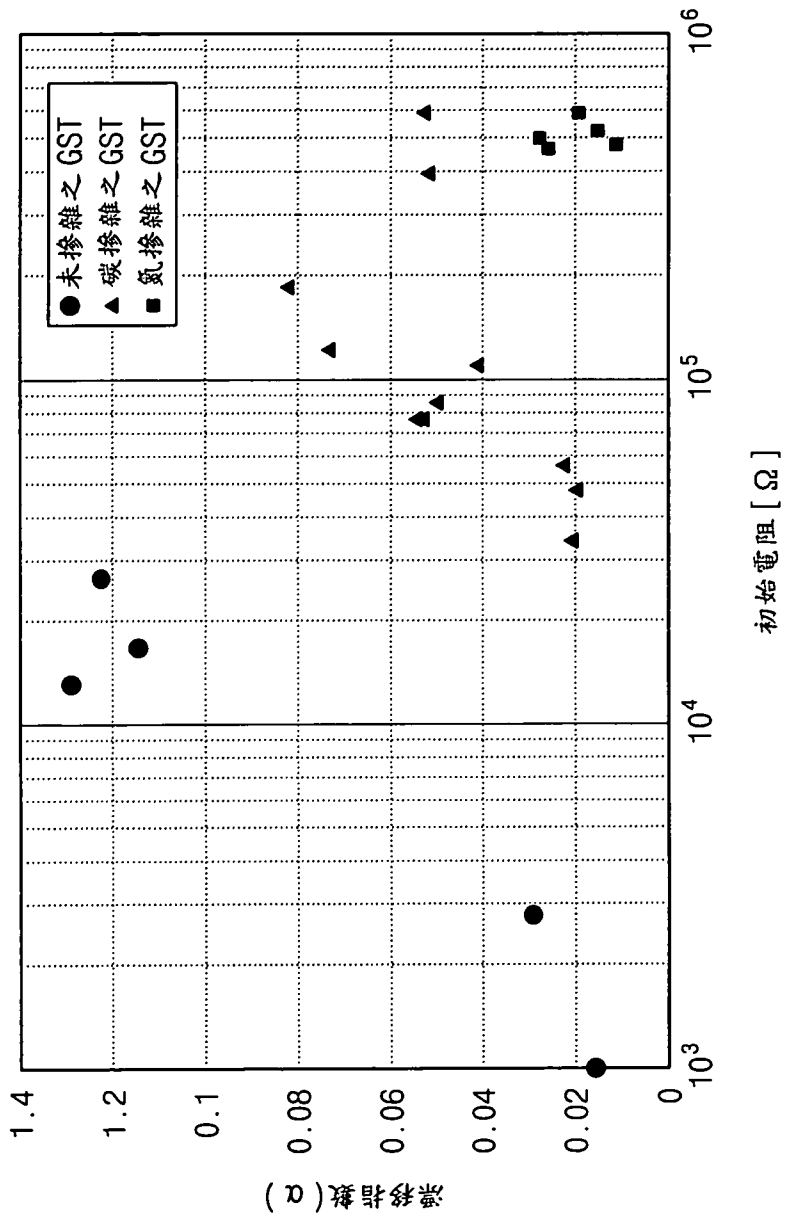


圖6



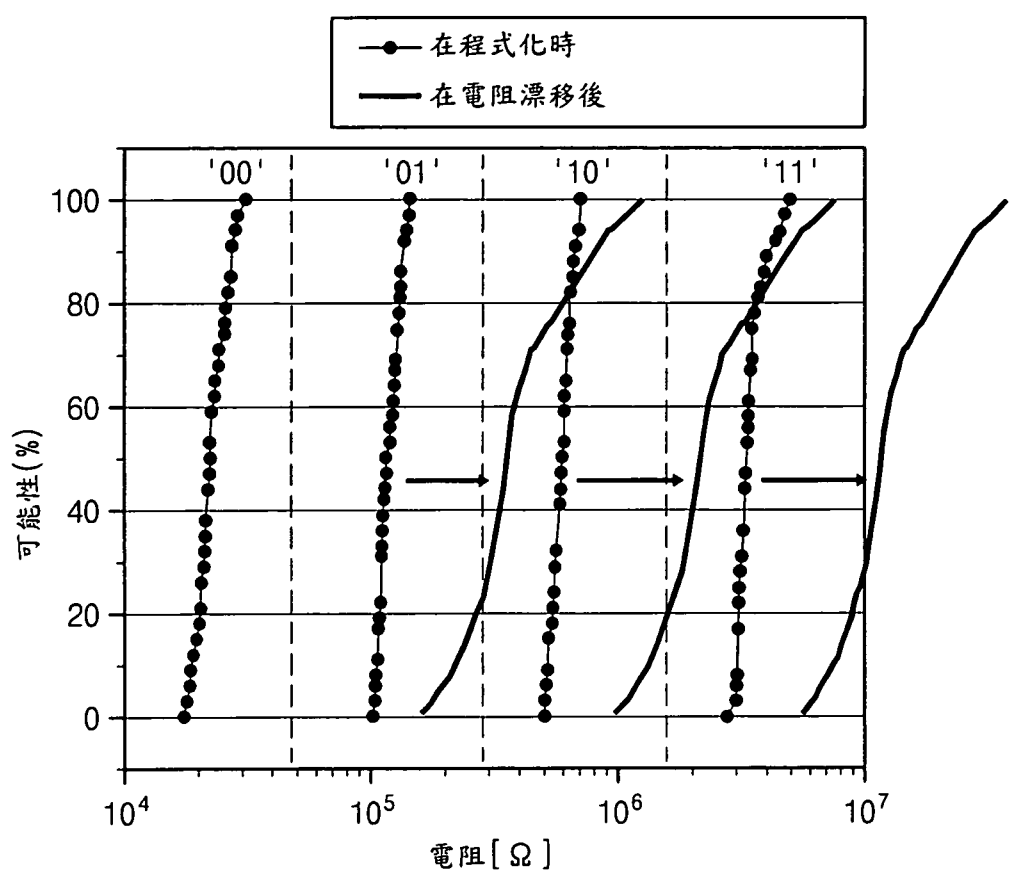


圖8A

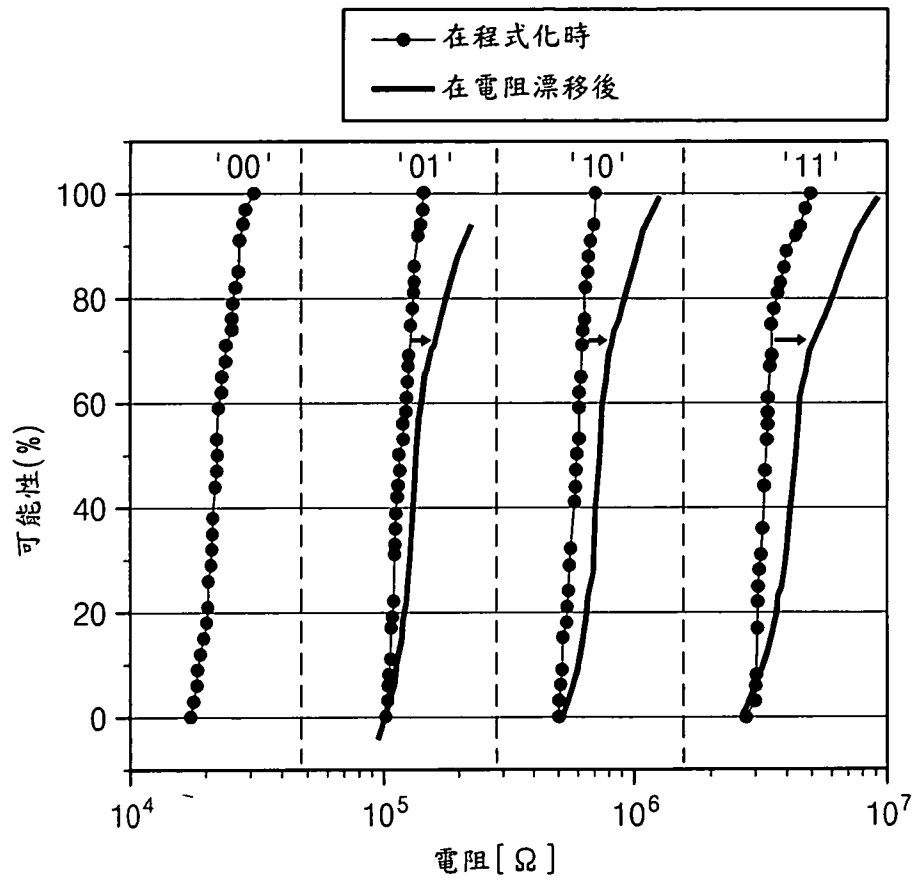


圖 8B

200

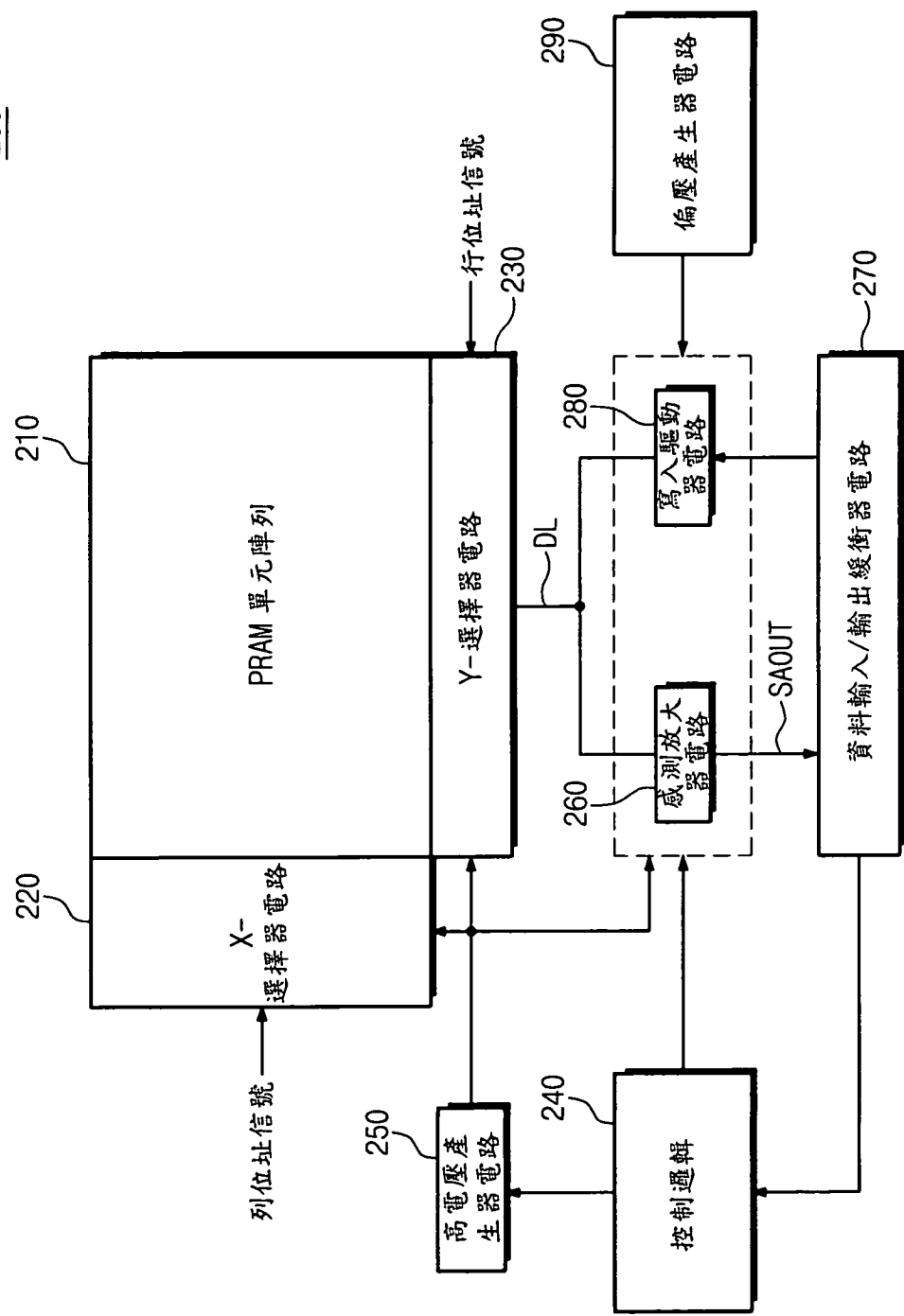


圖9

100

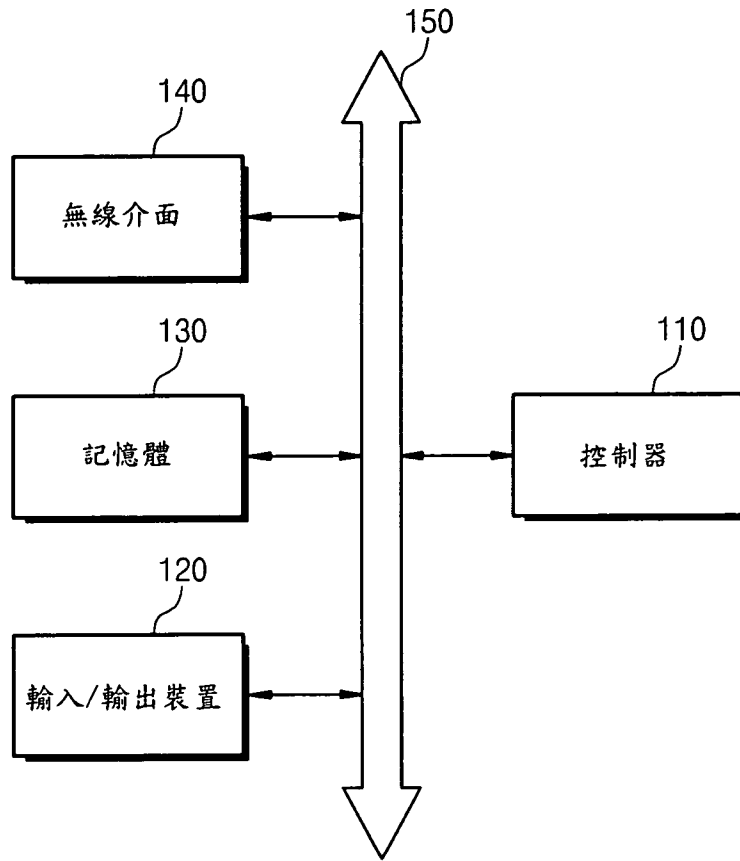


圖 10