



(12) 发明专利

(10) 授权公告号 CN 101335048 B

(45) 授权公告日 2010.09.22

(21) 申请号 200710193464.9

US 6768673 B1, 2004.07.27, 全文.

(22) 申请日 2007.11.27

CN 1930632 A, 2007.03.14, 全文.

(30) 优先权数据

CN 1777959 A, 2006.05.24, 全文.

11/771,310 2007.06.29 US

US 6714457 B1, 2004.03.30, 全文.

(73) 专利权人 旺宏电子股份有限公司

审查员 张岩

地址 中国台湾新竹科学工业园区力行路 16
号

(72) 发明人 洪俊雄 何文乔 张坤龙

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 周国城

(51) Int. Cl.

G11C 16/10 (2006.01)

(56) 对比文件

US 6529412 B1, 2003.03.04, 全文.

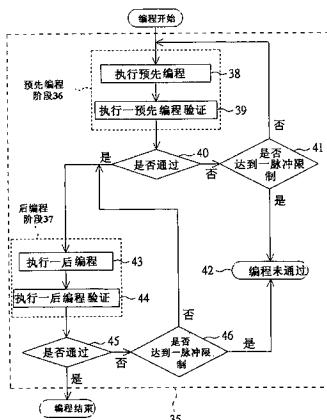
权利要求书 3 页 说明书 11 页 附图 10 页

(54) 发明名称

多阶存储单元非易失性存储器的双重编程方
法

(57) 摘要

本发明公开了一种用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法。电荷捕捉存储器包括多个电荷捕捉存储单元。此双重编程方法以两阶段进行，一预先编程阶段及一后编程阶段，并且适用于电荷捕捉存储器的一字线（一字线中的一区段（segment）、一字线中的一页、一编程单元或一存储单元）。编程单元可通过不同种类或不同范围的输入数据加以定义，例如一个编程单元可定义为单一字线中的一部分（如一页、一群组或一区段）。其中每一个群组均选择用来与其它同一字线中的群组依序或平行地进行预先编程（pre-program）或预先编程验证（pre-program-verify）。



1. 一种用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，该电荷捕捉存储器具有一电荷捕捉存储单元阵列，该阵列连接于多条字线，各条字线连接于多个电荷捕捉存储单元，各个电荷捕捉存储单元具有一第一电荷捕捉点及一第二电荷捕捉点，其特征在于，该方法包括：

接收一数据；

在一预先编程阶段期间，沿一条字线并对应该数据的该多个电荷捕捉存储单元进行一预先编程操作以及一预先编程验证操作，该预先编程操作是沿该字线编程该多个电荷捕捉存储单元至一预先编程电平，该预先编程电平小于一预定编程电压电平，该预先编程验证操作是沿该字线验证该多个电荷捕捉存储单元中的电荷捕捉存储单元至一预先编程验证电平，该预先编程验证电平小于一预定编程验证电平；以及

在一后编程阶段期间，沿该字线进行该多个电荷捕捉存储单元的一后编程操作以及一后编程验证操作，该后编程操作是沿该字线编程该多个电荷捕捉存储单元至一后编程电平，该后编程电平与该预定编程电压电平相等，该后编程验证操作沿该字线验证该多个电荷捕捉存储单元至一后编程验证电平，该后编程验证电平与该预定编程验证电平相等。

2. 根据权利要求 1 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，其特征在于，在该预先编程阶段期间的该预先编程及该预先编程验证操作或在该后编程阶段期间的该后编程及该后编程验证操作是依照一连续顺序进行的，包括：

沿该字线编程该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第一编程电平；

沿该字线验证该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第一编程验证电平；

沿该字线编程该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第二编程电平；

沿该字线验证该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第二编程验证电平；

沿该字线编程该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第三编程电平；及

沿该字线验证该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第三编程验证电平。

3. 根据权利要求 1 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，其特征在于，在该预先编程阶段期间的该预先编程操作及该预先编程验证操作或在该后编程阶段期间的该后编程及该后编程验证操作是平行进行的，包括：

同时沿该字线编程该多个电荷捕捉存储单元至一第一编程电平、一第二编程电平及一第三编程电平；及

同时沿该字线验证该多个电荷捕捉存储单元至一第一编程验证电平、一第二编程验证电平及一第三编程验证电平。

4. 根据权利要求 2 或 3 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，其特征在于，该第一编程验证电平低于该第二编程验证电平，且该第二编程验证电平低于该第三编程验证电平。

5. 根据权利要求 2 或 3 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，其特征在于，该第一编程验证电平高于该第二编程验证电平，且该第二编程验证电平高于该第三编程验证电平。

6. 一种用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，该电荷捕捉存储器具有一电荷捕捉存储单元阵列，该阵列连接于多条字线，各该字线包括多个区段，各该电荷捕捉存储单元具有一第一电荷捕捉点及一第二电荷捕捉点，其特征在于，该方法包括：

接收一数据；以及

在一条字线的第一区段中对应该数据编程多个电荷捕捉存储单元，包括：

在一预先编程阶段期间，在该字线的该第一区段中进行该多个电荷捕捉存储单元的一预先编程操作及一预先编程验证操作，该预先编程验证操作是验证该多个电荷捕捉存储单元至一第一编程验证电平；及

在一后编程阶段期间，在该字线的该第一区段中进行该多个电荷捕捉存储单元的一后编程操作及一后编程验证操作，该后编程验证操作是验证该多个电荷捕捉存储单元至一预定编程验证电平；

其中，该第一编程验证电平低于该预定编程验证电平。

7. 根据权利要求 6 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，其特征在于，在该预先编程阶段期间的该预先编程操作及该预先编程验证操作或该后编程阶段期间的该后编程操作及该后编程验证操作包括：

在该字线的该第一区段中编程该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第一编程电平；

在该字线的该第一区段中验证该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第一编程验证电平；

在该字线的该第一区段中编程该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第二编程电平；

在该字线的该第一区段中验证该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第二编程验证电平；

在该字线的该第一区段中编程该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第三编程电平；及

在该字线的该第一区段中验证该多个电荷捕捉存储单元中的至少一个电荷捕捉存储单元至一第三编程验证电平。

8. 根据权利要求 6 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法，其特征在于，在该预先编程阶段期间的该预先编程操作及该预先编程验证操作或该后编程阶段期间的该后编程操作及该后编程验证操作是平行进行的，包括：

同时在该字线的该第一区段中编程该些电荷捕捉存储单元至一第一编程电平、一第二编程电平及一第三编程电平；及

同时在该字线的该第一区段中验证该些电荷捕捉存储单元至一第一编程验证电平、一第二编程验证电平及一第三编程验证电平。

9. 根据权利要求 7 或 8 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存

储单元的方法,其特征在于,该第一编程验证电平低于该第二编程验证电平,且该第二编程验证电平低于该第三编程验证电平。

10. 根据权利要求 7 或 8 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法,其特征在于,该第一编程验证电平高于该第二编程验证电平,且该第二编程验证电平高于该第三编程验证电平。

11. 根据权利要求 6 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法,其特征在于,该方法更包括:

在该字线的第一第二区段中编程多个电荷捕捉存储单元。

12. 根据权利要求 11 所述的用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法,其特征在于,在该字线的该第二区段中的该多个电荷捕捉存储单元的编程包括:

在该预先编程阶段期间,在该字线的该第二区段中进行该多个电荷捕捉存储单元的该预先编程操作及该预先编程验证操作,该预先编程验证操作是验证该多个电荷捕捉存储单元至该第一编程验证电平;及

在该后编程阶段期间,在该字线的该第二区段中进行该多个电荷捕捉存储单元的该后编程操作及该后编程验证操作,该后编程验证操作是验证该多个电荷捕捉存储单元至该预定编程验证电平;

其中,该第一编程验证电平低于该预定编程验证电平。

多阶存储单元非易失性存储器的双重编程方法

技术领域

[0001] 本发明涉及一种电子数据储存装置,且特别是有关于一种非易失性半导体存储装置以及编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法。

背景技术

[0002] 电子可擦除可编程的非易失性存储器技术广泛地应用于各样现代化的应用中,其是以电荷储存结构为基础,常见的种类为电可擦除可编程只读存储器 (Electrically Erasable Programmable Read-Only-Memory, EEPROM) 以及闪存 (flash memory)。闪存中包括有以阵列方式设置的多个存储单元,各个存储单元可单独地进行编程或擦除。闪存中具有放大传感器 (sense amplifier),用以决定储存于一非易失性存储器中的一个或多个数据值。在一典型的感测策略中,利用一电流感应放大器将通过进行感测中的存储单元的电流与一参考电流进行比较。

[0003] EEPROM 以及闪存中应用一些不同的存储单元结构,其中以电荷捕捉介电层 (charge trapping dielectric layer) 为基础的存储单元结构,由于具有制作工艺尺寸等级的弹性以及制作工艺的简易性,因此当集成电路的尺寸逐渐缩小的同时,更可凸显出此种存储单元结构的优点。举例来说,以电荷捕捉介电层为基础的存储单元结构包括业界一般称为 SONOS 及 PHINES 的结构,此种类型的存储单元利用例如是氮化硅 (silicon nitride) 的一电荷捕捉介电层来捕捉电荷,藉以储存数据。当带负电的电荷陷入电荷捕捉介电层时,存储单元的阈值电压随之增加;而当电荷自电荷捕捉介电层移去时,存储单元的阈值电压则随之降低。

[0004] 为了避免电荷损失,电荷捕捉存储装置一般具有相对较厚的底氧化层 (bottom oxide),例如大于 3 纳米,典型的厚度大约介于 5 至 9 纳米之间。存储单元的擦除动作可利用带对带隧穿引发热空穴注入 (Band-To-BandTunneling induced Hot Hole injection, BTBT HH) 取代直接隧穿法 (directtunneling) 来进行。然而,热空穴注入会导致氧化层损伤,造成高临界存储单元 (high threshold cell) 中电荷损失 (charge loss) 而低临界存储单元 (low threshold cell) 中电荷增益 (charge gain) 的现象。此外,更由于电荷捕捉结构中电荷擦除难度的累积 (hard-to-erase accumulation),存储单元的擦除时间会随着编程及擦除操作循环次数增加而增加。此种累积现象起因于空穴注入点以及电荷注入点并非完全相互符合,经过擦除脉冲 (erase impulse) 的后仍有部分电荷残留所致。再者,由于制作工艺中的变异因素 (如沟道长度变异),使得电荷捕捉式快闪存储装置进行区段擦除时,每个存储单元的擦除速率均不相同。此种擦除速率的差异会导致擦除状态的阈值电压 (V_t) 的分布范围增加,使得一部分的存储单元变得难以擦除,而另一部分的存储单元反而受到过度擦除。如此一来,经过多次编程及擦除操作循环后,目标阈值电压窗即闭合,使得存储装置呈现出较差的耐受性。随着技术进步使得尺寸等级不断缩小,更凸显出前述现象的严重性。

[0005] 传统上,浮置栅极装置 (floating gate device) 是储存一位 (bit) 的电荷于一

导电浮置栅极中，而电荷捕捉存储单元的出现，提供快闪存储单元储存两位数据于氧化物 - 氮化物 - 氧化物 (Oxide-Nitride-Oxide, ONO) 介电层中的能力。在一典型的电荷捕捉存储单元结构中，一氮化物层设置于一上氧化物层及一下氧化物层之间，用以作为捕捉材料。在包含一氮化物层的 ONO 结构中，电荷可储存于电荷捕捉存储单元的左侧或右侧。然左侧与右侧位间的交互影响，亦即第二位效应 (second bit effect)，限制了编程状态及擦除状态之间的阈值电压窗值。第二位效应因此影响了操作窗 (operation window) 的大小，甚至可能进一步阻止了电荷捕捉存储单元中储存位数的提升。

[0006] 有鉴于此，目前存在一种有关于编程多阶存储单元 (multi-level cell) 的方法的需求，此方法可降低或消除一存储器阵列的一或多个存储单元在较低阈值电压时的高边界偏移 (boundary shift) 现象。

发明内容

[0007] 有鉴于此，本发明的主要目的在于提供一种用以双重编程电荷捕捉存储器的多位存储单元中多阶存储单元的方法。此电荷捕捉存储器包括多个电荷捕捉存储单元。此双重编程方法是以两阶段进行，一预先编程阶段及一后编程阶段，并且应用于电荷捕捉存储器的一字线（一字线中的一区段、一字线中的一页、一编程单元或一存储单元）。编程单元可通过不同种类或不同范围的输入数据加以定义，例如一编程单元可定义为单一字线中的一部分（如一页、一群组或一区段）。其中每一个群组均选择用来与其它同一字线中的群组依序或平行地进行预先编程 (pre-program) 或预先编程验证 (pre-program-verify)。

[0008] 在预先编程阶段期间，预先编程操作及预先编程验证操作应用于一选定长度，如一字线或一页单元 (page unit)。其中页单元是编程至一低预先编程电平，并具有一低预先编程验证电平。预先编程操作以及预先编程验证操作在一电荷捕捉存储器中相邻的电荷捕捉点之间产生一位状态。电荷捕捉存储器中每一电荷捕捉存储单元具有用以储存一个或多个位的第一电荷捕捉点以及一第二电荷捕捉点。

[0009] 在后编程阶段期间，后编程操作及后编程验证操作是应用于字线或页单元，使得编程单元被编程至一最终 (一预定) 后编程电平以及一最终 (或一预定) 后编程验证电平。在后编程阶段期间，通过相邻位状态的确认，可有效地抑制不良的互补位效应 (complementary bit effect) 及阵列效应。

[0010] 根据本发明的第一实施例，预先编程操作及预先编程验证操作是以一连续方式应用于一完整的字线。在一多位存储单元电荷捕捉存储器的多阶存储单元中，一电荷捕捉存储单元例如是包括四个位或四个电压电平，如一零编程电压电平、一第一临界电平、一第二电压临界电平以及一第三电压临界电平。一第一电平预先编程以及一第一电平预先编程验证是应用于此选定的字线，紧接着将一第二电平预先编程及一第二电平预先编程验证应用于此选定的字线，而后将一第三电平预先编程及一第三电平预先编程验证应用于此选定的字线。后编程及后编程验证也以类似的连续方式应用于一完整的字线。

[0011] 根据本发明的第二实施例，预先编程操作及预先编程验证操作是以一连续方式应用于一页单元。此页单元的长度少于一完整的字线。当完成一轮预先编程操作及预先编程验证操作之后，核对与此页单元关联的一字线，以判断整条字线是否已接受预先编程操作及预先编程验证操作。若该选定的字线中仍余留额外的电荷捕捉存储单元，则此方法是重

复进行额外的预先编程及预先编程验证循环。

[0012] 根据本发明的第三实施例，预先编程操作及预先编程确认操作是依照由一第一编程电压至一第二编程电压再到一第三编程电压的反向进行。此操作不依照由一低电压电平编程至一高电压电平的顺序进行，取而代之的由一高电压电平进行至一低电压电平，即由一第三预先编程电压至一第二预先编程电压再到一第一预先编程电压。

[0013] 根据本发明的第四实施例，预先编程操作及预先编程验证操作是同步（或平行地）应用于一完整的字线，或一字线中的多个页单元。其中，此方法包含一第一电平编程、一第二电平编程及一第三电平编程的平行应用。此三个预先编程电平的同步编程需要三种偏压状况，每一偏压状况对应于一种特定的预先编程电压电平。在编程验证操作期间，此三种编程验证电平同时被读取。

[0014] 整体而言，本发明提出一种用以双重编程一电荷捕捉存储器的多位存储单元中多阶存储单元的方法。电荷捕捉存储器具有一电荷捕捉存储单元阵列，此阵列连接于多条字线，各条字线连接于多个电荷捕捉存储单元，各电荷捕捉存储单元具有一第一电荷捕捉点及一第二电荷捕捉点。此方法包括：接收一数据模式，此数据模式包括一连串的多个编程电平；在一第一编程阶段期间，沿一条字线并对应数据模式的一连串的编程电平对此些电荷捕捉存储单元进行一第一编程操作以及一第一编程验证操作，以将此些电荷捕捉存储单元操作至一低数据模式，第一编程操作是沿着字线编程此些电荷捕捉存储单元至一第一电压编程电平，此第一电压编程电平小于一预定编程电压电平，而此第一编程验证操作是沿着字线验证此些电荷捕捉存储单元中的电荷捕捉存储单元至一第一电压验证电平，此第一电压验证电平小于一预定编程验证电平；以及，在一第二编程阶段期间，沿着字线进行此些电荷捕捉存储单元的一第二编程操作及一第二编程验证操作，第二编程操作是沿着字线编程此些电荷捕捉存储单元至一第二电压编程电平，此第二电压编程电平大约（或实质上）相等于预定编程电压电平，第二编程验证操作沿着字线验证此些电荷捕捉存储单元至一第二电压验证电平，此第二电压验证电平大约相等于（或不少于）预定编程验证电平。

[0015] 依照本发明较佳实施例的方法，有利地提供了多位存储单元电荷捕捉存储器中多阶存储单元的编程及编程验证技术，其可减低或抑制第二位效应及阵列效应。

[0016] 本发明的结构及方法特举详细的描述揭露于下。此处所述的内容并非用以限定本发明，本发明的保护范围当以权利要求书所界定的范围为准。为让本发明的上述内容、特征、方面及优点能更明显易懂，下文特举较佳的实施例，并配合所附图式，作详细说明如下。

附图说明

[0017] 图 1 绘示依照本发明一实施例的一电荷捕捉存储器的一电荷捕捉存储单元中多位存储单元的制作工艺示意图；

[0018] 图 2 绘示依照本发明一实施例的第一电荷捕捉点及第二电荷捕捉点之间一互补位干扰或一第二位效应的示意图；

[0019] 图 3 绘示依照本发明一实施例的一虚地阵列存储器结构中电荷捕捉存储单元的一阵列效应或一侧漏效应的等效电路图；

[0020] 图 4 绘示依照本发明一实施例的藉由分离阈值电压电平的电性范围分配以将总位数由两位增加至四位的一多位存储单元的一多阶存储单元的示意图；

[0021] 图 5 绘示依照本发明一实施例的具有一预先编程阶段及一后编程阶段的双重编程的方法的流程图；

[0022] 图 6 绘示依照本发明第一实施例的用以进行依照本发明一实施例的电荷捕捉存储单元的编程及编程验证操作的预先编程阶段的流程图；

[0023] 图 7 绘示依照本发明第二实施例的用以进行依照本发明一实施例的电荷捕捉存储单元的编程及编程验证操作的预先编程阶段的流程图；

[0024] 图 8 绘示依照本发明第三实施例的平行进行依照本发明一实施例的电荷捕捉存储单元的预先编程及预先编程验证操作的流程图；

[0025] 图 9 绘示依照本发明一实施例的包括多个电荷捕捉存储单元及多个字线的一存储阵列的等效电路图；

[0026] 图 10 绘示依照本发明一实施例的具有预先编程及后编程操作的双重编程方法的波形图；

[0027] 图 11A ~ 11D 绘示依照本发明一实施例的预先编程及后编程阶段以及产生一低使用者模式的示例波形图；以及

[0028] 图 12A ~ 12B 绘示依照本发明一实施例的预先编程验证电压电平与后编程验证电压电平相互关系的示例波形图。

[0029] 【主要元件符号说明】

[0030] 10 : 电荷捕捉存储单元

[0031] 11 : 第一介电层

[0032] 12 : 电荷捕捉层

[0033] 13 : 第二介电层

[0034] 14 : 第一电荷捕捉点

[0035] 15 : 第二电荷捕捉点

[0036] 16、17 : 位线 n+ 掺杂区

[0037] 19 : 沟道

[0038] 20 : 多晶栅极

[0039] 21 : 低阈值电压区域

[0040] 22 : 高阈值电压区域

[0041] 23 : 低临界区域

[0042] 24 : 阈值电压变化

[0043] 25 : 存储结构

[0044] 26 : 存储单元 A

[0045] 27 : 存储单元 B

[0046] 28 : 存储单元电流

[0047] 29 : 感应电流

[0048] 30 : 漏电流

[0049] 31 : 第一编程电平

[0050] 32 : 第二编程电平

[0051] 33 : 第三编程电平

- [0052] 34 :第四编程电平
- [0053] 69 :存储阵列
- [0054] 70 :字线
- [0055] 71 :零电平
- [0056] 72 :第一电压临界电平
- [0057] 73 :第二电压临界电平
- [0058] 74 :第三电压临界电平
- [0059] 75 :第一编程验证电平
- [0060] 76 :第二编程验证电平
- [0061] 77 :第三编程验证电平
- [0062] 78 :第一最终编程验证电平
- [0063] 79 :第二最终编程验证电平
- [0064] 80 :第三最终编程验证电平
- [0065] 84、85、86、87、88、89 :线条
- [0066] 90、92 :波形分配
- [0067] 91、93 :较高的一侧
- [0068] 94 :第一预先编程验证电压电平
- [0069] 95 :第一后编程验证电压电平
- [0070] 97 :位 A
- [0071] 98 :位 C
- [0072] 99 :位 D

具体实施方式

[0073] 以下提出了依照本发的结构以及方法的较佳实施例，辅以图 1 ~ 图 10 做详细说明如下。此处所提出的特定实施例并非用以限制本发明，在不脱离本发明的精神和范围的前提下，本发明亦可应用其它特征、元件、方法及实施态样作为实施方式。此外，不同实施例中相同的元件是沿用相同的元件标号。

[0074] 图 1 绘示一电荷捕捉存储器的一电荷捕捉存储单元 10 中多位存储单元的制作工艺示意图。电荷捕捉存储单元 10 包括一第一介电层 11、一电荷捕捉层 12 以及一第二介电层 13 的一多阶电荷捕捉结构。可应用于第一及第二介电层 11 及 13 的材料例如是一氧化物材料。电荷捕捉层 12 的材料例如是氮化硅 (silicon nitride)。在本实施例中，电荷捕捉存储单元 10 包括两电荷捕捉点 14 及 15，其中第一电荷捕捉点 14 提供一第一位置用以储存一第一位，第二电荷捕捉点 15 提供一第二位置用以储存一第二位。

[0075] 电荷捕捉存储单元 10 中多位存储单元的选用引发两种效应，并且可应用于一虚地阵列 (virtual ground array) 中。电荷捕捉存储单元 10 提供储存一第一位于第一电荷捕捉点 14 以及储存一第二位于第二电荷捕捉点 15 的能力。第一种效应为一第二位效应 (second bit effect) 或一互补效应 (complementary effect)。由于针对一电荷捕捉点的位的编程操作会影响到另一电荷捕捉点的另一位，因此当这些电荷捕捉点 14 及 15 的一者经过编程后，位于另一电荷捕捉点的位 (即未被编程的位) 便会受到影响。举例来说，若选

择以位于第一电荷捕捉点 14 的第一位进行编程,此编程操作会影响位于第二电荷捕捉点 15 的第二位的一电压,使其微幅上升。若选择以位于第二电荷捕捉点 15 的第二位进行编程,则第一位会受到第二位的编程操作影响,而升高其电压。

[0076] 作用于电荷捕捉存储单元 10 的第二种效应,则为一阵列效应 (array effect) 或一侧漏效应 (side leakage effect)。关于阵列效应的原理,将辅以图 3 详细说明于后。

[0077] 电荷捕捉存储单元结构 10 具有位于 p 型基板上的一位线 n+ 掺杂区 16 以及一位线 n+ 掺杂区 17。一沟道 19 由位线 n+ 掺杂区 16 的右侧边缘延伸至位线 n+ 掺杂区 17 的左侧边缘。一硅化钨 (tungsten silicide, WSi₂) 及多晶栅极 (poly gate) 20 覆盖于第一介电层 11 上。一位线氧化物 9 设置于位线 n+ 掺杂区 17 及硅化钨及多晶栅极 20 之间。

[0078] 图 2 绘示电荷捕捉存储单元 10 的第一电荷捕捉点 14 及第二电荷捕捉点 15 之间一互补位干扰或一第二位效应的示意图。由于受到电荷捕捉存储单元 10 中两位 (也就是位于第一电荷捕捉点 14 中的第一位以及位于第二电荷捕捉点 15 中的第二位) 交互作用的影响,未编程的捕捉点的阈值电压会受到互补位效应的影响。电荷捕捉存储单元 10 的一阈值电压窗具有一低阈值电压区域 21 以及一高阈值电压区域 22。起初,第一电荷捕捉点 14 的第一位及第二电荷捕捉点 15 的第二位具有位于低阈值电压区域 21 的一电压值,如区域 L1 所示。当第二电荷捕捉点 15 的第二位编程至一高电压临界电平 (如高电压临界区域 22 所示) 时,第一电荷捕捉点 14 的第一位亦微幅提升至另一低临界区域 23,如区域 L2 所示。虽然此处第一电荷捕捉点 14 的第一位未经过编程,但当编程第二电荷捕捉点 15 的第二位时,第一位遭受到第二位效应 (或常称之为互补位干扰) 的影响,使其阈值电压升高。第一电荷捕捉点 14 的第一位由 L1 区域 21 至 L2 区域 23 的阈值电压变化 dVt24,即为所谓的互补位干扰或一第二位效应。第二位效应的结果相似于一互补低电压临界 (或擦除 Vt) 位的编程作用。

[0079] 图 3 绘示于一虚地阵列 (virtual ground array) 存储结构 25 中的电荷捕捉存储单元的一阵列效应或一侧漏效应的等效电路图。阵列效应起因于一环境差异 (environment differential),并且导致阈值电压的偏移。此环境差异系发生于一编程验证阶段及一读取阶段期间。在这个例子中,假设一第一电荷捕捉点 (或一存储单元 A26) 已经过编程,而后执行一编程验证操,用以判断存储单元 A26 中第一电荷捕捉点的编程电压是否够高。欲执行一编程验证操作时,必须进行一读取操作。在电荷捕捉存储单元的读取操作 (亦称之为编程验证操作) 期间,由于漏电流 30 (I_leak) 流向一第二电荷捕捉点 27 (或一存储单元 B),使得一存储单元电流 28 (I_cell) 的大小可能与一感应电流 29 (I_sense) 不同。感应电流 29 作为一参数,用以指出有多大的电流提供予电荷捕捉存储单元。感应电流 29 很有可能为一个小于存储单元电流 28 的值。I_cell 28、I_sense 29 及 I_leak 30 的关系可以一数学式表示如下:

[0080] $I_{sense} = I_{cell} + I_{leak}$

[0081] 由于朝向存储单元 B27 的电流泄漏,存储单元 A26 的电压值可以相当于一高电压的状态进行读取。接下来提供一程序脉冲 (program pulse) 予存储单元 A26,使得存储单元 A26 具有够高的阈值电压以通过一编程验证操作。

[0082] 当存储单元 B27 进行一编程操作时,存储单元 A26 的读数显示出 I_cell 28 具有低于存储单元 A26 在编程验证阶段时的电流。当存储单元 B27 经过编程之后,存储单元 A26

具有一低电压临界值。存储单元 B27 的编程导致漏电流 (I_{leak}) 30 受到抑制,使得感应电流 29 相等于存储单元电流 28,即 $I_{sense} = I_{cell}$ 。

[0083] 图 4 绘示一多位存储单元(亦称为 N-Bit)的多阶存储单元中,利用分散阈值电压电平的方式改变电性范围配置,将总位数由两个位增加至四个位,以此方式增加存储单元区域范围内电荷捕捉存储装置 10 的存储密度。在一 MLC 的实际应用中,一第一编程电平 (level0) 31、一第二编程电平 (level1) 32、一第三编程电平 (level2) 33 及一第四编程电平 (level3) 34 中的多个编程电平(或阈值电压电平),分别表示二位格式的 11、01、10 及 00。在另一 MLC 的实际应用中,此些编程电压电平分别表示二位格式的 11、01、00 及 10。在又一 MLC 的实际应用中,此些编程电压电平分别表示二位格式的 11、10、00 及 01。在本发明所属技术领域中具有通常知识者可了解,此些阈值电压的定义并非仅限于上述三个应用例,其余不脱离此处示例性实施方式的定义均可应于此。

[0084] 电荷捕捉存储单元中 10 每一电荷捕捉点 14 或 15 包括两阈值电压 V_t 电平,使得电荷捕捉存储单元 10 可有效地包含四位的信息,以在一多位存储单元的电荷捕捉存储单元中建立一多阶存储单元。其中两位位于第一电荷捕捉点 14,另外两位则位于第二电荷捕捉点 15,例如第一电荷捕捉点 14 储存一第一位及一第三位,第二电荷捕捉点 15 储存一第二位及一第四位。在本发明所属技术领域中具有通常知识者应可了解,电荷捕捉存储单元 10 中每一电荷捕捉点 14 或 15 可应用更多的阈值电压 V_t 电平以产生更多数目的位,例如 8 个位、16 个位或更多的位数。

[0085] 当处理一互补位效应或一阵列效应时,需要更紧密的电压临界值分布以将电压电平扩张至四个电压电平,其系描述于相关于图 5 的方法中。图 5 绘示利用一预先编程阶段 36 及一后编程阶段 37 进行双重编程的一方法 35 程序的流程图。在预先编程阶段 36 期间,电荷捕捉存储单元 10 经过一模式的一编程操作 38 以及一编程验证操作 39,并且操作至多个低编程验证电平,例如一第一电平编程验证 PV1A、一第二电平编程验证 PV2A 及一第三电平编程验证 PV3A。此处代号 A 表示在预先编程阶段期间进行的编程验证操作。在步骤 40 中,电荷捕捉存储单元 10 系进行测试以判断一编程位是否通过一预定阈值电压电平。若电荷捕捉存储单元 10 未通过编程验证电平,则接着于步骤 41 中判断是否达到一脉冲限制,此脉冲限制为一数字,表示最大重试次数。若判断未达到此脉冲限制,则方法 35 回到步骤 38 以便进行另一预先编程操作。若于步骤 42 中达到脉冲限制,电荷捕捉存储单元 10 则判断为未通过编程验证电平。

[0086] 当电荷捕捉存储单元 10 通过预先编程验证操作之后,接着进行一第二编程操作,称之为一后编程阶段 37。在后编程操作 37 期间,电荷捕捉存储单元 10 经过一模式的一编程操作 43 及一编程验证操作 44,此模式适用于多个最终编程验证电平,例如一第一电平编程验证 PV1B、一第二电平编程验证 PV2B 及一第三电平编程验证 PV3B。此处代号 B 表示在一后编程阶段期间所进行的设定至最终电平的编程验证操作。在步骤 45 中,在一页或一字线中的电荷捕捉存储单元进行测试以判断一编程位是否通过一预定阈值电压电平。若电荷捕捉存储单元 10 未通过编程验证电平,则接着在步骤 46 中判断是否达到一脉冲限制,此脉冲限制为一数字,表示最大重试次数。若判断未达到此脉冲限制,则方法 35 回到步骤 38 以便进行另一预先编程操作。若在步骤 42 中已经达到脉冲限制,电荷捕捉存储单元 10 则判断为未通过编程验证电平。

[0087] 图 6 绘示依照本发明第一实施例中用以进行电荷捕捉存储单元 10 的编程的预先编程阶段 36 的流程图。在本实施例中具有三种不同的编程验证电平,一第一编程及编程验证电平 47、一第二编程及编程验证电平 48 以及一第三编程及编程验证电平 49。虽然在本实施例中是以一连续的编程过程进行说明,本实施例的方法亦可延伸至一平行的编程过程。在步骤 50 中,使用者数据被输入,以设定特定的电荷捕捉存储单元,或是由一页单元或一整条字线所定义的一范围的电荷捕捉存储单元。虽然一字线中的一页单元可选用来作为进行编程及编程验证操作的范围,以下是以一字线来进行说明,以简化叙述。此数据可能需要由此电荷捕捉存储单元中所选用字线中的一第一电平编程、一第二电平编程或一第三电平编程的一些组合而形成,例如一字线的数据典型地包括大约 16 页,其中每一页需要两千个字节的数据。程序流由第一编程及第一编程验证电平 47 开始,接着至第二编程及编程验证电平 48,然后是第三编程及编程验证电平 49。在本实施例中,第二编程及编程验证电平高于第一编程及编程验证电平,第三编程及编程验证电平高于第二编程及编程验证电平。

[0088] 在预先编程阶段 36 的第一电平编程及编程验证电平 47 期间,电荷捕捉存储单元中选用的字线在步骤 51 中施以一第一电平编程电平 (first level program level) (LV1)。在步骤 52 中,选用字线中的电荷捕捉存储单元经过一第一电平编程验证操作 (first level program-verify operation) (PV1A)。第一电平编程验证操作产生的信息,是在步骤 53 中储存至并更新至一存储集成电路中,如一静态随机存取存储器 (SRAM)。此信息是指出哪些单一或多个电荷捕捉存储单元已通过第一电平编程验证操作,而哪些单一或多个电荷捕捉存储单元未通过。位于选用的字线中的电荷捕捉存储单元接着在步骤 54 中进行测试,以判断电荷捕捉存储单元的编程是否通过第一电平编程验证电平。当位于选用的字线的电荷捕捉存储单元通过第一编程及编程验证电平 47 后,位于此字线的电荷捕捉存储单元接着通过第二编程及编程验证电平 48。

[0089] 在预先编程阶段 36 的第二电平编程及编程验证电平 48 期间,选用的字线中的电荷捕捉存储单元是在步骤 55 中施以一第二电平编程电平 (second level program level) (LV2)。在步骤 56 中,选用字线中的电荷捕捉存储单元经过一第二电平编程及编程验证电平 (PV2A)。第二电平编程验证产生的信息是在步骤 57 中,在存储集成电路中进行更新。在此字线中的电荷捕捉存储单元接着于步骤 58 中进行测试,以判断电荷捕捉存储单元的编程是否通过第二编程验证电平。当此字线中的电荷捕捉存储单元通过第二编程及编程验证电平 48 后,位于此字线的电荷捕捉存储单元接着通过第三编程及编程验证电平 49。在预先编程阶段 36 的第三电平编程及编程验证电平 49 期间,选用的字线中的电荷捕捉存储单元是在步骤 59 中施以一第三电平编程电平 (third level program level) (LV3)。在步骤 60 中,选用字线中的电荷捕捉存储单元经过一第三电平编程及编程验证电平 (PV3A)。第三电平编程验证产生的信息是在步骤 61 中,在存储集成电路中进行更新。此字线中的电荷捕捉存储单元接着于步骤 62 中进行测试,以判断电荷捕捉存储单元的编程是否通过第三编程验证电平。

[0090] 图 7 绘示依照本发明第二实施例的用以编程电荷捕捉存储单元的预先编程阶段 36 的流程图。在本实施例中,如步骤 50 所示,使用者输入少于整个字线范围的一个值,例如一次一页,或称之为一页单元。由于一字线中具有多个页单元,因此经过第三编程及编程验证电平 59 之后,包括多个存储捕捉存储单元的存储器系进行核对,以判断整条字线是

否已被编程，并且判断是否已于步骤 63 中进行编程验证。若于选用的字线中仍余留额外的电荷捕捉存储单元，则进行额外的编程及编程验证循环。举例来说，假若一条字线储存一万六千字节的信息，且一个缓冲储存器 (buffer) 或一 SRAM 的大小仅为两千字节，此时编程程序一次仅可处理两千字节，总共需要进行此程序八次，以于两千字节的容量内处理完总共一万八千字节的信息。

[0091] 此编程程序是以由低电平（一第一电平）进行至高电平（一第二及第三电平）的方式来描述。然而在部分实施例中，此编程程序并不由低电平进行至高电平，其可由高电平（一第三电平）进行至低电平（一第二及第一电平）。在其它实施例中，第一电平编程及编程验证电平系可关联于选用的一字线中的一第一群组的电荷捕捉存储单元，第二电平编程及编程验证电平系可关联于选用的一字线中的一第二群组的电荷捕捉存储单元，而第三电平编程及编程验证电平系可关联于选用的一字线中的一第三群组的电荷捕捉存储单元。

[0092] 图 8 绘示依照一第三实施例的以平行方式执行多个电荷捕捉存储单元的预先编程及编程验证操作的流程图。此些电荷捕捉存储单元系位于同一条选用的字线，或位于此选用的字线中的一页单元中。在步骤 64 中，使用者数据系输入以设定特定的电荷捕捉存储单元，或是一范围的多个电荷捕捉存储单元，例如一字线范围的多个电荷捕捉存储单元。此数据可能需要由电荷捕捉存储单元 10 中的一第一电平编程、一第二电平编程或一第三电平编程的一些组合而形成。于步骤 65 中，一平行的预先编程操作系应用至电荷捕捉存储单元，以进行一第一电平编程 (LV1)、一第二电平编程 (LV2) 及一第三电平编程 (LV3) 的编程。此三预先编程电平的同步编程可能需要三种不同的偏压状况，每一偏压状况对应于一特定的预先编程电平。例如，一第一偏压状况应用于一第一电平编程、一第二偏压状况应用于一第二电平编程及一第三偏压状况应用于一第三电平编程。一编程验证操作亦在步骤 66 中平行执行。在预先编程验证操作期间，此三编程验证电平系同时被读取。例如二位值“01”、“01”或“10”被读取，并且与一第一编程验证电平 (PV1A)、一第二编程验证电平 (PV2A) 及一第三编程验证电平 (PV3A) 进行比较。由于三个编程验证电平均同步被存取，因此于某些实施例中感应放大器的数值会成为三倍。进行编程验证操作 66 之后，此编程验证操作产生的信息系如步骤 67 所示，在一 SRAM 中进行更新，以指出哪些单一或多个位已通过编程验证操作。在步骤 68 中，若电荷捕捉存储单元 10 未通过编程验证操作，则步骤 65 系重复执行，以再一次进行平行编程及编程验证操作。此外，紧接着一预先编程阶段，电性连接于一选用的字线的多个电荷捕捉存储单元系被编程至第一编程验证电平、第二编程验证电平及第三编程验证电平。

[0093] 后编程阶段 37 期间的后编程及后编程验证操作中，除了编程验证电平是以多个最终编程验证电平来定义之外，其系以相似于预先编程阶段 36 的方式进行。此些最终编程验证电平系以一第一最终编程验证电平 (PV1B)、一第二最终编程验证电平 (PV2B) 及一第三最终编程验证电平 (PV3B) 来表示。关于预先编程阶段 36 的操作步骤系已根据图 6、图 7 及图 8 做详细说明如上。将图 6、图 7 及图 8 中第一编程验证电平 (PV1A) 取代为第一最终编程验证电平 (PV1B)、将第二编程验证电平 (PV2A) 取代为第二最终编程验证电平 (PV2B) 并且将第三编程验证电平 (PV3A) 取代为第三最终编程验证电平 (PV3B) 的后，系可将图 6、图 7 及图 8 应用于后编程验证阶段 37。

[0094] 图 9 绘示依照本发明一实施例的包括多个电荷捕捉存储单元及多个字线的一存

储阵列 69 的等效电路图。在本实施例中，系选用字线 (WL0) 70 来进行编程及编程验证操作。此字线 70 系电性连接于多个电荷捕捉存储单元，例如一万六千或三万两千字节。于一示例中，一字线范围的多个电荷捕捉存储单元系为三万两仟字节。

[0095] 图 10 绘示具有预先编程及后编程操作的双重编程方法的代表波形图。电荷捕捉存储单元 10 具有四个电压电平，包括电荷捕捉存储单元 10 被重设或被擦除时的一零电平 (level0) 71、一第一电压临界电平 (level1) 72、一第二电压临界电平 (level2) 73 及一第三电压临界电平 (level3) 74。电荷捕捉存储单元 10 具有三个变动的高电压临界 V_t 电平，包括第一电压临界电平 72、第二电压临界电平 73 及第三电压临界电平 74。于本实施例中，第二电压临界电平 73 高于第一电压临界电平 72，第三电压临界电平 74 高于第二电压临界电平 73。

[0096] 预先编程阶段 36 期间系具有三个编程验证电平，分别是一第一编程验证电平 (PV1A) 75、一第二编程验证电平 (PV2A) 76 及一第三编程验证电平 (PV3A) 77。第一编程验证电平 75 系关联于第一电压电平 72，第二编程验证电平 76 系关联于第二电压电平 73，第三编程验证电平 77 系关联于第三电压电平 74。此三编程验证电平 75、76 及 77 均设定至低于最终电压电平的一电压电平。最终电压电平亦指一第一最终编程验证电平 (PV1B) 78、一第二最终编程验证电平 (PV2B) 79 及一第三最终编程验证电平 (PV3B) 80。预先编程阶段 36 的目的之一为沿着一字线方向产生一初步模式 (preliminary pattern)，其系提供互补位效应或一阵列效应的指针。此两效应系起因于一编程阶段及一读取阶段期间（特别是沿着一字线方向）环境上的差异。于某些实施例中，预先编程阶段 36 或后编程阶段 37 期间的一编程单元系为整个字线或字线整体 (entire word line or wholeword line)。于其它实施例中，预先编程阶段 36 或后编程阶段 37 期间的一编程单元系小于一条字线或字线整体 (whole word line)。在最终环境能够充分形成的条件下，亦即编程一相邻位的状态时，后编程阶段 37 期间的不良效应可被显著地抑制。

[0097] 图 11A ~ 11D 绘示代表预先编程及后编程阶段以及产生一低使用者模式 (lower-user-pattern) 的范例波形图。在预先编程阶段 36 期间，一连串的预先编程电压标值 (pre-program voltage target) 系由以后述的标号表示：第一预先编程验证电平 PV1A 75、第二预先编程验证电平 PV2A 76 及第三预先编程验证电平 PV3A 77。在后编程阶段 37 期间，一连串的后编程电压标值 (post-program voltage target) 系由后述的标号表示：第一后编程验证电平 PV1B 78、第二后编程验证电平 PV2B 79 及第三后编程验证电平 PV3B 80。第一后编程验证电平 PV1B 78 表示一最终第一后编程验证电平（如一线条 84 所示），其系高于第一预先编程验证电平 PV1A 75（如一线条 85 所示）。相似地是，第二后编程验证电平 PV2B 79 表示一最终第二后编程验证电平（如一线条 87 所示），其系高于第二后编程验证电平 PV2A 76（如一线条 86 所示）。第三后编程验证电平 PV3B 80 表示一最终第三后编程验证电平（如一线条 89 所示），其系高于第三预先编程验证电平 PV3A 77（如一线条 88 所示）。

[0098] 一模式的数据系由一来源提供，以编程一电荷捕捉存储器。此来源例如是一使用者或一计算机。以下系提供一实例作为范例说明。使用者系提供以下模式的数据：“电平 1、电平 3、电平 2、电平 2、电平 3...”。在一字线（或一字线的区段）上的相邻电荷捕捉存储单元的典型位状态，可藉由沿一字线方向编程电荷捕捉存储单元至低编程验证电平所形

成的状态来表示。其系产生如图 11D 所示的低使用者模式，此低使用者模式包括一连串的相应低编程电压电平：“电平 1’、电平 3’、电平 2’、电平 2’、电平 3’ …”，藉由低使用者模式可减缓对于电荷捕捉存储器的阵列效应及第二位效应。举例来说，在预先编程阶段 36 之后，字线模式系由第一预先编程验证电平 PV1A 75、第二预先编程验证电平 PV2A 76 及第三预先编程验证电平 PV3A 77 形成。此例中的一低使用者模式例如第 11D 图中所采用者。例如于后编程阶段 37 期间，经由感应电流 I_sense 29 来读取位 A 97。值得注意的是，此处电荷捕捉存储器中的读取操作系以一反向读取操作 (reverse read operation) 来进行。由于位 C 98 及位 D 99 系已被编程一高阈值电压 Vt (即电平 2')，此时漏电流 I_leak 30 系可受到抑制。电荷捕捉存储器中漏电流受到抑制，代表着阵列效应受到了抑制。此外，位 A 97 系由电平 1' 编程至电平 1 的最终目标电压，而非必须由一启始低阈值电压编程至电平 1 的最终阈值电压，因此阈值电压偏移降低，使得第二位效应亦受到抑制，导致相邻存储单元的阈值电压值变化减小。

[0099] 图 12A ~ 12B 绘示一预先编程验证电压电平与一后编程验证电压电平的相互关系的示例波形图。第一预先编程验证电压电平 PV1A 75 及第一后编程验证电压电平 PV1B 78 的差异系可依照一集成电路中硅材质的特性来选定。预先编程阶段 36 之后，第一预先编程验证电压电平 PV1A 75 表示一波形分配 (WD1) 90 的较低的一侧，而标号 H1 91 表示其较高的一侧，如图 12A 所示。在后编程阶段 37 的后，第一后编程验证电压电平 PV1B 78 表示一波形分配 (WD2) 92 的较低的一侧，而标号 H2 93 表示其较高的一侧，如图 12A 所示。在部分实施例中，第一预先编程验证电压电平 PV1A 75 相较于第一后编程验证电压电平 PV1B 78 具有够低的电压，使得较高的一侧 H1 91 不会等于、实质上相等于或高于标号 H2 93 表示的较高的一侧。如图 12B 所示，若一第一预先编程验证电压电平 PV1A 94 系接近于 (不够低于) 一第一后编程验证电压电平 PV1B 95 的电压值，其结果为 H1 91 所表示的较高的一侧会实质上相等于、相等于或大于 H2 93 所表示的较高的一侧。

[0100] 虽然上述是以编程一位存储单元中的一多阶存储单元为例做说明，然而本发明还可应用页编程 (page programming) 或存储阵列的 MBC 的 MLC 中其它型式的一区块 (block)、一区段 (sector) 或一次区块 (sub-block) 的编程方法。本发明的方法亦可应用于非 MBC 存储器中，或者每一存储单元非为多位的存储器。在某些实施例中，可增加预先编程阶段 36 期间的一偏压状态，以减少编程所需的时间。然而，预先编程阶段 36 期间较大的偏压状态典型地会产生一较宽的波形分配。

[0101] 综上所述，虽然本发明已以较佳的实施例揭露如上，然其并非用以限定本发明。本发明所属技术领域中具有通常知识者，在不脱离本发明的精神和范围内，当可作各种的更动与润饰。因此，本发明的保护范围当以权利要求书所界定的范围为准。

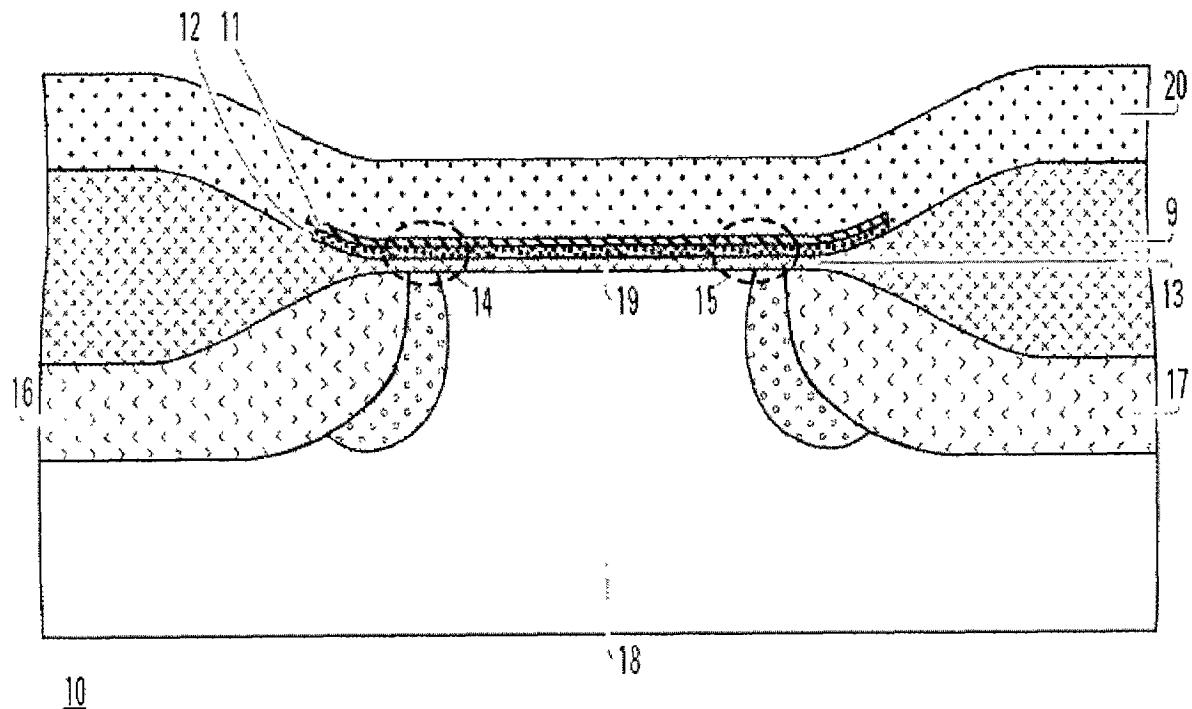


图 1

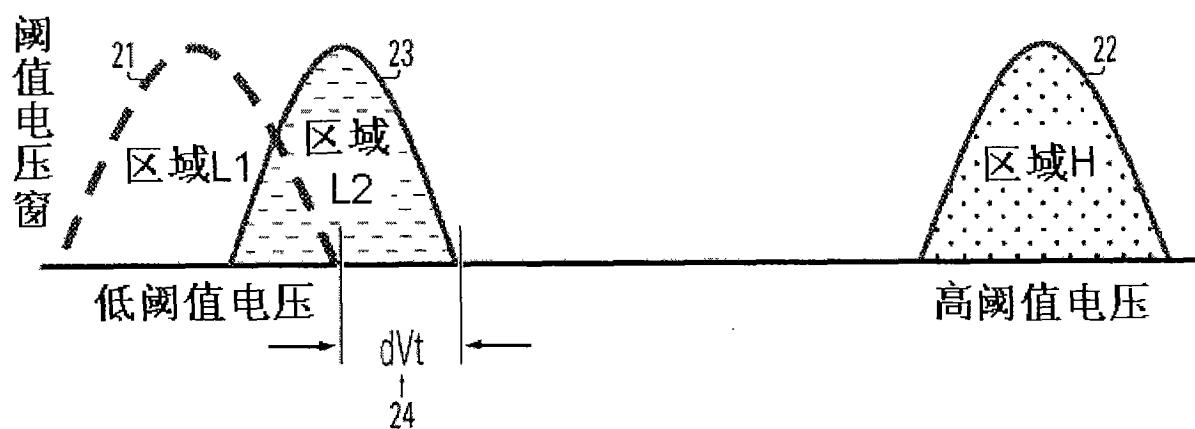


图 2

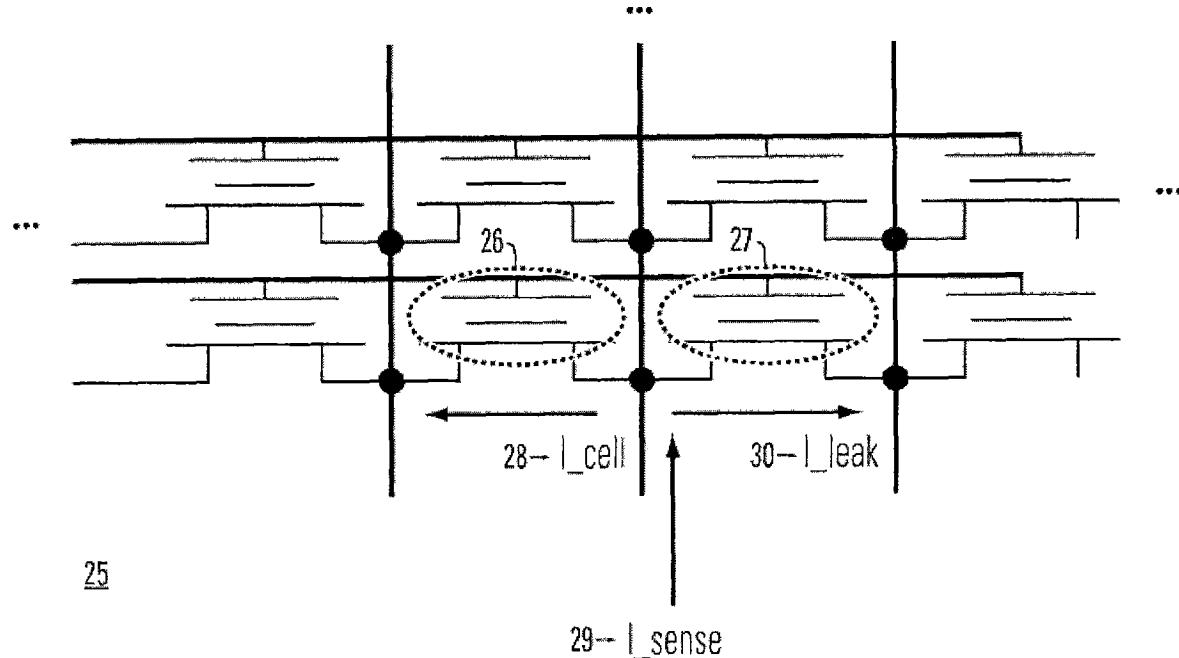


图 3

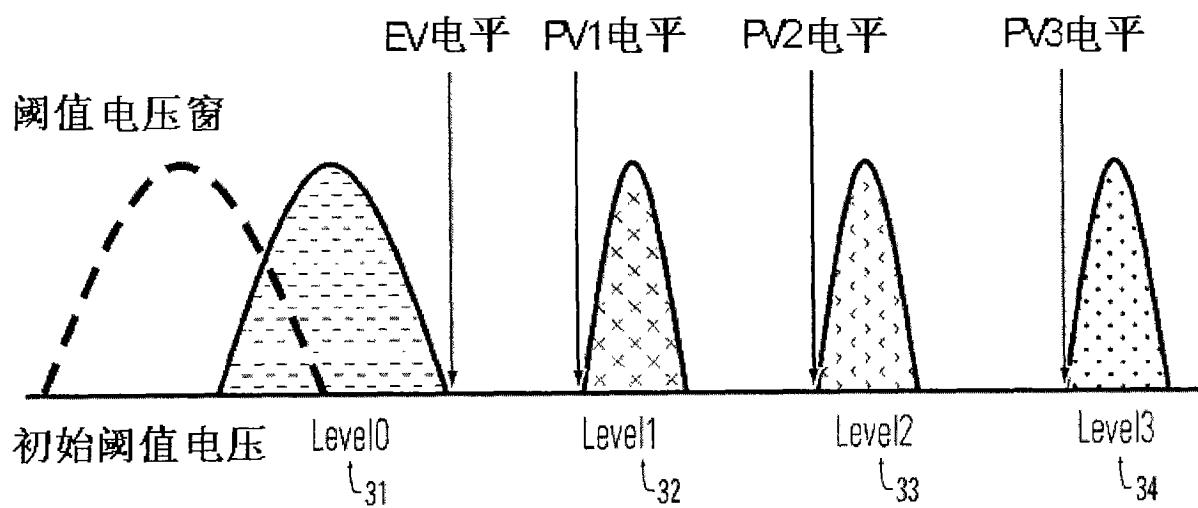


图 4

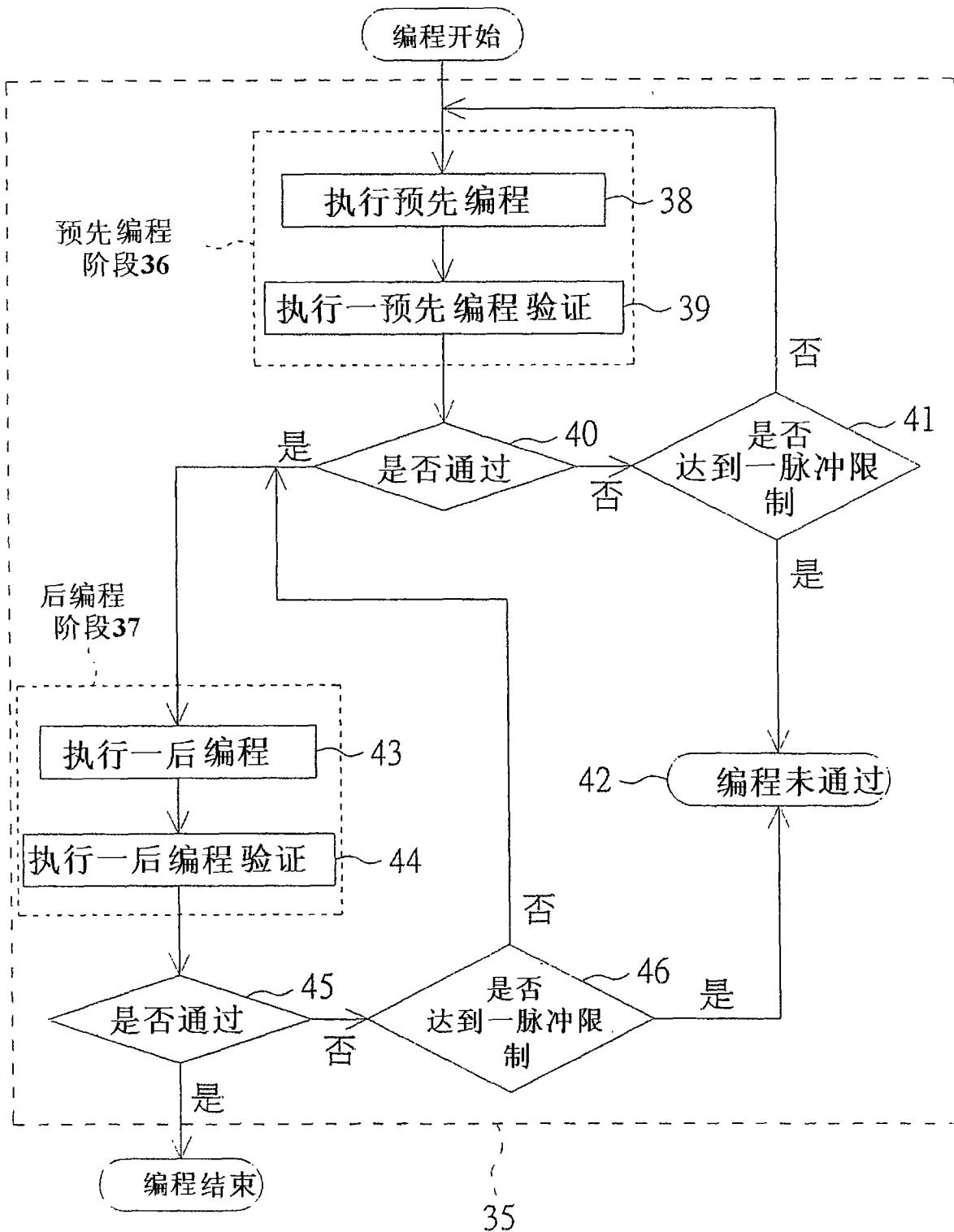


图 5

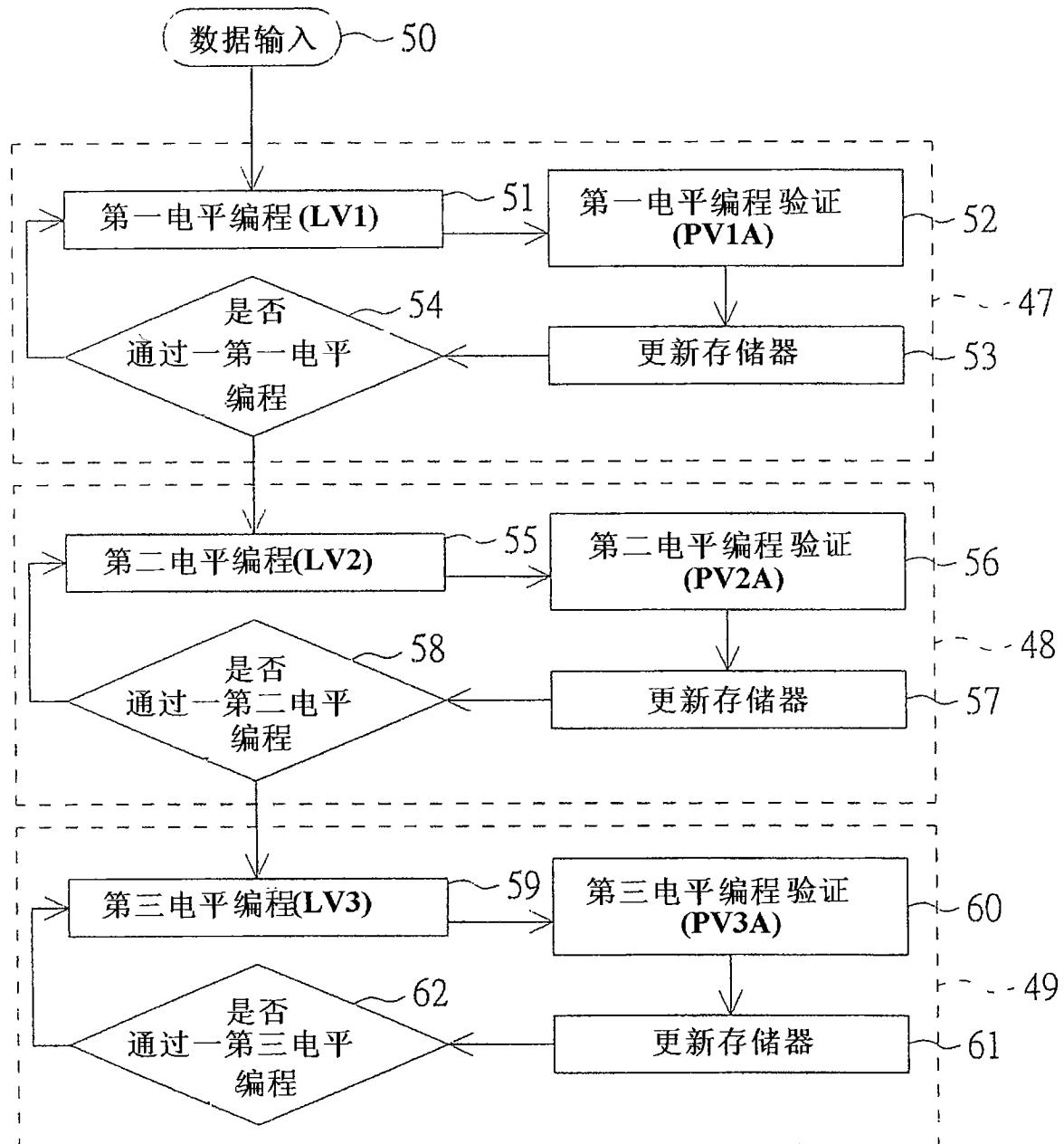


图 6

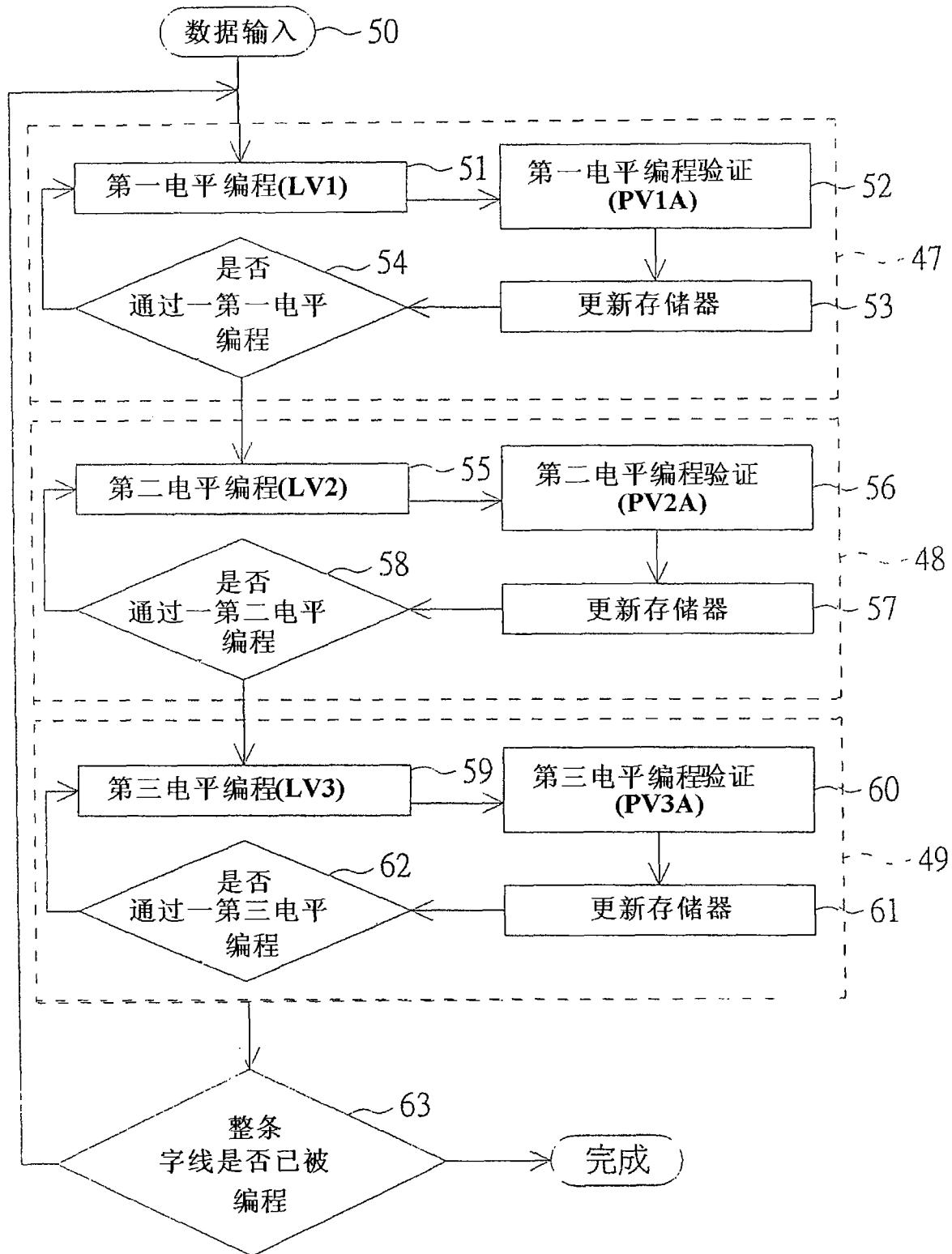


图 7

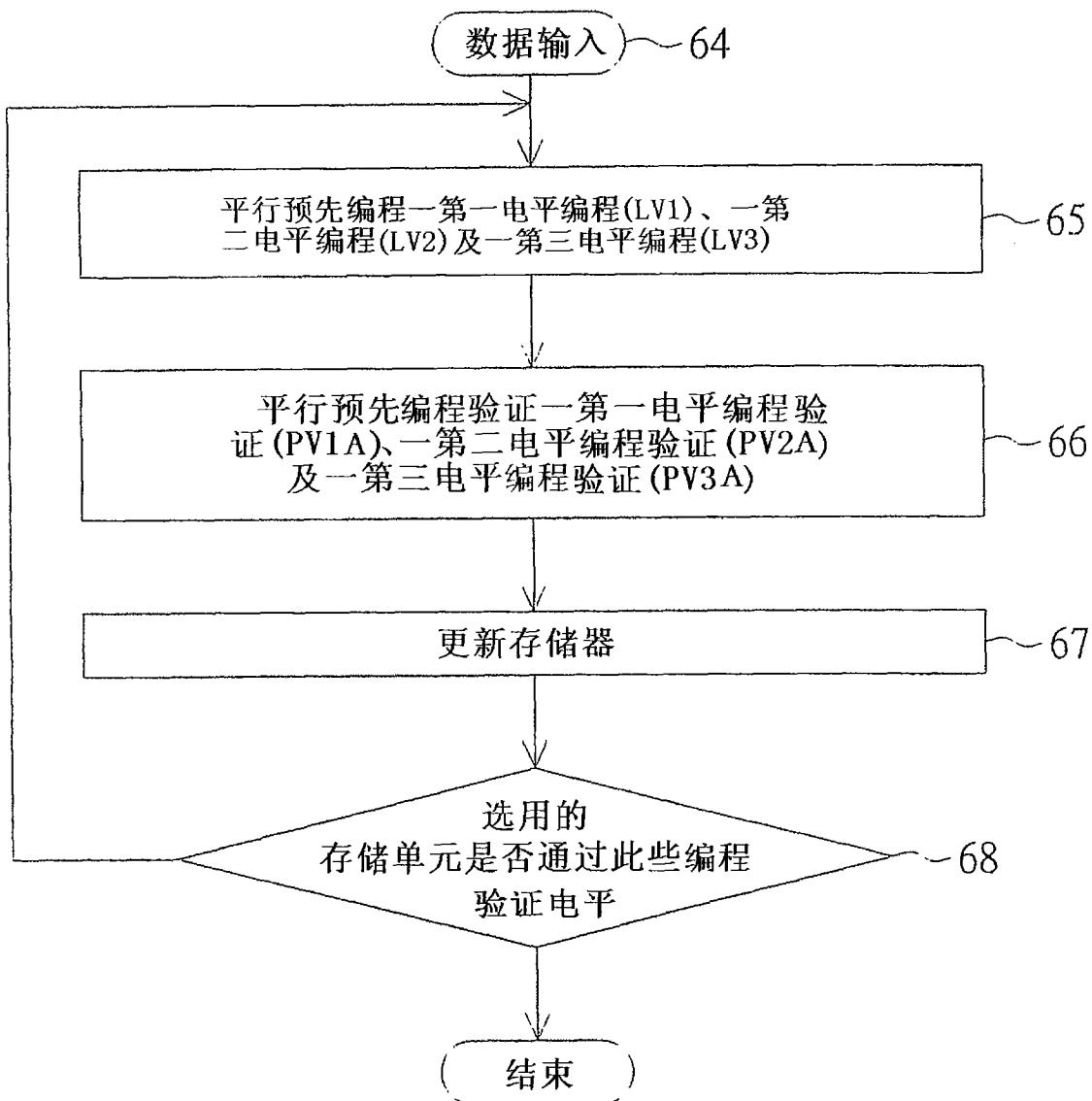


图 8

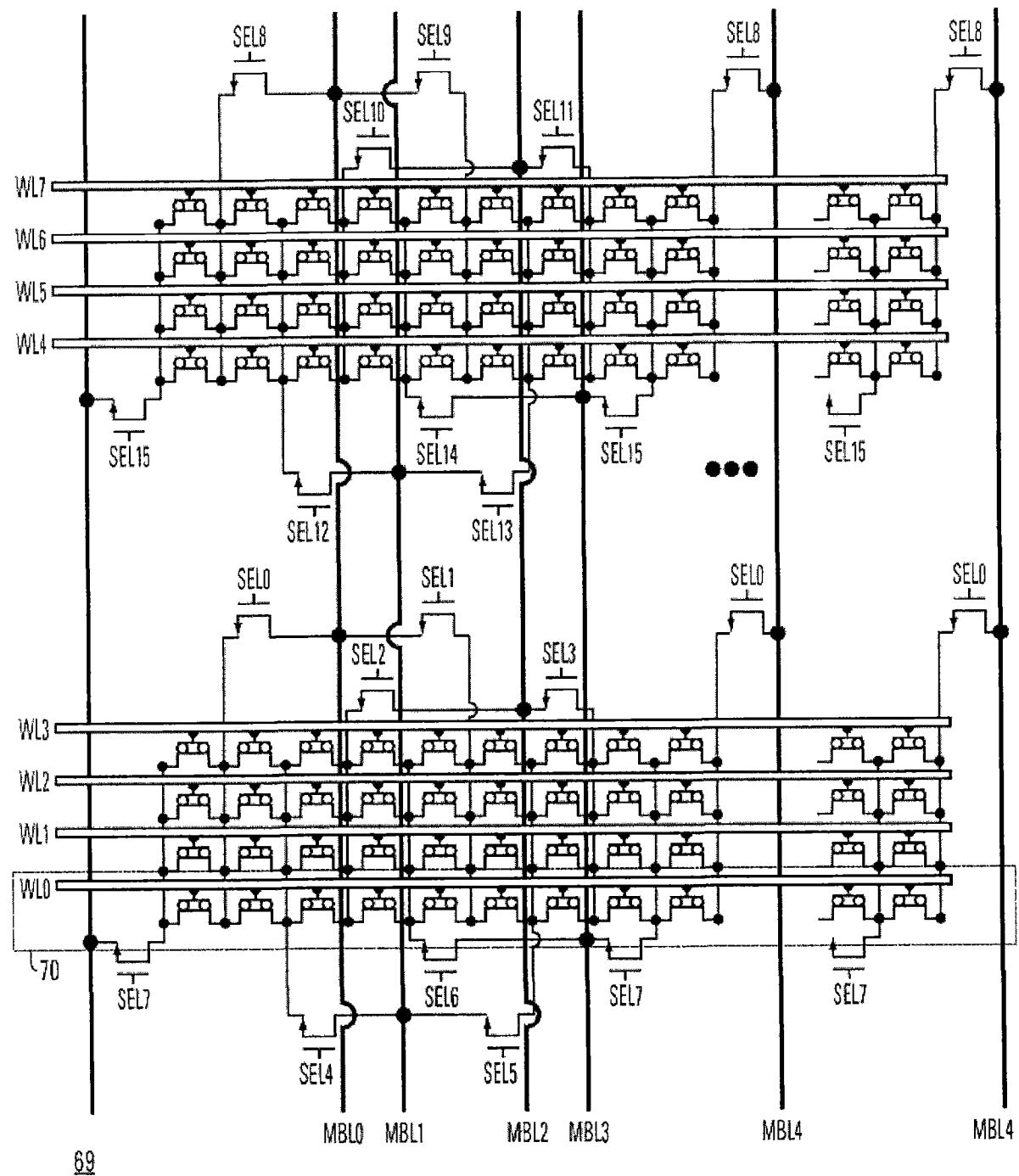


图 9

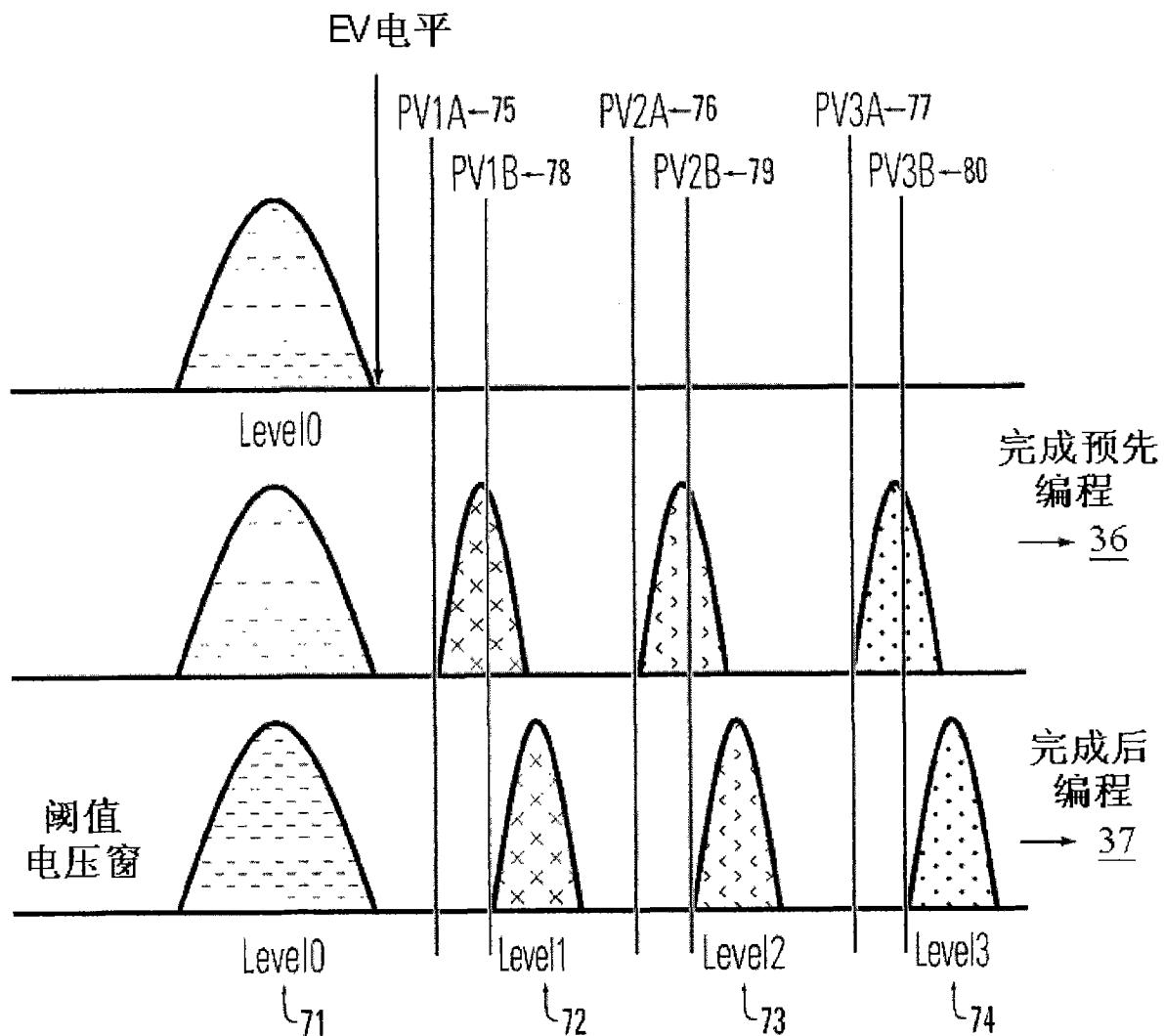


图 10

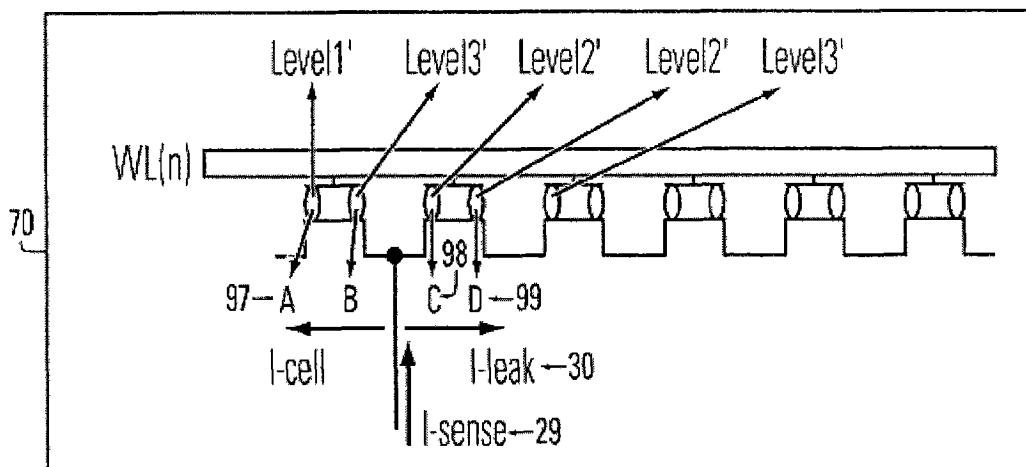
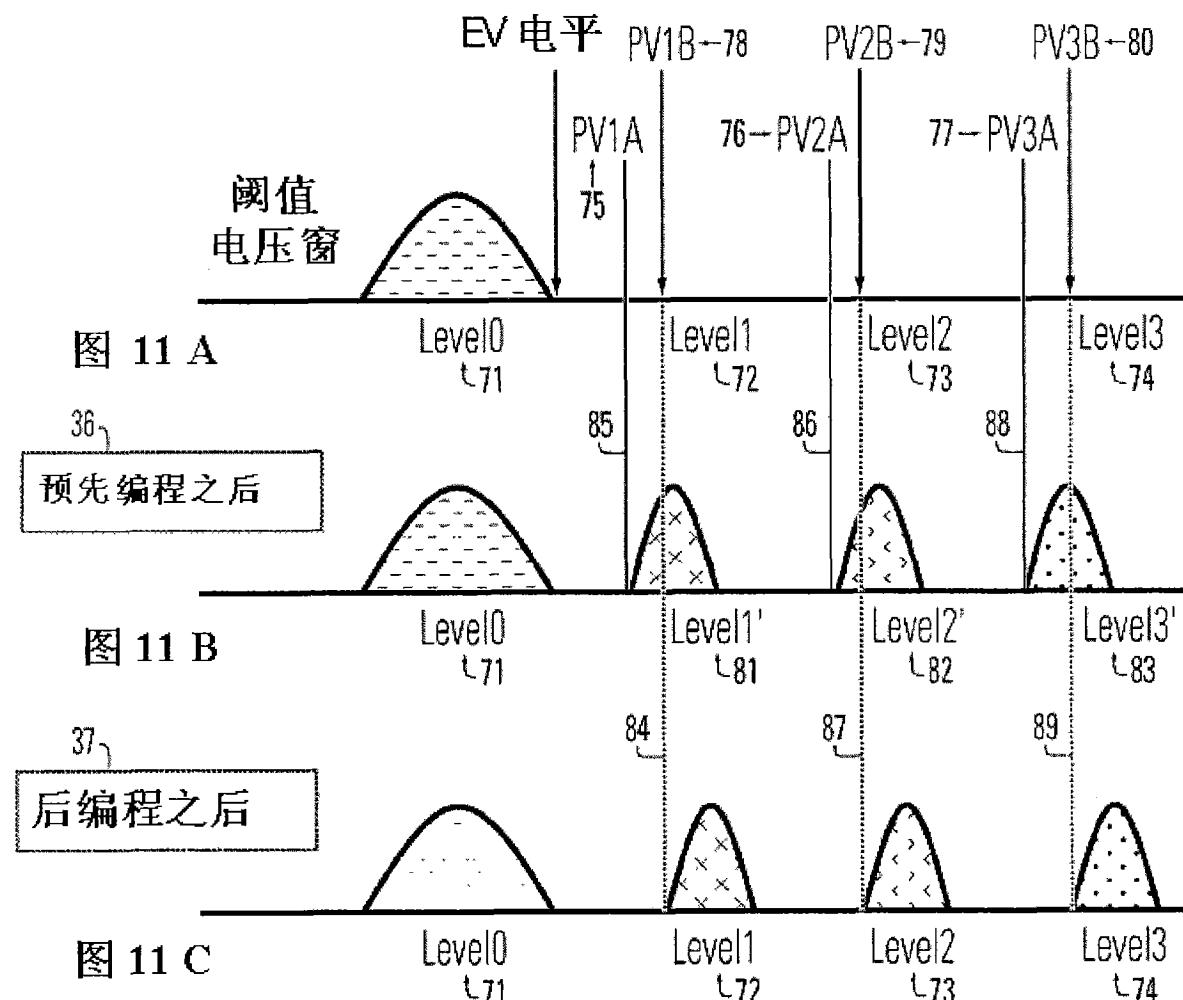


图 11 D

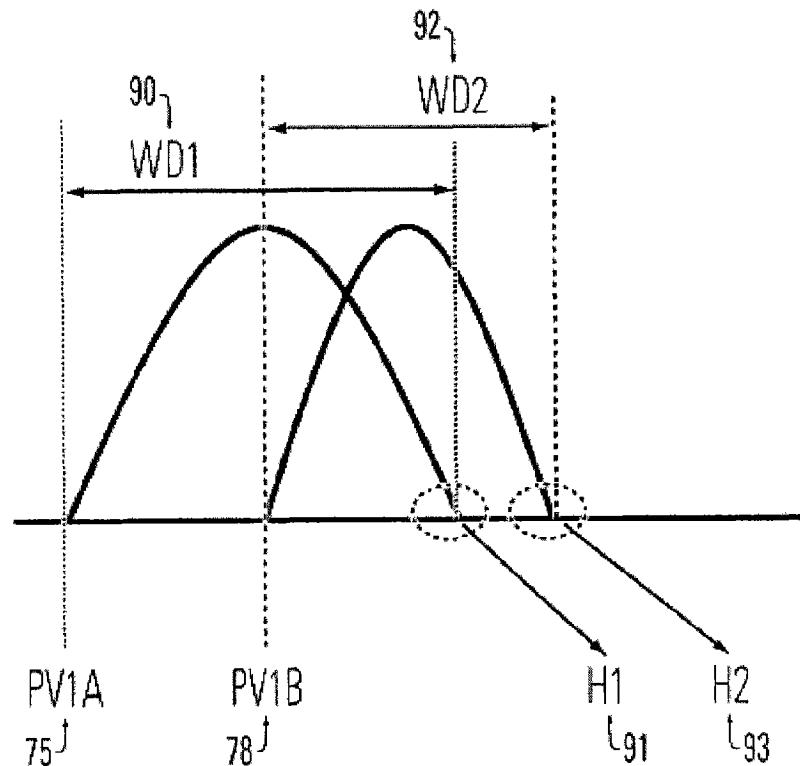


图 12 A

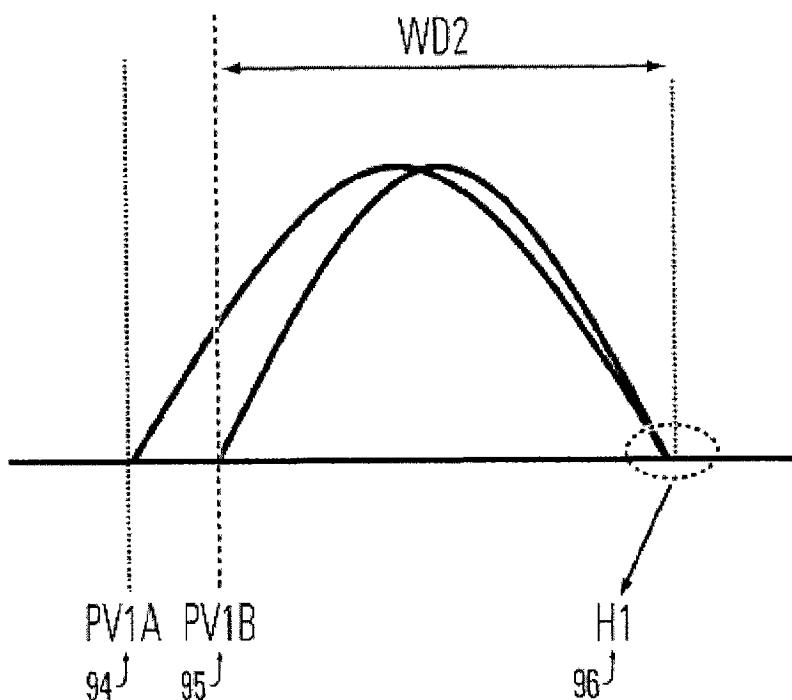


图 12 B