

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-171680

(P2011-171680A)

(43) 公開日 平成23年9月1日(2011.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 D	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 27/04 A	
	HO 1 L 27/06 3 1 1 C	

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2010-36599 (P2010-36599)
 (22) 出願日 平成22年2月22日 (2010.2.22)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100117581
 弁理士 二宮 克也

最終頁に続く

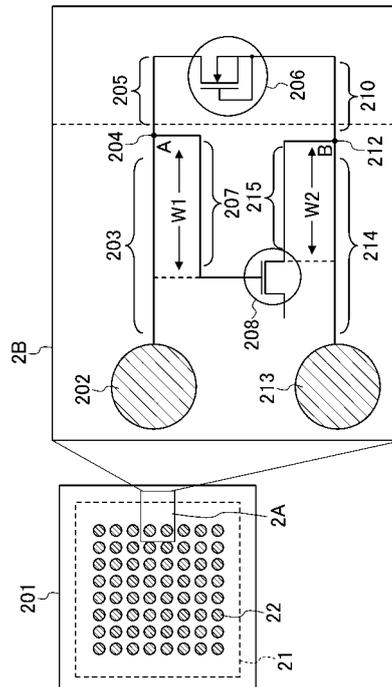
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】電極パッドからESD保護回路に十分なサージ電流が流れず、入出力回路が破壊されやすくなる。

【解決手段】半導体集積回路装置201の回路ブロック21の上層に、電極パッド22が設けられている。電極パッド202、213と、内部回路208およびESD保護回路206との間の接続配線に、分岐点A204、分岐点B212が設けられている。分岐点A204、分岐点B212は、電極パッド202、213よりもESD保護回路206に近い位置に、配置されている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

入力回路、出力回路または入出力回路である内部回路を備えた回路ブロックと、
前記回路ブロックの上層に設けられており、前記内部回路と電氣的に接続された電極パッドと、

前記電極パッドと電氣的に接続された E S D 保護回路とを備え、

前記電極パッドと前記内部回路および前記 E S D 保護回路との間の接続配線に、分岐点が設けられており、

前記接続配線は、

前記電極パッドと前記分岐点とを結ぶ第 1 の配線と、

前記分岐点と前記内部回路とを結ぶ第 2 の配線と、

前記分岐点と前記 E S D 保護回路とを結ぶ第 3 の配線とを有し、

前記分岐点は、前記電極パッドよりも前記 E S D 保護回路に近い位置に、配置されている

ことを特徴とする半導体集積回路装置。

10

【請求項 2】

請求項 1 記載の半導体集積回路装置において、

前記第 3 の配線の抵抗値は、前記第 2 の配線の抵抗値よりも小さい

ことを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 または 2 記載の半導体集積回路装置において、

前記第 2 の配線は、前記第 3 の配線よりも長い

ことを特徴とする半導体集積回路装置。

20

【請求項 4】

請求項 1 ~ 3 のうちいずれか 1 項記載の半導体集積回路装置において、

前記 E S D 保護回路は、

前記電極パッドおよび前記内部回路よりも、前記半導体集積回路の周縁部寄りに配置されており、

前記分岐点は、前記 E S D 保護回路と前記内部回路との間に位置している

ことを特徴とする半導体集積回路装置。

30

【請求項 5】

請求項 4 記載の半導体集積回路装置において、

前記 E S D 保護回路に接続される前記電極パッドは、前記回路ブロックの上層に設けられた電極パッドのうち最外周に位置するものである

ことを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 ~ 3 のうちいずれか 1 項記載の半導体集積回路装置において、

前記 E S D 保護回路は、前記回路ブロック内に配置されている

ことを特徴とする半導体集積回路装置。

【請求項 7】

請求項 6 記載の半導体集積回路装置において、

前記 E S D 保護回路は、前記内部回路が属する内部回路領域よりも、前記回路ブロックにおける外側寄りに配置されている

ことを特徴とする半導体集積回路装置。

40

【請求項 8】

請求項 6 記載の半導体集積回路装置において、

前記 E S D 保護回路に接続される前記電極パッドは、前記 E S D 保護回路と隣接するもの、または、前記 E S D 保護回路と重なる位置にあるものである

ことを特徴とする半導体集積回路装置。

【請求項 9】

50

請求項 6 記載の半導体集積回路装置において、
前記 ESD 保護回路は、前記内部回路と隣接して配置されている
ことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関するものであり、特に、内部回路と、回路ブロックの上層に形成された電極パッドと、内部回路を ESD (Electrostatic Discharge) による破壊から保護するための ESD 保護回路との接続構造に関する。

【背景技術】

【0002】

近年、回路の大規模化に伴い、半導体集積回路装置のピン数が増大する傾向にある。このような多ピン化に対応するために、例えば特許文献 1 では、電極パッドをマトリックス状に配置する技術が提案されている (例えば、特許文献 1)。

【0003】

一般に、電極パッドの下層には ESD 保護回路が配置される。このため、回路ブロックの上層に多数の電極パッドを配置した場合、ESD 保護回路が回路ブロック内の回路配置の妨げになり、回路面積の増大や配線混雑という問題を引き起こす。

【0004】

このような問題を解消するために、例えば特許文献 2 では、ESD 保護回路を電極パッドの下層から移動させ、半導体集積回路装置の周縁部に配置する構成が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 5 - 2 1 8 2 0 4 号公報

【特許文献 2】特開 2 0 0 1 - 2 3 7 3 1 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

電極パッドと接続される入出力回路は、通常、電極パッドの下に位置する。このため、特許文献 2 のように、ESD 保護回路を半導体集積回路装置の周縁部に配置した場合、回路配置の妨げにはならないが、その一方で、電極パッドと ESD 保護回路とを電氣的に接続するための配線長が増大してしまう。このため、ESD 保護回路に十分なサージ電流が流れず、入出力回路が破壊されやすくなる、という問題が生じる。

【課題を解決するための手段】

【0007】

本発明の一例では、半導体集積回路装置は、
入力回路、出力回路または入出力回路である内部回路を備えた回路ブロックと、
前記回路ブロックの上層に設けられており、前記内部回路と電氣的に接続された電極パッドと、

前記電極パッドと電氣的に接続された ESD 保護回路とを備え、

前記電極パッドと前記内部回路および前記 ESD 保護回路との間の接続配線に、分岐点が設けられており、

前記接続配線は、

前記電極パッドと前記分岐点とを結ぶ第 1 の配線と、

前記分岐点と前記内部回路とを結ぶ第 2 の配線と、

前記分岐点と前記 ESD 保護回路とを結ぶ第 3 の配線とを有し、

前記分岐点は、前記電極パッドよりも前記 ESD 保護回路に近い位置に、配置されている。

【0008】

10

20

30

40

50

この態様によると、電極パッドと内部回路およびESD保護回路との間の接続配線において、電極パッドと分岐点とを結ぶ第1の配線は、電極パッドと内部回路との接続、および、電極パッドとESD保護回路との接続における共通配線となる。そして、分岐点が電極パッドよりもESD保護回路に近い位置に配置されているため、分岐点とESD保護回路とを結ぶ第3の配線の抵抗値が小さくなる。これにより、電極パッドに印加されたサージ電流がESD保護回路側に流れやすくなるので、内部回路の破壊を防ぐことができる。

【発明の効果】

【0009】

本発明によると、電極パッドが回路ブロックの上層に配置された半導体集積回路装置において、電極パッドに印加されたサージ電流が、ESD保護回路側に流れやすくなるので、内部回路の破壊を防ぐことができる。

10

【図面の簡単な説明】

【0010】

【図1】実施形態1に係る半導体集積回路装置の構成を示す模式的回路図である。

【図2】ESD保護回路の特性を示すグラフである。

【図3】実施形態2に係る半導体集積回路装置の構成を示す図である。

【図4】最外周の電極パッドに関する説明図である。

【図5】実施形態3に係る半導体集積回路装置の構成を示す図である。

【図6】実施形態3の変形例に係る半導体集積回路装置の構成を示す図である。

【図7】実施形態4に係る半導体集積回路装置の構成を示す図である。

20

【発明を実施するための形態】

【0011】

以下、本発明の実施形態を図面に基づいて詳細に説明する。

【0012】

(実施形態1)

図1は実施形態1に係る半導体集積回路装置の構成を示す模式的回路図である。本実施形態に係る半導体集積回路装置は、内部回路としての入力回路105が配置された回路ブロックと、回路ブロックの上層に設けられており、入力回路105と電気的に接続された電極パッド101およびGND電極パッド112と、電極パッド101およびGND電極パッド112と電気的に接続されており、回路ブロックをESD(Electrostatic Discharge)による破壊から保護するためのESD保護回路108とを備えている。図1の構成では、ESD保護回路108はN型MOSトランジスタによって構成されている。

30

【0013】

そして、電極パッド101と入力回路105およびESD保護回路108との間の接続配線に、分岐点A103が設けられており、GND電極パッド112と入力回路105およびESD保護回路108との間の接続配線に、分岐点B109が設けられている。

【0014】

すなわち、電極パッド101とN型MOSトランジスタで構成されるESD保護回路108のドレイン領域とは、電極パッド101と分岐点A103とを結ぶ第1の配線としての配線102と、分岐点A103とESD保護回路108とを結ぶ第3の配線としての配線106とを介して接続されている。GND電極パッド112とESD保護回路108のソース領域とは、GND電極パッド112と分岐点B109とを結ぶ第1の配線としての配線111と、分岐点B109とESD保護回路108とを結ぶ第3の配線としての配線107とを介して接続されている。

40

【0015】

また入力回路105のゲートは、電極パッド101と分岐点A103とを結ぶ配線102と、分岐点A103と入力回路105とを結ぶ第2の配線としての配線104とを介して、電極パッド101と接続されている。また、入力回路105のソース領域は、GND電極パッド112と分岐点B109とを結ぶ配線111と、分岐点B109と入力回路105とを結ぶ第2の配線としての配線110とを介して、GND電極パッド112と接続

50

されている。

【0016】

そして、分岐点 A 103 は、電極パッド 101 よりも ESD 保護回路 108 に近い位置に配置されており、分岐点 B 109 は、GND 電源パッド 112 よりも ESD 保護回路 108 に近い位置に配置されている。

【0017】

図 2 は ESD 保護回路 108 の特性を示すグラフである。図 2 では、電極パッド 101 にサージ電圧が印加された場合に ESD 保護回路 108 と入力回路 105 にかかる電圧（以下、内部電圧と呼ぶ）を X 軸、そのときに流れる電流を Y 軸としている。

【0018】

図 2 に示すように、電極パッド 101 にサージ電圧が印加された場合において、内部電圧が「4A」Vまで上がったときに ESD 保護回路 108 がオンし、ブレークダウン特性によって ESD 保護回路 108 に急激に電流が流れる。このとき、ESD 保護回路 108 に流れる電流の特性は、配線 106, 107、すなわち分岐点 A 103、分岐点 B 109 から ESD 保護回路 108 までの配線の合計抵抗値（以下、ESD 保護抵抗値と呼ぶ）に依存する。また本実施形態では、満たすべき ESD 保護抵抗値の上限を、基準抵抗値と呼ぶ。

【0019】

ここで、ESD 保護抵抗値の算出対象となる配線について説明する。

【0020】

配線 102, 111 は、電極パッド 101 および GND 電極パッド 112 と、入力回路 105 との接続、および ESD 保護回路 108 との接続における共通配線である。このため、除外して考えてよいことは明らかである。

【0021】

配線 104, 110 については、次のように考えられる。ESD 保護回路 108 のトランジスタサイズは、通常、ESD 保護抵抗値が基準抵抗値以下であれば、基準となるサージ電圧が印加された場合の動作電圧（内部電圧とほぼ等しい）が入力回路 105 のゲート酸化膜耐圧未満になるように、調整されている。このため、配線 104, 110 の抵抗値がたとえ 0 であっても、ESD 保護抵抗値が基準抵抗値以下であれば、基準となるサージ電圧が印加されても入力回路 105 は破壊されない。すなわち、配線 104, 110 も除外して考えることができる。

【0022】

図 2 において、傾き G1 は ESD 保護抵抗値が基準抵抗値よりも低い場合における ESD 保護回路 108 の電流特性を示す。傾き G1 の場合、例えば 1000V のサージ電圧を印加した場合の内部電圧は「4C」V であり、入力回路 105 のゲート酸化膜耐圧「4B」V よりも低いため、入力回路 105 は破壊されない。これに対して、傾き G2 は ESD 保護抵抗値が基準抵抗値よりも高い場合の電流特性を示す。傾き G2 の場合、同様に 1000V のサージ電圧を印加した場合の内部電圧は「4D」V であり、ゲート酸化膜耐圧「4B」V を超えるため、入力回路 105 が破壊される。なおここでは、仮のサージ電圧を 1000V としたが、ESD 保護抵抗値が小さいほど ESD 保護回路 108 に流れる電流量が増加するため、許容可能なサージ電圧も上昇する。

【0023】

すなわち、図 1 に示すように分岐点 A 103 や分岐点 B 109 を設けることによって、配線 102, 111 の抵抗値を ESD 保護抵抗値の算出対象から除くことができる。さらに、分岐点 A 103、分岐点 B 109 を電極パッド 101、GND 電極パッド 112 よりも ESD 保護回路 108 寄りに設けることによって、配線 106, 107、すなわち分岐点 A 103、分岐点 B 109 から ESD 保護回路 108 までの配線の配線長が短くなる。この分の抵抗値が下がるので、ESD 保護抵抗値を小さくでき、許容可能なサージ電圧が上昇する。

【0024】

10

20

30

40

50

以上のように本実施形態によると、電極パッドと分岐点とを結ぶ第1の配線と、分岐点と入力回路とを結ぶ第2の配線と、分岐点とESD保護回路を結ぶ第3の配線とを設けて、分岐点を電極パッドよりもESD保護回路寄りにすることによって、ESD保護抵抗値が小さくなるので、基準抵抗値を満たしやすく、更にはより高いサージ電圧が許容可能になる。

【0025】

また、ESD保護回路108は、配線106, 107の抵抗値が小さいほど、サージ印加時に多くの電流を流す。これに対して、配線104, 110については抵抗値が大きいほど、入力回路105にかかる電圧が下がるため、より高いサージ電圧が許容可能になる。

10

すなわち、本実施形態によれば、
分岐点から入力回路までの抵抗値 > 分岐点からESD保護回路までの抵抗値
(第2の配線の抵抗値 > 第3の配線の抵抗値)

という関係を満たすことによって、より高いサージ電圧が許容可能になる。さらに、一般的に配線長と抵抗値は比例の関係にあるので、

分岐点から入力回路までの配線長 > 分岐点からESD保護回路までの配線長
(第2の配線の配線長 > 第3の配線の配線長)

という関係を満たせば、抵抗値を確認するまでもなく、より高いサージ電圧が許容可能である。

【0026】

(実施形態2)

20

図3は実施形態2に係る半導体集積回路装置の構成を示す図である。図3に示す半導体集積回路装置201では、回路ブロック21の上層に電極パッド22が並んでいる。領域2Aの拡大図が2Bである。拡大図2Bにおいて、ESD保護回路206は、電極パッド202、GND電極パッド213および入力回路208よりも、半導体集積回路装置201の周端部寄りに配置されている。電極パッド202と入力回路208およびESD保護回路206との間の接続配線に、分岐点A204が設けられており、GND電極パッド213と入力回路208およびESD保護回路206との間の接続配線に、分岐点B212が設けられている。

【0027】

すなわち、電極パッド202とN型MOSトランジスタで構成されるESD保護回路206のドレイン領域とは、電極パッド202と分岐点A204とを結ぶ第1の配線としての配線203と、分岐点A204とESD保護回路206とを結ぶ第3の配線としての配線205とを介して接続されている。GND電極パッド213とESD保護回路206のソース領域とは、GND電極パッド213と分岐点B212とを結ぶ第1の配線としての配線214と、分岐点B212とESD保護回路206とを結ぶ第3の配線としての配線210とを介して接続されている。

30

【0028】

また入力回路208のゲートは、電極パッド202と分岐点A204とを結ぶ配線203と、分岐点A204と入力回路208とを結ぶ第2の配線としての配線207とを介して、電極パッド202と接続されている。また、入力回路208のソース領域は、GND電極パッド213と分岐点B212とを結ぶ配線214と、分岐点B212と入力回路208とを結ぶ第2の配線としての配線215とを介して、GND電極パッド213と接続されている。

40

【0029】

そして、分岐点A204および分岐点B212は、ESD保護回路206と入力回路208との間に位置している。さらに、分岐点A204、分岐点B212は、半導体集積回路装置201の周縁部近く、すなわち入力回路208よりもESD保護回路206寄りに設けられている。これにより、区間W1, W2では配線207, 215の引き回しが発生するが、電極パッド202およびGND電極パッド213と入力回路208とを最短で接続した場合に比べて、分岐点A204、分岐点B212からESD保護回路206までの

50

配線 205、211 が短くなる。したがって、配線 205、211 について区間 W1、W2 の配線抵抗分が削減され、ESD 保護抵抗値を削減できる。

【0030】

以上のように本実施形態によると、電極パッドと分岐点を結ぶ第 1 の配線と、分岐点と入力回路とを結ぶ第 2 の配線と、分岐点と ESD 保護回路とを結ぶ第 3 の配線とを設けて、ESD 保護回路を半導体集積回路装置の周縁部に配置し、分岐点を入力回路と ESD 保護回路との間に設け、第 2 の配線の引き回しを発生させることによって、ESD 保護抵抗値を削減することができる。

【0031】

また、図 3 において、ESD 保護抵抗値の算出対象となる配線は、配線 205、210 である。図 3 において、ESD 保護回路 206 の接続先である GND 電極パッド 213 は、半導体集積回路装置 201 の電極パッドのうち、最外周の電極パッドが割り当てられている。最外周の電極パッドは半導体集積回路装置 201 の周縁部に最も近いので、最外周以外の電極パッドを割り当てる場合に比べて配線 210、214 を短くできる。これにより、ESD 保護抵抗値を削減できるだけでなく、半導体集積回路装置 201 の配線混雑も抑制できる。

10

【0032】

図 4 を用いて、上述した「最外周の電極パッド」について補足説明する。

【0033】

図 4 において、半導体集積回路装置 221 の上層に並んでいる電極パッドのうち、ESD 保護回路の接続対象となるのは、回路ブロック 23 の上層に配置された電極パッド 25 である。これに対して、半導体集積回路装置 221 の周縁部に配置された電極パッド 24 は、検査時のみに使用する検査専用電極パッドなので、通常 ESD 保護回路を接続しない。すなわち、ここでの「最外周の電極パッド」とは、回路ブロックの上層に配置された電極パッドのうち最外周に位置するものをいう。

20

【0034】

また、図 3 では、電極パッド 22 はマトリクス状に配置されているが、完全なマトリクスで配置されている必要は必ずしもなく、例えば、一部の電極パッド位置がずれていたり、抜けがあったりしてもかまわない。

【0035】

(実施形態 3)

図 5 は実施形態 3 に係る半導体集積回路装置の構成を示す図である。図 5 に示す半導体集積回路装置 301 では、回路ブロック 31 の上層に電極パッド 32 が並んでいる。領域 3A の拡大図が 3B である。拡大図 3B において、ESD 保護回路 306 は、回路ブロック 31 内の、入力回路 305 が属する内部回路領域 304 とは異なる位置に配置されている。電極パッド 303 と入力回路 305 および ESD 保護回路 306 との間の接続配線に、分岐点 A 308 が設けられており、GND 電極パッド 313 と入力回路 305 および ESD 保護回路 306 との間の接続配線に、分岐点 B 312 が設けられている。

30

【0036】

すなわち、電極パッド 303 と N 型 MOS トランジスタで構成される ESD 保護回路 306 のドレイン領域とは、電極パッド 303 と分岐点 A 308 とを結ぶ第 1 の配線としての配線 307 と、分岐点 A 308 と ESD 保護回路 306 とを結ぶ第 3 の配線としての配線 310 とを介して接続されている。GND 電極パッド 313 と ESD 保護回路 306 のソース領域とは、GND 電極パッド 313 と分岐点 B 312 とを結ぶ第 1 の配線としての配線 314 と、分岐点 B 312 と ESD 保護回路 306 とを結ぶ第 3 の配線としての配線 311 とを介して接続されている。

40

【0037】

また入力回路 305 のゲートは、電極パッド 303 と分岐点 A 308 とを結ぶ配線 307 と、分岐点 A 308 と入力回路 305 とを結ぶ第 2 の配線としての配線 309 とを介して、電極パッド 303 と接続されている。また、入力回路 208 のソース領域は、GND

50

電極パッド 3 1 3 と分岐点 B 3 1 2 とを結ぶ配線 3 1 4 と、分岐点 B 3 1 2 と入力回路 3 0 5 とを結ぶ第 2 の配線としての配線 3 1 5 とを介して、GND 電極パッド 3 1 3 と接続されている。

【 0 0 3 8 】

図 5 に示すように、ESD 保護回路 3 0 6 を、入力回路 3 0 5 と同じ回路ブロック 3 1 内に配置し、かつ入力回路 3 0 5 が属する内部回路領域 3 0 4 とは異なる位置に配置することによって、回路ブロック 3 1 の内部回路の配置・配線を邪魔することなく、ESD 保護回路 3 0 6 を分岐点 A 3 0 8、分岐点 B 3 1 2 の近くに配置できる。さらに、ESD 保護回路を半導体集積回路装置の周縁部に配置する場合に比べて、ESD 保護回路 3 0 6 を電極パッド 3 0 3、GND 電極パッド 3 1 3 の近くに配置することができる。これにより、配線 3 1 0、3 1 1 の引き回しも短くできるので、ESD 保護抵抗値を削減することができ、より高いサージ電圧が許容可能になる。

10

【 0 0 3 9 】

以上のように本実施形態によると、電極パッドと分岐点とを結ぶ第 1 の配線と、分岐点と入力回路とを結ぶ第 2 の配線と、分岐点と ESD 保護回路とを結ぶ第 3 の配線とを設けて、ESD 保護回路を回路ブロック内に配置する。これにより、第 3 の配線を回路ブロック内に収めることができるため、ESD 保護回路を半導体集積回路装置の周縁部に配置する場合に比べて配線長を短くできる。したがって、ESD 保護抵抗値を削減することができる。

【 0 0 4 0 】

さらに、一般的には、回路ブロック 3 1 の中心付近は内部回路が密に存在しているが、回路ブロック 3 1 の枠付近は内部回路の密度が低い。したがって、本実施形態において、ESD 保護回路 3 0 6 は、回路ブロック 3 1 内部において、内部回路領域 3 0 4 よりも外側に配置するのが好ましい。これにより、ESD 保護回路 3 0 6 が内部回路の邪魔になりにくい。

20

【 0 0 4 1 】

図 6 は本実施形態の変形例に係る半導体集積回路装置の構成を示す図である。図 6 の構成では、GND 電極パッド 3 1 3 に代えて、ESD 保護回路 3 0 6 に隣接する電極パッド 3 2 1 が、GND 電極パッドとして用いられている。この構成により、図 5 の構成と比べて、ESD 保護回路 3 0 6 のソース接続配線 3 1 1 の配線長をより短くすることができる。これにより、ESD 保護抵抗値を削減できるため、より高いサージ電圧が許容可能になる。

30

【 0 0 4 2 】

なお、図 6 では、GND 電極パッド 3 2 1 は回路ブロック 3 1 の上層にあるが、ESD 保護回路 3 0 6 に隣接した、もしくは ESD 保護回路 3 0 6 と重なる位置の電極パッドであればどこにあってもよい。

【 0 0 4 3 】

なお、図 5 および図 6 では、電極パッド 3 2 はマトリクス状に配置されているが、完全なマトリクスで配置されている必要は必ずしもなく、例えば、一部の電極パッド位置がずれていたり、抜けがあったりしてもかまわない。

40

【 0 0 4 4 】

(実施形態 4)

図 7 は実施形態 4 に係る半導体集積回路装置の構成を示す図である。図 7 に示す半導体集積回路装置 4 0 1 では、回路ブロック 4 1 の上層に電極パッド 4 2 が並んでいる。領域 4 A の拡大図が 4 B である。拡大図 4 B において、ESD 保護回路 4 0 4 は、入力回路 4 0 5 と隣接して配置されている。電極パッド 4 0 3 と入力回路 4 0 5 および ESD 保護回路 4 0 4 との間の接続配線に、分岐点 A 4 0 7 が設けられており、GND 電極パッド 4 1 0 と入力回路 4 0 5 および ESD 保護回路 4 0 4 との間の接続配線に、分岐点 B 4 1 2 が設けられている。

【 0 0 4 5 】

50

すなわち、電極パッド403とN型MOSトランジスタで構成されるESD保護回路404のドレイン領域とは、電極パッド403と分岐点A407とを結ぶ第1の配線としての配線406と、分岐点A407とESD保護回路404とを結ぶ第3の配線としての配線408とを介して接続されている。GND電極パッド410とESD保護回路404のソース領域とは、GND電極パッド410と分岐点B412とを結ぶ第1の配線としての配線413と、分岐点B412とESD保護回路404とを結ぶ第3の配線としての配線411とを介して接続されている。

【0046】

また入力回路405のゲートは、電極パッド403と分岐点A407とを結ぶ配線406と、分岐点A407と入力回路405とを結ぶ第2の配線としての配線409とを介して、電極パッド403と接続されている。また、入力回路405のソース領域は、GND電極パッド410と分岐点B412とを結ぶ配線413と、分岐点B412と入力回路405とを結ぶ第2の配線としての配線414とを介して、GND電極パッド410と接続されている。

10

【0047】

図7に示すように、ESD保護回路404を入力回路405と隣接して配置することによって、配線411, 414や配線408, 409の引き回し距離を短くできる。すなわち、実施形態3と比べて、電極パッドから入力回路までの距離、および電極パッドからESD保護回路までの距離がともに短くなる。したがって、ESD保護抵抗値を削減できるだけでなく、入力回路までの抵抗値も小さくできるとともに、必要な配線リソースも少なく済む。

20

【0048】

以上のように本実施形態によると、電極パッドと分岐点とを結ぶ第1の配線と、分岐点と入力回路とを結ぶ第2の配線と、分岐点とESD保護回路とを結ぶ第3の配線とを設けて、ESD保護回路を回路ブロック内において入力回路と隣接して配置する。これにより、ESD保護抵抗値を削減できるだけでなく、入力回路までの抵抗値も小さくできるとともに、必要な配線リソースも少なくできる。

【0049】

なお、上述の各実施形態では、分岐点を2箇所（分岐点A、分岐点B）に設けた構成を例示したが、いずれか一方の分岐点だけであっても、同様の効果が得られる。

30

【0050】

また、上述の各実施形態では、ESD保護回路は、ゲート電位をグランド電位に固定したN型MOSトランジスタで構成されているものとしたが、P型MOSトランジスタで構成してもよい。この場合は、GND電極パッドが電源電極パッドになることは言うまでもない。

【0051】

また、上述の各実施形態では、電極パッドと接続される内部回路の例として、外部接続端子からの配線がゲート電極に接続されるMOSトランジスタからなる入力回路を示した。これに代えて例えば、ドレイン領域が外部接続端子に接続されるMOSトランジスタからなる出力回路を、電極パッドと接続される内部回路としても、同様の効果が得られる。また、入力回路、出力回路の他に、入出力回路を内部回路としてもかまわない。

40

【0052】

また、ESD保護回路が、MOSトランジスタ以外の例えばダイオードなどによって構成されていたり、内部回路が、MOSトランジスタ以外の別の素子によって構成されている場合でも、同様の効果が得られる。

【産業上の利用可能性】

【0053】

本発明では、サージ電圧による内部回路破壊を防ぐことができるので、例えば、半導体集積回路装置の耐久性向上に有効である。

【符号の説明】

50

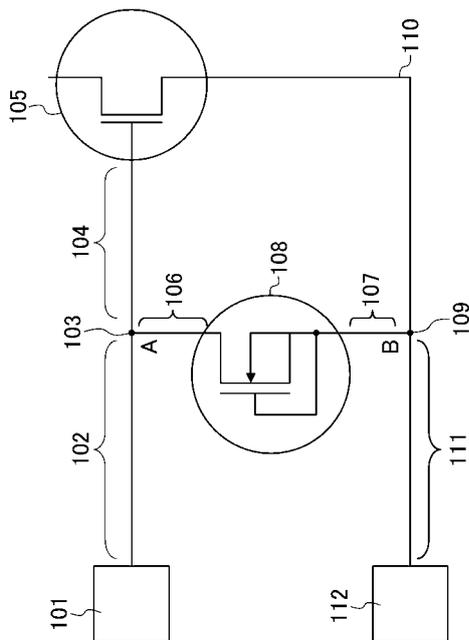
【 0 0 5 4 】

- 2 1 , 3 1 , 4 1 回路ブロック
- 2 2 , 3 2 , 4 2 電極パッド
- 1 0 1 電極パッド
- 1 0 2 , 1 1 1 第 1 の配線
- 1 0 4 , 1 1 0 第 2 の配線
- 1 0 6 , 1 0 7 第 3 の配線
- 1 0 3 分岐点 A
- 1 0 5 入力回路 (内部回路)
- 1 0 8 E S D 保護回路
- 1 0 9 分岐点 B
- 1 1 2 G N D 電極パッド
- 2 0 1 , 3 0 1 , 4 0 1 半 導 体 集 積 回 路 装 置
- 2 0 2 , 3 0 3 , 4 0 3 電 極 パ ッ ド
- 2 0 3 , 2 1 4 , 3 0 7 , 3 1 4 , 4 0 6 , 4 1 3 第 1 の 配 線
- 2 0 4 , 3 0 8 , 4 0 7 分 岐 点 A
- 2 0 5 , 2 1 0 , 3 1 0 , 3 1 1 , 4 0 8 , 4 1 1 第 3 の 配 線
- 2 0 6 , 3 0 6 , 4 0 4 E S D 保 護 回 路
- 2 0 7 , 2 1 5 , 3 0 9 , 3 1 5 , 4 0 9 , 4 1 4 第 2 の 配 線
- 2 0 8 , 3 0 5 , 4 0 5 入 力 回 路 (内 部 回 路)
- 2 1 2 , 3 1 2 , 4 1 2 分 岐 点 B
- 2 1 3 , 3 1 3 , 3 2 1 , 4 1 0 G N D 電 極 パ ッ ド

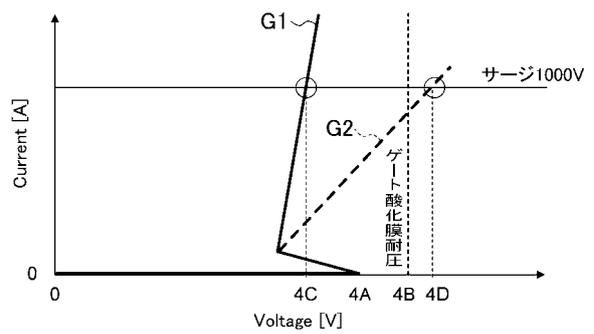
10

20

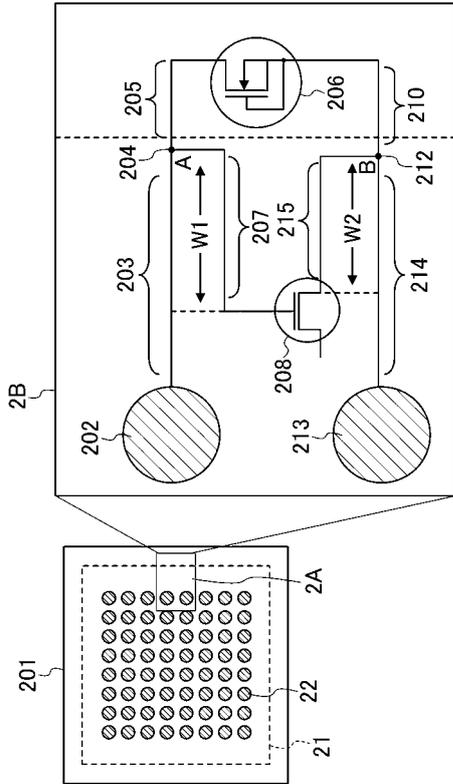
【 図 1 】



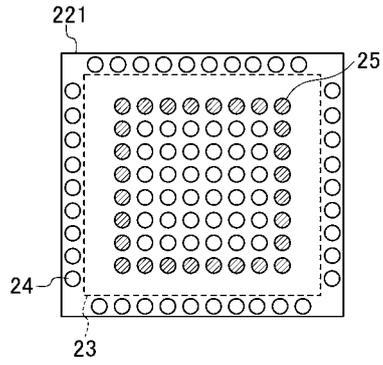
【 図 2 】



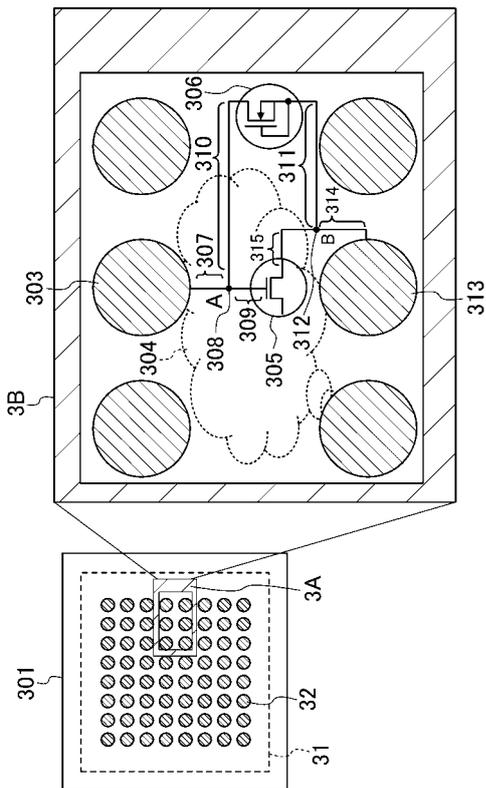
【 図 3 】



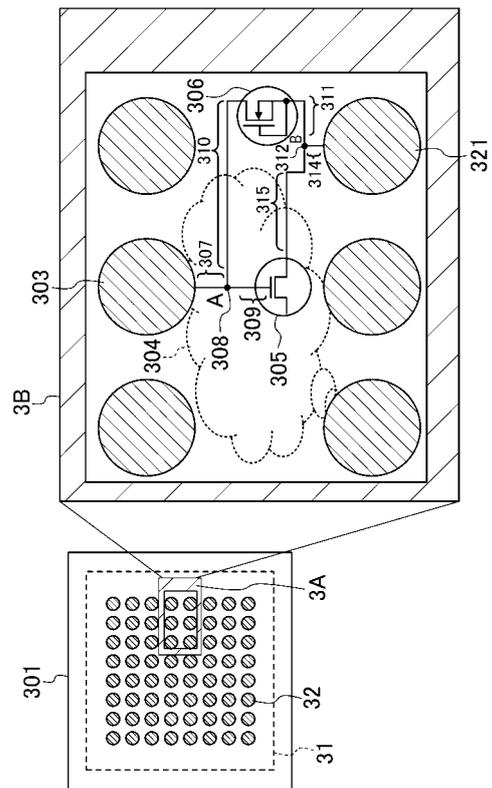
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 松井 徹

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 廣藤 政則

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 熊代 佳史

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 成瀬 辰也

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 瀬川 啓明

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム(参考) 5F038 BE07 BH02 BH07 BH13 CA02 CA03 CA05 CA10 CD02 CD05

CD12 EZ20

5F048 AA02 CC01 CC02 CC08 CC11 CC15 CC18