(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월23일
(11) 등록번호 10-2378241
(24) 등록일자 2022년03월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) *G02F 1/1337* (2006.01)
G02F 1/1362 (2006.01) *H01L 27/12* (2006.01)
(52) CPC특허분류
G02F 1/134309 (2021.01)
G02F 1/133707 (2013.01)
(21) 출원번호 10-2021-7030435(분할)
(22) 출원일자(국제) 2014년08월28일
심사청구일자 2021년09월23일
(85) 번역문제출일자 2021년09월23일
(65) 공개번호 10-2021-0118261
(43) 공개일자 2021년09월29일
(62) 원출원 특허 10-2021-7012751
원출원일자(국제) 2014년08월28일
심사청구일자 2021년04월27일
(86) 국제출원번호 PCT/JP2014/073271
(87) 국제공개번호 WO 2015/037500
국제공개일자 2015년03월19일
(30) 우선권주장
JP-P-2013-190864 2013년09월13일 일본(JP)
(뒷면에 계속)
(56) 선행기술조사문헌
JP2011186010 A
JP2010102284 A
KR1020070101071 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
쿠보타 다이스케
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
하츠미 료
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

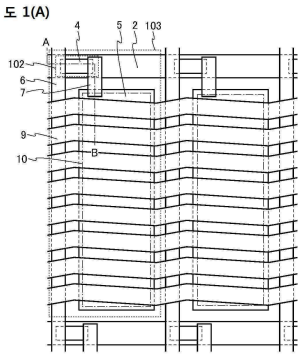
전체 청구항 수 : 총 2 항 심사관 : 한상일

(54) 발명의 명칭 **표시 장치**

(57) 요 약

우수한 표시 품질을 지닌 표시 장치를 제공하기 위해, 하나의 화소 내에 신호선, 주사선, 트랜지스터, 화소 전극, 및 공통 전극을 포함하는 표시 장치에서, 신호선과 중첩하는 영역의 연장 방향이 평면 형상에서 화소 전극과 중첩하는 영역의 연장 방향과 다른 공통 전극이 포함되고, 이러한 연장 방향들은 신호선과 화소 전극 사이에서 서로 교차한다. 그러므로 화소의 투과율 변화가 억제될 수 있고, 따라서 깜박거림이 감소될 수 있다.

대 표 도



(52) CPC특허분류
G02F 1/1362 (2013.01)
H01L 27/1225 (2013.01)
H01L 27/124 (2013.01)
H01L 27/1248 (2013.01)

(30) 우선권주장
JP-P-2013-249904 2013년12월03일 일본(JP)
JP-P-2014-047241 2014년03월11일 일본(JP)
JP-P-2014-106477 2014년05월22일 일본(JP)

명 세 서

청구범위

청구항 1

표시 장치로서,

신호선, 주사선, 트랜지스터, 화소 전극, 및 공통 전극을 가지고,

상기 트랜지스터는 상기 신호선, 상기 주사선, 및 상기 화소 전극과 각각 전기적으로 접속되고,

상기 신호선은 적층 구조를 가지고,

상기 공통 전극은 개구부를 가지고,

평면시에서, 상기 개구부의 일부는 상기 신호선과 상기 화소 전극 사이에 위치하고, 또한 상기 개구부는 상기 일부에서 굴곡점을 가지는, 표시 장치.

청구항 2

표시 장치로서,

신호선, 주사선, 트랜지스터, 화소 전극, 및 공통 전극을 가지고,

상기 트랜지스터는 상기 신호선, 상기 주사선, 및 상기 화소 전극과 각각 전기적으로 접속되고,

상기 신호선은 적층 구조를 가지고,

상기 트랜지스터의 채널 형성 영역은 상기 공통 전극과 중첩되지 않고,

상기 공통 전극은 개구부를 가지고,

평면시에서, 상기 개구부의 일부는 상기 신호선과 상기 화소 전극 사이에 위치하고, 또한 상기 개구부는 상기 일부에서 굴곡점을 가지는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또한, 본 발명은 공정, 기계, 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 실시예는 특히 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 그 구동 방법, 또는 그 제조 방법에 관한 것이다. 특히, 본 발명의 일 실시예는 표시 장치와 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근 수년간, 액정은 다양한 장치에 사용되어 왔고, 특히 얇고 가볍다는 특징을 가지는 액정 표시 장치(액정 디스플레이)가 넓은 범위의 분야에서 디스플레이에 사용되어 왔다.

[0003] 액정 표시 장치에 포함된 액정에 전계를 인가하기 위한 방법으로서, 수직 전계 모드와 수평 전계 모드가 주어질 수 있다. 액정 표시 패널의 수평 전계 모드로서, 화소 전극과 공통 전극이 서로 중첩하지 않고 제공되는 IPS(in-plane switching) 모드와, 화소 전극과 공통 전극 사이에 절연막을 두고 서로 중첩하는 FFS(fringe field switching) 모드가 존재한다.

[0004] FFS 모드의 액정 표시 장치는 화소 전극에 슬릿 모양의(slit-shaped) 개구를 가지고, 액정 모듈의 배향은 그러한 개구에서 화소 전극과 공통 전극 사이에서 발생된 전계를 액정에 인가함으로써 제어된다.

[0005] FFS 모드의 액정 표시 장치는 높은 개구율, 넓은 시야각, 및 화상 콘트라스트를 향상시킨다는 효과를 가지고,

최근에 널리 사용되어 왔다(특허문헌 1 참조).

[0006] 표시 장치에서, 표시된 화상은 초당 수십 회 변경된다. 화상이 초당 변경되는 횟수를 리프레시 레이트(refresh rate)라고 부른다. 이러한 리프레시 레이트는 구동 주파수라고도 부른다. 사람의 눈이 인지하기 어려운 고속 스크린 스위칭(switching)은 눈의 피로의 원인으로 간주된다. 그러므로 비특허문헌 1 및 2에서는 LCD의 리프레시 레이트를 저하시켜 화상의 재기입 회수를 감소시키는 것을 제안하였다. 또, 낮아진 리프레시 레이트로 구동하는 것은 표시 장치의 전력 소비를 감소시킬 수 있게 한다.

[0007] [참조]

[0008] [특허문헌]

[0009] [특허문헌 1] 일본 특개 2000-089255호 공보

[0010] [비특허문헌]

[0011] [비특허문헌1]S.Amano et al., "Lower Power LC Display Using In-Ga-Zn-Oxide TFTs Based On Variable Frame Frequency", *SID International Symposium digest of Technical Papers*, 2010, pp626-629

[0012] [비특허문헌2]R.Hatsumi et al., "Driving Method of FFS-Mode OS-LCD for Reducing Eye Strain", *SID International Symposium digest of Technical Papers*, 2013, pp338-341

발명의 내용

해결하려는 과제

[0013] 표시 장치의 일 예인 액정 표시 장치에서, 하나의 화상이 보유되는 기간에서의 화소의 투과율 변화는 바람직하게는 작다. 표시 소자에 인가될 전압의 변화는, 화소의 투과율이 유지될 수 있도록, 전극 사이에 저장된 전하를 유지함으로써 감소한다.

[0014] 또한, 낮은 리프레시 레이트로 액정 표시 장치를 구동하는 경우, 화소의 투과율의 변화가 하나의 화상을 표시하기 위한 그레이 스케일의 편차로서 허용된 것보다 클 때에는 사용자가 그러한 화상의 깜박거림을 지각한다. 즉, 이는 표시 장치의 표시 품질에 있어서의 감소를 초래한다.

[0015] 그러므로 본 발명의 일 실시예의 목적은 우수한 표시 품질을 지닌 표시 장치를 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 기생 용량으로 인한 배선 지연이 감소되는 표시 장치를 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 광 누설이 거의 없고 우수한 콘트라스트를 지닌 표시 장치를 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 높은 개구율을 가지고 전하 용량을 증가시킬 수 있는 커패시터를 포함하는 표시 장치를 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 낮은 소비 전력을 가지는 표시 장치를 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 우수한 전기 특성을 가지는 트랜지스터를 포함하는 표시 장치를 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 새로운 표시 장치를 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 높은 개구율과, 더 작은 수의 단계로 넓은 시야각을 가지는 표시 장치를 제조하기 위한 방법을 제공하는 것이다. 본 발명의 일 실시예의 또 다른 목적은 표시 장치를 제조하기 위한 새로운 방법을 제공하는 것이다.

[0016] 이들 목적의 설명은 다른 목적의 존재를 방해하지 않는다. 본 발명의 일 실시예에서는 이러한 목적 전부를 달성할 필요는 없다. 다른 목적은 본 명세서, 도면, 청구항 등의 설명으로부터 명백해지고, 얻어질 수 있다.

과제의 해결 수단

[0017] 본 발명의 일 실시예에 따르면, 하나의 화소에 신호선, 주사선, 트랜지스터, 화소 전극, 및 공통 전극을 포함하는 표시 장치에서, 신호선과 중첩하는 영역의 연장 방향이 평면 형상에서 화소 전극과 중첩하는 영역의 연장 방향과 다른 공통 전극이 포함되고, 이러한 연장 방향들은 신호선과 화소 전극 사이에서 서로 교차한다.

[0018] 공통 전극에서, 신호선과 중첩하는 영역의 연장 방향은 화소 전극과 중첩하는 영역의 연장 방향과 다르고, 이러한 연장 방향들은 신호선과 화소 전극 사이에서 서로 교차함으로써, 신호선과 공통 전극 사이에서 발생된 전계의 방향은 화소 전극과 공통 전극 사이에서 발생된 전계의 방향과 교차한다. 그러므로 신호선과 중첩하는 영역에 제공된 제1 액정 분자의 배향 방향은 화소 전극과 중첩하는 영역에서 제공된 제2 액정 분자의 배향 방향과 다르고, 따라서 제1 액정 분자의 배향과 제2 액정 분자의 배향은 서로에 의해 영향을 덜 받는다.

[0019] 신호선과 중첩하는 영역에 제공된 제1 액정 분자의 배향 방향은 다른 전압이 신호선에 인가될 때마다 변한다. 이에 반해, 일정한 전압이 인가되는 화소 전극과 중첩하는 영역에 제공된 제2 액정 분자는 제1 액정 분자의 배향 방향의 변화에 의해 영향을 받지 않고, 제2 액정 분자는 일정 방향으로 배향된다. 그러므로 화소의 투과율 변화가 억제될 수 있고, 따라서 깜박거림이 감소될 수 있다.

[0020] 본 발명의 또 다른 실시예에 따르면, 표시 장치는 신호선으로서 기능하는 도전막, 주사선으로서 기능하는 도전막, 트랜지스터, 화소 전극, 및 절연 표면 위의 공통 전극을 포함한다. 트랜지스터는 주사선으로서 기능하는 도전막, 주사선으로서 기능하는 도전막, 및 화소 전극에 전기적으로 접속된다. 공통 전극은 신호선으로서 기능하는 도전막과 중첩하는 제1 영역과, 화소 전극과 중첩하는 제2 영역을 포함한다.

[0021] 제1 영역의 연장 방향은 제2 영역의 연장 방향과 다르고, 제1 영역 및 제2 영역에 의해 형성된 각도는 상부 표면 모양에서 제1 각도를 가지며, 제1 영역과 신호선으로서 기능하는 도전막의 수선(perpendicular)이 이루는 각도는 상부 표면 모양에서 제2 각도를 가진다. 제1 각도는 90° 보다 크고 180° 보다 작고, 제2 각도는 0° 보다 크고 90° 보다 작으며, 제1 각도와 제2 각도의 합은 135° 보다 크고 180° 보다 작다.

[0022] 표시 장치는 트랜지스터 위의 산화물 절연막과, 산화물 절연막 위의 질화물 절연막을 포함할 수 있고, 이러한 산화물 절연막은 화소 전극의 부분이 노출되는 개구를 가질 수 있다.

[0023] 또, 화소 전극은 매트릭스 형상으로 제공된다.

[0024] 공통 전극에서, 제1 영역 및 제2 영역은 주사선으로서 기능하는 도전막과 평행하거나 거의 평행한 방향으로 번갈아가며 배치된다. 공통 전극은 주사선으로서 기능하는 도전막과 교차할 수 있고, 제1 영역 또는 제2 영역에 연결된 영역을 포함할 수 있다.

[0025] 반도체막과 화소 전극은 게이트 절연막과 접촉한다. 반도체막과 화소 전극은 In-Ga 산화물막, In-Zn 산화물막, 또는 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd)을 포함한다. 반도체막과 화소 전극은 제1 막과 제2 막을 포함하는 다층 구조를 가질 수 있고, 제1 막과 제2 막은 금속 원소의 원자수 비가 다를 수 있다.

발명의 효과

[0026] 본 발명의 일 실시예에 따르면, 우수한 표시 품질을 지닌 표시 장치가 제공될 수 있다. 기생 용량으로 인한 배선 지연이 감소되는 표시 장치가 제공될 수 있다. 광 누설이 적고 우수한 콘트라스트를 지닌 표시 장치가 제공될 수 있다. 높은 개구율과 전하 용량을 증가시킬 수 있는 커패시터를 포함하는 표시 장치가 제공될 수 있다. 낮은 소비 전력을 지닌 표시 장치가 제공될 수 있다. 우수한 전기 특성을 가지는 트랜지스터를 포함하는 표시 장치가 제공될 수 있다. 높은 개구율을 가지고, 더 적은 단계로 넓은 시야각을 가지는 표시 장치가 제조될 수 있다. 새로운 표시 장치가 제공될 수 있다. 이들 효과의 설명은 다른 효과의 존재를 방해하지 않는다는 점을 주목하라. 본 발명의 일 실시예는 위에서 얼거된 목적 전부를 반드시 달성하는 것은 아니다. 본 명세서, 도면, 청구항 등의 설명으로부터 다른 효과가 분명해지고 얻어질 수 있다.

도면의 간단한 설명

[0027] 도 1의 (A) 및 (B)는 표시 장치의 일 실시예를 설명하는 단면도 및 상면도.

도 2의 (A) 내지 (D)는 표시 장치의 일 실시예를 각각 설명하는 상면도.

도 3의 (A) 및 (B)는 표시 장치의 일 실시예를 설명하는 상면도.

도 4는 표시 장치의 일 실시예를 설명하는 단면도.

도 5의 (A) 및 (B)는 표시 장치의 일 실시예를 설명하는 블록도와 회로도.

도 6은 표시 장치의 일 실시예를 설명하는 상면도.

도 7은 표시 장치의 일 실시예를 설명하는 단면도.

도 8은 표시 장치의 일 실시예를 설명하는 단면도.

도 9는 표시 장치의 일 실시예를 설명하는 단면도.

도 10의 (A) 내지 (D)는 표시 장치를 제조하기 위한 방법의 일 실시예를 설명하는 단면도들.

도 11의 (A) 내지 (D)는 표시 장치를 제조하기 위한 방법의 일 실시예를 설명하는 단면도들.

도 12의 (A) 내지 (D)는 표시 장치를 제조하기 위한 방법의 일 실시예를 설명하는 단면도들.

도 13의 (A) 및 (B)는 표시 장치의 일 실시예를 예시하는 상면도 및 단면도.

도 14는 표시 장치의 일 실시예를 예시하는 상면도.

도 15는 표시 장치의 일 실시예를 예시하는 상면도.

도 16의 (A) 및 (B)는 표시 장치의 일 실시예를 예시하는 단면도들.

도 17의 (A) 및 (B)는 표시 장치의 구동 방법의 예들을 예시하는 개념도.

도 18은 표시 모듈을 예시하는 도면.

도 19의 (A) 내지 (D)는 각각 일 실시예에 따른 전자 장치의 외관도.

도 20의 (A) 및 (B)는 샘플 1과 샘플 2의 투과율을 도시하는 도면.

도 21은 샘플 3의 투과율을 도시하는 도면.

도 22는 표시 장치의 일 실시예를 예시하는 단면도.

도 23은 표시 장치의 일 실시예를 예시하는 단면도.

도 24는 표시 장치의 일 실시예를 예시하는 상면도.

도 25는 표시 장치의 일 실시예를 예시하는 상면도.

도 26은 표시 장치의 일 실시예를 예시하는 단면도.

도 27의 (A) 내지 (C)는 표시 장치를 제조하는 방법의 일 실시예를 예시하는 단면도.

도 28은 표시 장치의 일 실시예를 예시하는 상면도.

도 29는 소자 기판의 러빙 각도와 광 누설 사이의 관계를 도시하는 그래프.

도 30의 (A) 및 (B)는 각각 액정 표시 장치의 표시부의 관찰 결과를 도시하는 도면.

도 31의 (A)는 계산을 위해 사용된 화소의 모양의 상면도이고, 도 31의 (B) 및 (C)는 계산 결과를 도시하는 도면.

도 32의 (A)는 계산을 위해 사용된 화소의 모양의 상면도이고, 도 32의 (B) 및 (C)는 계산 결과를 도시하는 도면.

도 33은 전압-투과율 특성을 도시하는 그래프.

도 34는 액정 표시 장치에 표시된 화상의 사진을 도시하는 도면.

도 35는 투과율의 측정 결과를 도시하는 그래프.

도 36은 도전율의 측정 결과를 도시하는 그래프.

도 37은 저항율의 측정 결과를 도시하는 그래프.

도 38은 도전율의 온도 의존성을 도시하는 그래프.

도 39의 (A) 내지 (D)는 산화물 도전체막의 형성 모델을 예시하는 도면들.

도 40의 (A) 및 (B)는 전압-투과율 특성의 계산 결과를 도시하는 그래프들.

도 41은 트랜지스터의 단면 STEM 화상을 도시하는 도면.

도 42는 트랜지스터의 전기 특성을 도시하는 도면.

도 43은 트랜지스터의 전기 특성을 도시하는 도면.

도 44의 (A) 및 (B)는 IGZO막의 XRD 및 XRR 측정 결과를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 실시예 및 예가 아래에서 도면을 참조하여 더 상세히 설명된다. 본 발명은 이어지는 설명에 제한되지 않고, 그 모드 및 세부 사항은 본 발명의 취지 및 범주로부터 벗어나지 않으면서 다양하게 변경될 수 있다는 점을 당업자라면 쉽게 이해한다. 그러므로 본 발명은 이어지는 실시예 및 예에서의 설명에 제한되는 것으로 여겨져서는 안 된다. 또한, 이어지는 실시예 및 예에서, 동일한 부분들 또는 동일한 기능을 가지는 동일한 부분들은 상이한 도면들에서 동일한 참조 번호 또는 동일한 해칭(hatching) 패턴에 의해 표시되고, 그 설명은 생략한다.

[0029] 본 명세서에서 설명된 각 도면에서 각 구성성분의 크기, 막 두께, 또는 영역은 몇몇 경우에서 명료화를 위해 과장됨을 주목하라. 그러므로 본 발명의 실시예는 그러한 스케일(scale)에 제한되지 않는다.

[0030] 또한, 본 명세서에서의 "제1", "제2", 및 "제3"과 같은 용어들은 구성성분들 간의 혼동을 피하기 위해 사용되고, 그러한 용어들은 그러한 구성성분들을 수적으로 제한하지 않는다. 그러므로 예를 들면, "제1"이라는 용어는 "제2", "제3" 등으로 적절하게 대체될 수 있다.

[0031] "소스" 및 "드레인"의 기능은 때때로, 예를 들면 회로 동작시 전류의 방향이 변경될 때 서로 대체된다. 그러므로 본 명세서에서 드레인과 소스를 표시하기 위해 "소스" 및 "드레인"이라는 용어가 각각 사용될 수 있다.

[0032] 전압은 2개의 포인트의 전위 사이의 차이를 가리키고, 전위란 정전계에서의 주어진 한 점에서의 단위 전하의 정전 에너지(전기적인 포텐셜 에너지)를 가리킴을 주목하라. 일반적으로 한 포인트의 전위와 기준 전위 사이의 차이를 전위 또는 전압이라고 부르고, 전위 및 전압은 많은 경우에 같은 뜻을 갖는 단어로서 사용됨을 주목하라. 그러므로 본 명세서에서 특별히 지정하는 경우를 제외하고는, 전위를 전압으로 고쳐 말할 수 있고, 전압을 전위로 고쳐 말할 수 있다.

[0033] 본 명세서에서 등에서, "전기적으로 접속된"이라는 용어는 임의의 전기 기능을 가지는 물체를 통해 구성성분이 연결되는 경우를 포함한다. 그러한 물체를 통해 연결되는 구성성분들 사이에 전기적 신호가 보내지고 받아질 수 있는 한, "임의의 전기 기능을 가지는 물체"에는 어떠한 특별한 제한도 존재하지 않는다. "전기 기능을 가지는 물체"의 예로는 트랜지스터, 저항기, 인덕터, 커패시터, 및 다양한 기능을 가지는 소자들과 같은 스위칭 소자와, 전극 및 배선이 있다.

[0034] [실시예 1]

[0035] 이 실시예에서는, 본 발명의 일 실시예인 표시 장치가 도면을 참조하여 설명된다.

[0036] 도 1의 (A)는 FFS 모드의 액정 표시 장치에서 포함된 표시 부분의 화소(103)의 상면도이고, 도 1의 (B)는 도 1의 (A)의 일점쇄선 A-B를 따라 단면이 취해진 단면도이다. 도 1의 (A)에서, 기판(1), 절연막(3), 절연막(8), 절연막(60), 기판(61), 차광막(62), 착색막(63), 절연막(64), 절연막(65), 및 액정층(66)이 생략되어 있다.

[0037] 도 1의 (A) 및 (B)에 예시된 것처럼, FFS 모드의 액정 표시 장치는 액티브 매트릭스 액정 표시 장치이고, 표시부에 제공된 각각의 화소(103)에서 트랜지스터(102)와 화소 전극(5)을 포함한다.

[0038] 도 1의 (B)에 예시된 것처럼, 액정 표시 장치는 기판(1) 위에 트랜지스터(102)와, 트랜지스터(102)에 연결된 화소 전극(5), 트랜지스터(102) 및 화소 전극(5)과 접촉하는 절연막(8), 절연막(8)과 접촉하는 공통 전극(9), 및 절연막(8) 및 공통 전극(9)과 접촉하고 배향막으로서 기능하는 절연막(60)을 포함한다.

[0039] 또한, 기판(61)과 접촉하는 차광막(62) 및 착색막(63); 기판(61)과 접촉하는 절연막(64); 차광막(62), 및 착색막(63); 그리고 절연막(64)과 접촉하고 배향막으로서 기능하는 절연막(65)이 제공된다. 절연막(60)과 절연막(65) 사이에는 액정층(66)이 제공된다. 비록 예시되어 있지는 않지만, 기판(1)과 기판(61) 각각의 외측에는 편광판이 제공된다.

[0040] 트랜지스터(102)는 순스태거형(staggered) 트랜지스터, 역스태거형(inverted staggered) 트랜지스터, 코플래너형(coplanar) 트랜지스터 등이 적절히 사용된 것일 수 있다. 또한, 트랜지스터(102)로서, 반도체막이 게이트 절연막과 게이트 전극으로 U자 모양으로 둘러싸이는 FIN 타입의 트랜지스터가 사용될 수 있다. 역스태거형 트랜지스터의 경우, 채널-에칭된(channel-etched) 구조, 채널 보호 구조 등이 적절히 사용될 수 있다.

[0041] 이 실시예에서의 트랜지스터(102)는 채널-에칭된 구조를 가지는 역스태거형 트랜지스터이다. 이 트랜지스터(102)는 기판(1) 위에서 게이트 전극으로서 기능하는 도전막(2), 기판(1) 및 도전막(2) 위에서 게이트 절연막으로서 기능하는 절연막(3), 절연막(3)을 사이에 두고 도전막(2)과 중첩하는 반도체막(4), 및 반도체막(4)과 접촉

하는 도전막(6) 및 도전막(7)을 포함한다. 도전막(2)은 게이트 전극과 함께 주사선으로서 기능하는 도전막으로서 기능한다. 즉, 게이트 전극은 주사선의 일부이다. 도전막(6)은 소스 전극 및 드레인 전극의 한쪽과 함께 신호선으로서 기능하는 도전막으로서 기능한다. 즉, 소스 전극 및 드레인 전극 중 하나는 신호선의 일부이다. 도전막(7)은 소스 전극 및 드레인 전극 중 나머지 하나로서 기능한다. 따라서, 트랜지스터(102)는 신호선으로서 기능하는 도전막(6)과 주사선으로서 기능하는 도전막(2)에 전기적으로 접속된다. 비록 이 경우 도전막(2)이 주사선과 게이트 전극으로서 기능하지만, 게이트 전극과 주사선은 별개로 형성될 수 있다. 도전막(6)은 신호선과, 소스 전극 및 드레인 전극 중 하나 모두로서 기능하지만, 신호선과, 소스 전극 및 드레인 전극 중 하나는 별개로 형성될 수 있다.

[0042] 트랜지스터(102)에서, 실리콘, 실리콘 게르마늄, 또는 산화물 반도체와 같은 반도체 재료가 반도체막(4)을 위해 적절히 사용될 수 있다. 반도체막(4)은 적절하게 비정질 구조, 미세결정 구조, 다결정 구조, 단결정 구조 등을 가질 수 있다.

[0043] 게이트 절연막으로서 기능하는 절연막(3) 위에 화소 전극(5)이 제공된다. 화소 전극(5)이 도전막(7)에 연결된다. 즉, 화소 전극(5)은 트랜지스터(102)에 전기적으로 접속된다.

[0044] 도 1의 (A)에 예시된 것처럼, 화소 전극(5)은 화소(103)에서 직사각형이다. 이 실시예의 표시 장치가 액티브 매트릭스 액정 표시 장치이기 때문에, 화소 전극(5)은 매트릭스 형태로 배열된다. 화소 전극(5)과 공통 전극(9)은 각각 투광성을 가지는 막을 사용하여 형성된다.

[0045] 화소 전극(5)의 모양은 직사각형 모양에 제한되지 않고, 화소(103)의 모양에 따라 다양한 모양을 가질 수 있다. 화소 전극(5)이 화소(103)에서 신호선으로서 기능하는 도전막(6)과 주사선으로서 기능하는 도전막(2)에 의해 둘러싸인 영역에서 넓게 형성되는 것이 바람직하다. 그러므로 화소(103)의 개구율(aperture ratio)이 증가될 수 있다.

[0046] 트랜지스터(102) 및 화소 전극(5) 위에는 절연막(8)이 제공된다. 이 경우 절연막(8)으로서는 트랜지스터(102)를 덮고, 화소 전극(5)을 부분적으로 노출시키는 개구부(도 1의 (A)에서의 일점쇄선(10))를 가지는 절연막(8a)과, 절연막(8a) 및 화소 전극(5) 위의 절연막(8b)이 예시된다. 절연막(8)으로서, 절연막(8a) 및 절연막(8b) 대신, 오직 절연막(8b)이나, 평탄성(planarity)을 가지는 또 다른 절연막이 제공될 수 있음을 주목하라.

[0047] 공통 전극(9)의 상면은 지그재그(zigzag) 모양을 가질 수 있다. 공통 전극(9)에서 지그재그 모양의 반복 단위(unit)가 반복하는 방향을 공통 전극(9)의 연장 방향으로 하면, 신호선으로서 기능하는 도전막(6)의 연장 방향이 공통 전극(9)의 연장 방향과 교차한다.

[0048] 공통 전극(9)의 상면은 물결(wavy) 모양을 가질 수 있다. 물결 모양의 반복 단위가 반복되는 공통 전극(9)의 방향이 공통 전극(9)의 연장 방향으로 하면, 신호선으로서 기능하는 도전막(6)의 연장 방향이 공통 전극(9)의 연장 방향과 교차한다.

[0049] 공통 전극(9)의 연장 방향과 신호선으로서 기능하는 도전막(6)의 연장 방향이 서로 교차하는 각도는, 45° 이상 135° 이하인 것이 바람직하다. 위 범위 내의 각도에서 연장 방향이 서로 교차하면, 깜박거림이 감소될 수 있다.

[0050] 1개의 화소에서, 공통 전극(9)은 줄무늬 모양 패턴을 가진다. 화소 전극(5)에 전압이 인가되면, 도 1의 (B)에서 파선 화살표(dashed arrow)로 표시된 것처럼, 화소 전극(5)과 동통 전극(9) 사이에 포물선 모양의 전계가 생성된다. 따라서 액정층(66)에 포함된 액정 분자가 배향될 수 있다.

[0051] m번째 행과 n번째 열의 화소에 제공된 화소 전극은, n번째 열에서 신호선으로서 기능하는 도전막과 n+1번째 열에서 신호선으로서 기능하는 도전막 사이에 제공된다. 공통 전극(9)은 바람직하게는, n번째 열에서 신호선으로서 기능하는 도전막과 화소 전극 사이, 그리고 n+1번째 열에서 신호선으로서 기능하는 도전막과 화소 전극 사이에 구부러진 부분을 가진다. 따라서 공통 전극(9)에서, 각각의 열에서 신호선으로서 기능하는 도전막(6)과 교차하는 방향들은 서로에 대해 평행하거나 실질적으로 평행하다. 각 화소에서 화소 전극(5)과 교차하는 방향들은 서로에 대해 평행하거나 실질적으로 평행하다. 따라서 1개의 화소에서의 공통 전극(9)의 모양은 또 다른 화소에서의 것과 동일하거나 실질적으로 동일하고, 따라서 각 화소에서의 액정 분자의 배향에 있어서의 불규칙성이 감소될 수 있다.

[0052] 여기서, 공통 전극(9)의 평면 형상이 도 2의 (A)를 참조하여 상세히 묘사된다. 도 2의 (A) 내지 (D)는 각각 신호선으로서 기능하는 도전막(6)과 화소 전극(5) 부근에서의 확대된 상면도이다.

[0053] 공통 전극(9)은 제1 영역(9a)과 제2 영역(9b)을 포함한다. 1개의 화소에서, 복수의 제1 영역(9a)과 복수의 제2

영역(9b)이 제공된다. 또한, 1개의 화소에서 복수의 제1 영역(9a)은 서로 평행하거나 실질적으로 평행하게 배치되고, 복수의 제2 영역(9b)이 서로 평행하거나 실질적으로 평행하게 배치된다. 공통 전극(9)에서, 제1 영역(9a) 및 제2 영역(9b)은 연결부(9c)에서 서로 연결된다. 제1 영역(9a)은 신호선으로서 기능하는 도전막(6)과 부분적으로 중첩되고, 제2 영역(9b)은 화소 전극(5)과 부분적으로 중첩된다. 평면 모양에서, 신호선으로서 기능하는 도전막(6)과 화소 전극(5) 사이에 연결부(9c)가 위치한다. 연결부(9c)는 화소 전극(5)의 끝 부분 및 신호선으로서 기능하는 도전막(6)의 끝 부분의 하나 이상과 중첩할 수 있다. 제1 영역(9a) 및 제2 영역(9b)은 신호선으로서 기능하는 도전막(6)의 교차하는 방향으로 번갈아가며 제공된다.

[0054] 제1 영역(9a)은 제1 방향(9d)으로 연장하고, 제2 영역(9b)은 제2 방향(9e)으로 연장한다. 제1 방향(9d)과 제2 방향(9e)은 다른 방향이고 서로 교차한다.

[0055] 공통 전극(9)의 평면 형상에서는, 구부러진 부분(9f)이 신호선으로서 기능하는 도전막(6)과 화소 전극(5) 사이에 위치한다. 구부러진 부분(9f)은 화소 전극(5)의 끝 부분과, 신호선으로서 기능하는 도전막(6)의 끝 부분의 하나 이상과 중첩할 수 있다는 점을 주목하다.

[0056] 제1 영역(9a)과 제2 영역(9b) 사이의 각도, 즉 제1 방향(9d)과 제2 방향(9e) 사이의 각도, 다시 말해 구부러진 부분(9f)의 각도($\theta 1$)는 90° 보다 크고 180° 보다 작으며, 바람직하게는 135° 보다 크고 180° 보다 작다.

[0057] 제1 영역(9a)과, 신호선으로서 기능하는 도전막(6)의 수선 사이의 각도(도 2의 (A)에서 파선으로 예시된), 즉 제1 영역(9a)의 연장 방향과 신호선으로서 기능하는 도전막(6)의 수선 사이의 각도, 다시 말하자면 제1 영역(9a)과 신호선으로서 기능하는 도전막(6) 사이의 구부러진 부분(9f)에서의 각도($\theta 2$)는 0° 보다 크고 90° 보다 작고, 바람직하게는 0° 보다 크고 45° 보다 작다.

[0058] 각도($\theta 1$)와 각도($\theta 2$)의 상기 범위 내에서, 제1 영역(9a)에 제공된 액정 분자의 배향 방향과 제2 영역(9b)에 제공된 액정 분자의 배향 방향은 전압이 인가될 때, 다르게 될 수 있다. 배향 방향이 다를 때에는, 배선 전위에 의해 생성되는 제1 영역(9a)에서의 배향 상태 및 제2 영역(9b)에서의 배향 상태가 서로에 대해 덜 영향을 미친다. 즉, 제2 영역(9b)에서의 배향 상태는 배선 전위에 의해 생성된 제1 영역(9a)에서의 배향 상태에 의해 영향을 덜 받는다. 그러므로 화소 전극(5)은 신호선으로서 기능하는 도전막(6)과 공통 전극(9) 사이에서 생성된 전계에 의해 덜 영향을 받도록 만들어질 수 있고, 깜박거림이 감소될 수 있다.

[0059] 공통 전극(9)이 각도($\theta 2$)의 상기 범위 내에서 줄무늬 모양을 가진다면, 공통 전극(9)이 신호선으로서 기능하는 도전막(6)과 교차하는 방향으로 연장한다. 그러므로 신호선으로서 기능하는 도전막(6)과 중첩하는 면적과, 공통 전극(9)과 도전막(7) 사이의 기생 용량이 감소될 수 있다. 각도($\theta 2$)가 45° 이상일 때에는, 공통 전극(9)이 더 좁아지고, 더 높은 저항을 가지며, 따라서 각도($\theta 2$)는 바람직하게는 45° 미만이다.

[0060] 각도($\theta 1$)와 각도($\theta 2$)의 합은 135° 이상이고, 180° 미만이다.

[0061] 각도($\theta 1$)와 각도($\theta 2$)의 합이 위 범위 내에 있을 때에는, 공통 전극(9)의 제1 영역(9a)이 각각의 열에서 신호선으로서 기능하는 도전막(6)과 교차하는 방향이 서로 평행하거나 실질적으로 평행하다. 공통 전극(9)의 제2 영역(9b)이 각각의 화소에서 화소 전극(5)과 교차하는 방향들을 서로 평행하거나 실질적으로 평행하다. 따라서 1개의 화소에서의 공통 전극(9)의 모양은 또 다른 화소에서의 것과 동일하거나 실질적으로 동일하며, 따라서 각각의 화소에서의 액정 분자의 배향에 있어서의 불규칙성이 감소될 수 있다.

[0062] 화소 전극(5)과 공통 전극(9)이 서로 중첩하는 영역에서는, 화소 전극(5), 절연막(8b), 및 공통 전극(9)이 커패시터를 형성한다. 화소 전극(5)과 공통 전극(9)이 각각 투광성을 가지는 막을 사용하여 형성되므로, 개구율과 커패시터의 용량이 증가될 수 있다. 또한, 화소 전극(5)과 공통 전극(9) 사이에 제공된 절연막(8b)이 높은 유전 상수를 가지는 재료를 사용하여 형성될 때에는, 커패시터의 많은 양의 전하가 축적될 수 있다. 높은 유전 상수를 가지는 재료로서는, 질화 실리콘, 산화 알루미늄, 산화 갈륨, 산화 이트륨, 산화 하프늄, 하프늄 실리케이트($HfSiO_x$), 질소가 추가되는 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가되는 하프늄 알루미네이트($HfAl_xO_yN_z$) 등이 주어질 수 있다.

[0063] 차광막(62)은 블랙 매트릭스로서 기능한다. 차광막(63)은 컬러 필터로서 기능한다. 착색막(63)은 액정 표시 장치가, 예를 들면 모노크롬 표시 장치인 경우에는 반드시 제공되는 것은 아니다.

[0064] 착색막(63)은 특정 파장 범위에서 광을 투과시키는 착색막이다. 예를 들면, 적색의 파장 범위에서 광을 투과시키기 위한 적색(R)막, 녹색의 파장 범위에서 광을 투과시키기 위한 녹색(G)막, 청색의 파장 범위에서 광을 투과시키기 위한 청색(B)막 등이 사용될 수 있다.

[0065] 차광막(62)은 바람직하게는 특정 파장 범위에서 광을 차단하는 기능을 가지고, 예를 들면 흑색 안료 등을 포함하는 유기 절연막 또는 금속막일 수 있다.

[0066] 절연막(65)은 평탄화층으로서 기능하거나, 착색막(63)에서의 불순물이 액정 소자 측으로 확산하는 것을 억제한다.

[0067] 비록 예시되지는 않았지만 기판(1)과 기판(61) 사이에는 밀봉재(sealant)가 제공된다. 액정층(66)은 기판(1), 기판(61), 및 밀봉재에 의해 둘러싸인다. 액정층(66)의 두께를 유지하기 위한 스페이서(또는 셀 갭(cell gap)이라고 함)가 절연막(60)과 절연막(64) 사이에 제공될 수 있다.

[0068] 그 다음, 이 실시예의 액정 표시 장치를 구동하기 위한 방법이 도 2의 (A) 내지 (D)를 참조하여 설명된다.

[0069] 초기 상태에서의 검정색 표시가 화소 전극으로의 전압의 인가에 의해 흰색 표시로 되는 각 화소에서의 표시 소자를 구동하기 위한 방법, 즉 정상적으로는 검정색 모드인 표시 소자의 구동을 위한 방법이 설명된다. 여기서 표시 소자는 화소 전극(5), 공통 전극(9), 및 액정층(66)에 포함된 액정 분자인 경우임을 주목하라. 비록 정상적으로는 검정색 모드인 표시 소자를 구동하기 위한 방법이 이 실시예에서 설명되지만, 정상적으로는 흰색 모드인 표시 소자를 구동하기 위한 방법이 적절하게 사용될 수 있다.

[0070] 검정색 표시의 경우에는, 트랜지스터가 턴 온되는 전압이 주사선으로서 기능하는 도전막에 인가되고, 신호선으로서 기능하는 도전막과 공통 전극에는 0V의 전압이 인가된다. 그 결과, 0V가 화소 전극에 인가된다. 다시 말하자면, 화소 전극과 공통 전극 사이에는 전계가 생성되지 않고, 따라서 액정 분자는 동작하지 않는다.

[0071] 흰색 표시의 경우에는, 트랜지스터가 턴 온되는 전압이 주사선으로서 기능하는 도전막에 인가되고, 예컨대 6V와 같이 액정 분자가 동작하는 전압이 신호선으로서 기능하는 도전막에 인가되며, 0V가 공통 전극에 인가된다. 그 결과 6V가 화소 전극에 인가된다. 다시 말하자면, 화소 전극과 공통 전극 사이에는 전계가 생성되고 따라서 액정 분자가 동작한다.

[0072] 여기서, 네거티브(negative)형의 액정 재료를 사용하여 설명한다. 액정 분자는 초기 상태에서 신호선으로서 기능하는 도전막에 평행하거나 실질적으로 평행한 방향으로 배향된다. 초기 상태에서의 액정 분자의 배향은 초기 배향이라고 불린다. 액정 분자는 화소 전극과 공통 전극 사이의 전압의 인가에 의해 기판에 평행한 평면에서 회전한다. 비록 이 실시예에서는 네거티브형의 액정 재료가 사용되지만, 포지티브(positive)형의 액정 재료가 적절하게 사용될 수 있다.

[0073] 도 1의 (B)에서는 기판(1)과 기판(61) 각각의 외측에 편광판이 제공된다. 기판(1)의 외측에 제공된 편광판의 편광자와, 기판(61)의 외측에 제공된 편광판의 편광자는 서로 직교하도록 배치되며, 즉 교차된 니콜(Nicols) 상태로 배치된다. 그러므로 액정 분자가 주사선으로서 기능하는 도전막(2)과 신호선으로서 기능하는 도전막(6)에 평행한 방향으로 배향될 때에는, 편광판들에 의해 광이 흡수되고 검정색이 표시된다. 비록, 이 실시예에서는 교차된 니콜 상태에 있는 편광판들을 사용하여 설명하고 있지만, 평행한 니콜 상태에 있는 편광판이 적절하게 사용될 수 있다.

[0074] 여기서, 상이한 전압이 화소 전극(5) 및 공통 전극(9)에 인가되는 경우에, 신호선으로서 기능하는 도전막(6)과 공통 전극(9) 사이, 그리고 화소 전극(5)가 공통 전극(9) 사이에 생성된 전계에 대한 설명이 이루어진다. 공통 전극(9)의 제1 영역(9a)에서는, 신호선으로 기능하는 도전막(6)과 공통 전극(9) 사이에, 도 2의 (B)에서 점선으로 된 화살표에 의해 표시된 전계(F1a)가 생성되고, 공통 전극(9)의 제2 영역(9b)에서는 도 2의 (B)에서 점선으로 된 화살표에 의해 표시된 전계(F1b)가 화소 전극(5)과 공통 전극(9) 사이에 생성된다.

[0075] 전계(F1a)와 전계(F1b)의 방향은 상이하다. 다시 말하면 전계들의 방향은 제1 영역(9a)과 제2 영역(9b)에서 다르고, 또한 전계의 방향들 사이의 차이는 크다. 제1 영역(9a)에서의 액정 분자의 배향과 제2 영역(9b)에서의 액정 분자의 배향은 서로에 의해 쉽게 영향을 받지 않는다.

[0076] 일반적으로, 리프레시 레이트(refresh rate)가 낮은 액정 표시 장치는 보유(retention) 기간과 리프레시 기간을 가진다. 여기서 도 2의 (D)를 참조하여 설명한다. 보유 기간은 화소 전극(5)의 전위를 보유하기 위해, 신호선으로서 기능하는 도전막(6)에 0V 또는 임의의 고정된 전위가 인가되는 기간이다. 리프레시 기간은 화소 전극(5)의 전위를 재기입(rewrite)(리프레시)하기 위해 신호선으로서 기능하는 도전막(6)에 기입 전압이 인가되는 기간이다. 리프레시 기간과 보유 기간 동안에는, 신호선으로서 기능하는 도전막(6)에 상이한 전압이 인가된다. 그러므로 신호선으로서 기능하는 도전막(6) 부근에서의 액정 분자들의 배향은 리프레시 기간과 보유 기간 사이에서 다르다. 그러므로 인접한 화소들에서 제공된 화소 전극(5)과 공통 전극(9) 사이의 전계에 의해 생성되는 제2 영역

(9b)에서의 액정 분자들의 배향 상태는, 리프레시 기간과 보유 기간에서 신호선으로서 기능하는 도전막(6)의 부근에서의 액정 분자들에 의해 상이한 방식으로 영향을 받는다. 그러므로 화소들의 투과율은 변경되고, 깜박거림이 생긴다.

[0077] 하지만, 이 실시예에 도시된 모양을 가지는 공통 전극을 사용하면 제1 영역(9a)과 제2 영역(9b)에서의 전계들의 방향이 상이하기 때문에, 신호선으로서 기능하는 도전막(6) 부근에서의 액정 분자들의 배향 상태와, 인접한 화소에서 제공된 화소 전극(5)과 공통 전극(9) 사이에서 전계에 의해 생성되는 화소 전극(5) 부근에서의 액정 분자들의 배향 상태는 도 2의 (B)에서 예시된 것처럼 서로에 의해 영향을 덜 받게 된다. 그러므로 화소들에서의 투과율의 변화가 억제된다. 따라서 화상에서의 깜박거림이 감소될 수 있다.

[0078] 여기서, 비교예로서 도 2의 (C)는 신호선으로서 기능하는 도전막(6)과 중첩하는, 공통 전극(69)의 영역이, 도전막(7)의 수선(도 2의 (C)에서 파선으로 표시된)과 평행하게 연장하는 일 예를 예시한다. 공통 전극(69)은 화소 전극(5)과 중첩하는 영역과 도전막(7)의 수선 사이에서 미리 결정된 각도를 가진다. 공통 전극(69)에서는 화소 전극(5)과 중첩하는 영역이 도전막(7)의 수선에 평행할 수 있음을 주목하라.

[0079] 여기서, 도 2의 (D)를 참조하여 화소 전극(5)과 공통 전극(69)에 상이한 전압이 인가되는 경우, 도 2의 (C)에서의 공통 전극(69)과 화소 전극(5) 사이에 전계가 생성되는 것에 대한 설명이 이루어진다. 공통 전극(69)에서는, 신호선으로서 기능하는 도전막(6)과 중첩하는 영역에, 도 2의 (D)에서 파선 화살표로 표시된 전계(F2a)가 신호선으로서 기능하는 도전막(6)과 공통 전극(69) 사이에서 생성되고, 화소 전극(5)과 중첩하는 영역에서는, 파선 화살표로 표시된 전계(F2b)가 화소 전극(5)과 공통 전극(69) 사이에 생성된다.

[0080] 전계(F2a)와 전계(F2b)의 방향이 다르지만, 전계의 방향들 사이의 차이는 작다. 그러므로 신호선으로서 기능하는 도전막(6)과 중첩하는 영역에서의 액정 분자는 신호선으로서 기능하는 도전막 및 인접하는 화소의 화소 전극의 전압의 영향을 받기 쉽고, 모노-도메인(mono-domain) 구조를 가진다. 그러므로 화상의 깜박거림이 발생된다. 특히, 신호선과 공통 전극이 서로 수직으로 교차할 때에는, 액정 분자들의 회전 방향이 특정되지 않고, 따라서 화소 전극 부근에서의 액정 분자들의 배향 상태가 신호선으로서 기능하는 도전막(6) 부근에서의 액정 분자들에 의해 쉽게 영향을 받고, 따라서 깜박거림이 쉽게 생성된다.

[0081] 따라서, 이 실시예에서 설명된 공통 전극(9)과 같이 지그재그 모양을 가진 공통 전극을 가지는 표시 장치는 깜박거림이 적고, 우수한 표시 품질을 지닌 표시 장치이다.

[0082] 그 다음, 공통 전극(9)이 줄무늬 모양을 가지는 효과에 대해서 도 3의 (A) 및 (B)를 참조하여 설명한다.

[0083] 도 3의 (A) 및 (B)는 FFS 모드의 액정 표시 장치의 화소 부분에 포함된 화소들의 상면도를 각각 보여준다. 도 3의 (A) 및 (B) 각각에는 2개의 인접한 화소(103a 및 103b)가 예시된다.

[0084] 화소(103a)는 주사선으로서 기능하는 도전막(2), 반도체막(4a), 신호선으로서 기능하는 도전막(6a), 도전막(7a), 화소 전극(5a), 및 공통 전극(9)을 포함한다. 화소(103b)는 주사선으로서 기능하는 도전막(2), 반도체막(4b), 신호선으로서 기능하는 도전막(6b), 도전막(7b), 화소 전극(5b), 및 공통 전극(9)을 포함한다.

[0085] 도 3의 (A) 및 (B)에서, 공통 전극(9)의 상면은 지그재그 모양을 가지고, 신호선으로서 기능하는 도전막(6a 및 6b)과 교차하는 방향으로 연장한다. 다시 말하자면, 공통 전극(9)이 화소(103a 및 103b)를 가로질러 놓여있다.

[0086] 도 3의 (A)는 초기 상태(검정색 표시)를 예시하고, 도 3의 (B)는 구동 상태를 예시한다.

[0087] 도 3의 (A) 및 (B) 각각의 화소(103a, 103b)에서, 공통 전극(9)은 신호선으로서 기능하는 도전막(6a, 6b)과 교차하는 방향으로 연장하고, 따라서 초기 상태(검정색 표시)에서 신호선으로서 기능하는 도전막(6a, 6b)에 평행하거나 실질적으로 평행한 방향으로 액정 분자들(L)이 배향된다.

[0088] 그 다음, 도 3의 (B)에서처럼, 화소(103a)가 검정색 표시를 수행하고, 화소(103b)가 흰색 표시를 수행하는 경우가 설명된다. 공통 전극(9)과, 신호선으로서 기능하는 도전막(6a)에는 0V가 인가된다. 신호선으로서 기능하는 도전막(6b)에는 6V가 인가된다. 그 결과, 화소(103b)에서의 화소 전극(5b)에 6V가 인가되고, 신호선으로서 기능하는 도전막(6b)과 공통 전극(9) 사이에는 도 3의 (B)에서 파선 화살표로 표시된 전계(F1a)가 생성되며, 화소 전극(5)과 공통 전극(9) 사이에는 파선 화살표로 표시된 전계(F1b)가 생성되고, 그에 따라 액정 분자(L)들이 배향된다. 여기서, 액정 분자(L)들은 45° 만큼 회전한다.

[0089] 화소 전극(5a)은 화소(103a)에서 0V에 있고, 신호선으로서 기능하고 화소 전극(5a)의 부근에 제공되는 도전막(6b)은 6V에 있다. 하지만, 공통 전극(9)과, 신호선으로서 기능하는 도전막(6b)이 서로 교차하기 때문에, 화소

전극(5a)과, 신호선으로서 기능하는 도전막(6b) 사이에 전계(F3)가 생성된다. 전계(F3)의 방향은 액정 분자들의 초기 배향의 방향에 실질적으로 수직이다. 이 경우, 네거티브형 액정 재료가 사용되기 때문에 액정 분자(L)들은 쉽게 동작하지 않고, 따라서 전계(F3)가 생성될 때에도 깜박거림이 억제될 수 있다.

[0090] 따라서, 이 실시예에서 설명된 공통 전극을 가지는 액정 표시 장치에서는, 신호선으로서 기능하는 도전막과 공통 전극 사이의 전계와, 화소 전극과 공통 전극 사이에서의 전계 사이의 방향에 있어서의 차이들이 발생하고, 그 차이들이 큰 각도를 형성한다. 그러므로 신호선으로서 기능하는 도전막 부근에서 제공된 액정 분자들은 인접한 화소들의 화소 전극들과, 신호선으로서 기능하는 도전막의 전압에 의해 영향을 덜 받게 되어, 액정 분자들의 배향 무질서(disorder)가 감소될 수 있다.

[0091] 리프레시 레이트가 낮은 액정 표시 장치에서는, 신호선으로서 기능하는 도전막(6)의 부근에서의 액정 분자들의 배향이, 보유 기간 동안에서도 공통 전극과 인접한 화소들에서의 화소 전극들 사이의 전계에 의해 영향을 덜 받는다. 그러므로 보유 기간에서의 화소들의 투과율이 유지될 수 있고, 깜박거림이 감소될 수 있다.

[0092] 또한, 신호선으로서 기능하는 도전막과 교차하는 방향으로 연장하는 공통 전극이 제공될 때에는, 액정 표시 장치가 광 누설이 적고 우수한 콘트라스트를 가질 수 있다.

[0093] 이 실시예에서의 공통 전극은 기판의 전체 표면에 걸쳐 형성되지 않는다. 그러므로 공통 전극이 신호선으로서 기능하는 도전막과 중첩하는 영역이 감소될 수 있고, 따라서 신호선으로서 기능하는 도전막과 공통 전극 사이에서 발생된 기생 용량이 감소될 수 있다. 그 결과, 큰 기판을 사용하여 형성된 표시 장치에서 배선 지연이 감소될 수 있다.

[0094] 이 실시예에서 설명된 구조, 방법 등이 다른 실시예에서 설명된 구조, 방법 등의 임의의 것과도 조합하여 적절히 사용될 수 있음을 주목하라.

[0095] <변형예 1>

[0096] 도 4를 참조하여 도 1의 (A) 및 (B)에서의 액정 표시 장치의 변형예가 설명된다. 도 4에 예시된 액정 표시 장치는 기판(61) 상에 도전막(67)을 포함한다. 구체적으로는, 절연막(64)과 절연막(65) 사이에 도전막(67)이 제공된다.

[0097] 도전막(67)은 투광성을 가지는 도전막을 사용하여 형성된다. 도전막(67)의 전위는 공통 전극(9)의 전위와 바람직하게 같다. 다시 말하자면, 공통 전위가 도전막(67)가 바람직하게 인가된다.

[0098] 액정 분자들을 구동하기 위한 전압이 도전막(6)에 인가될 때에는, 도전막(6)과 공통 전극(9) 사이에 전계가 발생된다. 전계는 수직 전계이다. FFS 모드에서는 수평 전계로 인해 기판에 평행한 방향으로 액정 분자들이 배향된다. 하지만, 수직 전계가 발생되면, 도전막(6)과 공통 전극(9) 사이의 액정 분자들이 수직 전계의 효과로 인해 기판에 수직인 방향으로 배향되고, 따라서 깜박거림이 발생한다.

[0099] 하지만, 공통 전극(9)과 도전막(67)이 동일한 전위를 가지도록, 액정층(66)을 통해 공통 전극(9)을 향하는 측상에 도전막(67)이 제공되는 방식으로, 도전막(6)과 공통 전극(9) 사이의 전계로 인해 기판에 수직인 방향으로의 액정 분자들의 배향 변화를 억제하는 것이 가능하다. 따라서, 그러한 영역에서의 액정 분자들의 배향 상태가 안정된다. 그러므로 깜박거림이 감소될 수 있다.

[0100] <변형예 2>

[0101] 도 6에 예시된 공통 전극(29)에서는, 제1 영역과 제2 영역이 서로 연결된다. 제1 영역은 줄무늬 모양을 가지고, 지그재그 상태로 구부러져 있으며, 신호선으로서 기능하는 도전막(21a)의 연장 방향과 교차한다. 제2 영역은 신호선으로서 기능하는 도전막(21a)과 평행하거나 실질적으로 평행한 방향으로 연장하는 영역이다. 도 6에서의 공통 전극(29)은 신호선으로서 기능하는 도전막(21a)과 중첩하지 않고, 따라서 공통 전극(29)의 기생 용량이 감소될 수 있다.

[0102] 하지만, 제2 영역은 표시 영역으로서의 역할은 하지 않는다. 그러므로 화소(103a), 화소(103b), 및 화소(103c)의 면적은 더 작아지고, 이로 인해 개구율이 낮아진다.

[0103] 그러므로 화소(103a), 화소(103b), 및 화소(103c)의 면적은 도 28에서 예시된 공통 전극(29)에서 신호선으로서 기능하는 도전막(21a) 위의 제1 영역에 연결된 제2 영역을 제공함으로써 증가될 수 있다. 제2 영역은 신호선으로서 기능하는 도전막(21a)에 평행하거나 실질적으로 평행한 방향으로 연장하지 않고, 도전막(21a)의 부분과 중첩한다는 점을 주목하라. 따라서 신호선으로서 기능하는 도전막(21a)과 공통 전극(29) 사이에서 발생된 기생 용

량은 감소될 수 있고, 화소의 면적 및 개구율이 감소될 수 있다. 도 28에서의 화소는 50.8%와 같이 50% 이상의 개구율을 가질 수 있다.

[0104] 도 28에서의 공통 전극(29)에서는, 제2 영역이 제1 영역에 규칙적으로 결합될 수 있지만 제1 영역에 무작위로 결합될 수 있다는 점을 주목하라.

[0105] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등 중 임의의 것과 적절히 결합하여 사용될 수 있다는 점을 주목하라.

[0106] [실시예 2]

[0107] 이 실시예에서는, 본 발명의 일 실시예인 표시 장치가 도면을 참조하여 설명된다. 또한, 이 실시예에서 트랜지스터에 포함된 반도체막으로서 산화물 반도체막이 사용된다.

[0108] 도 5의 (A)에 예시된 표시 장치는 화소부(101); 주사선 구동 회로(104); 신호선 구동 회로(106); 서로에 대해 평행하거나 실질적으로 평행하게 배치되고, 주사선 구동 회로(104)에 의해 전위가 제어되는 m개의 주사선으로서 기능하는 도전막(107); 서로에 대해 평행하거나 실질적으로 평행하게 배치되고, 신호선 구동 회로(106)에 의해 전위가 제어되는 n개의 신호선으로서 기능하는 도전막(109)을 포함한다. 화소부(101)는 매트릭스 형상으로 배치된 복수의 화로(103)를 또한 포함한다. 또한, 서로에 대해 평행하거나 실질적으로 평행하게 배치된 공통선(115)이 신호선으로서 기능하는 도전막(109)을 따라 제공된다. 주사선 구동 회로(104)와 신호선 구동 회로(106)를 몇몇 경우에서는 집합적으로 구동 회로부라고 부른다.

[0109] 주사선으로서 기능하는 각각의 도전막(107)은 화소부(101)에서 m개의 행과 n개의 열로 배치된 화소(103) 중 대응하는 행에서 n개의 화소(103)에 전기적으로 접속된다. 신호선으로서 기능하는 각각의 도전막(109)은 m개의 행과 n개의 열로 배치된 화소(103) 중 대응하는 열에서 m개의 화소(103)에 전기적으로 접속된다. m과 n은 각각 1 이상인 정수라는 점을 주목하라. m개의 행과 n개의 열로 배치된 화소(103) 중 대응하는 열에서 m개의 화소(103)에 각각의 공통선(115)이 전기적으로 접속된다.

[0110] 도 5의 (B)는 도 5의 (A)에 예시된 표시 장치에서 화소(103)에 대해 사용될 수 있는 회로 구성의 일 예를 예시한다.

[0111] 도 5의 (B)에서의 화소(103)는 액정 소자(121), 트랜지스터(102), 및 커패시터(105)를 포함한다.

[0112] 액정 소자(121)의 한 쌍의 전극 중 하나는 트랜지스터(102)에 연결되고, 그 전위는 화소(103)의 사양(specifications)에 따라 적절하게 설정된다. 액정 소자(121)의 전극의 쌍 중 나머지는 공통선(115)에 연결되고, 공통 전위가 그것에 인가된다. 액정 소자(121)의 액정 분자들의 배향 상태는 트랜지스터(102)에 기입된 데이터에 따라 제어된다.

[0113] 액정 소자(121)는 액정 분자의 광학적 변조 작용을 이용하는 광의 투과 또는 비투과를 제어하는 소자이다. 액정 분자의 광학적 변조 작용은 액정 분자에 인가된 전계(수평 전계, 수직 전계, 및 대각선 전계를 포함하는)에 의해 제어된다는 점을 주목하라. 액정 소자(121)의 예로는 네마틱(nematic) 액정, 콜레스테릭(cholesteric) 액정, 스멕틱(smectic) 액정, 서모트로픽(thermotropic) 액정, 리오트로픽(lyotropic) 액정, 강유전성 액정, 및 반강유전성 액정이 있다.

[0114] 액정 소자(121)를 포함하는 표시 장치를 구동하기 위한 방법으로서 FFS 모드가 사용된다.

[0115] 블루상을 나타내는 액정 재료와 카이랄(chiral) 재료를 포함하는 액정 조성물을 이용하여 액정 소자가 형성될 수 있다. 블루상을 나타내는 액정은 1㎳ 이하의 짧은 응답 시간을 가지고, 광학적으로 등방성이며, 따라서 배향 처리가 반드시 필요하지 않고 시야각 의존성이 작다.

[0116] 도 5의 (B)에 예시된 화소(103)의 구성에서는, 트랜지스터(102)의 소스 전극 및 드레인 전극 중 하나가 신호선으로서 기능하는 도전막(109)에 전기적으로 접속되고, 트랜지스터(102)의 소스 전극 및 드레인 전극 중 나머지 하나는 액정 소자(121)의 전극 쌍 중 하나에 전기적으로 접속된다. 트랜지스터(102)의 게이트 전극은 주사선으로서 기능하는 도전막(107)에 전기적으로 접속된다. 트랜지스터(102)는 턴 온 또는 턴 오프됨으로써 데이터 신호를 기입할지를 제어하는 기능을 가진다.

[0117] 도 5의 (B)에 예시된 화소(103)에서, 커패시터(105)의 전극의 쌍 중 하나는 트랜지스터(102)에 연결된다. 커패시터(105)의 전극의 쌍 중 나머지 하나는 공통선(115)에 전기적으로 접속된다. 공통선(115)의 전위는 화소(103)의 사양에 따라 적절하게 설정된다. 커패시터(105)는 기입 데이터를 저장하기 위한 저장 커패시터로서 기능한

다. 이 실시예에서, 커패시터(105)의 전극 쌍 중 하나는 액정 소자(121)의 전극 쌍의 일부 또는 전부이다. 커패시터(105)의 전극 쌍 중 나머지 하나는 액정 소자(121)의 전극 쌍 중 나머지 하나의 일부 또는 전부이다.

[0118] 표시 장치에 포함된 소자 기판의 구체적인 구성이 설명된다. 도 6은 복수의 화소(103a, 103b, 103c)의 상면도이다.

[0119] 도 6에서, 주사선으로서 기능하는 도전막(13)이 신호선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면에서 측면 방향)으로 연장한다. 신호선으로서 기능하는 도전막(21a)은 주사선으로서 기능하는 도전막에 실질적으로 수직인 방향(도면에서 세로 방향)으로 연장한다. 주사선으로서 기능하는 도전막(13)이 주사선 구동 회로(104)(도 5의 (A) 참조)에 전기적으로 접속되고, 신호선으로서 기능하는 도전막(21a)이 신호선 구동 회로(106)(도 5의 (A) 참조)에 전기적으로 접속된다.

[0120] 트랜지스터(102)는 주사선으로서 기능하는 도전막 및 신호선으로서 기능하는 도전막이 서로 교차하는 영역에 제공된다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 게이트 절연막(도 6에는 미도시); 채널 영역이 형성되는, 게이트 절연막 위의 산화물 반도체막(19a); 및 소스 전극과 드레인 전극으로서 기능하는 도전막(21a)과 도전막(21b)을 포함한다. 도전막(13)은 주사선으로서 기능하는 도전막으로서도 기능을 하고, 산화물 반도체막(19a)과 중첩하는 영역이 트랜지스터(102)의 게이트 전극의 역할을 한다. 또한, 도전막(21a)은 신호선으로서 기능하는 도전막으로서도 기능을 하고, 산화물 반도체막(19a)과 중첩하는 도전막(21a)의 영역은 트랜지스터(102)의 소스 전극 또는 드레인 전극으로서 기능한다. 더 나아가, 도 6의 상면도에서는 주사선으로서 기능하는 도전막의 끝 부분이 산화물 반도체막(19a)의 끝 부분의 외측에 위치한다. 그러므로 주사선으로서 기능하는 도전막은 백라이트와 같은 광원으로부터의 광을 차단하기 위한 차광막으로서 기능한다. 그 결과, 트랜지스터에 포함된 산화물 반도체막(19a)에 광이 조사되지 않아서, 트랜지스터의 전기적 특성에 있어서의 변동이 억제될 수 있다.

[0121] 도전막(21b)은 화소 전극(19b)에 전기적으로 접속된다. 공통 전극(19)이 절연막을 사이에 두고 화소 전극(19b) 위에 제공된다. 일점쇄선으로 표시된 개구(40)가 화소 전극(19b) 위에 제공된 절연막에 제공된다. 화소 전극(19b)은 개구(40)에서 질화물 절연막(도 6에는 미도시)과 접촉한다.

[0122] 공통 전극(29)은 신호선으로서 기능하는 도전막과 교차하는 방향으로 연장하는 줄무늬 영역(제1 영역)을 포함한다. 줄무늬 영역(제1 영역)은 신호선으로서 기능하는 도전막에 평행하거나 실질적으로 평행한 방향으로 연장하는 영역(제2 영역)에 연결된다. 따라서, 공통 전극(29)의 줄무늬 영역(제1 영역)은 화소에서 동일한 전위에 있다.

[0123] 커패시터(105)는 화소 전극(19b) 및 공통 전극(29)이 서로 중첩하는 영역에 형성된다. 화소 전극(19b) 및 공통 전극(29)은 각각 투광성을 가진다. 즉, 커패시터(105)는 투광성을 가진다.

[0124] 도 6에 예시된 것처럼, 이 실시예에서 설명된 액정 표시 장치는 FFS 모드 액정 표시 장치이고, 신호선으로서 기능하는 도전막과 교차하는 방향으로 연장하는 줄무늬 영역을 포함하는 공통 전극이 제공된다. 그러므로 표시 장치는 우수한 콘트라스트를 가질 수 있다.

[0125] 커패시터(105)의 투광성으로 인해, 커패시터(105)는 화소(103)에서 크게(큰 면적으로) 형성될 수 있다. 그러므로 보통 50% 이상, 바람직하게는 60% 이상까지 증가된 개구율과 함께 큰 용량의 커패시터를 지닌 표시 장치가 제공될 수 있다. 예를 들면, 액정 표시 장치와 같은 고해상도 표시 장치에서는, 화소의 면적이 작고 그에 따라 커패시터의 면적 또한 작다. 이 때문에, 커패시터에서 축적된 전하량은 고해상도 표시 장치에서는 작다. 하지만, 이 실시예의 커패시터(105)가 투광성을 가지기 때문에, 커패시터(105)가 화소에 제공될 때에는, 그 화소에서 충분한 용량이 얻어질 수 있고, 개구율이 향상될 수 있다. 대표적으로는, 화소 밀도가 200ppi(pixels per inch) 이상, 300ppi 이상, 또는 더 나아가 500ppi 이상인 고해상도 표시 장치에 커패시터(105)가 유리하게 사용될 수 있다.

[0126] 액정 표시 장치에서, 커패시터의 용량 값이 증가될 때에는, 전계가 인가되는 상태에서 액정 소자의 액정 분자들의 배향이 일정하게 유지될 수 있는 기간이 더 길어질 수 있다. 정지화상을 표시하는 표시 장치에서의 기간이 더 길어질 수 있을 때에는, 화상 데이터를 재기입하는 횟수가 감소할 수 있어, 전력 소비의 감소를 가져온다. 또한, 이러한 실시예의 구조에 따르면, 고해상도 표시 장치에서도 개구율이 향상될 수 있어서, 백라이트와 같은 광원으로부터의 광을 효율적으로 사용할 수 있게 하여, 표시 장치의 전력 소비가 감소될 수 있다.

[0127] 본 발명의 일 실시예의 상면도는 도 6에 한정되지 않음을 주목하라. 표시 장치는 다양한 상이한 구조를 가질 수 있다. 예를 들면, 공통 전극(29)의 연결 영역(제2 영역)이 도 28에 예시된 것처럼 신호선으로서 기능하는 도전

막 위에 형성될 수 있다.

[0128] 그 다음, 도 7은 도 6에서 일점쇄선인 A-B 및 C-D를 따라 단면이 취해진 단면도이다. 도 7에 예시된 트랜지스터(102)는 채널 에칭된 트랜지스터이다. 채널 길이 방향에서의 트랜지스터(102)와 커패시터(105)가 일점쇄선인 A-B를 따라 취해진 단면도에 예시되어 있고, 채널 폭 방향으로의 트랜지스터(102)는 일점쇄선 C-D를 따라 취해진 단면도에 예시되어 있다.

[0129] 도 7에서의 트랜지스터(102)는 단일 게이트 구조를 가지고, 기판(11) 위에 게이트 전극으로서 기능하는 도전막(13)을 포함한다. 또, 트랜지스터(102)는 기판(11) 및 게이트 전극으로서 기능하는 도전막(13) 위에 형성된 질화물 절연막(15)과, 질화물 절연막(15) 위에 형성된 산화물 절연막(17), 질화물 절연막(15) 및 산화물 절연막(17)을 사이에 두고 게이트 전극으로서 기능하는 도전막(13)과 중첩하는 산화물 반도체막(19a), 및 산화물 반도체막(19a)과 접촉하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)을 포함한다. 또한 산화물 절연막(17), 산화물 반도체막(19a), 및 소스 전극과 드레인 전극으로서 기능하는 도전막(21a, 21b) 위에는 산화물 절연막(23)이 형성되고, 산화물 절연막(23) 위에는 산화물 절연막(25)이 형성된다. 질화물 절연막(15), 산화물 절연막(23), 산화물 절연막(25), 및 도전막(21b) 위에는 질화물 절연막(27)이 형성된다. 산화물 절연막(17) 위에는 화소 전극(19b)이 형성된다. 화소 전극(19b)은, 소스 전극과 드레인 전극으로서 기능하는 도전막(21a, 21b) 중 한쪽, 즉 이 경우에는 도전막(21b)에 연결된다. 공통 전극(29)은 질화물 절연막(27) 위에 형성된다.

[0130] 화소 전극(19b), 질화물 절연막(27), 및 공통 전극(29)이 서로 중첩하는 영역이 커패시터(105)로서 기능한다.

[0131] 본 발명의 일 실시예의 단면도는 도 7에 한정되지 않음을 주목하라. 표시 장치는 다양한 상이한 구조를 가질 수 있다. 예를 들면, 화소 전극(19b)은 슬릿을 가질 수 있다. 화소 전극(19b)은 빗(comb) 모양의 형상을 가질 수 있다. 이 경우에서의 단면도의 일 예가 도 8에 예시되어 있다. 또는 도 9에 예시된 것처럼 질화물 절연막(27) 위에는 절연막(26b)이 제공될 수 있다. 예를 들면, 절연막(26b)으로서 유기 수지막이 제공될 수 있다. 그러므로 절연막(26b)은 평탄한 면을 가질 수 있다. 즉, 일 예로서 절연막(26b)은 평탄화막으로서 기능을 할 수 있다. 또는 공통 전극(29)과 도전막(21b)이 서로 중첩되도록 커패시터(105b)가 형성될 수 있다. 이 경우에서의 단면도의 예들이 도 22와 도 23에 예시된다. 그러한 구조는 커패시터(105b)가 화소 전극의 전위를 보유하는 커패시터로서 기능을 할 수 있게 한다. 그러므로 그러한 구조를 가지고 커패시터의 용량이 증가될 수 있다.

[0132] 표시 장치의 구조는 아래에서 상세히 설명된다.

[0133] 적어도 레이저 열 처리를 견디기에 충분한 열 저항을 재질이 가지는 한, 기판(11)의 재질의 특성 등에는 특별한 제한이 없다. 예를 들면, 유리 기판, 세라믹 기판, 석영(quartz) 기판, 또는 사파이어 기판이 기판(11)으로 사용될 수 있다. 또는 실리콘, 실리콘 카바이드(carbide) 등으로 만들어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등으로 만들어진 화합물 반도체 기판, SOI(silicon on insulator) 기판 등이 기판(11)으로서 사용될 수 있다. 더 나아가 반도체 소자가 추가로 제공된 이들 기판 중 어느 것도 기판(11)으로 사용될 수 있다. 유리 기판이 기판(11)으로서 사용되는 경우, 다음 크기, 즉 6세대(1500㎜×1850㎜), 7세대(1870㎜×2200㎜), 8세대(2200㎜×2400㎜), 9세대(2400㎜×2800㎜), 10세대(2950㎜×3400㎜) 중 임의의 것을 가지는 유리 기판이 사용될 수 있다. 그러므로 큰 크기를 가진 표시 장치가 제조될 수 있다.

[0134] 또한, 기판(11)으로서 가요성(flexible) 기판이 사용될 수 있고, 트랜지스터(102)가 가요성 기판상에 직접 제공될 수 있다. 또한, 기판(11)과 트랜지스터(102) 사이에 분리층이 제공될 수 있다. 분리층은 그러한 분리층 위에 형성된 표시 장치의 일부 또는 전부가 기판(11)으로부터 분리하고 또 다른 기판으로 옮길 때 사용될 수 있다. 그러한 경우, 트랜지스터(102)는 낮은 열 저항성을 가지는 기판 또는 가요성 기판에도 옮겨질 수 있다.

[0135] 게이트 전극으로서 기능하는 도전막(13)은 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 금속 원소; 이들 금속 원소를 성분으로 함유하는 합금; 이들 금속 원소가 조합된 것을 함유하는 합금 등을 사용하여 형성될 수 있다. 더 나아가, 망간과 지르코늄으로부터 선택된 금속 원소 중 하나 이상이 사용될 수 있다. 게이트 전극으로서 기능하는 도전막(13)이 단층 구조 또는 2개 이상의 층의 적층 구조를 가질 수 있다. 예를 들면, 실리콘을 함유하는 알루미늄 막의 단층 구조, 티타늄 막 위에 알루미늄 막이 적층된 2층 구조, 질화 티타늄 막 위에 티타늄 막이 적층된 2층 구조, 질화 티타늄 막 위에 텅스텐 막이 적층된 2층 구조, 질화 탄탈륨 막 또는 질화 텅스텐 막 위에 텅스텐 막이 적층된 2층 구조, 티타늄 막 위에 구리 막이 적층된 2층 구조, 티타늄 막, 알루미늄 막, 티타늄 막이 순서대로 적층되는 3층 구조가 주어질 수 있다. 또한, 알루미늄과, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소를 함유하는 막, 합금막, 또는 질화막이 사용될 수 있다.

[0136] 게이트 전극으로서 기능하는 도전막(13)이 인듐 주석 산화물, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가되는 인듐 주석 산화물과 같은 투광성을 가진 도전성 재료를 사용하여 또한 형성될 수 있다. 상기 투광성을 가지는 도전성 재료와 상기 금속 원소를 사용하여 형성된 적층 구조를 가지는 것도 가능하다.

[0137] 질화물 절연막(15)은 산소의 투과성이 낮은 질화물 절연막일 수 있다. 또한, 산소, 수소, 및 물의 투과성이 낮은 질화물 절연막이 사용될 수 있다. 산소의 투과성이 낮은 질화물 절연막과, 산소, 수소, 및 물의 투과성이 낮은 질화물 절연막으로서는 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등이 주어진다. 산소의 투과성이 낮은 질화물 절연막과, 산소, 수소, 및 물의 투과성이 낮은 질화물 절연막 대신, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 또는 산화질화 하프늄막과 같은 산화물 절연막이 사용될 수 있다.

[0138] 질화물 절연막(15)의 두께는 바람직하게는 5㎚ 이상 100㎚ 이하이고, 더 바람직하게는 20㎚ 이상 80㎚이다.

[0139] 산화물 절연막(17)은, 예를 들면 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화알루미늄막, 산화하프늄막, 산화갈륨막, 및 Ga-Zn계 금속 산화물막 중 하나 이상을 사용하는 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다.

[0140] 또 산화물 절연막(17)은, 하프늄 실리케이트($HfSiO_x$), 질소가 첨가되는 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가되는 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 또는 산화 이트륨과 같은 높은 비유전율을 가지는 재료를 사용하여 형성될 수 있어, 트랜지스터의 게이트 누설 전류가 감소될 수 있다.

[0141] 산화물 절연막(17)의 두께는 바람직하게는 5㎚ 이상 400㎚ 이하이고, 더 바람직하게는 10㎚ 이상 300㎚ 이하이며, 더욱 바람직하게는 50㎚ 이상 250㎚ 이하이다.

[0142] 산화물 반도체막(19a)은 대표적으로는 In-Ga 산화물, In-Zn 산화물, 또는 In-*M*-Zn 산화물(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)을 사용하여 형성된다.

[0143] 산화물 반도체막(19a)이 In-*M*-Zn 산화물을 함유하는 경우, In과 M의 합이 100원자%로 할 때, In와 *M*의 원자수비율은 바람직하게는 다음과 같은데, 즉 In의 원자 백분율은 25원자%보다 크고, *M*의 원자 백분율은 75원자%보다 작거나, 더 바람직하게는 In의 원자 백분율은 34원자%보다 크고, *M*의 원자 백분율은 66원자%보다 작다.

[0144] 산화물 반도체막(19a)의 에너지 갭(gap)은 2eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3eV 이상이다. 트랜지스터(102)의 오프 전류는 넓은 에너지 갭을 가지는 산화물 반도체를 사용하여 감소될 수 있다.

[0145] 산화물 반도체막(19a)의 두께는 3㎚ 이상 200㎚ 이하, 바람직하게는 3㎚ 이상 100㎚ 이하, 더 바람직하게는 3㎚ 이상 50㎚ 이하이다.

[0146] 산화물 반도체막(19a)이 In-*M*-Zn 산화물(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)인 함유하는 경우, In-*M*-Zn 산화물막을 형성하기 위해 사용된 스퍼터링 타겟(target)의 금속 원소의 원자수비는 In≥*M* 및 Zn≥*M*을 만족시키는 것이 바람직하다. 스퍼터링 타겟의 금속 원소의 원자수비로서, In:*M*:Zn=1:1:1, In:*M*:Zn=1:1:1.2, 및 In:*M*:Zn=3:1:2가 바람직하다. 형성되는 산화물 반도체막(19a)의 원자수비에서 각각의 금속 원소의 비율은 에러(error)로서 스퍼터링 타겟의 상기 원자수비에서의 금속 원소의 ±40%의 범위 내에서 변한다는 점을 주목하라.

[0147] 낮은 캐리어 밀도를 지닌 산화물 반도체막이 산화물 반도체막(19a)으로서 사용된다. 예를 들면, 캐리어 밀도가 $1\times10^{17}/㎤$ 이하, 바람직하게는 $1\times10^{15}/㎤$ 이하, 더 바람직하게는 $1\times10^{13}/㎤$ 이하, 더욱 바람직하게는 $1\times10^{11}/㎤$ 이하인 산화물 반도체막이 산화물 반도체막(19a)으로서 사용된다.

[0148] 위에서 설명된 조성에 한정되지 않고, 적절한 조성을 지닌 재료가 트랜지스터의 요구된 반도체 특징 및 전기적 특징(예컨대, 전계효과 이동도 및 임계 전갑)에 따라 사용될 수 있다. 더 나아가, 트랜지스터의 요구된 반도체 특징을 얻기 위해서는, 산화물 반도체막(19a)의 캐리어 밀도, 불순물 농도, 결함(defect) 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등이 적절히 설정되는 것이 바람직하다.

[0149] 산화물 반도체막(19a)으로서, 불순물 농도가 낮고, 결함 상태의 밀도가 낮은 산화물 반도체막을 사용하여, 트랜지스터가 더 우수한 전기 특성을 가질 수 있는 것이 바람직하다. 여기서, 불순물 농도가 낮고, 결함 상태의 밀도가 낮은(산소 결손의 양이 적은) 상태를 "고순도 진성(highly purified intrinsic)" 또는 "실질적으로 진성

(substantially highly purified intrinsic)"이라고 부른다. 고순도 진성 또는 실질적으로 고순도의 진성인 산화물 반도체는 캐리어 발생원이 적고, 따라서 몇몇 경우에서는 낮은 캐리어 밀도를 가진다. 그러므로 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 좀처럼 음의 임계 전압을 가지지 않는다(노말리 온(normally on)이라고도 한다). 고순도 진성 또는 실질적으로 고순도인 진성 산화물 반도체막은 밀도가 낮은 결함 상태를 가지고, 따라서 몇몇 경우에서는 캐리어 트랩(trap)이 거의 없다. 더 나아가, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 극히 낮은 오프 전류를 가지고, 소자가 1×10^{6}㎛인 채널 폭과 10㎛인 채널 길이(L)를 가질 때에도, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하일 수 있는데, 즉 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V와 10V 사이에 있을 때 1×10^{-13}A 이하이다. 그러므로 채널 영역이 산화물 반도체막에서 형성되는 트랜지스터는 전기 특성의 변동이 작고 몇몇 경우에는 높은 신뢰도를 가진다. 불순물의 예로는, 수소, 질소, 알칼리 금속, 및 알칼리토류 금속이 주어진다.

[0150] 산화물 반도체막에 함유된 수소는 금속 원자와 결합하는 산소와 반응하여 물로 됨과 동시에, 산소가 떨어져 나간 격자(또는 산소가 떨어져 나간 부분)에 산소 결손이 형성된다. 산소 결손 내로 수소가 들어감으로 인해, 캐리어로서의 역할을 하는 전자가 몇몇 경우에 발생된다. 또한, 몇몇 경우에서는 수소의 일부가 금속 원자와 결합하는 산소와 결합함으로써 캐리어로서의 역할을 하는 전자를 발생시킨다. 그러므로 수소를 함유하는 산화물 반도체를 포함하는 트랜지스터가 노말리 온되기 쉽다.

[0151] 따라서, 산화물 반도체막(19a)에서 산소 결손과 함께, 수소가 가능한 많이 감소되는 것이 바람직하다. 구체적으로는 산화물 반도체막(19a)에서 2차이온질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 측정되는 수소 농도는 5×10^{19}atoms/㎤ 이하, 바람직하게는 1×10^{19}atoms/㎤ 이하, 더 바람직하게는 5×10^{18}atoms/㎤ 이하, 더욱 바람직하게는 1×10^{18}atoms/㎤ 이하, 더더욱 바람직하게는 5×10^{17}atoms/㎤ 이하, 더더욱 바람직하게는 1×10^{16}atoms/㎤ 이하가 되게 설정된다.

[0152] 산화물 반도체막(19a)에 14족 원소 중 하나인 실리콘 또는 탄소가 함유될 때에는, 산화물 반도체막(19a)에서 산소 결손이 증가되고, 산화물 반도체막(19a)은 n형 막이 된다. 그러므로 산화물 반도체막(19a)의 실리콘 또는 탄소의 농도(농도는 SIMS에 의해 측정됨)는 2×10^{18}atoms/㎤ 이하, 바람직하게는 2×10^{17}atoms/㎤가 되게 설정된다.

[0153] 산화물 반도체막(19A)에서 SIMS로 측정된 알칼리 금속 또는 알칼리토류 금속의 농도는 1×10^{18}atoms/㎤ 이하, 바람직하게는 2×10^{16}atoms/㎤ 이하가 되게 설정된다. 알칼리 금속 및 알칼리 토류 금속은 산화물 반도체와 결합할 때 캐리어를 생성할 수 있고, 이 경우 트랜지스터의 오프 전류는 증가될 수 있다. 그러므로 산화물 반도체막(19a)에서 알칼리 금속 또는 알칼리 토류 금속의 농도를 감소시키는 것이 바람직하다.

[0154] 더 나아가, 산화물 반도체막(19a)이 질소를 함유할 때에는 캐리어로서의 역할을 하는 전자가 생성되고 캐리어 밀도가 증가함으로써, 산화물 반도체막(19a)은 쉽게 n형 도전성을 가진다. 그러므로 질소를 함유하는 산화물 반도체를 포함하는 트랜지스터는 노말리 온되기 쉽다. 이러한 이유로, 산화물 반도체막에서의 질소는 가능한 많이 바람직하게 감소되고, SIMS에 의해 측정되는 질소의 농도는 바람직하게는, 예를 들면 5×10^{18}atoms/㎤ 이하가 되게 설정된다.

[0155] 산화물 반도체막(19a)은, 예를 들면 비단결정 구조를 가질 수 있다. 이러한 비단결정 구조는, 예를 들면 후술하는 c축 배향된 결정성 산화물 반도체(CAAC-OS), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다. 비결정 구조 중에서 비정질 구조는 가장 높은 밀도를 가진 결손 상태를 가지는데 반해, CAAC-OS는 가장 낮은 밀도를 가진 결손 상태를 가진다.

[0156] 산화물 반도체막(19a)은, 예를 들면 비정질 구조를 가질 수 있다. 비정질 구조를 가지는 산화물 반도체막은 각각, 예를 들면 무질서한 원자 배열을 가지고 결정 성분을 가지고 있지 않다. 또는, 비정질 구조를 가지는 산화물막은 예를 들면 완전한 비정질 구조를 가지고, 결정부를 가지고 있지 않다.

[0157] 산화물 반도체막(19a)은 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS 영역, 및 단결정 구조를 가지는 영역 중 2개 이상의 영역을 포함하는 혼합된 막일 수 있다는 점을 주목하라. 혼합된 막은, 몇몇 경우에서는 예를 들면 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS 영역, 및 단결정 구조를 가지는 영역 중 2개 이상을 포함하는 단층 구조를 가

진다. 더 나아가, 혼합된 막은 몇몇 경우에서 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS 영역, 및 단결정 구조를 가지는 영역 중 2개 이상의 적층 구조를 가진다.

[0158] 화소 전극(19b)은 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막을 가공하여 형성된다. 그러므로 화소 전극(19b)은 산화물 반도체막(19a)에서의 것과 유사한 금속 원소를 함유한다. 더 나아가, 화소 전극(19b)은 산화물 반도체막(19a)의 것과 유사하거나 상이한 결정 구조를 가진다. 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막에 불순물이나 산소 결손을 첨가함으로써, 산화물 반도체막은 도전성을 가지고 따라서 화소 전극(19b)으로서 기능을 한다. 산화물 반도체막에 함유된 불순물의 예는 수소이다. 수소 대신, 불순물로서 붕소, 인, 주석, 안티몬, 희가스 원소, 알칼리 금속, 알칼리 토류 금속 등이 포함될 수 있다. 또는 화소 전극(19b)이 산화물 반도체막(19a)과 동시에 형성되고, 플라즈마 손상 등에 의해 발생된 산소 결손을 함유함으로써 증가된 도전성을 가진다. 또는, 화소 전극(19b)이 산화물 반도체막(19a)과 동시에 형성되고, 플라즈마 손상 등에 의해 발생된 산소 결손과 불순물을 함유함으로써 증가된 도전성을 가진다.

[0159] 산화물 반도체막(19a)과 화소 전극(19b)은 모두 산화물 절연막(17) 위에 형성되지만 불순물 농도는 다르다. 구체적으로는 화소 전극(19b)이 산화물 반도체막(19a)보다 불순물 농도가 높다. 예를 들면, 산화물 반도체막(19a)에 함유된 수소의 농도는 5×10^{19}atoms/㎤ 이하, 바람직하게는 5×10^{18}atoms/㎤ 이하, 더 바람직하게는 1×10^{18}atoms/㎤ 이하, 더욱 바람직하게는 5×10^{17}atoms/㎤ 이하, 더더욱 바람직하게는 1×10^{16}atoms/㎤ 이하이다. 화소 전극(19b)에 함유된 수소의 농도는 8×10^{19}atoms/㎤ 이상, 바람직하게는 1×10^{20}atoms/㎤ 이상, 더 바람직하게는 5×10^{20}atoms/㎤ 이상이다. 화소 전극(19b)에 함유된 수소의 농도는 산화물 반도체막(19a)의 것의 2배 이상, 바람직하게는 10배 이상이다.

[0160] 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막이 플라즈마에 노출되면, 산화물 반도체막이 손상되고, 산소 결손이 발생될 수 있다. 예를 들면 플라즈마 CVD법이나 스퍼터링법에 의해 산화물 반도체막 위에 막이 형성되면, 산화물 반도체막이 플라즈마에 노출되고 산소 결손이 발생한다. 또는, 산화물 반도체막이 산화물 절연막(23)과 산화물 절연막(25)의 형성을 위한 에칭 가공시 플라즈마에 노출되면, 산소 결손이 발생된다. 또는 산화물 반도체막이 산소와 수소의 혼합 기체, 수소, 희 가스, 및 암모니아와 같은 플라즈마에 노출되면, 산소 결손이 발생된다. 그 결과, 산화물 반도체막의 도전성이 증가되어, 산화물 반도체막이 도전성을 가지는 막이 되고, 화소 전극(19b)으로서의 기능을 한다.

[0161] 즉, 화소 전극(19b)은 높은 도전성을 가지는 산화물 반도체막을 사용하여 형성된다. 또한, 높은 도전성을 가지는 금속 산화물막을 사용하여 화소 전극(19b)이 형성된다고 말해질 수 있다.

[0162] 질화물 절연막(27)으로서 질화 실리콘막이 사용되는 경우, 질화 실리콘막은 수소를 함유한다. 질화물 절연막(27)에서의 수소가 산화물 반도체막(19a)과 동시에 형성된 산화물 반도체막으로 확산될 때, 산화물 반도체막에서 수소는 산소와 결합하고 캐리어로서의 역할을 하는 전자가 발생된다. 또 질화 실리콘막을 CVD법이나 스퍼터링법에 의해 형성될 때에는, 산화물 반도체막이 플라즈마에 노출되고 산화물 반도체막에 산소 결손이 발생된다. 질화 실리콘막에 함유된 수소가 산소 결손에 들어가면, 캐리어로서의 역할을 하는 전자가 발생된다. 그 결과, 산화물 반도체막의 도전성이 증가되어, 산화물 반도체막은 화소 전극(19b)으로서의 기능을 한다.

[0163] 수소가 산소 결손을 포함하는 산화물 반도체에 첨가되면, 수소가 산소 결손 위치에 들어가고 전도대 부근에 도너 준위를 형성한다. 그 결과 산화물 반도체의 도전성이 증가되어, 산화물 반도체가 전도체가 된다. 전도체가 된 산화물 반도체는 산화물 전도체라고 부를 수 있다. 다시 말해, 산화물 전도체막을 사용하여 화소 전극(19b)이 형성된다. 산화물 반도체는 일반적으로 그것의 큰 에너지 갭 때문에 가시광에 대하여 투과성을 가진다. 산화물 전도체는 전도대 부근에 도너 준위를 가지는 산화물 반도체이다. 그러므로 도너 준위로 인한 흡수의 영향을 작고, 산화물 전도체는 산화물 반도체의 것과 같은 정도의 가시광에 대한 투광성을 가진다.

[0164] 여기서, 산화물 반도체막이 산화물 전도체막이 되는 모델이 도 39의 (A) 내지 (D)를 참조하여 설명된다.

[0165] 도 39의 (A)에 예시된 것처럼, 산화물 반도체막(71)이 형성된다.

[0166] 도 39의 (B)에 예시된 것처럼, 산화물 반도체막(71)에 질화물 절연막(73)이 형성된다. 질화물 절연막(73)에는 수소(H)가 함유된다. 질화물 절연막(73)이 형성되면, 산화물 반도체막(71)이 플라즈마에 노출되고, 산화물 반도체막(71)에는 산소 결손(Vo)이 형성된다.

[0167] 도 39의 (C)에 예시된 것처럼, 질화물 절연막(73)에 함유된 수소(H)는 산화물 반도체막(71)으로 확산된다. 수소

(H)는 산소 결손(Vo)으로 들어가고, 전도대 부근에 도너 준위가 형성된다. 그러므로 도 39의 (D)에 예시된 것처럼, 산화물 반도체막의 전도성이 증가되고, 산화물 도전체막(75)이 형성된다. 산화물 도전체막(75)은 화소 전극으로서 기능을 한다.

[0168] 화소 전극(19b)은 산화물 반도체막(19a)보다 낮은 저항률을 가진다. 화소 전극(19b)의 저항률은 바람직하게는 산화물 반도체막(19a)의 저항률의 1×10^{-8}배 이상 1×10^{-1}배 미만이다. 화소 전극(19b)의 저항률은 대표적으로는 1×10^{-3}Ω㎝ 이상 1×10^{4}Ω㎝ 미만이고, 바람직하게는 1×10^{-3}Ω㎝ 이상 1×10^{-1}Ω㎝ 미만이다.

[0169] 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)은 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈륨, 및 텅스텐과 같은 금속들 중 임의의 것, 또는 이들 금속 중 임의의 것을 주성분으로 함유하는 합금을 포함하는 단층 구조 또는 적층 구조를 가지게 각각 형성된다. 예를 들면, 실리콘을 함유하는 알루미늄 막의 단층 구조, 알루미늄 막이 티타늄 막 위에 적층되는 2층 구조, 텅스텐 막 위에 알루미늄 막이 적층되는 2층 구조, 구리-마그네슘-알루미늄 합금 막 위에 구리 막이 적층되는 2층 구조, 티타늄 막 위에 구리 막이 적층되는 2층 구조, 텅스텐 막 위에 구리 막이 적층되는 2층 구조, 티타늄 막 또는 질화 티타늄 막, 알루미늄 막 또는 구리 막, 및 티타늄 막 또는 질화 티타늄 막이 이러한 순서대로 적층되는 3층 구조, 몰리브덴 막 또는 질화 몰리브덴 막, 알루미늄 막 또는 구리 막, 및 몰리브덴 막 또는 질화 몰리브덴 막이 이러한 순서대로 적층되는 3층 구조가 주어질 수 있다. 산화 인듐, 산화 주석, 또는 산화 아연을 함유하는 투명한 도전성 재료가 사용될 수 있음을 주목하라.

[0170] 산화물 절연막(23) 또는 산화물 절연막(25)으로서, 화학량론적 조성을 만족하는 산소보다 많은 산소를 함유하는 산화물 절연막이 바람직하게 사용된다. 여기서, 산화물 절연막(23)으로서, 산소를 투과하는 산화물 절연막이 형성되고, 산화물 절연막(25)으로서 화학량론적 조성을 만족하는 산소보다 많은 산소를 함유하는 산화물 절연막이 형성된다.

[0171] 산화물 절연막(23)은 산소를 투과하는 산화물 절연막이다. 그러므로 산화물 절연막(23) 위에 제공된 산화물 절연막(25)으로부터 떨어져 나간 산소는 산화물 절연막(23)을 통해 산화물 반도체막(19a)으로 이동될 수 있다. 또, 산화물 절연막(23)은 나중에 산화물 절연막(25)을 형성할 때 산화물 반도체막(19a)으로의 손상을 줄이는 막으로서의 역할을 한다.

[0172] 산화물 절연막(23)으로서는, 두께가 5㎚ 이상 150㎚ 이하, 바람직하게는 5㎚ 이상 50㎚ 이하인 산화 실리콘막, 산화질화 실리콘막 등이 사용될 수 있다. 본 명세서에서, "산화질화 실리콘막"은 질소보다 산소를 더 많이 함유하는 막을 가리키고, "질화산화 실리콘막"은 산소보다 질소를 더 많이 함유하는 막을 가리킨다는 점을 주목하라.

[0173] 또, 산화물 절연막(23)에서 결함의 양이 적고, 대표적으로는 ESR(electron spin resonance) 측정에 의해 g=2.001로 나타나는 신호의 스핀 밀도가 3×10^{17}spins/㎤ 이하인 것이 바람직하다. g=2.001로 나타나는 신호는 실리콘의 댕글링 본드(dangling bond)로 인한 것이다. 이는 산화물 절연막(23)에서의 결함의 밀도가 높으면, 그 결함에 산소가 결합하고, 산화물 절연막(23)을 통과하는 산소의 양이 감소되기 때문이다.

[0174] 또, 산화물 절연막(23)과 산화물 반도체막(19a) 사이의 계면에서의 결함의 양은 작은 것이 바람직하고, 대표적으로는 ESR 측정에 의해, 산화물 반도체막(19a)에서의 산소 결손으로 인해 g=1.89 이상 1.96 이하로 나타나는 신호의 스핀 밀도는 1×10^{17}spins/㎤ 이하, 더 바람직하게는 검출 하한 이하인 것이 바람직하다.

[0175] 산화물 절연막(23)에서는 외부로부터 산화물 절연막(23)에 들어가는 모든 산소가 몇몇 경우에서는 산화물 절연막(23)의 외부로 옮겨진다는 점을 주목하라. 또는 몇몇 경우에서는 외측으로부터 산화물 절연막(23)으로 들어가는 산소 일부가 산화물 절연막(23)에 남아 있다. 또한, 몇몇 경우에서 외부로부터 산화물 절연막(23)에 산소가 들어가고, 산화물 절연막(23)에 함유된 산소가 산화물 절연막(23)의 외부로부터 이동하는 방식으로, 산화물 절연막(23)에서 산소의 이동이 일어난다.

[0176] 산화물 절연막(25)은 산화물 절연막(23)과 접촉하게 형성된다. 산화물 절연막(25)은 화학량론적 조성을 만족하는 산소보다도 많은 산소를 함유하는 산화물 절연막을 사용하여 형성된다. 화학량론적 조성을 만족하는 산소보다도 많은 산소를 함유하는 산화물 절연막으로부터의 가열에 의해 산소의 일부가 떨어져 나간다. 화학량론적 조성을 만족하는 산소보다 많은 산소를 함유하는 산화물 절연막은, TDS 분석에서 산소 원자로 전환되어 떨어져 나간 산소의 양이 1.0×10^{18}atoms/㎤ 이상, 바람직하게는 3.0×10^{20}atoms/㎤ 이상인 산화물 절연막이다. TDS 분석

에서 막 표면의 온도는 바람직하게는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 500℃ 이하이라는 점을 주목하다.

[0177] 산화물 절연막(25)으로서는 두께가 30㎚ 이상 500㎚ 이하, 바람직하게는 50㎚ 이상 400㎚ 이하인 산화 실리콘막, 산화질화 실리콘막 등이 사용될 수 있다.

[0178] 산화물 절연막(25)에서 결함의 양이 적고, 대표적으로는 ESR 측정에 의해 g=2.001로 나타나는 신호의 스핀 밀도가 1.5×10^{18}spins/㎤ 미만이고, 더 바람직하게는 1×10^{18}spins/㎤ 이하인 것이 바람직하다. 산화물 절연막(25)은 산화물 절연막(23)보다 산화물 반도체막(19a)으로부터 더 떨어져서 제공되고, 따라서 산화물 절연막(25)은 산화물 절연막(23)보다 높은 결함 밀도를 가질 수 있다는 점을 주목하다.

[0179] 질화물 절연막(27)은 질화물 절연막(15)과 마찬가지로, 산소의 투과성이 낮은 질화물 절연막일 수 있다. 또한 산소, 수소, 및 물의 투과성이 낮은 질화물 절연막이 사용될 수 있다.

[0180] 질화물 절연막(27)은 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등을 사용하여 형성되고, 그 두께는 50㎚ 이상 300㎚ 이하, 바람직하게는 100㎚ 이상 200㎚ 이하이다.

[0181] 산화물 절연막(23) 또는 산화물 절연막(25)에서 화학량론적 조성을 만족하는 산소보다 많은 산소를 함유하는 산화물 절연막이 포함되는 경우, 산화물 절연막(23) 또는 산화물 절연막(25)에 함유된 산소의 일부가 산화물 반도체막(19a)으로 이동될 수 있어, 산화물 반도체막(19a)에 함유된 산소 결손의 양이 감소될 수 있다.

[0182] 산소 결손이 있는 산화물 반도체막을 사용하는 트랜지스터의 임계 전압은 음의 방향으로 쉽게 변동하고, 그러한 트랜지스터는 노말리 온되는 경향이 있다. 이는 산화물 반도체막에서의 산소 결손에 기인하여 전하가 발생되고 따라서 저항이 감소되기 때문이다. 노말리 온 특성을 가지는 트랜지스터는, 동작시에 동작 불량이 발생하기 쉽고, 예를 들면 동작하지 않을 때에는 전력 소비가 증가된다는 점에서 다양한 문제를 일으킨다. 또 트랜지스터의 전기적 특성, 대표적으로는 임계 전압에 있어서의 전하의 양이 시간이나 스트레스 테스트에 의한 변동에 의해 증가된다는 문제점이 존재한다.

[0183] 하지만, 일 실시예에서 트랜지스터(102)에는 산화물 반도체막(19a) 위에 제공된 산화물 절연막(23) 또는 산화물 절연막(25)이 화학량론적 조성을 만족하는 산소보다 많은 산소를 함유한다. 또, 산화물 반도체막(19a), 산화물 절연막(23), 산화물 절연막(25)이 질화물 절연막(15) 및 산화물 절연막(17)에 의해 둘러싸인다. 그 결과, 산화물 절연막(23) 또는 산화물 절연막(25)에 함유된 산소는 산화물 반도체막(19a)에 효율적으로 이동되어, 산화물 반도체막(19a)에서의 산소 결손의 양이 감소될 수 있다. 따라서, 노말리 오프 특성을 가지는 트랜지스터가 얻어진다. 또한, 시간이 지남에 따른 또는 스트레스 테스트로 인한, 트랜지스터의 전기적 특성, 대표적으로는 임계 전압에 있어서의 변동의 양이 감소될 수 있다.

[0184] 공통 전극(29)은 투광성을 가지는 막, 바람직하게는 투광성을 가지는 도전막을 사용하여 형성한다. 투광성을 가지는 도전막으로는, 산화 텅스텐을 함유하는 인듐 산화물막, 산화 텅스텐을 함유하는 인듐 아연 산화물막, 산화 티타늄을 함유하는 인듐 산화물막, 산화 티타늄을 함유하는 인듐 주석 산화물막, 인듐 주석 산화물(이하, ITO라고 함)막, 인듐 아연 산화물막, 산화 실리콘이 첨가되는 인듐 주석 산화물막 등이 주어진다.

[0185] 공통 전극(29)의 모양은 실시예 1에서 공통 전극(9)의 모양과 유사하고, 신호선으로서 기능을 하는 도전막(21a)의 연장 방향과 공통 전극(29)의 연장 방향은 서로 교차한다. 그러므로 신호선으로서 기능을 하는 도전막(21a)과 공통 전극(29) 사이의 전계와 화소 전극(19b)과 공통 전극(29) 사이의 전계 사이의 방향에 있어서의 차이가 생기고, 그러한 차이가 큰 각도를 형성한다. 따라서, 신호선으로서 기능하는 도전막 부근의 액정 분자들의 배향 상태와, 인접한 화소에 제공된 화소 전극과 공통 전극 사이의 전계에 의해 발생되는 화소 전극 부근에서의 액정 분자들의 배향 상태는 서로에 의해 덜 영향을 받는다. 그러므로 화소의 투과율의 변화가 억제된다. 따라서 화상에서의 깜박거림이 감소될 수 있다.

[0186] 낮은 리프레시 레이트를 가지는 액정 표시 장치에서는 보유 기간 동안에서도, 신호선으로서 기능을 하는 도전막(21a)의 부근에서의 액정 분자들의 배향이 인접한 화소들에서의 화소 전극과 공통 전극(29) 사이에 생기는 전계로 인해 화소 전극 부근의 액정 분자의 배향 상태에 덜 영향을 미친다. 그러므로 보유 기간에서 화소들의 투과율이 유지될 수 있고, 깜박거림이 감소될 수 있다.

[0187] 공통 전극(29)은 신호선으로서 기능을 하는 도전막(21a)과 교차하는 방향으로 연장하는 줄무늬 영역을 포함한다. 따라서 화소 전극(19b)과 도전막(21a) 부근에서, 액정 분자들의 의도되지 않은 배향이 방지될 수 있고, 따라서 광 누설이 억제될 수 있다. 그 결과, 우수한 콘트라스트를 지닌 표시 장치가 제조될 수 있다.

[0188] 이 실시예에서 설명된 표시 장치의 소자 기판에 트랜지스터의 산화물 반도체막과 동시에 화소 전극이 형성된다. 화소 전극은 커패시터의 전극 중 하나로서 기능을 한다.

[0189] 공통 전극은 또한 커패시터의 전극 중 나머지 것으로서의 기능을 한다. 그러므로 커패시터를 형성하기 위해 또 다른 도전막을 형성하는 단계는 필요하지 않고, 표시 장치를 제작하는 단계들의 개수가 감소될 수 있다. 커패시터는 투광성을 가진다. 그 결과 커패시터가 차지하는 면적은 증가될 수 있고, 화소에서의 개수율이 증가될 수 있다.

[0190] 그 다음, 도 10의 (A) 내지 (D), 도 11의 (A) 내지 (D), 및 도 12의 (A) 내지 (C)를 참조하여 도 7에서의 커패시터(105)와 트랜지스터(102)를 제조하는 방법이 설명된다.

[0191] 도 10의 (A)에 예시된 것처럼, 도전막(13)이 될 도전막(12)이 기판(11) 위에 형성된다. 도전막(12)은 스퍼터링법, MOCVD(metal organic chemical vapor deposition)법과 같은 CVD(chemical vapor deposition)법, 금속 화학 기상 증착법, ALD(atomic layer deposition)법, 또는 PECVD(plasma-enhanced chemical vapor deposition)법, 증발법, PLD(pulsed laser deposition)법 등에 의해 형성된다. MOCVD법, 금속 화학 기상 증착법 또는 ALD법이 이용될 때에는, 도전막이 플라즈마에 의해 덜 손상된다.

[0192] 여기서, 유리 기판이 기판(11)으로서 사용된다. 또, 도전막(12)으로서 스퍼터링법에 의해 10㎚ 두께의 텅스텐막이 형성된다.

[0193] 그 다음, 제1 포토마스트를 사용하는 포토리소그라피 공정에 의해 도전막(12) 위에 마스크가 형성된다. 그러면, 도 10의 (B)에 예시된 것처럼 도전막(12)의 일부가 게이트 전극으로서 기능하는 도전막(13)을 형성하기 위해 마스크를 사용하여 에칭된다. 그 후, 마스크가 제거된다.

[0194] 게이트 전극으로서 기능하는 도전막(13)이 상기 형성 방법 대신, 전해 도금법, 인쇄법, 잉크젯법 등에 의해 형성될 수 있다.

[0195] 여기서, 게이트 전극으로서 기능하는 도전막(13)을 형성하기 위해 드라이 에칭법에 의해 텅스텐막이 에칭된다.

[0196] 그 다음, 도 10의 (C)에 예시된 것처럼, 게이트 전극으로서 기능하는 도전막(13) 위에 질화물 절연막(15)과 나중에 산화물 절연막(17)으로 되는 산화물 절연막(16)이 형성된다. 그 다음, 산화물 절연막(16) 위에, 나중에 산화물 반도체막(19a)과 화소 전극(19b)이 되는 산화물 반도체막(18)이 형성된다.

[0197] 질화물 절연막(15) 및 산화물 절연막(16)은 각각 스퍼터링법, MOCVD법과 같은 CVD법, 금속 화학 증착법, ALD법, 또는 PECVD법, 증발법, PLD법, 코팅법, 인쇄법 등에 의해 형성된다. MOCVD법 또는 ALD법이 이용될 때에는, 질화물 절연막(15) 및 산화물 절연막(16)이 플라즈마에 의해 덜 손상된다. ALD법이 이용될 때에는, 질화물 절연막(15) 및 산화물 절연막(16)의 피복성(coverage)이 증가될 수 있다.

[0198] 여기서, 실란(silane), 질소, 및 암모니아를 소스 가스로서 사용하는 플라즈마 CVD법에 의해, 질화물 절연막(15)으로서 두께가 300㎚인 질화 실리콘막이 형성된다.

[0199] 산화물 절연막(16)으로서, 산화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막이 형성되는 경우, 소스 가스로서 실리콘을 함유하는 증착 가스 및 산화성 가스가 바람직하게 사용된다. 실리콘을 함유하는 증착 가스의 대표적인 예에는 실란, 디실란(disilane), 트리실란(trisilane), 및 불화 실란(silane fluoride)이 있다. 산화성 가스로서는 그 예로서, 산소, 오존, 일산화 이질소, 및 이산화질소가 주어질 수 있다.

[0200] 또한, 산화물 절연막(16)으로서 산화 갈륨막이 형성되는 경우, MOCVD법이 이용될 수 있다.

[0201] 여기서, 산화물 절연막(16)으로서 실란과 일산화 이질소가 소스 가스로서 사용되는 플라즈마 CVD법에 의해 50㎚ 두께를 가진 산화질화 실리콘막이 형성된다.

[0202] 산화물 반도체막(18)은 스퍼터링법, MOCVD법과 같은 CVD법, ALD법, 또는 PECVD법, PLD법, 레이저 절제법, 코팅법 등에 의해 형성될 수 있다. MOCVD법, 금속 화학 증착법 또는 ALD법이 이용될 때에는, 플라즈마에 의해 산화물 반도체막(18)이 덜 손상되고, 산화물 절연막(16)이 덜 손상된다. ALD법이 이용될 때에는, 산화물 반도체막(18)의 피복성이 증가될 수 있다.

[0203] 스퍼터링법에 의해 산화물 반도체막을 형성하는 경우 플라즈마를 발생시키기 위한 전원장치로서는, RF 전원장치, AC 전원장치, DC 전원장치 등이 적절하게 사용될 수 있다.

[0204] 스퍼터링 가스로서는, 희가스(대표적으로는 아르곤), 산소 가스, 또는 희가스와 산소가 혼합된 가스가 적절하게

사용된다. 희가스와 산소가 혼합된 가스를 사용하는 경우에는, 희가스에 대한 산소의 비율이 증가되는 것이 바람직하다.

[0205] 또, 타겟은 형성하는 산화물 반도체막의 조성에 따라 적절하게 선택될 수 있다.

[0206] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막을 얻기 위해서는, 챔버 내를 높은 진공으로 배기하는 것뿐만 아니라 스퍼터링 가스를 매우 깨끗하게 하는 것이 필수적이다. 스퍼터링 가스로서 사용하는 산소 가스 또는 아르곤 가스는, 노점(dew point)이 -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하, 더욱 바람직하게는 -120℃ 이하이도록 고순도화된 가스가 사용되어, 산화물 반도체막으로 수분 등이 들어가는 것이 가능한 많이 방지될 수 있다.

[0207] 여기서는, In-Ga-Zn 산화물 타겟(In:Ga:Zn=1:1:1)을 사용하는 스퍼터링법에 의해 산화물 반도체막으로서 35㎚의 두께를 가진 In-Ga-Zn 산화물막이 형성된다.

[0208] 다음에는, 제2 포토마스크를 사용하는 포토리소그라피 공정에 의해 산화물 반도체막(18) 위에 마스크가 형성된 후, 마스크를 사용하여 산화물 반도체막이 부분적으로 에칭된다. 그러므로 도 10의 (D)에 예시된 것처럼, 소자 분리된 산화물 반도체막(19a)과 산화물 반도체막(19c)이 형성된다. 그런 다음 마스크가 제거된다.

[0209] 여기서, 산화물 반도체막(18) 위에 마스크가 형성되고, 산화물 반도체막(18)의 일부가 웻 에칭법에 의해 선택적으로 에칭되는 방식으로, 반도체막(19a)과 산화물 반도체막(19c)이 형성된다.

[0210] 그 다음, 도 11의 (A)에 예시된 것처럼, 나중에 도전막(21a, 21b)이 되는 도전막(20)이 형성된다.

[0211] 도전막(20)은 도전막(12)의 것과 비슷한 방법으로 적절하게 형성될 수 있다.

[0212] 여기서, 50㎚의 두께를 가진 텅스텐막과 300㎚의 두께를 가진 구리막이 스퍼터링법에 의해 순차적으로 적층된다.

[0213] 그 다음, 제3 포토마스크를 사용하는 포토리소그라피 공정에 의해, 도전막(20) 위에 마스크가 형성된다. 그런 다음, 마스크를 사용하여 도전막(20)이 에칭되어, 소스 전극과 드레인 전극으로서 기능을 하는 도전막(21a, 21b)이 도 11의 (B)에 예시된 것처럼 형성된다. 그 다음 마스크가 제거된다.

[0214] 여기서, 포토리소그라피 공정에 의해 구리막 위에 마스크가 형성된다. 그런 다음, 마스크를 사용하여 텅스텐막과 구리막이 에칭되어, 도전막(21a, 21b)이 형성된다. 구리막은 웻 에칭법에 의해 에칭되는 점을 주목하라. 그 다음, SF_6를 사용하는 드라이 에칭법에 의해 텅스텐막이 에칭되어, 구리막의 표면상에 불화물(fluoride)이 형성된다. 이러한 불화물에 의해, 구리막으로부터 구리 원소의 확산이 감소되고, 따라서 산화물 반도체막(19a)에서의 구리 농도가 감소될 수 있다.

[0215] 그 다음, 도 11의 (C)에 예시된 것처럼, 나중에 산화물 절연막(23)이 되는 산화물 절연막(22)과 나중에 산화물 절연막(25)이 되는 산화물 절연막(24)이 산화물 반도체막(19a, 19c)과 도전막(21a, 21b) 위에 형성된다. 산화물 절연막(22)과 산화물 절연막(24)은 각각 질화물 절연막(15) 및 산화물 절연막(16)의 방법과 비슷한 방법으로 적절하게 형성될 수 있다.

[0216] 산화물 절연막(22)이 형성된 후에는, 산화물 절연막(24)이 대기에 노출되지 않고 연속적으로 형성되는 것이 바람직하다는 점을 주목하라. 산화물 절연막(22)이 형성된 후에는, 산화물 절연막(24)이 대기로의 노출 없이 소스 가스의 유량(flow rate), 압력, 고주파 전력, 및 기판 온도 중 적어도 하나를 조정함으로써 연속적으로 형성되어, 산화물 절연막(22)과 산화물 절연막(24) 사이의 계면에서 대기 성분에서 유래된 불순물의 농도가 감소될 수 있고, 산화물 절연막(24)에서의 산소가 산화물 반도체막(19a)으로 이동될 수 있고, 따라서 산화물 반도체막(19a)에서의 산소 결손의 양이 감소될 수 있다.

[0217] 다음 조건, 즉 진공 배기되는 플라즈마 CVD 장치의 처리 챔버에 놓인 기판이 280℃ 이상, 400℃ 이하인 온도에서 유지되고, 처리 챔버에 소스 가스를 도입하여 처리 챔버 내의 압력이 20Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 250Pa로 하며, 처리 챔버 내에 제공된 전극에 고주파 전력이 공급되는 조건하에서, 산화물 절연막(22)으로서 산화 실리콘막 또는 산화질화 실리콘막이 형성될 수 있다.

[0218] 산화물 절연막(22)의 소스 가스로서는, 실리콘을 함유하는 증착 가스와 산화성 가스가 사용되는 것이 바람직하다. 실리콘을 함유하는 증착 가스의 대표적인 예는, 실란, 디실란, 트리실란, 및 불화 실란을 포함한다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 및 이산화질소가 예로서 주어질 수 있다.

[0219] 위 조건을 사용하면, 산소를 투과하는 산화물 절연막이 산화물 절연막(22)으로서 형성될 수 있다. 또, 산화물 절연막(22)을 제공함으로써, 나중에 형성되는 산화물 절연막(25)을 형성하는 단계에서 산화물 반도체막(19a)에 대한 손상이 감소될 수 있다.

[0220] 다음 조건, 즉 진공 배기되는 플라즈마 CVD 장치의 처리 챔버에 놓인 기판을 280℃ 이상, 400℃ 이하인 온도에서 유지하고, 처리 챔버에 소스 가스를 도입하여 처리 챔버 내의 압력이 100Pa 이상 250Pa 이하이며, 처리 챔버 내에 제공된 전극에 고주파 전력이 공급되는 조건하에서, 산화물 절연막(22)으로서 산화 실리콘막 또는 산화질화 실리콘막이 형성될 수 있다.

[0221] 위와 같은 막 형성 조건에서, 상기 기판 온도 범위에서 실리콘과 산소의 결합 강도가 강하게 된다. 그러므로 산화물 절연막(22)으로서, 산소에 의해 투과되고 조밀하며 단단한 산화물 절연막, 대표적으로는 0.5wt/%인 불산을 사용하여 에칭이 행해질 때, 10㎚/분 이하, 바람직하게는 8㎚/분 이하인 에칭 속도를 가지는 산화 실리콘막 또는 산화질화 실리콘막이 형성될 수 있다.

[0222] 가열이 이루어지면서 산화물 절연막(22)이 형성되므로, 산화물 반도체막(19a)에 함유된 수소, 물 등이 그 단계에서 떨어져 나갈 수 있다. 산화물 반도체막(19a)에 함유된 수소는 플라즈마 중에서 형성된 산소 라디칼(radical)과 결합하여 물을 형성한다. 산화물 절연막(22)을 형성하는 단계에서 기판이 가열되기 때문에, 산소와 수소의 결합에 의해 형성된 물은 산화물 반도체막으로부터 떨어져 나간다. 즉, 산화물 절연막(22)이 플라즈마 CVD법에 의해 형성될 때에는, 산화물 반도체막(19a)에 함유된 물과 수소의 양이 감소될 수 있다.

[0223] 또, 산화물 반도체막(19a)이 노출되는 상태에서의 가열을 위한 시간은 짧아질 수 있는데, 이는 산화물 절연막(22)을 형성하는 단계에서 가열이 행해지기 때문이다. 그러므로 열 처리에 의해 산화물 반도체막으로부터 떨어져 나간 산소의 양이 감소될 수 있다. 즉, 산화물 반도체막에서의 산소 결손의 양은 감소될 수 있다.

[0224] 실리콘을 함유하는 증착 가스의 양에 대한 산화성 가스의 양의 비가 100 이상일 때에는, 산화물 절연막(22)에서의 수소 함유량이 감소될 수 있음을 주목하라. 따라서, 산화물 반도체막(19a)에 들어가는 수소의 양은 감소될 수 있고, 따라서 트랜지스터의 임계 전압에서의 음의 방향으로의 이동이 방지될 수 있다.

[0225] 여기서, 산화물 절연막(22)으로서, 유량이 30sccm인 실란과 유량이 4000sccm인 일산화 이질소가 소스 가스로서 사용되고, 처리 챔버 내의 압력이 200Pa이며, 기판 온도가 220℃이고, 27.12㎒인 고주파 전원을 사용하여 150W의 고주파 전력을 평행 평판 전극에 공급하는 플라즈마 CVD법에 의해, 50㎚인 두께를 가진 산화질화 실리콘막이 형성된다. 상기 조건하에서, 산소가 투과되는 산화질화 실리콘막이 형성될 수 있다.

[0226] 진공 배기되는 플라즈마 CVD 장치의 처리 챔버 내에 놓인 기판을 180℃ 이상, 280℃ 이하, 바람직하게는 200℃ 이상, 240℃ 이하인 온도에서 유지하고, 처리 챔버에 소스 가스를 도입하여 처리 챔버 내의 압력이 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하이며, 처리 챔버 내에 제공된 전극에 0.17W/㎠ 이상 0.5W/㎠ 이하, 바람직하게는 0.25W/㎠ 이상 0.35W/㎠ 이하인 고주파 전력이 공급되는 조건하에서, 산화물 절연막(24)으로서, 산화 실리콘막 또는 산화질화 실리콘막이 형성된다.

[0227] 실리콘을 함유하는 증착 가스와 산화성 가스가 산화물 절연막(24)의 소스 가스로서 사용되는 것이 바람직하다. 실리콘을 함유하는 증착 가스의 대표적인 예에는 실란, 디실란, 트리실란, 및 불화 실란이 포함된다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 및 이산화 질소가 예로서 주어질 수 있다.

[0228] 산화물 절연막(24)의 막 형성 조건으로서, 상기 파워 밀도를 가지는 고주파 전력이 상기 압력을 가지는 처리 챔버에 공급됨으로써, 플라즈마 중에서 소스 가스의 분해 효율이 증가되고, 산소 라디칼이 증가하며, 소스 가스의 산화가 증진되어, 산화물 절연막(24)에서의 산소 함유량이 화학량론적 조성에서의 산소 함유량보다 높게 된다. 반면에, 상기 온도 범위 내의 기판 온도에서 형성된 막에서는, 실리콘과 산소의 결합이 약하고, 따라서 막에서의 산소의 일부가 나중 단계에서의 열 처리에 의해 떨어져 나간다. 그러므로 화학량론적 조성보다 높은 비율로 산소를 함유하고 산소의 일부가 가열에 의해 떨어져 나가는 산화물 절연막을 형성하는 것이 가능하다. 또한, 산화물 반도체막(19a) 위에는 산화물 절연막(22)이 제공된다. 따라서, 산화물 절연막(24)을 형성하는 단계에서는, 산화물 절연막(22)이 산화물 반도체막(19a)의 보호막으로서의 기능을 한다. 그 결과, 산화물 반도체막(19a)에 대한 손상기 감소되면서, 높은 전력 밀도를 가지는 고주파 전력을 사용하여 산화물 절연막(24)이 형성될 수 있다.

[0229] 여기서, 산화물 절연막(24)으로서, 유량이 200sccm인 실란과 유량이 4000sccm인 일산화 이질소가 소스 가스로서 사용되고, 처리 챔버 내의 압력이 200Pa이며, 기판 온도가 220℃이고, 27.12㎒인 고주파 전원을 사용하여 1500W

의 고주파 전력을 평행 평판 전극에 공급하는 플라즈마 CVD법에 의해, 400㎚인 두께를 가진 산화질화 실리콘막이 형성된다. 플라즈마 CVD 장치는 전극 면적이 6000㎠이고, 공급된 전력이 전환되는 단위 면적당 파워(파워 밀도)가 0.25W/㎠인 평행 평판 플라즈마 CVD 장치라는 점을 주목하라.

[0230] 또한, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a 및 21b)이 형성될 때, 도전막의 에칭에 의해 산화물 반도체막(19a)이 손상되어, 산화물 반도체막(19a)의 백 채널측(게이트 전극으로서 기능하는 도전막(13)으로 향하는 측의 반대쪽인 산화물 반도체막(19a)의 측)에 산소 결손이 발생된다. 하지만, 산화물 절연막(24)으로 화학량론적 조성보다 높은 비율로 산소를 함유하는 산화물 절연막을 사용하면, 백 채널측에 발생된 산소 결손이 열 처리에 의해 수복될 수 있다. 이로 인해, 산화물 반도체막(19a)에 함유된 결함이 감소될 수 있고, 따라서 트랜지스터(102)의 신뢰성이 개선될 수 있다.

[0231] 그 다음, 제4 포토마스크를 사용하는 포토리소그라피 공정에 의해 산화물 절연막(24) 위에 마스크가 형성된다. 그 다음 도 11의 (D)에 예시된 것처럼, 산화물 절연막(22)의 일부와 산화물 절연막(24)의 일부가 마스크를 사용하여 에칭됨으로써 개구(40)를 가지는 산화물 절연막(25)과 산화물 절연막(23)을 형성한다. 그 후 마스크가 제거된다.

[0232] 이러한 공정에서, 산화물 절연막(22, 24)은 드라이 에칭법에 의해 에칭되는 것이 바람직하다. 그 결과, 에칭 처리시 산화물 반도체막(19c)이 플라즈마에 노출되고 따라서 산화물 반도체막(19c)에서의 산소 결손의 양이 증가될 수 있다.

[0233] 그 다음, 열 처리가 수행된다. 열 처리는 대표적으로 150℃ 이상 400℃ 이하, 바람직하게는 300℃ 이상 400℃ 이하, 더 바람직하게는 320℃ 이상 370℃ 이하인 온도에서 수행된다.

[0234] 이러한 열 처리에는 전기로(electric furnace), RTA 장치 등이 사용될 수 있다. RTA 장치를 사용하면, 가열 시간이 짧다면 열 처리가 기판의 스트레인점(strain point) 이상인 온도에서 수행될 수 있다. 그러므로 열 처리 시간이 짧아질 수 있다.

[0235] 열 처리는 질소, 산소, 초건조(ultra-dry) 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기에서 행해질 수 있다. 질소, 산소, 초건조 공기, 또는 희가스의 분위기는 수소, 물 등을 함유하지 않는 것이 바람직하다.

[0236] 열 처리에 의해, 산화물 절연막(25)에 함유된 산소의 일부가 산화물 반도체막(19a)으로 이동될 수 있어서, 산화물 반도체막(19a)에 함유된 산소 결손의 양이 감소될 수 있다.

[0237] 물, 수소 등이 산화물 절연막(23)과 산화물 절연막(25)에 함유되고, 질화물 절연막(26)이 물, 수소 등에 맞서는 배리어(barrier) 특성을 가지는 경우에는, 질화물 절연막(26)이 나중에 형성되고 열 처리가 수행될 때, 산화물 절연막(23)과 산화물 절연막(25)에 함유된 물, 수소 등이 산화물 반도체막(19a)으로 이동되어, 산화물 반도체막(19a)에 결함이 발생된다. 하지만, 열 처리에 의해 산화물 절연막(23)과 산화물 절연막(25)에 함유된 물, 수소 등이 떨어져 나갈 수 있고, 따라서 트랜지스터의 전기적 특성 변동이 감소될 수 있으며, 임계 전압의 변화가 방지될 수 있다.

[0238] 산화물 절연막(24)이 가열되면서 산화물 절연막(22) 위에 형성되면, 산화물 반도체막(19a)에서의 산소 결손의 양을 감소시키기 위해 산소가 산화물 반도체막(19a)으로 이동될 수 있고, 따라서 열 처리가 반드시 수행되는 것이다.

[0239] 열 처리는 산화물 절연막(22, 24)을 형성한 후 수행될 수 있다. 하지만, 산화물 절연막(23)과 산화물 절연막(25)을 형성한 후 열 처리하는 것이 바람직하게 수행되는데, 산화물 반도체막(19c)으로 산소가 이동하지 않고, 산화물 반도체막(19c)이 노출되기 때문에 산화물 반도체막(19c)으로부터 산소가 떨어져 나가 산소 결손이 발생되는 방식으로, 더 높은 도전성을 가지는 막이 형성될 수 있기 때문이다.

[0240] 여기서, 열 처리는 1시간 동안 질소와 산소의 혼합된 분위기에서 350℃에서 수행된다.

[0241] 그 다음, 도 12의 (A)에 예시된 것처럼, 질화물 절연막(26)이 형성된다.

[0242] 질화물 절연막(26)은 질화물 절연막(15)과 산화물 절연막(16)의 방법과 비슷한 방법으로 적절하게 형성될 수 있다. 스퍼터링법, CVD법 등에 의해 질화물 절연막(26)을 형성함으로써, 산화물 반도체막(19c)이 플라즈마에 노출되고, 따라서 산화물 반도체막(19c)에서의 산소 결손의 양이 증가될 수 있다.

[0243] 산화물 반도체막(19c)은 도전성이 향상되고, 화소 전극(19b)으로서 기능을 한다. 질화물 절연막(26)으로서 플라

즈마 CVD법에 의해 질화 실리콘막이 형성되면, 질화 실리콘막에 함유된 수소가 산화물 반도체막(19c)으로 확산되고, 따라서 화소 전극(19b)의 도전성이 높아질 수 있다.

[0244] 질화물 절연막(26)으로서 플라즈마 CVD법으로 질화 실리콘막을 형성하는 경우, 플라즈마 CVD 장치의 진공 배기된 처리 챔버 내에 놓인 기판을 300℃ 이상 400℃ 이하, 더 바람직하게는 320℃ 이상 370℃ 이하의 온도에서 유지하여, 고밀도(dense) 질화 실리콘막이 형성될 수 있는 것이 바람직하다.

[0245] 질화 실리콘막을 형성하는 경우, 실리콘을 함유하는 증착 가스, 질소, 및 암모니아를 소스 가스로서 사용하는 것이 바람직하다. 소스 가스로서, 질소의 양에 비해 소량인 암모니아가 사용되어, 플라즈마 중에서 암모니아가 분리되어 활성화된 종(spiecies)이 발생한다. 활성화된 종은 실리콘을 함유하는 증착 가스에 함유되는 수소와 실리콘의 결합, 및 질소 분자들 사이의 삼중 결합을 쪼갠다. 그 결과, 실리콘과 질소 사이의 결합이 촉진되고, 실리콘과 수소 사이의 결합이 소수인, 결함이 거의 없는 고밀도 질화 실리콘막이 형성될 수 있다. 한편, 암모니아의 양이 소스 가스에서의 질소의 양보다 많다면, 실리콘을 함유하는 증착 가스를 쪼개는 것과 질소를 쪼개는 것이 촉진되지 않아서, 실리콘과 수소 사이의 결합이 남아 있고 결함이 증가되는 성긴(sparse) 질화 실리콘막이 형성된다. 그러므로 소스 가스에서, 암모니아에 대한 질소의 유량비를 5 이상 50 이하로, 더 바람직하게는 10 이상 50 이하로 설정하는 것이 바람직하다.

[0246] 여기서, 플라즈마 DVD 장치의 처리 챔버에서, 유량이 50sccm인 실란, 유량이 5000sccm인 질소, 및 유량이 100sccm인 암모니아가 소스 가스로서 사용되고, 처리 챔버 내의 압력이 100Pa이며, 기판 온도가 350℃이고, 27.12㎒인 고주파 전원을 사용하여 1000W의 고주파 전력을 평행 평판 전극에 공급하는 플라즈마 CVD법에 의해, 질화물 절연막(26)으로서 50㎚의 두께를 가진 질화 실리콘막이 형성된다. 이러한 플라즈마 CVD 장치는 전극 면적이 6000㎠이고, 공급된 전력이 전환되는 단위 면적당 파워(파워 밀도)가 1.7×10^{-1}W/㎠인 평행 평판 플라즈마 CVD 장치라는 점을 주목하라.

[0247] 그 다음, 열 처리가 수행될 수 있다. 이러한 열 처리는 대표적으로 150℃ 이상 400℃ 이하, 바람직하게는 300℃ 이상 400℃ 이하, 더 바람직하게는 320℃ 이상 370℃ 이하인 온도에서 수행된다. 그 결과, 임계 전압의 음의 방향으로의 이동이 감소될 수 있다. 또한, 임계 전압에서의 변화량이 감소될 수 있다.

[0248] 그 다음, 비록 예시되지는 않았지만, 제5 포토마스크를 사용하는 포토리소그라피 공정에 의해 마스크가 형성된다. 그런 다음, 마스크를 사용하여 질화물 절연막(15), 산화물 절연막(16), 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(26) 각각의 일부를 에칭하여, 질화물 절연막(27)을 형성하고, 도전막(13)과 동시에 형성된 접속 단자의 일부가 노출되는 개구를 형성한다. 또는, 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(26) 각각의 일부를 에칭하여, 질화물 절연막(27)을 형성하고, 도전막(21a, 21b)과 동시에 형성된 접속 단자의 일부가 노출되는 개구를 형성한다.

[0249] 다음에, 도 12의 (B)에 예시된 것처럼, 나중에 공통 전극(29)이 되는 도전막(28)이 질화물 절연막(27) 위에 형성된다.

[0250] 도전막(28)은 스퍼터링법, CVD법, 증발법 등에 의해 형성된다.

[0251] 그런 다음, 제6 포토마스크를 사용하는 포토리소그라피 공정에 의해 도전막(28) 위에 마스크가 형성된다. 그 다음 도 12의 (C)에 예시된 것처럼, 마스크를 사용하여 도전막(28)의 일부가 에칭됨으로써 공통 전극(29)을 형성한다. 비록 예시되지는 않았지만, 공통 전극(29)은 도전막(13)과 동시에 형성된 접속 단자 또는 도전막(21a, 21b)과 동시에 형성된 접속 단자에 접속된다. 그 후, 마스크가 제거된다.

[0252] 상기 공정을 통해, 트랜지스터(102)가 제작되고 커패시터(105)가 제작될 수 있다.

[0253] 이 실시예의 표시 장치의 소자 기판에는 상면이 지그재그 모양을 가지고, 신호선으로서 기능을 하는 도전막과 교차하는 방향으로 연장하는 줄무늬 영역을 포함하는 공통 전극이 제공된다. 그러므로 표시 장치는 우수한 콘트라스트를 가질 수 있다. 또한, 낮은 리프레시 레이트를 가지는 액정 표시 장치에서 깜박거림이 감소될 수 있다.

[0254] 이 실시예의 표시 장치의 소자 기판에는, 트랜지스터의 산화물 반도체막과 동시에 화소 전극이 형성되고, 따라서 트랜지스터(102)와 커패시터(105)가 6개의 포토마스크를 사용하여 형성될 수 있다. 화소 전극은 커패시터의 전극들 중 하나로서의 기능을 한다. 공통 전극은 또한 커패시터의 전극들 중 나머지 것으로서의 기능을 한다. 그러므로 커패시터를 형성하기 위해 또 다른 도전막을 형성하는 단계가 필요하지 않고, 표시 장치를 제조하는 단계들의 개수가 감소될 수 있다. 커패시터는 투광성을 가진다. 그 결과, 커패시터가 차지하는 영역은 증가될 수 있고, 화소에서의 개구율이 증가될 수 있다. 또 표시 장치의 소비 전력이 감소될 수 있다.

[0255] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등의 어느 것과도 적절히 조합하여 사용될 수 있음을 주목하라.

[0256] <수정예 1>

[0257] 공통 전극에 접속된 공통선(common line)이 실시예 1에서 설명된 표시 장치에서 제공되는 구조를 도 13의 (A) 및 (B)를 참조하여 설명한다.

[0258] 도 13의 (A)는 표시 장치에 포함된 화소들(103a, 103b, 103c)의 상면도이고, 도 13의 (B)는 도 13의 (A)에서의 일점쇄선 A-B 및 C-D를 따라 단면이 취해진 단면도이다.

[0259] 도 13의 (A)에 예시된 것처럼, 공통 전극(29)의 상면은 지그재그 모양을 가지고, 신호선으로서 기능하는 도전막(21a)의 연장 방향이 공통 전극(29)의 연장 방향과 교차한다.

[0260] 공통 전극(29)의 구조를 쉽게 이해하기 위해, 공통 전극(29)은 그것의 모양을 설명하기 위해 도 13의 (A)에서 가는 선이 그어져 있다(hatched). 공통 전극(29)은 좌측 아래쪽으로 비스듬히 가는 선이 그어져 있는 영역과, 우측 아래쪽으로 비스듬히 가는 선이 그어져 있는 영역을 포함한다. 좌측 아래쪽으로 비스듬히 가는 선이 그어져 있는 영역은 지그재그 모양을 가지는 줄무늬 영역(제1 영역)이고, 신호선으로서 기능하는 도전막(21a)의 연장 방향이 공통 전극(29)의 연장 방향과 교차한다. 우측 아래쪽으로 비스듬히 가는 선이 그어져 있는 영역은 줄무늬 영역(제1 영역)에 접속되고, 신호선으로서 기능하는 도전막(21a)에 평행하거나 실질적으로 평행한 방향으로 연장하는 접속 영역(제2 영역)이다.

[0261] 공통선(21c)은 공통 전극(29)의 접속 영역(제2 영역)과 중첩한다.

[0262] 공통선(21c)은 1화소마다 제공될 수 있다. 또는 공통선(21c)이 복수의 화소마다 제공될 수 있다. 예를 들면, 도 13의 (A)에 예시된 것처럼, 표시 장치의 평평한 면에서 공통선이 차지하는 면적이 감소될 수 있도록, 3개의 화소마다 하나의 공통선(21c)이 제공된다. 또는, 4개 이상의 화소마다 하나의 공통선이 제공될 수 있다. 그 결과, 화소의 면적과 화소의 개구율이 증가될 수 있다.

[0263] 화소 전극(19b)과 공통 전극(29)이 서로 중첩하는 영역에서는, 공통 전극(29)의 접속 영역(제2 영역)과 화소 전극(19b) 사이에 발생된 전계에 의해 액정 분자가 구동될 가능성이 적다. 그러므로 공통 전극(29)의 접속 영역(제2 영역)에서 화소 전극(19b)과 중첩하는 영역의 면적은 감소되어, 액정 분자가 구동되는 영역이 증가될 수 있음으로 인해, 개구율의 증가를 가져온다. 예를 들면, 도 13의 (A)에 예시된 것처럼, 화소 전극(19b)과 중첩하지 않도록, 공통 전극(29)의 접속 영역(제2 영역)이 제공됨으로써, 화소 전극(19b)과 공통 전극(29)이 서로 중첩하는 영역의 면적이 감소될 수 있고, 따라서 화소의 개구율이 증가될 수 있다.

[0264] 도 13의 (B)에 예시된 것처럼, 신호선으로서 기능하는 도전막(21a)과 동시에 공통선(21c)이 형성될 수 있다. 공통 전극(29)은 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)에 형성된 개구(42)에서 공통선(21c)에 공통 전극(29)이 접속된다.

[0265] 도전막(21a)의 재료가 공통 전극(29)의 재료보다 낮은 저항률을 가지기 때문에, 공통 전극(29) 및 공통선(21c)의 저항이 감소될 수 있다.

[0266] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등의 어느 것과도 적절히 조합하여 사용될 수 있음을 주목하라.

[0267] [실시예 3]

[0268] 이 실시예에서는, 실시예 2에서의 표시 장치와 다른 표시 장치와 그 제조 방법이 도면을 참조하여 설명된다. 이 실시예는 고해상도 표시 장치에 포함된 트랜지스터가 광 누설을 감소시킬 수 있는 소스 전극 및 드레인 전극을 포함한다는 점에서 실시예 2와 다르다. 실시예 2에서의 것과 유사한 구조는 여기서 반복하여 설명되지 않는다.

[0269] 도 14는 이 실시예에서 설명된 표시 장치의 상면도이다. 이 표시 장치의 특징 중 하나는 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전막(21b)이 상면도에서 L자 모양을 가진다는 점이다. 다시 말해, 도전막(21b)은 주사선으로서 기능하는 도전막(13)에 수직인 방향으로 연장하는 영역(21b_1)과 도전막(13)에 평행하거나 실질적으로 평행한 방향으로 연장하는 영역(21b_2)이, 상면도에서 서로 접속되는 모양을 가진다. 영역(21b_2)은 상면도에서 도전막(13), 화소 전극(19b), 및 공통 전극(29) 중 적어도 하나와 중첩한다. 또는, 도전막(21b)은 도전막(13)에 평행하거나 실질적으로 평행한 방향으로 연장하는 영역(21b_2)을 포함하고, 그러한 영역(21b_2)은 상

면도에서 도전막(13)과, 화소 전극(19b) 또는 공통 전극(29) 사이에 위치한다.

[0270] 고해상도 표시 장치에서의 화소의 면적이 감소되기 때문에, 공통 전극(29)과, 주사선으로서 기능하는 도전막(13) 사이의 거리가 감소된다. 검정색 표시를 행하는 화소에서는, 주사선으로서 기능하는 도전막(13)에 트랜지스터가 턴 온되는 전압이 인가될 때, 검정색 표시를 위한 화소 전극(19b)과 주사선으로서 기능하는 도전막(13) 사이에 전계가 발생된다. 그 결과, 의도되지 않은 방향으로 액정 분자가 회전하여 광 누설이 야기된다.

[0271] 하지만, 이 실시예의 표시 장치에 포함된 트랜지스터에서는, 소스 전극 및 드레인 전극 중 하나로서 기능하는 도전막(21b)이 도전막(13), 화소 전극(19b), 및 공통 전극(29) 중 적어도 하나와 중첩하는 영역(21b_2)을 포함하거나, 상면도에서 도전막(13)과 화소 전극(19b) 또는 공통 전극(29) 사이에 위치하는 영역(21b_2)을 포함한다. 그 결과, 영역(21b_2)은 주사선으로서 기능하는 도전막(13)의 전계를 차단하고, 도전막(13)과 화소 전극(19b) 사이에 발생된 전계가 억제될 수 있어서, 광 누설의 감소를 가져온다.

[0272] 도전막(21b)과 공통 전극(29)이 서로 중첩할 수 있다는 점을 주목하라. 중첩하는 영역은 커패시터로서 기능할 수 있다. 그러므로 이러한 구조를 가지고, 커패시터의 용량이 증가될 수 있다. 도 24는 이러한 경우의 예를 예시한다.

[0273] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등의 어느 것과도 적절히 조합하여 사용될 수 있음을 주목하라.

[0274] [실시예 4]

[0275] 이 실시예에서는 실시예 2 및 실시예 3에서의 표시 장치와는 다른 표시 장치 및 그 제조 방법이 도면을 참조하여 설명된다. 이 실시예는 고해상도 표시 장치가 광 누설을 감소시킬 수 있는 공통 전극을 포함한다는 점에서 실시예 2와는 다르다. 실시예 2에서의 것과 비슷한 구조는 여기서 반복적으로 설명되지 않는다.

[0276] 도 15는 이 실시예에서 설명된 표시 장치의 상면도이다. 공통 전극(29a)은 신호선으로서 기능하는 도전막(21a)과 교차하는 방향으로 연장하는 줄무늬 영역(29a_1)과, 줄무늬 영역에 접속되고 주사선으로서 기능하는 도전막(13)과 중첩하는 영역(29a_2)을 포함한다.

[0277] 고해상도 표시 장치에서 화소의 면적이 감소되기 때문에, 화소 전극(19b)과, 주사선으로서 기능하는 도전막(13) 사이의 거리가 감소된다. 주사선으로서 기능하는 도전막(13)에 전압이 인가되면, 도전막(13)과 화소 전극(19b) 사이에 전계가 발생된다. 그 결과, 액정 분자가 의도되지 않은 방향으로 회전하여 광 누설을 야기한다.

[0278] 하지만, 이 실시예에서 설명된 표시 장치는 주사선으로서 기능하는 도전막(13)과 교차하는 영역(29a_2)을 포함하는 공통 전극(29a)을 포함한다. 그러므로 주사선으로서 기능하는 도전막(13)과 공통 전극(29a) 사이에 전계가 발생되는 것이 방지될 수 있어서 광 누설의 감소를 가져온다.

[0279] 도전막(21b)과 공통 전극(29)은 서로 중첩할 수 있다는 점을 주목하라. 이러한 중첩 영역은 커패시터로서 기능할 수 있다. 그러므로 이러한 구조를 가지고 커패시터의 용량이 증가될 수 있다. 도 25는 이러한 경우의 예를 예시한다.

[0280] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등의 어느 것과도 적절히 조합하여 사용될 수 있음을 주목하라.

[0281] [실시예 5]

[0282] 이 실시예에서는, 실시예 2에서의 표시 장치와는 다른 표시 장치와 그 제조 방법이 도면을 참조하여 설명된다. 이 실시예에서의 표시 장치는 산화물 반도체막이 상이한 게이트 전극 사이에 제공되는 구조, 즉 듀얼-게이트(dual-gate) 구조를 트랜지스터가 가진다는 점에서 실시예 2의 표시 장치와는 다르다. 여기서 실시예 2에서의 구조와 비슷한 구조는 반복적으로 설명되지 않는다는 점을 주목하라.

[0283] 표시 장치에 포함된 소자 기판의 구체적인 구조가 설명된다. 이 실시예에서의 소자 기판은, 도 26에 예시된 것처럼 게이트 전극으로서 기능하는 도전막(13), 산화물 반도체막(19a), 도전막(21a, 21b), 및 산화물 절연막(25) 각각의 일부 또는 전부에 중첩하는 게이트 전극으로서 기능하는 도전막(29b)이 제공된다는 점에서 실시예 2의 소자 기판과는 다르다. 게이트 전극으로서 기능하는 도전막(29b)은 개구(41a, 41b)에서 게이트 전극으로서 기능하는 도전막(13)에 접속된다.

[0284] 도 26에 도시된 트랜지스터(102a)는 채널 에칭된 트랜지스터이다. 선 A-B를 따라 단면이 취해진 단면도는 채널

길이 방향으로의 트랜지스터(102a)와 커패시터(105a)를 보여주고, 선 C-D를 따라 단면이 취해진 단면도는 채널 폭 방향에서의 트랜지스터(102a)와, 게이트 전극으로서 기능하는 도전막(13)과 게이트 전극으로서 기능하는 도전막(29b) 사이의 접속부를 보여준다는 점을 주목하라.

[0285] 도 6에서의 트랜지스터(102a)는 듀얼 게이트 구조를 가지고, 기판(11) 위에서 게이트 전극으로서 기능하는 도전막(13)을 포함한다. 또한, 트랜지스터(102a)는 기판(11)과, 게이트 전극으로서 기능하는 도전막(13) 위에 형성된 질화물 절연막(15); 질화물 절연막(15) 위에 형성된 산화물 절연막(17); 질화물 절연막(15) 및 산화물 절연막(17)을 사이에 두고 게이트 전극으로서 기능하는 도전막(13)과 중첩하는 산화물 반도체막(19a); 및 산화물 반도체막(19a)과 접촉하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)을 포함한다. 또, 산화물 절연막(17), 산화물 반도체막(19a), 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b) 위에 산화물 절연막(23)이 형성되고, 산화물 절연막(23) 위에는 산화물 절연막(25)이 형성된다. 질화물 절연막(15), 산화물 절연막(23), 산화물 절연막(25), 및 도전막(21b) 위에는 질화물 절연막(27)이 형성된다. 산화물 절연막(17) 위에는 화소 전극(19b)이 형성된다. 화소 전극(19b)은 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b) 중 한쪽, 여기에서는 도전막(21b)에 접속된다. 공통 전극(29)과, 게이트 전극으로 기능하는 도전막(29b)이 질화물 절연막(27) 위에 형성된다.

[0286] 선 C-D를 따라 단면이 취해진 단면도에서 예시된 것처럼, 게이트 전극으로서 기능하는 도전막(29b)이, 질화물 절연막(15)과 질화물 절연막(27)에 제공된 개구(41a)에서 게이트 전극으로 기능하는 도전막(13)에 접속된다. 즉, 게이트 전극으로서 기능하는 도전막(13)과 게이트 전극으로서 기능하는 도전막(29b)이 동일한 전위를 가진다.

[0287] 그러므로 트랜지스터(102a)의 각각의 게이트 전극에 동일한 전위로 전압을 인가함으로써, 초기 특성 변동이 감소될 수 있고, -GBT 스트레스 시험 후의 트랜지스터(102a)의 열화(degradation)와, 상이한 드레인 전압에서의 온(on-state) 전류의 올라가는(rising) 전압 변화가 억제될 수 있다. 또, 산화물 반도체막(19a)에서 캐리어가 흐르는 영역이 막 두께 방향에서 크게 되어, 캐리어 움직임의 양이 증가한다. 그 결과, 트랜지스터(102a)의 온 전류가 증가하고, 전계 효과 이동도가 증가한다. 대표적으로는 전계 효과 이동도가 20㎠/V·s 이상이다.

[0288] 이 실시예에서는 트랜지스터(102a) 위에, 소자 분리를 거친 산화물 절연막(23, 25)이 형성된다. 서로 분리되는 산화물 절연막(23, 25)은 산화물 반도체막(19a)과 중첩한다. 채널 폭 방향으로의 단면도에서는, 산화물 반도체막(19a)보다 바깥쪽에 산화물 절연막(23, 25)의 끝 부분들이 위치한다. 또한, 도 26의 채널 폭 방향에서는, 게이트 전극으로서 기능하는 도전막(29b)이 산화물 절연막(23, 25)을 사이에 두고, 산화물 반도체막(19a)의 측면과 대향한다.

[0289] 산화물 반도체막의 에칭 등에 의해 가공된 끝 부분은 가공에 의해 손상을 받아 결함을 만들고 또한 불순물 등의 부착에 의해 오염된다. 그러므로 산화물 반도체막의 끝 부분은 전계와 같은 스트레스의 인가에 의해 쉽게 활성화됨으로써 쉽게 n형(낮은 저항을 가지는)이 된다. 그러므로 게이트 전극으로서 기능하는 도전막(13)과 중첩하는 산화물 반도체막(19a)의 끝 부분은 쉽게 n형이 된다. n형이 되는 끝 부분이 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b) 사이에 제공되면, n형이 되는 영역이 캐리어 경로(path)가 되어버려, 기생(parastic) 채널이 형성된다. 하지만, 선 C-D을 따라 단면이 취해진 단면도에 예시된 것처럼, 채널 폭 방향에서 게이트 전극으로서 기능하는 도전막(29b)이 산화물 절연막(23, 25)을 사이에 두고 산화물 반도체막(19a)의 측면과 대향하면, 게이트 전극으로서 기능하는 도전막(29b)의 전계의 영향으로 인해, 산화물 반도체막(19a)의 측면, 또는 측면 및 그 부근을 포함하는 영역에서 기생 채널의 발생이 억제된다. 그 결과, 임계 전압에서의 드레인 전류의 가파른 증가와 같은 우수한 전기적 특성을 가지는 트랜지스터가 얻어진다.

[0290] 커패시터(105a)에서는, 화소 전극(19b)이 산화물 반도체막(19a)과 동시에 형성되고, 불순물을 함유함으로써 도전성이 증가한다. 또는 화소 전극(19b)이 산화물 반도체막(19a)과 동시에 형성되고, 플라즈마 손상 등에 의해 발생된 산소 결손을 함유함으로써 도전성이 증가한다. 또는 화소 전극(19b)이 산화물 반도체막(19a)과 동시에 형성되고, 플라즈마 손상 등에 의해 발생된 산소 결손과 불순물을 함유함으로써 도전성이 증가한다.

[0291] 이 실시예에서 설명된 표시 장치의 소자 기판에서, 트랜지스터의 산화물 반도체막과 동시에 화소 전극이 형성된다. 이러한 화소 전극은 또한 커패시터의 전극 중 하나로서 기능한다. 공통 전극은 또한 커패시터의 전극 중 나머지 것으로서의 기능을 한다. 그러므로 커패시터를 형성하기 위해 또 다른 도전막을 형성하는 단계가 필요하지 않고, 반도체 장치를 제조하는 단계의 개수가 감소될 수 있다. 커패시터는 투광성을 가진다. 그 결과, 커패시터가 차지하는 면적은 증가될 수 있고, 화소에서의 개구율이 증가될 수 있다.

[0292] 아래에 트랜지스터(102a)의 세부 사항이 설명된다. 실시예 2에서의 것과 동일한 참조 번호를 가진 성분은 여기서 설명되지 않는다는 점을 주목하라.

[0293] 게이트 전극으로서 기능하는 도전막(29b)은 실시예 2에서의 공통 전극(29)의 재료와 비슷한 재료를 사용하여 형성될 수 있다.

[0294] 다음에, 도 10의 (A) 내지 (D), 도 11의 (A) 내지 (D), 도 12의 (A), 및 도 27의 (A) 내지 (C)를 참조하여, 도 26에서의 트랜지스터(102a)와 커패시터(105a)의 제조 방법이 설명된다.

[0295] 실시예 2에서처럼, 도 10의 (A) 내지 도 12의 (A)에 예시된 단계들에 걸쳐, 기판(11) 위에, 게이트 전극으로서 기능하는 도전막(13), 질화물 절연막(15), 산화물 절연막(16), 산화물 반도체막(19a), 화소 전극(19b), 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b), 산화물 절연막(22), 산화물 절연막(24), 및 질화물 절연막(26)이 형성된다. 이들 단계에서는 제1 포토마스크 내지 제4 포토마스크를 사용하는 포토리소그라피 공정이 행해진다.

[0296] 다음에, 질화물 절연막(26) 위에 제5 포토마스크를 사용하는 포토리소그라피 공정을 통해 마스크가 형성된 다음, 그러한 마스크를 사용하여 질화물 절연막(26)의 일부가 에칭됨으로써, 도 27의 (A)에 예시된 것처럼, 개구(41a, 41b)를 가지는 질화물 절연막(27)이 형성된다.

[0297] 다음에, 도 27의 (B)에 예시된 것처럼, 게이트 전극으로서 기능하는 도전막(13), 도전막(21b), 및 질화물 절연막(27) 위에, 나중에 공통 전극(29), 게이트 전극으로서 기능하는 도전막(29b)이 되는 도전막(28)이 형성된다.

[0298] 그런 다음, 제6 포토마스크를 사용하는 포토리소그라피 공저에 의해 도전막(28) 위에 마스크가 형성된다. 그 다음 도 27의 (C)에 예시된 것처럼, 그러한 마스크를 사용하여 도전막(28)의 일부가 에칭되어 게이트 전극으로서 기능하는 도전막(29b)과 공통 전극(29)을 형성한다. 그 후, 마스크는 제거된다.

[0299] 위 공정을 통해, 트랜지스터(102a)가 제조되고, 커패시터(105a)가 또한 제조될 수 있다.

[0300] 이 실시예에서 설명된 트랜지스터에서는, 채널 폭 방향에서 게이트 전극으로서 기능하는 공통 전극(29)이 산화물 절연막(23, 25)을 사이에 두고 산화물 반도체막(19a)의 측면과 대향하면, 게이트 전극으로서 기능하는 도전막(29b)의 전계의 영향으로 인해, 산화물 반도체막(19a)의 측면, 또는 측면 및 그 부근을 포함하는 영역에서 기생 채널의 발생이 억제된다. 그 결과, 임계 전압에서의 드레인 전류의 가파른 증가와 같은 우수한 전기적 특성을 가지는 트랜지스터가 얻어진다.

[0301] 이 실시예의 표시 장치의 소자 기판에는 신호선과 교차하는 방향으로 연장하는 줄무늬 영역을 포함하는 공통 전극이 제공된다. 그러므로 표시 소자는 우수한 콘트라스트를 가질 수 있다.

[0302] 이 실시예에서 설명된 표시 장치의 소자 기판에는 트랜지스터의 산화물 반도체막과 동시에 화소 전극이 형성된다. 화소 전극은 또한 커패시터의 전극 중 하나로서 기능을 한다. 공통 전극은 커패시터의 전극 중 나머지 것으로서의 기능을 한다. 그러므로 커패시터를 형성하기 위해 또 다른 도전막을 형성하는 단계가 필요하지 않고, 반도체 장치를 제조하는 단계들의 개수가 감소될 수 있다. 커패시터는 투광성을 가진다. 그 결과, 커패시터가 차지하는 면적이 증가될 수 있고, 화소에서의 개구율이 증가될 수 있다.

[0303] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등의 어느 것과도 적절히 조합하여 사용될 수 있음을 주목하라.

[0304] [실시예 6]

[0305] 이 실시예에서는, 위 실시예들에 비해 산화물 반도체막에서의 결함의 개수가 더 감소될 수 있는 트랜지스터를 포함하는 표시 장치가 도면을 참조하여 설명된다. 이 실시예에서 설명된 트랜지스터는, 복수의 산화물 반도체막을 포함하는 다층막이 제공된다는 점에서, 실시예 2 내지 5에서의 트랜지스터 중 어떤 것과도 상이하다. 여기서는, 실시예 2에서의 트랜지스터를 사용하여 세부 사항이 설명된다.

[0306] 도 16의 (A) 및 (B)는 표시 장치에 포함된 소자 기판의 단면도를 각각 예시한다. 도 16의 (A) 및 (B)는 도 6에서 선 A-G와 C-D를 따라 단면이 취해진 단면도이다.

[0307] 도 16의 (A)에서의 트랜지스터(102b)는 질화물 절연막(15)과 산화물 절연막(17)을 사이에 두고, 게이트 전극으로서 기능을 하는 도전막(13)과 중첩하는 다층막(37a)과, 다층막(37a)과 접촉하는 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)을 포함한다. 질화물 절연막(15), 산화물 절연막(17), 다층막(37a), 소스 전극

및 드레인 전극으로서 기능하는 도전막(21a, 21b) 위에는 산화물 절연막(23), 산화물 절연막(25), 및 질화물 절연막(27)이 형성된다.

[0308] 도 16의 (A)에서의 커패시터(105b)는 산화물 절연막(17) 위에 형성된 다층막(37b), 다층막(37b)과 접촉하는 질화물 절연막(27), 질화물 절연막(27)과 접촉하는 공통 전극(29)을 포함한다. 다층막(37b)은 화소 전극으로서 기능을 한다.

[0309] 이 실시예에서 설명된 트랜지스터(102b)에서는, 다층막(37a)이 산화물 반도체막(19a)과 산화물 반도체막(39a)을 포함한다. 즉, 다층막(37a)은 2층 구조를 가진다. 또한, 산화물 반도체막(19a)의 일부는 채널 영역으로서 기능한다. 또, 다층막(37a)과 접촉하는 산화물 절연막(23)이 형성되고, 산화물 절연막(23)과 접촉하는 산화물 절연막(25)이 형성된다. 즉, 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 산화물 반도체막(39a)이 제공된다.

[0310] 산화물 반도체막(39a)은 산화물 반도체막(19a)을 구성하는 하나 이상의 원소를 함유하는 산화물막이다. 그러므로 산화물 반도체막(19a)과 산화물 반도체막(39a) 사이의 계면에서는 계면 산란(interface scattering)이 일어나기 쉽지 않다. 그러므로 트랜지스터는 계면에서의 캐리어의 움직임이 방해를 받지 않기 대문에, 높은 전계 효과 이동도를 가질 수 있다.

[0311] 산화물 반도체막(39a)은 대표적으로 In-Ga 산화물막, In-Zn 산화물막, 또는 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄)이다. 산화물 반도체막(39a)의 전도대 하단에서의 에너지는 산화물 반도체막(19a)의 것보다 진공 준위에 더 가깝고, 대표적으로는 산화물 반도체막(39a)의 전도대 하단에서의 에너지와 산화물 반도체막(19a)의 전도대 하단에서의 에너지 사이의 차이는, 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상 중 어느 하나, 그리고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 중 어느 하나이다. 즉, 산화물 반도체막(39a)의 전자 친화도와 산화물 반도체막(19a)의 전자 친화도 사이의 차이는 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상 중 어느 하나, 그리고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하 중 어느 하나이다.

[0312] 산화물 반도체막(39a)은 바람직하게 In을 함유하는데, 이는 캐리어 밀도(전자 이동도)가 증가될 수 있기 때문이다.

[0313] 산화물 반도체막(39a)이 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 In보다 많은 원자수비로 함유하면, 다음 효과, 즉 (1) 산화물 반도체막(39a)의 에너지 갭이 넓어진다; (2) 산화물 반도체막(39a)의 전자 친화도가 감소된다; (3) 외측으로부터의 불순물의 확산이 감소된다; (4) 산화물 반도체막(19a)과 비교하여 절연성이 증가한다; (5) Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd가 산소와 강하게 결합되는 금속 원소이기 때문에, 산소 결손이 덜 생기게 된다 중 어느 하나가 얻어질 수 있다.

[0314] 산화물 반도체막(39a)이 In-*M*-Zn 산화물막인 경우, In과 *M*의 합을 100원자%로 할 때, In과 *M*의 원자수비율은, In이 50원자% 미만, *M*이 50원자%보다 높고, 더 바람직하게는 In이 25원자% 미만, *M*이 75원자%보다 높은 것이 바람직하다.

[0315] 또, 산화물 반도체막(19a)과 산화물 반도체막(39a) 각각이 In-*M*-Zn 산화물막인 경우에(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄), 산화물 반도체막(39a)에서의 *M* 원자수의 비율은 산화물 반도체막(19a)에서의 *M* 원자수의 비율보다 높다(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄). 대표적인 예로서, 산화물 반도체막(39a)에서의 *M* 의 비율은 산화물 반도체막(19a)에서의 *M* 의 비율보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상이나 높다.

[0316] 또, 산화물 반도체막(19a)과 산화물 반도체막(39a) 각각이 In-*M*-Zn 산화물막인 경우에(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd를 나타냄), 산화물 반도체막(39a)에서 In:*M*:Zn=x_1:y_1:z_1[원자수비]가 만족되고, 산화물 반도체막(19a)에서 In:*M*:Zn=x_2:y_2:z_2[원자수비]가 만족되면, y_1/x_1이 y_2/x_2보다 높다. y_1/x_1이 y_2/x_2보다 1.5배 이상 높은 것이 바람직하다. 더 바람직하게는, y_1/x_1이 y_2/x_2보다 2배 이상 더 높다. 더욱 바람직하게는 y_1/x_1이 y_2/x_2보다 3배 이상 더 높다.

[0317] 산화물 반도체막(19a)이 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd)이고, 산화물 반도체막(19a)을 형성하기 위해 In:*M*:Zn=x_1:y_1:z_1인 금속 원소의 원자수비를 가지는 타겟이 사용되는 경우에는, y_1/x_1이 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하인 것이 더 바람직하며, z_1/y_1은 1/3 이상 6 이하인 것이 바람직하고, 1 이상 6 이하인 것이 더 바람직하다. z_1/y_1이 1 이상 6 이하일 때에는 나중에 설명될 CAAC-OS막이 산

화물 반도체막(19a)으로서 쉽게 형성된다는 점을 주목하라. 타겟의 금속 원소의 원자수비의 대표적인 예는 In:*M*:Zn=1:1:1, In:*M*:Zn=1:1:1.2, 및 In:*M*:Zn=3:1:2이다.

[0318] 산화물 반도체막(39a)이 In-*M*-Zn 산화물막(*M*은 Al, Ga, Y, Zr, Sn, La, Ce, 또는 Nd)이고, 산화물 반도체막(39a)을 형성하기 위해 In:*M*:Zn=x_2:y_2:z_2인 금속 원소의 원자수비를 가지는 타겟이 사용되는 경우에는, y_2/x_2가 y_1/x_1보다 작은 것이 바람직하고, z_2/y_2는 1/3 이상 6 이하인 것이 바람직하며, 1 이상 6 이하인 것이 더 바람직하다. z_2/y_2가 1 이상 6 이하일 때에는 나중에 설명될 CAAC-OS막이 산화물 반도체막(39a)으로서 쉽게 형성된다는 점을 주목하라. 타겟의 금속 원소의 원자수비의 대표적인 예는 In:*M*:Zn=1:3:1, In:*M*:Zn=1:3:4, In:*M*:Zn=1:3:6, In:*M*:Zn=1:3:8, In:*M*:Zn=1:4:4, In:*M*:Zn=1:4:5, 및 In:*M*:Zn=1:6:8이다.

[0319] 산화물 반도체막(19a)과 산화물 반도체막(39a) 각각의 원자수비에서의 각각의 금속 원소의 비율은 오차로서 상기 원자수비에서의 것의 ±40%의 범위 내에서 변한다는 점을 주목하라.

[0320] 산화물 반도체막(39a)은 또한 나중에 산화물 절연막(25)을 형성할 때 산화물 반도체막(19a)에 가해지는 손상을 경감하는 막으로서의 기능을 한다.

[0321] 산화물 반도체막(39a)의 두께는 3㎚ 이상 100㎚ 이하이고, 바람직하게는 3㎚ 이상 50㎚ 이하이다.

[0322] 산화물 반도체막(39a)은, 예를 들면 산화물 반도체막(19a)과 같이 비단결정 구조를 가질 수 있다. 이러한 비단결정 구조는, 예를 들면 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 구조, 나중에 설명되는 미결정(microcrystalline) 구조, 또는 비정질 구조를 포함한다.

[0323] 산화물 반도체막(39a)은, 예를 들면 비정질 구조를 가질 수 있다. 비정질 구조를 가지는 산화물 반도체막 각각은, 예를 들면 원자 배열이 무질서하고 결정 성분을 가지지 않는다. 또는, 비정질 구조를 가지는 산화물막은, 예를 들면 완전한 비정질 구조이고, 결정부를 가지지 않는다.

[0324] 산화물 반도체막(19a)과 산화물 반도체막(39a) 각각은, 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS 영역, 및 단결정 구조를 가지는 영역 중 2개 이상을 포함하는 혼합된 막일 수 있다는 점을 주목하라. 혼합된 막은 예를 들면, 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS 영역, 및 단결정 구조를 가지는 영역 중 2개 이상을 포함하는 단결정 구조를 가지는 경우가 있다. 또, 몇몇 경우에서는 혼합된 막이 비정질 구조를 가지는 영역, 미결정 구조를 가지는 영역, 다결정 구조를 가지는 영역, CAAC-OS 영역, 및 단결정 구조를 가지는 영역 중 2개 이상이 적층되는 적층 구조를 가진다.

[0325] 여기서, 산화물 반도체막(39a)과 산화물 절연막(23) 사이에 산화물 반도체막(39a)이 형성된다. 그러므로 불순물과 결함에 의해 산화물 반도체막(39a)과 산화물 절연막(23) 사이에 캐리어 트랩(carrier trap)이 형성된다면, 캐리어 트랩과 산화물 반도체막(19a) 사이에 거리가 존재하기 때문에, 산화물 반도체막(19a)에서 흐르는 전자들이 캐리어 트랩에 의해 거의 캡처되지 않는다. 따라서, 트랜지스터의 온 전류의 양이 증가될 수 있고, 전계 효과 이동도가 증가될 수 있다. 캐리어 트랩에 의해 전자들이 캡처되면, 전자들은 음의 고정 전하가 된다. 그 결과 트랜지스터의 임계 전압이 변동한다. 하지만, 산화물 반도체막(19a)과 캐리어 트랩 사이의 거리에 의해, 캐리어 트랩에 의한 전자들의 캡처(capture)가 감소될 수 있고, 그에 따라 임계 전압의 변동이 감소될 수 있다.

[0326] 외측으로부터의 불순물은 산화물 반도체막(39a)에 의해 차단될 수 있고, 그에 따라 외측으로부터 산화물 반도체막(19a)으로 옮겨지는 불순물의 양이 감소될 수 있다. 또한, 산화물 반도체막(39a)에서 산소 결손이 거의 형성되지 않는다. 따라서, 산화물 반도체막(19a)에서 산소 결손의 개수와 불순물 농도가 감소될 수 있다.

[0327] 산화물 반도체막(19a)과 산화물 반도체막(39a)은 단순히 각각의 막을 적층함으로써 형성되는 것뿐만 아니라, 연속 접합(여기서는, 특히 전도대의 하단의 에너지가 각각의 막 사이에서 연속해서 변경되는 구조)을 가지도록 형성된다는 점을 주목하라. 다시 말하자면, 막들 사이의 계면에서 트랩 중심(trap center) 또는 재결합 중심과 같은 결함 레벨을 형성하는 불순물이 존재하지 않는 적층 구조가 제공된다. 적층되는 산화물 반도체막(19a)과 산화물 반도체막(39a) 사이에 불순물이 존재하면, 에너지 밴드의 연속성이 손상되고, 계면에서 캐리어가 캡처 또는 재결합된 다음 사라진다.

[0328] 그러한 연속 에너지 밴드를 형성하기 위해서는, 로드(load) 잠금 챔버를 포함하는 다수-챔버 증착 장치(스퍼터링 장치)를 사용하여, 대기에 노출되지 않으면서 연속해서 막을 형성하는 것이 필수적이다. 스퍼터링 장치에서의 각각의 챔버는 산화물 반도체막에 맞서 불순물로서의 기능을 하는 물 등을 가능한 많이, 제거하기 위해 크라

이오펌프(cryopump)와 같은 진공 배기펌프를 사용하여 높은 진공 상태(약 5×10^{-7}Pa 내지 1×10^{-4}Pa의 정도까지)로 배기되는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드(cold) 트랩이 바람직하게 결합되어, 배기 시스템으로부터 챔버의 외측으로 가스, 특히 탄소 또는 수소를 함유하는 가스의 역류를 방지한다.

[0329] 도 16의 (B)에서 트랜지스터(102c)처럼, 다층막(37a) 대신 다층막(38a)이 제공될 수 있다.

[0330] 또한, 도 16의 (B)에서의 커패시터(105c)에서처럼, 다층막(37b) 대신 다층막(38b)이 제공될 수 있다.

[0331] 다층막(38a)은 산화물 반도체막(49a), 산화물 반도체막(19a), 및 산화물 반도체막(39a)을 포함한다. 즉, 다층막(38a)은 3층 구조를 가진다. 또, 산화물 반도체막(19a)은 채널 영역으로서 기능을 한다.

[0332] 산화물 반도체막(49a)은 산화물 반도체막(39a)의 것과 같은 재료와 형성 방법을 사용하여 형성될 수 있다.

[0333] 다층막(38b)은 산화물 반도체막(49b), 산화물 반도체막(19f), 및 산화물 반도체막(39b)을 포함한다. 즉, 다층막(38b)은 3층 구조를 가진다. 다층막(38b)은 화소 전극으로서 기능을 한다.

[0334] 산화물 반도체막(19f)은 화소 전극(19b)의 것과 비슷한 재료와 형성 방법을 사용하여 적절하게 형성될 수 있다. 산화물 반도체막(49b)은 산화물 반도체막(39b)의 것과 비슷한 재료와 형성 방법을 사용하여 적절하게 형성될 수 있다.

[0335] 또한, 산화물 절연막(17)과 산화물 반도체막(49a)은 서로 접촉한다. 즉, 산화물 절연막(17)과 산화물 반도체막(19a) 사이에 산화물 반도체막(49a)이 제공된다.

[0336] 다층막(38a)과 산화물 절연막(23)은 서로 접촉한다. 또한, 산화물 반도체막(39a)과 산화물 절연막(23)은 서로 접촉한다. 즉, 산화물 반도체막(39a)은 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다.

[0337] 산화물 반도체막(49a)의 두께는 산화물 반도체막(19a)의 두께보다 작은 것이 바람직하다. 산화물 반도체막(49a)의 두께가 1㎚ 이상 5㎚ 이하, 바람직하게는 1㎚ 이상 3㎚ 이하일 때, 트랜지스터의 임계 전압에서의 변동량이 감소될 수 있다.

[0338] 이 실시예에서 설명된 트랜지스터에서는 산화물 반도체막(39a)이 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 제공된다. 그러므로 불순물과 결함에 의해 산화물 반도체막(39a)과 산화물 절연막(23) 사이에 캐리어 트랩이 형성된다면, 산화물 반도체막(19a)에서 흐르는 전자는 캐리어 트랩에 의해 거의 캡처되지 않는데, 이는 캐리어 트랩과 산화물 반도체막(19a) 사이에 거리가 존재하기 때문이다. 따라서 트랜지스터의 온 전류의 양은 증가될 수 있고, 전계 효과 이동도가 증가될 수 있다. 캐리어 트랩에 의해 전자들이 캡처될 때, 그 전자들은 음으로 고정된 전하가 된다. 그 결과 트랜지스터의 임계 전압이 변동한다. 하지만, 산화물 반도체막(19a)과 캐리어 트랩 사이의 거리 때문에, 캐리어 트랩에 의한 전자들의 캡처가 감소될 수 있고, 그에 따라 임계 전압의 변동이 감소될 수 있다.

[0339] 외측으로부터의 불순물은 산화물 반도체막(39a)에 의해 차단될 수 있고, 그에 따라 외측으로부터 산화물 반도체막(19a)으로 옮겨지는 불순물의 양이 감소될 수 있다. 또한, 산화물 반도체막(39a)에 산소 결손이 거의 형성되지 않는다. 따라서 산화물 반도체막(19a)에서의 불순물 농도와 산소 결손의 개수가 감소될 수 있다.

[0340] 또, 산화물 절연막(17)과 산화물 반도체막(19a) 사이에 산화물 반도체막(49a)이 제공되고, 산화물 반도체막(19a)과 산화물 절연막(23) 사이에 산화물 반도체막(39a)이 제공된다. 즉, 산화물 반도체막(49a)과 산화물 반도체막(19a) 사이의 계면의 부근에서의 실리콘 또는 탄소의 농도, 산화물 반도체막(19a)에서의 실리콘 또는 탄소의 농도, 또는 산화물 반도체막(39a)과 산화물 반도체막(19a) 사이의 계면 부근에서의 실리콘 또는 탄소의 농도를 감소시키는 것이 가능하다. 따라서, 다층막(38a)에서, 일정한 광전류 측정법으로 도출된 흡수 계수는 1×10^{-3}/㎝ 미만, 바람직하게는 1×10^{-4}/㎝ 미만이고, 따라서 국부화된(localized) 준위의 밀도가 극히 낮다.

[0341] 그러한 구조를 가지는 트랜지스터(102c)는 산화물 반도체막(19a)을 포함하는 다층막(38a)에서 결함이 거의 없고, 따라서 트랜지스터의 전기적 특성이 향상될 수 있으며, 대표적으로는 온 상태 전류가 증가될 수 있고, 전계 효과 이동도가 향상될 수 있다. 또, BT 스트레스 시험에서와, 스트레스 시험의 예들인 BT 포토스트레스 시험에서, 임계 전압의 변동량이 적고, 따라서 신뢰성이 높다.

[0342] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등의 어느 것과도 적절히 조합하여 사용될 수 있음을 주목하라.

[0343] [실시예 7]

[0344] 이 실시예에서는, 위 실시예에서 설명된 표시 장치에 포함된 트랜지스터에서 산화물 반도체막에 적용될 수 있는 실시예가 설명된다.

[0345] 산화물 반도체막은, 단결정 구조를 가지는 산화물 반도체(이후, 단결정 산화물 반도체라고 함); 다결정 구조를 가지는 산화물 반도체(이후, 다결정 산화물 반도체라고 함); 미결정 구조를 가지는 산화물 반도체(이후, 미결정 산화물 반도체라고 함), 및 비정질 구조를 가지는 산화물 반도체(이후, 비정질 산화물 반도체라고 함) 중 하나 이상을 포함할 수 있다. 또한, 산화물 반도체막은 비정질 산화물 반도체와, 결정립(crystal grain)을 가지는 산화물 반도체를 포함할 수 있다. 아래에서는 대표적인 예로서, CAAC-OS와 미결정 산화물 반도체가 설명된다.

[0346] <CAAC-OS>

[0347] CAAC-OS막은 복수의 결정부를 가지는 산화물 반도체막 중 하나이다. CAAC-OS막에 포함된 결정부는 각각 c축 배향성을 가진다. 평면 TEM 화상에서는, CAAC-OS막에 포함된 결정부의 면적이 2500㎚^{2} 이상, 바람직하게는 5㎛^{2} 이상, 더 바람직하게는 1000㎛^{2} 이상이다. 또, 단면 TEM 화상에서는, 결정부의 비율이 CAAC-OS막의 50% 이상, 바람직하게는 80% 이상, 더 바람직하게는 95% 이상일 때에는, CAAC-OS막이 단결정의 것과 비슷한 물리적 성질을 가지는 박막이다.

[0348] CAAC-OS막의 TEM(transmission electron microscope) 관찰 화상에서는, 결정부 사이의 경계, 즉 결정립 경계를 명확하게 관찰하는 것이 어렵다. 그러므로 CAAC-OS막에서는, 결정립 경계로 인한 전자 이동도의 감소가 거의 일어나지 않는다.

[0349] 샘플 표면(단면 TEM 화상)에 실질적으로 평행한 방향으로 관찰된 CAAC-OS막의 TEM 화상에 따르면, 금속 원자들이 결정부에서 층 모양으로 배열된다. 각각의 금속 원자 층은 CAAC-OS막의 막을 형성하는 면(이후, CAAC-OS막이 형성되는 표면을 형성면이라고 부른다) 또는 CAAC-OS막의 상면을 반영하는 형태(morphology)를 가지고, CAAC-OS막의 상면이나 형성면에 평행하게 배열된다. 본 명세서에서, "평행한(parallel)" 이라는 용어는 2개의 직선 사이에 형성된 각도가 -10° 이상 10° 이하인 것을 가리키고, 따라서 그 각도가 -5° 이상 -5° 이하인 경우도 포함한다. 또한, "수직(perpendicular)"이라는 용어는 2개의 직선 사이에 형성된 각도가 80° 이상 100° 이하인 것을 가리키고, 따라서 그 각도가 85° 이상 95° 이하인 경우도 포함한다.

[0350] 이에 반해, 샘플 표면(평면 TEM 화상)에 실질적으로 수직인 방향에서 관찰된 CAAC-OS막의 TEM 화상에 따르면, 금속 원자들은 결정부에서 삼각형 또는 육각형 구성으로 배열된다. 하지만, 상이한 결정부 사이의 금속 원자들의 배열의 규칙성은 없다.

[0351] CAAC-OS막의 전자 회절 패턴에서, 배향성을 가지는 스폿(spot)들이 도시된다는 점을 주목하라.

[0352] 단면 TEM 화상과 평면 TEM 화상의 결과들로부터, CAAC-OS막에서 결정부에 있어서의 배향이 발견된다.

[0353] CAAC-OS막은 X선 회절(XRD) 장치를 통한 구조 분석을 받는다. 예를 들면, CAAC-OS막이 아웃-오브-플레인(out-of-plane)법에 의해 분석될 때에는, 회절 각도(2θ)가 약 31° 일 때 피크(peak)가 종종 나타난다. 이 피크는 In-Ga-Zn 산화물 결정의 (00x) 면(x는 정수)으로부터 도출되고, 이는 CAAC-OS막에서의 결정들이 c축 배향을 가짐과, c축들이 CAAC-OS막의 형성면 또는 상면에 실질적으로 수직인 방향으로 정렬된다는 것을 가리킨다.

[0354] 이에 반해, CAAC-OS막이 c축에 실질적으로 수직인 방향으로 X선이 샘플에 들어가는 인-플레인(in-plane)법에 의해 분석될 때에는, 2θ가 약 56° 일 때 피크가 나타난다. 이 피크는 In-Ga-Zn 산화물 결정의 (110) 면으로부터 도출된다. 여기서, 분석(ϕ스캔)은 2θ를 56° 부근으로 고정한 채로, 샘플이 축(ϕ축)으로서 샘플면의 법선 벡터를 중심으로 회전하는 상태에서 수행된다. 샘플이 In-Ga-Zn 산화물의 단결정 금속 산화물 반도체막인 경우에는, 6개의 피크가 나타난다. 이러한 6개의 피크는 (110) 면과 등가인 결정면으로부터 도출된다. 반면에, CAAC-OS막의 경우에서는, 2θ를 56° 부근으로 고정한 채로 ϕ스캔이 수행될지라도 피크가 명확히 관찰되지 않는다.

[0355] 위 결과들에 따르면, c축 배향을 가지는 CAAC-OS막에서는, a축과 b축의 방향이 결정부 사이에서 다르면서, c축은 상면의 법선 벡터 또는 형성면의 법선 벡터에 평행한 방향으로 정렬된다. 그러므로 단면 TEM 화상에서 관찰된 층 모양으로 배치된 각각의 금속 원자층은 결정의 a-b면에 평행한 면에 대응한다.

[0356] 결정은 CAAC-OS막의 증착과 동시에 형성되거나 열 처리와 같은 결정화 처리를 통해 형성된다는 점을 주목하라. 전술한 바와 같이, 결정의 c축은 CAAC-OS막의 상면의 법선 벡터 또는 형성면의 법선 벡터에 평행한 방향으로 정

렬된다. 그러므로, 예를 들면 CAAC-OS막의 모양이 에칭 등에 의해 변경되는 경우에는 c축이 CAAC-OS막의 상면의 법선 벡터 또는 형성면의 법선 벡터에 반드시 평행하지는 않을 수 있다.

[0357] 또, CAAC-OS막에서의 결정화도가 반드시 균일하지는 않다. 예를 들면, CAAC-OS막의 결정부로 인도되는 결정 성장이 막의 상면 부근으로부터 발생하는 경우, 상면 부근에서의 결정화도는 몇몇 경우에서는 형성면의 부근에서의 결정화도보다 높다. 또, 분술물이 CAAC-OS막에 첨가될 때에는, 불순물이 첨가되는 영역에서의 결정화가 변경되고, CAAC-OS막에서의 결정화도가 영역에 따라 달라진다.

[0358] CAAC-OS막이 아웃-오브-플레인법에 의해 분석될 때에는, 2θ인 피크가 31° 쯤에서의 피크 외에, 36° 쯤에서도 관찰될 수 있다. 36° 쯤에서의 2θ인 피크는 c축 정렬이 없는 결정부가 CAAC-OS막의 부분에 포함됨을 가리킨다. 바람직하게, CAAC-OS막에서는 31° 쯤에서 2θ인 피크가 나타나고, 36° 쯤에서는 2θ인 피크가 나타나지 않는다.

[0359] CAAC-OS막은 낮은 불순물 농도를 가지는 산화물 반도체막이다. 불순물은, 수소, 탄소, 실리콘 또는 전이 금속 원소와 같이, 산화물 반도체막의 주 성분 외의 원소이다. 특히, 실리콘과 같이 산화물 반도체막에 포함된 금속 원소보다 산소에 더 높은 결합 강도를 가지는 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 교란하고, 결정성 감소를 일으킨다. 또한, 철이나 니켈과 같은 중금속, 아르곤, 이산화탄소 등은 큰 원자 반경(분자 반경)을 가지고, 따라서 산화물 반도체막의 원자 배열을 교란하고 산화물 반도체막에 함유될 때 결정성 감소를 일으킨다. 산화물 반도체막에 함유된 불순물은 캐리어 트랩 또는 캐리어 발생 소스로서 기능을 할 수 있음을 주목하라.

[0360] CAAC-OS막은 낮은 밀도의 결함 상태를 가지는 산화물 반도체막이다. 몇몇 경우에, 산화물 반도체막에서의 산소 결손은 캐리어 트랩으로서 기능을 하거나, 수소가 그 안에 캡처될 때에는 캐리어 발생 소스로서 기능을 한다.

[0361] 불순물 농도가 낮고, 결함 상태의 밀도가 낮은 상태(산소 결손의 양이 적다)를 "고순도 진성" 또는 "실질적으로 고순도 진성" 상태라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생 소스가 거의 없고, 따라서 낮은 캐리어 밀도를 가질 수 있다. 그러므로 산화물 반도체막을 포함하는 트랜지스터는 음인 임계 전압을 거의 가지지 않는다(거의 노말리 온이 되지 않는다), 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 낮은 밀도의 결함 상태를 가지고, 따라서 캐리어 트랩이 거의 없다. 따라서, 산화물 반도체막을 포함하는 트랜지스터는 전기적 특성 변동이 거의 없고 높은 신뢰성을 가진다. 산화물 반도체막에서 캐리어 트랩에 의해 갇힌 전하는 빠져나오는 데 오랜 시간이 걸리고, 고정된 전하처럼 행동할 수 있다. 그러므로 높은 불순물 농도와 높은 밀도의 결함 상태를 가지는 산화물 반도체막을 포함하는 트랜지스터는 몇몇 경우에 불안정한 전기적 특성을 가진다.

[0362] 트랜지스터에서 CAAC-OS막을 사용함으로써, 가시광이나 자외선 조사로 인해 생기는 트랜지스터의 전기적 특성 변동은 적다.

[0363] <미결정 산화물 반도체>

[0364] TEM으로 관찰된 화상에서, 결정부는 몇몇 경우에 미결정 산화물 반도체막에서 명확하게 발견될 수 없다. 대부분의 경우, 미결정 산화물 반도체에서의 결정부는 1㎚ 이상 100㎚ 이하, 또는 1㎚ 이상 10㎚ 이하이다. 1㎚ 이상 10㎚ 이하인 크기 또는 1㎚ 이상 3㎚ 이하를 지닌 미결정을 구체적으로 나노결정(nc)이라고 부른다. 나노결정을 포함하는 산화물 반도체막을 nc-OS(nanocrystalline oxide semiconductor)막이라고 부른다. 예를 들면 TEM으로 관찰된 nc-OS막의 화상에서는, 입자 경계가 몇몇 경우에 쉽게 그리고 명확하게 관찰되지 않는다.

[0365] nc-OS막에서는, 미소한(mcroscopic) 영역(예를 들면, 1㎚ 이상 10㎚ 이하인 크기를 지닌 영역, 특히 1㎚ 이상 3㎚ 이하인 크기를 지닌 영역)은 원자 배열에 주기성을 가진다. nc-OS막에서는 상이한 결정부 사이에 결정 배향의 규칙성이 존재하지 않음을 주목하라. 그러므로 전체막의 배향은 관찰되지 않는다. 따라서 몇몇 경우에, nc-OS막은 분석 방법에 따라 비정질 산화물 반도체막과 구별될 수 없다. 예를 들면, nc-OS막이 결정부의 직경보다 큰 직경을 가지는 X선을 사용하는 XRD 장치를 가지고 아웃-오브-플레인법에 의한 구조 분석을 받을 때에는, 결정면을 보여주는 피크가 나타나지 않는다. 또, 결정부의 직경보다 큰 프로브(probe) 직경(예를 들면, 50㎚ 이상인)을 가지는 전자 빔을 사용함으로써 얻어진 nc-OS막의 선택된-영역(selected-area) 전자 회전 패턴으로 할로(halo) 패턴이 보여진다. 동시에, 결정부의 직경에 가깝거나 더 작거나 같은 프로브 직경(예를 들면, 1㎚ 이상 30㎚ 이하인)을 가지는 전자 빔을 사용함으로써 얻어진 nc-OS막의 나노빔 전자 회전 패턴으로 스폿들이 보여진다. 또, nc-OS막의 나노빔 전자 회전 패턴에서는 원형(링) 패턴으로 높은 휘도를 지닌 영역들이 몇몇 경우에서 관찰된다. 또한 nc-OS막의 나노빔 전자 회전 패턴에서는, 몇몇 경우에 링과 같은 영역에 복수의 스폿이 보여진다.

[0366] nc-OS막은 비정질 산화물 반도체막에 비해 높은 규칙성을 가지는 산화물 반도체막이다. 그러므로 nc-OS막은 비정질 산화물 반도체막보다 낮은 밀도의 경함 상태를 가진다. 하지만, nc-OS막에서 상이한 결정부 사이에서 결정 배향의 규칙성이 존재하지 않음으로 인해, nc-OS막은 CAAC-OS막보다 높은 밀도의 결함 상태를 가진다.

[0367] <산화물 반도체막과 산화물 도전체막>

[0368] 다음에는 산화물 반도체로 형성된 막(이후, 산화물 반도체막(OS)이라고 한다)과, 화소 전극(19b)으로서 사용될 수 있는 산화물 도전체(이후, 산화물 도전체막(OC)이라고 함)로 형성된 막의 도전율의 시간 의존성을 도 38을 참조하여 설명한다. 도 38에서, 수평축은 측정 온도(하부의 수평축은 1/T를 나타내고, 상부의 수평축은 T를 나타낸다)를 나타내고, 수직축은 도전율(1/ρ)을 나타낸다. 산화물 반도체막(OS)의 측정 결과들은 삼각형들로 표시되고, 산화물 도전체막(OC)의 측정 결과들은 원들로 표시된다.

[0369] 산화물 반도체막(OS)을 포함하는 샘플은 In:Ga:Zn=1:1:1.2의 원자수비를 지닌 스퍼터링 타겟을 사용하는 스퍼터링법에 의해 유리 기판 위에 35㎚의 두께를 지닌 In-Ga-Zn 산화물막을 형성하고, In:Ga:Zn=1:4:5의 원자수비를 지닌 스퍼터링 타겟을 사용하는 스퍼터링법에 의해 35㎚의 두께를 지닌 In-Ga-Zn 산화물막 위에 20㎚의 두께를 지닌 In-Ga-Zn 산화물막을 형성하며, 450℃의 질소 분위기에서 열 처리를 수행한 다음, 질소와 산소의 혼합 가스의 450℃ 분위기에서 열 처리를 수행하고, 플라즈마 CVD법에 의해 질화산화 실리콘막을 형성함으로써 마련되었음을 주목하라.

[0370] 산화물 도전체막(OC)을 포함하는 샘플은 In:Ga:Zn=1:1:1인 원자수비를 지닌 스퍼터링 타겟을 사용하는 스퍼터링법에 의해 유리 기판 위에 100㎚의 두께를 지닌 In-Ga-Zn 산화물막을 형성하고, 450℃의 질소 분위기에서 열 처리를 수행한 다음, 질소와 산소의 혼합 가스의 450℃ 분위기에서 열 처리를 수행하고, 플라즈마 CVD법에 의해 질화 실리콘막을 형성하여 마련되었다.

[0371] 도 38에서 볼 수 있는 것처럼, 산화물 도전체막(OC)의 도전율의 온도 의존성은 산화물 반도체막(OS)의 도전율의 온도 의존성보다 낮다. 대표적으로, 80K 내지 290K의 온도에서 산화물 도전체막(OC)의 도전율 변동의 범위는 -20%보다 크고 +20%보다 작다. 또는, 150K 내지 250K의 온도에서 도전율의 변동 범위는 -10%보다 크고 +10%보다 작다. 즉, 산화물 도전체는 축퇴형 반도체(degenerate semiconductor)이고, 전도대 끝이 페르미 준위와 일치하거나 실질적으로 일치한다는 점이 암시된다. 그러므로 산화물 전도체막은 예를 들면, 저항 소자, 배선, 커패시터의 전극, 화소 전극, 또는 공통 전극용으로 사용될 수 있다.

[0372] 이 실시예에서 설명된 구조, 방법 등은 다른 실시예에서 설명된 구조, 방법 등의 어느 것과도 적절히 조합하여 사용될 수 있음을 주목하라.

[0373] [실시예 8]

[0374] 산화물 반도체막을 사용하는 트랜지스터에서, 오프 상태에서의 전류(오프 전류)는 실시예 2에서 설명된 것처럼 낮게 만들어질 수 있다. 따라서, 비디오 신호와 같은 전기 신호가 오랜 기간 동안 보유될 수 있고, 기입 기간(writing interval)이 더 길게 설정될 수 있다.

[0375] 낮은 오프 전류를 지닌 트랜지스터를 사용하여, 이 실시예에서의 액정 표시 장치는 적어도 2개의 구동 방법(모드)에 의해 화상을 표시할 수 있다. 제1 구동 모드는 데이터가 프레임마다 순차적으로 재기입되는, 액정 표시 장치의 종래의 구동 방법이다. 제2 구동 모드는 데이터 재기입이 데이터 기입이 실행된 후 멈추는 구동 방법, 즉 리프레시 레이트가 감소한 구동 모드이다.

[0376] 동화상은 제1 구동 모드에서 표시된다. 정지 화상은 프레임마다 화상 데이터의 변화없이 표시될 수 있어서, 데이터를 프레임마다 반드시 재기입할 필요가 없다. 정지 화상을 표시하는 데 있어서 액정 표시 장치가 제2 구동 모드에서 구동될 때에는, 스크린 깜박거림이 더 적어진 채로 전력 소비가 감소될 수 있다.

[0377] 이 실시예에서 액정 표시 장치에서 사용된 액정 소자는 큰 용량을 축적할 수 있는 큰 면적을 가진 커패시터를 가진다. 그러므로 화소 전극에서의 전위의 유지 기간을 더 길게 만들고 리프레시 레이트가 감소된 채로 그러한 구동 모드를 적용하는 것이 가능하다. 또한, 액정층에 인가된 전압의 변동이 리프레시 레이트가 감소된 채로 구동 모드에서 액정 표시 장치가 사용될 때에도 오랜 시간 동안 억제될 수 있다. 이는 사용자에 의해 스크린 깜박거림이 인지되는 것을 더 효율적으로 방지하는 것을 가능하게 한다. 따라서, 전력 소비가 감소될 수 있고, 표시 품질이 향상될 수 있다.

[0378] 이제, 리프레시 레이트를 감소시키는 효과가 설명된다.

[0379] 눈의 피로(eye strain)는 2개의 카테고리, 즉 신경 과로와 근육 좌상으로 나누어진다. 신경 과로는 액정 표시 장치로부터 방출된 빛을 오랫동안 바라보는 것 또는 명멸하는 화상에 의해 생긴다. 이는 밝기(brightness)가 눈의 망막, 눈의 신경, 및 뇌를 자극하고 피로하게 하기 때문이다. 근육 좌상은 초점을 조정하는 작용을 하는 모양체근의 남용에 의해 생긴다.

[0380] 도 17의 (A)는 종래의 액정 표시 장치의 표시를 예시하는 개략도이다. 도 17의 (A)에 예시된 것처럼, 종래의 액정 표시 장치의 표시의 경우, 화상 재기입은 초당 60회 이루어진다. 스크린을 오랫동안 바라보는 것은 사용자의 망막, 시신경, 및 뇌를 자극할 수 있고, 눈의 피로를 일으킨다.

[0381] 본 발명의 일 실시예에서, 극히 낮은 오프 전류를 지닌 트랜지스터(예컨대, 산화물 반도체를 사용하는 트랜지스터)가 액정 표시 장치의 화소부에서 사용된다. 또한, 액정 표시 소자는 큰 면적을 지닌 커패시터를 가진다. 이들 성분을 가지고, 커패시터에 축적된 전하의 누설이 억제될 수 있음으로써, 더 낮은 프레임 주파수에서도 액정 표시 장치의 휘도가 유지될 수 있다.

[0382] 즉, 도 17의 (B)에 도시된 것처럼, 화상은 예를 들면 5초마다 1회의 화상의 재기입이 이루어질 수 있다. 이는 사용자에 의해 인지되는 스크린에서의 깜박거림이 감소될 수 있도록, 사용자가 동일한 하나의 화상을 가능한 오랫동안 볼 수 있게 한다. 따라서, 사용자의 망막 또는 시신경 또는 뇌로의 자극이 완화되고, 신경성 피로가 덜하게 된다.

[0383] 본 발명의 일 실시예는 눈-친화적(eye-friendly) 액정 표시 장치를 제공할 수 있다.

[0384] [실시예 9]

[0385] 이 실시예에서는, 본 발명의 일 실시예의 표시 장치를 각각 사용하는 전자 기기의 구조적 예가 설명된다. 또한, 이 실시예에서 도 18을 참조하여 본 발명의 일 실시예의 표시 장치를 사용하는 표시 모듈이 설명된다.

[0386] 도 18에서의 표시 모듈(8000)에서는, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트 유닛(8007), 프레임(8009), 인쇄 기판(8010), 배터리(8011)가 상부 커버(8001)와 하부 커버(8002) 사이에 제공된다. 백라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등이 몇몇 경우에서는 제공되지 않음을 주목하라.

[0387] 본 발명의 일 실시예의 표시 장치는, 예를 들면 표시 패널(8006)용으로 사용될 수 있다.

[0388] 상부 커버(8001)와 하부 커버(8002)의 모양과 크기는 터치 패널(8004)과 표시 패널(8006)의 크기에 따라 적절하게 변경될 수 있다.

[0389] 터치 패널(8004)은 저항성 터치 패널 또는 용량성 터치 패널일 수 있고, 표시 패널(8006)과 중첩하도록 형성될 수 있다. 표시 패널(8006)의 대향 기판(실링 기판)은 터치 패널 기능을 가질 수 있다. 광학 터치 패널을 형성하기 위해, 표시 패널(8006)의 각 화소에 광센서가 제공될 수 있다. 용량성 터치 패널이 얻어지도록, 표시 패널(8006)의 각 화소에 터치 센서용 전극이 제공될 수 있다.

[0390] 백라이트 유닛(8007)은 광원(8088)을 포함한다. 광원(8088)은 백라이트 유닛(8007)의 끝 부분에 제공될 수 있고, 광 확산 판이 사용될 수 있다.

[0391] 또한, 백라이트 유닛(8007)과 표시 패널(8006) 사이에는 파장 변환 부재가 제공될 수 있다. 파장 변환 부재는 형광안료, 형광 염료, 또는 양자점(quantum dot)과 같은 파장 변환 물질을 함유한다. 이러한 파장 변환 물질은 백라이트 유닛(8007)으로부터 광을 흡수하고, 광의 일부 또는 전부를 또 다른 파장을 지닌 광으로 변환할 수 있다. 파장 변환 물질 중 하나인 양자점은 1㎚ 내지 100㎚의 직경을 가지는 입자이다. 양자점을 함유하는 파장 변환 부재를 사용함으로써, 표시 장치의 컬러 재현성이 증가될 수 있다. 또한 파장 변환 부재는 광 가이드판(light-guiding plate)으로서 기능을 할 수 있다.

[0392] 프레임(8009)은 표시 패널(8006)을 보호하고 또한 인쇄 기판(8010)의 동작시 발생된 전자기파를 차단하기 위한 전자기 실드(shield)로서의 기능을 한다. 프레임(8009)은 방열판으로서의 기능도 할 수 있다.

[0393] 인쇄 기판(8010)에는 전원 회로, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부의 상용 전원 또는 별도로 제공된 배터리(8011)를 사용하는 전원이 사용될 수 있다. 배터리(8011)는 상용 전원을 사용하는 경우에는 생략 가능하다.

[0394] 표시 모듈(8000)에는 편광판, 위상차판, 또는 프리즘 시트와 같은 부재가 추가로 제공될 수 있다.

[0395] 도 19의 (A) 내지 (D)는 각각 본 발명의 일 실시예의 표시 장치를 포함하는 전자 기기의 외관도이다.

[0396] 전자 기기의 예로서는, 텔레비전 세트(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 이동 전화기 핸드셋(미동 전화기 또는 이동 전화기 장치라고도 함), 휴대용 게임기, 휴대용 정보 단말기, 오디오 재생 장치, 파칭코기 등과 같은 큰 크기의 게임기가 있다.

[0397] 도 19의 (A)는 주 몸체(1001), 하우징(1002), 표시부(1003a, 1003b) 등을 포함하는 휴대용 정보 단말기를 예시한다. 표시부(1003b)는 터치 패널이다. 표시부(1003b)에 표시된 키보드 버튼(1004)을 터치함으로써, 스크린이 동작할 수 있고, 텍스트가 입력될 수 있다. 표시부(1003b)는 당연히 터치 패널일 수 있다. 스위칭 소자로서 위 실시예들에서 설명된 트랜지스터 중 임의의 것을 사용하여 액정 패널이나 유기 발광 패널이 제작되고, 표시부(1003a 또는 1003b)에 사용되어, 신뢰성이 높은 휴대용 정보 단말기가 제공될 수 있다.

[0398] 도 19의 (A)에 예시된 휴대용 정보 단말기는 다양한 정보(예컨대, 정지 화상, 동화상, 및 텍스트 화상)를 표시부에 표시하는 기능; 달력, 날짜, 시간 등을 표시부에 표시하는 기능; 표시부에 표시된 정보를 동작시키거나 편집하는 기능; 다양한 종류의 소프트웨어(프로그램)에 의한 처리를 제어하는 기능 등을 가질 수 있다. 또 외부 접속 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 하우징의 뒷면 또는 측면에 제공될 수 있다.

[0399] 도 19의 (A)에 예시된 휴대용 정보 단말기는 데이터를 무선으로 송수신할 수 있다. 무선 통신을 통해, 원하는 서적의 자료 등이 전자-서적(e-book) 서버로부터 구매 및 다운로드될 수 있다.

[0400] 도 19의 (B)는 주 몸체(1021)에, 표시부(1023), 휴대용 음악 재생기가 귀에 착용되게 할 수 있는 고정부(1022), 스피커, 조작 버튼(1024), 외부 메모리 슬롯(1025) 등을 포함하는 휴대용 음악 재생기를 예시한다. 액정 패널이나 유기 발광 패널이 스위칭 소자로서 위 실시예들에서 설명된 트랜지스터 중 임의의 것을 사용하여 제작되고 표시부(1023)에서 사용됨으로써, 신뢰성이 높은 휴대용 음악 재생기가 제공될 수 있다.

[0401] 또, 도 19의 (B)에 예시된 휴대용 음악 재생기가 안테나, 마이크로폰 기능 또는 무선 통신 기능을 가지고, 이동 전화기에 사용될 때에는, 사용자가 차 등을 운전하면서 핸즈-프리 방식으로 무선으로 전화를 할 수 있다.

[0402] 도 19의 (C)는 하우징(1030)과 하우징(1031)의 2개의 하우징을 포함하는 이동 전화기를 예시한다. 하우징(1031)은 표시 패널(1032), 스피커(1033), 마이크로폰(1034), 포인팅(pointing) 장치(1036), 카메라 렌즈(1037), 외부 접속 단자(1038) 등을 포함한다. 하우징(1030)에는 이동 전화기를 충전하기 위한 태양 전기(1040), 외부 메모리 슬롯(1041) 등이 제공된다. 또한, 안테나는 하우징(1031)에 통합딘다. 위 실시예에서 설명된 트랜지스터 중 아무거나 표시부(1032)에 사용되고, 이로 인해 신뢰성이 높은 이동 전화기가 제공될 수 있다.

[0403] 또, 표시부(1032)는 터치 패널을 포함한다. 화상으로서 표시되는 복수의 조작 키(1035)가 도 19의 (C)에서 점선으로 표시되어 있다. 태양 전지(1040)로부터의 출력 전압이 각각의 회로에 관해 충분히 높게 증가되는 승압(boosting) 회로 또한 포함된다는 점을 주목하라.

[0404] 표시부(1032)에서는 표시의 방향이 적용 모드에 따라 적절히 변경된다. 또한, 이동 전화기는 동일한 면측에 카메라 렌즈(1037)와 표시 패널(1032)을 가지고, 다라서 비디오 폰(video phone)으로 사용될 수 있다. 스피커(1033)와 마이크로폰(1034)은 음성 통화뿐만 아니라, 비디오 전화, 녹음, 소리 재생 등을 위해 사용될 수 있다. 또, 도 19의 (C)에 예시된 것처럼 나타내어진 상태에 있는 하우징(1030)과 하우징(1031)은 슬라이딩에 의해 하나가 다른 하나 위에 겹쳐지는 상태로 바뀔 수 있다. 그러므로 이동 전화기의 크기가 감소될 수 있고, 이는 이동 전화기가 가지고 다니기에 적합하게 한다.

[0405] 외부 접속 단자(1038)는 AC 어댑터와, USB 케이블과 같은 다양한 케이블에 접속될 수 있어서, 충전 및 개인용 컴퓨터 등과의 데이터 통신이 가능하다. 또, 외부 메모리 슬롯(1041)에 기록 매체를 삽입함으로써, 더 많은 양의 데이터가 보존 및 이동될 수 있다.

[0406] 또한, 위 기능들 외에도 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0407] 도 19의 (D)는 텔레비전 세트의 일 예를 예시한다. 텔레비전 세트(1050)에서는, 하우징(1051)에 표시부(1053)가 통합된다. 표시부(1053)에는 화상이 표시될 수 있다. 또, 하우징(1051)을 지지하는 스탠드(1055)에 CPU가 통합된다. 위 실시예들에서 설명된 트랜지스터는 아무거나 표시부(1053)와 CPU에서 사용됨으로써, 텔레비전 세트(1050)가 높은 신뢰성을 가질 수 있다.

[0408] 텔레비전 세트(1050)는 하우징(1051)의 조작 스위치 또는 별도의 리모컨으로 조작될 수 있다. 또한, 리모컨에는

그 리모컨으로부터의 데이터 출력을 표시하기 위한 표시부가 제공될 수 있다.

[0409] 텔레비전 세트(1050)에는 수신기, 모뎀 등이 제공된다는 점을 주목하라. 수신기를 사용하여, 일반적인 텔레비전 방송이 수신될 수 있다. 또한, 텔레비전 세트가 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속되면, 단방향(송신자로부터 수신자로) 또는 양방향(송신자와 수신자 사이 또는 수신자끼리) 정보 통신이 수행될 수 있다.

[0410] 또, 텔레비전 세트(1050)에는 외부 접속 단자(1054), 기억 매체 기록 및 재생부(1052), 및 외부 메모리 슬롯이 제공된다. 외부 접속 단자(1054)는 USB 케이블과 같은 다양한 유형의 케이블에 접속될 수 있고, 개인용 컴퓨터 등과의 데이터 통신이 가능하다. 기억 매체 기록 및 재생부(1052) 내로 디스크 기억 매체가 삽입되고, 기억 매체에 기억된 데이터를 판독하는 것과 기억 매체에 데이터를 기입하는 것이 수행될 수 있다. 또한, 외부 메모리 슬롯에 삽입된 외부 메모리(1056)에서 데이터로서 저장된 화상, 비디오 등이 표시부(1053)에 표시될 수 있다.

[0411] 또, 위 실시예에서 설명된 트랜지스터의 오프 누설 전류가 극히 적은 경우에, 그 트랜지스터가 외무 메모리(1056) 또는 CPU에서 사용된다면, 텔레비전 세트(1050)는 높은 신뢰성을 가질 수 있고, 전력 소비가 충분히 감소된다.

[0412] 이 실시예는 본 명세서에서 개시된 다른 실시예 중 임의의 것과 적절히 결합될 수 있다.

[0413] [예 1]

[0414] 이 예에서는 본 발명의 일 실시예에 따른 액정 표시 장치에 포함된 화소의 투과율 분포가 계산에 의해 평가되었다.

[0415] 먼저, 이 예에서 사용된 샘플들이 설명된다.

[0416] 도 15는 샘플 1의 상면도이고, 도 7은 샘플 1의 기판(11) 측의 단면도이다. 샘플 1에서의 화소는 3개의 서브픽셀(subpixel)을 포함한다. 이러한 서브픽셀은 옆 방향으로 연장하고 주사선으로서 기능하는 도전막(13)과, 세로 방향(도전막(13)과 교차하는)으로 연장하고 신호선으로서 기능하는 도전막(21a), 및 그 내측 영역을 포함한다. 또한, 공통 전극(29a)은 신호선으로서 기능하는 도전막(21a)과 교차하는 방향으로 연장하는 줄무늬 영역과, 도전막(21a)에 평행하고 줄무늬 영역에 접속되는 접속 영역을 포함한다. 공통 전극(29a)은 신호선으로서 기능하는 도전막(21a)과 교차하는 방향으로 연장하는 줄무늬 영역(29a_1)과, 주사선으로서 기능하는 도전막(13)과 중첩하고 줄무늬 영역에 접속되는 영역(29a_2)을 포함한다. 공통 전극(29a)의 상면은 줄무늬 영역에서 지그재그 모양을 가지고, 그 연장 방향은 신호선으로서 기능하는 도전막(21a)과 교차한다.

[0417] 또한, 도 7에 예시된 트랜지스터에서처럼, 각각의 서브픽셀은 트랜지스터(102)를 포함한다. 트랜지스터(102)는 게이트 전극으로서 기능하는 도전막(13); 도전막(13) 위에 형성되고 게이트 절연막으로서 기능하는 질화물 절연막(15) 및 산화물 절연막(17); 게이트 절연막을 사이에 두고 게이트 전극과 중첩하고 화소 전극(19b)이 형성되는 동일한 공정을 통해 형성되는 산화물 반도체막(19a); 산화물 반도체막(19a)에 전기적으로 접속되고 신호선으로서 기능하는 도전막(21a); 및 산화물 반도체막(19a)과 화소 전극(19b)에 전기적으로 접속된 도전막(21b)을 포함한다.

[0418] 또한, 도 7에 예시된 것처럼 트랜지스터(102) 위에는 산화물 절연막(23, 25)이 형성되고, 산화물 절연막(25)과 화소 전극(19b) 위에는 질화물 절연막(27)이 형성된다. 공통 전극(29)은 질화물 절연막(27) 위에 형성된다.

[0419] 샘플 1에서 도 4에 예시된 도전막(67)과 같이, 액정층을 사이에 두고 공통 전극(29)과 대향하는 도전막(67)을 가지는 화소를 샘플 2로 부른다는 점을 주목하라.

[0420] 비교예로서, 도 15에 예시된 화소에서 공통 전극(29)의 상면에서, 도 2의 (C)에 예시된 공통 전극(69)에서처럼, 신호선으로서 기능하는 도전막과 교차하는 영역을 가지는 샘플이 샘플 3이다.

[0421] 또한, 샘플 1과 샘플 2에서, 공통 전극의 굴곡점에서의 각도(도 2의 (A)에서 $\theta 1$에 대응하는)는 160° 로 설정되었고, 신호선으로서 기능하는 도전막의 수선과 공통 전극 사이의 각도(도 2의 (A)에서 $\theta 2$에 대응하는)는 15° 로 설정되었다.

[0422] 또한, 샘플 3에서 공통 전극에서의 굴곡점에서의 각도가 175° 로 설정되었고, 신호선으로서 기능하는 도전막의 수선과 공통 전극 사이의 각도(도 2의 (A)에서 $\theta 2$에 대응하는)는 0° 로 설정되었다.

[0423] 샘플 1 내지 샘플 3은 위와 같은 방식으로 마련되었다. 샘플 1 내지 샘플 3의 화소의 투과율은 화소 전극과 공

통 전극 사이에 인가된 수평 전계에 의해 제어될 수 있다.

[0424] 다음에 샘플 1 내지 샘플 3의 투과율이 계산되었다. 계산은 FEM-스태틱(Static) 모드에서 LCD 마스터 3-D(SINTECH사에 의해 제작된)를 사용하여 수행되었다. 계산에서, 크기는 가로 49.5㎛, 세로 49.5㎛, 및 높이(deep) 4㎛이었고, 주기적 경계 조건이 채택되었다. 또한, 도전막(13)의 두께는 200㎚로 설정되었고, 질화물 절연막(15)과 산화물 절연막(17)의 총 두께는 400㎚로 설정되었으며, 도전막(21a)과 도전막(21b) 각각의 두께는 300㎚로 설정되었고, 산화물 절연막(23)과 산화물 절연막(25)의 총 두께는 500㎚로 설정되었으며, 질화물 절연막(27)의 두께는 100㎚로 설정되었다. 또한, 샘플 1 내지 샘플 3 각각에서, 화소 전극의 두께는 0㎚로 설정되었고, 공통 전극의 두께는 100㎚로 설정되었다. 샘플 2에서의 도전막(67)의 두께는 0㎚로 설정되었다. 또한, 액정 분자의 프리트위스트(pretwist), 트위스트, 및 프리틸트(pretilt) 각도는 각각 90°,0° 및 3° 로 설정되었다. 샘플 1 내지 샘플 3에서의 화소 전극의 두께와, 샘플 2에서의 도전막(67)의 두께는 계산으로 인한 부담을 감소시키기 위해 0㎚로 설정되었음을 주목하라.

[0425] 위 조건에서, 주사선으로서 기능하는 도전막을 -9V, 공통선을 0V로 설정하고, 신호선으로서 기능하는 도전막의 전압을 화소 전극의 전압과 같게 하고, 0V부터 6V까지 1V씩 증가하는 전압이 인가된(낮은 리프레시 레이트를 가지는 액정 장치에 관한 리프레시 주기에 대응하는) 경우와, 신호선으로서 기능하는 도전막을 0V로 고정하고, 화소 전극에 0V로부터 6V까지 1V만큼 증가하는 전압이 화소 전극에 인가되는(낮은 리프레시 레이트를 가지는 액정 장치에 관한 보유 기간에 대응하는) 경우에서의 투과율이 계산되었다.

[0426] 화소 전극의 전압(이후, 화소 전압이라 부름)과 화소의 투과율 사이의 관계는 도 20의 (A) 및 (B)와, 도 21에 도시되어 있다. 샘플 1의 계산 결과는 도 20의 (A)에, 샘플 2의 계산 결과는 도 20의 (B)에, 샘플 3의 계산 결과는 도 21에 도시되어 있다. 도 20의 (A) 및 (B)와, 도 21에서, 검정색 원은 신호선으로서 기능하는 도전막의 전압(이후, 신호선 전압이라고 부름)이 화소 전압(리프레시 기간에 대응하는)과 같은 경우에서의 투과율을 가리키고, 흰색 원은 신호선 전압이 0V(보유 기간에 대응하는)로 고정되는 경우에서의 투과율을 가리킨다. 각 샘플의 투과율은 평행한 니콜스(Nicols) 투과율이 100%인 조건에서 계산되었다.

[0427] 도 20의 (A) 및 (B)는 샘플 1과 샘플 2 각각에서 화소 전압이 증가할 때 투과율이 증가함을 보여준다. 또한, 화소 전압이 6V였다면, 신호선 전압이 화소 전압과 같았을 때와 신호선 전압이 0V였을 때의 투과율에서의 차이가 적다. 이는 투과율이 보유 기간과 리프레시 기간에서 유지될 수 있고, 이로 인해 스크린에서의 깜박거림이 감소될 수 있음을 가리킨다.

[0428] 반면에, 도 21은 샘플 3에서 화소 전압이 증가할 때 투과율이 증가함을 보여준다. 하지만, 신호선 전압이 0V로 고정된 경우에서의 투과율의 증가 속도가 신호선 정방이 화소 전압과 같은 경우에서의 투과율의 증가 속도보다 낮았다. 이는 보유 기간에서의 화소에서의 밝기가 리프레시 기간에서의 화소에서의 밝기에 비해 감소되어, 스크린에서의 깜박거림이 발생됨을 가리킨다.

[0429] 따라서, 샘플 1과 샘플 2에 관한 모양을 가지는 공통 전극을 제공하는 것이 낮은 리프레시 레이트를 가지는 액정 표시 장치에서 스크린에서의 깜박거림을 감소하는데 있어서 효과적이다.

[0430] [예 2]

[0431] 실시예 2 내지 6에서 설명된 소자 기판은 제조 단계에서 사용된 마스크의 개수를 감소시키는 것과, 화소의 높은 개구율을 만드는 것을 가능하게 한다. 하지만, 액정 소자는 산화물 절연막(23, 25) 등이 부분적으로 에칭되는 영역에 형성되고, 따라서 소자 기판 내에서 단차(step)가 만들어진다. 그러므로 배향막의 러빙 방향과 광 누설 사이의 관계가 조사되었다.

[0432] 먼저, 배향막에 관한 배향 방향과 화소에서의 광 누설량 사이의 관계의 조사 결과가 설명된다.

[0433] 신호선으로서 기능하는 도전막(21a)의 연장 방향에 대해 0° , 45° , 및 90° 의 각도로 소자 기판에 러빙 처리가 수행되었다. 또한, 소자 기판의 러빙 방향에 역평행(antiparallel)하도록 대향 기판에 배향 처리가 수행되었다. 그 다음 소자 기판과 대향 기판 사이에 액정층과 실링 재료가 마련되어, 액정 표시 장치가 제작되었다.

[0434] 다음에는, 액정 표시 장치에 포함된 화소들로부터의 광 누설의 양이 측정되었다. 측정에 있어서, 액정 표시 장치에서 편광자가 교차된(crossed) 니콜이 되도록 한 쌍의 편광판이 배치되었다. 러빙 방향에서의 각도와 편광자의 축이 평행하다는 점을 주목하라. 도 29는 측정 결과를 보여준다. 광 누설의 측정은 각각의 액정 표시 장치에서 5개의 점에서 수행되었다.

[0435] 도 29는 러빙 방향과 신호선으로서 기능하는 도전막(21a) 사이의 각도가 45° 인 표시 장치에서 광 누설의 양이

많고, 각도가 0° 와 90° 에서는 광 누설의 양이 적음을 나타낸다. 또한, 러빙 방향이 신호선으로서 기능하는 도전막(21a)과 평행하도록, 배향 처리를 수행함으로써 광 누설이 가장 억제되었음이 또한 확인된다.

[0436] 이 예에서 제작된 액정 표시 장치는, 주사선으로서 기능하는 도전막(13)의 밀도에 비해, 신호선으로서 기능하는 도전막(21a)의 밀도가 3배나 높다. 즉, 신호선으로서 기능하는 도전막(21a)에 평행한 방향으로 볼록한 영역과 오목한 영역이 연장된다. 그러므로 단차가 형성될 때에도 광 누설이 억제될 수 있도록, 신호선으로서 기능하는 도전막(21a)에 평행한 방향으로 배향 처리를 수행됨이 확인된다.

[0437] 다음에, 배향 처리 방법과 광 누설의 양 사이의 관계의 조사 결과가 설명된다.

[0438] 도 30의 (A) 및 (B)는 현미경으로 관찰된 액정 표시 장치에서의 표시부의 사진이다. 도 30의 (A)는 배향막이 러빙 처리에 의해서만 형성되는 액정 표시 장치의 관찰 결과이고, 도 30의 (B)는 러빙 처리와 광학 배향 처리를 수행함으로써 배향막이 형성되는 액정 표시 장치의 관찰 결과이다. 현미경에 의한 관찰은 편광판에 포함된 편광자의 배치가 교차된 니콜이고 투과 모드가 채택된 조건에서 수행되었음을 주목하라.

[0439] 도 30의 (A)에 나타난바, 러빙 처리만을 행함으로써 배향막을 형성한 액정 표시 장치에서는 국부적인 광 누설이 발생하였음이 확인된다. 이에 반해, 도 30의 (B)에서 보여지듯이, 러빙 처리와 광학 배향 처리를 수행함으로써 배향막이 형성되는 액정 표시 장치에서는 광 누설이 억제됨이 확인된다.

[0440] 이들 결과에 기초하여, 단차 구조를 가지는 소자 기판에 대해서는, 액정 분자의 배향을 수평 배향으로 하고, 오목한 영역과 볼록한 영역의 연장 방향에 평행한 방향으로 배향 처리를 수행하고, 또한 광학 배향 처리를 행함으로써 배향 처리가 하나의 평면에서 균일하게 수행될 수 있음이 확인된다.

[0441] 이 예에서, 도 31의 (A)에 예시된 것처럼, 신호선으로서 기능하는 도전막(21a)과 실질적으로 직교하는 방향으로 지그재그 슬릿 모양을 가지는 공통 전극(29)을 가지는 화소에서 액정 분자의 배향 상태가 계산된다.

[0442] Shintech사에 의해 제작된 액정 표시 장치(LCD AKTMXJ 3-D 풀 세트 FEM 모드)에 관한 디자인 시뮬레이터가 액정 분자의 배향의 계산을 위해 사용되었다. 또한, 액정 소자에서 셀 갭이 4.0㎛로 설정되었고, 화소 구조는 2개의 이웃하는 서브픽셀을 가지는 것으로 가정되었다. 하나의 서브픽셀의 흰색 표시를 위해 화소 전극(19b)에 5V의 전압이 인가되었고, 다른 서브픽셀의 검정색 표시를 위해 화소 전극(19b)에 0V의 전압이 인가되었으며, 액정 분자의 배향 상태가 계산되었다. 또, 신호선으로서 기능하는 도전막(21a)과 공통 전극(29) 사이의 전계에 의한 영향을 조사하기 위해 신호선으로서 기능하는 도전막(21a)에 0V 또는 6V가 인가되었고, 2가지 경우 모두에서 액정 분자의 배향이 비교되었다. 실제 패널을 가정하여, 계산을 위해 신호선으로서 기능하는 도전막(21a)의 끝으로부터 1.5㎛ 안쪽에 위치한 영역을 덮도록, 대향 기판에 관해 광-차폐(light-shielding)막이 배치되었다.

[0443] 또한 비교예로서, 도 32의 (A)에 예시된 것처럼 직선 모양의 공통 전극(30)을 가지는 화소에서 액정 분자의 배향이 또한 계산되었다.

[0444] 낮은 리프레시 레이트로 구동되는 액정 표시 장치의 경우, 플렉소-일렉트릭(flexo-electric) 효과의 관점에서 네거티브 액정 재료가 바람직하다. 그러므로 네거티브 액정 재료가 계산을 위해 사용된다.

[0445] 도 31의 (B) 및 (C)는 도 31의 (A)에 예시된 화소의 계산 결과를 보여준다. 또한, 도 32의 (A)에 예시된 화소의 계산 결과가 도 32의 (B) 및 (C)에 도시되어 있다. 도 31의 (A) 내지 (C)와 도 32의 (A) 내지 (C)에서, 도 31의 (B)와 도 32의 (B)가 신호선으로서 기능하는 도전막에 0V가 인가되었을 때의 계산 결과를 보여주고, 도 31의 (C)와 도 32의 (C)는 신호선으로서 기능하는 도전막(21a)에 6V가 인가되었을 때의 계산 결과를 보여준다.

[0446] 도 32의 (A) 및 (B)에 도시된 흰색 표시를 위한 서브픽셀을 비교함으로써, 신호선으로서 기능하는 도전막(21a)에 인가된 전압에 따라 액정 분자들의 배향 상태가 다르다는 점이 확인된다. 이에 반해, 도 31의 (B) 및 (C)에 도시된 흰색 표시를 위한 서브픽셀에서의 화소 전극(19b) 위의 액정 분자들의 배향 상태에서의 큰 차이는 확인되지 않는다.

[0447] 이러한 이유는 공통 전극(29)이 지그재그 모양을 가지고, 액정 분자들의 회전 방향이 신호선으로서 기능하는 도전막(21a) 위에서는 시계 방향이 되지만, 화소 전극(19b) 위에서는 반시계 방향이 되기 때문이다. 그 결과 신호선으로서 기능하는 도전막(21a) 위와 화소 전극(19b) 위에서, 액정 분자의 배향 상태가 서로 간섭하기 어렵다.

[0448] 다음에, 이러한 계산 결과를 가지고, 화소 전극(19b)에 0V 내지 6V까지 0.5V만큼 증가하는 전압이 인가되었을 때 화소의 전압-투과율 특성이 계산되었다. 이 때, 신호선으로서 기능하는 도전막(21a)에 인가된 전압(Vd)은 0V 또는 6V로 설정되었다. 계산 결과는 도 40의 (A) 및 (B)에 도시된다. 도 40의 (A)는 도 31의 (A)에 예시된 화소

의 전압-투과율 특성의 계산 결과를 보여주고, 도 40의 (B)는 도 32의 (A)에 예시된 화소의 전압-투과율 특성의 계산 결과를 보여준다. 도 40의 (A) 및 (B)에서, 수평축은 화소 전극(19b)의 전압을 보여주고, 수직축은 화소의 투과율을 보여준다. 도 40의 (A) 및 (B) 각각에서, 원 기호와 파선은 신호선으로서 기능하는 도전막(21a)에 0V의 전압이 인가될 때 얻어진 계산 결과를 보여주고, 정사각형 기호와 실선은 신호선으로서 기능하는 도전막(21a)에 6V의 전압이 인가될 때 얻어진 계산 결과를 보여준다. 도 40의 (A)에서, 0V와 6V(Vd)에서의 투과율을 나타내는 곡선은 실질적으로 중첩된다. 도 40의 (A)에 도시된 것처럼, 도 31의 (A) 내지 (C)에 예시된 공통 전극(30)의 구조는 신호선으로서 기능하는 도전막(21a)에 인가된 전압으로 인한 화소의 투과율 변동이 거의 없다.

[0449] 또한, 도 33은 신호선으로서 기능하는 도전막(21a)의 인가 전압이 0V인 경우의 전압-투과율 특성을 기준으로서 사용함으로써, 신호선으로서 기능하는 도전막(21a)에 0V부터 6V까지의 전압의 경우에서의 전압-투과율 특성 사이의 차이를 보여준다. 도 33에서, 수평축은 화소 전극(19b)의 전압을 보여주고, 수직축은 투과율에서의 차이를 보여준다. 도 31의 (A) 내지 (C)와 도 32의 (A) 내지 (C)에 도시된 계산과 같이, 실제 패널을 가정하여 계산을 위해 신호선으로서 기능하는 도전막(21a)의 끝으로부터 1.5㎛ 안쪽에 위치한 영역을 덮도록, 대향 기판을 위한 광-차폐막이 배치되었다.

[0450] 도 33에서, 수평축은 화소 전극(19b)에 인가된 전압을 보여주고, 수직축은 각각의 인가된 전압에서의 전압-투과율 특성의 차이를 보여준다. 도 33에서, 실선은 도 31의 (A)에 예시된 화소의 계산 결과를 보여주고, 파선은 도 32의 (A)에 예시된 화소의 계산 결과를 보여준다.

[0451] 도 32의 (A)에 예시된 공통 전극(30)의 구조에서, 화소 전극(19b)에 인가하는 전압이 상승함에 따라, 전압-투과율 특성의 차이가 커진다. 즉, 화소의 투과율은 신호선으로서 기능하는 도전막(21a)에 인가된 전압에 의해 크게 영향을 받는다.

[0452] 그에 반해, 도 31의 (A)에 예시된 공통 전극(29)의 모양에서는, 화소 전극(19b)에 인가된 전압이 증가할 때에도, 전압-투과율 특성의 차이가 작다. 즉, 화소의 투과율은 신호선으로서 기능하는 도전막(21a)에 인가된 전압에 의해 그리 많게 영향을 받지 않는다.

[0453] 따라서, 신호선으로서 기능하는 도전막(21a) 위의 액정 분자들의 회전 방향이 화소 전극(19b) 위의 액정 분자들의 회전 방향에 대해 반전되어, 신호선으로서 기능하는 도전막의 전계에 의한 액정 분자들의 영향이 감소될 수 있다.

[0454] 또한, 신호선으로서 기능하는 도전막(21a)에 제공된 공통 전극(29)의 모양은 슬릿 모양이고, 산화물 절연막(23, 25)이 신호선으로서 기능하는 도전막(21a) 위에 형성됨으로써, 신호선으로서 기능하는 도전막(21a)과 공통 전극(29) 사이에 발생된 기생 용량이 충분히 감소될 수 있다.

[0455] 따라서, 본 발명의 일 실시예에 따른 소자 기판은 또한 낮은 리프레시 레이트로 구동되는 액정 표시 장치에 있어서 효과적이다.

[0456] [예 4]

[0457] 이 예에서는, 액정 표시 장치가 실시예 2에서 설명된 소자 기판을 사용하여 제작되었다. 이러한 액정 표시 장치의 사양과 표시 화상이 설명된다.

[0458] 표 1은 액정 표시 장치의 사양을 보여준다.

표 1

[0459]

스크린 대각선	4.29인치
해상도	1080×RGB(H)×1920(V): Full-HD
화소 피치	49.5㎜(H)×49.5㎜(V)
화소 밀도	513ppi
액정 모드	프린지 필드 스위칭(Fringe Field Switching)
개구율	50.80%
FET	CAAC-IGZO
공정	6개-마스크 공정

[0460] 배향막의 배향 처리로서 러빙 처리 및 광학 배향 처리가 사용되고, 공통 전극이 지그재그 모양으로 가공되며, 도전성을 가지는 산화물 반도체막이 트랜지스터에서 포함된 산화물 반도체막이 화소 전극(19b)으로서 사용됨과

동시에 형성된 방식으로, 낮은 주파수에서 구동될 수 있는 513-ppi FFS 모드 액정 표시 장치가 6개-마스크 공정에 의해 제작되었다.다음에, 도 34는 이 예에서 제작된 액정 표시 장치에 의해 표시된 화상의 사진이다. 도 34에 나타난바, 본 발명의 일 실시예에 따른 표시 장치는 높은 선명도와 우수한 표시 품질을 보여주는 액정 표시 장치이다. 이 예에서 제작된 액정 표시 장치는 낮은 주파수에서 구동될 수 있고, 따라서 전력을 덜 소비할 수 있음을 주목하라.

[0461] [예 5]

[0462] 이 예에서는, 도전성을 가지는 산화물 반도체막의 투과율, 도전율, 및 저항율이 설명된다. 먼저, 샘플 A1 및 샘플 A2를 형성하기 위한 방법을 설명한다.

[0463] 우선, 샘플 A1를 형성하기 위한 방법을 설명한다.

[0464] 유리 기판 위에 50㎚의 두께를 지닌 In-Ga-Zn막(이후, IGZO막이라고 부름)이 형성된 다음, 그 위에 100㎚의 두께를 지닌 질화 실리콘막이 적층되었다. 샘플 A1은 도전성을 가지는 산화물 반도체막을 포함한다는 점을 주목하라.

[0465] IGZO막의 형성 조건은, 스퍼터링법이 이용되었고, 금속 산화물 타겟(In:Ga:Zn=1:1:1)이 사용되었으며, 아르곤으로 희석된 33vol%의 산소를 함유하는 스퍼터링 가스가 사용되었고, 압력은 0.4Pa였으며, 형성 전력은 200W이었고, 기판 온도는 300℃이었음을 주목하라.

[0466] 또한, 질화 실리콘막의 형성 조건은, 플라즈마 CVD법이 이용되었고, N_2와 NH_3에 대한 SiH_4의 가스 유량비가 50/5000/100sccm이었고, 압력은 100Pa이었으며, 형성 전력은 1000W이었고, 기판 온도는 350℃이었다. 위 공정을 통해 샘플 A1이 형성되었다.

[0467] 다음, 샘플 A2의 제작 방법이 설명된다.

[0468] 샘플 A2의 IGZO는 샘플 A1의 IGZO막의 형성 조건에서 유리 기판 위에 형성되었다. 위 공정을 통해, 샘플 A2가 제작되었다. 샘플 A1은 산화물 반도체막을 포함하는 점을 주목하라.

[0469] 다음, 샘플 A1과 샘플 A2 각각에서의 가시광의 투과율이 측정되었다. 측정된 투과율은 도 35에 도시되어 있다. 도 35에서, 실선은 샘플 A1에 포함된 도전율을 가지는 산화물 반도체막(OC막)의 투과율을 보여주고, 파선은 샘플 A2에 포함된 산화물 반도체막(OS막)의 투과율을 가리킨다.

[0470] 샘플 A1과 샘플 A2의 투과율은 넓은 에너지 영역에서 80% 이상이다. 즉, 도전성을 가지는 산화물 반도체막은 산화물 반도체막과 비교시 가시광 영역에서 높은 투과율을 가진다.

[0471] 다음, 도전성을 가지는 산화물 반도체막의 도전율과 저항율이 측정되었다.

[0472] 먼저, 샘플 A3를 형성하기 위한 방법이 설명된다.

[0473] 샘플 A1과 비슷한 조건에서, 유리 기판 위에 35㎚ 두께의 IGZO막이 형성된 다음, 100㎚ 두께의 질화 실리콘막이 그 위에 적층되었다. 그 다음 질화 실리콘막이 에칭되어 도전성을 가지는 산화물 반도체막이 노출되었다. 위 단계들을 통해 샘플 A3가 형성되었다.

[0474] 그 다음, 샘플 A3에 포함된 도전성을 가지는 산화물 반도체막의 도전율이 측정되었다. 도 36(아레니우스 도표(arrhenius plot))은 도전성을 가지는 산화물 반도체막의 도전율의 1/T 의존성을 보여준다. 도 36에서, 수평축은 1/T 절대 온도를 보여주고, 수직축은 1/ρ을 보여준다.

[0475] 도 36에 도시된 것처럼, 도전성을 가지는 산화물 반도체막의 저항율은 온도가 증가함에 따라 약간 증가한다. 이는 도전성을 가지는 산화물 반도체막의 도전성은 반도체적 성능이 아니라 금속적인 성능을 보여줌을 가리킨다. 이는 도전성을 가지는 산화물 반도체막에서의 캐리어가 축퇴하기 때문이라고 생각된다.

[0476] 도 37은 샘플 A3의 측정된 저항율을 보여준다. 샘플 A3에 포함된 도전성을 가지는 산화물 반도체막의 전기적 특성은 양호한 선형적 전기적 특성을 보여주었고, 저항율은 약 7×10^{-3}Ω·㎝이었다.

[0477] 투과율과 저항율의 측정 결과에 기초하여, ITO의 대체물로서 도전성을 가지는 산화물 반도체막이 사용될 수 있다.

[0478] 또한, 도전성을 가지는 산화물 반도체막은 산화물 반도체막의 물리적 특성과는 다른 물리적 특성을 보여주었고,

따라서 도전성을 가지는 산화물 반도체막과 산화물 반도체막은 다른 재료라고 말할 수 있다.

[0479] [예 6]

[0480] 이 예에서는, 트랜지스터의 *Vg*-*Id* 특성의 측정 결과를 설명한다.

[0481] 샘플 B1에 포함된 트랜지스터의 제작 공정을 도 10의 (A) 내지 (D), 그리고 도 11의 (A) 내지 (D)를 참조하여 설명한다.

[0482] 도 10의 (A)에 예시된 것처럼, 기판(11)으로서 유리 기판이 사용되었고, 기판(11) 위에 도전막(12)이 형성되었다.

[0483] 이 경우, 스퍼터링법에 의해 도전막(12)으로서 100㎚의 두께를 지닌 텅스텐 막이 형성되었다.

[0484] 도 10의 (B)에 예시된 것처럼, 게이트 전극으로서 기능을 하는 도전막(13)이 형성되었다.

[0485] 여기서, 포토리소그라피 공정에 의해 도전막(12) 위에 마스크가 형성된 다음, 도전막(12)이 부분적으로 에칭되어 도전막(13)을 형성하였다.

[0486] 도 10의 (C)에 예시된 것처럼, 질화물 절연막(15), 산화물 절연막(16), 및 산화물 반도체막(18)이 이러한 순서로 도전막(13) 위에 형성되었다.

[0487] 여기서, 질화물 절연막(15)으로서, 50㎚의 두께를 지닌 제1 질화 실리콘막, 300㎚의 두께를 지닌 제2 질화 실리콘막, 및 50㎚의 두께를 지닌 제3 질화 실리콘막이 플라즈마 CVD법에 의해 형성되었다. 산화물 절연막(16)으로서, 50㎚의 두께를 지닌 산화질화 실리콘막이 플라즈마 CVD법에 의해 형성되었다. 산화물 반도체막(18)으로서, 35㎚의 두께를 지닌 IGZO막이 스퍼터링법으로 형성되었다. 사용된 스퍼터링 타겟에 함유된 Ga와 Zn에 대한 In의 원자수비는 1:1:1이었다는 점을 주목하라. 증착 온도는 170℃이었다.

[0488] 다음, 제1 열 처리가 수행되었다. 여기서 제1 열 처리로서, 1시간 동안 질소 분위기에서 450℃로 열 처리가 수행된 다음, 1시간 동안 질소 및 산호의 분위기에서 450℃로 열 처리가 수행되었다.

[0489] 그런 다음, 도 10의 (D)에 예시된 것처럼, 산화물 반도체막(19a)이 형성되었다. 여기서, 포토리소그라피 공정에 의해 산화물 반도체막(18) 위에 마스크가 형성된 후, 산화물 반도체막(18)의 일부가 에칭되어 산화물 반도체막(19a)을 형성하였다.

[0490] 그 다음, 도 11의 (A)에 예시된 것처럼 도전막(20)이 형성되었다.

[0491] 여기서, 도전막(20)으로서, 50㎚의 두께를 지닌 텅스텐 막, 400㎚의 두께를 지닌 알루미늄 막, 및 100㎚의 두께를 지닌 티타늄 막이 이러한 순서로 스퍼터링법에 의해 형성되었다.

[0492] 그 다음, 도 11의 (B)에 예시된 것처럼, 소스 전극 및 드레인 전극으로서 기능하는 도전막(21a, 21b)이 형성되었다. 여기서, 포토리소그라피 공정에 의해 도전막(20) 위에 마스크가 형성된 다음, 도전막(20)의 일부가 에칭되어 도전막(21a, 21b)을 형성하였다.

[0493] 그런 다음, 산화물 절연막(22)과 산화물 절연막(24)이 도 11의 (C)에 예시된 것처럼 형성되었다.

[0494] 여기서, 플라즈마 CVD법에 의해 산화물 절연막(22)으로서 50㎚의 두께를 지닌 산화질화 실리콘막이 형성되었다.

[0495] 그 다음, 제2 열 처리에 의해, 물, 질소, 수소 등이 산화물 절연막(22)과 산화물 절연막(24)으로부터 떨어져 나가고, 산화물 절연막(24)에 함유된 산소의 일부가 산화물 반도체막(19a)에 공급되었다. 여기서, 열 처리는 1시간 동안 질소와 산소가 혼합된 분위기에서 350℃에서 수행되었다.

[0496] 그 다음, 비록 예시되지는 않았지만, 산화물 절연막(24) 위에 질화물 절연막이 형성되었다.

[0497] 여기서, 플라즈마 CVD법에 의해 질화물 절연막으로서 100㎚의 두께를 지닌 질화 실리콘막이 형성되었다.

[0498] 그 다음, 비록 예시되지는 않았지만, 질화물 절연막을 부분적으로 에칭함으로써, 도전막(21a, 21b)의 부분을 노출시키는 개구가 형성되었다.

[0499] 그런 다음, 예시되지는 않았지만, 질화물 절연막 위에 평탄화막이 형성되었다.

[0500] 여기서, 조성물로 질화물 절연막을 도포하였고, 노광 및 현상을 행하여, 전극의 쌍이 부분적으로 광에 노출되는 개구를 가지는 평탄화막이 형성되었다. 평탄화 막으로서, 1.5㎛의 두께를 지닌 아크릴 수지가 형성되었음을 주

목하라. 그런 다음, 1시간 동안 250℃에서 질소 분위기에서 열 처리가 수행되었다.

[0501] 그 다음, 비록 예시되지는 않았지만, 도전막(21a, 21b)의 부분들에 접속된 도전막이 형성되었다.

[0502] 여기서, 산화 실리콘을 함유하는 100㎚의 두께를 지닌 ITO막이 스퍼터링법으로 형성되었다. 그 후, 1시간 동안 질소 분위기에서 250° 에서 열 처리가 수행되었다.

[0503] 위 공정을 통해, 트랜지스터를 포함하는 샘플 B1이 형성되었다.

[0504] 또한, 샘플 B1의 트랜지스터에 포함된 도전막(21a, 21b)과 산화물 반도체막(19a)이 변경된 트랜지스터를 포함하는 샘플 B2가 제작되었다.

[0505] 샘플 B2에 포함된 트랜지스터는 산화물 반도체막(19a) 대신 다층막을 포함한다. 다층막으로서, 35㎚의 두께를 지닌 IGZO막과 20의 두께를 지닌 IGZO막이 이 순서대로 스퍼터링법에 의해 형성되었다. 제1 IGZO막용으로 사용된 스퍼터링 타겟에 함유된 Ga와 Zn에 대한 In의 원자수비는 1:1:1이었고, 증착 온도는 300℃이었으며, 제2 IGZO막용으로 사용된 스퍼터링 타겟에 함유된 Ga와 Zn에 대한 In의 원자수비는 1:4:4이었고, 증착 온도는 200℃이었음을 주목하라.

[0506] 샘플 B2에 포함된 트랜지스터에서, 도전막(21a, 21b)으로서, 스퍼터링법에 의해 50㎚의 두께를 지닌 텅스텐막과 200㎚의 두께를 지닌 구리막이 이 순서대로 형성되었다.

[0507] 샘플 B2에 포함된 트랜지스터에서, 도전막(21a, 21b)의 형성 후 그리고 산화물 절연막(22) 전 사이에 후속 단계가 추가되었고, 이로 인해 도전막(21a, 21b) 위에 실리사이드막이 형성되었다. 이러한 내용의 세부 사항은 아래에서 설명된다. 도전막(21a, 21b)은 350℃에서 가열되면서, 암모니아 분위기에서 생성된 플라즈마에 노출되어, 도전막(21a, 21b)의 표면상의 산화물이 감소되었다. 그런 다음, 220℃에서 가열되면서 도전막(21a, 21b)이 실란에 노출되었다. 그 결과, 도전막(21a, 21b)에 함유된 구리가 촉매로서 작용하였고, 실란이 Si와 H_2로 분해되었으며, 도전막(21a, 21b)의 표면상에 $CuSi_x$(x>0)막이 형성되었다.

[0508] 또, 샘플 B1의 트랜지스터에 포함된 산화물 반도체막(19a)이 변경된 트랜지스터를 포함하는 샘플 B3가 제작되었다.

[0509] 샘플 B3에서 산화물 반도체막(19a)으로서 스퍼터링법에 의해 35㎚의 두께를 지닌 IGZO막이 형성되었다. 원자수비가 1:1:1인 In, Ga, 및 Zn을 함유하는 스퍼터링 타겟이 사용되었다. 증착 온도는 100℃이었다. 도전막(21a, 21b) 각각은 50㎚의 두께를 지닌 텅스텐막, 400㎚의 두께를 지닌 알루미늄막, 및 100㎚의 두께를 지닌 티타늄막이 적층된 것이었다.

[0510] 또한, 샘플 B3에 포함된 도전막(21a, 21b)과 산화물 반도체막(19a)이 변경되는 샘플 B4가 제작되었다.

[0511] 스퍼터링법에 의해 샘플 B4에서 산화물 반도체막(19a)으로서 35㎚의 두께를 지닌 IGZO막이 형성되었다. 원자수비가 1:1:1.2인 In, Ga, 및 Zn을 함유하는 스퍼터링 타겟이 사용되었다. 증착 온도는 25℃이었다.

[0512] 샘플 B4에 포함된 트랜지스터에서, 도전막(21a, 21b) 각각으로서, 스퍼터링법에 의해 50㎚의 두께를 지닌 텅스텐막과 200㎚의 두께를 지닌 구리막이 이 순서대로 형성되었다.

[0513] 각 샘플에서의 트랜지스터는 채널 에칭된 구조를 가짐을 주목하라. 또한, 3㎛의 채널 길이(L)와 50㎛의 채널 폭(W)을 가지는 트랜지스터와, 6㎛의 채널 길이(L)와 50㎛의 채널 폭(W)을 가지는 트랜지스터가 제작되었다.

[0514] 도 41은 샘플 B1에서 3㎛인 채널 길이(L)를 가지는 트랜지스터의 단면 STEM 이미지이다.

[0515] 그 다음, 샘플 B1 내지 B4에 포함된 트랜지스터의 초기 *Vg-Id* 특성이 측정되었다. 여기서, 이후 드레인 전류라고 부르는, 소스와 드레인 사이에서 흐르는 전류의 특성 변화, 즉 *Vg-Id* 특성이, 기판 온도가 25℃이고, 소스 전극과 드레인 전극 사이의 전위차(이후, 드레인 전압이라고 부름)가 1V 또는 10V이며, 소스 전극과 게이트 전극 사이의 전위차(이후, 게이트 전압이라고 부름)가 -15V 이상 +15V 이하로 변경되는 조건하에서, 측정되었다.

[0516] 도 42는 샘플 B1과 샘플 B2에 포함된 트랜지스터의 *Vg-Id* 특성을 보여준다. 도 43은 샘플 B3과 샘플 B4에 포함된 트랜지스터의 *Vg-Id* 특성을 보여준다. 도 42와 도 43의 그래프에서, 수평축은 게이트 전압(*Vg*)을, 그리고 수직축은 드레인 전류(*Id*)를 가리킨다. 또한, 실선은 드레인 전압(*Vd*)이 1V와 10V일 때의 *Vg-Id* 특성을 보여준다.

[0517] 도 42에 도시된 것처럼, 샘플 B1과 샘플 B2에 포함된 트랜지스터는 우수한 스위칭 특성을 가진다. 즉, 도전막(21a, 21b)에 포함된 금속 원소가 다를지라도, 샘플 B1과 샘플 B2에 포함된 트랜지스터는 우수한 *Vg-Id* 특성을

나타낸다.

[0518] 이에 반해, 도 43에 도시된 것처럼, 임계 전압은 샘플 B4에 포함된 트랜지스터의 *Vg*-*Id* 특성에서 음인 측(negative side)으로 이동된다. 또한, 드레인 전류는 임계 전압 부근에서 점진적인 상승을 보여준다. 즉, S값(서브스레숄드 스윙, subthreshold swing)이 악화된다. 다시 말하면, 샘플 B3과 샘플 B4에 포함된 트랜지스터의 *Vg*-*Id* 특성은, 도전막(21a, 21b)에 포함된 금속 원소로 인해 열화된다.

[0519] IGZO막의 구조, 막 밀도, 및 샘플 B2와 샘플 B4에 포함된 트랜지스터의 *Vg*-*Id* 특성이 조사되었다. 샘플 B2에서는, 도전막(21a, 21b)과 접촉하도록 기판 위에 IGZO막이 형성되었다. 이러한 샘플을 샘플 B2a라고 부른다. 또한, 샘플 B4에서는 도전막(21a, 21b)과 접촉하도록 기판 위에 IGZO막이 형성되었다. 이러한 샘플을 샘플 B4a라고 부른다. 그런 다음, 각 샘플에서의 IGZO막의 구조 분석이 X선 회전(XRD) 장치를 가지고 행해졌다. 또한, 각 샘플에서의 IGZO막이 막 밀도가 XRR(X-ray reflectometry)에 의해 측정되었다.

[0520] 샘플 2a에 포함된 IGZO막과 샘플 4a에 포함된 IGZO막의 XRD 측정 결과가 도 44의 (A)에 도시되어 있고, 샘플 2a에 포함된 IGZO막과 샘플 4a에 포함된 IGZO막의 XRR 측정 결과가 도 44의 (B)에 도시되어 있다.

[0521] 도 44의 (A)에 도시된 것처럼, 샘플 2a에 포함된 IGZO막은 CAAC-IGZO막인데, 이는 그것의 회절 각도(2θ)가 31° 쯤에서 피크를 가지기 때문이다. 이에 반해 샘플 4a에 포함된 IGZO막은 nc-IGZO막인데, 이는 그것의 회절 각도(2θ)가 31° 쯤에서 피크를 가지지 않기 때문이다.

[0522] 도 44의 (B)에 도시된 것처럼, 샘플 2a에 포함된 IGZO막의 막 밀도는 샘플 4a에 포함된 IGZO막의 막 밀도보다 높다.

[0523] 샘플 B4에 포함된 트랜지스터는 IGZO막이 도전막(21a, 21b)과 접촉하기 때문에 nc-IGZO막을 가진다. 또한, nc-IGZO막의 막 밀도는 낮다. 이 때문에, 도전막(21a, 21b)에 함유된 구리가 게이트 절연막으로서 기능하는 산화물 절연막(16)과 산화물 반도체막(19a) 사이의 계면으로 쉽게 확산된다고 생각된다. 구리 확산으로 인해, 산화물 절연막(16)과 산화물 반도체막(19a) 사이의 계면에 캐리어 트랩(trap)이 형성된다. 그 결과, 샘플 B4에 포함된 트랜지스터의 *Vg*-*Id* 특성에서 S값(서브스레숄드 스윙)이 악화된다.

[0524] 이에 반해, 샘플 B2에 포함된 트랜지스터는 다층막을 가지고, 이러한 다층막에서 도전막(21a, 21b)과 접촉하는 IGZO막이 CAAC-IGZO막이다. CAAC-IGZO막은 높은 막 밀도, 층 구조를 가지고, 입자 경계가 없다. 그러므로 구리에 맞서 배리어막으로서 CAAC-IGZO막이 기능을 하고, 도전막(21a, 21b)에 함유된 구리는 채널 영역으로 확산되는 것이 방지될 수 있다고 생각된다. 또한, 도전막(21a, 21b)의 표면상에는 실리사이드막이 형성되고, 따라서 이러한 실리사이드막이 구리가 도전막(21a, 21b)으로부터 확산하는 것을 방지할 수 있다. 그 결과, 샘플 B2에 포함된 트랜지스터는 도전막(21a, 21b)에 함유된 금속 원소에 관계없이, 우수한 *Vg*-*Id* 특성을 나타낸다.

[0525] 전술한 바와 같이, 도전막(21a, 21b)으로서 구리막이 사용될 때에는, 도전막(21a, 21b)과 접촉하는 산화물 반도체막으로서 CAAC-IGZO막이 사용되고, 이로 인해 우수한 전기적 특성을 가지는 트랜지스터가 제작될 수 있다.

[0526] 본 출원은 2013년 9월 13일에 일본국 특허청에 출원된 일본 특허 출원 2013-190864호, 2013년 12월 3일에 일본국 특허청에 출원된 일본 특허 출원 2013-249904호, 2014년 3월 11에 일본국 특허청에 출원된 일본 특허 출원 2014-047241호, 2014년 5월 22일에 일본국 특허청에 출원된 일본 특허 출원 2014-106477호에 기초하고, 이들 특허 문헌의 전문은 본 명세서에 참조로 통합되어 있다.

부호의 설명

[0527] F1a: 전계 F1b: 전계

F2a: 전계 F2b: 전계

F3: 전계 1: 기판

2: 도전막 3: 절연막

4: 반도체막 4a: 반도체막

4b: 반도체막 5: 화소 전극

5a: 화소 전극 5b: 화소 전극

6: 도전막 6a: 도전막

6b: 도전막

7: 도전막

7a: 도전막

7b: 도전막

8: 절연막

8a: 절연막

8b: 절연막

9: 공통 전극

9a: 영역

9b: 영역

9c: 연결부

9d: 방향

9e: 방향

9f: 구부러진 부분

10: 일점쇄선

11: 기판

12: 도전막

13: 도전막

15: 질화물 절연막

16: 산화물 절연막

17: 산화물 절연막

18: 산화물 반도체막

19a: 산화물 반도체막

19b: 화소 전극

19c: 산화물 반도체막

19f: 산화물 반도체막

20: 도전막

21a: 도전막

21b: 도전막

21b_1: 영역

21b_2: 영역

21c: 공통선

22: 산화물 절연막

23: 산화물 절연막

24: 산화물 절연막

25: 산화물 절연막

26: 산화물 절연막

26b: 절연막

27: 질화물 절연막

28: 도전막

29: 공통 전극

29a: 공통 전극

29a_1: 영역

29a_2: 영역

29b: 도전막

30: 공통 전극

37a: 다층막

37b: 다층막

38a: 다층막

38b: 다층막

39a: 산화물 반도체막

39b: 산화물 반도체막

40: 개구

41a: 개구

42: 개구

49a: 산화물 반도체막

49b: 산화물 반도체막

60: 절연막

61: 기판

62: 차광막

63: 착색막

64: 절연막

65: 절연막

66: 액정층

67: 도전막

69: 공통 전극

70: 산화물 반도체막

71: 산화물 반도체막

73: 질화물 절연막

75: 산화물 도전체막

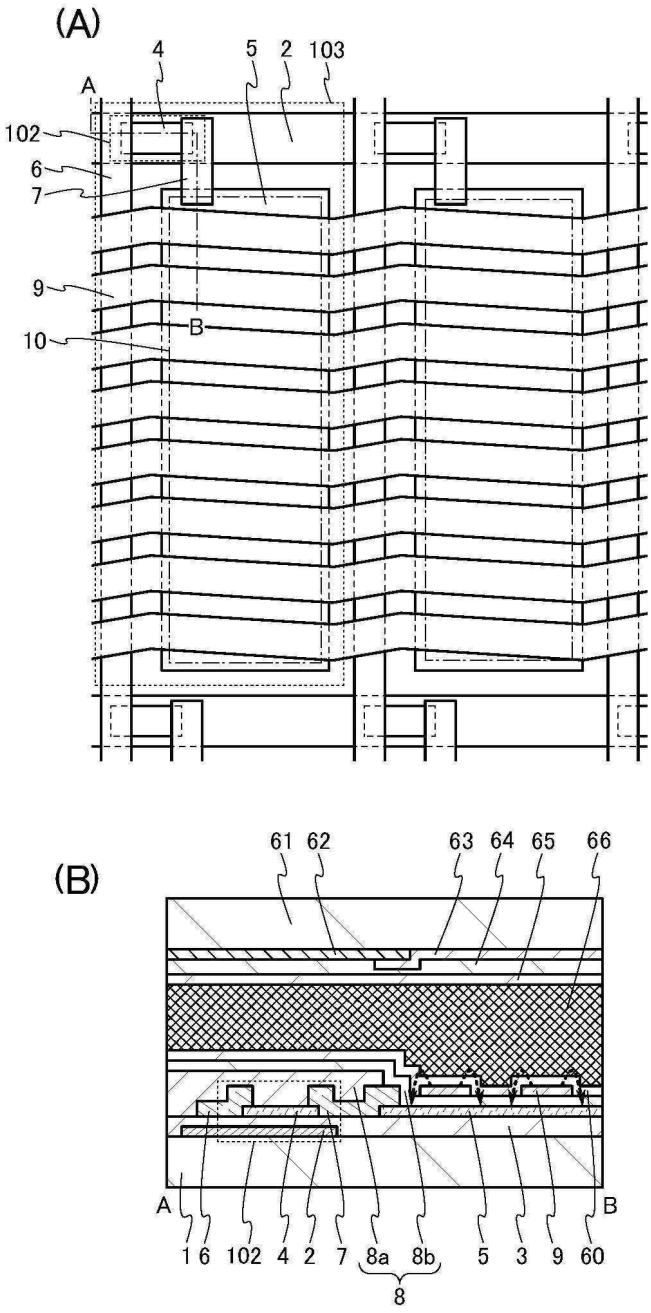
101: 화소부

102: 트랜지스터

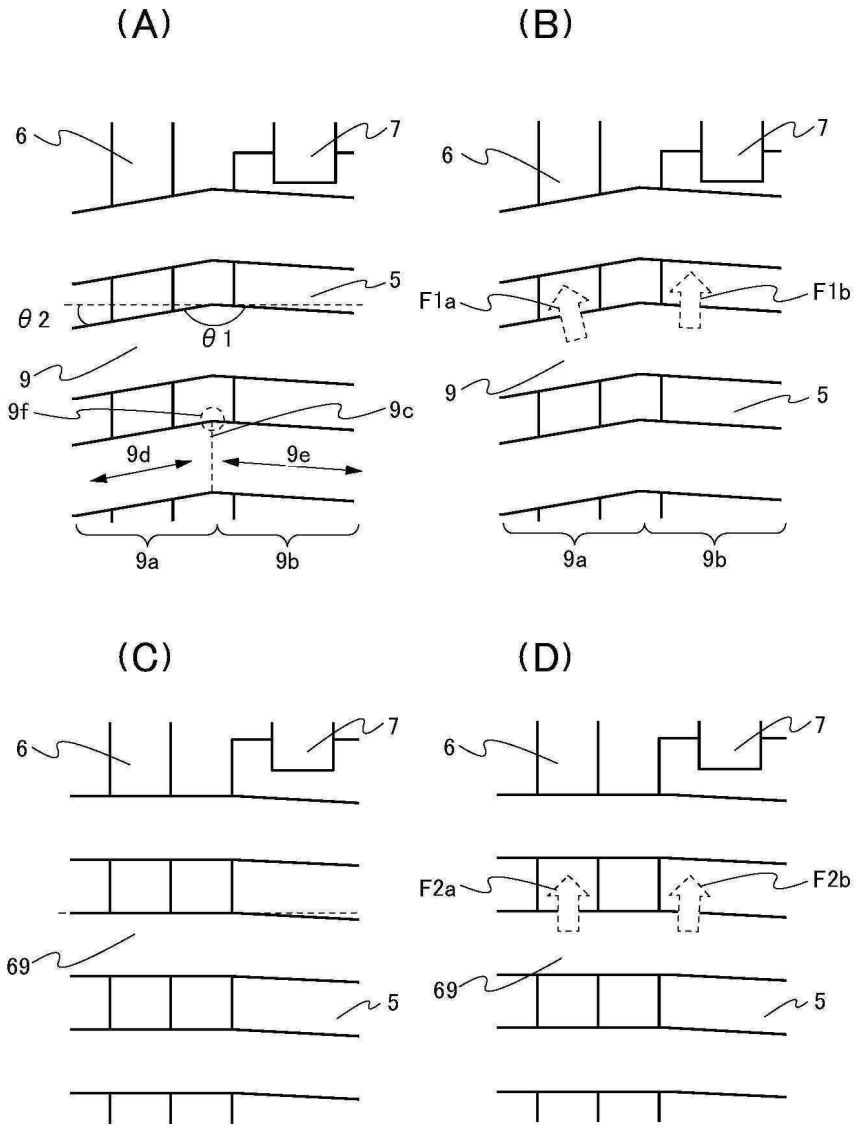
102a: 트랜지스터
102b: 트랜지스터
102c: 트랜지스터
103: 화소
103a: 화소
103b: 화소
103c: 화소
103d: 화소
103e: 화소
103f: 화소
104: 주사선 구동 회로
105: 커패시터
105a: 커패시터
105b: 커패시터
105c: 커패시터
106: 신호선 구동 회로
107: 도전막
109: 도전막
115: 공통선
121: 액정 소자
1001: 주 몸체
1002: 하우징
1003a: 표시부
1003b: 표시부
1004: 키보드 버튼
1021: 주 몸체
1022; 고정부
1023: 표시부
1024: 조작 버튼
1025: 외부 메모리 슬롯
1030: 하우징
1031: 하우징
1032: 표시 패널
1033: 스피커
1034: 마이크로폰
1035: 조작 키
1036: 포인팅 장치
1037: 카메라
1038: 외부 접속 단자
1040: 태양 전지
1041: 외부 메모리 슬롯
1050: 텔레비전 세트
1051: 하우징
1052: 기억 매체 기록 및 재생부
1053: 표시부
1054: 외부 접속 단자
1055: 스탠드
1056: 외부 메모리
8000: 표시 모듈
8001: 상부 커버
8002: 하부 커버
8003: FPC
8004: 터치 패널
8005: FPC
8006: 표시 패널
8007: 백라이트 유닛
8008: 광원
8009: 프레임
8010: 인쇄 기판
8011: 배터리

도면

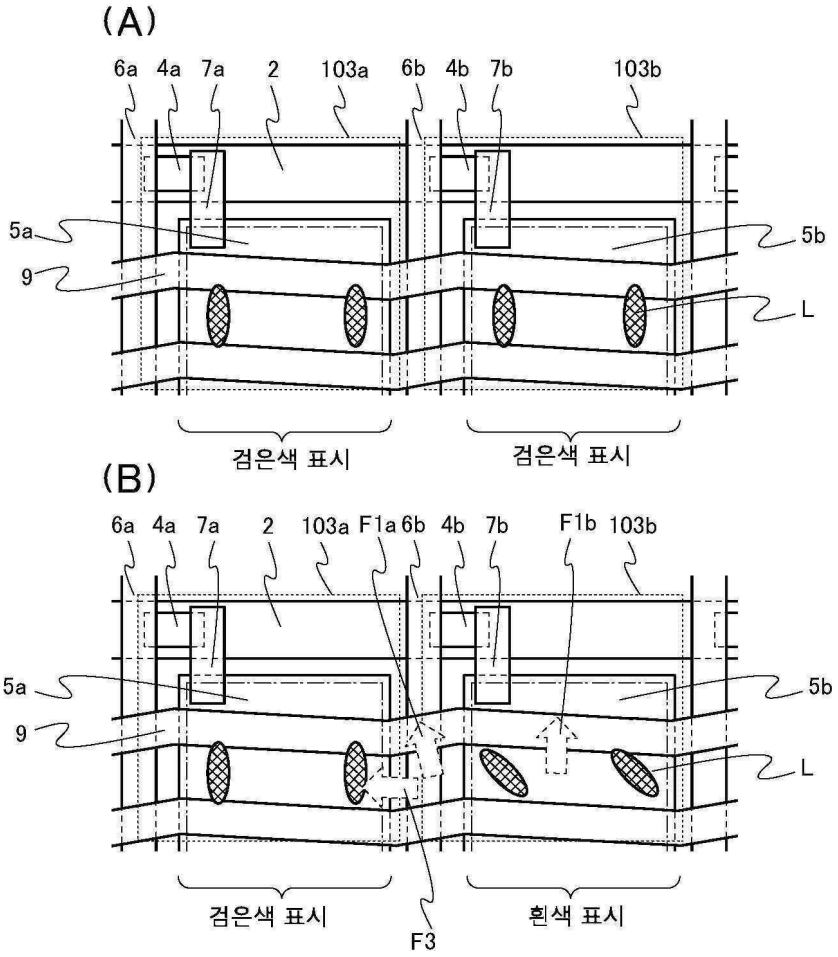
도면1


(A)
4
5
2
103
A
102
6
7
9
B
10
(B)
61
62
63
64
65
66
A
B
1
6
102
4
2
7
8a
8b
8
5
3
9
60

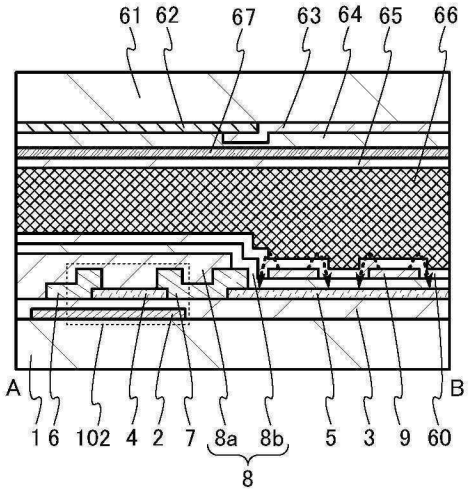
도면2



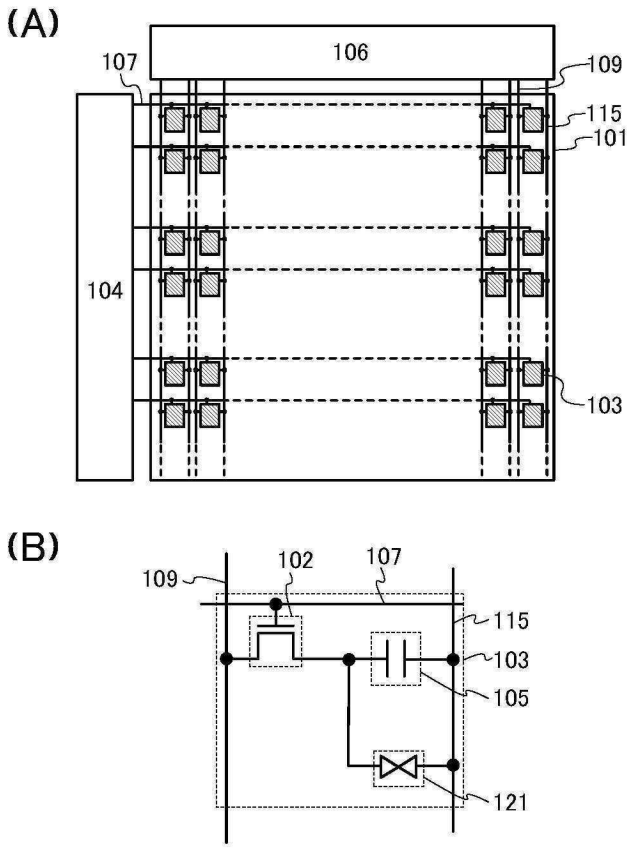
도면3


(A)
6a
4a
7a
2
103a
6b
4b
7b
103b
5a
9
5b
L
검은색 표시
검은색 표시
(B)
6a
4a
7a
2
103a
F1a
6b
4b
7b
F1b
103b
5a
9
5b
L
검은색 표시
흰색 표시
F3

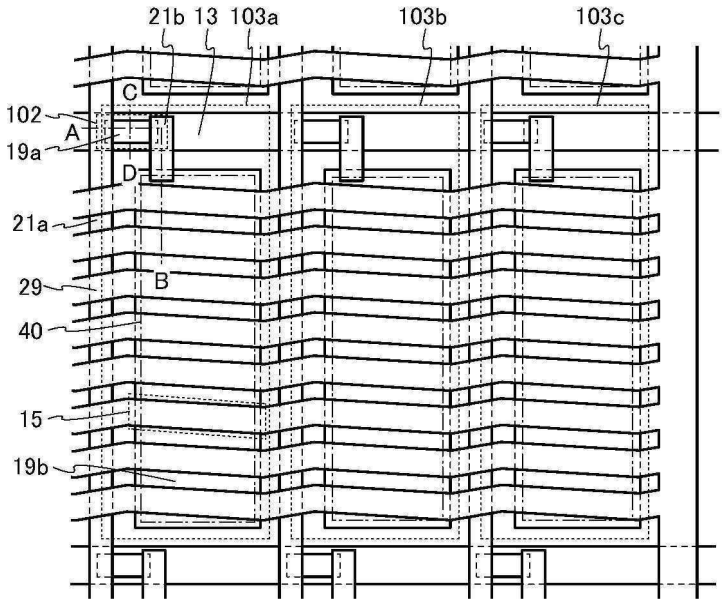
도면4


61
62
67
63
64
65
66
A
B
1
6
102
4
2
7
8a
8b
8
5
3
9
60

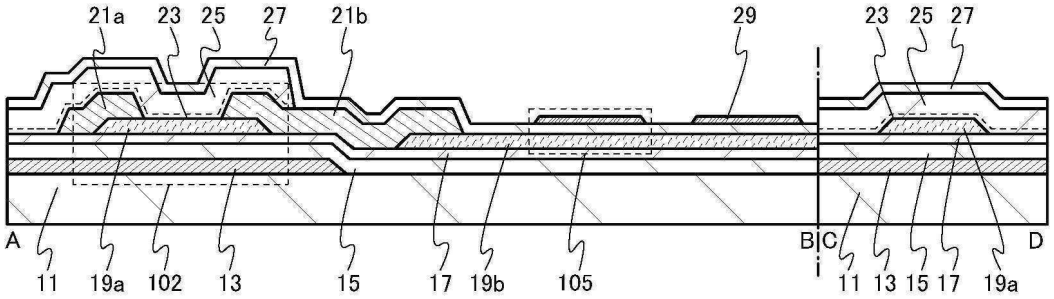
도면5


(A)
106
107
109
115
101
104
103
(B)
109
102
107
115
103
105
121

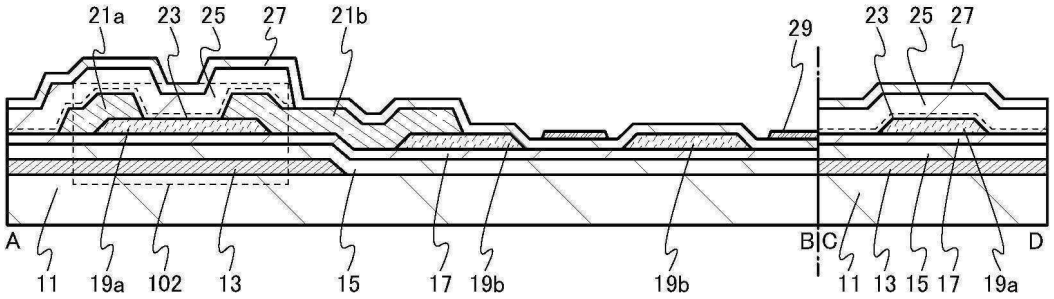
도면6


21b
13
103a
103b
103c
C
102
A
19a
D
21a
B
29
40
15
19b

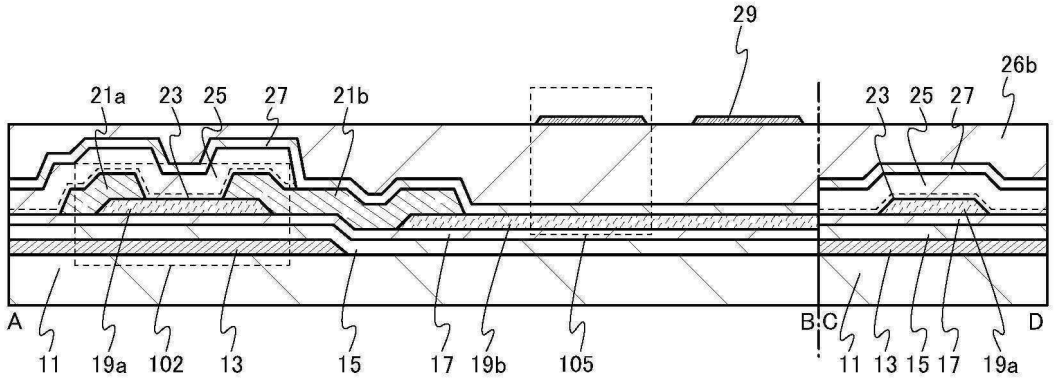
도면7


21a
23
25
27
21b
29
23
25
27
A
B
C
D
11
19a
102
13
15
17
19b
105
11
13
15
17
19a

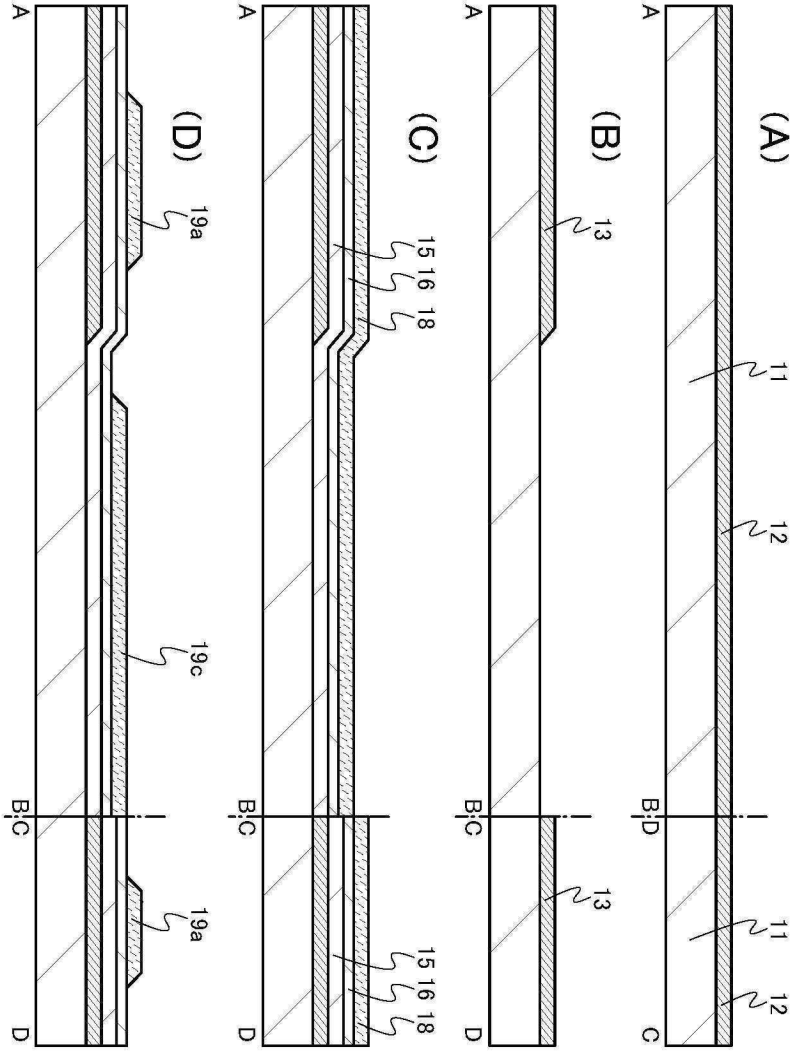
도면8


21a
23
25
27
21b
29
23
25
27
A
B
C
D
11
19a
102
13
15
17
19b
19b
11
13
15
17
19a

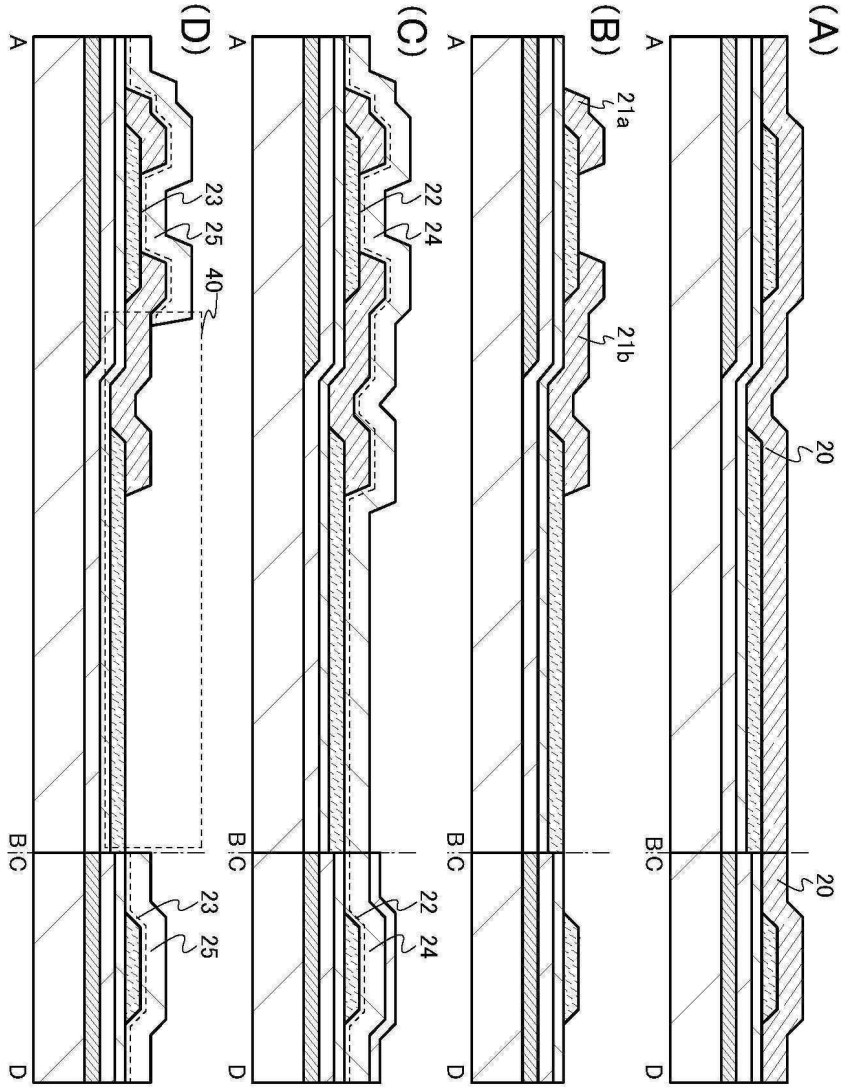
도면9


29
26b
21a
23
25
27
21b
23
25
27
A
B
C
D
11
19a
102
13
15
17
19b
105
11
13
15
17
19a

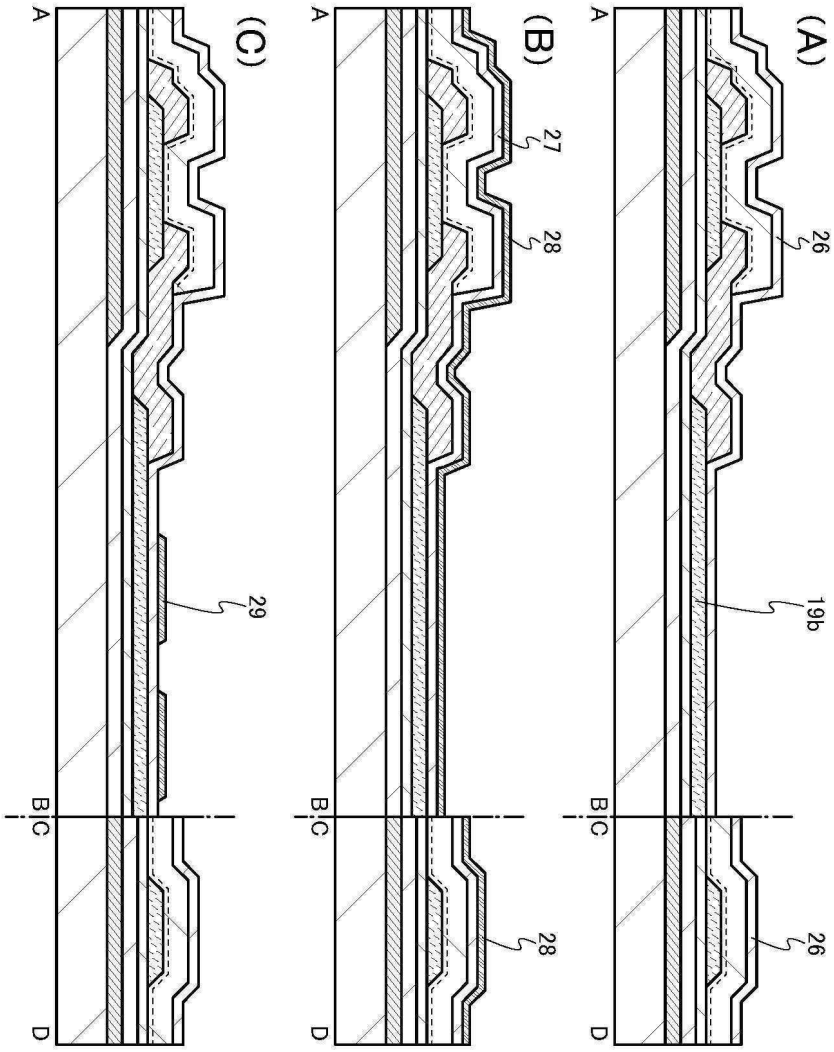
도면10



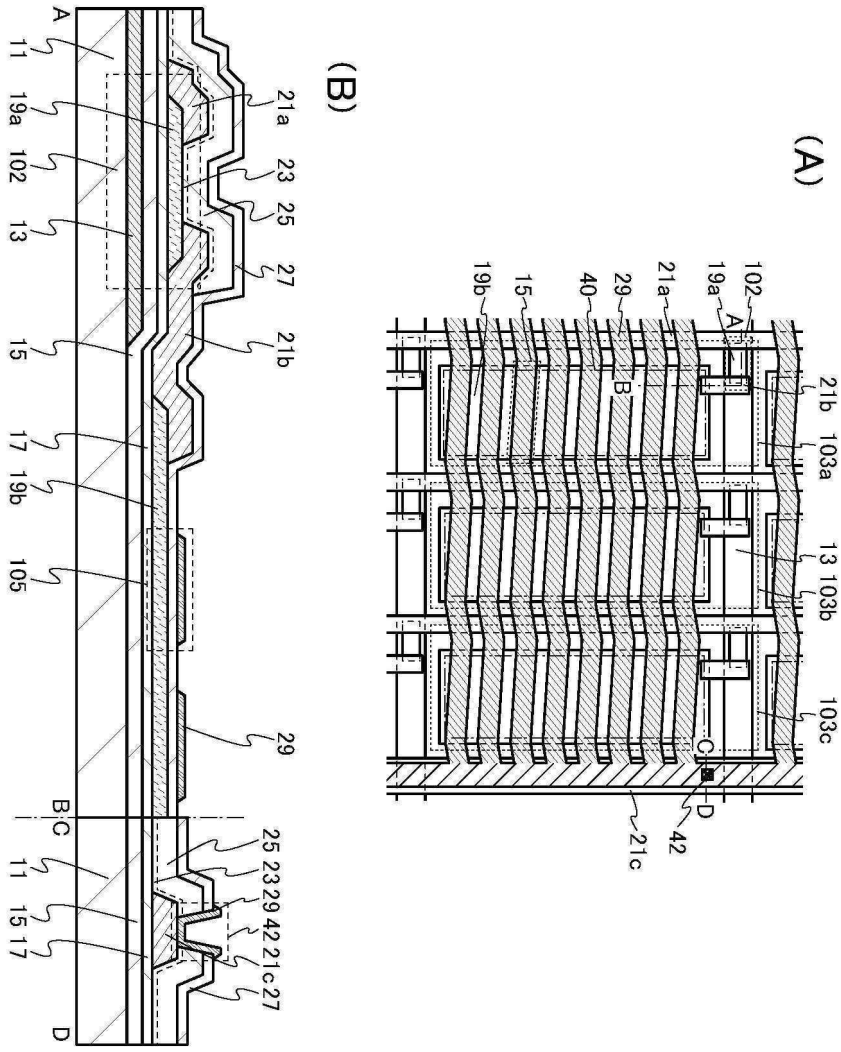
도면11



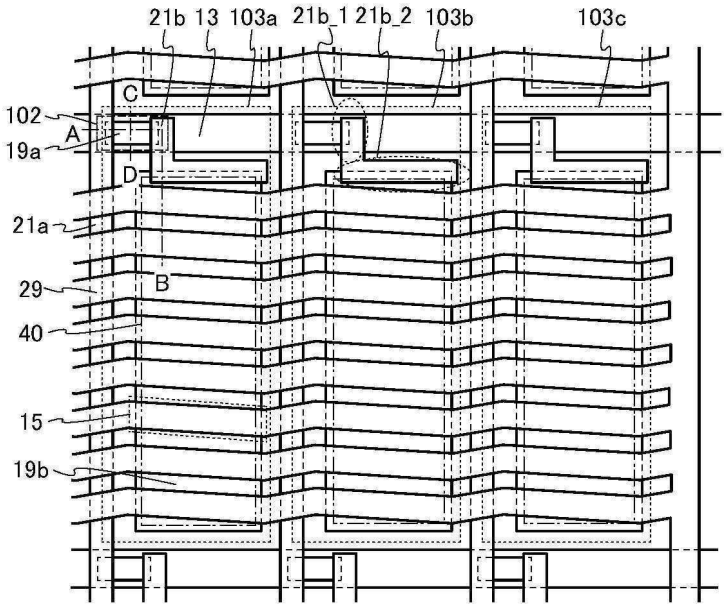
도면12



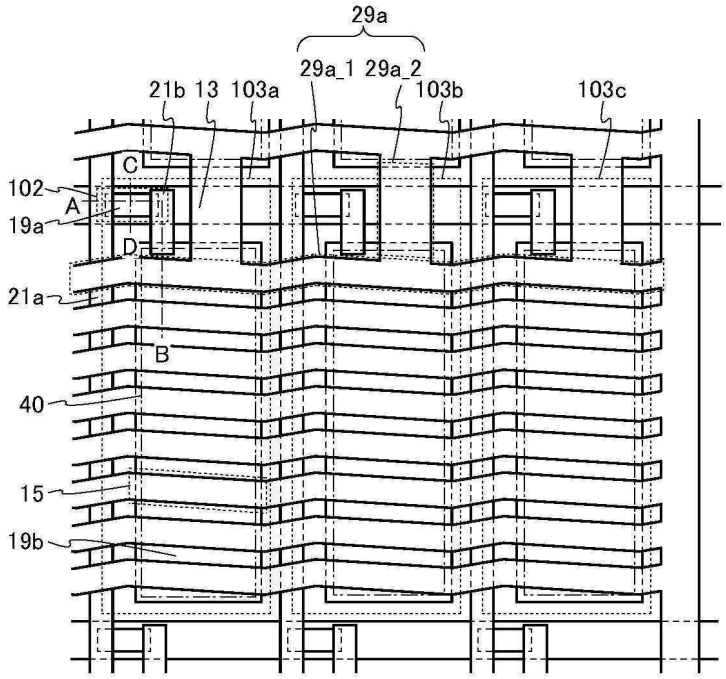
도면13


(A)
(B)
A
B
C
D
11
19a
102
13
21a
23
25
27
21b
15
17
19b
105
29
42
21c
40
103a
103b
103c

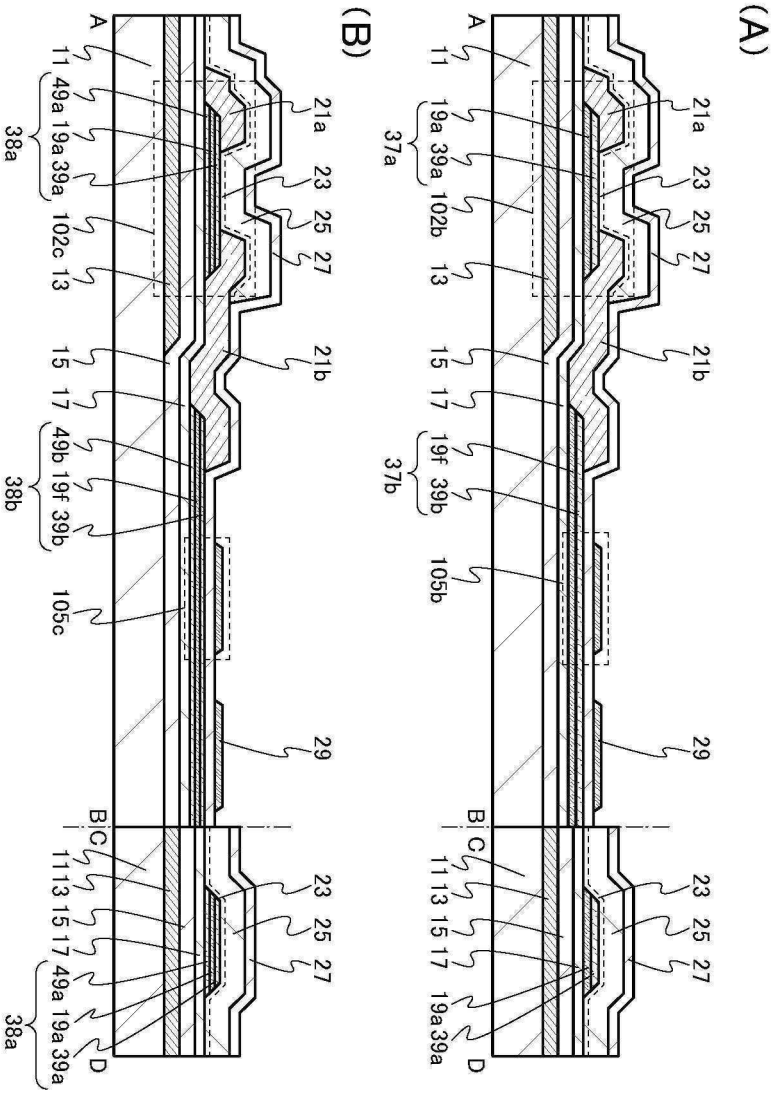
도면14


21b
13
103a
21b_1
21b_2
103b
103c
C
102
A
19a
D
21a
29
B
40
15
19b

도면15

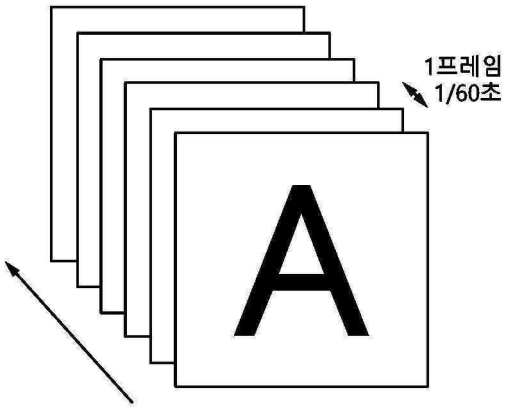


도면16

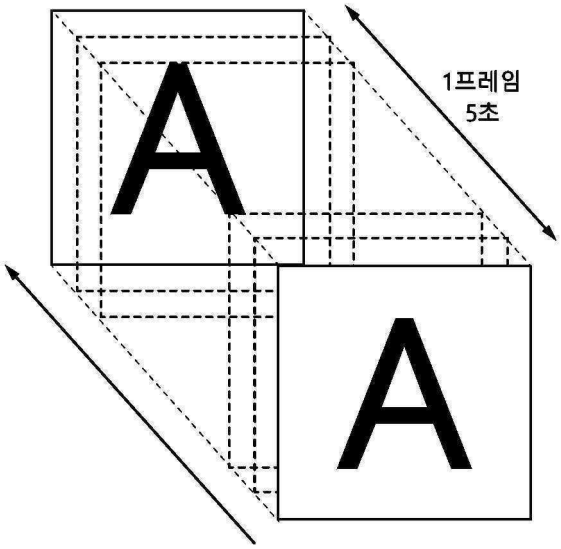

(A)
A
11
19a 39a 102b
37a
13
15 17
19f 39b
37b
105b
21a
23 25 27
21b
29
B C
11 13 15 17
19a 39a
D
(B)
A
11
49a 19a 39a
38a
102c
13
15 17
49b 19f 39b
38b
105c
21a
23 25 27
21b
29
B C
11 13 15 17
49a 19a 39a
38a
D

도면17

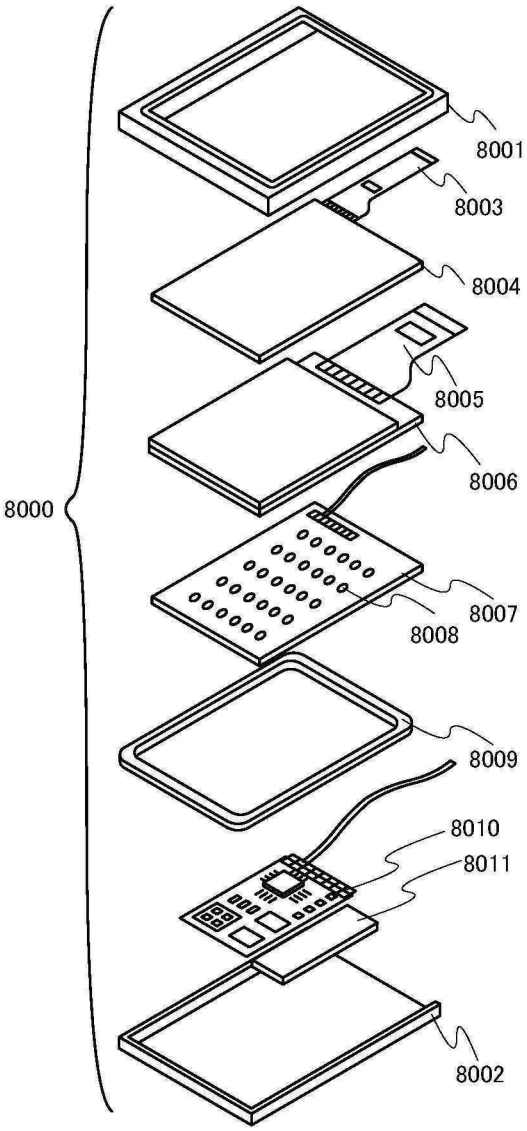
(A)



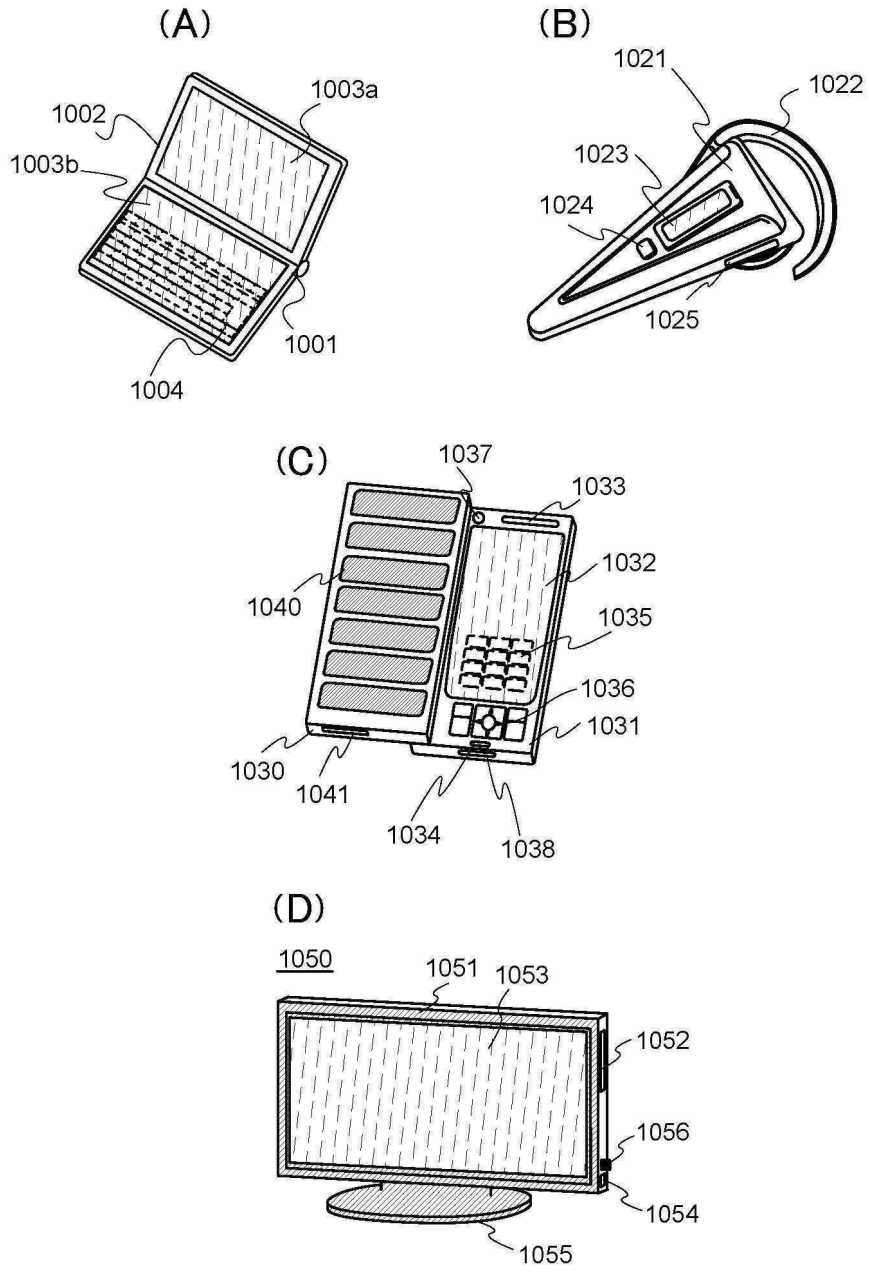
(B)



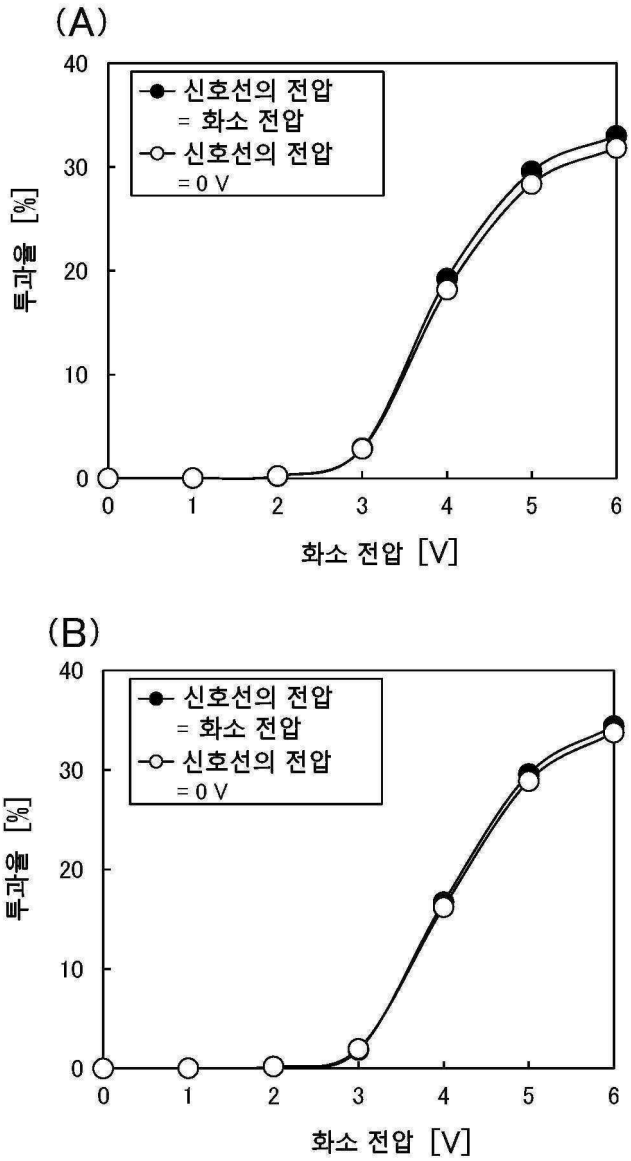
도면18



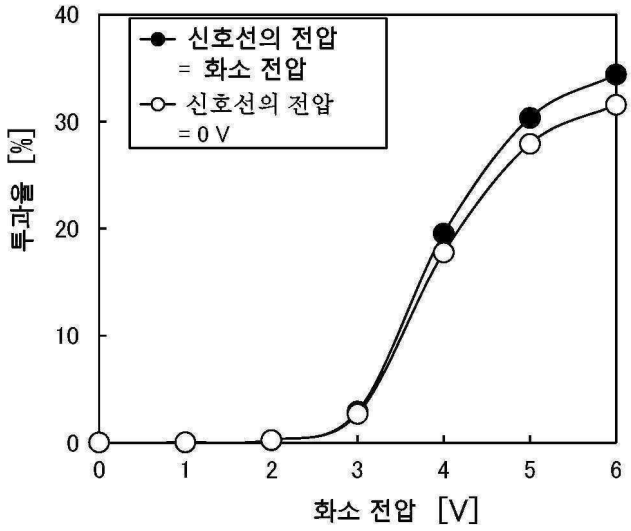
도면19


(A)
1003a
1002
1003b
1001
1004
(B)
1021
1022
1023
1024
1025
(C)
1037
1033
1032
1040
1035
1036
1031
1030
1041
1034
1038
(D)
1050
1051
1053
1052
1056
1054
1055

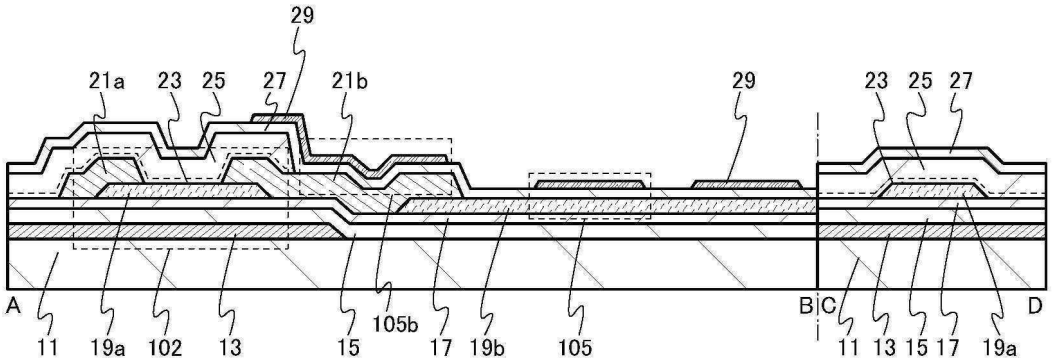
도면20


(A)
40
30
20
10
0
투과율 [%]
신호선의 전압
= 화소 전압
신호선의 전압
= 0 V
0
1
2
3
4
5
6
화소 전압 [V]
(B)
40
30
20
10
0
투과율 [%]
신호선의 전압
= 화소 전압
신호선의 전압
= 0 V
0
1
2
3
4
5
6
화소 전압 [V]

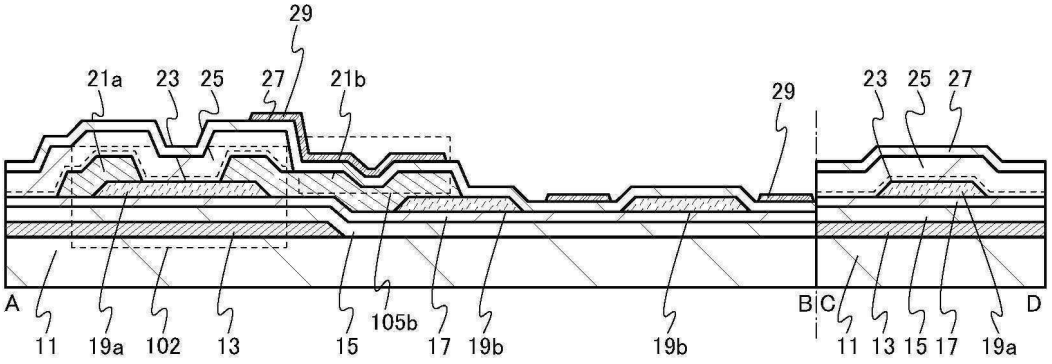
도면21



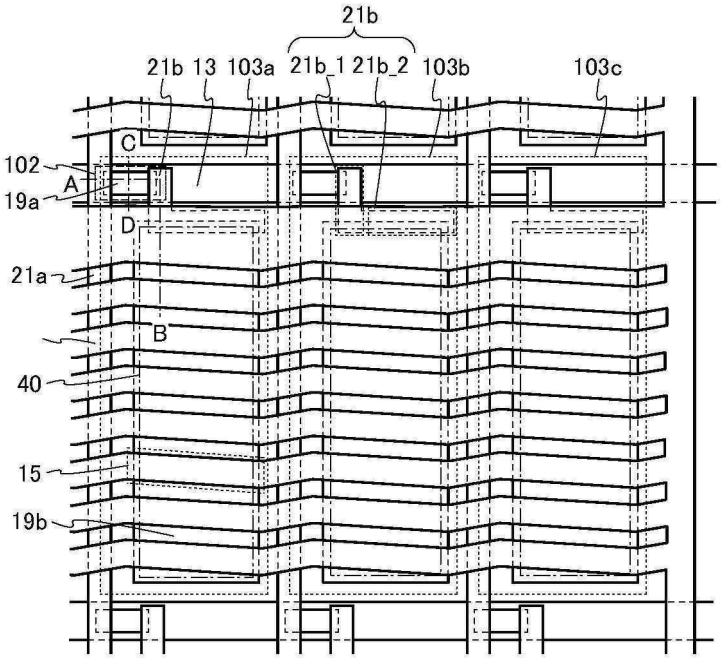
도면22



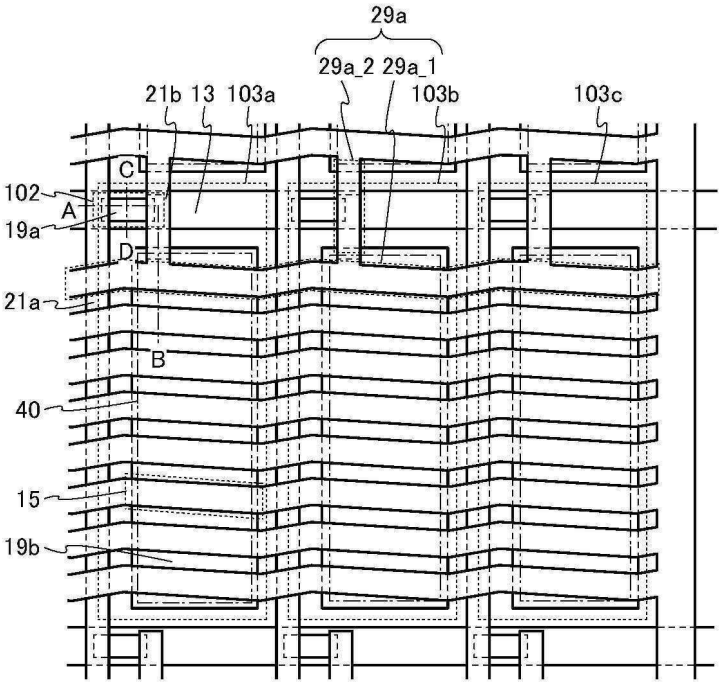
도면23



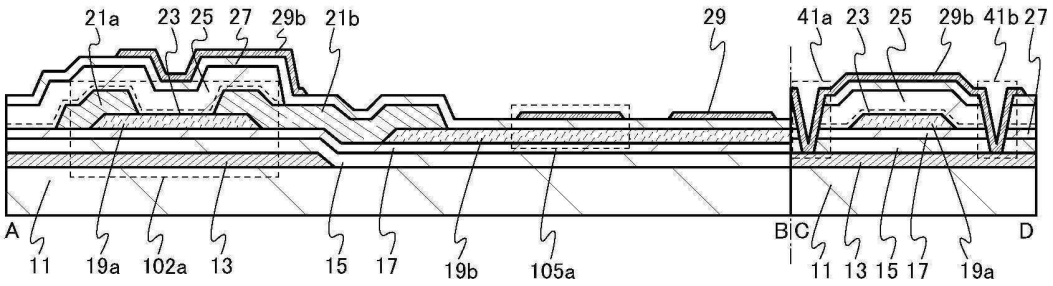
도면24


21b
21b 13 103a
21b_1 21b_2
103b
103c
C
102
A
19a
D
21a
B
40
15
19b

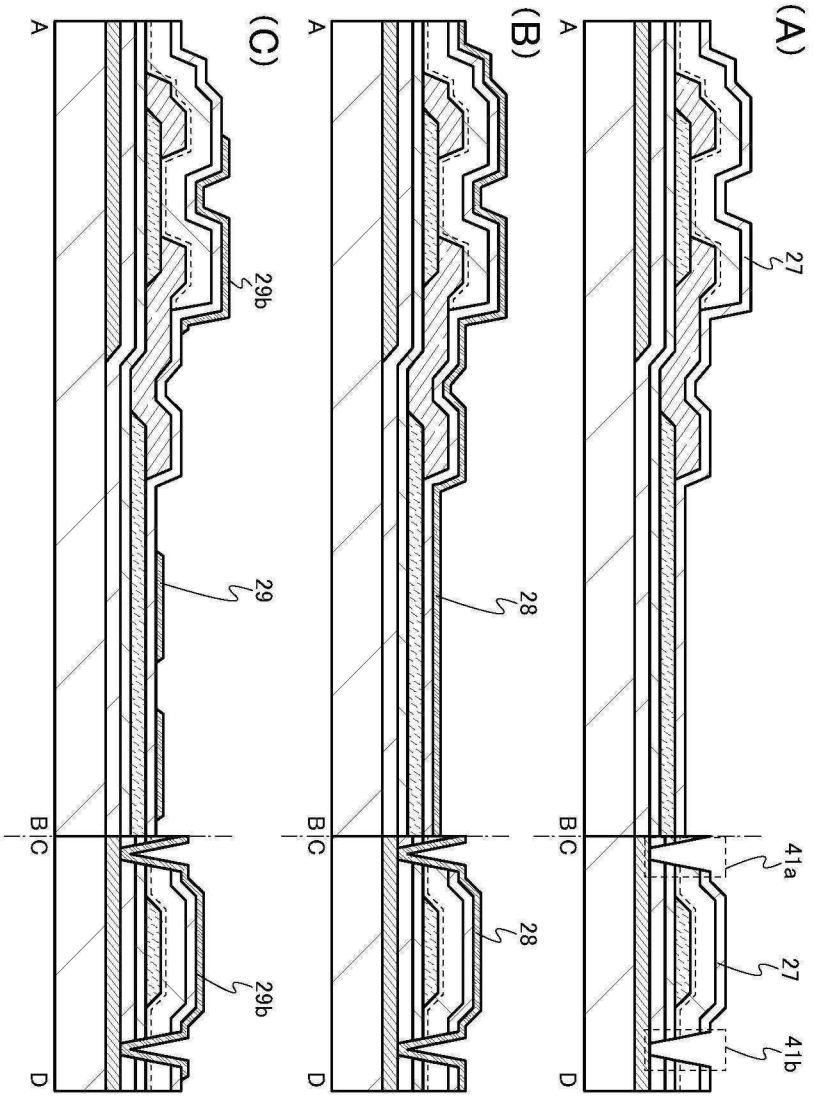
도면25


29a
29a_2 29a_1
21b 13 103a
103b
103c
C
102
A
19a
D
21a
B
40
15
19b

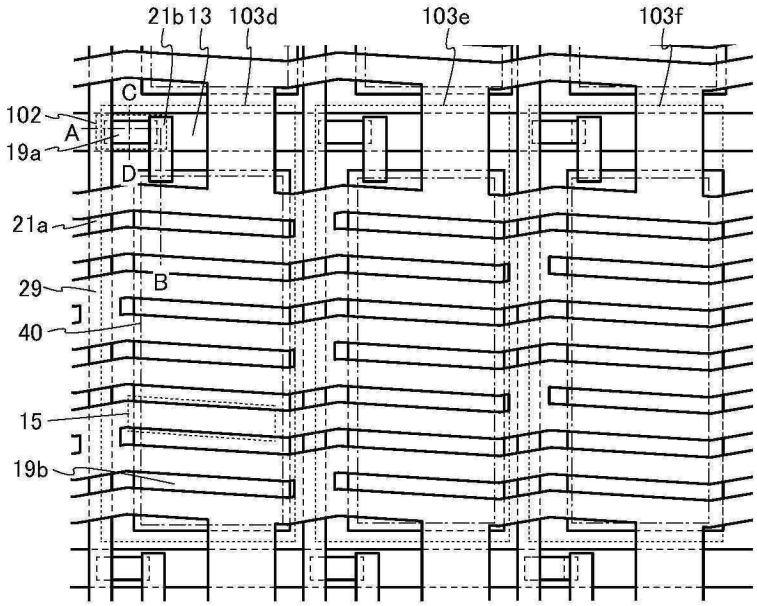
도면26


21a
23
25
27
29b
21b
29
41a
23
25
29b
41b
27
A
B
C
D
11
19a
102a
13
15
17
19b
105a
11
13
15
17
19a

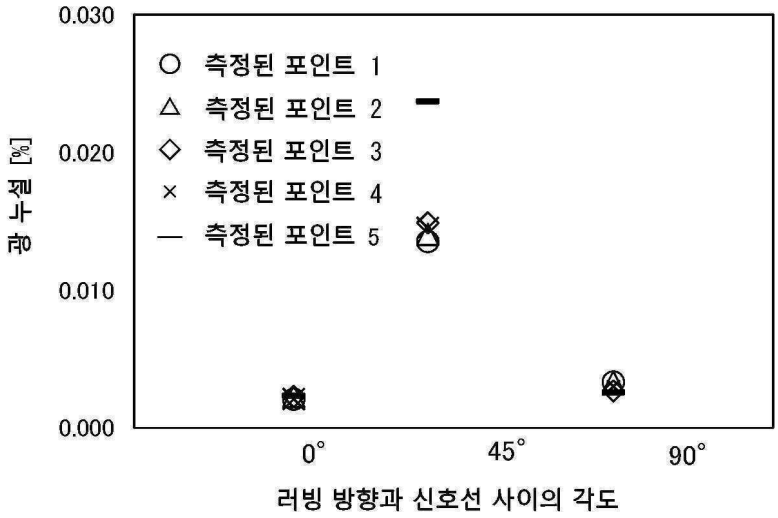
도면27


(C)
(B)
(A)
A
B
C
D
29b
29
29b
28
28
27
41a
27
41b

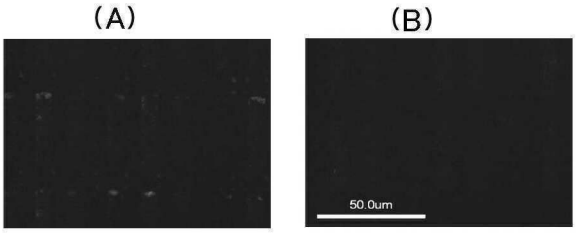
도면28



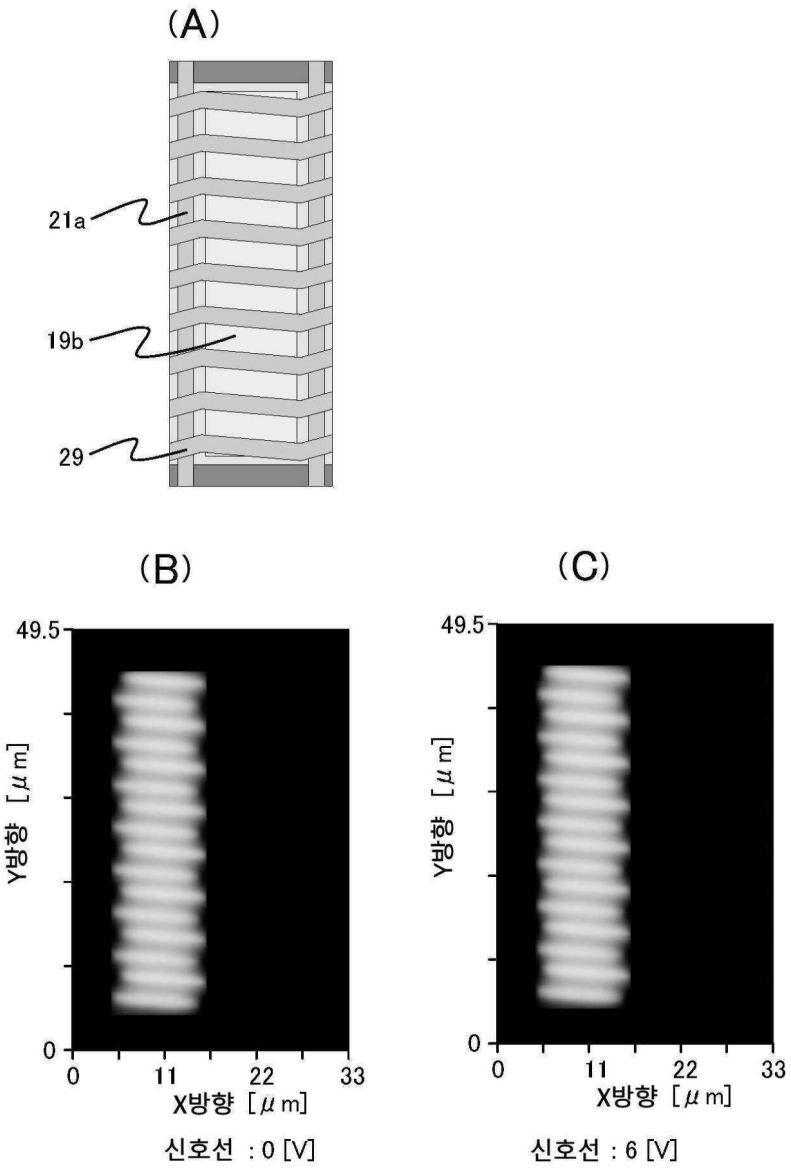
도면29



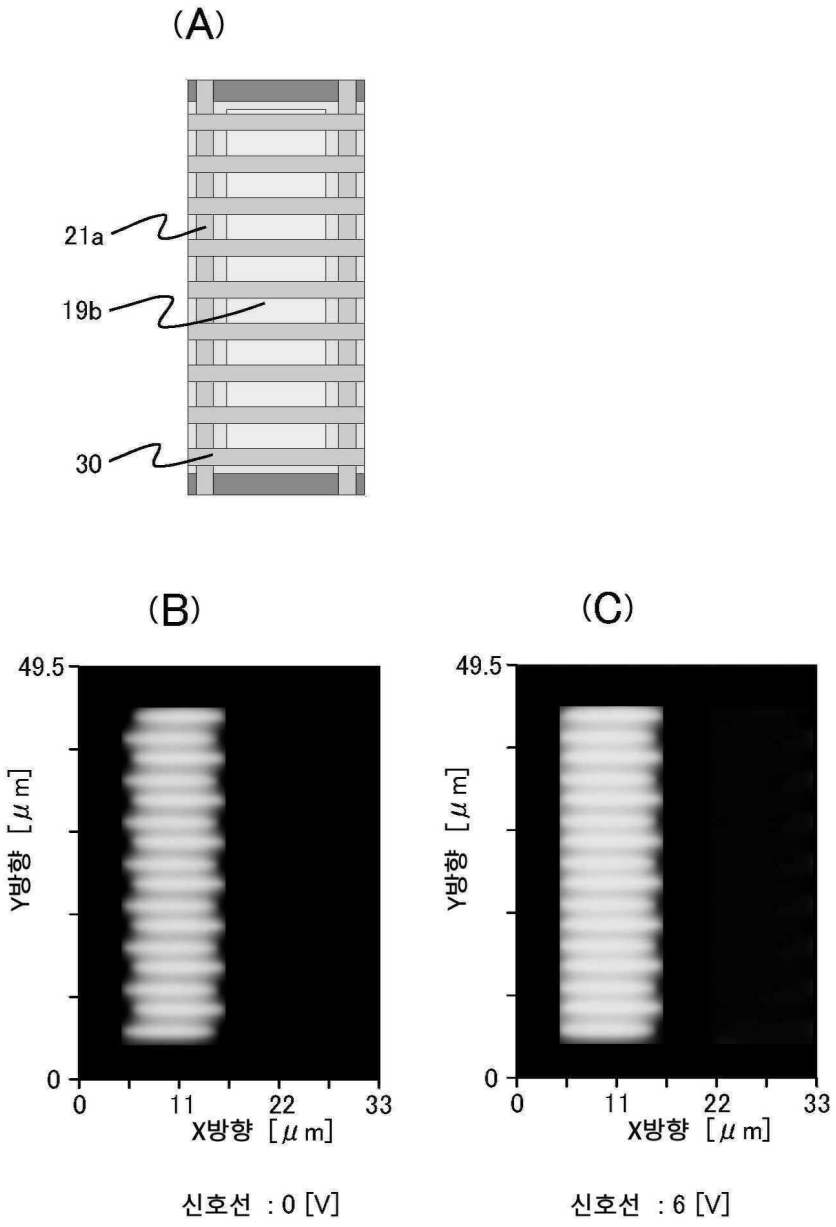
도면30



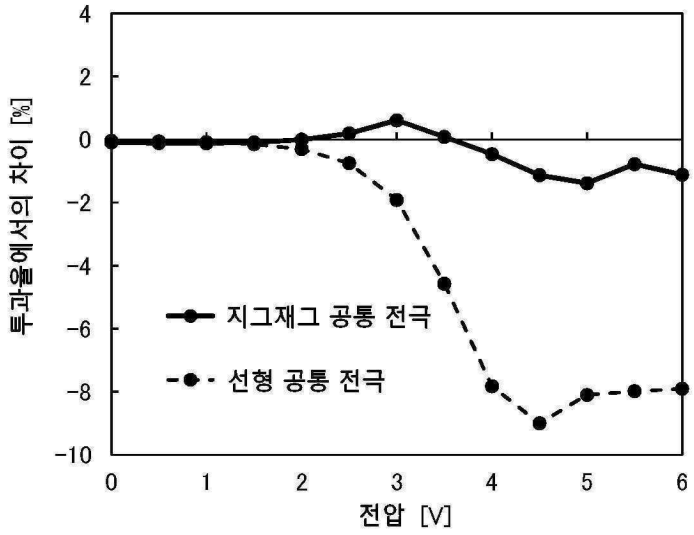
도면31


(A)
21a
19b
29
(B)
49.5
0
Y방향 [μm]
0
11
22
33
X방향 [μm]
신호선 : 0 [V]
(C)
49.5
0
Y방향 [μm]
0
11
22
33
X방향 [μm]
신호선 : 6 [V]

도면32



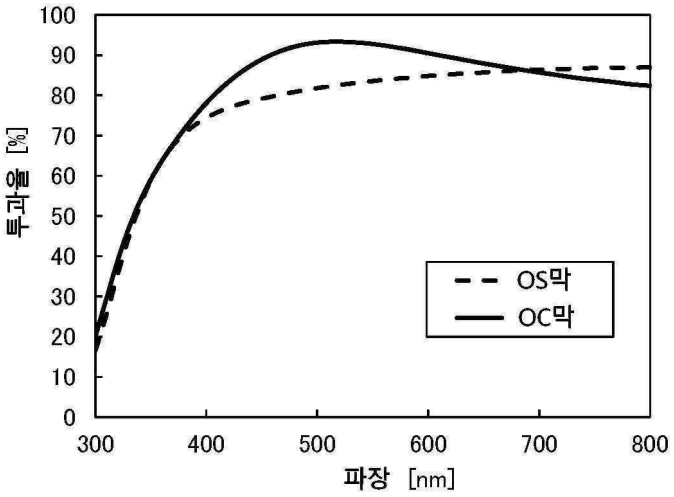
도면33



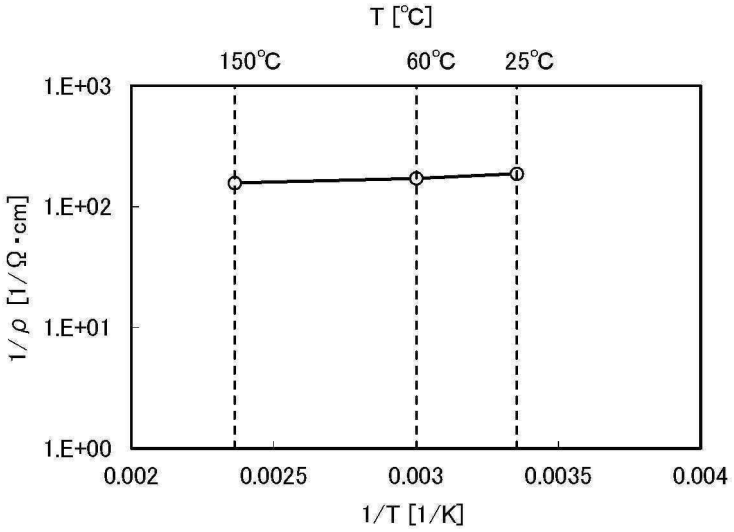
도면34



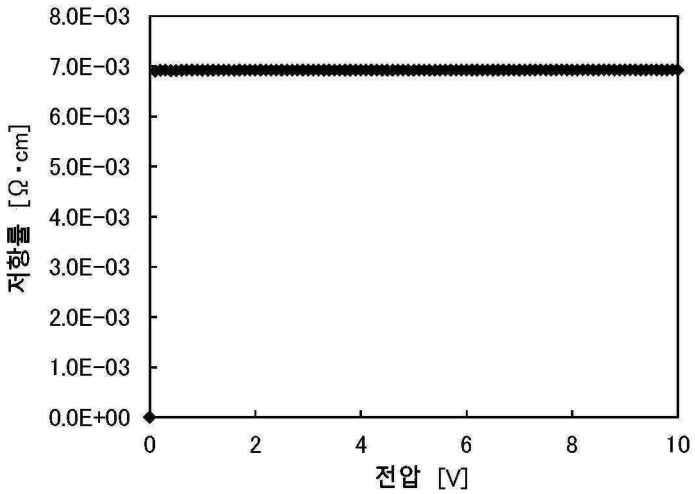
도면35



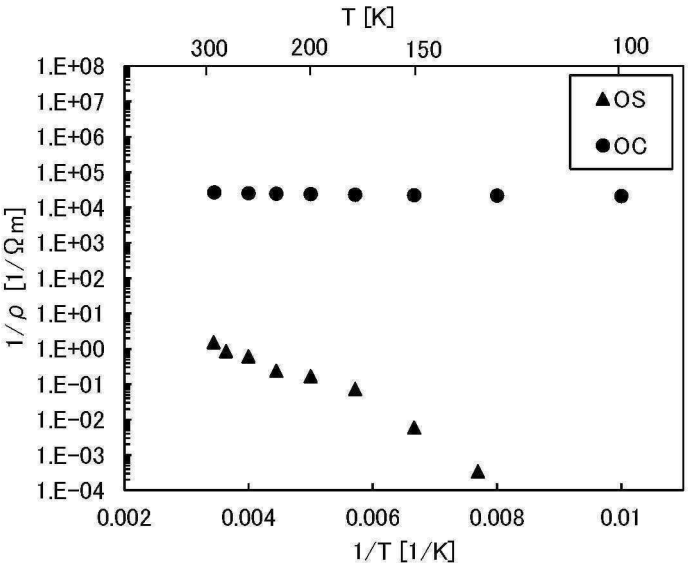
도면36


T [℃]
150℃
60℃
25℃
1.E+03
1.E+02
1.E+01
1.E+00
1/ρ [1/Ω·cm]
0.002
0.0025
0.003
0.0035
0.004
1/T [1/K]

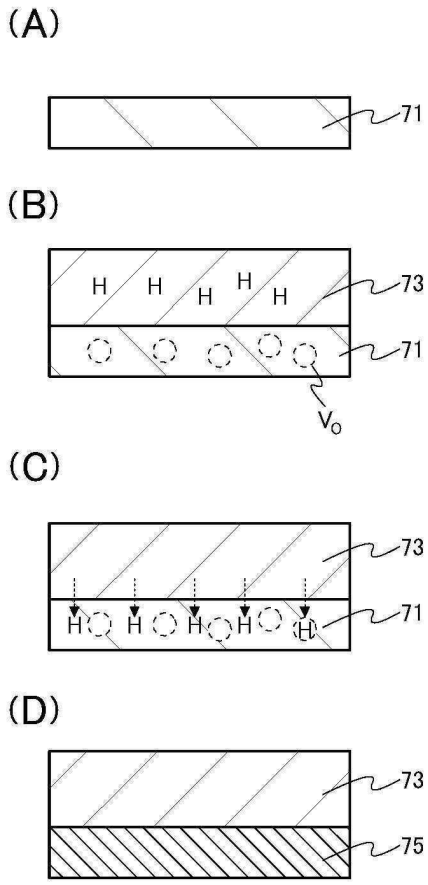
도면37


8.0E-03
7.0E-03
6.0E-03
5.0E-03
4.0E-03
3.0E-03
2.0E-03
1.0E-03
0.0E+00
저항률 [Ω·cm]
0
2
4
6
8
10
전압 [V]

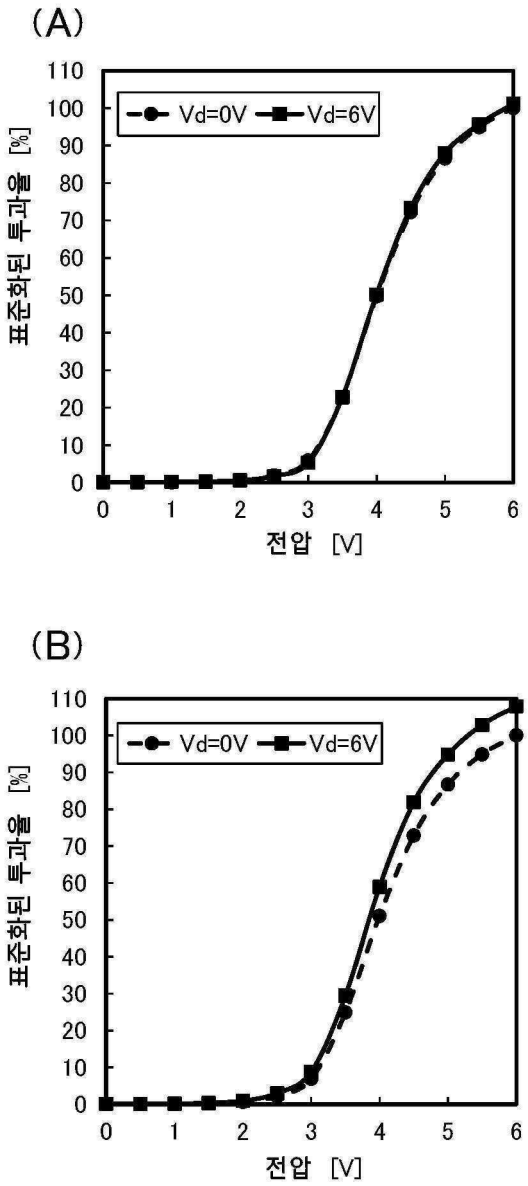
도면38


T [K]
300
200
150
100
1.E+08
1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00
1.E-01
1.E-02
1.E-03
1.E-04
1/ρ [1/Ωm]
▲OS
●OC
0.002
0.004
0.006
0.008
0.01
1/T [1/K]

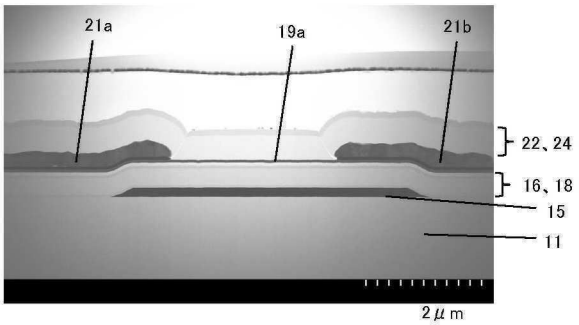
도면39


(A)
71
(B)
H
H
H
H
H
73
71
V_O
(C)
73
H
H
H
H
H
71
(D)
73
75

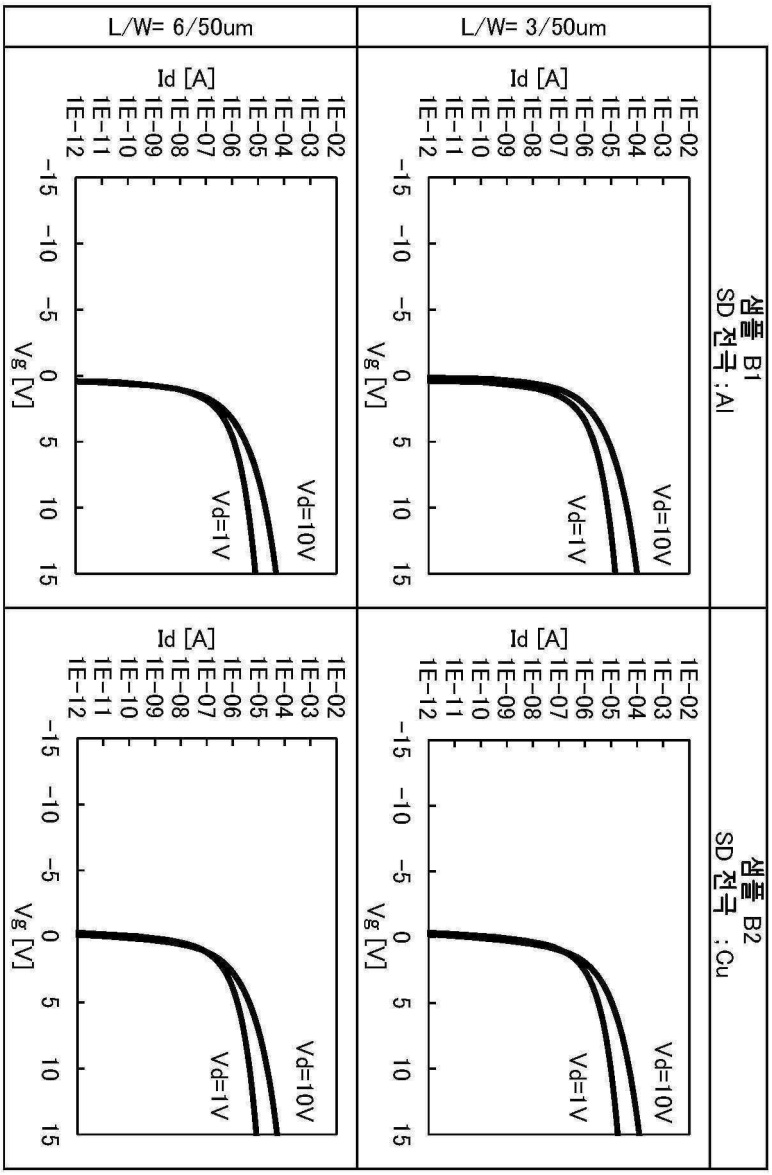
도면40


(A)
Vd=0V
Vd=6V
표준화된 투과율 [%]
전압 [V]
(B)
Vd=0V
Vd=6V
표준화된 투과율 [%]
전압 [V]

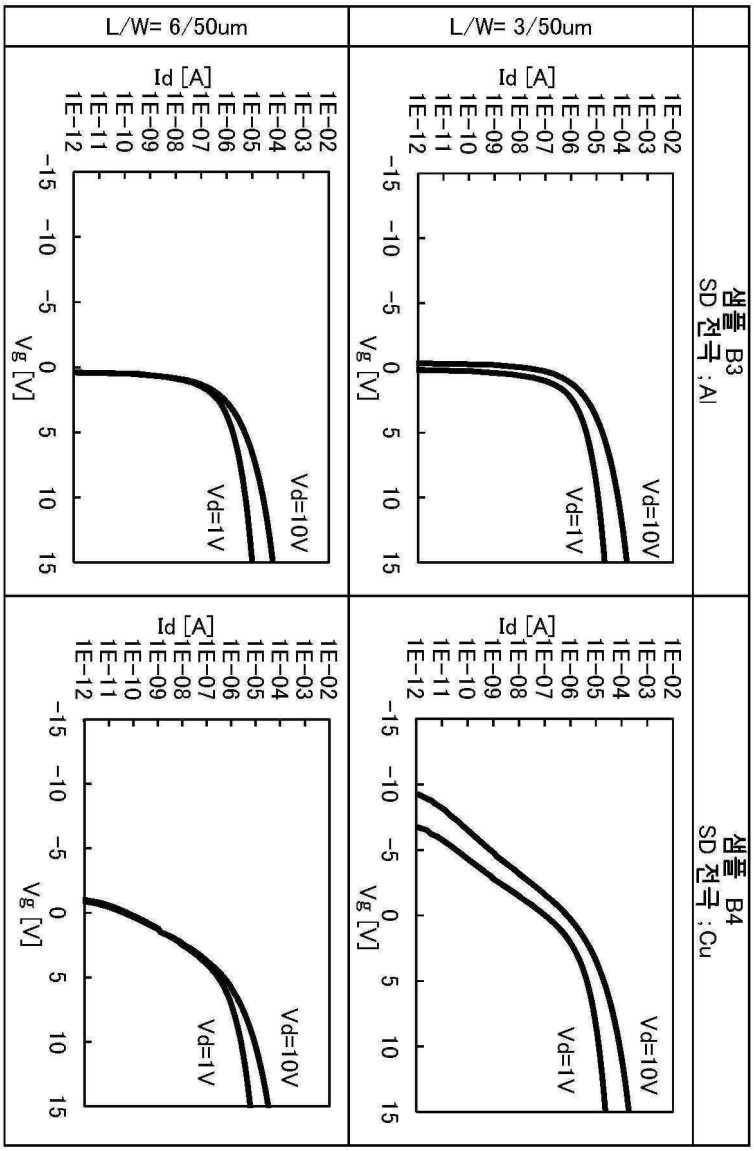
도면41


21a
19a
21b
22、24
16、18
15
11
2μm

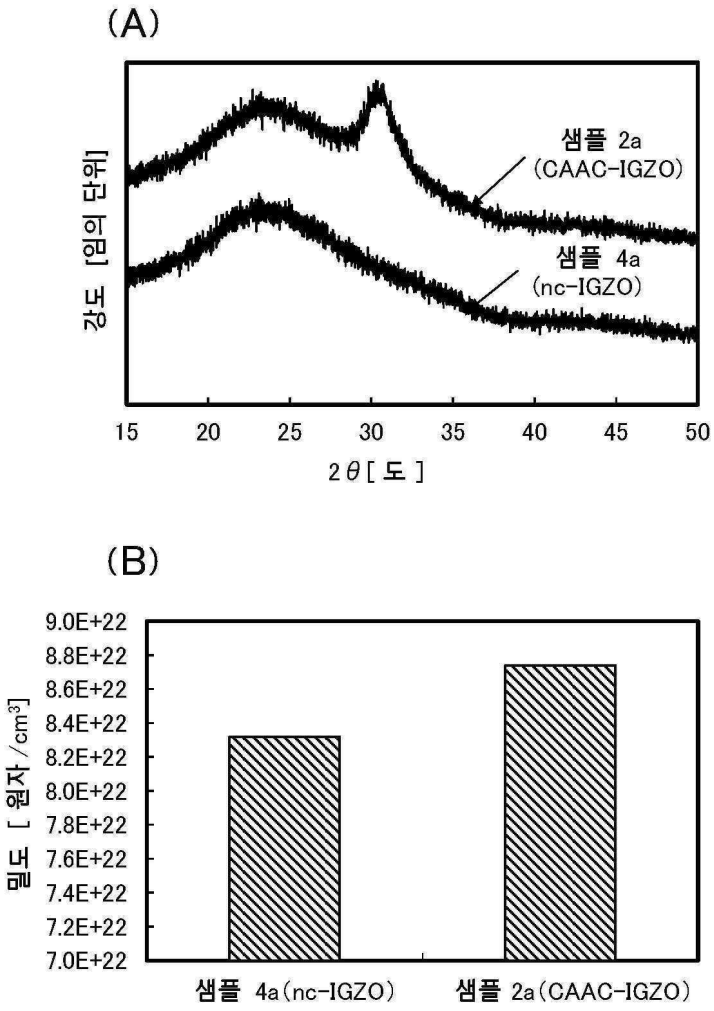
도면42



도면43



도면44


(A)
강도 [임의 단위]
샘플 2a
(CAAC-IGZO)
샘플 4a
(nc-IGZO)
15
20
25
30
35
40
45
50
2θ[도]
(B)
밀도 [원자/cm3]
9.0E+22
8.8E+22
8.6E+22
8.4E+22
8.2E+22
8.0E+22
7.8E+22
7.6E+22
7.4E+22
7.2E+22
7.0E+22
샘플 4a(nc-IGZO)
샘플 2a(CAAC-IGZO)