



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 746548

В П Т Б
ФОНД ЭКСПЕРТОВ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 20.03.78 (21) 2591712/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.07.80, Бюллетень № 25

Дата опубликования описания 10.07.80

(51) М. Кл.²

G 06 F 15/36

(53) УДК 681.3
(088.8)

(72) Автор
изобретения

В. А. Добрыдень

(71) Заявитель

Харьковский инженерно-строительный институт

(54) РЕКУРРЕНТНЫЙ ВЫЧИСЛИТЕЛЬ ОЦЕНКИ МАТЕМАТИЧЕСКОГО ОЖИДАНИЯ

1

Изобретение относится к вычислительной технике, может быть использовано для текущего статистического анализа за случайных процессов.

Известно устройство для оценки математического ожидания [1], реализующее рекуррентный алгоритм, содержащее аналого-цифровой преобразователь, блок управления, сумматор-вычитатель, регистр, триггер, реверсивный счетчик, вычитатель.

Существенным недостатком устройства является его сложность.

Наиболее близким по технической реализации является вычислитель оценки математического ожидания [2], содержащий счетчик, генератор импульсов, триггер, элемент задержки, управляемый делитель частоты, первый выход которого подключен к счетному входу реверсивного счетчика, блок сравнения.

Недостатки прототипа заключаются в малой скорости сходимости, что обусловлено свойствами реализуемого им

2

алгоритма вычисления среднего, и, как следствие, - в малой точности оценки.

Цель изобретения состоит в ускорении сходимости и повышении точности оценки математического ожидания.

5 С этой целью в вычислитель для оценки математического ожидания введены регистр, ключи, блок управления и время-импульсный преобразователь. 10 Первый выход блока управления подключен к управляющему входу время-импульсного преобразователя, информационный вход которого является входом вычислителя, выход время-импульсного преобразователя соединен со входом установки в нуль триггера, нулевой выход которого подключен к управляющему входу первого ключа, информационный вход которого объединен с информационным входом второго ключа и соединен с выходом генератора импульсов; выход первого ключа подключен ко входу установки в единицу триггера и к первому входу блока управления, второй выход

которого соединен с управляющим входом второго ключа, выход которого соединен с управляющим входом блока сравнения и через элемент задержки - со счетными входами управляемого делителя частоты и счетчика, выходы которого подключены к первой группе информационных входов блока сравнения; вторая группа информационных входов блока сравнения соединена с соответствующими выходами регистра, вход установки в нуль которого соединен со входом установки в нуль счетчика и с третьим выходом блока управления, четвертый выход которого соединен с управляющими входами регистра и управляемого делителя частоты, первый выход которого соединен со счетным входом реверсивного счетчика. Входы "сложение" и "вычитание" реверсивного счетчика подключены соответственно к пятому и шестому выходам блока управления, третий вход которого соединен со вторым выходом управляемого делителя частоты, а информационные входы регистра подключены к соответствующим выходам реверсивного счетчика.

Структурная электрическая схема вычислителя представлена на чертеже.

Вычислитель содержит время-импульсный преобразователь 1, блок 2 управления, управляемый делитель частоты 3, реверсивный счетчик 4, регистр 5, блок 6 сравнения, счетчик 7, ключи 8, 9, элемент задержки 10, триггер 11, генератор импульсов 12.

Вычислитель реализует следующий рекуррентный алгоритм оценки математического ожидания:

$$S_n = \frac{n-1}{n} S_{n-1} + \frac{x_n}{n} =$$

$$= S_{n-1} + \frac{1}{n} (x_n - S_{n-1}) \operatorname{sign}(x_n - S_{n-1}),$$

$$S_0 = 0, x_i > 0.$$

Перед началом работы реверсивный счетчик 4, регистр 5 и счетчик 7 установлены в нуль, триггер 11 - в единицу, а блок управления 2 - в исходное состояние; коэффициент деления управляемого делителя частоты 3 равен единице.

Реверсивный счетчик 4 служит для формирования величины S_n , регистр - для хранения величины S_{n-1} .

После запуска блока управления 2 он импульсом с первого выхода запускает время-импульсный преобразователь 1, а

также открывает ключ 9. Первый же импульс с ключа проходит через блок сравнения 6 на второй вход блока управления 2, в результате чего реверсивный счетчик 4 устанавливается в режим сложения. Спустя время τ_1 , пропорциональное величине x_1 , на выходе время-импульсного преобразователя 1 появляется импульс, опрокидывающий в нуль триггер 11. Очередной импульс с генератора импульсов 12 проходит через открывшийся ключ 8 на первый вход блока управления 2, а также возвращает триггер 11 в единичное состояние. Блок управления 2 закрывает ключ 9 и отключает реверсивный счетчик 4, на котором, как и на счетчике 7, будет зафиксировано число, представляющее в некотором масштабе величину $S_1 = x_1$.

После этого импульс с третьего выхода блока управления возвращает счетчик 7 и регистр 5 в нулевое состояние, а импульс с четвертого выхода передает содержимое реверсивного счетчика 4 в регистр 5 и, кроме того, увеличивает на единицу коэффициент деления управляемого делителя частоты 3. Так осуществляется первая итерация.

Импульс блока управления начинает выполнение очередной итерации, в процессе которой возможны случаи

$$x_2 > S_1 \quad \text{и} \quad x_2 < S_1.$$

В первом случае по достижении равенства $x_2 = S_1$ возникает импульс на втором входе блока управления 2; с этого момента и до появления импульса на первом входе блока управления реверсивный счетчик 4 складывает импульсы, поступающие на его счетный вход с управляемого делителя частоты 3, число этих импульсов равно

$$(x_2 - S_1) / 2.$$

Таким образом, на счетчике 4 формируется число

$$S_1 + (x_2 - S_1) / 2.$$

Во втором случае после появления импульса на первом входе блок управления устанавливает реверсивный счетчик 4 в режим вычитания; ключ 9 продолжает оставаться открытым, и на счетчик 7 продолжают поступать импульсы, пока их число не достигает зафиксированного на регистре значения S_1 . После этого блок сравнения 6 пропускает импульс на второй вход блока управления, дальнейшие действия которого идентичны описанным в предыдущем случае. Таким образом, в течение времени, пропорцио-

нального величине $(x_2 - S_1)$, импульсы с управляемого делителя частоты 3 поступают на вычитающий вход реверсивного счетчика 4, в результате чего его содержимое, передаваемое затем в регистр 5, составляет

$$S_1 - (S_1 - x_2) / 2 = S_2.$$

В дальнейшем описанная последовательность действий циклически повторяется, отличие очередного цикла от предыдущего состоит в том, что коэффициент деления управляемого делителя частоты на единицу больше.

Когда этот коэффициент достигает заданного значения, появляется единичный потенциал на втором выходе управляемого делителя частоты, соединенного с третьим входом блока управления 2. Этот потенциал запрещает появление очередного импульса на выходе блока управления, прекращая работу схемы и включая, при необходимости, соответствующую индикацию.

Выходом схемы может служить выход регистра 5 либо выход реверсивного счетчика 4.

Обеспечиваемое вычислителем повышение скорости сходимости и точности оценки, а также его простота позволяют повысить эффективность функционирования систем, управление которыми требует определения текущего значения математического ожидания процессов в системе.

Ф о р м у л а и з о б р е т е н и я

Рекуррентный вычислитель оценки математического ожидания, содержащий счетчик, генератор импульсов, триггер, элемент задержки, управляемый делитель частоты, первый выход которого подключен к счетному входу реверсивного счетчика, блок сравнения, отличающийся тем, что, с целью повышения точности оценки математического ожидания, в него введены регистр, ключи, блок управления и время-импульсный преобразователь, при этом первый выход

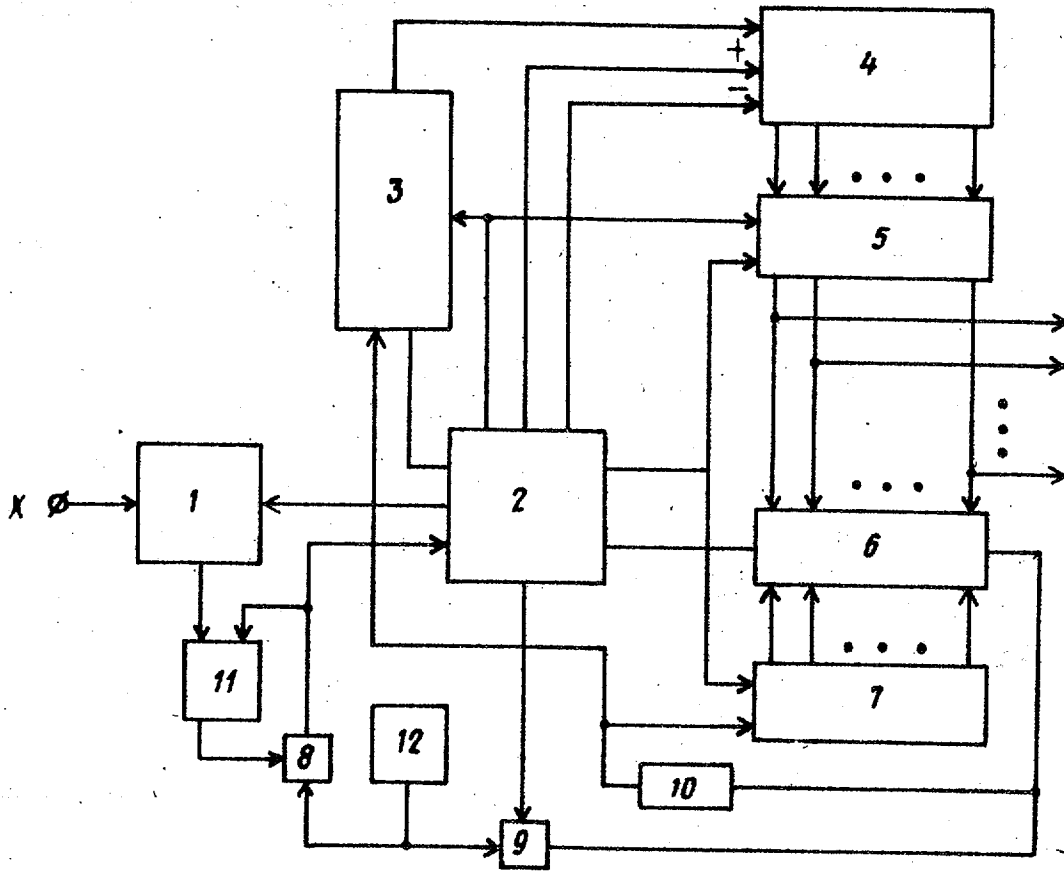
блока управления подключен к управляющему входу время-импульсного преобразователя, информационный вход которого является входом вычислителя, выход 5 время-импульсного преобразователя соединен со входом установки в нуль триггера, нулевой выход которого подключен к управляющему входу первого ключа, информационный вход которого объединен с информационным входом второго ключа и соединен с выходом генератора импульсов, выход первого ключа подключен ко входу установки в единицу триггера и к первому входу блока управления, второй выход которого соединен с управляющим входом второго ключа, выход которого соединен с управляющим входом блока сравнения и через элемент задержки - со счетными входами управляемого делителя частоты и счетчика, выходы которого подключены к первой группе информационных входов блока сравнения, вторая группа информационных входов которого соединена с соответствующими выходами регистра, вход установки в нуль которого соединен со входом установки в нуль счетчика и с третьим выходом блока управления, четвертый выход которого соединен с управляющими входами регистра и управляемого делителя частоты, первый выход которого соединен со счетным входом реверсивного счетчика, входы "сложение" и "вычитание" реверсивного счетчика подключены соответственно к пятому и шестому выходам блока управления, третий вход которого соединен со вторым выходом управляемого делителя частоты, а информационные входы регистра подключены к соответствующим выходам реверсивного счетчика.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 428388, кл. G 06 F 15/36, 1972.

2. Авторское свидетельство СССР № 485455, кл. G 06 F 15/36, 1974 (прототип).



Редактор Б. Федотов Составитель Л. Григорьян-Чтенц
 Техред Л. Теслюк Корректор В. Бутяга

Заказ 3949/39 Тираж 751 Подписное

ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4