

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-517504

(P2004-517504A)

(43) 公表日 平成16年6月10日(2004.6.10)

(51) Int. Cl.⁷

H01L 27/105

G11C 11/15

F I

H01L 27/10

447

G11C 11/15

110

テーマコード (参考)

5F083

審査請求 有 予備審査請求 有 (全 31 頁)

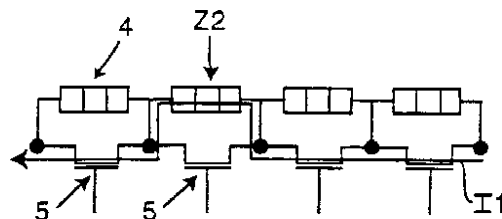
(21) 出願番号 特願2002-560137 (P2002-560137)
 (86) (22) 出願日 平成14年1月23日 (2002.1.23)
 (85) 翻訳文提出日 平成15年7月25日 (2003.7.25)
 (86) 国際出願番号 PCT/DE2002/000207
 (87) 国際公開番号 W02002/059898
 (87) 国際公開日 平成14年8月1日 (2002.8.1)
 (31) 優先権主張番号 101 03 313.3
 (32) 優先日 平成13年1月25日 (2001.1.25)
 (33) 優先権主張国 ドイツ (DE)
 (81) 指定国 EP (DE, FR, GB, IE, IT), CN, JP, KR, US

(71) 出願人 501209070
 インフィネオン テクノロジーズ アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 81669 ミュンヘ
 ン ザンクト マルティン シュトラーセ
 53
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 フライターク, マルティン
 ドイツ連邦共和国 80337 ミュンヘ
 ン ヘーベエアルシュトラーセ 11
 最終頁に続く

(54) 【発明の名称】 MRAM構造

(57) 【要約】

本発明は、選択トランジスタ(5)およびMTJ層配列(4)が、相互に平行にセルに配置されているMRAM構造に関するものである。従って、かなりの空間を節約できる。



【特許請求の範囲】

【請求項 1】

記憶マトリックスに配置されている複数の記憶セル（Z2）を備えているMRAM構造であり、上記記憶セルの各々は、少なくとも1つのMTJ層配列（4）、および選択トランジスタ（5）を備えており、上記記憶セルのMTJ層配列（4）は、相互に間隔を開けて設けられているワード線（WL）とビット線（BL）との間にそれぞれ配置されており、選択トランジスタ（5）は、当該選択トランジスタのゲートにおいて、記憶セルを読み出すためのセレクト配線（SL1）と接続されており、MTJ層配列（4）は、第2セレクト配線（RSL）と接続されているMRAM構造であって、

上記記憶セル（Z2）において、MTJ層配列（4）と選択トランジスタ（5）のドレインソース経路とがそれぞれ相互に並列に配置されており、その結果、第2セレクト配線（RSL）は、選択トランジスタ（5）の相互に直列に配置されているソースドレイン経路によって形成されていることを特徴とするMRAM構造。 10

【請求項 2】

上記記憶マトリックスにおいて、一連の記憶セルの上記第2セレクト配線（RSL）は、別個の選択トランジスタ（7）に対して直列に配置されていることを特徴とする請求項1に記載のMRAM構造。

【請求項 3】

上記選択トランジスタ（5）は、当該選択トランジスタのゲートにおいて、第1セレクト配線（SL1）と接続されていることを特徴とする請求項1または2に記載のMRAM構造。 20

【請求項 4】

上記記憶セルの最小寸法は、 $4F^2$ により規定されており、当該Fは、使用される技術の「最小特徴寸法」であることを特徴とする請求項1～3のいずれか1項に記載のMRAM構造。

【請求項 5】

上記第1セレクト配線（SL1）は、選択トランジスタ（5）のゲートの上方に設けられていることを特徴とする請求項1～4のいずれか1項に記載のMRAM構造。

【請求項 6】

上記第1セレクト配線（SL1）、および上記ビット線は、相互に平行に設けられていることを特徴とする請求項4または5に記載のMRAM構造。 30

【発明の詳細な説明】

本発明は、記憶マトリックス（記憶行列）に配置されている複数の記憶セルを備えるMRAM構造（MRAM＝磁気抵抗RAM）に関するものである。この記憶セルの各々は、少なくとも1つのMTJ層配列（MTJ＝磁気トンネル接合部）、および、選択トランジスタを備えており、記憶セルのMTJ層配列（MTJ層連続、MTJ-Schichtfolge）は、相互に間隔を開けて設けられている（延びている）ワード線とビット線との間にそれぞれ配置されている。選択トランジスタは、そのゲートにおいて、記憶セルを読み出すために、第1セレクト配線（選択配線）と接続されており、MTJ層配列は、第2セレクト配線と接続されている。 40

【0001】

MRAM構造（以下では、短くしてMRAMとも呼ぶ）は、その最も簡単な実施形態では、記憶マトリックスに配置されている記憶セルを備えている。この記憶セルの各々は、それぞれ、MTJ層配列を1つだけ備えている。このようなMTJ層配列を、図5に示す。トンネル障壁層1は、軟磁性層2と、硬磁性層3との間に配置されており、酸化物障壁物（Oxide barrier）により構成されている。このように、トンネル障壁層1、軟磁性層2、および、硬磁性層3は、MTJ層配列4を形成し、その電気的な抵抗は、2つの磁気性層2および3における磁気モーメントの方向性に応じている。つまり、2つの層2および3における磁化が、相互に平行に方向付けられている場合、MTJ層配列4の抵抗は低く、一方、磁化の非平行に方向付けると、MTJ層配列の抵抗はより高くなる。 50

このようなMTJ層配列により構成されている記憶セルのセル内容は、MTJ層配列4に電流を流通させることによって特定される。従って、電流Iの大きさから、MTJ層配列4が、高抵抗の状態（磁化の非平行は方向付け）であるか、あるいは、低抵抗の状態（磁化の平行な方向付け）であるかどうか判断できる。従って、これらの状態に、情報内容「0」または「1」をそれぞれ割り当てることができる。

【0002】

このことを、図6に概略的に示す。図6では、横座標に、相当する電流によってビット線およびワード線に生成された磁場を示し、縦座標に、規格化された抵抗値が示されている。磁化が平行に方向付けられている場合には、非平行に方向付けられている場合よりも、MTJ層配列4の抵抗が約15%だけ低いことが明らかにわかる。ここでは、磁化の平行な方向付けに、情報内容「0」を割り当て、一方、磁化の非平行な方向付けは、情報内容「1」を割り当てる。しかし、当然、他の割り当ても可能である。

【0003】

MTJ層配列4を備えている記憶セルへの書き込みは、磁気モーメントの方向付けを制御して調節することにより行う。このため、図7に示すように、記憶セルを、2つの電気的な導体、すなわち、ビット線BLとワード線WLとの間に配置する。続いて適切な電流を、配線BLおよびWLを通して送ることにより、MTJ層配列4の場所において、すなわち、MTJ層配列4を備える記憶セルにおいて、磁場が生成する。この磁場によって、磁気モーメントの方向、すなわち、特に、軟磁性層2における磁気モーメントの方向を調節できる。MTJ層配列4の軟磁性層2における磁気モーメントの調節可能性を保証するため、通常、配線BLおよびWLの1つにおいて、配線を流れる電流の方向を、逆方向にできれば十分である。それゆえ、電流の方向を対応させて切り替えることにより、記憶セルを、磁化の平行な方向付けと非平行な方向付けとの間、つまり、低抵抗状態と高抵抗状態との間で切り替えることができる。

【0004】

図8に、MRAM構造の上述のような最も簡単な考えられる構造を示す。記憶セルをそれぞれ形成するMTJ層配列4は、それぞれ平行に延びるワード線WL1, WL2, WL3と、ビット線BL1, BL2との交差点に配置されている。特定の記憶セルへの書き込みは、例えば、ビット線BL2およびワード線WL3を通して相当する電流が送られることにより行われる。従って、ビット線BL2と、ワード線WL3との交差点（すなわち、図8の一番右）に、電流により相当する磁場が生じている。その結果、そこに存在するMTJ層配列、または、MTJ層配列により構成されている記憶セルは、対応して書き込まれる。

【0005】

図8に示す構造の長所は、その高密度な構成である。全く理想的には、情報内容またはビット毎に、 $4F^2$ の面積のみが必要である。ただし、Fは、使用される技術（テクノロジー）の「最小フューチャーサイズ（minimum feature size）」、すなわち、「最小特徴寸法」である。しかし、MRAM構造のこのような構成の大きな欠点は、読み出しの際に、抵抗値のほんの僅かな差（約15%上記参照）によって、著しい寄生電流が、隣り合うセルを流通し、その結果、このようなMRAM構造は、全体的に、非常にゆっくりとしか読み出しを行えないことである。

【0006】

図8のMRAM構造の読み出しは遅く、寄生電流のせいで、結局は不確かでもある、という欠点を回避するため、図9に示すMRAMが既に提案されている。図9のMRAMでは、それぞれ個々の記憶セルが、MTJ層配列4、および、選択トランジスタ5を備えている。点線6により囲まれている記憶セルへの書き込みは、ワード線WL2、および、ビット線BL2を通して、相当する電流を送ることにより行われる。その結果、記憶セルのMTJ層配列4は、これに対してプログラムされる。読み出しのために、セレクト配線SL11およびSL13は、これらと（セレクト配線SL11およびSL13と）接続されている選択トランジスタ5が全て遮断されるように駆動される。これに対し、セレクト配線

S L 1 2 には、この配線と接続されている選択トランジスタ 5 が伝導するような電圧が印加される。続いて、セレクト配線 S L 2 1 ~ S L 2 3 のセレクト配線 S L 2 2 には、読み信号が印加される。この読み信号は、M T J 層配列を介して、点線 6 によって囲まれている記憶セルへ流れる。なぜなら、この記憶セルの選択トランジスタのみが伝導しており、残りの記憶セルにおける他の選択トランジスタの全ては、遮断されているからである。従って、セレクト配線 S L 2 2 の出力部において、M T J 層配列 4 の状態を示す信号、すなわち、情報内容「0」または「1」を得ることができる。

【0007】

図 9 の M R A M 構造により、隣り合う記憶セルの寄生効果を、事実上排除できる。それゆえ、読みアクセスのための時間は、非常に短い。しかし、図 9 の M R A M の欠点は、高密度の構成という利点が失われていることである。なぜなら、 $8 F^2$ の有効セル面積しか達成できないからである。

10

【0008】

一方では、所要面積（「 F^2 」）と、他方では、寄生効果のない迅速な読みアクセスとの間の上記のような対立を解決するため、全く他の記憶構造、すなわち、D R A M 構造（D R A M = ダイナミック R A M）の場合、いわゆる、分け合われた、つまり、「共用接触部」を挿入することが既に考えられている。この場合、選択トランジスタの 1 つの接触部が、複数、好ましくは、2 つの記憶セルによって使用されるので、面積（「 F^2 」）が節約される。しかし、この解決法は、M R A M には使用できず、その結果、上記の問題点は、現在までのところ、解決されていない。

20

【0009】

従って、本発明の目的は、最小所要面積で、高速読みアクセスできる M R A M 構造を提供することである。

【0010】

本目的は、冒頭部分に述べたような M R A M 構造の場合、本発明に基づき、記憶セルに、各々 1 つの M T J 層配列および、選択トランジスタのドレインソース経路を相互に並列に配置し、その結果、第 2 セレクト配線が、相互に直列に配置されている、選択トランジスタのソースドレイン経路により形成されていることによって達成される。

【0011】

従って、本発明に基づく M R A M 構造では、個々の記憶セルの選択トランジスタ、および、M T J 層配列が、相互に並列に配置されている。記憶セル、または「基本部品」は、次に、チェーン（鎖）状に接合される。この際、相互に平行に延びるチェーンは、記憶マトリックスを形成する。このような記憶マトリックスにおける 1 つのチェーンを、いわゆる選択トランジスタによって選択できる。すなわち、それぞれ個々のチェーンに、チェーンの末端部における別々の選択トランジスタが割り当てられている。

30

【0012】

本発明に基づく M R A M 構造への書き込みは、通常の方法では、所望のワードおよびビット線に対して、それぞれ 1 つの相当する信号を印加することによって行われる。読み出しの際に、別々の選択トランジスタを介して、一連（一鎖の）の記憶マトリックスがまず決定される。次に、セル内容が読み出されるべき記憶セルのトランジスタ以外、このチェーンの全てのトランジスタは通電される。すなわち、読まれるべき記憶セルのトランジスタは、遮断されたままである。続いて、この読まれるべきトランジスタのチェーンを通して電流が送られる。すると、電流は、読まれるべき記憶セルの M T J 層配列のみを流れ、チェーンの記憶セルが残っている全ての選択トランジスタを通して流れる。このようにして、読まれるべき記憶セルのセル内容を特定できる。

40

【0013】

本発明の M R A M 構造は、所要面積が小さいことを特徴とする。チェーンにおいて、対応する構成の場合、M T J 層配列、および M T J 層配列に並列に配置されている選択トランジスタを備える記憶セルは、有効セル面積 $4 F^2$ を有する。このため、チェーンの別個の選択トランジスタを考慮する必要がある。この別個のトランジスタには、同じく、面積 4

50

F^2 が必要である。それゆえ、 N 個の記憶セルを有するチェーンの場合、各記憶セルのための有効セル面積は、 $4 F^2 (N + 1) / N$ である。

【0014】

ただし $N = 1$ 、すなわち、ただ 1 つの記憶セルにより構成されているチェーンの場合、 $8 F^2$ の有効セル面積が存在する。このことは、選択トランジスタを MTJ 層配列と直列接続するという、現在までに知られている解決法と完全に一致している。従って、このことは、 $MRAM$ 構造において条件 $N > 1$ が存在する場合、本発明を、特に有利に使用できることを意味しており、このことは、当然、記憶セルに配置されている全ての記憶セルに該当する。

【0015】

本発明は、全く新しく、現在までのところ一般的とされている MTJ 層構造および選択トランジスタを備える直列回路の原則とは異なり、新しい構想が提案される。この構想では、各記憶セルにおける MTJ 層配列および選択トランジスタが、相互に並列に配置されており、チェーン状に接合されている。

【0016】

以下に、本発明について図を参考にして詳しく説明する。

【0017】

図 1 は、本発明に基づく $MRAM$ 構造のチェーンの概略的な配線図を示す図である。図 2 は、本発明に基づく $MRAM$ 構造の記憶マトリックスを示す図である。図 3 は、本発明に基づく $MRAM$ 構造の実施例の一部を示す図である。図 4 は、図 3 の実施例における $MRAM$ 構造の平面図を示す図である。図 5 は、 MTJ 層配列を斜視図で示す図である。図 6 は、図 5 に基づく MTJ 層配列における記憶状態を説明するための図である。図 7 は、ワード線とビット線とを有する MTJ 層配列の図を示す図である。図 8 は、図 5 および図 7 に基づく MTJ 層配列を有する記憶マトリックスを示す図である。図 9 は、従来の $MRAM$ 構造の記憶マトリックスを示す図である。

【0018】

図 5 から図 9 については、既に冒頭部分において説明した。

【0019】

図では、相互に相当する部材には、それぞれ同じ参照番号が使用されている。

【0020】

図 1 は、相互にそれぞれ並列に配置されている選択トランジスタ 5 および MTJ 層配列 4 を有する本発明の実施例に基づく一連の $MRAM$ 構造を示す。すなわち、選択トランジスタ 5 のドレインソース経路に、 MTJ 層配列 4 がそれぞれ 1 つ配置されている。この MTJ 層配列は、チェーンの MTJ 層配列側において、相互に直列に接続されている。選択トランジスタ 5 のドレインソース経路にも同じことが該当する（同じく、選択トランジスタ 5 のドレインソース経路も、チェーンの選択トランジスタ 5 側において、相互に直列に接続されている）。

【0021】

図 2 は、本発明に基づく $MRAM$ 構造の実施例を示す。ここでは、 MTJ 層配列 4 と選択トランジスタ 5 とを有する、図 1 に示したチェーンが、複数、相互に並列に接続されている。この場合、さらにもう 1 つの別個の選択トランジスタ 7 が、各チェーンと接続されている。図 2 に、第 1 セレクト配線 $SL1$ 、および第 2、または列セレクト配線 RS_L をさらに示し、これらは、別個の選択トランジスタ 7、および、選択トランジスタ 5 のドレインソース経路によりそれぞれ形成されている。

【0022】

特定の記憶セル、例えば、図 1 に示したチェーンの記憶セル $Z2$ を読み出す場合、まず、チェーンの別個の選択トランジスタ 7 を作動させる（伝導させる）。一方、記憶マトリックスにおける残りの別個の選択トランジスタの全ては、遮断されているか、あるいは、伝導していないままである。次に、チェーンにおいて、記憶セル $Z2$ に割り当てられているセレクト配線 $SL1$ に、相当する信号を印加することによって、記憶セル $Z2$ の選択トラ

10

20

30

40

50

ンジスタ 5 を、伝導していないように切り替える。一方、チェーンの残りの選択トランジスタ 5 の全ては、伝導している状態に移行する。これにより、図 1 に矢印による実線で概略的に示すように、チェーンに電流経路 I 1 が存在する。このことは、記憶セル Z 2 の M T J 層配列の抵抗状態を、問題なく簡単に読み出すことができることを意味する。図 1 および 2 に示す M R A M 構造における読み込みは、通常の方法によって行われる。すなわち、M T J 層配列 4 は、図 3 および図 4 に示す具体的な実施例により示すように、それぞれビット線 B L とワード線 W L との間に配置されている。これらのうちの図 3 は、断面図を、図 4 は、平面図を示している。これら図の付近に示す、解説 (L e g e n d e) は、この場合、両方の図に該当している。

【 0 0 2 3 】

図 3 および図 4 から分かるように、M T J 層配列 4 は、ワード線 W L とこれに交差するビット線 B L との間に配置されている。相当する電流を、ワード線 W L およびビット線 B L を通して送ることにより、このようなワード線とビット線との交差場所に配置されている M T J 層配列 4 は、上述のように、プログラムされる。

【 0 0 2 4 】

読み出しは、図 1 および図 2 を参考に上に説明したように行われる。読み出すべき記憶セルを有するチェーンの別個の選択トランジスタ 7 を、作動させる。一方、全ての他の別個の選択トランジスタ 7 は、遮断されたままである。次に、チェーンにおける読み出される記憶セルの選択トランジスタ 5 を、セレクト配線 S L 1 を相当する駆動により、遮断、または、伝導していないように切り替える。一方、チェーンの残りの選択トランジスタの全ては、セレクト配線 S L 1 を介してそのゲートを相当して駆動することにより、伝導している状態に移行する。従って、遮断されているトランジスタを有する記憶セルにおいて、すなわち、読み出すべき記憶セルにおいて、読み電流が、列セレクト配線 R S L を介して流れる。すなわち、読み電流は、チェーンの選択されていない記憶セルの選択トランジスタのドレインソース経路を介して、および、遮断されている選択トランジスタ 5 を有する選択された記憶セルの M T J 層配列 4 を介して流れる。このように、寄生電流をなくして、選択された記憶セルのセル内容を高速に読み出せる。

【 0 0 2 5 】

図 3 および 4 には、それぞれ 2 F を有する個々の記憶セルと共に、「最小特徴寸法」F も具体的に示されている。

【 0 0 2 6 】

従って、本発明によって簡単に構成される M R A M 構造が可能となり、この構造は、選択トランジスタと記憶セルとの直列接続という現在までの概念とは全く異なり、その代わりに、選択トランジスタと M T J 層配列との並列接続を提供する。このような異なる構成により、高い実装密度を保証でき、その結果、本発明の上記の目的は、非常に優れた方法により達成される。

【 0 0 2 7 】

図 3 から分かるように、本発明に基づく M R A M 構造の場合、ビット線 B L は、選択トランジスタ 5 の上方に、具体的には、選択トランジスタ 5 とは間隔を開けて、選択トランジスタ 5 のゲート電極の上方に設けられている (延びている) 。

【 図面の簡単な説明 】

【 図 1 】

本発明に基づく M R A M 構造のチェーンの概略的な配線図である。

【 図 2 】

本発明に基づく M R A M 構造の記憶マトリックスを示す図である。

【 図 3 】

本発明に基づく M R A M 構造の実施例の一部を示す図である。

【 図 4 】

図 3 の実施例の M R A M 構造の平面図を示す図である。

【 図 5 】

10

20

30

40

50

M T J 層配列を示す斜視図である。

【図 6】

図 5 に基づく M T J 層配列における記憶状態を説明するための図である。

【図 7】

ワード線とビット線とを有する M T J 層配列を示す図である。

【図 8】

図 5 および図 7 に基づく M T J 層配列を有する記憶マトリックスを示す図である。

【図 9】

従来の M R A M 構造の記憶マトリックスを示す図である。

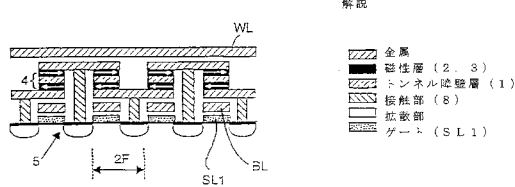
【符号の説明】

1	トンネル障壁層
2	軟磁性層
3	硬磁性層
4	M T J 層配列
B L , B L 1 , B L 2	ビット線
W L , W L 1 , W L 2 , W L 3	ワード線
5	選択トランジスタ
6	点線
7	別個の選択トランジスタ
Z 2	記憶セル

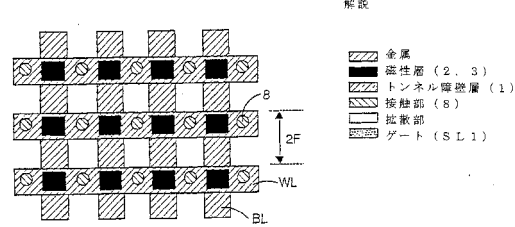
10

20

【図 3】



【図 4】



【国際公開パンフレット】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
1. August 2002 (01.08.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/059898 A2

(51) Internationale Patentklassifikation: **G11C 11/16**

[D19/D19]: Haberstr. 11, 80337 München (DE), **ROEHR, Thomas** (DE/JP); 70 Mameguchidai, Naka-ku, Yokohama City, 231-0838 (JP).

(21) Internationales Aktenzeichen: PCT/DI902/00207

(22) Internationales Anmeldedatum:
23. Januar 2002 (23.01.2002)

(74) Anwalt: **KOTTMANN, Dieter**, Müller, Hoffmann & Partner, Innere Wiener Str. 17, 81667 München (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (national): CN, JP, KR, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (DE, FR, GB, IE, IT).

(30) Angaben zur Priorität:
101 03 313.3 25. Januar 2001 (25.01.2001) DE

Veröffentlicht:
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** (DE/DE); Si.-Martin-Str. 53, 81669 München (DE).

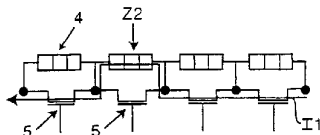
Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **FREITAG, Martin**

(54) Title: MRAM ARRANGEMENT

(54) Bezeichnung: MRAM-ANORDNUNG



(57) Abstract: The invention relates to an MRAM arrangement in which the selection transistors (5) and the MTJ layer sequences (4) lie parallel to each other in a cell. A considerable space saving can thus be achieved.

(57) Zusammenfassung: Die Erfindung betrifft eine MRAM-Anordnung, bei der die Auswahltransistoren (5) und die MTJ-Schichtfolgen (4) in einer Zelle jeweils parallel zueinander liegen. Dadurch lässt sich eine beträchtliche Flächeneinsparung erzielen.

WO 02/059898 A2

WO 02/059898

PCT/DE02/00207

1

Beschreibung

MRAM-Anordnung

5 Die vorliegende Erfindung betrifft eine MRAM-Anordnung (MRAM = magnetoresistiver RAM) aus einer Vielzahl von in einer Speichermatrix angeordneten Speicherzellen, deren jede aus wenigstens einer MTJ-Schichtfolge (MTJ = Magnetic Tunnel Junction) und einem Auswahltransistor besteht, von denen die
10 MTJ-Schichtfolgen jeweils zwischen Wortleitungen und Bitleitungen, die im Abstand voneinander verlaufen, gelegen sind, die Auswahltransistoren an ihren Gates zum Auslesen der Speicherzellen mit ersten Selectleitungen (Auswahlleitungen) verbunden sind und die MTJ-Schichtfolgen an zweite Se-
15 lectleitungen angeschlossen sind.

MRAM-Anordnungen - im folgenden auch kurz MRAMs genannt - bestehen in ihrer einfachsten Ausführungsform aus in einer Speichermatrix angeordneten Speicherzellen, deren jede je-
20 weils nur eine MTJ-Schichtfolge aufweist. Eine solche MTJ-Schichtfolge ist in Fig. 5 gezeigt: eine Tunnelbarrierenschicht 1 liegt zwischen einer weichmagnetischen Schicht 2 und einer hartmagnetischen Schicht 3 und besteht aus einer Oxidbarriere. Die Tunnelbarrierenschicht 1, die weichmagne-
25 tische Schicht 2 und die hartmagnetische Schicht 3 bilden so eine MTJ-Schichtfolge 4, deren elektrischer Widerstand von der Orientierung der magnetischen Momente in den beiden magnetischen Schichten 2 und 3 abhängt. Sind nämlich die Magnetisierungen in den beiden Schichten 2 und 3 parallel zu-
30 einander orientiert, so ist der Widerstand der MTJ-Schichtfolge 4 niedrig, während eine antiparallele Orientierung dieser Magnetisierungen einen höheren Widerstand der MTJ-Schichtfolge ergibt. Die Bestimmung des Zellinhaltes einer aus einer solchen MTJ-Schichtfolge gebildeten Speicher-
35 zelle wird dadurch gemessen, dass ein Strom I durch die MTJ-Schichtfolge 4 geschickt wird. Aus der Höhe dieses Stromes I

WO 02/059898

PCT/DE02/00207

2

kann dann geschlossen werden, ob die MTJ-Schichtfolge 4 im Zustand eines hohen Widerstandes (antiparallele Orientierung der Magnetisierungen) oder im Zustand eines niedrigen Widerstandes (parallele Orientierung der Magnetisierungen) ist.

5 Jedem dieser Zustände kann dann ein Informationsinhalt "0" bzw. "1" zugeordnet werden.

Dies ist in Fig. 6 schematisch dargestellt, in welcher auf der Abszisse das durch entsprechende Ströme in den Bitleitungen und Wortleitungen erzeugte Magnetfeld und auf der Ordinate der normierte Widerstandswert aufgetragen sind. Deutlich ist zu sehen, dass bei paralleler Orientierung der Magnetisierungen der Widerstand der MTJ-Schichtfolge 4 um etwa 15 % niedriger ist als bei antiparalleler Orientierung. Der parallelen Orientierung der Magnetisierung ist hier der Informationsinhalt "0" zugeordnet, während die antiparallele Orientierung der Magnetisierung den Informationsinhalt "1" hat. Selbstverständlich sind aber auch andere Zuordnungen möglich.

20 Das Einschreiben in aus MTJ-Schichtfolgen 4 bestehende Speicherzellen erfolgt, indem die Orientierung der magnetischen Momente kontrolliert eingestellt wird. Hierzu wird die Speicherzelle zwischen zwei elektrische Leiter, nämlich eine Bitleitung BL und eine Wortleitung WL platziert, wie dies in Fig. 7 dargestellt ist. Indem sodann geeignete Ströme durch diese Leitungen BL und WL geschickt werden, kann am Ort der MTJ-Schichtfolge 4, also in der aus dieser bestehenden Speicherzelle, ein Magnetfeld erzeugt werden, durch das die Richtung der magnetischen Momente, also insbesondere die Richtung der magnetischen Momente in der weichmagnetischen Schicht 2, eingestellt werden kann. Um diese Einstellbarkeit der magnetischen Momente in der weichmagnetischen Schicht 2 der MTJ-Schichtfolge 4 zu gewährleisten, ist es in der Regel ausreichend, wenn in einer der Leitungen BL und WL die Richtung des durch diese Leitung fließenden Stromes umgekehrt

WO 02/059898

PCT/DE02/00207

3

werden kann. Durch entsprechendes Umschalten der Richtung dieses Stromes ist es also möglich, zwischen paralleler und antiparalleler Orientierung der Magnetisierungen und damit zwischen einem niederohmigen und einem hochohmigen Zustand der Speicherzelle zu schalten.

In Fig. 8 ist der bereits erwähnte einfachste vorstellbare Aufbau einer MRAM-Anordnung dargestellt: MTJ-Schichtfolgen 4, die jeweils Speicherzellen bilden, liegen an den Kreuzungspunkten von jeweils parallel verlaufenden Wortleitungen WL1, WL2, WL3 und Bitleitungen BL1, BL2. Eine bestimmte Speicherzelle wird beschrieben, indem beispielsweise durch die Bitleitung BL2 und die Wortleitung WL3 entsprechende Ströme geschickt werden. An der Kreuzungsstelle der Bitleitung BL2 mit der Wortleitung WL3 (also in Fig. 8 ganz rechts) herrscht dann infolge dieser Ströme ein entsprechendes Magnetfeld, so dass die dort liegende MTJ-Schichtfolge bzw. die durch diese gebildete Speicherzelle entsprechend beschrieben wird.

Vorteilhaft an der in Fig. 8 gezeigten Anordnung ist deren hochdichte Gestaltung: pro Informationsinhalt bzw. Bit wird in vollkommen idealer Weise lediglich eine Fläche von $4 F^2$ benötigt, wobei F die "minimum feature size", also die kleinstmögliche Merkmalsgröße, der verwendeten Technologie bedeutet. Als großer Nachteil einer solchen Gestaltung einer MRAM-Anordnung ist aber anzusehen, dass beim Auslesen infolge der nur geringfügigen Unterschiede im Widerstandswert (etwa 15 %; vgl. oben) erhebliche parasitäre Ströme durch Nachbarzellen fließen, so dass eine solche MRAM-Anordnung insgesamt nur sehr langsam ausgelesen werden kann.

Um diesen Nachteil des langsamen und infolge der parasitären Ströme letztlich auch unsicheren Auslesens der MRAM-Anordnung von Fig. 8 zu vermeiden, wurde bereits ein in Fig. 9 skizzierter MRAM vorgeschlagen, bei dem jede einzelne

WO 02/059898

PCT/DE02/00207

4

Speicherzelle aus einer MTJ-Schichtfolge 4 und einem Auswahltransistor 5 besteht. Ein Einschreiben in eine durch eine Strichlinie 6 umgebene Speicherzelle erfolgt, indem durch die Wortleitung WL2 und die Bitleitung BL2 entsprechende Ströme geschickt werden. Dadurch wird die MTJ-Schichtfolge 4 dieser Speicherzelle in entsprechender Weise programmiert. Zum Auslesen werden Selectleitungen SL11 und SL13 so angesteuert, dass die mit diesen verbundenen Auswahltransistoren 5 alle gesperrt sind. Dagegen wird an eine Selectleitung SL12 eine solche Spannung angelegt, dass die mit dieser Leitung verbundenen Auswahltransistoren 5 leiten. Sodann wird an eine Selectleitung SL22 der Selectleitungen SL21 bis SL23 ein Lesesignal angelegt. Dieses fließt über die MTJ-Schichtfolge der durch die Strichlinie 6 umgebenen Speicherzelle, da nur der Auswahltransistor dieser Speicherzelle leitet, während alle anderen Auswahltransistoren der übrigen Speicherzellen gesperrt sind. Am Ausgang der Selectleitung SL22 kann somit ein den Zustand der MTJ-Schichtfolge 4 anzeigendes Signal, also ein Informationsinhalt "0" oder "1" erhalten werden.

Mit der MRAM-Anordnung der Fig. 9 können parasitäre Effekte benachbarter Speicherzellen praktisch ausgeschaltet werden. Somit ist die Zeit für einen Lesezugriff sehr klein. Nachteilhaft an dem MRAM von Fig. 9 ist jedoch, dass der Vorteil einer hochdichten Gestaltung verloren ist, da nur noch eine effektive Zellfläche von $8 F^2$ erreicht werden kann.

Um den obigen Konflikt zwischen Flächenbedarf (" F^2 ") einerseits und schnellem Lesezugriff ohne parasitäre Effekte andererseits zu lösen, wurde bei vollkommen anderen Speicheranordnungen, nämlich DRAM-Anordnungen (DRAM = dynamischer RAM) bereits daran gedacht, sogenannte geteilte bzw. "shared contacts" einzusetzen, bei denen ein Kontakt eines Auswahltransistors von mehreren, bevorzugt von zwei Speicherzellen benutzt und damit Fläche (" F^2 ") eingespart wird. Für MRAMs

WO 02/059898

PCT/DE02/00207

5

ist diese Lösung aber nicht anwendbar, so dass auch die obige Problematik bisher nicht gelöst wurde.

Es ist somit Aufgabe der vorliegenden Erfindung, eine MRAM-Anordnung zu schaffen, die bei minimalem Flächenbedarf einen raschen Lesezugriff erlaubt.

Diese Aufgabe wird bei einer MRAM-Anordnung der eingangs genannten Art erfindungsgemäß dadurch gelöst, dass in den Speicherzellen jeweils eine MTJ-Schichtfolge und die Drain-Source-Strecke eines Auswahltransistors parallel zueinander liegen, so dass die zweiten Selectleitungen durch die in Reihe zueinander liegenden Source-Drain-Strecken der Auswahltransistoren gebildet sind.

Bei der erfindungsgemäßen MRAM-Anordnung liegen also die Auswahltransistoren und die MTJ-Schichtfolgen der einzelnen Speicherzellen parallel zueinander. Diese Speicherzellen oder "Grundelemente" sind sodann zu Ketten zusammengefügt, wobei parallel zueinander verlaufende Ketten eine Speichermatrix bilden. Die Auswahl einer Kette in einer solchen Speichermatrix kann durch einen gesonderten Auswahltransistor erfolgen. Das heißt, jeder einzelnen Kette wird ein gesonderter Auswahltransistor an einem Ende von der Kette zugeordnet.

Das Einschreiben in die erfindungsgemäße MRAM-Anordnung erfolgt in üblicher Weise, indem an die gewünschten Wort- und Bitleitungen jeweils ein entsprechendes Signal angelegt wird. Beim Auslesen wird über die gesonderten Auswahltransistoren zunächst eine Kette der Speichermatrix festgelegt. Sodann werden alle Transistoren dieser Kette bis auf den Transistor der Speicherzelle, deren Zellinhalt gelesen werden soll, durchgeschaltet. Der Transistor der zu lesenden Speicherzelle bleibt also gesperrt. Wird sodann durch die Kette dieses zu lesenden Transistors ein Strom geschickt, so

WO 02/059898

PCT/DE02/00207

6

fließt der Strom allein durch die MTJ-Schichtfolge der zu lesenden Speicherzelle und durch alle Auswahltransistoren der übrigen Speicherzellen der Kette. Damit kann der Zellinhalt der zu lesenden Speicherzelle bestimmt werden.

5 Die erfindungsgemäße MRAM-Anordnung zeichnet sich durch einen geringen Flächenbedarf aus: in der Kette hat bei entsprechender Gestaltung eine Speicherzelle aus einer MTJ-Schichtfolge und einem parallel zu dieser liegenden Auswahltransistor eine effektive Zellfläche von $4 F^2$. Hierzu muss
10 der gesonderte Auswahltransistor einer Kette gezählt werden, der wiederum eine Fläche von $4 F^2$ benötigt. Damit ergibt sich für eine Kette mit N Speicherzellen eine effektive Zellfläche für jede Speicherzelle von $4 F^2 (N + 1)/N$.

15 Es sei angemerkt, dass im Falle von $N = 1$, also einer aus nur einer Speicherzelle bestehenden Kette, eine effektive Zellfläche von $8 F^2$ vorliegt, was genau der bisher bekannten Lösung aus einer Serienschaltung von einem Auswahltransistor
20 mit einer MTJ-Schichtfolge entspricht. Dies bedeutet, dass die Erfindung dann besonders vorteilhaft einsetzbar ist, wenn bei einer MRAM-Anordnung die Bedingung $N > 1$ vorliegt, was selbstverständlich für sämtliche in Speichermatrizen angeordnete Speicherzellen gilt.

25 Bei der vorliegenden Erfindung wird in vollkommen neuartiger Weise von dem bisher üblichen Prinzip einer Serienschaltung einer MTJ-Schichtanordnung und eines Auswahltransistors abgegangen und ein neuartiges Konzept vorgeschlagen, bei dem
30 die MTJ-Schichtfolge und der Auswahltransistor in jeder Speicherzelle parallel zueinander liegen und zu Ketten zusammengefügt sind.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher
35 erläutert. Es zeigen:

WO 02/059898

PCT/DE02/00207

7

- Fig. 1 ein schematisches Schaltbild einer Kette einer
MRAM-Anordnung gemäß der vorliegenden Erfindung,
- 5 Fig. 2 eine Speichermatrix einer MRAM-Anordnung gemäß
der vorliegenden Erfindung,
- Fig. 3 einen Schnitt eines Ausführungsbeispiels der er-
findungsgemäßen MRAM-Anordnung,
- 10 Fig. 4 eine Aufsicht auf die MRAM-Anordnung des Ausführ-
ungsbeispiels von Fig. 3,
- Fig. 5 eine MTJ-Schichtfolge in Perspektive,
- 15 Fig. 6 eine Darstellung zur Erläuterung des Speicherzu-
standes in einer MTJ-Schichtfolge gemäß Fig. 5,
- Fig. 7 eine Darstellung einer MTJ-Schichtfolge mit einer
Wortleitung und einer Bitleitung,
- 20 Fig. 8 eine Speichermatrix mit MTJ-Schichtfolgen gemäß
den Fig. 5 bis 7 und
- Fig. 9 eine Speichermatrix einer herkömmlichen MRAM-An-
25 ordnung.

Die Fig. 5 bis 9 sind bereits eingangs erläutert worden.

30 In den Figuren werden für einander entsprechende Bauteile
jeweils die gleichen Bezugszeichen verwendet.

Fig. 1 zeigt eine Kette einer MRAM-Anordnung nach einem Aus-
führungsbeispiel der vorliegenden Erfindung mit Auswahltran-
sistoren 5 und MTJ-Schichtfolgen 4, die jeweils parallel zu-
35 einander liegen. Das heißt, über den Drain-Source-Strecken
der Auswahltransistoren 5 liegt jeweils eine MTJ-

WO 02/059898

PCT/DE02/00207

8

Schichtfolge 4, welche ihrerseits in der Kette in Reihe zueinander geschaltet sind, wie dies auch für die Drain-Source-Strecken der Auswahltransistoren 5 gilt.

- 5 Fig. 2 zeigt ein Ausführungsbeispiel der erfindungsgemäßen MRAM-Anordnung. Hier liegen mehrere der in Fig. 1 gezeigten Ketten mit MTJ-Schichtfolgen 4 und Auswahltransistoren 5 parallel zueinander, wobei zusätzlich mit jeder Kette noch ein gesonderter Auswahltransistor 7 verbunden ist. Zusätzlich sind in Fig. 2 noch erste Selectleitungen SL1 sowie
- 10 Zeilen- bzw. Row-Selectleitungen RSL gezeigt, die jeweils durch die gesonderten Auswahltransistoren 7 und die Drain-Source-Strecken der Auswahltransistoren 5 gebildet sind.
- 15 Soll eine bestimmte Speicherzelle, beispielsweise eine Speicherzelle Z2 der in Fig. 1 gezeigten Kette ausgelesen werden, so wird zunächst der gesonderte Auswahltransistor 7 dieser Kette leitend geschaltet, während alle übrigen gesonderten Auswahltransistoren der Speichermatrix abgeschaltet bzw. nichtleitend verbleiben. Sodann wird in dieser Kette
- 20 durch Anlegen eines entsprechenden Signales an die der Speicherzelle Z2 zugeordnete Selectleitung SL1 der Auswahltransistor 5 der Speicherzelle Z2 nichtleitend geschaltet, während alle übrigen Auswahltransistoren 5 der Kette in den leitenden Zustand überführt werden. Damit liegt in der Kette ein Strompfad I1 vor, wie dieser in einer Volllinie mit Pfeil schematisch in Fig. 1 angedeutet ist. Dies bedeutet, der Widerstandszustand der MTJ-Schichtfolge der Speicherzelle Z2 kann ohne weiteres ausgelesen werden.
- 30 Das Einlesen erfolgt in die in den Fig. 1 und 2 gezeigte MRAM-Anordnung in üblicher Weise. Das heißt, die MTJ-Schichtfolgen 4 liegen jeweils zwischen Bitleitungen BL und Wortleitungen WL, wie dies in einem konkreten Ausführungsbeispiel in den Fig. 3 und 4 dargestellt ist, von denen die
- 35 Fig. 3 eine Schnittdarstellung und die Fig. 4 eine Aufsicht

WO 02/059898

PCT/DE02/00207

9

darstellen. Die neben diesen Figuren gezeigte Legende gilt dabei für beide Figuren.

Wie aus den Fig. 3 und 4 zu ersehen ist, liegen die MTJ-Schichtfolgen 4 zwischen Wortleitungen WL und diese senkrecht kreuzenden Bitleitungen BL. Indem entsprechende Ströme durch die Wortleitungen WL bzw. Bitleitungen BL geschickt werden, können an den Kreuzungsstellen von solchen Wortleitungen und Bitleitungen gelegene MTJ-Schichtfolgen 4 programmiert werden, wie dies oben erläutert wurde.

Das Auslesen erfolgt so, wie dies oben anhand der Fig. 1 und 2 beschrieben wurde: der gesonderte Auswahltransistor 7 der Kette mit der auszulesenden Speicherzelle wird leitend geschaltet, während alle anderen gesonderten Auswahltransistoren 7 gesperrt verbleiben. Sodann wird der Auswahltransistor 5 der auszulesenden Speicherzelle in dieser Kette durch entsprechende Ansteuerung der Selectleitung SL1 gesperrt bzw. nichtleitend geschaltet, während alle übrigen Auswahltransistoren dieser Kette durch entsprechende Ansteuerung ihrer Gates über die Selectleitungen SL1 in den leitenden Zustand überführt werden. In der Speicherzelle mit dem gesperrten Transistor, also in der auszulesenden Speicherzelle, fließt dann der Lesestrom über die Row-Selectleitung RSL, das heißt über die Drain-Source-Strecken der Auswahltransistoren der nicht ausgewählten Speicherzellen der Kette und über die MTJ-Schichtfolge 4 der ausgewählten Speicherzelle mit dem gesperrten Auswahltransistor 5. Auf diese Weise kann rasch und ohne parasitäre Ströme der Zellinhalt der ausgewählten Speicherzelle ausgelesen werden.

In den Fig. 3 und 4 sind auch die "minimum feature sizes" F der einzelnen Speicherzellen mit jeweils 2 F veranschaulicht.

WO 02/059898

PCT/DE02/00207

10

- Die Erfindung ermöglicht so eine einfach aufgebaute MRAM-Anordnung, die vollkommen von dem bisherigen Konzept einer Reihenschaltung von Auswahltransistor und Speicherzelle abgeht und statt dessen eine Parallelschaltung von Auswahl-
- 5 transistor und MTJ-Schichtfolge vorsieht. Durch diesen anderen Aufbau kann eine hohe Packungsdichte gewährleistet werden, so dass die oben angegebene Aufgabe der Erfindung in hervorragender Weise gelöst wird.
- 10 Wie aus Fig. 3 zu ersehen ist, verlaufen bei der erfindungsgemäßen MRAM-Anordnung die Bitleitungen BL oberhalb der Auswahltransistoren 5 und speziell oberhalb von deren Gate-Elektroden im Abstand von diesen.

WO 02/05988

11

PCT/DE02/00207

Bezugszeichenliste

1	Tunnelbarrierenschicht
2	weichmagnetische Schicht
3	hartmagnetische Schicht
4	MTJ-Schichtfolge
BL, BL1, BL2	Bitleitungen
WL, WL1, WL2, WL3	Wortleitungen
5	Auswahltransistor
6	Strichlinie
7	gesonderter Auswahltransistor
Z2	Speicherzelle

Patentansprüche

1. MRAM-Anordnung aus einer Vielzahl von in einer Speicher-
matrix angeordneten Speicherzellen (Z2), deren jede aus we-
nigstens einer MTJ-Schichtfolge (4) und einem Auswahltransi-
stor (5) besteht, von denen die MTJ-Schichtfolgen (4) je-
weils zwischen Wortleitungen (WL) und Bitleitungen (BL), die
im Abstand voneinander verlaufen, gelegen sind, die Auswahl-
transistoren (5) an ihren Gates zum Auslesen der Speicher-
zellen mit Selectleitungen (SL1) verbunden sind und die MTJ-
Schichtfolgen (4) an zweite Selectleitungen (RSL) ange-
schlossen sind,
da d u r c h g e k e n n z e i c h n e t ,
dass in den Speicherzellen (Z2) jeweils eine MTJ-
Schichtfolge (4) und die Drain-Source-Strecke eines Auswahl-
transistors (5) parallel zueinander liegen, so dass die
zweiten Selectleitungen (RSL) durch die in Reihe zueinander
liegenden Source-Drain-Strecken der Auswahltransistoren (5)
gebildet sind.
2. MRAM-Anordnung nach Anspruch 1,
da d u r c h g e k e n n z e i c h n e t ,
dass die zweiten Selectleitungen (RSL) einer Kette von Spei-
cherzellen in der Speichermatrix in Reihe zu gesonderten
Auswahltransistoren (7) liegen.
3. MRAM-Anordnung nach Anspruch 1 oder 2,
da d u r c h g e k e n n z e i c h n e t ,
dass die Auswahltransistoren (5) an ihren Gates mit den er-
sten Selectleitungen (SL1) verbunden sind.
4. MRAM-Anordnung nach einem der Ansprüche 1 bis 3,
da d u r c h g e k e n n z e i c h n e t ,
dass die Mindestabmessung einer Speicherzelle durch $4 F^2$ ge-
geben ist, wobei F die "minimum feature size" der verwen-
deten Technologie bedeutet.

WO 02/059898

13

PCT/DE02/00207

5. MRAM-Anordnung nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet,
dass die ersten Selectleitungen (SL1) über den Gates der
5 Auswahltransistoren (5) geführt sind.
6. MRAM-Anordnung nach Anspruch 4 oder 5,
dadurch gekennzeichnet,
dass die ersten Selectleitungen (SL1) und die Bitleitungen
10 parallel zueinander verlaufen.

WO 02/059898

PCT/DE02/00207

1/3

Fig. 1

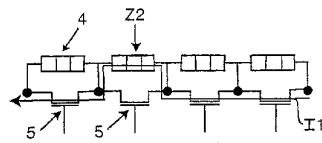


Fig. 2

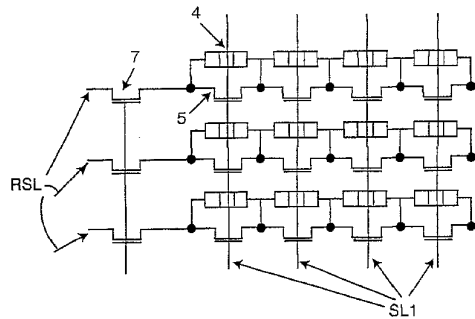
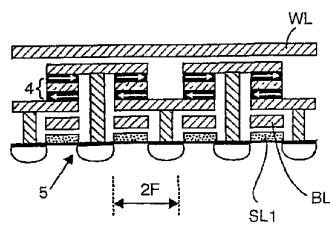







Fig. 3



Legende

-  Metall
-  Magnetschicht (2, 3)
-  Tunnelbarriere (1)
-  Kontakt (8)
-  Diffusion
-  Gate (SL1)

WO 02/059898

PCT/DE02/00207

2/3

Fig. 4

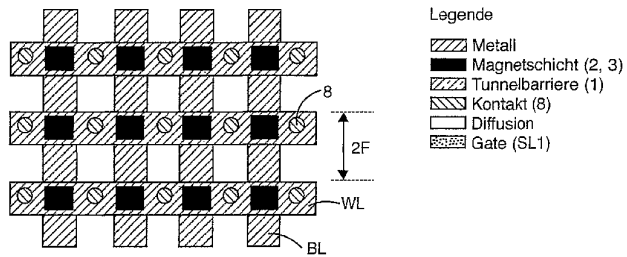


Fig. 5

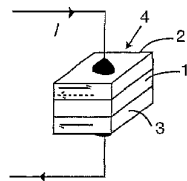
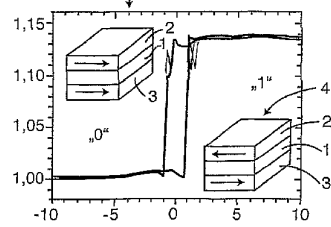


Fig. 6



WO 02/059898

PCT/DE02/00207

3/3

Fig. 7

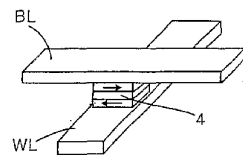


Fig. 8

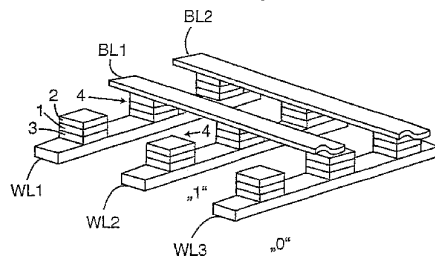
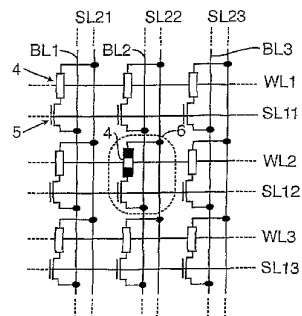


Fig. 9



【国際公開パンフレット（コレクトバージョン）】

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
1. August 2002 (01.08.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/059898 A3

(51) Internationale Patentklassifikation: G11C 11/16

(74) Anwalt: KOTTMANN, Dieter, Müller, Hoffmann &
Partner, Innere Wiener Str. 17, 81667 München (DE).

(21) Internationales Aktenzeichen: PCT/DE02/00207

(81) Bestimmungsstaaten (national): CN, JP, KR, US.

(22) Internationales Anmeldedatum:
23. Januar 2002 (23.01.2002)

(84) Bestimmungsstaaten (regional): europäisches Patent
(DE, FR, GB, IE, IT).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

Veröffentlicht:

mit internationalem Recherchenbericht
vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

(30) Angaben zur Priorität:
101 03 313.3 25. Januar 2001 (25.01.2001) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(88) Veröffentlichungsdatum des internationalen
Recherchenberichts: 26. September 2002

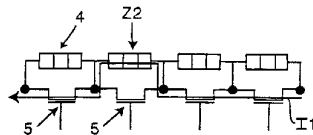
(72) Erfinder: und
(75) Erfinder/Anmelder (nur für US): FREITAG, Martin
[DE/DE]; Haberstr. 11, 80337 München (DE). ROEHR,
Thomas [DE/JP]; 70 Mameguchidai, Naka-ku, Yokohama
City, 231-0838 (JP).

Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.



(54) Title: MRAM ARRANGEMENT

(54) Bezeichnung: MRAM-ANORDNUNG



(57) Abstract: The invention relates to an MRAM
arrangement in which the selection transistors (5) and the
MTJ layer sequences (4) lie parallel to each other in a cell.
A considerable space saving can thus be achieved.

(57) Zusammenfassung: Die Erfindung betrifft eine
MRAM-Anordnung, bei der die Auswahltransistoren
(5) und die MTJ-Schichtfolgen (4) in einer Zelle jeweils
parallel zueinander liegen. Dadurch lässt sich eine
beträchtliche Flächeneinsparung erzielen.

WO 02/059898 A3

【手続補正書】

【提出日】平成15年1月17日(2003.1.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

記憶マトリックスに配置されている複数の記憶セル(Z 2)を備えている M R A M 構造であり、上記記憶セルの各々は、少なくとも1つの M T J 層配列(4)、および、選択トランジスタ(5)を備えており、 M T J 層配列(4)は、相互に間隔を開けて延びているワード線(W L)とビット線(B L)との間にそれぞれ配置されており、選択トランジスタ(5)は、当該選択トランジスタのゲートにおいて、記憶セルを読み出すためのセレクト配線(S L 1)と接続されており、記憶セル(Z 2)において、 M T J 層配列(4)と選択トランジスタ(5)のドレインソース経路とがそれぞれ相互に並列に配置されている M R A M 構造であって、

上記セレクト配線(S L 1)は、選択トランジスタ(5)のゲートを介して備えられており、ビット線に対して平行に延びていることを特徴とする M R A M 構造。

【請求項2】

上記記憶マトリックスにおいて、一連の記憶セルの選択トランジスタ(5)のソースドレイン経路は、別個の選択トランジスタ(7)に対して直列に配置されていることを特徴とする請求項1に記載の M R A M 構造。

【請求項3】

上記選択トランジスタ(5)は、当該選択トランジスタのゲートにおいて、セレクト配線(S L 1)と接続されていることを特徴とする請求項1または2に記載の M R A M 構造。

【請求項4】

上記記憶セルの最小寸法は、 $4F_2$ により規定されており、当該 F は、使用されるテクノロジーの「最小特徴寸法」であることを特徴とする請求項1～3のいずれか1項に記載の M R A M 構造。

【請求項5】

上記第1セレクト配線(S L 1)は、選択トランジスタ(5)のゲートの上方に設けられていることを特徴とする請求項1～4のいずれか1項に記載の M R A M 構造。

【請求項6】

上記第1セレクト配線(S L 1)、および上記ビット線は、相互に平行に設けられていることを特徴とする請求項4または5に記載の M R A M 構造。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/DE 02/00207
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 611C11/16		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 611C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 894 447 A (TAKASHIMA DAISABURO) 13 April 1999 (1999-04-13) column 22, line 36 -column 23, line 58 -----	1-6
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance. "E" earlier document but published on or after the international filing date. "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified). "O" document referring to an oral disclosure, use, exhibition or other means. "P" document published prior to the international filing date but later than the priority date claimed. "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention. "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone. "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "S" document member of the same patent family.		
Date of the actual completion of the international search 15 August 2002		Date of mailing of the international search report 22/08/2002
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl. Fax. (+31-70) 340-2016		Authorized officer Degraeve, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		International Application No.	
Information on patent family members		PCT/DE 02/00207	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5894447	A	JP 10106255 A	24-04-1998
		JP 11039858 A	12-02-1999

Form PCT/ISA(210) (patent family annex) (July 1998)

INTERNATIONALER RESEARCHENBERICHT		Internationale Aktenzeichen PCT/DE 02/00207
A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 611C11/16		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RESEARCHIERTE GEBIETE Researchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 611C		
Researchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die researchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN Kategorie* Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile Betr. Anspruch Nr.		
X	US 5 894 447 A (TAKASHIMA DAISABURO) 13. April 1999 (1999-04-13) Spalte 22, Zeile 36 - Spalte 23, Zeile 58 -----	1-6
<input type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Researchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgedr.) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Aussetzung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist ** Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist ** Vorveröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden ** Vorveröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *X* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absenddatum des internationalen Researchenberichts
15. August 2002		22/08/2002
Name und Postanschrift der internationalen Researchenbehörde Europäisches Patentamt, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-3040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Bovollmächtigter Beauftragter Degraeve, L

INTERNATIONALER RECHERCHENBERICHT				Internationales Aktenzeichen	
Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören				PCT/DE 02/00207	
Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung		
US 5894447 A	13-04-1999	JP 10106255 A	24-04-1998		
		JP 11039858 A	12-02-1999		

Formblatt PCT/ISA210 (Arbeits-Patentfamilie), Juli 1992

フロントページの続き

(72)発明者 ロエール, トーマス

神奈川県横浜市中区豆口台 7 0

F ターム(参考) 5F083 FZ10 GA01 GA09 KA01 KA05 LA01 LA12 LA16 LA21 MA06
MA19