

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-510656
(P2010-510656A)

(43) 公表日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 3 1	5 F 0 8 3
HO 1 L 21/329 (2006.01)	HO 1 L 29/91 A	

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

(21) 出願番号 特願2009-537188 (P2009-537188)
 (86) (22) 出願日 平成19年11月13日 (2007.11.13)
 (85) 翻訳文提出日 平成21年6月11日 (2009.6.11)
 (86) 国際出願番号 PCT/US2007/023855
 (87) 国際公開番号 W02008/060543
 (87) 国際公開日 平成20年5月22日 (2008.5.22)
 (31) 優先権主張番号 11/560, 283
 (32) 優先日 平成18年11月15日 (2006.11.15)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/560, 289
 (32) 優先日 平成18年11月15日 (2006.11.15)
 (33) 優先権主張国 米国 (US)

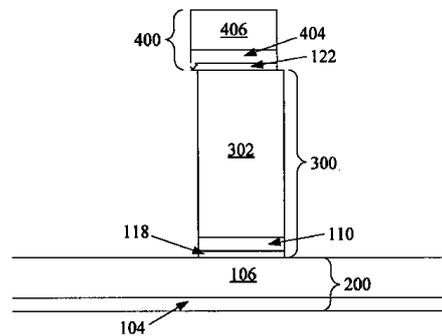
(71) 出願人 507318624
 サンディスク スリーディー, エルエルシー
 アメリカ合衆国、95035、カリフォルニア州、ミルピタス、マッカシー ブルバード 601
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 ハーナー, エス. ブラッド
 アメリカ合衆国、95125、カリフォルニア州、サンノゼ、マイルドレッド アベニュー 1289

最終頁に続く

(54) 【発明の名称】 誘電性アンチヒューズと直列にシリサイドに隣接して結晶化されたP-I-Nダイオードおよびその形成方法

(57) 【要約】

プログラミング電圧が低減された不揮発性の一度だけプログラム可能なメモリセルを形成する方法を記載する。隣接するp-i-nダイオードは、約8より大きな誘電率を有する高誘電率材料からなる誘電性遮断アンチヒューズと組み合わせられる。好ましい実施形態では、高誘電率材料は、原子層成長法によって形成される。ダイオードは、シリサイドに接して結晶化された堆積された低欠陥半導体材料からなることが好ましい。そのようなセルのモノリシックな3次元メモリアレイは、ウェハ基板上に積層メモリレベルで形成されることができる。



【特許請求の範囲】

【請求項 1】

半導体装置であって、
シリサイド層、ジャーマナイド層またはシリサイド - ジャーマナイド層に隣接して結晶化され、堆積された半導体材料からなる隣接する p - i - n ダイオードと、
ダイオードを有する電氣的に直列に配置され、8 より大きい誘電率を有する誘電体を含む誘電性遮断アンチヒューズと、
を含む半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、
半導体材料は、多結晶である半導体装置。

10

【請求項 3】

請求項 1 記載の半導体装置において、
誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 $ZrSiO_x$ 、 $AlSiO_x$ 、 $HfSiO_x$ 、 $HfAlO_x$ 、 $HfSiON$ 、 $ZrSiAlO_x$ 、 $HfSiAlO_x$ 、 $HfSiAlON$ および $ZrSiAlON$ からなる群から選択される半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、
誘電体は、 HfO_2 または Al_2O_3 である半導体装置。

20

【請求項 5】

請求項 1 記載の半導体装置において、
シリサイド層、シリサイド - ジャーマナイド層またはジャーマナイド層は、(a) チタンシリサイド、チタンシリサイド - ジャーマナイド、またはチタンジャーマナイド、または (b) コバルトシリサイド、コバルトシリサイド - ジャーマナイド、またはコバルトジャーマナイドである半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、
半導体材料は、シリコン、ゲルマニウムおよび / またはシリコン - ゲルマニウム合金を含む半導体装置。

30

【請求項 7】

請求項 6 記載の半導体装置において、
隣接する p - i - n ダイオードは、隣接する p - i - n ダイオードの下の下部導電体と隣接する p - i - n ダイオードの上の上部導電体との間で垂直に配向され配置され、
誘電性遮断アンチヒューズは、隣接する p - i - n ダイオードと上部導電体との間、または隣接する p - i - n ダイオードと下部導電体との間に配置される半導体装置。

【請求項 8】

請求項 7 記載の半導体装置において、
上部導電体または下部導電体は、シリコン層を含まない半導体装置。

【請求項 9】

請求項 7 記載の半導体装置において、
シリサイド層、シリサイド - ジャーマナイド層またはジャーマナイド層は、隣接する p - i - n ダイオードの上であり、
誘電性遮断アンチヒューズは、隣接する p - i - n ダイオードの下にある半導体装置。

40

【請求項 10】

請求項 7 記載の半導体装置において、
誘電性遮断アンチヒューズは、約 50 以下の厚みである半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、
誘電性遮断アンチヒューズは、約 20 以下の厚みである半導体装置。

50

【請求項 12】

請求項 10 記載の半導体装置において、
誘電性遮断アンチヒューズは、原子層成長法によって形成される半導体装置。

【請求項 13】

請求項 10 記載の半導体装置において、
誘電性遮断アンチヒューズの一部は、絶縁破壊を受けて、隣接する p - i - n ダイオードと上部導電体との間、または隣接する p - i - n ダイオードと下部導電体との間で、誘電性遮断アンチヒューズを通る導電性パスを形成する半導体装置。

【請求項 14】

請求項 6 記載の半導体装置において、
下部導電体、隣接する p - i - n ダイオードおよび上部導電体は、すべて、半導体基板の上に形成される半導体装置。

10

【請求項 15】

請求項 6 記載の半導体装置において、
隣接する p - i - n ダイオードは、支柱の形態である半導体装置。

【請求項 16】

請求項 1 記載の半導体装置において、
シリサイド層、シリサイド - ジーマナイド層またはジーマナイド層は、完成装置内に存在しない半導体装置。

【請求項 17】

第 1 のメモリレベルであって、
基板上に形成された複数の第 1 の実質的に平行で実質的に共平面の導電体と、
第 1 の導電体上に形成された複数の第 2 の実質的に平行で実質的に共平面の導電体と、
シリサイド層、シリサイド - ジーマナイド層またはジーマナイド層に隣接して結晶化された半導体材料を含む、複数の垂直に配向された隣接する p - i - n ダイオードと、
約 8 より大きな誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、
それぞれが、隣接する p - i - n ダイオードのうちの 1 つと、および誘電性遮断アンチヒューズのうちの 1 つとを含む複数のメモリセルと、を含み、

20

各隣接する p - i - n ダイオードは、第 1 の導電体のうちの 1 つと第 2 の導電体のうちの 1 つとの間に配置され、

30

各誘電性遮断アンチヒューズは、第 1 の導電体のうちの 1 つと隣接する p - i - n ダイオードのうちの 1 つとの間、または第 2 の導電体のうちの 1 つと隣接する p - i - n ダイオードのうちの 1 つとの間に配置される第 1 のメモリレベル。

【請求項 18】

請求項 17 記載の第 1 のメモリレベルにおいて、
誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される第 1 のメモリレベル。

【請求項 19】

請求項 17 記載の第 1 のメモリレベルにおいて、
半導体材料は、シリコン、ゲルマニウムおよび / またはシリコン - ゲルマニウム合金を含む第 1 のメモリレベル。

40

【請求項 20】

請求項 17 記載の第 1 のメモリレベルにおいて、
誘電性遮断アンチヒューズは、隣接する p - i - n ダイオードの下に配置される第 1 のメモリレベル。

【請求項 21】

請求項 17 記載の第 1 のメモリレベルにおいて、
誘電性遮断アンチヒューズは、隣接する p - i - n ダイオードの下に配置され、シリサ

50

イド層、シリサイド - ジャーマナイド層またはジャーマナイド層は、隣接する p - i - n ダイオード上に配置される第 1 のメモリレベル。

【請求項 2 2】

請求項 1 7 記載の第 1 のメモリレベルにおいて、
少なくとも第 2 のメモリレベルが、第 1 のメモリレベル上にモノリシックに形成される第 1 のメモリレベル。

【請求項 2 3】

基板上に形成されたモノリシックな 3 次元メモリアレイであって、
(a) 基板上にモノリシックに形成され、(i) 第 1 の方向に延在する複数の第 1 の実質的に平行で実質的に共平面の導電体と、(i i) 第 1 の方向と異なる第 2 の方向に延在し、第 1 の導電体上にある、複数の第 2 の実質的に平行で実質的に共平面の導電体と、(i i i) それぞれが第 1 の導電体のうちの 1 つと第 2 の導電体のうちの 1 つとの間に垂直に配置され、シリサイド層、シリサイド - ジャーマナイド層またはジャーマナイド層に隣接して結晶化され、堆積された半導体材料からなる複数の垂直に配向された隣接する p - i - n ダイオードと、(i v) 8 より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、(v) それぞれが、ダイオードのうちの 1 つと、直列に配置された誘電性遮断アンチヒューズのうちの 1 つと、を含む複数のメモリセルと、を含む第 1 のメモリレベルと、

10

(b) 第 1 のメモリレベル上にモノリシックに形成された第 2 のメモリレベルと、
を含むモノリシックな 3 次元メモリアレイ。

20

【請求項 2 4】

請求項 2 3 記載のモノリシックな 3 次元メモリアレイにおいて、
誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択されるモノリシックな 3 次元メモリアレイ。

【請求項 2 5】

不揮発性メモリセルを形成し、プログラムする方法であって、
堆積された半導体材料を含む隣接する p - i - n ダイオードを形成するステップと、
堆積された半導体材料に接してシリサイド、シリサイド - ジャーマナイドまたはジャーマナイドの層を形成するステップと、
シリサイド、シリサイド - ジャーマナイドまたはジャーマナイドの層に接して、堆積された半導体材料を結晶化させるステップと、
8 より大きい誘電率を有する誘電体の層を形成するステップと、
誘電体の層の一部を絶縁破壊にさらすステップと、を含み、
メモリセルは、隣接する p - i - n ダイオードおよび誘電体の層を含む方法。

30

【請求項 2 6】

請求項 2 5 記載の方法において、
誘電体の層は、原子層成長法によって堆積される方法。

【請求項 2 7】

請求項 2 5 記載の方法において、
誘電体の層は、厚みが 50 以下である方法。

40

【請求項 2 8】

請求項 2 7 記載の方法において、
誘電体の層は、厚みが 20 以下である方法。

【請求項 2 9】

請求項 2 5 記載の方法において、
誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる

50

群から選択される方法。

【請求項 30】

請求項 29 記載の方法において、
誘電体は、 HfO_2 または Al_2O_3 である方法。

【請求項 31】

請求項 25 記載の方法において、
堆積された半導体材料は、シリコン、ゲルマニウムまたはシリコン - ゲルマニウム合金を含む方法。

【請求項 32】

請求項 25 記載の方法において、
シリサイド、シリサイド - ジャーマナイドまたはジャーマナイドは、(a) チタンシリサイド、チタンシリサイド - ジャーマナイドまたはチタンジャーマナイド、または (b) コバルトシリサイド、コバルトシリサイド - ジャーマナイドまたはコバルトジャーマナイドである方法。

10

【請求項 33】

請求項 25 記載の方法において、
隣接する p - i - n ダイオードは、第 1 の導電体と第 2 の導電体との間に配置され、誘電体の層は、(a) 隣接する p - i - n ダイオードと第 1 の導電体との間、または (b) 隣接する p - i - n ダイオードと第 2 の導電体との間に配置される方法。

20

【請求項 34】

請求項 33 記載の方法において、
第 1 の導電体と第 2 の導電体との間にプログラミング電圧を印加することによって、誘電層の一部を絶縁破壊にさすステップが達成される方法。

【請求項 35】

請求項 34 記載の方法において、
プログラミング電圧は、約 8 V を超えない方法。

【請求項 36】

請求項 33 記載の方法において、
隣接する p - i - n ダイオードは、垂直に配向され、第 1 の導電体と第 2 の導電体との間に垂直に配置され、第 2 の導電体は、第 1 の導電体上にある方法。

30

【請求項 37】

請求項 36 記載の方法において、
隣接する p - i - n ダイオードを形成するステップは、
第 1 の導電体を形成するステップと、
第 1 の導電体を形成するステップ後に、第 1 の導電体上に半導体積層を堆積するステップと、
単独のパターン化ステップで支柱の形態で、半導体積層をパターン化しエッチングするステップと、
半導体積層をパターン化およびエッチングするステップ後に、支柱上に第 2 の導電体を形成するステップと、を含み、
装置の完成後、隣接する p - i - n ダイオードは、支柱内に配置される方法。

40

【請求項 38】

請求項 25 記載の方法において、
誘電体の層の一部を絶縁破壊にさすステップの間にメモリセルがプログラムされる方法。

【請求項 39】

請求項 25 記載の方法において、
半導体材料は、多結晶である方法。

【請求項 40】

基板上に第 1 のメモリレベルをモノリシックに形成する方法であって、

50

第1の方向に延在する、複数の第1の実質的に平行で実質的に共平面の導電体を基板上に形成するステップと、

第1の導電体上に複数の垂直に配向され、シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層に接して結晶化された半導体材料を含む隣接するp-i-nダイオードを形成するステップと、

それぞれが第1の導電体のうちの1つと第2の導電体のうちの1つとの間に垂直に配置される隣接するp-i-nダイオード上にあり、第1の方向と異なる第2の方向に延在する、複数の第2の実質的に平行で実質的に共平面の導電体を形成するステップと、

それぞれが、隣接するp-i-nダイオードのうちの1つと第1の導電体のうちの1つとの間、または隣接するp-i-nダイオードのうちの1つと第2の導電体のうちの1つとの間に配置された、複数の誘電性遮断アンチヒューズを形成するステップと、を含み、誘電性遮断アンチヒューズは、約8より大きな誘電率を有する誘電体を含む方法。

10

【請求項41】

請求項40記載の方法において、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される方法。

【請求項42】

請求項40記載の方法において、

半導体材料は、シリコン、ゲルマニウムおよび/またはシリコン-ゲルマニウム合金を含む方法。

20

【請求項43】

請求項40記載の方法において、

(a) 誘電性遮断アンチヒューズは、ダイオードの下に配置され、シリサイド、シリサイド-ジャーマナイドまたはジャーマナイド層は、ダイオード上に配置される方法。

【請求項44】

請求項40記載の方法において、

基板は、単結晶シリコンを含む方法。

【請求項45】

請求項40記載の方法において、

少なくとも第2のメモリレベルは、第1のメモリレベル上にモノリシックに形成される方法。

30

【請求項46】

モノリシックな3次元メモリアレイを基板上に形成する方法であって、

(a) 基板上に、(i) 第1の方向に延在する複数の第1の実質的に平行で実質的に共平面の導電体を形成するステップと、(ii) 第1の方向と異なる第2の方向に延在し、第1の導電体上にある複数の第2の実質的に平行で実質的に共平面の導電体を形成するステップと、(iii) シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層に接して結晶化され、堆積された半導体材料からなり、それぞれが第1の導電体のうちの1つと第2の導電体のうちの1つとの間に垂直に配置された、複数の垂直に配向された隣接するp-i-nダイオードを形成するステップと、(iv) 8より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズを形成するステップと、(v) それぞれがダイオードのうちの1つと直列に配置された誘電性遮断アンチヒューズのうちの1つを含む、複数のメモリセルを形成するステップと、を含む方法により形成される第1のメモリレベルをモノリシックに形成するステップと、

40

(b) 第1のメモリレベル上に第2のメモリレベルをモノリシックに形成するステップと、

を含む方法。

【請求項47】

50

請求項46記載の方法において、

誘電体は、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON からなる群から選択される方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、導電体間で直列に電氣的に形成されたダイオードと誘電性遮断アンチヒューズとを含む不揮発性メモリセルに関する。一般的に、そのようなメモリセルをプログラム

10

【背景技術】

【0002】

関連出願

本願は、2006年11月15日に出願された「P-I-N Diode Crystallized Adjacent to a Silicide in Series with a Dielectric Antifuse」という米国特許出願第11/560,289号(特許文献1)、および2006年11月15日に出願された「Method for Making a P-I-N Diode Crystallized Adjacent to a Silicide in Series with a Dielectric Antifuse」という米国特許出願第11/560,283号(特許文献2)に基づいて優先権主張し、それぞれがあらゆる目的のためにその全体が本願明細書において参照

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許出願第11/560,289号

【特許文献2】米国特許出願第11/560,283号

【特許文献3】米国特許第6,952,030号

【特許文献4】米国特許出願第10/955,549号

【特許文献5】米国特許出願第11/148,530号

【特許文献6】米国特許出願第11/125,606号

【特許文献7】米国特許出願第10/728,436号

【特許文献8】米国特許出願第10/815,312号

【特許文献9】米国特許出願第11/496,986号

【特許文献10】米国特許第5,915,167号

【特許文献11】米国特許出願第11/444,936号

【非特許文献】

【0004】

【非特許文献1】McPherson et al, "Proposed universal relationship between dielectric breakdown and dielectric constant," Proceedings of 2002 IEDM, pp. 633-636

【発明の概要】

40

【0005】

本発明は、次の特許請求の範囲によって定義され、この欄の何れも、それらの特許請求の範囲を限定するものとして見なされるべきではない。本発明は、一般的に、高誘電率アンチヒューズ材料からなる誘電性遮断アンチヒューズと、低抵抗半導体材料からなる半導体ダイオードと、を含む不揮発性メモリセルを対象とする。

【0006】

本発明の第1の態様は、不揮発性メモリセルを形成し、プログラムする方法を提供し、この方法は、堆積された半導体材料を含む隣接するp-i-nダイオードを形成するステップと、堆積された半導体材料に接して、シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層を形成するステップと、シリサイド層、シリサイド-ジャーマナ

50

イド層またはジャーマナイド層に接して、堆積された半導体材料を結晶化させるステップと、8より大きい誘電率を有する誘電体の層を形成するステップと、誘電体の層の一部を絶縁破壊にさらすステップと、を含み、メモリセルは、隣接するp-i-nダイオードと、誘電体の層と、を含む。

【0007】

本発明の他の態様は、基板上に形成された複数の第1の実質的に平行で実質的に共平面の導電体と、第1の導電体上に形成された複数の第2の実質的に平行で実質的に共平面の導電体と、シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層に隣接して結晶化された半導体材料を含む、複数の垂直に配向された隣接するp-i-nダイオードと、約8より大きな誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、を含み、各隣接するp-i-nダイオードは、第1の導電体のうちの1つと第2の導電体のうちの1つとの間に配置され、各誘電性遮断アンチヒューズは、第1の導電体のうちの1つと隣接するp-i-nダイオードのうちの1つ、または第2の導電体のうちの1つと隣接するp-i-nダイオードのうちの1つとの間に配置され、複数のメモリセルは、それぞれが、隣接するp-i-nダイオードのうちの1つと、誘電性遮断アンチヒューズのうちの1つと、を含む、第1のメモリレベルを提供する。

10

【0008】

本発明の好ましい実施形態は、基板上に形成されたモノリシックな3次元メモリアレイを提供し、このメモリアレイは、(a)基板上にモノリシックに形成され、(i)第1の方向に延在する複数の第1の実質的に平行で実質的に共平面の導電体と、(ii)第1の方向と異なる第2の方向に延在し、第1の導電体上にある複数の第2の実質的に平行で実質的に共平面の導電体と、(iii)シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層に隣接して結晶化され、堆積された半導体材料からなり、それぞれが第1の導電体のうちの1つと第2の導電体のうちの1つとの間に垂直に配置された、複数の垂直に配向された隣接するp-i-nダイオードと、(iv)8より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズと、(v)それぞれがダイオードのうちの1つと、直列に配置された誘電性遮断アンチヒューズのうちの1つと、を含む複数のメモリセルと、を含む、第1のメモリレベルと、(b)第1のメモリレベル上にモノリシックに形成された第2のメモリレベルと、を含む。

20

【0009】

本発明の他の態様は、半導体材料を含む隣接するp-i-nダイオードと、隣接するp-i-nダイオードの半導体材料に接するシリサイド層またはシリサイド-ジャーマナイド層と、8以上の誘電率を有する誘電体を含む誘電性遮断アンチヒューズと、を含み、隣接するp-i-nダイオードおよび誘電性遮断アンチヒューズは、第1の導電体と第2の導電体との間で電氣的に直列に配置されている装置を提供する。

30

【0010】

本発明のさらなる他の態様は、不揮発性メモリセルを形成し、プログラムする方法を提供し、この方法は、堆積された半導体材料を含む隣接するp-i-nダイオードを形成するステップと、堆積された半導体材料に接して、シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層を形成するステップと、シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層に接して、堆積された半導体材料を結晶化させるステップと、8より大きい誘電率を有する誘電体の層を形成するステップと、誘電体の層の一部を絶縁破壊にさらすステップと、を含み、メモリセルは、隣接するp-i-nダイオードおよび誘電体の層を含む。

40

【0011】

本発明のさらなる態様は、基板上に第1のメモリレベルをモノリシックに形成する方法を提供し、この方法は、第1の方向に延在する複数の第1の実質的に平行で実質的に共平面の導電体を基板上に形成するステップと、シリサイド層、シリサイド-ジャーマナイド層またはジャーマナイド層に接して結晶化された半導体材料を含む、複数の垂直に配向された隣接するp-i-nダイオードを第1の導電体上に形成するステップと、隣接するp

50

- i - n ダイオード上にあり、第 1 の方向と異なる第 2 の方向に延在する複数の第 2 の実質的に平行で実質的に共平面の導電体を形成し、各隣接する p - i - n ダイオードは、第 1 の導電体のうちの 1 つと第 2 の導電体のうちの 1 つとの間で垂直に配置されるステップと、それぞれが、隣接する p - i - n ダイオードのうちの 1 つと、第 1 の導電体のうちの 1 つとの間、または隣接する p - i - n ダイオードのうちの 1 つと、第 2 の導電体のうちの 1 つとの間に配置された複数の誘電性遮断アンチヒューズを形成するステップと、を含み、誘電性遮断アンチヒューズは、誘電体を含み、誘電率は、約 8 より大きな誘電率を有する。

【 0 0 1 2 】

本発明の好ましい実施形態は、モノリシックな 3 次元メモリアレイを基板上に形成する方法を提供し、この方法は、(a) 基板上に、(i) 第 1 の方向に延在する複数の第 1 の実質的に平行で実質的に共平面の導電体を形成するステップと、(i i) 第 1 の方向と異なる第 2 の方向に延在し、第 1 の導電体上にある複数の第 2 の実質的に平行で実質的に共平面の導電体を形成するステップと、(i i i) シリサイド層、シリサイド - ジャーマナイド層またはジャーマナイド層に接して結晶化され、堆積された半導体材料からなり、それぞれが第 1 の導電体のうちの 1 つと第 2 の導電体のうちの 1 つとの間に垂直に配置された、複数の垂直に配向された隣接する p - i - n ダイオードを形成するステップと、(i v) 8 より大きい誘電率を有する誘電体からなる複数の誘電性遮断アンチヒューズを形成するステップと、(v) それぞれがダイオードのうちの 1 つと、直列に配置された誘電性遮断アンチヒューズのうちの 1 つを含む、複数のメモリセルを形成するステップと、を含む方法により形成される第 1 のメモリレベルをモノリシックに形成するステップと、(b) 第 1 のメモリレベル上に第 2 のメモリレベルをモノリシックに形成するステップと、を含む。

【 0 0 1 3 】

本願明細書で説明する本発明の態様および実施形態の各々は、単独でまたは互いに組み合わせ使用することができる。

以下に、好ましい態様および実施形態を、添付図面を参照して説明する。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 米国特許第 6 , 9 5 2 , 0 3 0 号 (特許文献 3) のメモリセルの斜視図である。

【 図 2 】 メモリセルを含むメモリレベルの斜視図である。

【 図 3 】 クロスポイントアレイにおいて、半選択セル H、F および未選択セル U の不注意なプログラミングを回避しながら、選択セル S をプログラムするためのバイアススキームを示す回路図である。

【 図 4 】 クロスポイントアレイにおいて、低減されたプログラミング電圧で、選択セル S、半選択セル H、F、未選択セル U にわたる電圧を示す回路図である。

【 図 5 】 本発明の好ましい実施形態によって形成されたメモリセルの横断面図である。

【 図 6 】 本発明の他の実施形態によって形成されたメモリセルの横断面図である。

【 図 7 】 本発明のさらに他の実施形態によって形成されたメモリセルの横断面図である。

【 図 8 a 】 本発明の好ましい実施形態によって形成されたモノリシックな 3 次元メモリアレイの第 1 のメモリレベルの形成における段階を示す横断面図である。

【 図 8 b 】 本発明の好ましい実施形態によって形成されたモノリシックな 3 次元メモリアレイの第 1 のメモリレベルの形成における段階を示す横断面図である。

【 図 8 c 】 本発明の好ましい実施形態によって形成されたモノリシックな 3 次元メモリアレイの第 1 のメモリレベルの形成における段階を示す横断面図である。

【 発明を実施するための形態 】

【 0 0 1 5 】

図 1 は、Hermer らの「High-density three-dimensional memory cell」という米国特許第 6 , 9 5 2 , 0 3 0 号 (特許文献 3) (以下、' 0 3 0 特許) に記載されたメモリセルの実施形態を示す。この不揮発性メモリセルでは、支柱 3 0 0 は、ダイオード 3 0 2 と誘

電性遮断アンチヒューズ118とを含み、上部導電体400と下部導電体200との間に電氣的に直列に配置されている。このメモリセルの初期状態において、読み出し電圧が上部導電体400と下部導電体200との間に印加される場合、それらの間に微小電流が流れる。比較的大きなプログラミング電流を印加すると、プログラミング後にさらに多くの電流が同じ読み出し電圧で流れるように、図1のメモリセルが永久に変えられる。同じ印加読み出し電圧下におけるこの電流差によって、プログラムされたセルが、プログラムされていないセルと識別されることが可能となり、例えば、データ「0」は、データ「1」と識別される。

【0016】

Herterらの2004年9月29日に出願された「Nonvolatile Memory Cell Without a Dielectric Antifuse Having High- and Low-Impedance States」という米国特許出願第10/955,549号(特許文献4)(以下、'549出願)、およびHerterらの2005年6月8日に出願された「Nonvolatile Memory Cell Operating by Increasing Order in Polycrystalline Semiconductor Material」という米国特許出願第11/148,530号(特許文献5)(以下、'530出願)(両者は、本発明の譲受人によって所有され、その全体が本願明細書において参照により援用されている)に詳細に説明されるように、ダイオード302は、初期のプログラムされていない装置において、比較的高い抵抗状態にある半導体材料からなる。ダイオード302にわたってプログラミング電圧を印加すると、高抵抗状態から低抵抗状態に半導体材料が変えられる。

【0017】

図1に示すもののようなセルでは、プログラミング電圧は、2つのタスクを行なわなければならない。プログラミング電圧は、ダイオード302の半導体材料を高抵抗状態から低抵抗状態に変換しなければならない。少なくとも1つの導電性パスが誘電性遮断アンチヒューズ118を介して永久に形成される間に、誘電性遮断アンチヒューズ118の誘電体に絶縁破壊を受けさせなければならない。

【0018】

図2は、複数のメモリセルを含むクロスポイントアレイに配置された図1のもののようなセルの第1のメモリレベルの一部を示す。各メモリセルは、上部導電体400の1つと下部導電体200の1つとの間に配置されている支柱300(図1に示すダイオード302およびアンチヒューズ118を含む)を含む。上部導電体400は、下部導電体200の上方にあり、異なる方向に延在し、下部導電体200に垂直であることが好ましい。そのようなメモリレベルの2、3またはそれ以上を、互いの上に垂直に積み重ねて、モノリシックな3次元メモリアレイを形成することができる。

【0019】

図3は、図2に示すもののようなクロスポイントメモリアレイにおいてメモリセルをプログラムするために使用することができるバイアスキームを説明する。選択セルSが10ボルトのプログラミング電圧にさらされると仮定する(ここで供給される電圧は、単なる例である)。選択ビット線B0は10ボルトに設定され、選択ワード線W0は0ボルトに設定され、選択セルSにわたって10ボルトにセットする。ビット線B0を選択セルSと共有するセルFの不注意なプログラミングを回避するために、未選択ワード線W1は、9ボルトに設定され、したがって、セルFは、1ボルトのみにさらされ、それは、ダイオード用のターンオン電圧未満である。同様に、未選択ビット線B1は、1ボルトに設定され、したがって、セルHは、ワード線W0を選択セルSと共有し、1ボルトのみにさらされる。未選択セルUは、選択セルSとワード線もビット線も共有せず、-8ボルトにさらされる。この単純化された図では、1つのみの未選択ビット線B1および1つのみの未選択ワード線W1が示されることに留意すべきである。実際には、多くの未選択ワード線およびビット線がある。Nビット線およびMワード線を有するアレイは、 $(N-1)F$ セル、 $(M-1)H$ セルおよびUセルの非常に大きな数 $(N-1) * (M-1)$ を含む。

【0020】

各Uセルのダイオードは、ダイオードの破壊電圧より低い電圧で逆バイアス下にあり、

10

20

30

40

50

このセルを流れる電流を最小限にする（ダイオードは、一方の方向に他方の方向より電流を非対称的により容易に導く）。しかし、いくらか逆漏れ電流が必然的にあり、多くのUセルにより、選択セルのプログラミングの間の逆漏れ電流が大電力を消耗する可能性がある。選択セルSのプログラミング中に、プログラムされたHセルおよびFセルの順方向電流は小さいが、同様に電力を消耗する。高プログラミング電圧は、それ自体、多くの場合、生成するのが困難である。これらの理由のすべてによって、そのようなクロスポイントメモリアレイにおいて選択メモリセルをプログラムするのに必要な電気パルスの大きさを最小限にすることが望ましい。

【0021】

特性寸法は、フォトリソグラフィプロセスによって形成することができる最も小さな特性である。トランジスタなどの水平配向された装置に関して、特性寸法が減少すると、一般に装置を操作するのに必要な電圧もまた減少することに留意すべきである。しかし、図1のメモリセルにおいて、メモリセルの垂直配向のために、一般的に、ダイオードの半導体材料を変形し、アンチヒューズを遮断させるのに必要な電気パルスの大きさは、特性寸法とともに減少しない。

【0022】

'510出願において、誘電性遮断アンチヒューズは、半導体材料、例えば、シリコンからなる半導体ダイオードと組み合わせられ、ダイオードの半導体材料は、低抵抗状態で形成され、変換される必要がない。

'030特許および'549出願のダイオードは、シリコンなどの半導体材料をアモルファス状態で堆積することによって形成され、次いで、熱アニールを行ってシリコンを結晶化し、多結晶シリコンまたはポリシリコンダイオードを形成する。'530出願で説明するように、堆積されたアモルファスシリコンが、二酸化ケイ素および窒化チタンなどの、アモルファスシリコンが高い格子不整合を有する材料との単なる接触で結晶化される場合、ポリシリコンは、結晶欠陥の増加とともに生じ、その結果、ポリシリコンに高抵抗を引き起こす。この高欠陥ポリシリコンによるプログラミングパルスの適用は、外見上、ポリシリコンを変えられ、その結果、ポリシリコンに低抵抗を引き起こす。

【0023】

しかし、堆積されたアモルファスシリコンが適切なシリサイドの層、例えば、チタンシリサイドまたはコバルトシリサイドの層に接して結晶化される場合、結果生じる結晶化されたシリコンが、より少ない欠陥ではるかに高質であり、はるかに低抵抗を有することが分かった。チタンシリサイドまたはコバルトシリサイドの格子面間隔は、シリコンのものに非常に近く、アモルファスシリコンが、有利な配向で適切なシリサイドの層に接して結晶化される場合、シリサイドは、シリコンの結晶成長にテンプレートをもたらし、欠陥形成を最小限にすると考えられる。高い格子不整合を有する材料にのみ隣接する結晶化された高欠陥シリコンと異なり、大きな電気パルスの適用は、シリサイド層に接して結晶化されたこの低欠陥低抵抗シリコンの抵抗をそれほど変えない。

【0024】

そのような低欠陥低抵抗ダイオードと誘電性遮断アンチヒューズを組み合わせることによって、プログラミングパルスが、誘電性遮断アンチヒューズを遮断するのに十分であることのみを必要とするメモリセルを形成することができ、ダイオードは、その初期状態で、既に低抵抗であり、高抵抗-低抵抗変換を受ける必要のない半導体材料からなる。

【0025】

'510出願の実施形態では、低欠陥ダイオードは、従来の誘電体、二酸化ケイ素からなる誘電性遮断アンチヒューズと組み合わせられる。そのような装置の誘電性遮断アンチヒューズは、確実に絶縁することができるほど十分に厚くなければならず、比較的大きなプログラミング電圧を要求する。このプログラミング電圧は、二酸化ケイ素アンチヒューズの厚みを低減することによって低減することができる。しかし、二酸化ケイ素アンチヒューズがより薄くなるとともに、欠陥に対してより弱くなり、不要な漏れ電流を許すこととなる。

10

20

30

40

50

【 0 0 2 6 】

アンチヒューズとして役立つ二酸化ケイ素層は、一般的に熱成長される。アンチヒューズの質は、改善することでき、欠陥は、高温で、例えば、1,000 でアンチヒューズを成長させることによって低減することができる。しかし、高温は、他の不利点を有し、ダイオードおよびメモリレベルの真下に形成されたCMOS制御回路中のドーパントの不要な拡散を引き起こし、それらの装置を破損し、潜在的に破壊する。

【 0 0 2 7 】

材料は、特有の誘電率 k を有する。材料の誘電率は、絶縁体としてのその挙動を説明する。従来形成された二酸化ケイ素などの良好な絶縁体は、3.9の低誘電率を有する。真空は、定義により、できるだけ低い誘電率 1 を有する。例えば、 HfO_2 および Al_2O_3 を含む一連の材料は、誘電体と考えられ、さらに、二酸化ケイ素より高い誘電率を有する。

10

HfO_2 または Al_2O_3 などの *higher-k* 材料の層は、誘電性遮断アンチヒューズとして機能を果たし、同じ電氣的挙動を有するとともに、比較可能な質の二酸化ケイ素などの *lower-k* 材料の層より厚くすることができる。

【 0 0 2 8 】

McPherson らは、「Proposed universal relationship between dielectric breakdown and dielectric constant」(2002 IEDM 議事録、633~636頁)(非特許文献1)において、低誘電率材料より低い電場でより高誘電率 k を有する材料が、絶縁破壊を受けることを実証する。前述した理由で、メモリアレイにおいてプログラミング電圧を低減することが望ましい。本発明では、シリサイドに隣接して結晶化された堆積された低欠陥半導体材料からなるダイオードは、約8より大きな誘電率 k を有する *high-k* 材料からなる誘電性遮断アンチヒューズと組み合わせられる。用語「堆積された半導体材料」は、シリコン、ゲルマニウム、または堆積されたシリコン-ゲルマニウム合金などの半導体材料を意味し、装置がその上に構成されることが可能な単結晶ウェハ基板を除外する。セルをプログラムするのに必要な電圧は、絶縁破壊にさらすことによって、アンチヒューズを遮断させるために要求されるものに過ぎない。*high-k* 材料のアンチヒューズの形成は、プログラミング後に低漏れ電流でプログラムする前に、非常に信頼できるアンチヒューズを維持しながらプログラミング電圧を低減することに役立つ。

20

【 0 0 2 9 】

high-k 誘電体は、同じまたはより良好なキャパシタンスを有するとともに、例えば、二酸化ケイ素のゲート酸化物より厚くすることができるので、トランジスタのゲート酸化物での使用のために調査されていることに留意すべきである。しかし、これらのゲート酸化物は、本願明細書で説明されるアンチヒューズより、トランジスタにおける異なる役割に役立つ。これらのゲート酸化物は、装置の寿命におけるどの時点でも、絶縁破壊を受けることが意図されない。

30

【 0 0 3 0 】

好ましい実施形態では、原子層成長法(ALD)は、*high-k* 材料の誘電性遮断アンチヒューズを形成するために使用される。ALD技術の最近の進歩は、*high-k* 材料の極めて高い品質の層を、非常に薄く、例えば、50、30、20または10以下に形成することを可能とした。この非常に薄い層は、漏れ電流が満足できる程度に低いような高品質であり、そのような薄い層は、低電圧で破壊される。

40

【 0 0 3 1 】

McPherson らは、*higher-k* 誘電体が、二酸化ケイ素などの *lower-k* 誘電体よりもより一定のブレイクダウン挙動を示す傾向があるというさらなる利点を有することを説明する。メモリアレイの誘電性遮断アンチヒューズが、広範囲のプログラミング電圧にわたって遮断する場合、たとえ低電圧がアレいのほとんどのメモリセルに十分であっても、プログラミング電圧は、ハイエンドな分配でアンチヒューズを遮断させるように十分に高くなければならない。分配強化は、プログラミング電圧のさらなる低減を可能とする。

50

多くの high - k 誘電体は、ALDを含む様々な堆積プロセスによって比較的低温で形成することができる。概して、加工温度を低くすることは、複雑な半導体装置の組立てにおいて常に有利であり、ドーパントの拡散、ピーリングなどを最小限にする。

【0032】

ダイオードは、電流を非対称的に導いて、逆バイアス下より順方向バイアス下でより容易に導く。逆漏れ電流は、逆バイアス下で流れ、不適當である。逆漏れ電流は、ダイオードにわたって負電圧が低減された状態で、超一次的に低減する。例えば、ダイオードが - 7 ボルト未満であるなら、本発明のように、低抵抗半導体材料からなる特性寸法が 0 . 15 ミクロンのダイオードでは、逆漏れ電流は、 $- 7 . 5 \times 10^{-11}$ アンペアであった。電圧が - 5 . 5 ボルトである場合、逆漏れ電流は、実質的に、 $- 3 . 0 \times 10^{-11}$ アンペアに低減した。 - 4 . 5 ボルトの電圧下では、逆漏れ電流は、 $1 . 6 \times 10^{-11}$ アンペアに低減した。図 2 に描写されたクロスポイントアレイでは、選択セル S をプログラムするのに必要な低電圧が、未選択セル U にわたってより低い負の電圧をもたらすことが思い出される。例えば、図 4 を参照して、選択セル S 上のプログラミング電圧が 5 . 4 ボルトである必要があると想定する。選択されたビット線 B 0 上の電圧は 5 ボルトであり、選択されたワード線 W 0 は 0 ボルトであり、選択セル S にわたって 5 . 4 ボルトである。未選択ビット線 B 1 が 1 ボルトに設定され、未選択ワード線 W 1 が 4 . 4 ボルトに設定されるなら、セル H および F は、両方とも 1 ボルトにさらされる。未選択セル U は、図 3 の実施例における - 8 ボルトより極めて低い - 3 . 4 ボルトにさらされる。

10

【0033】

これまで記載されたモノリシックなメモリアレイでは、一般的にシリコンがダイオードを形成することが好ましかった。ゲルマニウムは、シリコンより小さなバンドギャップを有し、シリコンとゲルマニウムの合金からなるダイオードが、純粋なシリコンダイオードより高い逆漏れ電流を有することが知られていた。漏れ電流は、ゲルマニウムの割合とともに増加する。クロスポイントメモリアレイでは、 - 3 . 4 ボルトだけの未選択セル U で、漏れ電流は実質的により少なく、この不利点を緩和する。本発明の譲受人によって所有され、その全体が本願明細書において参照により援用されている Herner らの 2005 年 5 月 9 日に出願された「High-Density Nonvolatile Memory Array Fabricated at Low Temperature Comprising Semiconductor Diodes」という米国特許出願第 11 / 125 , 606 号 (特許文献 6) (以下 '606 出願) に記載されるように、従来方法によってシリコンを堆積し結晶化させるために必要な温度は、一般的にアルミニウムおよび銅メタライゼーションと不適合であり、高温を許容することができない。この出願で説明するように、十分に高いゲルマニウム含有量を有するシリコン - ゲルマニウムダイオードを使用して全体の製造温度を低下させて、これらの低抵抗金属の使用を可能とし、装置性能を向上する。

20

30

【0034】

図 5 は、本発明の好ましい実施形態によって形成されたメモリセルを示す。下部導電体 200 は、好ましくは窒化チタンの接着層 104、および好ましくはタングステンの導電性層 106 を含む。high - k 誘電体からなる誘電性遮断アンチヒューズ 118 は、下部導電体 200 上に形成される。例えば、窒化チタンのバリア層 110 は、誘電性遮断アンチヒューズ 118 と垂直に配向された隣接する p - i - n ダイオード 302 との間にある。層 110 は、実施形態によっては省略されてもよい。支柱 300 は、バリア層 110 と、ダイオード 302 と、を含む。シリサイド層 122 は、コバルトシリサイドまたはチタンシリサイドが好ましく、上部導電体 400 の一部であり、さらに、例えば、窒化チタン層 404 およびタングステン層 406 などの導電性層を含む (分かるように、シリサイド形成金属がダイオード 302 のシリコンに接するところにシリサイドが形成され、層 122 のクロスハッチングされた部分が、シリサイドではなく未反応金属である)。上部導電体 400 は、基礎となる支柱 300 とわずかにずれて示され、ページを延在する断面において示されるレール形状が好ましい。アンチヒューズ 118 での使用に好ましい材料として、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2

40

50

、 $ZrSiO_x$ 、 $AlSiO_x$ 、 $HfSiO_x$ 、 $HfAlO_x$ 、 $HfSiON$ 、 $ZrSiAlO_x$ 、 $HfSiAlO_x$ 、 $HfSiAlON$ および $ZrSiAlON$ が挙げられる。ダイオード302のシリコンは、堆積されたアモルファスであり、次いで結晶化されることが好ましい。実施形態によっては、ダイオード302を結晶化させ、次いで、完成装置に存在しないように、シリサイド122を揮散することが好ましい。バリア層および接着層などの図に示されていないさらなる層が存在していてもよく、または、含まれるいくつかのバリア層は、実施形態によっては省略されてもよい。

【0035】

図6は、他の実施形態を示す。図5の実施形態と同様に、下部導電体200が形成されている。支柱300は、バリア層110（好ましくは、窒化チタン）、隣接するp-i-nダイオード302、シリサイド層122、導電性バリア層123、high-k誘電体からなる誘電性遮断アンチヒューズ118、および導電性バリア層125を含む。上部導電体400は、好ましくは窒化チタンの導電性接着層404と、例えば、タングステンの導電性層406とを含む。

10

【0036】

図7は、他の別の実施形態を示す。図5、図6の実施形態と同様に、下部導電体200が形成されている。支柱300は、バリア層110（好ましくは、窒化チタン）および隣接するp-i-nダイオード302を含む。短い支柱304は、支柱300とは異なるエッチングステップでエッチングされ、シリサイド層122および導電性バリア層123を含む。上部導電体400は、好ましくは窒化チタンの導電性接着層402と、例えば、タングステンの導電性層406とを含む。high-k誘電体からなる誘電性遮断アンチヒューズ118は、上部導電体400と導電性バリア層123との間に介在する。それは、連続ブランケットとすることができ、または、示すように、上部導電体400で模様を付けることができる。隣接するp-i-nダイオードおよびhigh-k誘電性遮断アンチヒューズを同様に含む多くの他の別の実施形態を推測することができる。

20

【0037】

これらの各実施形態は、シリサイド層、ジャーマナイド層またはシリサイド-ジャーマナイド層に隣接して結晶化された、堆積された半導体材料からなる隣接するp-i-nダイオードと、ダイオードを有する電氣的に直列に配置され、8より大きい誘電率を有する誘電体を含む誘電性遮断アンチヒューズと、を含む半導体装置である。各実施形態では、垂直に配向されたダイオードは、下部導電体と上部導電体との間に配置され、誘電性遮断アンチヒューズは、ダイオードと上部導電体との間、またはダイオードと下部導電体との間に配置されている。これらの例において、上部導電体も下部導電体もシリコン層を含まない。

30

【0038】

用語「隣接するp-i-nダイオード」は、固有または低濃度にドーブされた半導体材料を間に有する、一端に高濃度にドーブされたp形半導体材料および他端に高濃度にドーブされたn形半導体材料を有する半導体材料からなるダイオードについて説明し、p形領域とn形領域との間であってそれが遮断される前に、ほとんどの電流フローを防ぐのに十分な誘電性遮断アンチヒューズはない。そのようなダイオードが逆バイアス下で漏れ電流を最小限にするので、p-i-nダイオードは大きなメモリアレイでの使用に好ましい。

40

【0039】

これらのセルのうちのいずれかにおいて、プログラミング前に、アンチヒューズ118は、完全であり、電流フローを妨げる。プログラミング中に、プログラミング電圧が、上部導電体400と下部導電体200との間に供給される場合、誘電性遮断アンチヒューズの一部は、絶縁破壊を受けて、隣接するp-i-nダイオード302と上部導電体400との間、または隣接するp-i-nダイオード302と下部導電体200との間で誘電性遮断アンチヒューズ118を介して導電性パスを形成する。

【0040】

本発明の実施形態では、high-k誘電体からなる誘電性遮断アンチヒューズは、窒

50

化チタンまたは導電性金属シリサイドなどの2つの金属または金属層の間に配置されることが好ましい。これらの導電性層は、アンチヒューズにわたってキャパシタンスの構成を支援して、アンチヒューズが、半導体層間、または半導体層と金属または金属層間に配置される場合より、より容易に遮断することを可能にする。

【0041】

本発明の好ましい実施形態によって形成されるモノリシックな3次元メモリアレイの形成についての詳細な例を提供する。完全性のために、特定のプロセス条件、次元、方法および材料が提供される。しかし、そのような詳細は、限定することを意図せず、結果がやはり本発明の範囲内にありながら、これらの詳細の多くを修正、省略、または増大することができることが理解される。例えば、'030特許、'549出願、'530出願、および'510出願からのいくつかの詳細が有用であり得る。本発明を不明瞭にしないようにするために、この特許とこれらの出願からのすべての詳細が含まれるとは限らないが、適切な教示が除外されることは意図されないことが分かる。

10

【0042】

実施例

図8aを参照すると、メモリの形成は、基板100から開始する。この基板100は、そのような基板上の、単結晶シリコン、シリコン-ゲルマニウムまたはシリコン-ゲルマニウム-炭素などのIV-IV化合物、III-V化合物、II-VII化合物、エピタキシャル層、または他の任意の半導体材料などの本技術分野で公知の任意の半導体基板とすることができる。基板は、そこで製造された集積回路を含んでいてもよい。

20

絶縁層102は、基板100上に形成されている。絶縁層102は、酸化ケイ素、窒化ケイ素、Si-C-O-Hフィルムまたは他の適切な絶縁材料とすることができる。

【0043】

第1の導電体200は、基板100および絶縁体102上に形成されている。接着層104は、絶縁層102と導電性層106との間に含まれて、導電性層106が絶縁層102に接着することを手助けする。上を覆う導電性層106がタングステンであるなら、窒化チタンが、接着層104として好ましい。導電層106は、タングステンなどの本技術分野で公知の任意の導電材料、または tantalum、チタン、銅、コバルトまたはそれらの合金を含む他の材料を含むことができる。

30

【0044】

一旦、導体レールを形成する層がすべて堆積されたなら、層は、任意の適切なマスキングおよびエッチングプロセスを使用してパターン化、エッチングされて、断面で図8aに示す実質的に平行で実質的に共平面の導電体200を形成する。導電体200は、ページから延在する。1つの実施形態では、フォトレジストは、フォトリソグラフィによって堆積されてパターン化され、層がエッチングされ、次いで、標準プロセス技術を使用してフォトレジストを取り除く。

【0045】

次に、誘電体108は、導体レール200上に、およびその導体レール間に堆積される。誘電体108は、酸化ケイ素、窒化ケイ素または酸窒化ケイ素などの任意の公知の電氣的絶縁材料とすることができる。好ましい実施形態では、高密度プラズマ方法によって堆積された二酸化ケイ素は、誘電体108として使用される。

40

【0046】

最後に、導体レール200上の過剰誘電体108は取り除かれ、誘電体108によって分離された導体レール200の上端を露出して、実質的な平面を残す。結果生じる構造は、図8aに示される。平面を形成するためのこの誘電体の過剰充填の除去は、化学機械平坦化(CMP)またはエッチバックなどの本技術分野で公知の任意のプロセスによって行なうことができる。他の実施形態では、代わりにダマシン方法によって導電体200を形成することができる。

【0047】

図8bを参照して、次に、約8より大きな誘電率kを有するhigh-k誘電体の薄い

50

層 118 が形成される（簡単にするために、基板 100 は、図 8 b および後の図から省略され、その存在が仮定される）。この材料についての誘電率 k の値は、8 ~ 50 であることが好ましく、約 8 ~ 約 25 であることが最も好ましい。この層は、約 10 ~ 約 200 であることが好ましく、例えば、約 20 ~ 約 100 である。層 118 のための好ましい材料としては、 HfO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 La_2O_3 、 Ta_2O_5 、 RuO_2 、 ZrSiO_x 、 AlSiO_x 、 HfSiO_x 、 HfAlO_x 、 HfSiON 、 ZrSiAlO_x 、 HfSiAlO_x 、 HfSiAlON および ZrSiAlON が挙げられる。実施形態によっては、これらの材料の 2 つ以上が混合されてもよい。最も好ましい材料としては、約 25 の誘電率を有する HfO_2 であり、または約 9 の誘電率を有する Al_2O_3 である。好ましい実施形態では、層 118 は、ALD によって形成されて、非常に高い品質のフィルムを形成する。高品質フィルムは、できるだけその理論密度に近い密度であることが好ましく、少数のピンホールを有する、またはピンホールがない完全な被覆を有し、電氣的欠陥の低密度を有する。一般的に、より高い誘電率を有する比較可能なフィルム品質の材料は、低誘電率を有するものより厚いことが好ましい。例えば、ALD によって形成された Al_2O_3 フィルムは、約 5 ~ 約 80 の厚みを有することが好ましく、約 30 が好ましく、一方、ALD によって形成された HfO_2 のフィルムは、約 5 ~ 約 100 の厚みを有することが好ましく、約 40 であることが好ましい。層 118 は、誘電性遮断アンチヒューズとして役立つ。実施形態によっては、層 118 を堆積する前に、導電性バリア層（図示せず）を堆積することが好ましい。例えば、約 100 の窒化チタンのこのバリア層は、high- k 誘電性遮断アンチヒューズ層 118 を堆積する一定の表面をもたらし、その層の均一性を改善することができる。

【0048】

バリア層 111 は、層 118 上に堆積される。それは、任意の適切な厚み、例えば、50 ~ 200、好ましくは 100 で、任意の適切な導電性バリア材料、例えば、窒化チタンとすることができる。実施形態によっては、バリア層 111 は省略されてもよい。

支柱にパターン化される次の半導体材料を堆積する。半導体材料は、シリコン、ゲルマニウム、シリコン-ゲルマニウム合金、または他の適切な半導体、または半導体合金とすることができる。簡単にするために、ここでの説明は、半導体材料をシリコンと称するが、当然のことながら、当業者は、代わりに、これらの他の適切な材料のうちのいずれかを選択してもよい。

【0049】

高濃度にドーピングされた下部領域 112 は、本技術分野で公知の任意の堆積およびドーピング方法によって形成することができる。シリコンを堆積し、次いで、ドーピングすることができるが、シリコンの堆積中に n 形ドーパント原子、例えば、燐をもたらずドナーガスを流すことによって、もとの位置でドーピングされることが好ましい。高濃度にドーピングされた領域 112 は、約 100 ~ 約 800 の厚みであることが好ましい。

【0050】

固有領域 114 は、本技術分野で公知の任意の方法によって形成することができる。領域 114 は、シリコン、ゲルマニウム、またはシリコンまたはゲルマニウムの任意の合金とすることができ、約 1, 100 ~ 約 3, 300、好ましくは約 2, 000 の厚みを有する。高濃度にドーピングされた領域 112 および固有領域 114 のシリコンは、堆積されてアモルファスであることが好ましい。

【0051】

半導体領域 114、112 は、ちょうど、基礎となるバリア層 111、high- k 誘電層 118 およびバリア層 110 と共に堆積され、支柱 300 を形成するためにパターン化されエッチングされる。支柱 300 は、ほぼ同じピッチおよび下の導電体 200 とほぼ同じ幅を有し、その結果、各支柱 300 が導電体 200 上に形成される。多少のずれは許容することができる。

【0052】

支柱 300 は、任意の適切なマスキングおよびエッチングプロセスを使用して形成する

ことができる。例えば、フォトレジストが堆積され、標準フォトリソグラフィ技術を使用してパターン化され、エッチングされることができ、次いで、フォトレジストが取り除かれる。または、他のある材料、例えば、二酸化ケイ素のハードマスクを半導体層スタック上に、その上の底反射防止膜（BARC）とともに形成することができ、次いで、パターン化され、エッチングすることができる。同様に、誘電性反射防止膜（DARC）を、ハードマスクとして使用することができる。

【0053】

Chenの2003年12月5日に出願された「Photomask Features with Interior Nonprinting Window Using Alternating Phase Shifting」という米国特許出願第10/728,436号（特許文献7）、またはChenの2004年4月1日に出願された「Photomask Features with Chromeless Nonprinting Phase Shifting Window」という米国特許出願第10/815,312号（特許文献8）に記載されたフォトリソグラフィ技術は、両方が本発明の譲受人によって所有され、その全体が本願明細書において参照により援用され、本発明によるメモリアレイの形成で使用される任意のフォトリソグラフィステップを行なうために有利に使用することができる。

10

誘電体108は、半導体支柱300上に、および半導体支柱300間に堆積されて、それらの間のギャップを満たす。誘電体108は、酸化ケイ素、窒化ケイ素、または酸窒化ケイ素などの任意の公知の電氣的絶縁材料とすることができる。好ましい実施形態では、二酸化ケイ素は、絶縁材料として使用される。

【0054】

次に、支柱300上の誘電体は取り除かれ、誘電体108によって分離された支柱300の上端を露出して、実質的な平面を残す。この誘電体の過剰充填の除去は、CMPまたはエッチバックなどの本技術分野で公知の任意のプロセスによって行なうことができる。CMPまたはエッチバック後、イオン注入は、高濃度にドーピングされたp形上部領域116を形成することによって行なわれる。p形ドーパントは、例えば、2keVの注入エネルギーおよび約 $3 \times 10^{15} / \text{cm}^2$ の投与量でホウ素の浅い注入が好ましい。この注入ステップは、ダイオード302の形成を完成させる。結果生じる構造は、図8bに示される。今形成されたダイオードでは、高濃度にドーピングされた下部領域112は、n形であり、一方、高濃度にドーピングされた上部領域116は、p形であり、明らかに、ダイオードの極性を逆にすることができる。

20

30

【0055】

要約すれば、支柱300は、第1の導電体200上の半導体積層を堆積し、単独のパターン化ステップにおいて、支柱300の形態で半導体積層をパターン化しエッチングすることによって形成される。装置の完成後、隣接するp-i-nダイオードは、支柱内に配置される。

図8cを参照すると、支柱300上に形成された任意の自然酸化物を洗浄後、シリサイド形成金属、例えば、チタン、コバルト、クロム、タンタル、プラチナ、ニッケル、ニオブまたはパラジウムの層120が堆積される。層120は、チタンまたはコバルトであることが好ましい。層120がチタンであるなら、

その厚みは、約10~約100であることが好ましく、約20であることが最も好ましい。窒化チタン層404は層120に続く。両方の層120、404は、約20~約100であることが好ましく、約50であることが最も好ましい。次に、導電材料、例えば、タングステンの層406が堆積される。層406、404、120は、パターン化され、レール形状の上部導電体400にエッチングされ、下部導電体200に垂直な方向に延在することが好ましい。

40

【0056】

次に、誘電体（図示せず）は、導電体400上に、および導電体400間に堆積される。誘電体は、酸化ケイ素、窒化ケイ素または酸窒化ケイ素などの任意の公知の電氣的絶縁材料とすることができる。好ましい実施形態では、酸化ケイ素は、この誘電体として使用される。

50

第1のメモリレベルの形成が記載されてきた。増設メモリレベルは、この第1のメモリレベル上に形成されて、モノリシックな3次元メモリアレイを形成することができる。これまでに記載されたアレイは、単に1例であり、例えば、図6、図7に示すメモリセルのどちらかを含めて、他のように異なってもよい。

【0057】

図10cを参照して、シリサイド形成金属の層120が、高濃度にドーブされた上部領域116のシリコンに接していることに留意すべきである。後の高温ステップの間に、層120の金属は、高濃度にドーブされた領域116のシリコンのある部分と反応して、シリサイド層(図示せず)を形成する。このシリサイド層は、シリコンを結晶化させるのに必要な温度より低い温度で形成され、このように、領域112、114、116が大部分アモルファスである間に形成される。シリコン-ゲルマニウム合金が、高濃度にドーブされた上部領域116に使用されるなら、シリサイド-ジャーマナイド層は、例えば、コバルトシリサイド-ジャーマナイドまたはチタンシリサイド-ジャーマナイドから形成してもよい。

10

【0058】

メモリレベルのすべてが形成された後、各メモリレベルは形成されるにつれてアニールされることができるが、例えば、約60秒間750でダイオード302を結晶化させるために単結晶アニールが行なわれる。結果生じるダイオードは、一般的に多結晶である。これらのダイオードの半導体材料が、良好な格子整合を有するシリサイドまたはシリサイド-ジャーマナイド層に接して結晶化されるので、ダイオード302の半導体材料は、低欠陥および低抵抗になる。

20

【0059】

HfO₂が誘電性遮断アンチヒューズ118に使用されるなら、HfO₂の結晶化温度より低い加工温度を維持するために注意すべきであり、約700~約800であってもよい。結晶質HfO₂の完全なアンチヒューズ層は、アモルファスHfO₂の層よりはるかに高い漏出を有する。

実施形態によっては、導電体は、メモリレベル間で共有されることができ、つまり、上部導電体400は、前述した次のメモリレベルの下部導電体として役立つ。他の実施形態では、中間誘電体(図示せず)は、図8cの第1のメモリレベル上に形成され、その表面は平坦化され、第2のメモリレベルの構成は、共有された導電体を有することなく、この平坦化中間誘電体上で開始する。

30

【0060】

本発明は、プログラミング電圧の低減を可能にする。'030特許の実施形態では、アレイのセルほぼすべて(例えば、99パーセントより大きい)をプログラムするのに十分なプログラミング電圧は、少なくとも8ボルトのプログラムされるセルにわたってのパルスを含む。本発明の実施形態では、これまでに説明したアレイのように、プログラミング電圧は低減されることができる。例えば、アレイのセルのほぼすべては、約8ボルト未満、実施形態によっては6ボルト未満または4.0ボルト未満のプログラミングパルスでプログラムされることができる。

【0061】

40

実施形態によっては、プログラミングパルスが、逆バイアスでダイオードで適用されることが好ましい。これは、2006年7月28日に出願され、本発明の譲受人によって所有され、その全体が本願明細書において参照により援用されているKumarらの「Method For Using A Memory Cell Comprising Switchable Semiconductor Memory Element With Trimmable Resistance」という米国特許出願第11/496,986号(特許文献9)に記載されるように、アレイの未選択セルにわたって漏出を低減または取り除く際に利点を有する。

【0062】

モノリシックな3次元メモリアレイは、多数のメモリレベルが、ウェハなどの単一基板上に、介在基板なしで形成されるものである。1つのメモリレベルを形成する層は、1つ

50

の既存レベルまたは複数の既存レベルの層上に直接堆積または成長される。対照的に、Ledey の「Three dimensional structure memory」という米国特許第 5, 915, 167 号（特許文献 10）と同様に、積層メモリは、別個の基板の上にメモリレベルを形成し、互いの上にメモリレベルを接着することにより構成された。基板は、薄くされてもよく、または結合前にメモリレベルから取り除かれてもよいが、メモリレベルが、別個の基板の上に最初に形成されるので、そのようなメモリは、真のモノリシックな 3 次元メモリアレイではない。

【0063】

基板上に形成されたモノリシックな 3 次元メモリアレイは、少なくとも、基板上に第 1 の高さで形成された第 1 のメモリレベルと、第 1 の高さとは異なる第 2 の高さで形成された第 2 のメモリレベルと、を含む。3、4、8、または、実際には、任意の数のメモリレベルを、そのような多層アレイの基板上に形成することができる。

10

【0064】

導電体がダマシン構成を使用して形成される同様のアレイを形成するための代替方法は、2006 年 5 月 31 日に出願され、本発明の譲受人に委譲され、その全体が本願明細書において参照により援用されている Radigan らの「Conductive Hard Mask to Protect Patterned Features During Trench Etch」という米国特許出願第 11/444,936 号（特許文献 11）に記載されている。Radigan らの方法は、本発明によるアレイを形成するために代わりに使用されてもよい。

【0065】

製造の詳細な方法が、本願明細書に記載されているが、同じ構造を形成する任意の他の方法を使用することができ、結果は本発明の範囲以内にある。

前の詳細な説明は、本発明がとることができる多くの形態のうち、2、3 のみについて記載した。このため、この詳細な説明は、限定の目的ではなく、実例の目的で意図される。すべての均等物を含む以下の特許請求の範囲のみが、本発明の範囲を定義するように意図される。

20

【 図 1 】

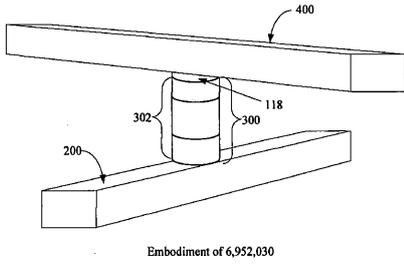


Fig. 1

【 図 2 】

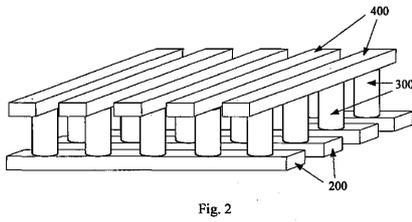


Fig. 2

【 図 3 】

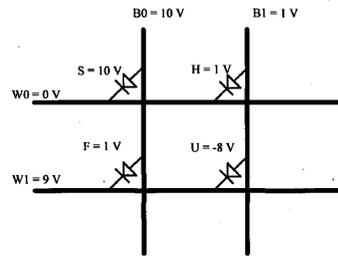


Fig. 3

【 図 4 】

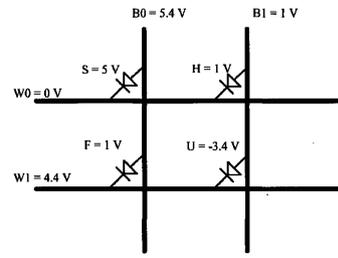


Fig. 4

【 図 5 】

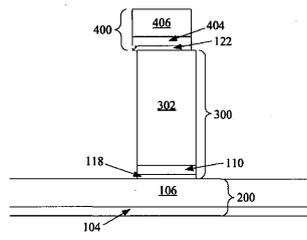


Fig. 5

【 図 7 】

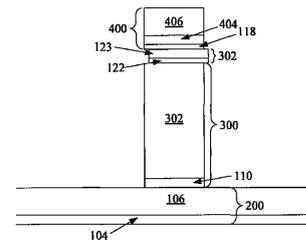


Fig. 7

【 図 6 】

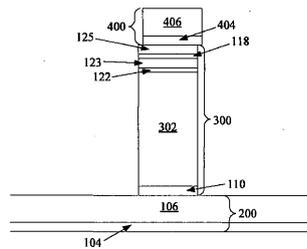


Fig. 6

【 図 8 a 】

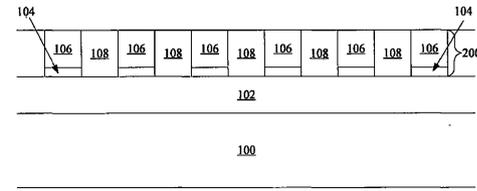


Fig. 8a

【 図 8 b 】

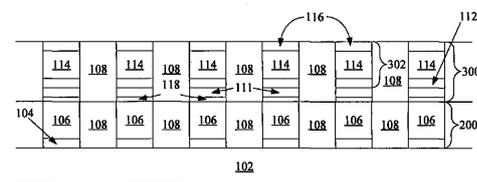


Fig. 8b

【 図 8 c 】

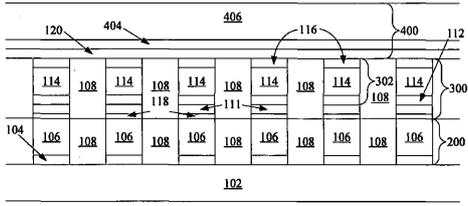


Fig. 8c

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2007/023855

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L27/102		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, INSPEC, IBM-TDB		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/121742 A1 (PETTI CHRISTOPHER J [US] ET AL PETTI CHRISTOPHER J [US] ET AL) 9 June 2005 (2005-06-09)	1-3, 5-9, 14, 15, 17-25, 29, 31-34, 36-47
Y	abstract; claims; figures	3, 4, 10-13, 16, 18, 24, 26-30, 35, 41, 47
	----- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 24 April 2008		Date of mailing of the international search report 07/05/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wirner, Christoph

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2007/023855

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 521 423 A (SHINRIKI HIROSHI [JP] ET AL) 28 May 1996 (1996-05-28) abstract; claims; figures column 3, line 38 - line 52 column 7, line 32 - line 36	3,4, 10-13, 16,18, 24, 26-30, 35,41,47
Y	US 2006/199361 A1 (HO CHIA-HUA [TW] ET AL) 7 September 2006 (2006-09-07) abstract; claims; figures paragraph [0048]	3,4, 10-13, 16,18, 24, 26-30, 35,41,47
A	US 2006/250837 A1 (HERNER S B [US] ET AL) 9 November 2006 (2006-11-09) abstract; claims; figures	1-47
L,P, X	US 2007/069217 A1 (HERNER S B [US]) 29 March 2007 (2007-03-29) abstract; claims; figures	1,17,23, 25,40,46
P,X	WO 2007/005273 A (SANDISK 3D LLC [US]; CLEEVES JAMES M [US]) 11 January 2007 (2007-01-11) abstract; claims; figures	1,17,23, 25,40,46

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/023855

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2005121742 A1	09-06-2005	US 2005121743 A1	09-06-2005
US 5521423 A	28-05-1996	NONE	
US 2006199361 A1	07-09-2006	NONE	
US 2006250837 A1	09-11-2006	US 2006250836 A1 WO 2006121837 A2	09-11-2006 16-11-2006
US 2007069217 A1	29-03-2007	US 2007087508 A1 US 2007105284 A1	19-04-2007 10-05-2007
WO 2007005273 A	11-01-2007	EP 1899978 A1 US 2007002603 A1	19-03-2008 04-01-2007

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5F083 CR14 GA05 GA06 GA10 GA29 HA06 HA10 JA35 JA37 JA39
JA40 JA60 KA01 KA05 LA12 LA16 PR36 PR40 ZA30