[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 29/78

[12] 发明专利说明书

[21] ZL 专利号 97113842.7

[45] 授权公告日 2003 年 12 月 10 日

[11] 授权公告号 CN 1130775C

[22] 申请日 1997.6.24 [21] 申请号 97113842.7

[30] 优先权

[32] 1996. 6.24 [33] JP [31] 162753/1996

[71] 专利权人 东芝株式会社

地址 日本神奈川

[72] 发明人 番场博则 宫叶武史

审查员 赵百令

[74] 专利代理机构 上海专利商标事务所

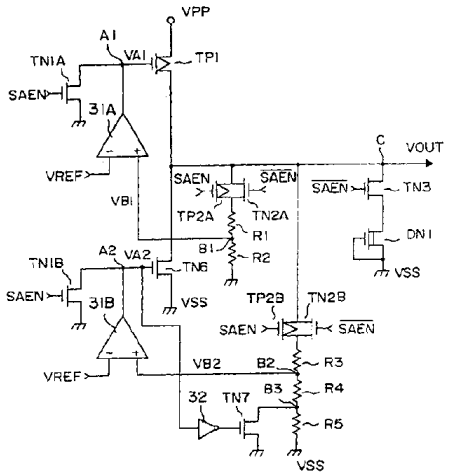
代理人 赵国华

权利要求书 5 页 说明书 31 页 附图 25 页

[54] 发明名称 中间电压发生电路及含有该电路的非易失半导体存储器

[57] 摘要

本发明揭示的中间电压发生电路在输出节点(C)和 VPP 电源端子之间连接上拉用 P 沟道 MOS 晶体管(TP1)，在输出节点(C)和 VSS 电源端子间连接下拉用 N 沟道 MOS 晶体管(TN6)。输出节点先充电至 VPP，若控制信号(SAEN)为 L 电平，则该节点的电荷经电阻(R1～R5)放电，这时差动放大电路(31A，31B)的输出为 H 电平，TN6 导通，输出节点的电压急速下降。若该电压小于预定值，其后 TN6 始终截止，TP1 导通，输出预定的电压(UOOT)。能高速且低功耗地产生稳定的中间电压。



ISSN1008-4274

知识产权出版社出版

1．一种中间电压发生电路，其特征在于包括：以规定比值将输出节点的输出电压分压为多个的分压电路；输入基准电压与所述分压电路所分得一个电压的第一差动放大电路；输入所述基准电压与所述分压电路所分得另一电压的第二差动放大电路；加有第一电压的第一端；源极与所述第一端子连接，漏极与所述输出节点连接，栅极加有所述第一差动放大电路输出电压的第一 MOS 晶体管；加有第二电压的第二端子；源极与所述第二端子连接，漏极与所述输出节点连接，栅极加有所述第二差动放大电路输出电压的第二 MOS 晶体管。

2．如权利要求 1 所述的中间电压发生电路，其特征在于还包括：

待机时，将所述第一 MOS 晶体管和所述第二 MOS 晶体管一起设定为截止状态，并且将所述输出节点设定为所述第二电压。

发生中间电压时，根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作，根据所述第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

3．如权利要求 1 所述的中间电压发生电路，其特征在于，

在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第二 MOS 晶体管为 N 沟道 MOS 晶体管时，

所述第一差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路，所述第二差动放大电路具有 N 沟道 MPS 晶体管构成的电流镜电路。

4．如权利要求 1 所述的中间电压发生电路，其特征在于还包括所述输出节点与所述第二端子之间连接的电容器。

5．如权利要求 1 所述的中间电压发生电路，其特征在于包括：以规定比值对输出节点的输出电压分压的第一分压电路；以规定比值对所述输出节点的输出电压分压的第二分压电路。

6．如权利要求 5 所述的中间电压发生电路，其特征在于还包括：

输入所述第二差动放大电路输出电压，使所述第二分压电路的分压比值变化，以便所述第二 MOS 晶体管处于截止状态后所述第二 MOS 晶体管不再处于导通状态的电路。

7．如权利要求 5 所述的中间电压发生电路，其特征在于还包括：

待机时，使所述第一 MOS 晶体管处于导通状态，所述第二 MOS 晶体管处于截止状态，并且使所述第一分压电路和所述第二分压电路处于非动作状态，将所述输出节点设定为所述第一电压，

发生中间电压时，使所述第一分压电路和所述第二分压电路处于动作状态，

根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作，根据根据第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

8．如权利要求 5 所述的中间电压发生电路，其特征在于还包括：

连接在所述输出节点与所述第二端子之间，待机时不动作，发生中间电压时起到恒流源作用的电路。

9．如权利要求 5 所述的中间电压发生电路，其特征在于，

在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第二 MOS 晶体管为 N 沟道 MOS 晶体管时，

所述第一差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路，所述第二差动放大电路具有 N 沟道 MPS 晶体管构成的电流镜电路。

10．一种中间电压发生电路，其特征在于包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与所述分压电路所分得电压的差动放大电路；加有第一电压的第一端子；加有第二电压的第二端子；源极与所述第一端子连接，漏极与所述输出节点连接，栅极加有所述差动放大电路输出电压的第一 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管的栅极连接的第二 MOS 晶体管。

11．如权利要求 10 所述的中间电压发生电路，其特征在于还包括：

待机时将所述第一 MOS 晶体管设定为截止状态，并将所述输出节点设定为所述第二电压，

发生中间电压时，根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作的电路。

12．如权利要求 10 所述的中间电压发生电路，其特征在于，

在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接收地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管时，

所述差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路。

13．如权利要求 10 所述的中间电压发生电路，其特征在于还包括连接在所述输出节点与所述第二端子之间，起到恒流源作用的电路。

14．如权利要求 10 所述的中间电压发生电路，其特征在于还包括所述输出节点与所述第二端子之间连接的电容器。

15．一种中间电压发生电路，其特征在于包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与所述分压电路所分得电压的第一和第二差动放大电路；加有第一电压的第一端子；漏极与所述第一端子连接，漏极与所述输出节点连接，栅极加极所述第一差动放大电路输出电压的第一 MOS 晶体管；加有第二电压的第二端子；源极与所述第二端子连接，漏极与所述输出节点连接，栅极加有所述第二差动放大电路输出电压的第二 MOS 晶体管；规模比所述第一

MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管栅极连接的第三 MOS 晶体管；规模比所述第二 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第二 MOS 晶体管栅极连接的第四 MOS 晶体管。

16．如权利要求 15 所述的中间电压发生电路，其特征在于还包括：

待机时，将所述第一 MOS 晶体管和所述第二 MOS 晶体管一起设定为截止状态，并且将所述输出节点设定为所述第二电压，

发生中间电压时，根据所述第一差动放大电路的输出电压使所述第一 MOS 晶体管动作，根据所述第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

17．如权利要求 15 所述的中间电压发生电路，其特征在于，

在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第二 MOS 晶体管为 N 沟道 MOS 晶体管时，

所述第一差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路，所述第二差动放大电路具有 N 沟道 MPS 晶体管构成的电流镜电路。

18．如权利要求 15 所述的中间电压发生电路，其特征在于还包括：

所述输出节点与所述第二端子之间连接的电容器。

19．一种中间电压发生电路，其特征在于包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与所述分压电路所分得电压的差动放大电路；加有第一电压的第一端子；加有第二电压的第二端子；漏极与所述第一端子连接，漏极与所述输出节点连接的第一 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管栅极连接的第二 MOS 晶体管；规模比所述第二 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第二 MOS 晶体管栅极连接，栅极加有所述差动放大电路输出电压的第三 MOS 晶体管。

20．如权利要求 15 所述的中间电压发生电路，其特征在于还包括：

规模比所述第一 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第三 MOS 晶体管栅极连接的第四 MOS 晶体管。

21．如权利要求 19 所述的中间电压发生电路，其特征在于还包括：

待机时，将所述第一 MOS 晶体管设定为截止状态，并且将所述输出节点设定为所述第二电压，

发生中间电压时，根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作的电路。

22．如权利要求 19 所述的中间电压发生电路，其特征在于，

在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地

电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第三 MOS 晶体管为 N 沟 MOS 晶体管时，

所述差动放大电路具有 N 沟道 MOS 晶体管构成的电路镜电路。

23. 如权利要求 22 所述的中间电压发生电路，其特征在于，所述差动放大电路由外部电源电压驱动。

24. 如权利要求 19 所述的中间电压发生电路，其特征在于还包括连接在所述输出节点与所述第二端子之间，起到恒流源作用的电路。

25. 如权利要求 19 所述的中间电压发生电路，其特征在于还包括所述输出节点与所述第二端子之间连接的电容器。

26. 一种中间电压发生电路，其特征在于包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与分压电路所分得电压的第一和第二差动放大电路；加有第一电压的第一端子；源极与所述第一端子连接，漏极与所述输出节点连接的第一 MOS 晶体管；加有第二电压的第二端子；源极与所述第二端子连接，漏极与所述输出节点连接的第二 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管栅极连接的第三 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第二端子连接，漏极与所述第一 MOS 晶体管栅极连接，栅极加有所述第一差动放大电路输出电压的第四 MOS 晶体管；规模比所述第二 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第二 MOS 晶体管栅极连接的第五 MOS 晶体管。

27. 如权利要求 26 所述的中间电压发生电路，其特征在于还包括：

规模比所述第一 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第四 MOS 晶体管栅极连接的第六 MOS 晶体管。

28. 如权利要求 26 所述的中间电压发生电路，其特征在于还包括：

待机时，将所述第一 MOS 晶体管和所述第二 MOS 晶体管一起设定为截止状态，并且将所述输出节点设定为所述第二电压，

发生中间电压时，根据所述第一差动放大电路的输出电压使所述第一 MOS 晶体管动作，根据所述第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

29. 如权利要求 26 所述的中间电压发生电路，其特征在于，

在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第二和第四 MOS 晶体管为 N 沟道 MOS 晶体管时，

所述第一和第二差动放大电路均具有 N 沟道 MOS 晶体管构成的电流镜电路。

30. 如权利要求 29 所述的中间电压发生电路，其特征在于，所述第一和第二差动放大电路均由外部电源电压驱动。

31．如权利要求26所述的中间电压发生电路，其特征在于包括所述节点与所述第二端之间连接的电容器。

32．如权利要求10所述的中间电压发生电路，其特征在于还包括：

根据控制信号切换开关，使所述分压电路的分压比值变化，并由所述输出节点输出满足所述分压电路分压比值的输出电压用的开关电路。

33．如权利要求15所述的中间电压发生电路，其特征在于还包括：

根据控制信号切换开关，使所述分压电路的分压比值变化，并由所述输出节点输出满足所述分压电路分压比值的输出电压用的开关电路。

34．如权利要求19所述的中间电压发生电路，其特征在于还包括：

根据控制信号切换开关，使所述分压电路的分压比值变化，并由所述输出节点输出满足所述分压电路分压比值的输出电压用的开关电路。

35．如权利要求26所述的中间电压发生电路，其特征在于还包括：

根据控制信号切换开关，使所述分压电路的分压比值变化，并由所述输出节点输出满足所述分压电路分压比值的输出电压用的开关电路。

36．如权利要求32所述的中间电压发生电路，其特征在于，

所述开关电路包括如下构成部分：形成在为与所述输出节点电压相同电压的半导体衬底中，源极与所述输出节点连接，栅极输入所述控制信号的多个开关用MOS晶体管；各个开关用MOS晶体管漏极间分别连接有一个的多个电阻；所述多个电阻当中位于其端部的一个电阻与所述分压电路连接。

37．如权利要求33所述的中间电压发生电路，其特征在于，

所述开关电路包括如下构成部分：形成在为与所述输出节点电压相同电压的半导体衬底中，源极与所述输出节点连接，栅极输入所述控制信号的多个开关用MOS晶体管；各个开关用MOS晶体管漏极间分别连接有一个的多个电阻；所述多个电阻当中位于其端部的一个电阻与所述分压电路连接。

38．如权利要求34所述的中间电压发生电路，其特征在于，

所述开关电路包括如下构成部分：形成在为与所述输出节点电压相同电压的半导体衬底中，源极与所述输出节点连接，栅极输入所述控制信号的多个开关用MOS晶体管；各个开关用MOS晶体管漏极间分别连接有一个的多个电阻；所述多个电阻当中位于其端部的一个电阻与所述分压电路连接。

39．如权利要求35所述的中间电压发生电路，其特征在于，

所述开关电路包括如下构成部分：形成在为与所述输出节点电压相同电压的半导体衬底中，源极与所述输出节点连接，栅极输入所述控制信号的多个开关用MOS晶体管；各个开关用MOS晶体管漏极间分别连接有一个的多个电阻；所述多个电阻当中位于其端部的一个电阻与所述分压电路连接。

中间电压发生电路及含有该电路的非易失半导体存储器

本发明涉及一种向存储单元的栅极、漏极等提供各种大小电压用的中间电压发生电路。

以往，EPROM、EEPROM 等非易失半导体存储器如表 1 所示，读出、编程（写入）、擦除、验证等动作需有各种大小的电压。

（表 1）

	栅极电压 Vg	漏极电压 Vd	源极电压 Vs
读出	5V	0.8V	0V
编程	10V	5V	0V
擦除	－10V	0V	5V
验证	3.5V、5V、7.5V	0.8V	0V

例如，存储单元的控制栅极电压 Vg，编程动作设定为 10V，擦除动作设定为－10V，验证动作设定为 3.5V、5V 或 7.5V。

而 NOR 型（异或型）快闪存储器等近些年的非易失半导体存储器，做到以 3.3V 的单一电源替代以往 5V 和 12V 两个电源。用 3.3V 单一电源时，表 1 所示的各种电压由 LSI（大规模集成电路）内部的充电泵电路产生。

也就是说，采用 3.3V 单一电源的非易失半导体存储器中，以 3.3V 为基准高速且高精度地产生规定电压，高速并正确地进行编程动作、验证动作等成为课题。

作为要求高速切换电压模式的一个例子，考虑自动编程模式。

图 23 示出自动编程模式的流程图。

在这种自动编程模式中，首先进行地址设定，然后连续进行编程和验证。验证结果否定时，就再次进行编程，验证结果肯定时，便进行恢复，返回至原来的状态。

这时，例如字线电压 Vg 连续变化如下：5V（地址设定时 → {10V(编程时) ↔ 7.5V（验证时）：重复规定次数} → 5V（恢复时）。

为了在短时间内执行自动编程模式，需要高速进行这种电压的变动。

图 24 示出发生各种大小电压的电压发生系统。

充电泵电路 11 产生升压电压 VPP，基准电压发生电路 12 产生基准电压 VREF。中间电压发生电路 13 以基准电压 VREF 基准，由升压电压 VPP 产生具有各种值的输出电压 VOUT。

以往基准电压发生电路 12 有齐纳二极管型和 Widlar 型 BGR（Band Gap Reference Circuit：带隙基准电压发生电路）等。

图 25 示出齐纳二极管型基准电压发生电路。该基准电压发生电路由电流源 14 和齐纳二极管 15 构成。但这种基准电压发生电路需要较高的电压，因而有不利于 LSI 低电压化的缺点。

图 26 示出 Widlar 型 BGR。该基准电压发生电路由双极型晶体管 16～19、电阻 20～22 和电流源 23 构成。但该基准电压发生电路有双极型晶体管 16～19。具体来说，将双极型晶体管制造工艺编入 MOS 晶体管制造工艺较为困难，有通用性较差的缺点。虽然也可以利用可由 CMOS 制造工艺制作的寄生双极型晶体管，但这种寄生双极型晶体管的特性随势阱浓度等有较大变化，因而不现实。

图 27 示出一例现有中间电压发生电路的构成。

电流镜（カレントミラー）型差动放大电路 31 的负输入端子输入一基准电压 VREF，其输出端子连接有上拉用 P 沟道 MOS 晶体管 TP1 的栅极。MOS 晶体管 TP1 的栅极与接地点之间连接有 N 沟道 MOS 晶体管 TN1。

MOS 晶体管 TP1 的源极输入一充电泵电路的升压电压 VPP，从漏极输出一输出电压 VOUT。MOS 晶体管 TP1 的漏极与接地点之间串联连接有电阻 R1、R2 和并联连接的 MOS 晶体管 TP2、TN2。

电阻 R1 与电阻 R2 的连接点 B 与差动放大电路 31 的正输入端子连接。

MOS 晶体管 TP1 的漏极与接地点之间串联连接有 N 沟道 MOS 晶体管 TN3 和耗尽型 N 沟道 MOS 晶体管 DN1。MOS 晶体管 DN1 的栅极和源极互相连接。

MOS 晶体管 TN1、TP2 的栅极输入控制信号 SEAN，MOS 晶体管 TN2、TN3 的栅极则输入控制信号/SEAN。

具有上述构成的中间电压发生电路，构成为由电流镜型差动放大电路 31 检测

并放大基准电压 VREF 与连接点 B 电压 VB 的电压差，通过该差动放大电路 31 的输出，驱动上拉用 P 沟道 MOS 晶体管 TP1，使输出电压 VOUT 保持恒定。

该中间电压发生电路的输出电压 VOU 与连接点 B 电压 VB 之间具有如式（1）所示的关系。

$$(R2\times VOUT)/(R1+R2)=VB \qquad (1)$$

其中，R1、R2 分别为电阻 R1、R2 的电阻值。

具体来说，若 VB＝VREF，则输出电压 VOUT 为恒定值。而且，即便升压电压 VPP 值有波动致使输出电压 VOUT 或多或少变动，也可以通过将该变动量反馈给差动放大电路 31，使输出电压 VOUT 立即稳定为恒定值。

而且，上拉用 P 沟道 MOS 晶体管 TP1 流过亚阈值漏电流造成输出电压 VOUT 上升是由耗尽型 N 沟道 MOS 晶体管 ND1 来防止的。具体来说，这是因为耗尽型 MOS 晶体管 DN1 不依赖于升压电压 VPP，充当流过恒定电流的恒定电流源的缘故。

不使该中间电压发生电路动作时，将控制信号 SAEN 设定为 H 电平就行。

控制信号 SAEN 为 H 电平时，MOS 晶体管 TN1 处于导通状态，MOS 晶体管（传输门）TP2、TN2 和 MOS 晶体管 TN3 处于截止状态。具体来说，差动放大电路 31 的输出节点 A 为接地电压 VSS，MOS 晶体管 TP1 总是处于导通状态。而 MOS 晶体管 TP2、TN2、TN3 为截止状态，因而输出电压 VOUT 为升压电压 VPP。

而使该中间电压发生电路动作得到规定输出电压 VOUT 时，将控制信号 SAEN 设定为 L 电平就行。

若将控制信号 SAEN 设定为 L 电平，MOS 晶体管 TN1 便处于截止状态，MOS 晶体管（传输门）TP2、TN2 和 MOS 晶体管 TN3 便处于导通状态。

这时，输出节点 C 充电至升压电压 VPP，因而有电流从输出节点 C 经 MOS 晶体管 TP2、TN2 和电阻 R1、R2 流至接地点。

控制信号 SAEN 变为 L 电平之后，接点 B 的电压 VB 便比基准电压 VREF 大，因而差动放大电路 31 输出 H 电平电压，使上拉用 MOS 晶体管 TP1 维持截止状态。

因而，输出节点 C 的电荷逐步放电。而且，接点 B 的电压 VB 等于基准电压 VREF 时，由该中间电压发生电路输出恒定输出电压 VOUT。

但这种现有中间电压发生电路，使输出节点 C 处电荷放电的路径以经过电阻

R1、R2 的路径为主。

具体为说，为了减小消耗功率，将电阻 R1、R2 的电阻值设定得较高的话，便有输出节点 C 充电至升至电压后，放电至规定输出电压 VOUT 所需时间较长的缺点。

反之，为了高速获得规定输出电压 VOUT 将电阻 R1、R2 的电阻值设定得较小的话，就有消耗电流增大的缺点。

象这样，现有中间电压发生电路，低消耗功率要求和高速要求属于折衷关系，有无法充分满足两者要求的缺点。

图 28 示出另一侧现有中间电压发生电路的构成。

电流镜型差动放大电路 31 的负输入端子输入基准电压 VREF，其输出端子连接有上拉用 P 沟道 MOS 晶体管 TP1 的栅极。该差动放大电路 31 由使能信号 ENA 控制，使能信号 ENA 为 H 电平时，便能够动作。

MOS 晶体管 TP1 的源极输入充电泵电路的升压电压 VPP，由漏极输出一输出电压 VOUT。MOS 晶体管 TP1 的漏极与接地点之间串联连接有电阻 R1、R2。电阻 R1 与电阻 R2 的接点 B 与差动放大电路 31 的正输入端子连接。

MOS 晶体管 TP1 的漏极与接地点之间连接有 N 沟道 MOS 晶体管 TN4。该 MOS 晶体管 TN4 的栅极输入反相使能信号/ENA。

MOS 晶体管 TP1 的漏极与接地点之间还连接有 N 沟道 MOS 晶体管 TN5。该 MOS 晶体管 TN5 规模做得较小，专用于防止因过冲、亚阈值漏电流、与电源的电容耦合等所造成的输出电压 VOUT 的上升。

MOS 晶体管 TP1 的漏极与接地点之间又连接有电容器 C1。设置该电容器 C1 用于对差动放大电路 31 的反馈回路补偿相位延迟，使输出电压 VOUT 稳定。

具有上述构成的中间电压发生电路，构成为由电流镜型差动放大电路 31 检测和放大基准电压 VREF 与接点 B 电压 VB 的电压差，由该差动放大电路 31 的输出驱动上拉用 P 沟道 MOS 晶体管 TP1，保持输出电压 VOUT 恒定。

该中间电压发生电路的输出电压 VOUT 与接点 B 电压 VB 之间具有上述式(1)所示的关系。

具体来说，若 VB＝VREF，则输出电压 VOUT 为恒定值。而且，即便升压电压 VPP 值有波动致使输出电压 VOUT 或多或少变动，也可以通过将该变动量反馈给差动放大电路 31，使输出电压 VOUT 立即稳定为恒定值。

而且，利用规模较小的N沟道MOS晶体管TNS防止因过冲、与电源的电容耦合、上拉用P沟道MOS晶体管TP1的亚阈值电流等所造成的输出电压VOUT的上升。也就是说，MOS晶体管TN5具有总使输出电压VOUT下降的作用。

差动放大电路31具有一由与MOS晶体管TP1匹配得很好的P沟道型MOS晶体管所构成的电流镜电路，以驱动P沟道型MOS晶体管TP1。具体来说，差动放大电路31的电流镜电路由与该差动放大电路31所驱动的MOS晶体管相同导电型的MOS晶体管构成。

由此，中间电压发生电路的截止特性较好，而且稳定时的误差较小。

电容器C1具有对差动放大电路31的反馈回路补偿相位延迟，稳定输出电压VOUT的作用。

不使该中间电压发生电路动作时，将使能信号ENA设定为L电平就行。

使能信号ENA为L电平时，差动放大电路31的输出结点A的电压等于电源电压VDD，P沟道型MOS晶体管TP1处于截止状态。而且，栅极输入反相使能信号/ENA的N 沟道型MOS晶体管TN4处于导通状态，故而输出电压VOUT为接地电压VSS。

而使该中间电压发生电路动作以获得规定输出电压VOUT时，将使能信号ENA设定为H电平就行。

使能信号ENA设定为H电平的话，P沟道型MOS晶体管TP1处于导通状态，N沟道型MOS晶体管TN4处于截止状态。

这时，由充电泵电路向输出节点C提供电流，输出节点C的电压为恒定的输出电压VOUT。

但这种现有中间电压发生电路，其缺点在于，如图29所示，输出电压VOUT振荡至输出电压VOUT稳定为恒定值需要相当的时间。

这样，以往的缺点在于，无法同时满足中间电压发生电路低消耗功率要求和高速要求，而且由于输出电压振荡，难以使该输出电压高速稳定为恒定电压。

本发明正是为了解决上述缺点，其第一目的在于提供一种其中间电压发生电路可同时满足高速化和低消耗功率的非易失半导体存储器。其第二目的在于提供一种其中间电压发生电路可抑制输出电压振荡，可高速稳定地输出恒定电压的非易失半导体存储器。

为达到上述目的，本发明的中间电压发生电路，包括：以规定比值对输出节

点的输出电压分压的第一分压电路；输入基准电压与所述第一分压电路所分得电压的第一差动放大电路；以规定比值对所述输出节点的输出电压分压的第二分压电路；输入所述基准电压与所述第二分压电路所分得电压的第二差动放大电路；加有第一电压的第一端子；源极与所述第一端子连接，漏极与所述输出节点连接，栅极加有所述第一差动放大电路输出电压的第一 MOS 晶体管；加有第二电压的第二端子；源极与所述第二端子连接连接，漏极与所述输出节点连接，栅极加有所述第二差动放大电路输出电压的第二 MOS 晶体管。

本发明的中间电压发生电路，还包括：输入所述第二差动放大电路输出电压，使所述第二分压电路的分压比值变化，以便所述第二 MOS 晶体管处于截止状态后所述第二 MOS 晶体管不再处于导通状态的电路。

本发明的中间电压发生电路，还包括：待机时，使所述第一 MOS 晶体管处于导通状态，所述第二 MOS 晶体管处于截止状态，并且使所述第一分压电路和所述第二分压电路处于非动作状态，将所述输出节点设定为所述第一电压，发生中间电压时，使所述第一分压电路和所述第二分压电路处于动作状态，根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作，根据所述第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

本发明的中间电压发生电路，还包括：连接在所述输出节点与所述第二端子之间，待机时不动作，发生中间电压时起到恒流源作用的电路。

本发明的中间电压发生电路，在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第二 MOS 晶体管为 N 沟道 MOS 晶体管时，所述第一差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路，所述第二差动放大电路具有 N 沟道 MOS 晶体管构成的电流镜电路。

本发明的中间电压发生电路，其特征在于包括：以规定比值将输出节点的输出电压分压为多个的分压电路；输入基准电压与所述分压电路所分得一个电压的第一差动放大电路；输入所述基准电压与所述分压电路所分得另一电压的第二差动放大电路；加有第一电压的第一端子；源极与所述第一端子连接，漏极与所述输出节点连接，栅极加有所述第一差动放大电路输出电压的第一 MOS 晶体管；加有第二电压的第二端子；源极与所述第二端子连接，漏极与所述输出节点连接，栅极加有所述第二差动放大电路输出电压的第二 MOS 晶体管。

本发明的中间电压发生电路，还包括：待机时，将所述第一 MOS 晶体管和所述第二 MOS 晶体管一起设定为截止状态，并且将所述输出节点设定为所述第二电压，发生中间电压时，根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作，根据所述第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

本发明的中间电压发生电路，在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第二 MOS 晶体管为 N 沟道 MOS 晶体管时，所述第一差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路，所述第二差动放大电路具有 N 沟道 MOS 晶体管构成的电流镜电路。

本发明的中间电压发生电路，还包括所述输出节点与所述第二端子之间连接的电容器。

本发明的中间电压发生电路，包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与所述分压电路所分得电压的差动放大电路；加有第一电压的第一端子；加有第二电压的第二端子；源极与所述第一端子连接，漏极与所述输出节点连接，栅极加有所述差动放大电路输出电压的第一 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管的栅极连接的第二 MOS 晶体管。

本发明的中间电压发生电路，还包括：待机时将所述第一 MOS 晶体管设定为截止状态，并将所述输出节点设定为所述第二电压，发生中间电压时，根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作的电路。

本发明的中间电压发生电路，在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管时，所述差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路。

本发明的中间电压发生电路，还包括连接在所述输出节点与所述第二端子之间，起到恒流源作用的电路，又包括所述输出节点与所述第二端子之间连接的电容器。

本发明的中间电压发生电路，包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与所述分压电路所分得电压的第一和第二差动放大电路；加有第一电压的第一端子；漏极与所述第一端子连接，漏极与所述输出节点

连接，栅极加有所述第一差动放大电路输出电压的第一 MOS 晶体管；加有第二电压的第二端子；源极与所述第二端子连接，漏极与所述输出节点连接，栅极加有所述第二差动放大电路输出电压的第二 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管栅极连接的第三 MOS 晶体管；规模比所述第二 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第二 MOS 晶体管栅极连接的第四 MOS 晶体管。

本发明的中间电压发生电路，还包括：待机时，将所述第一 MOS 晶体管和所述第二 MOS 晶体管一起设定为截止状态，并且将所述输出节点设定为所述第二电压，发生中间电压时，根据所述第一差动放大电路的输出电压使所述第一 MOS 晶体管动作，根据所述第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

本发明的中间电压发生电路，在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第二 MOS 晶体管为 N 沟道 MOS 晶体管时，所述第一差动放大电路具有 P 沟道 MOS 晶体管构成的电流镜电路，所述第二差动放大电路具有 N 沟道 MOS 晶体管构成的电流镜电路。

本发明的中间电压发生电路，还包括连接在所述输出节点与所述第二端子之间、起到恒流源作用的电路，又包括所述输出节点与所述第二端子之间连接的电容器。

本发明的中间电压发生电路，包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与所述分压电路所分得电压的差动放大电路；加有第一电压的第一端子；加有第二电压的第二端子；源极与所述第一端子连接，漏极与所述输出节点连接的第一 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管栅极连接的第二 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第二端子连接，漏极与所述第一 MOS 晶体管栅极连接，栅极加有所述差动放大电路输出电压的第三 MOS 晶体管。

本发明的中间电压发生电路，还包括：规模比所述第一 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第三 MOS 晶体管栅极连接的第四 MOS 晶体管。

本发明的中间电压发生电路，还包括：待机时，将所述第一 MOS 晶体管设定为截止状态，并且将所述输出节点设定为所述第二电压，发生中间电压时，根据所述第一差动放大电路输出电压使所述第一 MOS 晶体管动作的电路。

本发明的中间电压发生电路，在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，所述第三 MOS 晶体管为 N 沟道 MOS 晶体管时，所述差动放大电路具有 N 沟道 MOS 晶体管构成的电流镜电路，所述差动放大电路由外部电源电压驱动。

本发明的中间电压发生电路，还包括连接在所述输出节点与所述第二端子之间，起到恒流源作用的电路；又包括所述输出节点与所述第二端子之间连接的电容器。

本发明的中间电压发生电路，包括：以规定比值对输出节点的输出电压分压的分压电路；输入基准电压与所述分压电路所分得电压的第一和第二差动放大电路；加有第一电压的第一端子；源极与所述第一端子连接，漏极与所述输出节点连接的第一 MOS 晶体管；加有第二电压的第二端子；源极与所述第二端子连接，漏极与所述输出节点连接的第二 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第一端子连接，栅极和漏极与所述第一 MOS 晶体管栅极连接的第三 MOS 晶体管；规模比所述第一 MOS 晶体管规模小，源极与所述第二端子连接，漏极与所述第一 MOS 晶体管栅极连接，栅极加有所述第一差动放大电路输出电压的第四 MOS 晶体管；规模比所述第二 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第二 MOS 晶体管栅极连接的第五 MOS 晶体管。

本发明的中间电压发生电路，还包括：规模比所述第一 MOS 晶体管规模小，源极与所述第二端子连接，栅极和漏极与所述第四 MOS 晶体管栅极连接的第六 MOS 晶体管。

本发明的中间电压发生电路，还包括：待机时，将所述第一 MOS 晶体管和所述第二 MOS 晶体管一起设定为截止状态，并且将所述输出节点设定为所述第二电压，发生中间电压时，根据所述第一差动放大电路的输出电压使所述第一 MOS 晶体管动作，根据所述第二差动放大电路输出电压使所述第二 MOS 晶体管动作的电路。

本发明的中间电压发生电路，在所述第一电压为将外部电源电压升压后的升压电压，所述第二电压为接地电压，所述第一 MOS 晶体管为 P 沟道 MOS 晶体管，

所述第二和第四 MOS 晶体管为 N 沟道 MOS 晶体管时，所述第一和第二差动放大电路均具有 N 沟道 MOS 晶体管构成的电流镜电路；所述第一和第二差动放大电路均由外部电源电压驱动。

本发明的中间电压发生电路，还包括连接在所述输出节点与所述第二端子之间，起到恒流源作用的电路，又包括所述输出节点与所述第二端子之间连接的电容器。

本发明的中间电压发生电路，在上述中间电压发生电路中还包括：根据控制信号切换开关，使所述分压电路的分压比值变化，并由所述输出节点输出满足所述分压电路分压比值的输出电压用的开关电路。

所述开关电路包括如下构成部分：形成在设定为与所述输出节点电压相同电压的半导体衬底中，源极与所述输出节点连接，栅极输入所述控制信号的多个开关用 MOS 晶体管；各个开关用 MOS 晶体管漏极间分别连接有一个的多个电阻；所述多个电阻当中位于其端部的一个电阻与所述分压电路连接。

本发明的非易失半导体存储器，至少包括一个上述中间电压发生电路，在读出、编程、擦除、验证等各模式中，向存储阵列的存储单元提供由所述中间电压发生电路产生的中间电压，以执行各个模式。

本发明的非易失半导体存储器，包括上述中间电压发生电路，在读出、编程、擦除、验证等各模式中，仅由所述中间电压发生电路产生提供给存储阵列存储单元栅极、源极或漏极的电压，以执行各个模式。

图 1 为本申请第 1 发明的实施形态中间电压发生电路的电路图。

图 2 表示图 1 的差动放大电路 31A 的结构的一个例子。

图 3 表示图 1 的差动放大电路 31B 的结构的一个例子。

图 4 是就第 1 发明将输出电压变化和已有的情况加以比较的图。

图 5 表示中间电压发生系统。

图 6 是表示图 5 的基准电压发生电路的结构的一个例子的电路图。

图 7 表示图 6 的基准电压发生电路的特性。

图 8 是表示图 26 的中间电压发生电路的变形例的电路图。

图 9 表示图 8 的差动放大电路 31A 的结构的一个例子。

图 10 表示图 8 的差动放大电路 31B 的结构的一个例子。

图 11 为本申请的第 2 发明的第 1 实施形态中间电压发生电路的电路图。

图 12 是就第 2 发明将输出电压变化和已有的情况加以比较的图。

图 13 是图 11 的电路的控制系统模型图。

图 14 为本申请第 2 发明的第 2 实施形态中间电压发生电路的电路图。

图 15 为本申请第 2 发明的第 3 实施形态中间电压发生电路的电路图。

图 16 为本申请第 2 发明的第 4 实施形态中间电压发生电路的电路图。

图 17 表示图 15 和图 16 的差动放大电路 31B' 和 31B" 的一个例子。

图 18 为本申请第 2 发明的第 5 实施形态中间电压发生电路的电路图。

图 19 为本申请第 2 发明的第 6 实施形态中间电压发生电路的电路图。

图 20 为本申请第 2 发明的第 7 实施形态中间电压发生电路的电路图。

图 21 为本申请第 2 发明的第 8 实施形态中间电压发生电路的电路图。

图 22 表示输出电压变化的模拟结果。

图 23 表示自动编程模式的流程的流程图。

图 24 表示中间电压发生系统。

图 25 是表示齐纳二极管型基准电压发生电路的结构的一个例子的电路图。

图 26 是表示 Widlar 型基准电压发生电路的结构的一个例子的电路图。

图 27 是表示已有的中间电压发生电路的结构的一个例子的电路图。

图 28 是表示已有的中间电压发生电路的结构的一个例子的电路图。

图 29 表示图 28 的电路的输出电压波形。

下面参照附图对本发明的非易失性半导体存储器详细加以说明。

图 1 表示具有本申请的第 1 发明的实施形态的中间电压发生电路的非易失性半导体存储器。

本实施形态的中间电压发生电路是图 27 的中间电压发生电路的改良。

在电流镜型差动放大电路 31A 的负输入端子上输入基准电压 VREF，在其输出端子上连接上拉用 P 沟道 MOS 晶体管 TP1 的栅极。而在 MOS 晶体管 TP1 的栅极和接地点之间连接 N 沟道 MOS 晶体管 TN1A。

在 MOS 晶体管 TP1 的源极输入充电泵电路的升压电压 VPP，输出电压 VOUT 从漏极输出。在 MOS 晶体管 TP1 的漏极与接地点之间串联连接着电阻 R1、R2 和并联连接的 MOS 晶体管 TP2A、TN2A。

电阻 R1 和 R2 的连接点 B1 连接于差动放大器 31A 的正输入端子上。

在电流镜型差动放大电路 31B 的负输入端子上输入基准电压 VREF，在其输出

端子上连接下拉用 N 沟道 MOS 晶体管 TN6 的栅极。而在 MOS 晶体管 TN6 的栅极和接地点之间连接 N 沟道 MOS 晶体管 TN1B。

在 MOS 晶体管 TN6 的源极输入接地电压 VSS，输出电压 VOUT 从漏极输出。在 MOS 晶体管 TN6 的漏极和接地点之间串联连接着电阻 R3～R5 和并联连接的 MOS 晶体管 TP2B、TN2B。

电阻 R3 和电阻 R4 的连接点 B2 连接于差动放大电路 31B 的正输入端子上。在接地点和连接点 B3 之间连接着 N 沟道 MOS 晶体管 TN7。

差动放大电路 31B 的输出节点 A2 经过倒相器 32 连接于 MOS 晶体管 TN7 的栅极。

又在 MOS 晶体管 TP1、TN6 的漏极和接地点之间串联连接 N 沟道 MOS 晶体管 TN3 和耗尽型 N 沟道 MOS 晶体管 DN1。MOS 晶体管 DN1 的栅极和源极相互连接。

MOS 晶体管 TN1A、TN1B、TP2A、TN2B 的栅极上输入控制信号 SEAN，MOS 晶体管 TN2A、TN2B、TN3 的栅极上输入控制信号/SEAN。

还有，电阻 R1～R5 除了多晶硅电阻等电阻元件外，也可以由 MOS 晶体管和二极管等构成。

图 2 表示图 1 的电流镜型差动放大电路 31A 的结构的一个例子。图 3 表示图 1 的电流镜型差动放大电路 31B 的结构的一个例子。

差动放大电路 31A 为了驱动 P 沟道 MOS 晶体管 TP1，具有与该 MOS 晶体管 TP1 匹配良好的 P 沟道 MOS 晶体管构成的电流镜电路。

即 P 沟道型 MOS 晶体管 TP3、TP4 的源极连接于 VPP 侧的电源端子上。MOS 晶体管 TP3、TP4 的栅极相互连接，其连接点连接于 MOS 晶体管 TP4 的漏极上。

N 沟道型 MOS 晶体管 TN8 的源极经过 N 沟道型 MOS 晶体管 TN10 连接于 VSS 侧的电源端子上，漏极连接于 MOS 晶体管 TP3 的漏极上。N 沟道型 MOS 晶体管 TN9 的源极经过 MOS 晶体管 TN10 连接于 VSS 侧电源端子上，漏极连接于 MOS 晶体管 TP4 的漏极上。

基准电压 VREF 加在 MOS 晶体管 TN8 的栅极上，连接点 B1 的电压 VB1 加在 MOS 晶体管 TN9 的栅极上。差动放大电路 31A 的输出电压 VA1 从 MOS 晶体管 TP3、TN8 的漏极输出。在 MOS 晶体管 TN10 的栅极上加上控制信号/SAEN。

差动放大电路 31B 为了驱动 N 沟道型 MOS 晶体管 TN6，具有与该 MOS 晶体管 TP6 匹配良好的 N 沟道 MOS 晶体管构成的电流镜电路。

即 N 沟道型 MOS 晶体管 TN11、TN12 的源极连接于 VSS 侧的电源端子上。MOS 晶体管 TN11、TN12 的栅极相互连接，其连接点连接于 MOS 晶体管 TN12 的漏极上。

P 沟道型 MOS 晶体管 TP6 的源极经过 P 沟道型 MOS 晶体管 TP8 连接于 VPP 侧的电源端子上，漏极连接于 MOS 晶体管 TN11 的漏极上。P 沟道型 MOS 晶体管 TP7 的源极经过 MOS 晶体管 TP8 连接于 VPP 侧电源端子上，漏极连接于 MOS 晶体管 TN12 的漏极上。

基准电压 VREF 加在 MOS 晶体管 TP6 的栅极上，连接点 B2 的电压 VB2 加在 MOS 晶体管 TP7 的栅极上。差动放大电路 31B 的输出电压 VA2 从 MOS 晶体管 TP6、TN11 的漏极输出。在 MOS 晶体管 TP8 的栅极上加上控制信号 SAEN。

以此可以使中间电压发生电路的截止特性良好，同时使稳定时的误差小。

具有上述结构的中间电压发生电路具有能够借助于电流镜型差动放大电路 31A，检测出基准电压 VREF 与连接点 B1 的电压 VB1 的差，加以放大，并以该差动放大电路 31A 的输出驱动上拉用的 P 沟道 MOS 晶体管 TP1，使输出电压 VOUT 保持恒定的结构。

同时具有能够借助于电流镜型差动放大电路 31B，检测出基准电压 VREF 与连接点 B2 的电压 VB2 的差，加以放大，并以该差动放大电路 31B 的输出驱动下拉用 N 沟道 MOS 晶体管 TN6，使输出电压 VOUT 保持恒定的结构。

也就是说，在本实施形态，预先把输出节点 C 的电压充电到升压电压 VPP，然後在将输出节点 C 的电荷放电，使输出电压 VOUT 稳定于一定值的类型的中间电压发生电路中，除设置上拉用 P 沟道 MOS 晶体管 TP1 外，还设置下拉用 N 沟道 MOS 晶体管 TN6。

在下拉用 N 沟道 MOS 晶体管 TN6 一侧也设置差动放大电路 31B 的反馈回路。

如图 4 所示，借助于此，可以把使输出节点 C 的电压从升压电压 VPP 降低到规定的输出电压 VOUT 并稳定下来的时间缩短到很短。

可以借助于设置下拉用 N 沟道 MOS 晶体管 TN6，加大电阻 R1、R2 的电阻值，又可以使经过电阻 R1、R2 流往接地点的电流减小，因此，在输出电压 VOUT 稳定时，和以往相比电力消耗可以降低。

借助于设置倒相器 32 和 MOS 晶体管 TN7，下拉用 N 沟道 MOS 晶体管 TN6 在输出电压 VOUT 下降到规定的电压时即停止使输出节点 C 的电压下降。因此，输出节点 C 的电压只用上拉用 P 沟道 MOS 晶体管 TP1 控制，可以防止输出电压 VOUT

的振荡。

下面说明图 1 的中间电压发生电路的动作。

不让该中间电压发生电路动作时，只要把控制信号 SAEN 设定于高(H)电平即可。

在控制信号 SAEN 为 H 电平时，MOS 晶体管 TN1A、TN1B 处于导通状态，MOS 晶体管(传输门)TP2A、TP2B、TN2A、TN2B 及 MOS 晶体管 TN3 处于截止状态。总之，差动放大电路 31 的输出节点 A 变成接地电压 VSS，MOS 晶体管 TP1 经常处于导通状态。另一方面，MOS 晶体管 TP2A、TP2B、TN2A、TN2B、TN3、TN6 为截止状态，因此，输出电压为升压电压 VPP。

又，在使该中间电压发生电路动作，得到规定的输出电压 VOUT 时，只要把控制信号 SAEN 设定于低(L)电平即可。

一旦使控制信号 SAEN 为 L 电平，MOS 晶体管 TN1A、TN1B 即变成截止状态，MOS 晶体管(传输门)TP2A、TP2B、TN2A、TN2B 及 MOS 晶体管 TN3 变成导通状态。

又由于输出节点 C 被充电到升压电压 VPP，电流从输出节点 C 经过 MOS 晶体管 TP2A、TN2A 及电阻 R1、R2 流往接地点，同时从输出节点 C 经过 MOS 晶体管 TP2B、TN2B 及电阻 R3～R5 流往接地点。

这时，连接点 B1、B2 的电压 VB1、VB2 都比基准电压 VREF 大，因此，差动放大电路 31A、31B 的输出为 H 电平，上拉用 MOS 晶体管 TP1 变成截止状态，，下拉用 MOS 晶体管 TN6 变成导通状态。

因而，输出节点 C 的电荷可以通过从输出节点 C 经电阻 R1、R2 的途径、从节点 C 经电阻 R3～R5 的途径，以及经下拉用 N 沟道 MOS 晶体管 TN6 的途径向接地点放电。

总之 ，即使电阻 R1～R5 的电阻值用得大，也可以使输出节点 C 的电压下降得比已有的情况快。而且由于电阻 R1～R5 的电阻值大，输出电压稳定时的消耗电力也小。

另一方面，一旦输出节点 C 的电压下降得低于规定数值，连接点 B2 的电压 VB2 变得比基准电压 VREF 小，差动放大电路 31B 的输出即变成 L 电平，下拉用 MOS 晶体管 TN6 变成截止状态。

又，差动放大电路 31B 的输出经过倒相器 32 输入 MOS 晶体管 TN7 的栅极。因而，一旦差动放大电路 31B 的输出变成 L 电平，MOS 晶体管 TN7 即变成导通状态，

连接点 B2 的电压 VB2 进一步下降。

总之，具有在输出电压 VOUT 下降到低于规定值(想得到的中间电压)后，下拉用 MOS 晶体管 TN6 维持截止状态直到输出电压 VOUT 稳定于该规定值的结构。

这时，连接点 B1 的电压 VB1 变得比基准电压 VREF 小，因此，差动放大电路 31A 的输出变成 L 电平，上拉用 MOS 晶体管 TP1 变成导通状态。于是，在连接点 B1 的电压 VB1 与基准电压 VREF 相等的时刻，该中间电压发生电路输出恒定的输出电压 VOUT。

这样，采用本申请的第 1 发明，预先把输出节点 C 的电压充电到升压电压 VPP，然後，在将输出节点 C 的电荷放电，使输出电压 VOUT 稳定于一定值的类型的中间电压发生电路中，除设置上拉用 P 沟道 MOS 晶体管 TP1 外，还设置下拉用的 N 沟道 MOS 晶体管 TN6。

又，控制下拉用 N 沟道 MOS 晶体管 TN6，使得将输出节点 C 的电压(升压电压 VPP)急速下降，而且输出节点 C 的电压比规定值低时及其以后，维持截止状态，直到输出节点 C 的电压稳定于规定值。

因而，如图 4 所示，可以把使输出节点 C 的电压从升压电压 VPP 变成规定的输出电压 VOUT 并稳定下来的时间缩短到很短。

可以借助于设置下拉用 N 沟道 MOS 晶体管 TN6，加大电阻 R1、R2 的电阻值，又可以使经过电阻 R1、R2 流往接地点的电流减小，因此，在输出电压 VOUT 稳定时的电力消耗可以降低。

又，下拉用 N 沟道 MOS 晶体管 TN6 在输出电压 VOUT 下降到规定的电压时，即停止使输出节点 C 的电压下降。因此，输出节点 C 的电压只用上拉用 P 沟道 MOS 晶体管 TP1 控制，可以有效防止输出电压 VOUT 的振荡。

借助于此，可以同时满足降低电力消耗和高速化两个要求。

下面对本申请的第 2 个发明加以说明。

图 5 简单表示具有本发明的中间电压发生电路的非易失性半导体存储器的总体图。

充电泵电路 11 产生升压电压 VPP，基准电压发生电路 12 产生基准电压 VREF。中间电压发生电路 13 对应于编程模式和检验模式等各种模式，以基准电压 VREF 为基准，根据升压电压 VPP 产生规定的输出电压 VOUT。

内部地址信号(或外部地址信号)A0～An 经过地址寄存器 24 传送到行解码器

25 和列解码器 26。而中间电压发生电路 13 的输出电压 VOUT 经过行解码器 25 加在由地址信号 A0～An 选择的规定的字线上。

还有，在编程模式时，数据经过输入输出缓冲器 26’、写入电路 27 和选择电路 28，传送到存储单元阵列 29 的规定的存储单元。

又，在读出模式时，数据经过选择电路 28 及读出放大器 30 用于验证或再经过输入输出缓冲器 26’输出到芯片外部。

又，在擦除模式时，由擦除切换电路 30’切换加在存储单元源极上的电压。

图 6 表示图 5 的基准电压发生电路 12 的结构的一个例子。

该基准电压发生电路与图 24 所示的已有的 Widlar 型 BGR(带隙参考电路)不同，其特点是，没有双极晶体管。

也就是说，差动放大电路 33 的输出加在 P 沟道 MOS 晶体管 TP9 的栅极上。差动放大电路 33 由 MOS 晶体管构成。

MOS 晶体管 TP9 的源极连接于 VDD 侧的电源端子上，基准电压 VREF 从漏极输出。

在 MOS 晶体管 TP9 的漏极和接地点之间，串联连接着电阻 R6 和二极管 D1。电阻 R6 和二极管 D1 的连接点连接于差动放大电路 33 的负输入端子上。

又，在 MOS 晶体管 TP9 的漏极和接地点之间，还串联连接着电阻 R7、电阻 8 和二极管 2。电阻 R7 和电阻 R8 的连接点连接于差动放大电路 33 的正输入端子上。

使用于该基准电压发生电路的正向二极管 D1、D2 对过程条件的依赖性很小，因此可以使其特性非常稳定。又如图 7 所示，该基准电压发生电路对外电源 VDD 的依赖性很小，因此可以产生稳定的基准电压 VREF。

图 8 表示图 4 的中间电压发生电路 13 的结构的一个例子。

在电流镜型差动放大电路 31A 的负输入端子上输入基准电压 VREF，在其输出端子上连接上拉用的 P 沟道 MOS 晶体管 TP1 的栅极。

在 MOS 晶体管 TP1 的源极输入充电泵电路的升压电压 VPP，输出电压 VOUT 从漏极输出。

又在电流镜型差动放大电路 31B 的负输入端子上输入基准电压 VREF，在其输出端子上连接下拉用 N 沟道 MOS 晶体管 TP6 的栅极。

在 MOS 晶体管 TP6 的源极输入接地电压 VSS，输出电压 VOUT 从漏极输出。

在 MOS 晶体管 TP1、TN6 的漏极和接地点之间串联连接电阻 R1～R3。电阻 R1

和电阻 R2 的连接点 B1 连接于差动放大电路 31B 的正输入端子上，电阻 R2 和电阻 R3 的连接点 B2 连接于差动放大电路 31A 的正输入端子上。

在 MOS 晶体管 TP1、TN6 的漏极和接地点之间还连接 N 沟道 MOS 晶体管 TN4。在 MOS 晶体管 TN4 的栅极上输入反相使能信号/ENA。

在 MOS 晶体管 TP1、TN6 的漏极和接地点之间还连接电容器 C1。该电容器 C1 是为了对差动放大电路 31A、31B 的反馈回路补偿相位延迟，使输出电压 VOUT 稳定而设定的。

在具有上述结构的中间电压发生电路中，具有能够借助于电流镜型差动放大电路 31A，检测出基准电压 VREF 与连接点 B2 的电压 VB2 的差，加以放大，并以该差动放大电路 31A 的输出驱动上拉用 P 沟道 MOS 晶体管 TP1，使输出电压 VOUT 保持恒定的结构。

还具有能够借助于电流镜型差动放大电路 31B，检测出基准电压 VREF 与连接点 B1 的电压 VB1 的差，加以放大，并以该差动放大电路 31B 的输出驱动下拉用 N 沟道 MOS 晶体管 TN6，使输出电压 VOUT 保持恒定的结构。

也就是说，输出节点 C 的电压借助于上拉用 MOS 晶体管 TP1 及下拉用 MOS 晶体管 TN6 的通断控制，从接地电压 VSS(也可以是升压电压 VPP)变成规定的中间电压。

这时，一旦将差动放大电路 31A、31B 的正端输入电压设定为相同，输出电压变得容易振荡，因此，将差动放大电路 31A、31B 的正端输入电压分别设定为不相同的值，在设定输出电压 VOUT 时设置不灵敏区，防止输出电压 VOUT 发生振荡。

图 9 表示图 8 的电流镜型差动放大电路 31A 的结构的一个例子。图 10 表示图 8 的电流镜型差动放大电路 31B 的结构的一个例子。

差动放大电路 31A 为了驱动 P 沟道 MOS 晶体管 TP1，具有与该 MOS 晶体管 TP1 匹配良好的 P 沟道 MOS 晶体管构成的电流镜电路。

即 P 沟道型 MOS 晶体管 TP3、TP4 的源极连接于 VPP 侧的电源端子上。MOS 晶体管 TP3、TP4 的栅极相互连接，其连接点连接于 MOS 晶体管 TP4 的漏极上。

N 沟道型 MOS 晶体管 TN8 的源极经过 N 沟道型 MOS 晶体管 TN10 连接于 VSS 侧的电源端子上，漏极连接于 MOS 晶体管 TP3 的漏极上。N 沟道型 MOS 晶体管 TN9 的源极经过 MOS 晶体管 TN10 连接于 VSS 侧电源端子上，漏极连接于 MOS 晶体管 TP4 的漏极上。

在 VPP 侧电源端子与 MOS 晶体管 TP3、TP8 的漏极之间连接着 P 沟道 MOS 晶体管 TP5。

基准电压 VREF 加在 MOS 晶体管 TN8 的栅极上，连接点 B2 的电压 VB2 加在 MOS 晶体管 TN9 的栅极上。差动放大电路 31A 的输出电压 VA1 从 MOS 晶体管 TP3、TN8 的漏极输出。

在 MOS 晶体管 TP5、TN10 的栅极加以使能信号 ENA。

差动放大电路 31B 为了驱动 N 沟道型 MOS 晶体管 TN6，具有与该 MOS 晶体管 TN6 匹配良好的 N 沟道型 MOS 晶体管构成的电流镜电路。

即 N 沟道型 MOS 晶体管 TN11、TN12 的源极连接于 VSS 侧的电源端子上。MOS 晶体管 TN11、TN12 的栅极相互连接，其连接点连接于 MOS 晶体管 TN12 的漏极上。

P 沟道型 MOS 晶体管 TP6 的源极经过 P 沟道型 MOS 晶体管 TP8 连接于 VPP 侧的电源端子上，漏极连接于 MOS 晶体管 TN11 的漏极上。P 沟道型 MOS 晶体管 TP7 的源极经过 MOS 晶体管 TP8 连接于 VPP 侧电源端子上，漏极连接于 MOS 晶体管 TN12 的漏极上。

在 VSS 侧电源端子与 MOS 晶体管 TP6、TN11 的漏极之间连接着 N 沟道 MOS 晶体管 TN13。

基准电压 VREF 加在 MOS 晶体管 TP6 的栅极上，连接点 B1 的电压 VB1 加在 MOS 晶体管 TP7 的栅极上。差动放大电路 31B 的输出电压 VA2 从 MOS 晶体管 TP6、TN11 的漏极输出。

在 MOS 晶体管 TP8、TN13 的栅极加上反相使能信号/ENA。

以此可以使中间电压发生电路的截止特性变好，同时使稳定时的误差变小。

下面对图 8 的中间电压发生电路的动作加以说明。

不使该中间电压发生电路动作时，只要把使能信号 ENA 设定于 L 电平即可。

在使能信号 ENA 为 L 电平的情况下，差动放大电路 31A 的输出变成 H 电平 (VPP)，差动放大电路 31B 的输出变成 L 电平(VSS)。因而，上拉用的 MOS 晶体管 TP1 和下拉用 MOS 晶体管 TN6 一起变成截止状态。

另一方面，由于 MOS 晶体管 TN4 变成导通状态，输出节点 C 的电压变成接地电压 VSS。

又，要使该中间电压发生电路动作得到规定的输出电压 VOUT 时，只要把使能信号 ENA 设定于 H 电平即可。

一旦使能信号 ENA 为 H 电平，差动放大电路 31A、31B 即能够动作，同时 MOS 晶体管 TN4 变成截止状态。

又，在使能信号 ENA 变成 H 电平的最初，输出节点 C 由于其电压为接地电压 VSS，连接点 B1、B2 的电压 VB1、VB2 同时变得比基准电压 VREF 小。因此，差动放大电路 31A、31B 的输出变成 L 电平，上拉用 MOS 晶体管 TP1 变成导通状态，下拉用 MOS 晶体管 TN6 变成截止状态。

于是，输出节点 C 的电压逐步上升。

另一方面，输出节点 C 的电压上升，连接点 B1 的电压 VB1 变得比基准电压 VREF 大，则差动放大电路 31B 的输出变成 H 电平，下拉用 MOS 晶体管 TN6 变成导通状态。

总而言之，在输出电压 VOUT 上升到规定值(不灵敏区的下限)以上后，下拉用 MOS 晶体管 TN6 变成导通状态，输出电压 VOUT 的上升受到抑制。

而且，输出节点 C 的电压进一步上升，连接点 B2 的电压 VB2 变得比基准电压 VREF 大，则差动放大电路 31A 的输出变成 H 电平，上拉用 MOS 晶体管 TP1 变成截止状态。

总而言之，在输出电压 VOUT 上升到规定值(不灵敏带的上限)以上后，上拉用 MOS 晶体管 TP1 变成截止状态，使输出电压 VOUT 下降。

因而，输出电压 VOUT 在不灵敏区范围内能够保持在一定值。

图 11 表示具有本申请第 2 发明第 1 实施形态的中间电压发生电路的非易失性半导体存储器。

本实施形态的中间电压发生电路是图 28 的中间电压发生电路的改良。

在电流镜型差动放大电路 31A 的负输入端子上输入基准电压 VREF，在其输出端子上连接上拉用 P 沟道 MOS 晶体管 TP1 的栅极。该差动放大电路 31 由使能信号 ENA 控制，在使能信号为 H 电平时能够动作。

在 MOS 晶体管 TP1 的源极输入充电泵电路的升压电压 VPP，输出电压 VOUT 从漏极输出。在 MOS 晶体管 TP1 的漏极与接地点之间串联连接着电阻 R1、R2。电阻 R1 和电阻 R2 的连接点 B 连接在差动放大电路 31A 的正输入端子上。

在 MOS 晶体管 TP1 的漏极与接地点之间连接着 N 沟道 MOS 晶体管 TN4。在该 MOS 晶体管 TN4 的栅极上输入反相使能信号/ENA。

在 MOS 晶体管 TP1 的漏极与接地点之间还连接着 N 沟道 MOS 晶体管 TN5。该

MOS 晶体管 TN5 的规模做得比较小，是为了防止由于过冲、亚阈值漏电流、与电源的电容耦合等引起输出电压 VOUT 上升而设置的。

在 MOS 晶体管 TP1 的漏极与接地点之间又连接着电容 C1。该电容器 C1 是为了对差动放大电路的反馈回路补偿相位延迟，使输出电压 VOUT 稳定而设的。

还在 VPP 侧电源端子与差动放大电路 31A 的输出节点 A 之间连接 P 沟道 MOS 晶体管 TP20。MOS 晶体管 TP20 的栅极和漏极相互连接。

MOS 晶体管 TP20 的规模(驱动力)设定得比上拉用 MOS 晶体管 TP1 的规模(驱动力)小。例如在 MOS 晶体管 TP20 的规模取 1 的情况下，上拉用 MOS 晶体管 TP1 的规模做成 N。

还有，使用具有例如图 8 所示的 P 沟道 MOS 晶体管构成的电流镜电路的差动放大电路 31A。

具有上述结构的中间电压发生电路中，将规模小的 P 沟道 MOS 晶体管 TP20 连接于 VPP 侧电源端子与差动放大电路 31A 的输出节点 A 之间。

由于设置该 MOS 晶体管 TP20，如图 12 所示，能够有效地防止输出电压 VOUT 的振荡，迅速得到稳定的中间电压。

图 13 示出图 11 的中间电压发生电路的简单的控制系统模型。

K1 相当于电流镜型差动放大电路，K2 相当于上拉用 P 沟道 MOS 晶体管。而 a 相当于新设置的小规模的 MOS 晶体管的电阻，b 相当于上拉用 P 沟道 MOS 晶体管的栅极电容。

本实施形态的中间电压发生电路与已有的中间电压发生电路相比，只有存在电阻 a 这一点不相同。

而且该电阻 a 由于可以使差动放大电路的反馈回路的电容 b 的影响减小，即可以使 K1 的输出不延迟地输入 K2，可以使反馈速度变快，抑制输出电压 VOUT 的振荡。

图 14 表示具有本申请第 2 发明第 2 实施形态的中间电压发生电路的非易失性半导体存储器。

本实施形态的中间电压发生电路是图 8 的中间电压发生电路的改良。

在电流镜型差动放大电路 31A 的负输入端子上输入基准电压 VREF，在其输出端子上连接上拉用 P 沟道 MOS 晶体管 TP1 的栅极。该差动放大电路 31A 由使能信号 ENA 控制，在使能信号 ENA 为 H 电平时能够动作。

在 MOS 晶体管 TP1 的源极输入充电泵电路的升压电压 VPP，输出电压 VOUT 从漏极输出。

在电流镜型差动放大电路 31B 的负输入端子上输入基准电压 VREF，在其输出端子上连接下拉用 N 沟道 MOS 晶体管 TN6 的栅极。该差动放大电路 31B 由使能信号 ENA 控制，在使能信号 ENA 为 H 电平时能够动作。

在 MOS 晶体管 TN6 的源极输入接地电压 VSS，输出电压 VOUT 从漏极输出。

在 MOS 晶体管 TP1、TN6 的漏极与接地点之间串联连接着电阻 R1、R2。电阻 R1 和电阻 R2 的连接点 B 连接在差动放大电路 31A、31B 的正输入端子上。

又，在 MOS 晶体管 TP1、TN6 的漏极与接地点之间连接着 N 沟道 MOS 晶体管 TN4。在该 MOS 晶体管 TN4 的栅极上输入反相使能信号/ENA。

在 MOS 晶体管 TP1、TN6 的漏极与接地点之间还连接着电容 C1。该电容器 C1 是为了对差动放大电路 31A、31B 的反馈回路补偿相位延迟，使输出电压 VOUT 稳定而设的。

在 VPP 侧电源端子与差动放大电路 31A 的输出节点 A1 之间连接 P 沟道 MOS 晶体管 TP20。MOS 晶体管 TP20 的栅极和漏极相互连接。

MOS 晶体管 TP20 的规模(驱动力)设定得比上拉用 MOS 晶体管 TP1 的规模(驱动力)小。例如在 MOS 晶体管 TP20 的规模取 1 的情况下，上拉用 MOS 晶体管 TP1 的规模做成 N。

还在 VSS 侧电源端子与差动放大电路 31B 的输出节点 A2 之间连接 N 沟道 MOS 晶体管 TN20。MOS 晶体管 TN20 的栅极和漏极相互连接。

MOS 晶体管 TN20 的规模(驱动力)设定得比下拉用 MOS 晶体管 TN6 的规模(驱动力)小。例如在 MOS 晶体管 TN20 的规模取 1 的情况下，下拉用 MOS 晶体管 TN6 的规模做成 N。

还有，使用具有例如图 9 所示的 P 沟道 MOS 晶体管构成的电流镜电路的差动放大电路 31A。使用具有例如图 10 所示的 N 沟道 MOS 晶体管构成的电流镜电路的差动放大电路 31B。

具有上述结构的中间电压发生电路中，将规模小的 P 沟道 MOS 晶体管 TP20 连接于 VPP 侧电源端子与差动放大电路 31A 的输出节点 A1 之间，并且将规模小的 N 沟道 MOS 晶体管 TN20 被连接于 VSS 侧电源端子与差动放大电路 31B 的输出节点 A2 之间。

由于设置该MOS晶体管TP20、TN20，能够有效地防止输出电压VOUT的振荡，迅速得到稳定的中间电压。

又，在本实施形态例中，借助于MOS晶体管TP20、TN20，消除了反馈的延迟，防止输出电压发生振荡。因此在进行输出电压的设定时不必设置不灵敏区，在差动放大电路31A、31B的正输入端子上加上相同的输入电压VB，可以得到规定的输出电压VOUT。

又由于设置下拉用MOS晶体管，也就不需要经常处于导通状态的泄流用MOS晶体管(相当于图11的TN5)。

图15表示具有本申请第2发明第3实施形态的中间电压发生电路的非易失性半导体存储器。

在电流镜型差动放大电路31B'的负输入端子上输入基准电压VREF，在其输出节点上连接N沟道MOS晶体管TN21的栅极。又在VSS侧电源端子(接地点)与差动放大电路31B'的输出节点之间连接N沟道MOS晶体管TN22。MOS晶体管TN22的栅极与漏极相互连接。

MOS晶体管TN21的源极连接于接地点，其漏极连接上拉用P沟道MOS晶体管TP1的栅极。又在VPP侧电源端子与MOS晶体管TN21的漏极之间并联连接P沟道MOS晶体管TP20、TP21。MOS晶体管TP20的栅极与漏极相互连接，MOS晶体管TP21的栅极上输入使能信号ENA。

在MOS晶体管TP1的源极输入充电泵电路的升压电压VPP，输出电压VOUT从漏极输出。在MOS晶体管TP1的漏极与接地点之间串联连接着电阻R1、R2。电阻R1和电阻R2的连接点B连接在差动放大电路31A的正输入端子上。

又，在MOS晶体管TP1的漏极与接地点之间连接着N沟道MOS晶体管TN4。在该MOS晶体管TN4的栅极上输入反相使能信号/ENA。

在MOS晶体管TP1的漏极与接地点之间还连接着N沟道MOS晶体管TN5。该MOS晶体管TN5规模做得比较小，是为了防止由于过冲、亚阈值漏电流、与电源的电容耦合等引起输出电压VOUT上升而设置的。

在MOS晶体管TP1的漏极与接地点之间又连接着电容器C1。该电容器C1是为了对差动放大电路31的反馈回路补偿相位延迟，使输出电压VOUT稳定而设的。

而且，MOS晶体管TP20、TP21、TN21、TN22的规模(驱动力)设定得比上拉用MOS晶体管TP1的规模(驱动力)小。

具有上述结构的中间电压发生电路中，由于设置小规模的P沟道MOS晶体管TP20，如图12所示，能够有效地防止输出电压VOUT的振荡，迅速得到稳定的中间电压。

又，由于设置小规模的N沟道MOS晶体管TN21、TN22，可以不用升压电压VPP，而使用外部电源VDD使差动放大电路31B'动作。因而能够防止在以升压电压VPP使差动放大电路31B'动作时随着升压电压VPP的波动而引起的特性变化。

图16表示具有本申请第2发明第4实施形态的中间电压发生电路的非易失性半导体存储器。

在电流镜型差动放大电路31B'的负输入端子上输入基准电压VREF，在其输出节点上连接N沟道MOS晶体管TN21的栅极。又在VSS侧电源端子(接地点)与差动放大电路31B'的输出节点之间连接N沟道MOS晶体管TN22。MOS晶体管TN22的栅极与漏极相互连接。

MOS晶体管TN21的源极连接于接地点，其漏极连接上拉用P沟道MOS晶体管TP1的栅极。又在VPP侧电源端子与MOS晶体管TN21的漏极之间并联连接P沟道MOS晶体管TP20、TP21。MOS晶体管TP20的栅极与漏极相互连接，MOS晶体管TP21的栅极上输入使能信号ENA。

在MOS晶体管TP1的源极输入充电泵电路的升压电压VPP，输出电压VOUT从漏极输出。

在电流镜型差动放大电路31B"的负输入端子上输入基准电压VREF，在其输出节点上连接上拉用N沟道MOS晶体管TN6的栅极。又在VSS侧电源端子(接地点)与差动放大电路31B"的输出节点之间连接N沟道MOS晶体管TN20。MOS晶体管TN20的栅极与漏极相互连接。

在MOS晶体管TN6的源极输入接地电压VSS，输出电压VOUT从漏极输出。

在MOS晶体管TP1、TN6的漏极与接地点之间串联连接着电阻R1、R2。电阻R1和电阻R2的连接点B连接在差动放大电路31B'、31B"的正输入端子上。

又在MOS晶体管TP1、YN6的漏极与接地点之间连接着N沟道MOS晶体管TN4。在该MOS晶体管TN4的栅极上输入反相使能信号/ENA。

在MOS晶体管TP1、TN6的漏极与接地点之间还连接着电容C1。该电容器C1是为了对差动放大电路31A、31B的反馈回路补偿相位延迟，使输出电压VOUT稳定而设的。

而且，MOS 晶体管 TP20、TP21、TN21、TN22 的规模(驱动力)设定得比上拉用 MOS 晶体管 TP1 的规模(驱动力)小。MOS 晶体管 TN20 的规模(驱动力)设定得比下拉用 MOS 晶体管 TN6 的规模(驱动力)小。

在具有上述结构的中间电压发生电路中，由于设置小规模的 P 沟道 MOS 晶体管 TP20、TN20，如图 12 所示，能够有效地防止输出电压 VOUT 发生振荡，迅速得到稳定的中间电压。

又，由于设置小规模的 N 沟道 MOS 晶体管 TN21、TN22，可以不用升压电压 VPP，而使用外部电源 VDD 使差动放大电路 31B’ 动作。而且，差动放大电路 31B” 也可以用外部电源 VDD 使其动作。

因而，能够防止在以升压电压 VPP 使差动放大电路 31B’、31B” 动作时随着升压电压 VPP 的波动而引起的特性变化。

又，在本实施形态例中，借助于 MOS 晶体管 TP20、TN20，消除了反馈的延迟，防止输出电压 VOUT 发生振荡。因此，在进行输出电压 VOUT 的设定时不必设置不灵敏区，在差动放大电路 31B’、31B” 的正输入端子上加上相同的输入电压 VB，可以得到规定的输出电压 VOUT。

又由于设置下拉用 MOS 晶体管 TN6，也就不需要经常处于导通状态的泄流用 MOS 晶体管(相当于图 15 的 TN5)。

图 17 表示图 15 和图 16 的电流镜型差动放大电路 31B’ 和 31B” 的结构一个例子。

这些差动放大电路 31B’ 和 31B” 为了驱动 N 沟道型 MOS 晶体管 TN6、TN21，设有由与该 MOS 晶体管 TN6、TN21 匹配良好的 N 沟道型 MOS 晶体管构成的电流镜型差动放大电路。

即 N 沟道型 MOS 晶体管 TN11、TN12 的源极连接于 VSS 侧的电源端子上。MOS 晶体管 TN11、TN12 的栅极相互连接，其连接点连接于 MOS 晶体管 TN12 的漏极上。

P 沟道型 MOS 晶体管 TP6 的源极经过 P 沟道型 MOS 晶体管 TP8 连接于外电源 VDD 的端子上，漏极连接于 MOS 晶体管 TN11 的漏极上。P 沟道型 MOS 晶体管 TP7 的源极经过 MOS 晶体管 TP8 连接于外电源 VDD 的端子上，漏极连接于 MOS 晶体管 TN12 的漏极上。

基准电压 VREF 加在 MOS 晶体管 TP6 的栅极上，连接点 B 的电压 VB 加在 MOS 晶体管 TP7 的栅极上。差动放大电路 31B’、31B” 的输出电压从 MOS 晶体管 TP6、

TN11 的漏极输出。在 MOS 晶体管 TP8、TN13 的栅极加上反相使能信号/ENA。

图 18 表示具有本申请第 2 发明第 5 实施形态的具有中间电压发生电路的非易失性半导体存贮器。

基准电压 VRET 输入电流镜型差动放大电路 31A 的负输入端，其输出节点连接上拉用 P 沟道 MOS 晶体管 RTP 的栅极。又，VPP 侧电源端子与 MOS 晶体管 TP1 的栅极间连接 P 沟道晶体管 TP20。MOS 晶体管 TP20 的栅极和漏极互连。

充电泵电路的升压电压 VPP 输入 MOS 晶体管 TP1 的源极，输出电压 VOUT 自漏极输出。开关电路 40 及电阻 R2、R2 串联连接至 MOS 晶体管 TP1 的漏极与接地点之间。电阻 R1 与 R2 的接点 B 连接差动放大电路 31A 的正侧输入端。

开关电路 40 由源极连接输出节点 C 的 n (n 自然数)个 P 沟道 MOS 晶体管 S1、S2、……Sn 构成。各 MOS 晶体管 S1、S2、……S11 的漏极间连接电阻 r1、r2……rn。位于最外端的 MOS 晶体管 S1 的漏极连接电阻 R1。

各 MOS 晶体管 S1、S2……Sn 的导通、截止动作由控制信号 Cs 控制。控制信号 Cs 仅使 n 个 MOS 晶体管 S1、S2……Sn 中的一个为导能状态。即，通过开关电路 40，可切换连接点 B 的电阻林，通过这种切换，可得到各种输出电压值 VOUT。

若形成各 MOS 晶体管 S1、S2、……Sn 的衬底（或阱）连接输出节点 C，可则防止因耦合引起的连接点 B 的电压 VB 的变动。

在 MOS 晶体管 TP1 的漏极与接地点间连接 N 沟道 MOS 晶体管 TN4。该 MOS 晶体管 TN4 的栅极输入反相使能信号/ENA。

又，MOS 晶体管 TP1 的漏极与接地点间连接 N 沟道 MOS 晶体管 TH5。该 MOS 晶体管规模做得较小，它设置用于防止因过冲、亚阈值漏电流、与电源的电容耦合等引起的输出电压 VOUT 上升。

在 MOS 晶体管 TP1 的漏极与接地点间带连接电容 C1。设置该电容用于对差动放大电路 31 的反馈环路补偿相位延迟，使输出电压 VOUT 稳定。

又，MOS 晶体管 TP20 的规模（驱动力）设定得比上拉用 MOS 晶体管 TP1 的规模（驱动力）小。

在具有上述构成的中间电压发生电路中，通过设置开关电路 40，可得到各种中间电位。该开关电路 40 能用于如上的所述所有实施形态。

又，通过设置小规模的 P 沟道 MOS 晶体管 TP20，如图 12 所示，能有效防止输出电压 VOUT 振荡，可高速得到稳定的中间电压。

图 19 表示具有本申请第 6 实施形态的中间电压产生电路的非易失性半导体存贮器。

基准电压 VRET 输入电流镜型差动放大电路 31A 的负输入端，其输出节点连接上拉用 P 沟道 MOS 晶体管 RTP 的栅极。又，VPP 侧电源端子与 MOS 晶体管 TP1 的栅极间连接 P 沟道晶体管 TP20。MOS 晶体管 TP20 的栅极和漏极互连。

充电泵电路的升压电压 VPP 输入 MOS 晶体管 TP1 的源极，输出电压 VOUT 从漏极输出。

基准电压 VREF 输入电流镜型差动放大电路 31B 的负输入端，其输出节点连接下拉用 N 沟道 MOS 晶体管 TN6 的栅极。在 VSS 侧电源端（接地点）和差动放大电路 31B 的输出节点间连接 N 沟道 MOS 晶体管 TN20。MOS 晶体管 TN20 的栅极和漏极互连。

MOS 晶体管 TN6 的源极输入接地电压 VSS，输出电压 VOUT。

在 MOS 晶体管 TP1、TN6 的漏极和接地点向串联连接开关电路 40 及电阻 R1、R2。电阻 R1、R2 的连接点连接差动放大电路 31A、31B 的正输入端。

开关电路 40 由源极连接输出节点 C 的 n (n 自然数)个 P 沟道 MOS 晶体管 S1、S2、……Sn 构成。各 MOS 晶体管 S1、S2、……S11 的漏极间连接电阻 r1、r2……rn。位于最外端的 MOS 晶体管 S1 的漏极连接电阻 R1。

各 MOS 晶体管 S1、S2……Sn 的导通、截止动作由控制信号 Cs 控制。控制信号 Cs 仅使 n 个 MOS 晶体管 S1、S2……Sn 中的一个为导能状态。即，通过开关电路 40，可切换连接点 B 的电阻林，通过这种切换，可得到各种输出电压值 VOUT。

若形成各 MOS 晶体管 S1、S2、……Sn 的衬底（或阱）连接输出节点 C，可则防止因耦合引起的连接点 B 的电压 VB 的变动。

在 MOS 晶体管 TP1 的漏极与接地点间连接 N 沟道 MOS 晶体管 TN4。该 MOS 晶体管 TN4 的栅极输入反相使能信号/ENA。

在 MOS 晶体管 TP1 的漏极与接地点间带连接电容 C1。设置该电容用于对差动放大电路 31 的反馈环路补偿相位延迟，使输出电压 VOUT 稳定。

MOS 晶体管 TP20 的规模 9 驱动力（设定得比上拉用 MOS 晶体管 TP1 的规模（驱动力）小。MOS 晶体管 TN20 的规模（驱动力）设定得比下拉用 MOS 晶体管 TN6 的规模（驱动力）小。

在具有上述构成的中间电压发生电路中，通过设置开关电路 40，可得到各种

中间电位。该开关电路 40 能用于如上的所述所有实施形态。

又，通过设置小规模的 P 沟道 MOS 晶体管 TP20，如图 12 所示，能有效防止输出电压 VOUT 振荡，可高速得到稳定的中间电压。

在本实施形态中，利用 MOS 晶体管 TP20、TN20 消除反馈延迟，可防止输出电压 VOUT 振荡。因此，输出电压 VOUT 设定时，不必设置不灵敏区，在差动放大电路 31A、31B 的正输入端，施加相同输入电压 VB，可得到预定的输出电压 VOUT。

又，通过设置下拉用 MOS 晶体管 TN6，不需要始终处于导通状态的泄流用 MOS 晶体管（相当于图 18 的 TN5）。

图 20 表示具有本申请第 2 发明第 7 实施形态的中间电压发生电路的非易失性半导体存储器。

基准电压 VREF 输入电流镜型差动放大电路 31B' 的负输入端，其输出节点连接 N 沟道 MOS 晶体管 TN21 的栅极。在 VSS 侧电源侧（接地点）与差动放大电路 31B' 的输出节点间连接 N 沟道 MOS 晶体管 TN22。MOS 晶体管 TN22 的栅极和漏极互连。

MOS 晶体管 TN21 的源极连接接地点，其漏极连接上拉用 P 沟道 MOS 晶体管 TP1 的栅极。在 VPP 侧电源端与 MOS 晶体管 TN21 的漏极间并联连接 P 沟道 MOS 晶体管 TP20、TP21。MOS 晶体管 TP20 的栅极和漏极互连。MOS 晶体管 TP21 的栅极输入使能信号/ENA。

MOS 晶体管 TP1 的源极输入充电泵电路的升压电压 VPP，输出电压 VOUT 自漏极输出。在 MOS 晶体管 TP1 的漏极与接地点间，串联连接开关电路 40、电阻 R1、R2。电阻 R1、R2 的连接点 B 连接差动放大电路 31A 的正输入端。

开关电路 40 由源极连接输出节点 C 的 n (n 自然数)个 P 沟道 MOS 晶体管 S1、S2、……Sn 构成。各 MOS 晶体管 S1、S2、……S11 的漏极间连接电阻 r1、r2……rn。位于最外端的 MOS 晶体管 S1 的漏极连接电阻 R1。

各 MOS 晶体管 S1、S2……Sn 的导通、截止动作由控制信号 Cs 控制。控制信号 Cs 仅使 n 个 MOS 晶体管 S1、S2……Sn 中的一个为导能状态。即，通过开关电路 40，可切换连接点 B 的电阻林，通过这种切换，可得到各种输出电压值 VOUT。

MOS 晶体管 TP20、TP21、TN21、TN22 的规模（驱动力）设定成比上拉用 MOS 晶体管 TP1 的规模（驱动力）小。

在具有上述构成的中间电压发生电路中，通过设置开关电路 40，可得到各种中间电位。该开关电路 40 能用于如上的所述所有实施形态。

又，通过设置小规模的 P 沟道 MOS 晶体管 TP20，如图 12 所示，能有效防止输出电压 VOUT 振荡，可高速得到稳定的中间电压。

通过设置小规模的 N 沟道 MOS 晶体管 TN21、TN22，可不用升压电压 VPP 而由外部电源 VDD 使差动放大电路 31B' 动作。由引可防止在用升压电压 VPP 使差动放大电路 31B' 动作时，随升压电压 VPP 的波动而引起的特性变化。

图 21 表示具有本申请第 2 发明的第 8 实施形态的中间电压产生电路的非易失半导体存储器。

基准电压 VRET 输入电流镜型差动放大电路 31A 的负输入端，其输出节点连接上拉用 P 沟道 MOS 晶体管 RTP 的栅极。又，VPP 侧电源端子与 MOS 晶体管 TP1 的栅极间连接 P 沟道晶体管 TP20。MOS 晶体管 TP20 的栅极和漏极互连。

MOS 晶体管 TN21 的源极连接接地点，其漏极连接上拉用 P 沟道 MOS 晶体管 TP1 的栅极。在 VPP 侧电源端子与 MOS 晶体管 TN2 的漏极间并联连接 P 沟道 MOS 晶体管 TP20、TP21。MOS 晶体管 TP20 的栅极与漏极互连，MOS 晶体管 TP21 的栅极输入使能信号/ENA。

MOS 晶体管 TP1 的源极输入充电泵电路的升压电压 VPP，输出电压 VOUT 自基漏极输出。

电流镜型差动放大电路 31B" 的负侧输入端输入基准电压 VREF，其输出节点连接下拉用 N 沟道 MOS 晶体管 TN6 的栅极。VSS 侧电源端（接地点）与差动放大电路 31B" 的输出节点间，连接 N 沟道 MOS 晶体管 TN22。MOS 晶体管 TN20 的栅极与漏极互连。

MOS 晶体管 TN6 的源极输入接地电压 VSS，输出电压 VOUT 自基漏极输出。

在 MOS 晶体管 TP1、TN6 的漏极与接地点间，串接连接开关电路 40 及电阻 R1、R2。电阻 R1、R2 的连接点 B 连接差动放大电路 31B' 。31B" 的输入端。

开关电路 40 由源极连接输出节点 C 的 n (n 自然数)个 P 沟道 MOS 晶体管 S1、S2、……Sn 构成。各 MOS 晶体管 S1、S2、……S11 的漏极间连接电阻 r1、r2……rn。位于最外端的 MOS 晶体管 S1 的漏极连接电阻 R1。

各 MOS 晶体管 S1、S2……Sn 的导通、截止动作由控制信号 Cs 控制。控制信号 Cs 仅使 n 个 MOS 晶体管 S1、S2……Sn 中的一个为导能状态。即，通过开关

电路40，可切换连接点B的电阻林，通过这种切换，可得到各种输出电压值VOUT。

若形成各MOS晶体管S1、S2、……Sn的衬底（或阱）连接输出节点C，可则防止因耦合引起的连接点B的电压VB的变动。

在MOS晶体管TP1的漏极与接地点间连接N沟道MOS晶体管TN4。该MOS晶体管TN4的栅极输入反相使能信号/ENA。

在MOS晶体管TP1的漏极与接地点间带连接电容C1。设置该电容用于对差动放大电路31的反馈环路补偿相位延迟，使输出电压VOUT稳定。

又，MOS晶体管TP20的规模（驱动力）设定得比上拉用MOS晶体管TP1的规模（驱动力）小。

MOS晶体管TP20、TP21、TN21、TN22的规模（驱动力）设定得比上拉用MOS晶体管TP1的规模（驱动力）小。而，MOS晶体管TN20的规模（驱动力）设定得比下拉用MOS晶体管TN6的规模（驱动力）小。

在具有上述构成的中间电压发生电路中，通过设置开关电路40，可得到各种中间电位。该开关电路40能用于如上的所述所有实施形态。

又，通过设置小规模的P沟道MOS晶体管TP20，如图12所示，能有效防止输出电压VOUT振荡，可高速得到稳定的中间电压。

通过设置小规模的N沟道MOS晶体管TN21、TN22，不用升压电压VPP，由外部电源VDD可使差动放大电路31B'动作。且，差动放大电路31B"也可由外部电源VDD使之动作。

由此，能防止用升压电压VPP使差动放大电路31B'、31B"动作时，随着升压电压VPP的波动而引起的特性变化。

在实施形态中，利用MOS晶体管TP20、TN30消除反馈延迟，可防止输出电压VOUT振荡。由此，在设定输出电压VOUT时，不必设置不灵敏区，在差动放大电路31B'、31B"的正输入端施加相同电压VB，即可得到预定的输出电压VOUT。

通过设置下拉用MOS晶体管TN6，不需要总处于导通状态的泄流用MOS晶体管（相当于图20的TN5）。

图22表示在备有图18至图21所示的开关电路的中间电压发生电路中，进行开关电路切换从而取得多种电压时输出电压的模拟结果。

该模拟中，使字线电压Vg以下述顺序变化：7.5V（编程·验证（P·V））→10V

（编程(prog)）→7.5V(P·V)→5V(禁止(Inhi.))→3.5V（擦除·验证(E·V)）5V(Inhi.))→10V（prog.）→7.5V（P·V）。

从该模块结果可见，根据图 11、14～16、18，19 所示的本申请的第 2 发明，可抑制输出电压 VOUT 变化时的该电压的振荡，可快速且稳定地输出预定电压。

如上所述，根据本发明的非易失性半导体存贮器，可取得下述效果。

在本申请的第 1 发明中，除备有向输出节点充电的上拉用 P 沟道 MOS 晶体管外，还备有使输出节点放电的下拉用 N 沟道 MOS 晶体管。

下拉用 N 沟道 MOS 晶体管使输出节点煌电压（升压电压 VPP）急速下降，同时在输出节点电压小于预定值时及其以后，该晶体管控制成维持截止状态直到输出节点电压稳定至预定值。

因而，能使输出节点电压从升压电压 VPP 到稳定至预定输出电压 VOUT 止的时间非常短。

又，通过设置下拉用 N 沟道 MOS 晶体管，使确定差差动放大电路正输入电压的电阻阻值变大，能减少经该电阻流至接地点地电流，因而可减少输出电压 VOUT 稳定时的消耗电力。

下拉用 N 沟道 MOS 晶体管，若输出电压 VOUT 降低至预定电压，则停止降低输出节点电压的动作。由此，因为仅以上拉用 P 沟道 MOS 晶体管控制输出节点电压，能有效防止输出电压 VOUT 的振荡。

这样，根据本申请的第 1 发明，能满足低消耗电力及高速化两方面的要求。

在本申请的第 2 发明中，在 VPP 侧电源端子与上拉用 P 沟道 MOS 晶体管的栅极间，连接栅极和漏极互连的小规模 MOS 晶体管。

因而，能缩短上拉用 P 沟道 MOS 晶体管栅极电容引起的延迟，提高差动放大电路反馈速度。由此，输出电压切换时，能抑制输出电压振荡，可快速且稳定地输出预定电压。

又，在备有拉用 N 沟道 MOS 晶体管时，若在 VSS 侧电源端和下拉用 N 沟道 MOS 晶体管栅极间连接栅极和漏极互连的小规模 MOS 晶体，则可缩短下拉用 N 沟道 MOS 晶体管栅极电容产生的延迟，抑制输出电压振荡。

使差动放大电路的输出电压电平顺次偏移并提供给上拉用 MOS 晶体管，由此，可用外部电源 VDD 使差动放大电路动作。

通过用开关电路切换差动放大电路反馈电压的电阻分压比，可得到多种值的

中间电压（输出电压）。

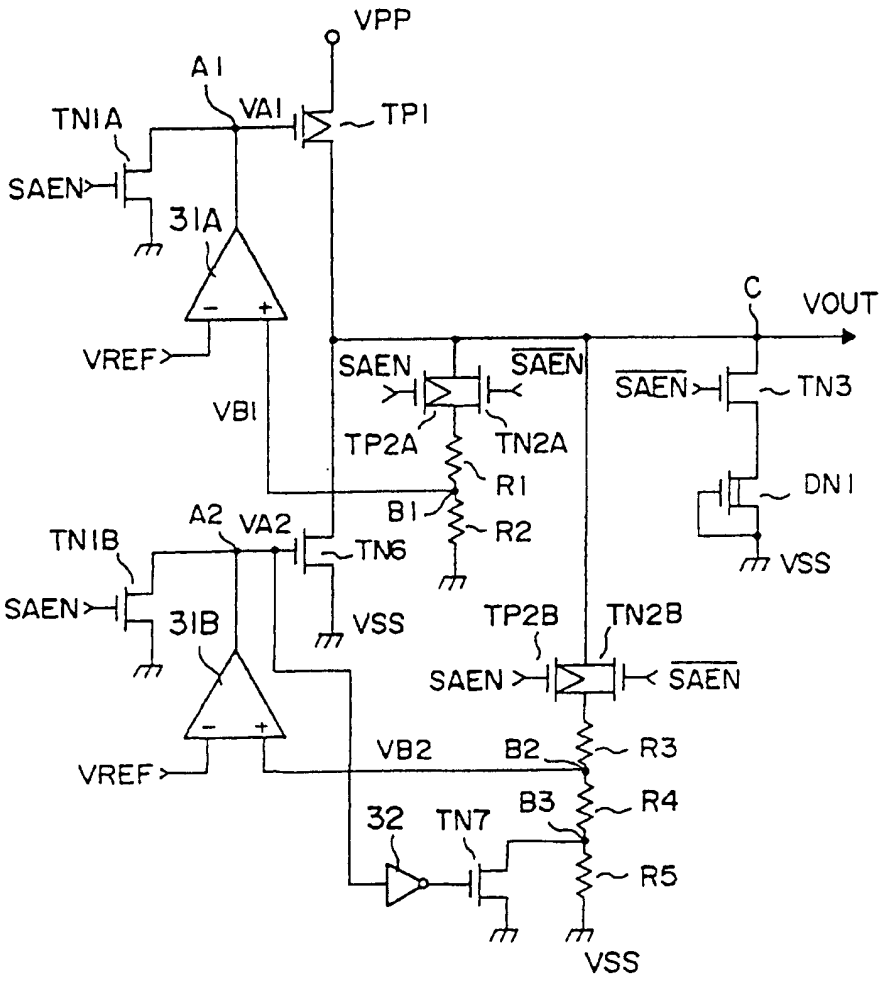

VPP
A1
VA1
TP1
TN1A
SAEN
31A
VREF
VB1
C
VOUT
SAEN
SAEN
SAEN
TN3
TP2A
TN2A
R1
B1
R2
DN1
A2
VA2
TN1B
TN6
VSS
SAEN
31B
VSS
TP2B
TN2B
SAEN
SAEN
VB2
B2
R3
B3
R4
VREF
32
TN7
R5
VSS

图 1

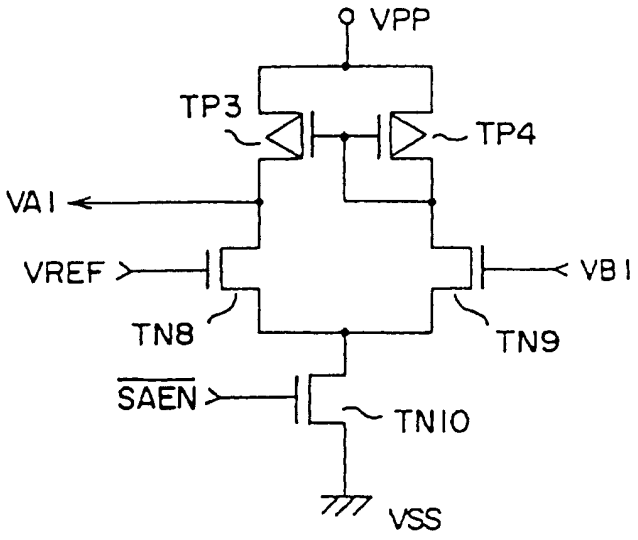

VPP
TP3
TP4
VA1
VREF
VB1
TN8
TN9
SAEN
TN10
VSS

图 2

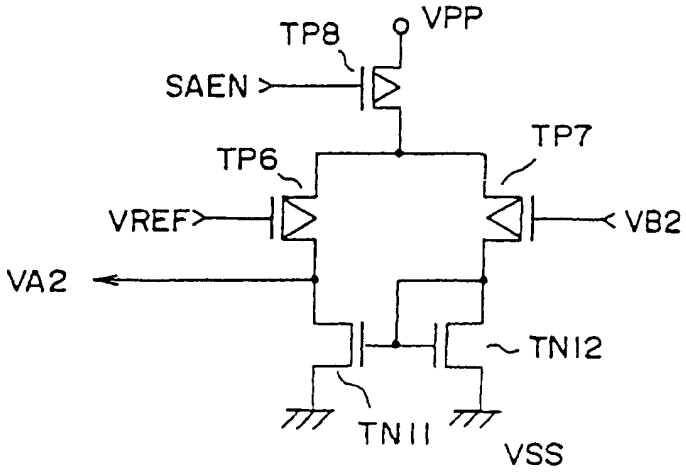

TP8
VPP
SAEN
TP7
TP6
VREF
VB2
VA2
TN12
TN11
VSS

图 3

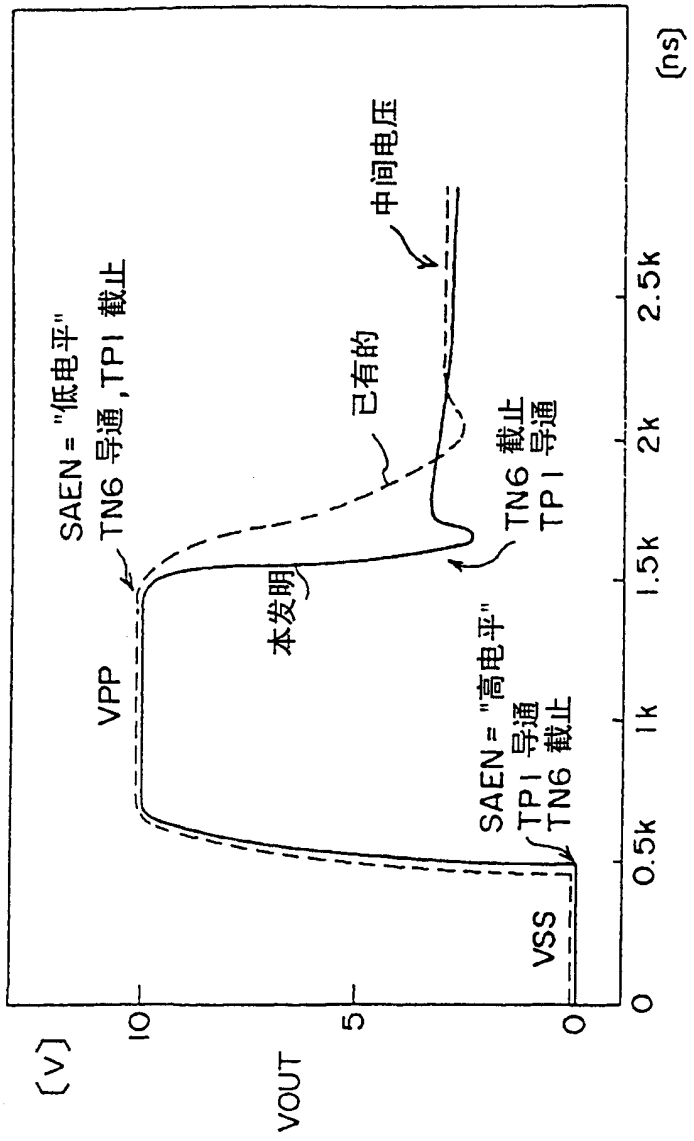

SAEN = "低电平"
TN6 导通, TP1 截止
VPP
本发明
已有的
中间电压
TN6 截止
TP1 导通
SAEN = "高电平"
TP1 导通
TN6 截止
VSS
VOUT
(V)
10
5
0
0
0.5k
1k
1.5k
2k
2.5k
(ns)

图 4

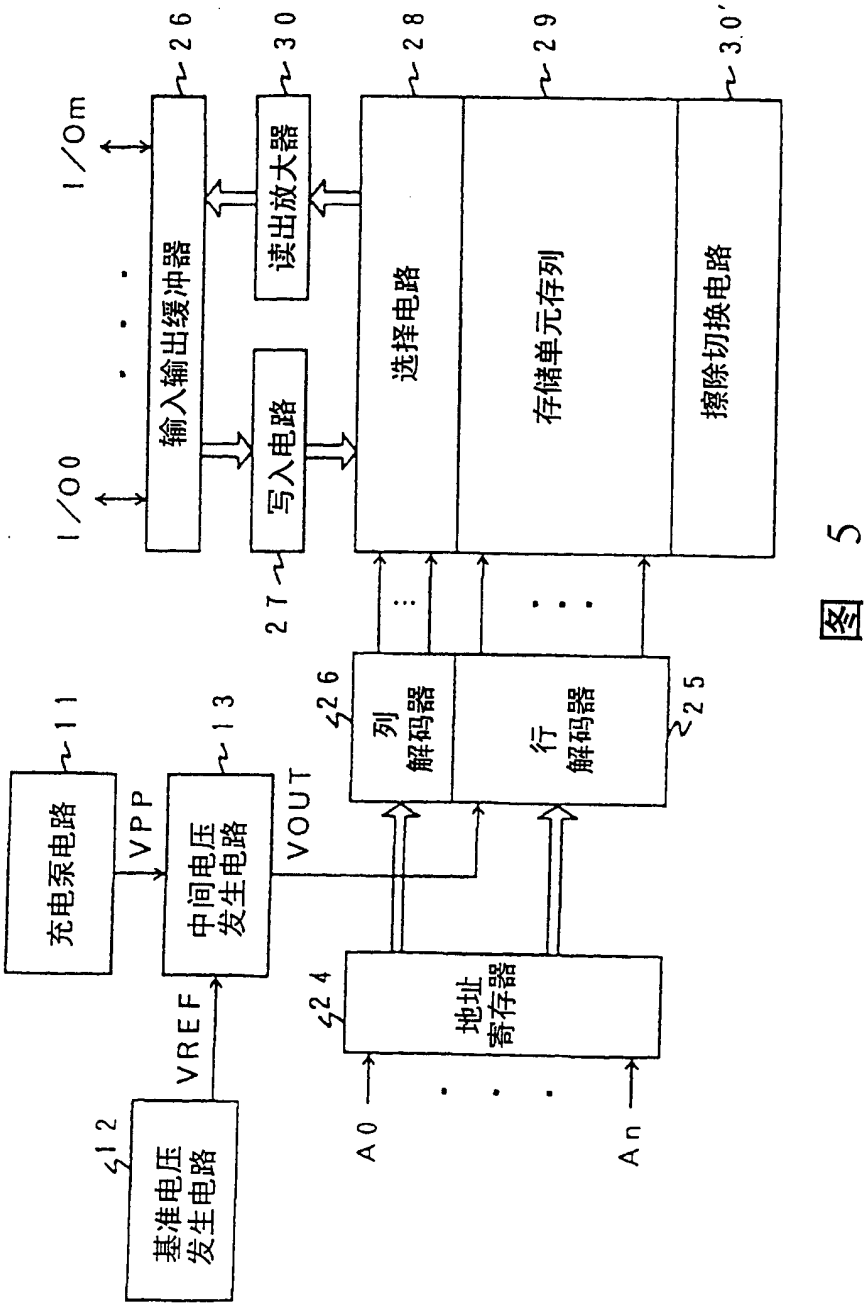

I/O0
I/Om
输入输出缓冲器
读出放大器
写入电路
选择电路
存储单元存列
擦除切换电路
列解码器
行解码器
地址寄存器
充电泵电路
中间电压发生电路
基准电压发生电路
VPP
VOUT
VREF
A0
An
26
30
28
29
30'
27
26
25
24
11
13
12

图 5

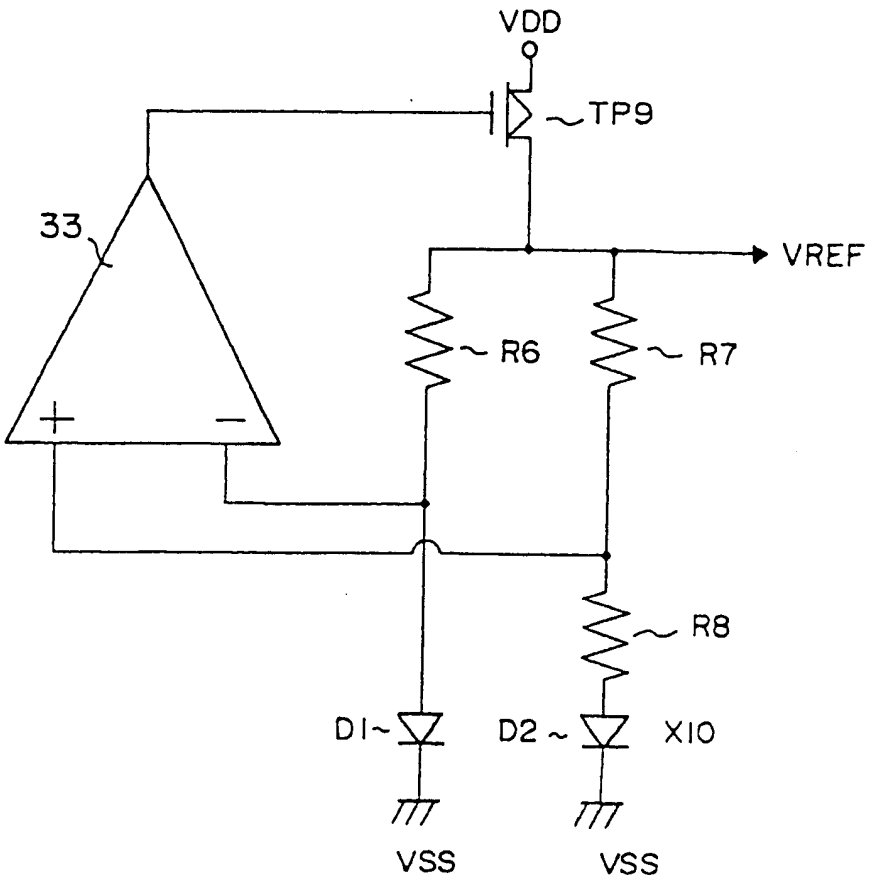


图 6

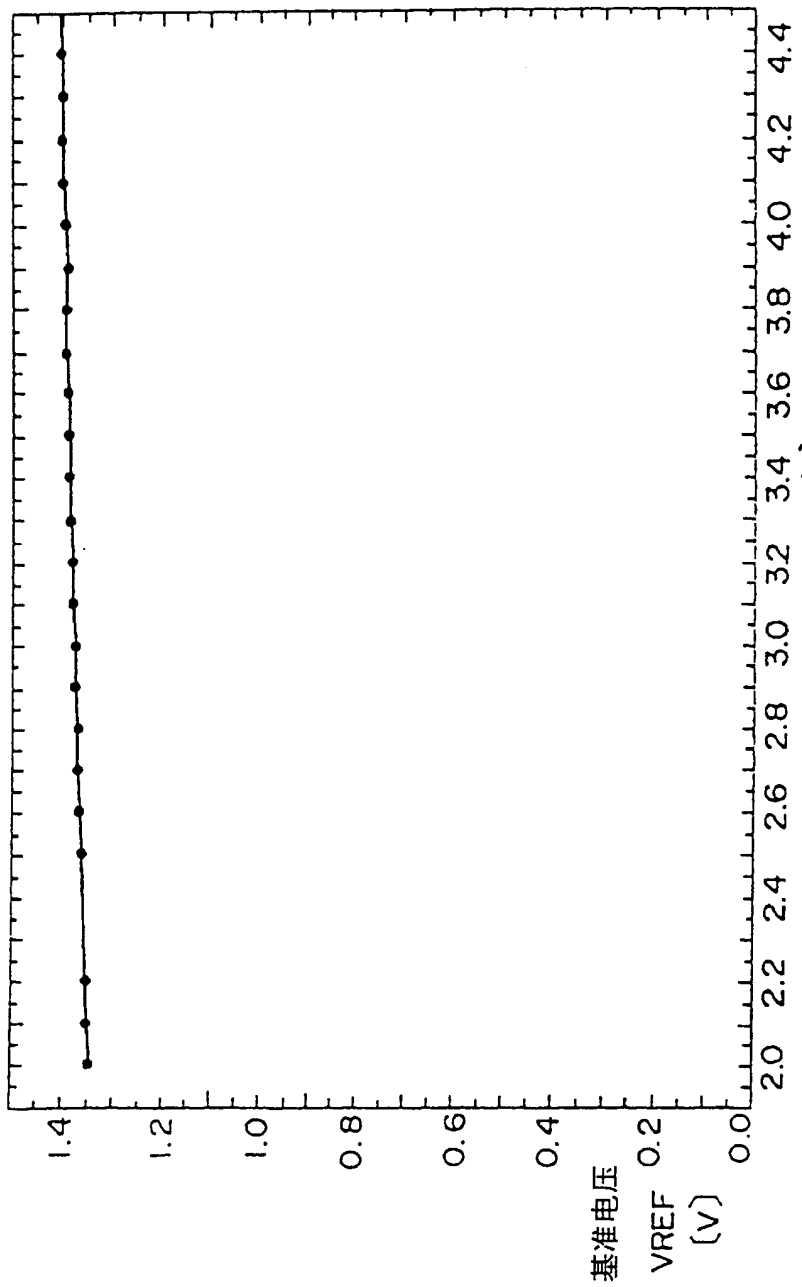

基准电压
VREF
(V)
0.0
0.2
0.4
0.6
0.8
1.0
1.2
1.4
2.0
2.2
2.4
2.6
2.8
3.0
3.2
3.4
3.6
3.8
4.0
4.2
4.4
外部电源 VDD(V)
VDD 3.3V±0.6V，变动在0.6%

图 7

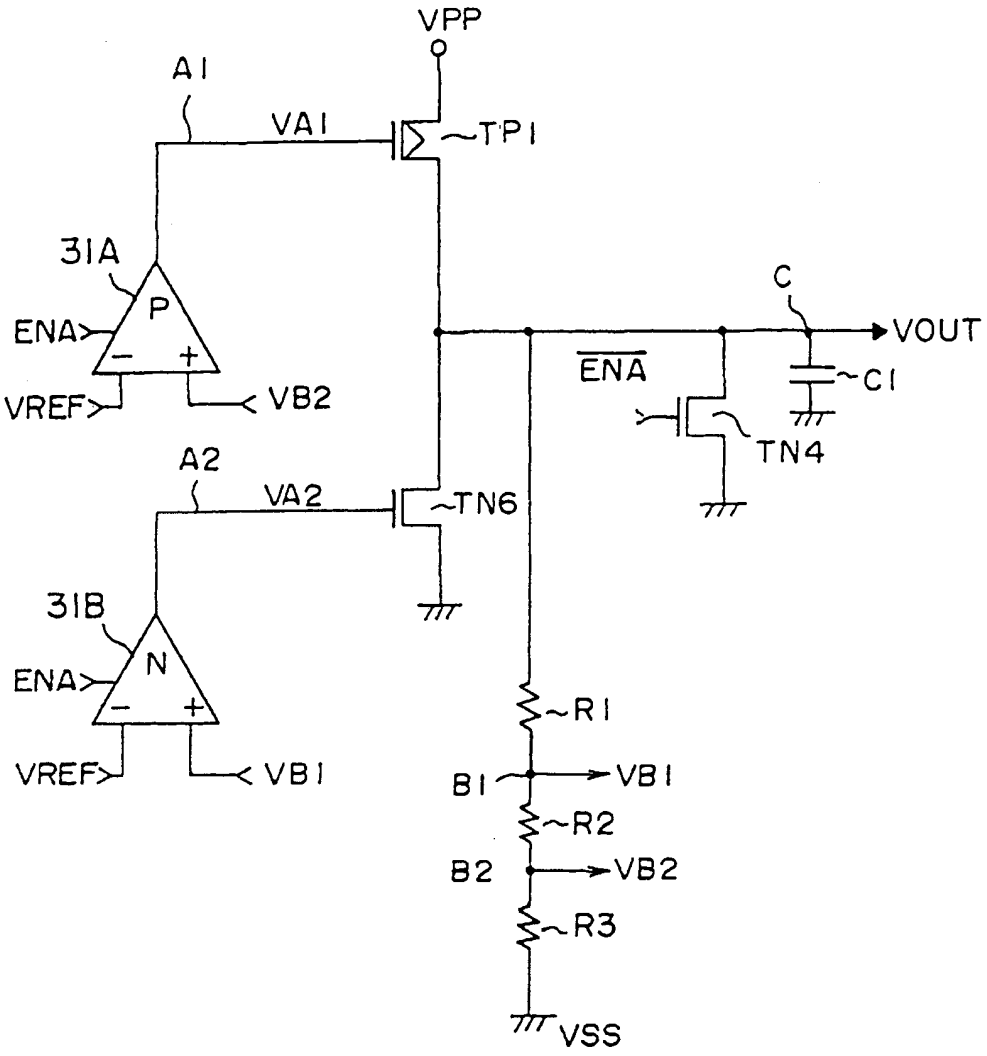

VPP
A1
VA1
TP1
31A
P
ENA
VREF
VB2
C
VOUT
ENA
C1
TN4
A2
VA2
TN6
31B
N
ENA
VREF
VB1
R1
B1
VB1
R2
B2
VB2
R3
VSS

图 8

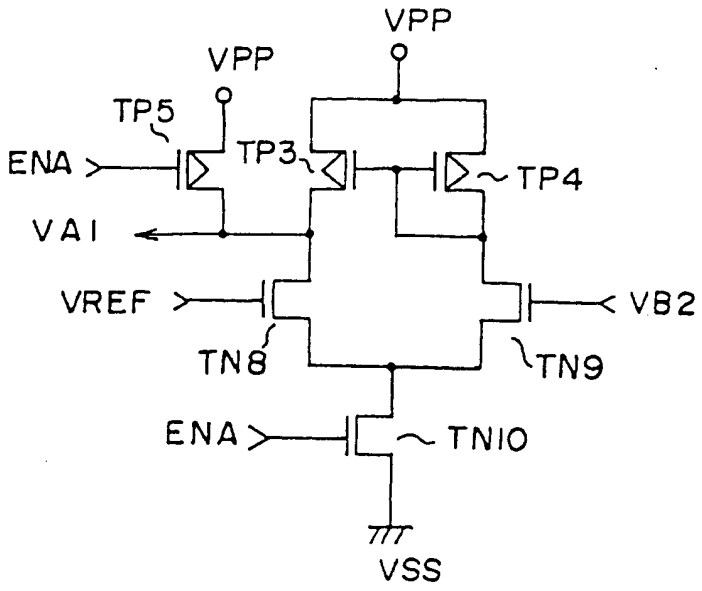

VPP
VPP
TP5
ENA
TP3
TP4
VA1
VREF
VB2
TN8
TN9
ENA
TN10
VSS

图 9

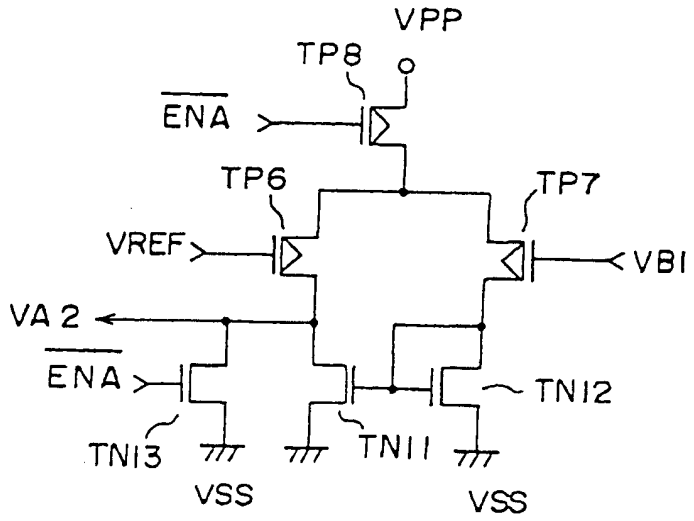

VPP
TP8
ENA
TP6
TP7
VREF
VB1
VA2
ENA
TN12
TN13
TN11
VSS
VSS

图 10

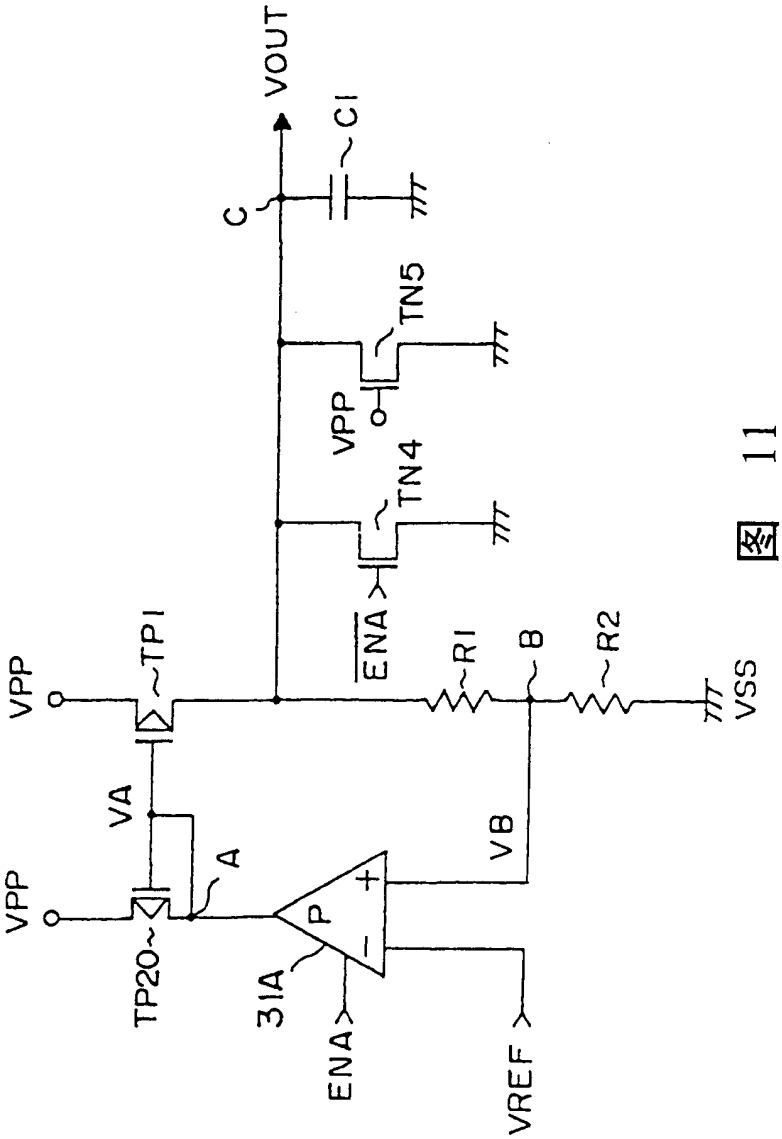

VOUT
C1
C
TN5
VPP
TN4
ENA
TP1
VPP
R1
B
R2
VSS
VA
A
VB
VPP
TP20
31A
P
ENA
VREF

图 11

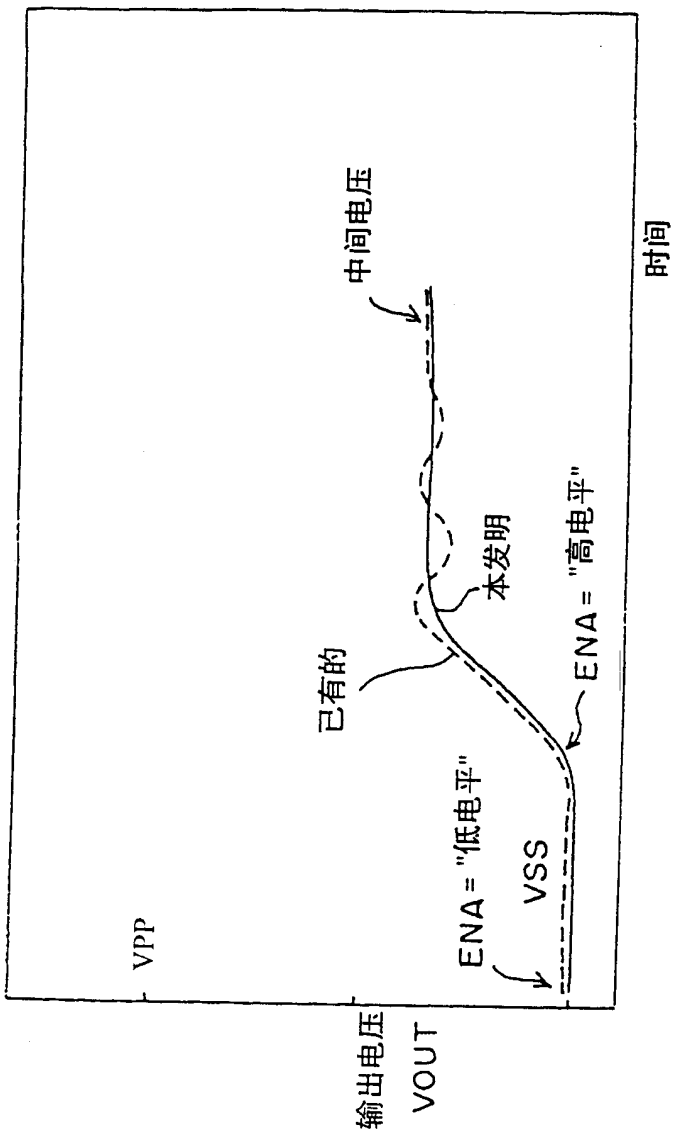


图 12

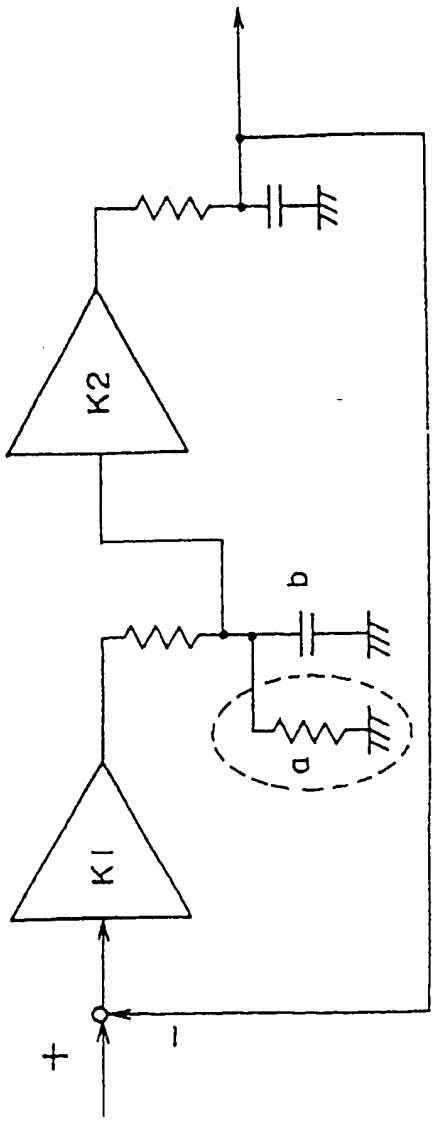


图 13

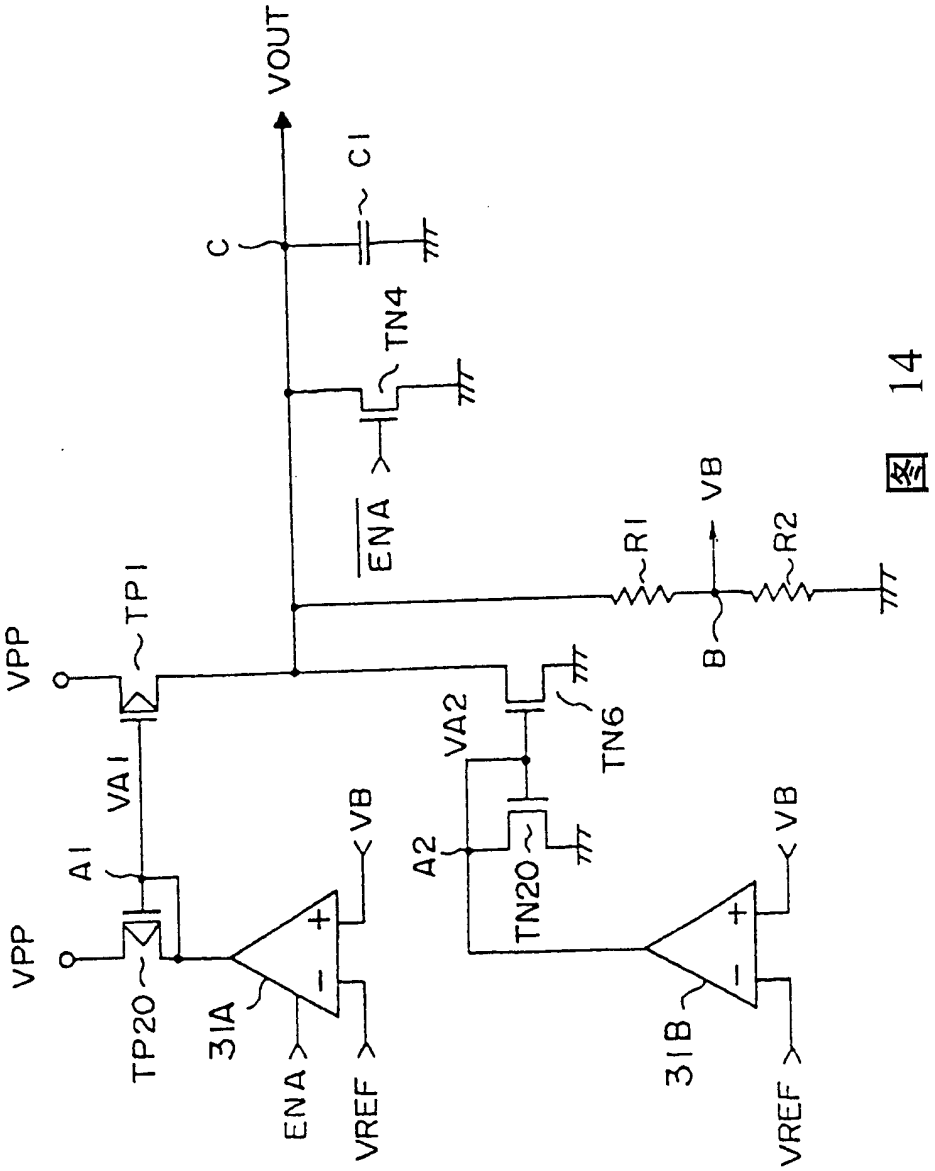

VOUT
C1
C
TN4
ENA
R1
VB
R2
B
TP1
VPP
VA1
A1
VA2
TN6
A2
TN20
TP20
31A
31B
ENA
VREF

图 14

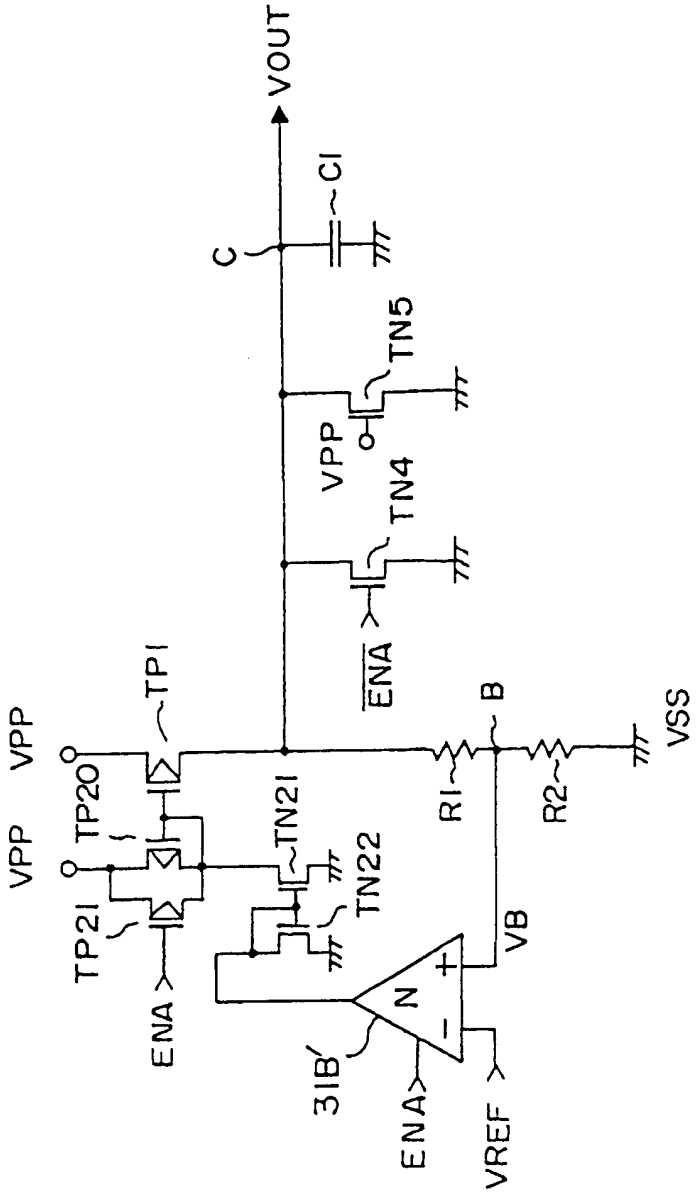

VOUT
C
CI
TN5
VPP
TN4
ENA
B
VSS
TP1
VPP
VPP
TP20
TN21
R1
R2
TN22
TP21
VB
ENA
N
31B'
ENA
VREF

图 15

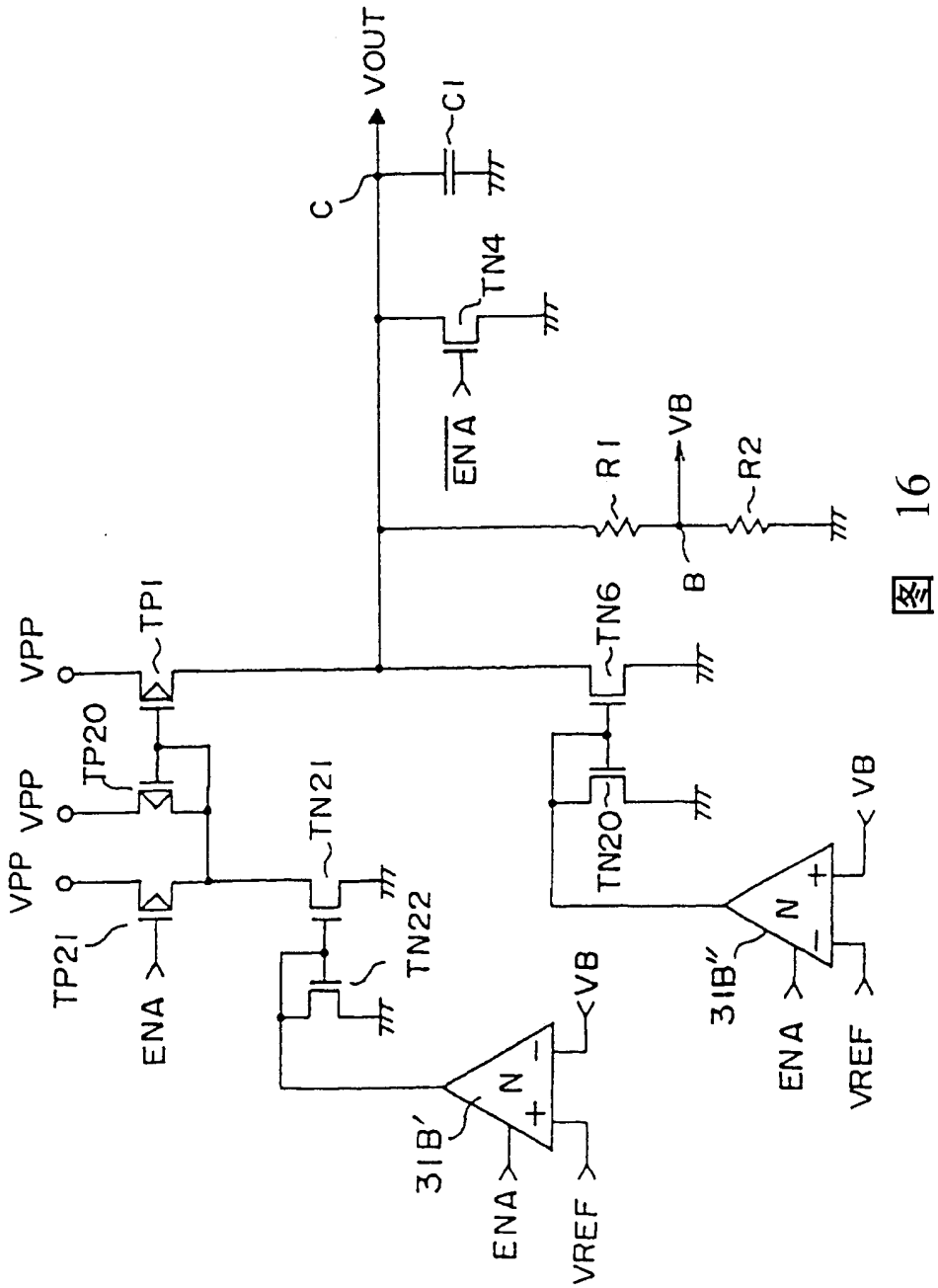

VOUT
C1
C
TN4
ENA
VB
R1
R2
B
TN6
TP1
VPP
TP20
VPP
TN21
TN20
VPP
TP21
ENA
TN22
VB
N
31B'
ENA
VREF
VB
N
31B''
ENA
VREF

图 16

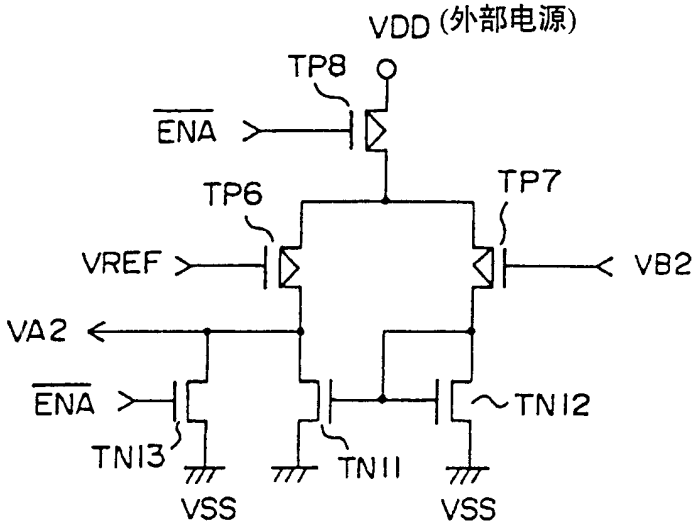

VDD (外部电源)
TP8
ENA
TP6
TP7
VREF
VB2
VA2
ENA
TN12
TN13
TN11
VSS
VSS

图 17

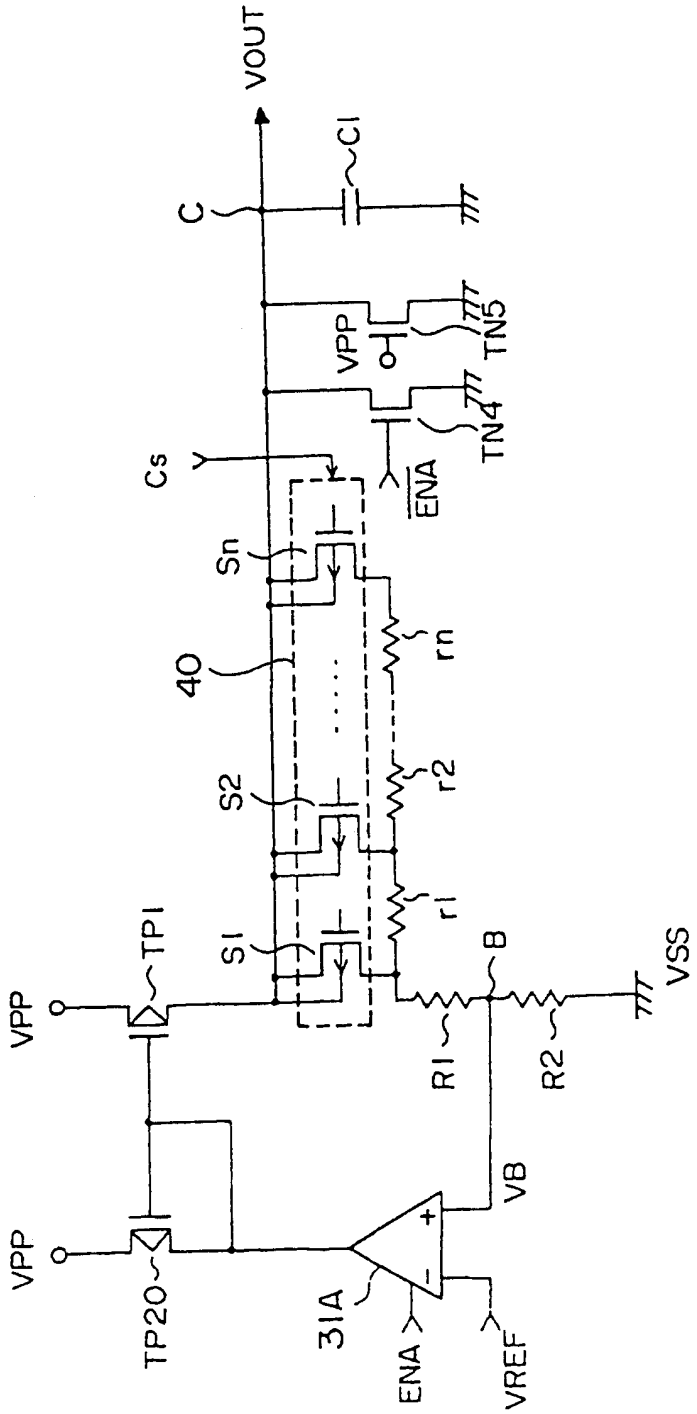

VOUT
C1
C
VPP
TN5
TN4
ENA
Cs
Y
Sn
rn
40
S2
r2
r1
S1
TP1
B
VSS
VPP
R1
R2
VB
VPP
TP20
31A
ENA
VREF

图 18

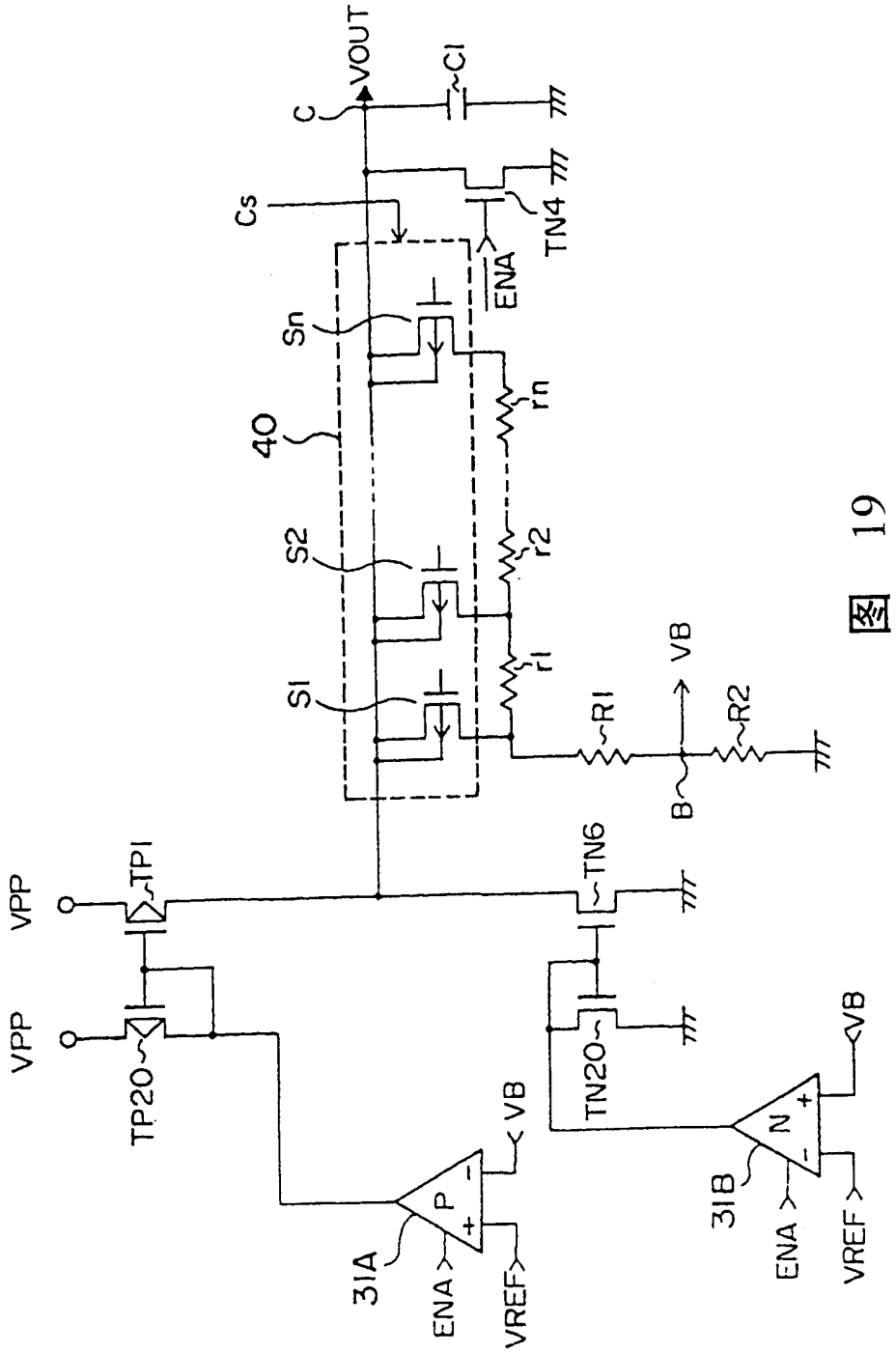

VOUT
C
C1
Cs
TN4
ENA
Sn
rn
40
S2
r2
S1
r1
R1
VB
R2
B
TN6
TP1
VPP
VPP
TP20
TN20
VB
P
N
31A
31B
ENA
VREF
ENA
VREF

图 19

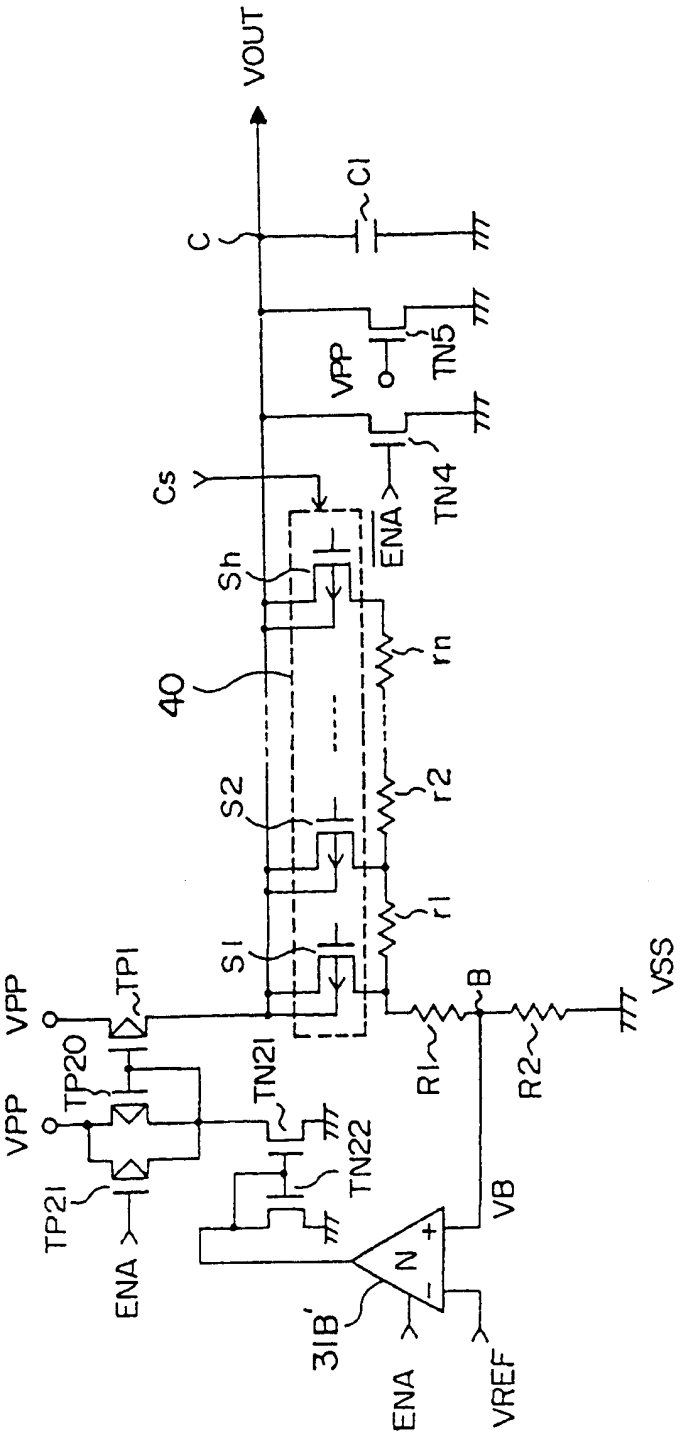

VOUT
C
C1
VPP
TN5
TN4
Cs
ENA
Sh
40
rn
S2
r2
S1
r1
VPP
TP1
TP20
VPP
TN21
TN22
TP21
ENA
R1
B
R2
VSS
VB
N
31B'
ENA
VREF

图 20

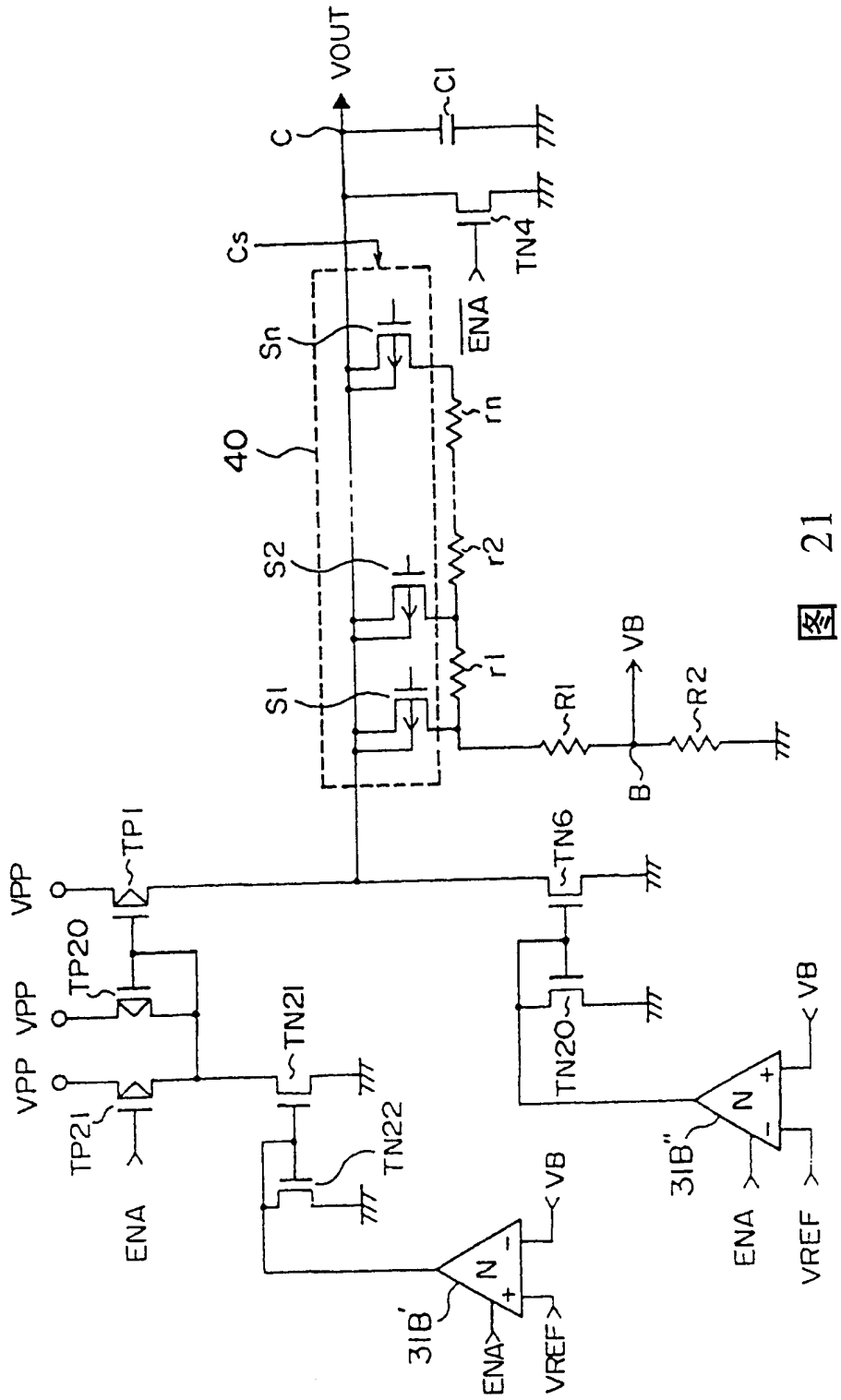

VOUT
C
C1
Cs
TN4
ENA
Sn
rn
40
S2
r2
S1
r1
R1
VB
R2
B
TP1
VPP
TP20
TP21
ENA
TN21
TN22
TN6
TN20
318'
318"
VREF

图 21

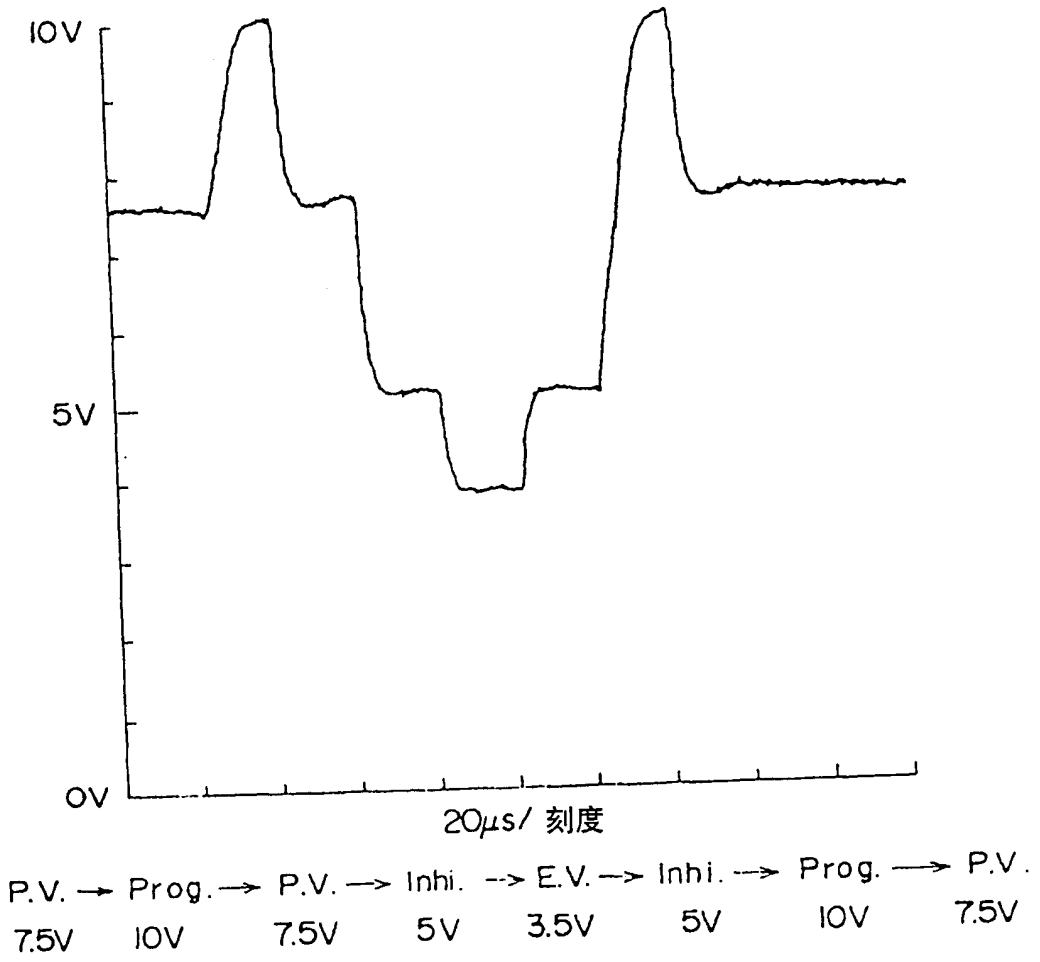

10V
5V
0V
20μs/ 刻度
P.V. → Prog. → P.V. → Inhi. → E.V. → Inhi. → Prog. → P.V.
7.5V 10V 7.5V 5V 3.5V 5V 10V 7.5V

图 22

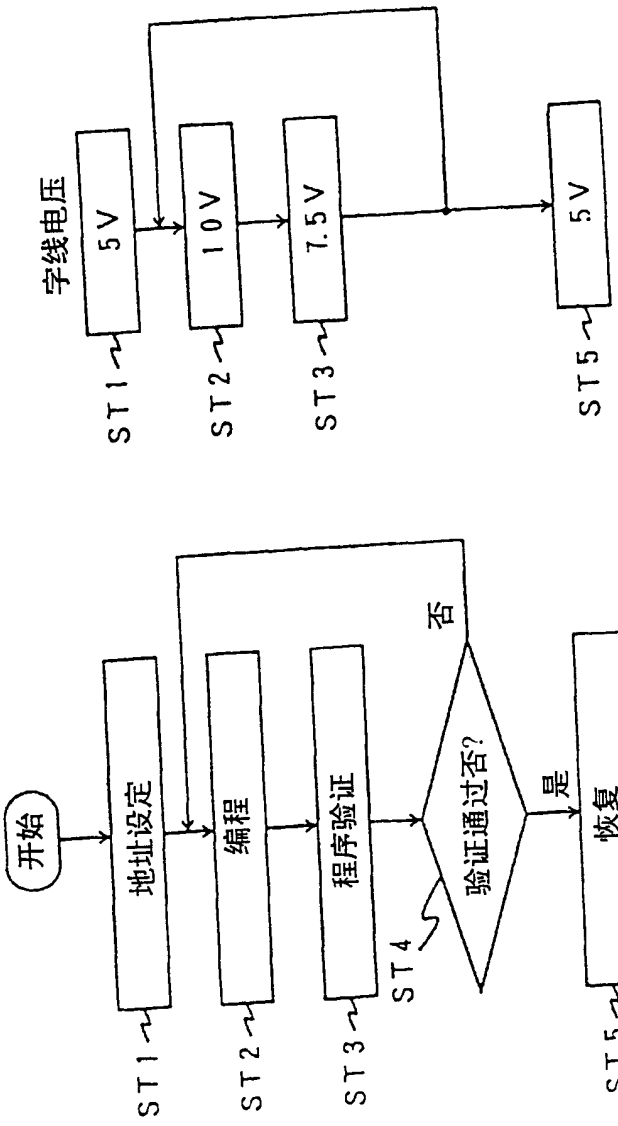

字线电压
5V
10V
7.5V
5V
ST1
ST2
ST3
ST5
开始
地址设定
编程
程序验证
验证通过否?
否
是
恢复
终止
ST1
ST2
ST3
ST4
ST5

图 23

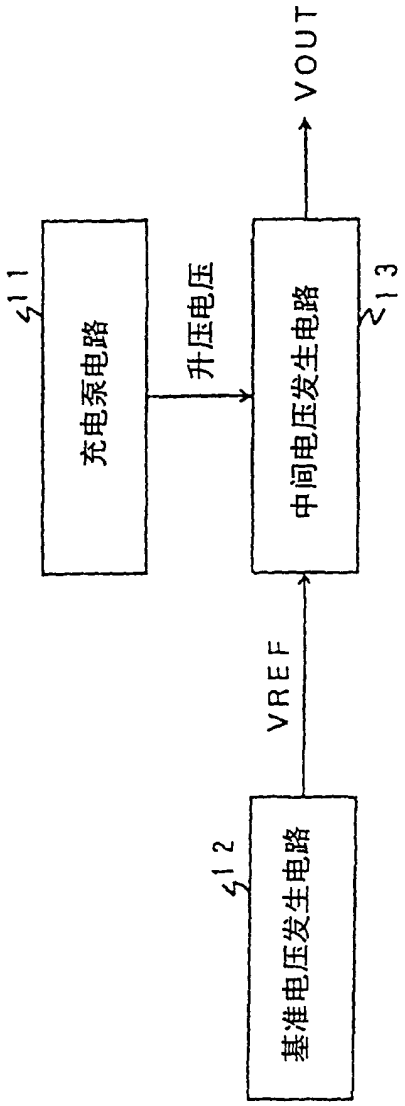


图 24

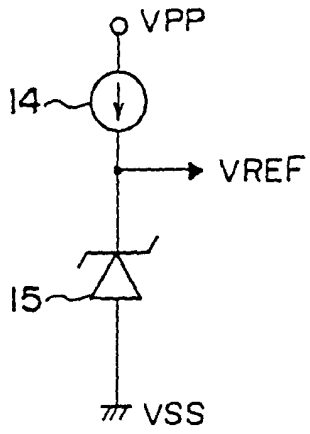


图 25

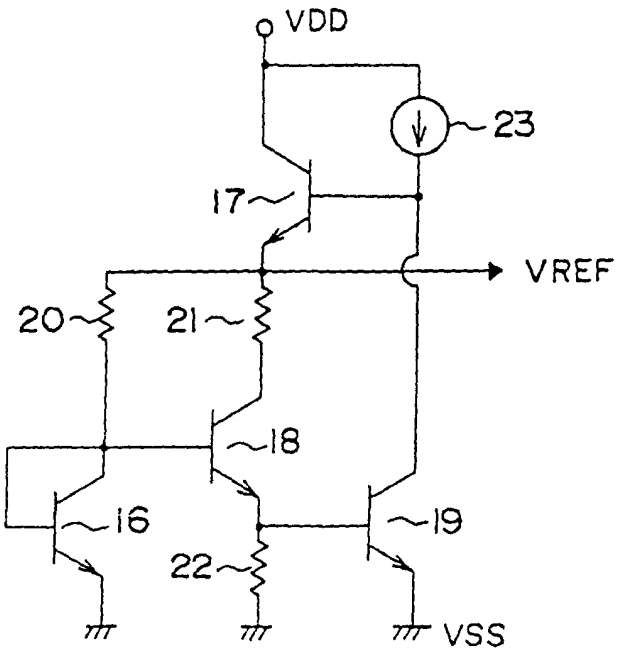


图 26

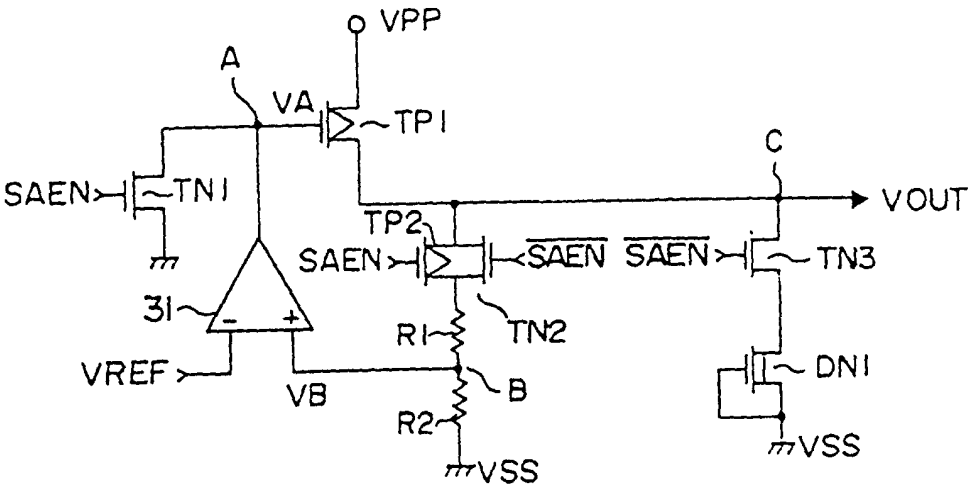

VPP
A
VA
TP1
C
SAEN
TN1
VOUT
TP2
SAEN
SAEN SAEN
TN3
31
R1
TN2
VREF
VB
B
DN1
R2
VSS
VSS

图 27

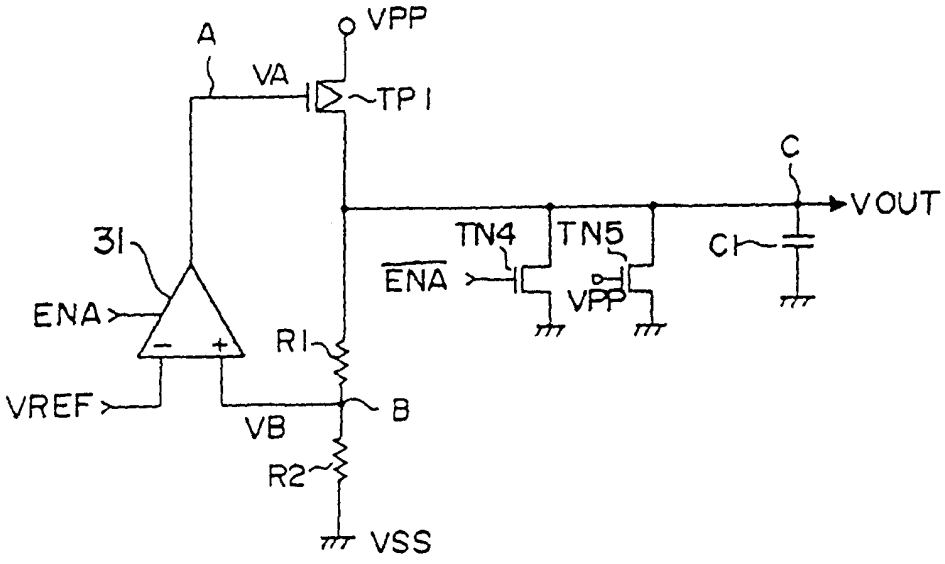

A
VPP
VA
TP1
C
VOUT
31
TN4
TN5
C1
ENA
VPP
ENA
R1
VREF
VB
B
R2
VSS

图 28

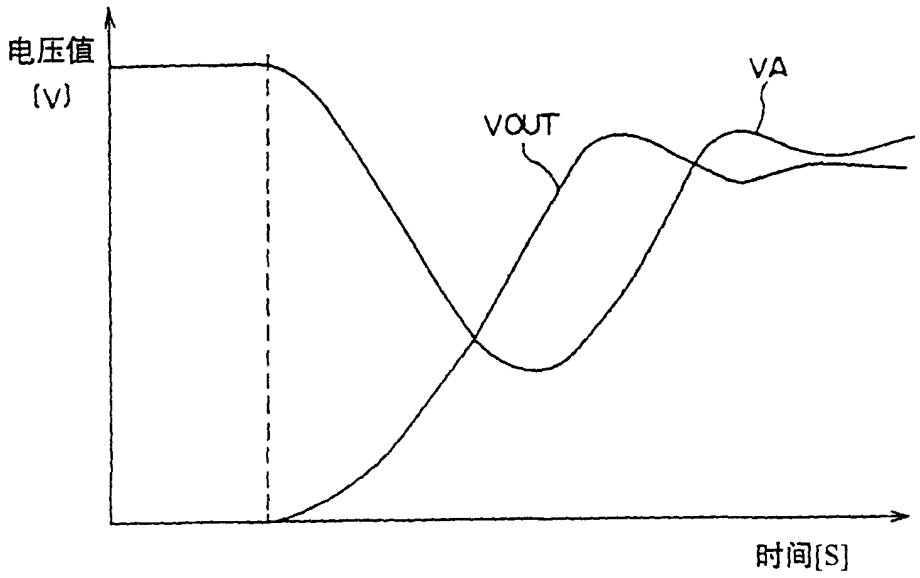


图 29