

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-506690

(P2005-506690A)

(43) 公表日 平成17年3月3日(2005.3.3)

(51) Int.Cl.<sup>7</sup>

H01L 25/10

H01L 25/11

H01L 25/18

F 1

H01L 25/14

テーマコード(参考)

Z

審査請求 未請求 予備審査請求 未請求 (全 85 頁)

(21) 出願番号	特願2003-535240 (P2003-535240)
(86) (22) 出願日	平成14年10月9日 (2002.10.9)
(85) 翻訳文提出日	平成16年4月9日 (2004.4.9)
(86) 國際出願番号	PCT/US2002/032251
(87) 國際公開番号	W02003/032370
(87) 國際公開日	平成15年4月17日 (2003.4.17)
(31) 優先権主張番号	60/328,038
(32) 優先日	平成13年10月9日 (2001.10.9)
(33) 優先権主張国	米国(US)

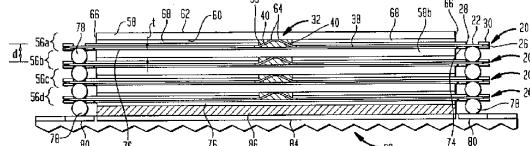
(71) 出願人	504142411 テッセラ、インコーポレイテッド アメリカ合衆国カリフォルニア州95134, サン・ノゼ, オーチャード・ドライブ 3099
(74) 代理人	100099623 弁理士 奥山 尚一
(74) 代理人	100096769 弁理士 有原 幸一
(74) 代理人	100107319 弁理士 松島 鉄男
(72) 発明者	ブリューグハウプト, エル・エリオット アメリカ合衆国カリフォルニア州95023, ロス・ガトス, モンクレア・ロード 252

最終頁に続く

(54) 【発明の名称】積層パッケージ

## (57) 【要約】

積層チップアセンブリが、誘電体層(20)上に実装されたチップ(58)と、誘電体層の周辺領域に端子(22)が配置されたチップのコンタクトを相互接続する誘電体層上のトレース(38)とを有する個々のユニット(56)を含む。トレース(38a, 38e)の少なくともいくつかが、チップセレクトコンタクトをチップセレクト端子に接続するマルチプランチトレースである。ユニットは、上下に積層され、異なるユニットの対応する端子が、はんだボール(78)または他の伝導性部品によって互いに接続されて、垂直方向バスを形成する。積層前に、個々のユニットのマルチプランチトレースは、個々のプランチ(50)を破断することによって、選択的に切断されて、異なるユニットにあるチップのチップセレクトコンタクトを異なるチップセレクト端子に接続した状態にすることにより、これらのチップを異なる垂直方向バスに接続する。個々のユニットは、薄いものであることが望ましく、互いに直接に隣接して、積層体内のチップからの熱伝達が良好な高さの低いアセンブリが得られる。



**【特許請求の範囲】****【請求項 1】**

(a) 複数のユニットと、

各ユニットは、(i)少なくとも1つのチップセレクトコンタクトおよび複数の他のコンタクトを有する半導体チップと、(ii)複数のチップセレクト端子と、複数の他の端子と、前記チップのコンタクトと前記端子との間に電気的に接続されて、回路パネル上または回路パネル中に延びるトレースとを有する回路パネルとを含み、

ここで、各チップセレクトコンタクトに電気的に接続された前記トレースが、前記セレクトコンタクトに接続された共通セクションと前記チップセレクト端子の異なる端子に接続された複数のプランチとを含むマルチプランチトレースであり、前記各マルチプランチトレースの、全プランチよりも少ない少なくとも1つのプランチに切断部があることによって、前記チップセレクト端子のすべてよりも少ない端子に前記セレクトコンタクトが接続され、

ここで、前記ユニットが、重ね合わされたユニットの積層体になるよう互いに上下に配置されており、

(b) 複数の垂直方向バスを形成するように、前記積層体において前記ユニットの端子を相互接続する垂直方向導体とを含み、

異なるユニットの前記チップセレクト端子が、前記垂直方向バスに接続され、前記マルチプランチトレースにある前記切断部が、異なるユニットの前記チップセレクトコンタクトが前記垂直方向バスの異なるバスに電気的に接続されるように配設される半導体チップアセンブリ。

**【請求項 2】**

前記各ユニットにおいて、前記各マルチプランチトレースの1つを除くすべてのプランチに切断部があることによって、各チップセレクトコンタクトが、前記ユニットの1つのみの前記チップセレクト端子に接続されるものである請求項1に記載の半導体アセンブリ。

**【請求項 3】**

異なるユニットの前記チップとトレースと端子とは互いに同一のものであるが、前記ユニットの異なるユニットが、異なるユニットの前記チップセレクトコンタクトが前記ユニットの前記回路パネル上の異なる端子に接続されるように切断された異なるプランチを有する点において異なっている請求項1に記載の半導体アセンブリ。

**【請求項 4】**

異なるユニットの対応する端子が上下に配置される請求項3に記載の半導体アセンブリ。

**【請求項 5】**

前記積層体にある前記同一のユニットが最下ユニットを含み、該最下ユニットの前記端子が外部基板への相互接続用に露出される請求項3に記載の半導体アセンブリ。

**【請求項 6】**

前記積層体にある前記同一ユニットが最下ユニットを含み、前記アセンブリが前記最下ユニットの下にあるトランスレータをさらに含み、前記トランスレータが前記垂直バスに接続されたコンタクトパッドと該コンタクトパッドに接続された端子とを有し、前記トランスレータの前記端子が外部基板への接続用に露出される請求項3に記載の半導体アセンブリ。

**【請求項 7】**

前記積層体にある前記同一ユニットが最下ユニットを含み、前記アセンブリが前記最下ユニットの下にある追加のユニットをさらに含み、前記追加ユニットが半導体チップと外部基板への接続用に露出された端子を有する回路パネルとを含み、前記追加ユニットの前記端子が前記積層体にある前記同一ユニットの前記端子とは異なるパターンに配置され、前記追加ユニットの前記端子の少なくともいくつかが前記垂直方向バスに電気的に接続され、前記追加ユニットの前記端子の少なくともいくつかが前記追加ユニットの前記チップに

電気的に接続される請求項 2 に記載の半導体アセンブリ。

【請求項 8】

前記各ユニットの前記回路パネルが、前記トレースと前記端子とを構成する電気的に伝導性の材料の層を 1 つだけ含む請求項 1 に記載の半導体アセンブリ。

【請求項 9】

前記各ユニットの前記回路パネルが、厚みが約 100  $\mu\text{m}$  未満の誘電体層を含む請求項 8 に記載の半導体アセンブリ。

【請求項 10】

前記 1 つのユニットの前記チップが前記ユニットの誘電体層と前記ユニットの隣接するユニットの誘電体層との間に配置され、前記誘電体層の対応する表面間の垂直方向の距離が前記ユニットにある前記半導体チップの厚みよりも大きい 250  $\mu\text{m}$  以下である請求項 9 に記載の半導体アセンブリ。10

【請求項 11】

前記ユニットの隣接するユニットにある対応する機構間の垂直方向の間隔距離が、各チップの厚みよりも大きい 250  $\mu\text{m}$  以下である請求項 10 に記載の半導体アセンブリ。

【請求項 12】

前記各ユニットの前記回路パネルが少なくとも 1 つの切断孔がある誘電体層を含み、前記切断部が前記切断孔に形成されるものである請求項 1 に記載の半導体アセンブリ。

【請求項 13】

前記各ユニットの前記回路パネルが、エッジと、前記エッジの 1 つ以上から内向きに延びる 1 つ以上のノッチとを有し、前記切断部が前記ノッチに形成されるものである請求項 1 に記載の半導体アセンブリ。20

【請求項 14】

前記各ユニットの前記端子が、前記回路パネルの第 1 のエッジに隣接して配置された端子の第 1 の外側の列を含み、前記端子の第 1 の外側の列が、前記第 1 のエッジから離れた第 1 の内側境界を画定し、前記プランチの少なくともいくつかが、前記第 1 の内側境界を越えて外向きに延びた外側部分を有し、前記ノッチの少なくとも 1 つが、少なくとも 1 つの前記外側部分に少なくとも 1 つの切断部を画定するものである請求項 13 に記載の半導体アセンブリ。30

【請求項 15】

前記各ユニットの前記端子が、前記ユニットの前記回路パネルの第 1 のエッジに隣接して配置された端子の第 1 の外側の列を含み、前記第 1 のエッジが、前記第 1 のエッジの残りから外向きに延びる少なくとも 1 つの突出部を有し、前記プランチの少なくとも 1 つが、前記突出部へと延びる請求項 13 に記載の半導体アセンブリ。

【請求項 16】

前記各ユニットの前記回路パネルが実質的に平坦であり、前記各回路パネルの前記突出部が前記回路パネルの平面から垂直方向に突出するものである請求項 15 に記載の半導体チップアセンブリ。

【請求項 17】

半導体チップアセンブリの製造方法であって、

(a) 少なくとも 1 つのチップセレクトコンタクトおよび複数の他のコンタクトを有する少なくとも 1 つの半導体チップと、複数のチップセレクト端子、複数の他の端子、および前記端子に接続された回路パネル上または回路パネル内に延びるトレースを有する回路パネルとを各々が含む複数のユニットを積層するステップであって、前記各パネルの少なくとも 1 つのトレースが、複数のチップセレクト端子に関連付けられたマルチプランチトレースであり、該マルチプランチトレースの各々が、共通セクションと、前記チップセレクト端子の異なる端子に接続された複数のプランチとを含み、各ユニットにある前記少なくとも 1 つのチップの前記コンタクトを前記ユニットにある前記回路パネルのトレースに接続することによって、前記マルチプランチトレースの共通セクションに各チップセレクトコンタクトを接続するステップと、40

(b) 各マルチプランチトレースの前記共通セクションが、前記マルチプランチトレースに関連付けられた前記チップセレクト端子のすべてより少ない端子に接続されるように、前記マルチプランチトレースの前記プランチを選択的に切断するステップと、

(c) 垂直方向バスを形成するように、異なるユニットの端子を互いに相互接続するステップとを含み、異なるユニットにあるチップの前記チップセレクト端子が前記垂直方向バスの異なるバスに接続されるように、前記選択的に切断するステップおよび前記相互接続するステップが実行されるものである半導体チップアセンブリの製造方法。

【請求項 18】

前記回路パネルが、前記選択的に切断するステップの前に互いに同一のものである請求項 17 に記載の方法。 10

【請求項 19】

前記積層ステップが、異なるユニットにある回路パネルの対応する端子を互いに位置合わせすることを含む請求項 18 に記載の方法。

【請求項 20】

前記選択的に切断するステップが、前記各マルチプランチトレースの前記共通セクションが前記トレースを担持する前記回路パネルの 1 つのセレクト端子だけに接続されるように実行されるものである請求項 17 に記載の方法。 20

【請求項 21】

前記ユニットを形成するステップをさらに含み、前記ユニットを形成する前記ステップが、ツールを用いて前記トレースに前記チップを接続することを含み、前記選択的に切断するステップが、前記ツールを前記マルチプランチトレースの前記プランチと係合することによって実行されるものである請求項 17 に記載の方法。 20

【請求項 22】

チップを回路パネルに接続することによって、前記ユニットを形成するステップをさらに含み、前記選択的に切断するステップが、前記ユニットを形成する前記ステップの後に実行されるものである請求項 17 に記載の方法。

【請求項 23】

前記選択的に切断するステップが、前記積層ステップと同じ施設において実行される請求項 17 に記載の方法。 30

【請求項 24】

前記選択的に切断するステップの前に、前記ユニットが、同一のチップと、同一の端子と、前記チップのコンタクトと端子との間の同一の接続とを含む請求項 17 に記載の方法。 30

【請求項 25】

前記選択的に切断するステップの前に、相互に交換可能な部品として、前記ユニットを取り扱いストックするステップをさらに含む請求項 24 に記載の方法。

【請求項 26】

複数のユニットの前記回路パネルが連続的または半連続的なシートの部分であるように前記ユニットを与えるステップと、前記シートから前記回路パネルを切り離すステップとをさらに含み、前記選択的に切断するステップが前記切り離しステップと同時に実行されるものである請求項 17 に記載の方法。 40

【請求項 27】

前記選択的に切断するステップの前に、前記回路パネルが前記回路パネルを通って延びる切開口を有し、前記マルチプランチトレースの前記プランチが前記切開口にわたって延び、前記選択的に切断するステップが前記切開口においてマルチプランチトレースのプランチを破断することを含む請求項 17 に記載の方法。

【請求項 28】

前記選択的に切断するステップが、前記マルチプランチトレースの領域を除去すると同時に、前記切り離し領域の下にある前記回路パネルの部分を除去することによって、マルチプランチトレースのプランチを切り離すことを含む請求項 17 に記載の方法。

【請求項 29】

10

20

30

40

50

前記除去ステップが、エッジにおいて前記回路のパネルの部分を除去することを含む請求項28に記載の方法。

【請求項30】

(a) 複数のユニットを含み、各ユニットが、  
 (i) 前面上にコンタクトを有する半導体チップと、  
 (ii) 中央領域および周辺領域を有する回路パネルとを含み、前記パネルが、第1および第2の表面を有する誘電体層と、前記中央領域にある前記第1および第2の表面間に延びる少なくとも1つのボンドウインドウと、前記周辺領域にある前記第1および第2の表面間に延びる複数の端子孔とを含み、前記各パネルが、該端子孔に位置合わせあされた複数の端子パッドと前記パネルに沿って水平方向に延びる複数のトレースとを規定する単一の金属化層を含み、前記チップが、前記中央領域にある前記パネルの表面の方へ前記チップの前記前面を対面させて配置され、前記チップの前記コンタクトが、前記少なくとも1つのボンドウインドウにおいて前記パネルの前記トレースに接続され、  
 前記ユニットが、1つのユニットにおけるチップの背面が次の隣接するユニットにある誘電体層の表面に対面するように、積層体に互いに重なり合わされ、前記ユニットが前記トレースによって占められた前記中央領域の少なくとも部分に互いに担持され、前記ユニットの前記端子が互いに整列され、  
 (b) 前記ユニットの端子と、前記パネルの前記端子孔を通って隣接するユニットの接続端子との間に配置された複数の伝導性集合体を含むものである半導体チップアセンブリ。

【請求項31】

各ユニットにある前記トレースが、前記ユニットにある前記誘電体層の前記第1の表面に沿って延び、各ユニットにある前記チップの前記前面が、前記ユニットにある前記誘電体層の前記第2の表面に対面するものである請求項30に記載の半導体チップアセンブリ。

【請求項32】

前記ユニットの少なくともいくつかが、前記ユニットの前記トレースの上にある熱伝達層を含み、前記ユニットが、前記熱伝達層を通して互いに担持されるものである請求項31に記載の半導体チップアセンブリ。

【請求項33】

前記熱伝達層の少なくともいくつかが、前記ボンドウインドウにわたって延び、前記ボンドウインドウにわたって前記領域において実質的に平坦である請求項32に記載の半導体チップアセンブリ。

【請求項34】

前記ボンドウインドウを少なくとも部分的に充填するカプセル封入材をさらに含む請求項33に記載の半導体チップアセンブリ。

【請求項35】

前記回路パネルの各々が前記トレースと一体形成された複数のリードを含み、前記リードが前記回路パネルの前記少なくとも1つのボンドウインドウ内へと延びる請求項30に記載の半導体チップアセンブリ。

【請求項36】

(a) 複数のユニットと、  
 ここで、各ユニットは、  
 (i) 前面上にコンタクトを有する半導体チップと、  
 (ii) 中央領域および周辺領域を有する回路パネルと、ここで、前記パネルは、第1および第2の表面を有する誘電体層と、前記中央領域にある前記第1および第2の表面間に延びる少なくとも1つのボンドウインドウと、前記周辺領域にある前記第1および第2の表面間に露出された複数の端子パッドと、前記パネルに沿って水平方向に延びる複数のトレースとを含み、前記チップは、前記中央領域にある前記誘電体層の前記第2の表面の方へ前記チップの前記前面を対面させて配置され、前記チップの前記コンタクトは、前記少なくとも1つのボンドウインドウにおいて前記パネルの前記トレースに接続されており、  
 (iii) 前記少なくとも1つのボンドウインドウにあるカプセル封入材と、ここで、該

10

20

30

40

50

カプセル封入材が、前記誘電体層の前記第1の表面と実質的に同一平面上にある表面を規定しており、  
を含み、

前記ユニットは、1つのユニットにおけるチップの背面が次の隣接するユニットにある誘電体層の表面に対面するよう、積層体に互いに重なり合わされ、前記ユニットは、前記トレースによって占められた前記中央領域の少なくとも部分に互いに担持され、前記ユニットの前記端子は、互いに整列されており、

(b) 前記ユニットの端子と、互いに隣接するユニットの接続端子との間に配置された複数の導電性集合体と

を含んでなる半導体チップアセンブリ。

10

【請求項37】

前記各誘電体層の厚みが、約100μm未満である請求項36に記載の半導体チップアセンブリ。

【請求項38】

前記1つのユニットの前記チップが、前記ユニットの誘電体層と前記ユニットの隣接するユニットの誘電体層との間に配置され、前記誘電体層の対応する表面間の垂直方向の距離が、前記ユニットにおける前記半導体チップの厚みより大きい250μm以下である請求項36に記載の半導体チップアセンブリ。

【請求項39】

前記ユニットの隣接するユニットにある対応する機構間の垂直方向の間隔距離が、各チップの厚みより大きい250μm以下である請求項36に記載の半導体チップアセンブリ。

【請求項40】

前記各ユニットが、前記少なくとも1つのボンドウインドウおよび前記ユニットの前記カプセル封入材の上にある実質的に平坦な熱伝達層をさらに含む請求項36に記載の半導体チップアセンブリ。

【請求項41】

交換可能な半仕上げユニットの製造過程集合体であって、前記各ユニットが、少なくとも1つのチップセレクトコンタクトおよび複数の他のコンタクトを有する少なくとも1つの半導体チップと、複数のチップセレクト端子、複数の他の端子、および前記端子に接続された回路パネル上または回路パネル内に延びるトレースを有する回路パネルとを含み、前記各パネルの少なくとも1つのトレースが、共通セクションと前記チップセレクト端子の異なる端子に接続された複数のプランチとを有するマルチプランチトレースであり、各ユニットにある前記少なくとも1つのチップの前記コンタクトが、前記ユニットにある前記回路パネルのトレースに接続されることによって、各チップセレクトコンタクトが、マルチプランチトレースの前記共通セクションに接続され、前記ユニットが、同一のチップ、同一の端子、および前記チップのコンタクトと端子との間の同一の接続を含み、前記個々のユニットが、前記ユニットの対応する端子を互いに接続させて、上下に積層するようにされた製造過程集合体。

【請求項42】

複数の前記ユニットの前記回路パネルが、共通のシートの部分である請求項41に記載のユニットの製造過程集合体。

【請求項43】

前記シートが、前記トレースおよび前記端子を画定する金属性の層を1つだけ含む請求項41に記載のユニットの製造過程集合体。

【請求項44】

前記各回路パネルが、厚みが100μm未満の誘電体層を含む請求項43に記載のユニットの製造過程集合体。

【発明の詳細な説明】

【技術分野】

【0001】

20

30

40

50

本発明は、電子回路の作製に用いることができる。

【背景技術】

【0002】

半導体チップは、典型的に、比較的に大きな前面および背面と小さなエッジ表面とを備えた、薄く平坦なものである。チップは、前面にコンタクトを有する。チップは、典型的に、外部回路との接続に適した端子を有するパッケージングされたチップとして与えられる。パッケージングされたチップは、典型的に、平坦な本体の形のものである。通常、パッケージングされたチップは、回路基板の表面上にアレイ状に配設される。回路基板は、回路基板の表面に平行な水平方向に延びる、通常、「トレース」と呼ばれる導電体を有するとともに、トレースに接続されたコンタクトパッドまたは他の導電性部品を有する。パッケージングされたチップには、回路基板の表面に対面する端子担持面が実装され、各パッケージングされたチップ上の端子は、回路基板のコンタクトパッドに電気的に接続される。

10

【0003】

典型的に、このようにして、メモリチップが実装される。パッケージングされていないメモリチップは、典型的に、多数のデータコンタクトと、1以上のセレクトコンタクトとを有する。チップは、1以上のセレクトコンタクトに適切な信号が適用されなければ、データ端子に現れるデータまたはコマンドを無視するように取り決められる。従来のパッケージングされたメモリチップは、データコンタクトに接続されたデータ端子を有し、セレクトコンタクトに接続されたセレクト端子を有する。従来のシステムにおいて、多数の同一のパッケージングされたメモリチップは、さまざまなパッケージングされたチップの対応するデータ端子を共通するトレースに接続し、さまざまなチップのセレクト端子を固有の導体に接続してアレイ状に接続することによって、各導体が、1つのチップおよび1つだけのチップに関連付けられる。共通するトレース上のデータを供給し、データが書き込まれる特定のチップに関連する固有のトレース上の選択信号を適用することによって、個々のチップにデータを書き込むことができる。残りのチップは、データを無視することになる。特定のチップからデータを読み出すためには、逆のプロセスが用いられる。このような回路は、従来の水平方向チップアレイを用いて、アレイ状のチップのすべてに対して同一のチップパッケージを用いることにより、容易に組み立てることができる。

20

30

【0004】

従来の構成において、回路基板の理論上の最小面積は、個々のチップパッケージの端子担持表面のすべてを総計した面積に等しい。実際には、回路基板は、この理論上の最小値よりわずかに大きいはずである。回路基板上のトレースは、典型的に、大きな長さとインピーダンスとを有するため、トレースに沿って信号を伝播させるためには、かなりの時間が必要である。これは、回路の動作速度を制限してしまう。

【0005】

これらの欠点を解消するために、さまざまなアプローチが提案されてきている。このようなアプローチのうちの1つは、共通するパッケージにおいて、複数のチップを上下に「積層(stack)」することである。パッケージ自体は、回路基板のコンタクトパッドに接続された垂直方向に延びる導体を有する。パッケージ内の個々のチップは、これらの垂直方向に延びる導体に接続される。チップの厚みが水平方向の寸法よりも実質的に小さいため、回路基板上のトレースよりも内部導体を短くすることができ、このことは、従来の構成では、同数のチップを接続するために要求されている。例えば、積層パッケージの例が、米国特許第5,861,666号公報と、米国特許第5,198,888号公報と、米国特許第4,956,694号公報と、米国特許第6,072,233号公報と、米国特許第6,268,649号公報とに示されている。これらの特許のいくつかの実施形態において示されている積層パッケージは、その各々が单一チップとユニット端子を有するパッケージ部品とを含む個々のユニットを備えることによって作製される。各ユニット内において、チップのコンタクトはユニット端子に接続される。ユニットは上下に積層される。

40

50

各ユニットのユニット端子は、他のユニットの対応するユニット端子に接続される。接続されたユニット端子は、バスとも呼ばれる積層パッケージの垂直方向導体を形成する。

#### 【0006】

しかしながら、個々の選択接続を有する回路を積層パッケージが備えると、複雑性がさらに増してしまった。垂直方向導体が、さまざまなユニットの端子を介して延びているため、チップのコンタクトと積層体にある各ユニットのユニット端子との間の相互接続は、特有の垂直方向導体への接続を与えるために異なるものであるべきである。例えば、選択信号を伝えるための4つの垂直方向バスを有する4チップ積層体において、最下部ユニットが、バス番号1の部分を形成するユニット端子に接続されたチップのセレクトコンタクトを有し、次のユニットが、バス番号2を形成する端子に接続されたチップの対応するセレクトコンタクトを有し、以下のユニットも同様に有する場合がある。このようにユニットをカスタマイズする必要があると、製造プロセスの複雑性が増してしまった。例えば、米国特許第4,956,694号公報には、各ユニットに中間端子セットを備えたチップキャリヤを有するユニットが記載されている。これらの中間端子は、チップ上のコンタクトに接続され、ユニットの端子にも接続される。相互接続はワイヤボンドによって作られる。ワイヤボンドのパターンはユニットごとに異なる。この構成では、本質的に、比較的大きなチップキャリヤが必要であるため、コストおよびパッケージの容積(bulk)が増大する。さらに、製造業者は、多数の異なるワイヤボンドユニットを取り扱い、ストックしなければならない。Suganoらの米国特許第5,198,888号公報では、さまざまなユニットにおいて個別化されたチップキャリヤが使用されている。これらのチップキャリヤは、セレクトコンタクトと関連する端子とに対して異なる相互接続パターンを規定するいくつかのリードを有する。この場合においても、製造プロセスのコストおよび複雑性が増大する。米国特許第6,268,649号公報および米国特許第6,072,233号公報でも、同様にカスタマイズされたユニットが使用されている。積層パッケージにおいてカスタマイズされたユニットを与えることに関連するコストの削減および複雑性の低減が望まれる。

#### 【0007】

また、小型の積層パッケージを提供し、積層体内のチップから外部環境、例えば、回路基板やパッケージの上部にある熱スプレッダへの熱伝達が良好な積層パッケージを提供することが望まれる。さらに、容易に入手可能な機器と容易に製造可能な構成部品とを用いて、このようなパッケージを提供することが望まれる。

#### 【発明の開示】

#### 【0008】

本発明の1つの態様により、複数のユニットを組み込んだ半導体チップアセンブリが提供される。各ユニットは、少なくとも1つのセレクトコンタクトと複数の他のコンタクトとを有する半導体チップを含むことが望ましく、複数のチップセレクト端子と複数の他の端子とともに、パネル上またはパネルに延びるトレースを有する回路パネルも含む。トレースは、チップのコンタクトと端子との間に電気的に接続される。チップの各チップセレクトコンタクトに電気的に接続されたトレースは、チップのセレクトコンタクトに接続された共通のセクション(section)と、回路パネル上のチップセレクト端子の異なるものに接続された複数のブランチとを含むマルチブランチトレース(multi-branch trace)であることが望ましい。アセンブリにおいて、望ましくは、少なくとも1つのブランチであるが、このような各マルチブランチトレースのバランスのすべてより少ないブランチに切断部があることにより、セレクトコンタクトは、パネル上のチップセレクト端子のすべてより少ないものに接続され、最も好ましくは、各チップセレクトコンタクトは、ユニットのパネルの1つのみのチップセレクト端子に接続される。ユニットは、重なり合ったユニットの積層体になるよう互いに上下に設けられる。アセンブリは垂直方向導体をさらに含み、垂直方向導体の各々は、互いに積層体内のユニットの対応する端子を接続して、複数の垂直方向バスを形成する。マルチブランチトレースと切断されたブランチとにより与えられる個々のユニット内での選択的な接続により、異なるユニットにあるチップのチップセレ

10

20

30

40

50

クトコンタクトは、垂直方向バスの異なるものに電気的に接続される。この構成により、個々のチップに伝達されなければならないチップセレクト信号と他の信号との選択的なルート決定が得られる。各チップ上の残りのコンタクトは、他のユニットにあるチップ上の対応するコンタクトと並列接続されるため、さまざまなチップの残りのコンタクトに信号を並列して伝達することができる。これにより、要求される選択的なルート決定が得られる。

【0009】

最も好ましくは、積層体にある異なるユニットのチップとトレースと端子とは、異なるユニットの異なるチップセレクトコンタクトが、このようなユニットの回路パネル上の異なる端子に接続されるように切断されたマルチプランチトレースの異なるプランチをユニットの異なるものが有することを除いて同一のものである。最も好ましくは、各ユニットの回路パネルは、約100μmの厚みより薄いことが望ましい誘電体層を含む。ユニットの隣接するいくつかの機構または要素(features)の間隔に対応する垂直方向の間隔距離は、約250μm以下であり、好ましくは、各ユニットのチップの厚みよりも大きい約200μmである。したがって、アセンブリの全高(overall height)は比較的に低い。

【0010】

各回路パネルにある誘電体層が切断孔または開口を有していてもよく、マルチプランチトレースのプランチにある切断部がこのような切断孔に形成されていてもよい。典型的には、プロセスの後段階において、ユニットの製造時またはプランチの切断時に、切断孔を誘電体層に形成することができる。ある構成において、各ユニットの回路パネルはエッジを有し、切断孔は1つ以上のエッジから内向きに延びるノッチの形で与えられる。このようなユニットの端子は、回路パネルのエッジに隣接して設けられた外側の列を含んでいてもよく、マルチプランチトレースのプランチは、端子の外側の列へ外向きに延びるか、またはそれを越える部分を有していてもよい。この場合には、ノッチが端子の外側の列を越えて内向きに延びる必要がないため、マルチプランチリードの切断部を容易に形成することができる。

【0011】

本発明のさらなる態様により、半導体チップアセンブリの製造方法が提供される。本発明のこの態様による方法は、複数のユニットを与えるステップを含む。この場合も、各ユニットは、少なくとも1つのチップセレクトコンタクトと複数の他のコンタクトとを有する少なくとも1つの半導体チップを含むことが望ましく、チップセレクト端子と他の端子と端子に接続されたパネル上またはパネル内に延びるトレースとを有する回路パネルを含む。上述したように、各パネルの少なくとも1つのトレースは、共通のセクションと、チップセレクト端子の異なるものに接続された複数のプランチとを含むマルチプランチトレースであることが望ましく、各ユニットにある少なくとも1つのチップのコンタクトは、チップセレクトコンタクトが、マルチプランチトレースの共通するセクションに接続されるように、そのユニットにある回路パネルのトレースに接続される。本発明のこの態様による方法は、各ユニットにあるマルチプランチトレースの共通するセクションが、そのユニットのチップセレクト端子のすべてより少ないものに接続されるように、マルチプランチトレースのプランチを選択的に切断するステップを含むことが望ましい。この方法は、ユニットを積層し、異なるユニットの端子を互いに相互接続して、垂直方向バスを形成するステップを含むことが好ましい。

【0012】

選択的に切断するステップは、異なるユニットにあるチップのチップセレクト端子が、垂直方向バスの異なるものに接続されるように実行されることが望ましい。マルチプランチトレースを選択的に切断するステップの前に、ユニットは互いに実質的に同一のものであることが最も好ましい。ユニットの形成中または形成後の任意の時にマルチプランチトレースを選択的に切断するステップを実行することができる。ある構成において、ユニットを与えるステップは、サーモソニックボンディングツールなどのツールを用いてチップをトレースに接続することを含み、プランチを選択的に切断するステップは、同一の処理動

10

20

30

40

50

作の一環として、同じツールをブランチに関与させることにより実行される。

【0013】

別の構成において、ブランチを選択的に切断するステップは、例えば、積層ステップの直前のように、後に実行される。したがって、相互に交換可能な部品として取り扱われストックされうる実質的に同一の部品としてユニットが与えられてもよい。この場合も、さまざまなユニットの誘電体層は、誘電体層を通って延びる切断開口を含んでもよく、マルチブランチトレースのブランチは、切断ステップの前に、これらの切断開口にわたって延びてもよい。ブランチを選択的に切断するステップは、これらの切断開口でブランチを破断することを含みうる。この代わりに、例えば、各マルチブランチトレースの小さな領域とこれらの領域の下にある誘電体層の部分とを除去することによって、例えば、トレースのブランチを破断しながら回路パネルをパンチングして切断開口を形成することによって、ブランチが破断されると同時に切断開口が形成されていてもよい。

10

【0014】

ユニットは、互いに実質的に同一のものであり、ブランチを切断するステップを含むステップまで互いに交換可能な部品としての取り扱いが可能であるため、商業上でのユニットの取り扱いおよびストック (stock) が実質的に単純化される。例えば、ユニットは、ベア半導体チップを取り扱い、ベア半導体チップを個々のユニットの回路パネルに実装するようにされたチップパッキング工場で製造できる。積層動作は、パッキングされたチップを回路基板に表面実装するように適応されたツールおよび機器を有する回路基板スタッフイング工場において実行することができる。実際、積層動作は、アセンブリを回路基板に実装すると同時に実行することができる。例えば、ユニットは積層可能であり、さまざまなユニットを接合するはんだボールは、積層体の底部ユニットを回路基板に接合するはんだボールがリフロー接合されると同時に、リフロー接合することができる。

20

【0015】

本発明のさらなる態様により、上述したように積層プロセスおよびアセンブリにおいて使用可能で交換可能な半仕上げユニット (semi-finished unit) である仕掛けあるいは製造過程中の集合体 (in-process collection) が提供される。

30

【0016】

本発明のさらなる態様において、追加の半導体チップアセンブリが提供される。本発明のこの態様によるチップアセンブリが、複数のユニットをさらに含み、各ユニットは、前面上にコンタクトを有する半導体チップを含み、中央部分および周辺領域を有する回路パネルを含む。パネルは、第1および第2の表面と、中央領域において第1および第2の表面間に延びる、少なくとも1つのボンドウィンドウを有する誘電体層とを含む。パネルは周辺領域に複数の端子をさらに含み、端子は第1および第2の両方の表面に露出される。好ましくは、誘電体層は周辺領域において第1および第2の表面間に延びる複数の端子孔を有し、端子は端子孔と整列されたパッドとを有する。チップは、チップの前面が中央領域においてパネルの表面の方へ対面するように設けられ、チップのコンタクトは、少なくとも1つのボンドウィンドウにおいてパネル上のトレースに接続される。1つのユニットにあるチップの背面が次に隣接するユニットにある誘電体層の表面の方へ対面するように、ユニットは積層体に互いに重ね合わされる。いくつかのユニットが、トレースが占める中央領域の少なくとも一部分において互いに支えあっていることが最も好ましい。複数の導電性集合体 (conductive mass) が、ユニットの端子間に設けられ、隣接するユニットの端子を互いに接続する。

40

【0017】

1つの構成において、各ユニットのトレースはそのユニットにある誘電体層の第1の表面に沿って延びており、各ユニットにあるチップの前面はそのユニットにある誘電体層の第2の表面の方に対面する。このタイプのチップアセンブリにおいて、ユニットの少なくともいくつかがこのようなユニットのトレース上にある熱伝達層を含むことが望ましく、これらのユニットは熱伝達層 (heat transfer layer) を介して互いに支えあう。したがって、このような各ユニットの熱伝達層は、次の隣接ユニットにあるチップの背面と隣接す

50

ることが望ましい。これらのユニットの熱伝達層は、これらのユニットの誘電体層にあるボンドウインドウにわたって延びていることが望ましく、少なくとも、ボンドウインドウにわたって延びている領域において実質的に平坦である。このようなユニットは、ボンドウインドウを少なくとも部分的に充填するカプセル封入材をさらに含むことが望ましい。製造中、カプセル封入材が誘電体層を越えて突出しないようにするためにカプセル封入材を閉じ込めるマスキング層として熱伝達層が作用してもよい。以下にさらに記載するように、平坦な熱伝達層により、ユニットが互いに密接して係合して、隣接するユニット間の熱的接触を良好にすることができるようになる。これらの機構は、アセンブリの高さを低くすることに貢献し、アセンブリ内のチップからの放熱を効果的に促進させる。

## 【0018】

10

本発明のさらなる態様によるアセンブリにおいて熱伝達層が存在してもよいし省略されてもよいが、カプセル封入材は、誘電体層の第1の表面と実質的に同一平面上にあるか、このような表面に対して窪みが作られた表面を規定する。熱伝達層が省略される場合には、各ユニットの誘電体層は、次の隣接ユニットにあるチップの背面上に直接に支持されていてもよい。

## 【0019】

本発明の上記および他の目的と特徴と利点とは、添付の図面を参照しながら、以下に示す好適な実施形態の詳細な記載からさらに容易に明らかになるであろう。

## 【発明を実施するための最良の形態】

## 【0020】

20

本発明の1つの実施形態によるパッケージは、各々が回路パネルの形をした複数のパッケージ部品20を用いる。このような各回路パネルは、例えば、約25～100μmの厚みであり、最も好ましくは25～75μmの厚みである、強化または非強化ポリイミドやBT樹脂等の層のような薄い可撓性の誘電体テープの形をした誘電体層を含みうる。この代わりに、各パネルは、例えば、FR-4またはFR-5基板等の繊維ガラス強化エポキシなどの誘電体を含みうる。パネルは、パネルのエッジ24に隣接したパネルの周辺領域内の列に設けられた多数の端子22を有する。図示した実施形態において、端子列が、すべての4つのエッジに沿って設けられる。しかしながら、端子は、エッジのすべてより少ないものに隣接して設けられ、例えば、パネルの2つの対向するエッジに隣接した2つの列に設けられることができる。各端子22は、(図1に示す表面のように)パネルの第1の表面上の銅または他の適切な金属材料からなる平坦で比較的に薄いディスクの形をしたものでありうる。図2に最も示すように、パネルは、端子22に位置合わせされ貫通して達する穴28をさらに有する。このような穴の各々は、パネルの第1の表面26とそれに対向する第2の表面30との間に広がっている。

## 【0021】

30

各パネル20は、パネルの中央に隣接して延びる細長いボンドウインドウ32をさらに有する。パネルは、多数のリード36をさらに有する。各リードは、パネルの第1の表面32に沿って延びるトレース38と、ボンドウインドウにわたってトレースから突出するトレースと一体形成された接続セクション40とを含む。図1に示すような組み立てられない状態において、各接続セクションは、ボンドウインドウの反対のトレース38の側から突出するアンカセクション44に、折り曲げ可能な部品42によって接続される。トレースとアンカ部分とは、ボンドウインドウの長さに沿って延びる列に配設される。異なるトレースが、ボンドウインドウの対向する側に延びるため、接続セクション40のいくつかが一方側からボンドウインドウに突出するのに対して、その他は反対側からボンドウインドウに突出する。トレースとそれらの接続セクションとの構成は、実質的に、米国特許第5,489,749号公報に示すようなものであってもよく、これを引用することにより本明細書の一部をなすものとする。

## 【0022】

40

端子22は、第1のセレクト端子セット22A～22Dと、第2のセレクト端子セット22E～22Hとともに、本願明細書において、例えば、端子22Jおよび22K等の非セ

50

レクト端子と呼ばれる他の端子を含む。各トレース 38 は、接続セクション 40 に隣接し、そこに接続された共通のセクション 46 を含む。トレースのいくつかは、非セレクト端子に接続される。これらのトレースは、関連する端子、例えば、端子 22J および 22K まで延びる共通のセクション 46 を有するため、このような各トレースの共通セクション 46 は非セレクト端子に直接接続される。

【 0 0 2 3 】

セレクト端子に関連付けされたこれらのトレース 38 は、マルチプランチトレース 50 である。このような各マルチプランチトレースは、共通のセクション 46 に接続され、関連付けられたセレクト端子の 1 つに接続された複数のプランチを有する。例えば、トレース 38A は、セレクト端子 22A に接続されたプランチ 50A と、セレクト端子 22B に接続されたプランチ 50B と、セレクト端子 22C に接続されたプランチ 50C と、セレクト端子 22D に接続されたプランチ 50D とを含む。トレース 38A は、共通のセクション 46A に対して交差して延び、共通のセクションとさまざまなプランチ 50A ~ 50D とを相互接続する分配セクション 52A をさらに含む。また、端子 22E ~ 22H と関連付けられたトレース 38E は、マルチプランチトレースであり、同様のプランチ 50E ~ 50H のセットおよび分配セクション 52E を有し、プランチ 50E ~ 50H のすべては、トレースの共通のセクション 46E とその接続セクション 40E とに接続される。パネル 20 の誘電体は、各マルチプランチトレース 38 のプランチ 50 に位置合わせされた切断孔 54 を有するため、このような各プランチは、切断孔にわたって延びる。切断孔は、セレクト端子 22A、22B などに隣接して設けられる。

10

20

30

40

【 0 0 2 4 】

トレースおよび接続セクションを含む端子およびリードは、パネルの第 1 の表面上の金属要素 (metallic feature) の単一層として形成される。これらの金属要素の厚みは、約 30  $\mu\text{m}$  未満であることが望ましく、典型的には、約 5 ~ 25  $\mu\text{m}$ 、例えば、約 20  $\mu\text{m}$  である。任意選択的に、薄い接着層 (図示せず) が、誘電体層 20 と金属層との間に設けられてもよい。また、この接着層も、実行可能な限り薄いものでなければならず、約 15  $\mu\text{m}$  以下のものが望ましい。端子およびトレースは、テープ自動ボンディングテープなどの製造において使用される従来のプロセスによって、例えば、銅または他の金属層と、パネルを形成する誘電体材料とを含むラミネートをエッチングして金属層の一部分を除去することによって形成することができる。この代わりに、端子およびトレースは、無電解メッキおよび / または電気メッキなどの堆積プロセスによって形成することができる。ボンドウインドウと端子に関連付けられた穴と切断孔とは、誘電体材料をエッチングするか、または除去することによって形成されていてもよい。

【 0 0 2 5 】

積層チップアセンブリは、複数のユニット 56 を含む (図 2)。特に明記しない限り、各ユニット 56 は、積層体にある他の各ユニット 56 と同一のものである。このような各ユニットは、図 1 を参照して上述したようなパネルまたはチップキャリヤ 20 と、そのパネルに関連付けられたチップ 58 とを含む。このような各チップは、前面またはコンタクト支持表面 60 および背面 62 を有する。各チップの前面 60 は、チップの中央に隣接した列に配設されたコンタクト 64 を有する。また、チップは、前面および背面 62 の境界を定めるエッジ 66 を有する。(前面 60 と背面 62 との間の寸法である) チップの厚み  $t$  は、典型的には、チップの他の寸法よりも実質的に小さい。例えば、典型的なチップは、厚みが約 100 ~ 500 ミクロンであり、(前面および背面の平面での) 水平方向の寸法が約 0.5 cm 以上でありうる。チップの前面 60 は、関連付けされたパネル 20 の第 2 の表面 30 の方へ対面する。

【 0 0 2 6 】

チップと各ユニットのパネルとの間に、接着層 68 が設けられる。接着層 68 は、ボンドウインドウに位置合わせされた孔を規定する。組み立て時にチップとパネルとの間に液体またはジェル材料を適用することによって、または、層間に小さな弾性部品アレイなどの多孔層を与え、例えば、米国特許第 5,659,952 号公報および米国特許第 5,83

50

4,339号公報のいくつかの実施形態において教示されたような層に流動可能な材料を注入することによって、接着層68を与えることができ、引用することにより本明細書の一部をなすものとする。しかしながら、1つ以上の固体パッドまたは半固体パッドが、最終製品の所望の接着層と実質的に同じ水平方向の広がりをもつように、接着層が与えられる。これらのパッドは、組み立て中に、チップとパネルとの間に配置される。例えば、チップがパネルと並置される前に、パネルまたはチップに対してパッドを予め組み立ててもよい。このような固体パッドまたは半固体パッドは、チップおよびパネルに対して非常に正確に配置することができる。これにより、パッドエッジの公称位置と端子との間に小さな隙間しかない場合であっても、パッドが端子22を覆わないようにされる。このようなパッドは、未硬化層または部分的な硬化層と、例えば、米国特許第6,0303,856号に記載されるような他の接着促進機構を含んでよく、この内容全体を引用することにより本願明細書の一部をなすものとする。この代わりにまたはさらに、片面または両面上の流動可能な接着薄層をパッドに設けることができ、この層は、米国特許第5,548,091号公報に記載されるように非均一の層であってもよく、この内容全体を引用することにより本願明細書の一部をなすものとし、これによって、組み立て中に、層におけるガスの取り込みが防止される。接着層68は、例えば、厚みが約10~125μmであり、最も好ましくは、約25~75μmであるように、実現可能な限り薄いものであることが望ましい。

#### 【0027】

各ユニットのチップ58は関連付けられたパネルの中央領域に位置合わせされるため、コントラクト64の列はパネルのボンドウインドウ32に位置合わせされる。各リードの接続セクション40は、チップのコントラクト64に接続される。このプロセスの間に、各リードの接続セクションは、リードの折り曲げ可能なセクション42を破断することによって、リードのアンカセクション44から取り外される。このプロセスは、前述した米国特許第5,489,749号公報に記載されているように実行することができ、熱、サーモソニック、または超音波ボンディングツール等のツール(図示せず)を、各接続セクションに位置合わせされたパネルのボンドウインドウへと進めることによって、ツールが接続セクションを獲得してそれを適切なコントラクトに係合させることができるように実行されてよい。各リード(図1)にあるトレース38の共通のセクション46は、接続セクション40によって、チップ上のコントラクトに接続される。コントラクトおよび接続セクションの構成は、マルチプランチトレース38Aおよび38Eの共通セクション46Aおよび46Eが、チップ上のセレクトコントラクト、すなわち、積層体にある他のチップのすべてにある対応するコントラクトと並列接続されないチップのコントラクトに接続される。他のトレースの共通セクションは、非セレクトコントラクト、すなわち、積層体にある他のチップの対応するコントラクトと並列接続されるチップのコントラクトに接続される。

#### 【0028】

各ユニット56は、パネルの周辺領域にあるトレースおよび端子の上にあるはんだマスク層70(図2)をさらに含む。はんだマスク層は、端子22に位置合わせされた孔を有する。従来のプロセスによって、コンフォーマル(conformal)なコーティングまたはシートとしてはんだマスク層を適用することができる。各ユニットは、トレース38上にある熱伝達層76と、チップ58に位置合わせされたパネルの中央領域にあるパネルの第1の表面26とをさらに含む。以下にさらに記載するように、熱伝達層は、積層体の次の隣接ユニットにあるチップの背面との密接な接触を確立することにある。熱伝達性充填材がロードされたジェルまたはグリースなどの材料から、または、組み立て中、変形可能な状態にすることが可能な材料、例えば、熱可塑性材料や未硬化または部分的硬化ポキシまたは他の反応性樹脂から、熱伝達層を形成してもよい。望ましくは、熱伝達層は、誘電体材料であり、したがって、互いのさまざまなトレースを電気的に短絡しない。熱伝達層をはんだマスク層と一体形成してもよいため、チップ58に位置合わせされたはんだマスク層の中央部分が熱伝達層を形成する。

#### 【0029】

10

20

30

40

50

熱伝達層をはんだマスク層と一体形成したとしても、熱伝達層をはんだマスク層と別々に形成したとしても、例えば、その厚みは、約 40 μm 以下、望ましくは約 30 μm 以下であるように、実行可能な限り薄いことが望ましい。トレースの上にあるコーティングの領域における約 5 ~ 20 μm の厚みと、トレース間に位置する領域にある約 10 ~ 40 μm の厚みのコンフォーマルなコーティングとして、一体形のはんだマスク層および熱伝達層が与えられていてもよい。このようなコーティングは、わずか約 5 ~ 20 μm の厚みをユニットの全厚に追加する。図 2 に示すように、熱伝達層またははんだマスク層の中央部分は、誘電体層の孔 32 にまたがっている。熱伝達層またははんだマスク層の中央部分は、実質的に平坦であることが好ましく、誘電体層 20 から実質的に隆起しない。

## 【0030】

カプセル封入材 33 を孔 32 に設けることができ、カプセル封入材 33 がリードの接続セクション 40 を取り囲む。カプセル封入材は、接着層 68 から分離されてもよく、米国特許第 6,232,152 号公報（以下、「'152 特許」とよぶ）および米国特許第 5,834,339 号公報（以下、「'339 特許」とよぶ）に開示された技術を用いて導入されてもよく、その内容全体を引用することにより本願明細書の一部をなすものとする。'152 特許および '339 特許に教示されたいつかの好適な実施形態に開示されているように、チップを誘電体層（接着層 68）に付着する層はチップの 1 つまたは片方のエッジまで伸びるチャネルを規定することができ、チップのエッジでこのチャネル内にカプセル封入材を導入することができる。この代わりに、上述したように、チップと誘電体層との間に導入された流動可能な材料によって、全体的または部分的に接着層が形成される場合には、流動可能な材料によってカプセル封入材を形成することができる。いずれかのプロセスにおいて、熱伝達層 76（または、内側熱伝達およびはんだマスク層）が誘電体層のボンドウインドウを被覆するため、カプセル封入材は、誘電体層の第 1 の表面 76 を越えて突出することができない。

## 【0031】

各ユニットの組み立て中に、マルチプランチトレースの共通セクションから、それらの特定のプランチに関連付けされた端子を切断するように、各マルチプランチトレースのいくつかのプランチが破断される。各マルチプランチトレースの 1 つのプランチを除くすべてが破断されて、各マルチプランチトレースの共通セクションに接続されたセレクト端子を 1 つのみ残すことが好ましい。破断されるプランチに関連付けられた切断孔 54 へとツールを進めることによって、プランチを破断することができる。ツールは、リードの接続セクション上にボンディング動作を実行するために使用されるものと同じものであってもよい。破断動作を行うために、切断孔に位置合わせされた狭いセクション（図示せず）のようなプランチの残りよりも弱い折り曲げ可能なセクションをプランチに与えてもよい。破断プロセス中に、破断されるプランチに隣接した端子 22 はプランチのアンカ（anchor）として作用することによって破断する傾向があり、プランチはパネル 20 の誘電体から取り外されるよって破断する傾向がある。プランチの破断された端部は、チップの任意の部分に接続されない。接着層 68 は切断孔に整列された孔を含まないことが好ましく、プランチの破断された端部は接着層に埋め込まれた状態になる。この代わりに、プランチの破断された端部は、チップの表面上の誘電体保護層（図示せず）に接触していてもよい。

## 【0032】

異なるユニットが、破断ステップの後、端子に接続されたプランチの異なるもの有する。例えば、図 2 に示す 4 ユニットアセンブリにおいて、最上ユニット 56A は、セット 22A ~ 22D の端子 22A にのみ接続されたマルチプランチトレース 38A の共通セクション 46A を有し、セット 22E ~ 22H の端子 22E にのみ接続されたトレース 38E の共通セクション 46E を有していてもよい。次のユニット 56B において、共通セクション 46A が端子 22B にのみ接続されるのに対して、共通セクション 46E が端子 22F に接続される。次のユニット 56C は、端子 22C および 22G のそれぞれに接続されたセクション 46A および 46E を有するのに対して、最下ユニット 56D は、端子 22D および 22H に接続された同一の共通セクションを有する。

10

20

30

40

50

## 【0033】

ユニットは、図2に示すように、上下に積層されたものである。各端子22は、はんだボール78を介して次の隣接ユニットの対応する端子に接続される。はんだボール78は、さまざまなユニットの対応する端子を垂直方向の伝導性バスに接合する伝導性部品として作用する。例えば、各ユニットの端子22J(図1)が、他のユニットの対応する端子22Jと同一の垂直バス上に接続される。各はんだボールは、はんだマスク層74にある孔を通る1つのユニットの端子と、そのユニットにあるパネル20の誘電体層にある孔28を通る他のユニットの端子と接触する。最下ユニット56D以外の各ユニット上の熱伝達層76(または、組み合わせられた熱伝達およびはんだマスク層、このような組み合わせ層が用いられる場合に)は、積層体にある次の下側のユニットにあるチップの背面62と密接に接触する。組み立て中に、はんだボールは、部分的または完全に溶解されるか、「リフロー接合」される。パネルのはんだマスク層74および誘電体層によって、リフロー動作中に、トレース38の長さに沿ったはんだの広がりが防止される。密接な接触を確保するために、組み立てプロセス中に熱伝達層76を一時的に軟化させてもよい。この代わりに、硬化性エポキシのように、最初は軟らかくまたは流動可能な材料から熱伝達層が形成される場合には、次の下側のアセンブリのチップと密接に接触させた後に、組み立て中に熱伝達層を硬化させてもよい。

## 【0034】

積層体の組み立て前に、個々のユニットは、端子の位置に対応するコントラクトを有するテストソケットにおいてテストすることができる。典型的に、はんだボールは、各ユニットの端子に接合されることにより、パネルの第1の表面26から突出し、ユニットが適所にあるはんだボールを用いてテストされる。例えば、テストソケットは、はんだボールを係合するようにされた開口を有していてもよい。ユニットのすべてが同一のパターンの端子およびはんだボールを有するため、単一のテストソケットは、ユニットのすべてをテストするために使用することができる。

## 【0035】

その結果として得られるパッケージを、従来の表面実装技術を用いて、回路基板に組み立てることができる。特に、最下ユニット56Dのはんだボール78を、図2に示す回路基板82のコントラクトパッド80にリフローおよび接合することができる。したがって、各垂直方向バスが、回路基板の個々のコントラクトパッド80と電気的に接觸した状態に配置される。最下ユニット56Dの熱伝達層76は、例えば、大きな熱パッド84等の回路基板82の機構と接觸した状態にされていてもよい。金属板86が、パッケージの一部として設けられていてもよく、またはパッケージの組み立て前に回路基板に取り付けられていてもよい。この金属板は、熱層76と回路基板との間の熱導体として作用する。パッケージの一部として金属板86が設けられる場合には、はんだボールがコントラクトパッドに接合されるときに金属板がパッド84にリフロー接合されるように、金属板またはパッドがはんだ層(図示せず)を保持してもよい。この代わりに、最下ユニットの熱伝達層76は、回路基板自体の機構と直接接觸できる程度の厚みのものであってもよい。さらなる変形例において、最下ユニットの熱伝達層が省略されていてもよい。

## 【0036】

完成したパッケージには多数の利点がある。上述したように、異なるユニットにあるチップのセレクトコントラクトは、異なるセレクト端子に接続されることにより、異なる垂直方向バスに接続される。これらのバスに関連付けられた回路基板のコントラクトパッドに選択信号をルート決定することによって、1つのみのユニットのチップにあるセレクトコントラクトに選択信号を適用することができる。相互接続されたはんだパッドによって形成された垂直方向バスは、非常に短く、低電気インピーダンスを備える。また、トレースは、比較的に低いインピーダンスの経路を与える。典型的なトレースは、約5ナノヘンリー以下のインダクタンスを有する。さらに、回路基板のコントラクトパッドと任意の所与のチップのコントラクトとの間の信号伝播遅延は、回路基板のコントラクトパッドとパッケージにある任意の他のチップのコントラクトとの間の信号伝播遅延とほぼ同じである。ユニットは、片

10

20

30

40

50

側のみに伝導性の機構を有する「単一金属 (single-metal)」回路パネルを用いて、経済的に作製することができる。パッケージ全体の高さは、個々のチップの厚みによって部分的に決定される高さを有する。一例にすぎないが、各々が約125ミクロンの厚みのチップを有する4つのユニットを組み込んだ1つのパッケージの全高は、約1.5mmである。

【0037】

パッケージの全厚が小さい理由は、積層体にある隣接するチップ間の間隔を決定するチップ以外の部品の厚みが部分的に小さいことによる。上述したように、このようなユニットのチップに位置合わせされた各ユニットの中央領域内に、ユニットは、接着層68とリードまたはトレース38と熱伝達層またははんだマスク層とを含み、任意選択的に誘電体層とリードを形成する金属との間のさらなる接着層のみを含むことが望ましい。隣接するユニットの対応する機構間の距離d、例えば、ユニット56Aにおける誘電体層20の第2の表面30と、ユニット56Bにおける誘電体層の対応する表面との間の距離dは、これらの層間に配置されたチップ58Bの厚みtと、各ユニットの中央部分を構成する前述した層の総計厚みとを合計したものに等しい。最も好ましくは、隣接するユニット間の距離dは、チップの厚みtと約250μm以下、より好ましくは約200μm以下の厚みを合計したものに等しい。最小の高さを備えるようにさまざまな層が選択される場合には、さらに小さな距離dを達成することができる。

【0038】

熱伝達層または組み合わせたはんだマスク層および熱伝達層が実質的に平坦であるため、チップの背面と良好に密接した接触が可能となる。これにより、全高を低くすることと、ユニット間の熱伝達を良好にすることとの両方が達成される。積層体の中央にあるユニットのチップに広がる熱は、積層体の上部または底部を介して、積層体の上部または底部から、環境への熱伝達、例えば、回路基板82または周囲大気に隣接するユニットへの熱伝達によって消失させることができる。良好な熱伝達を確保して最小の全高を与えるために、各ユニットの中央領域が、積層およびリフロー動作中に、次の隣接するユニットにあるチップと密接して接触するようにされる。また、はんだボールの表面張力効果によって与えられる自己整合作用を用いて、積層およびリフロープロセス中に、水平方向に互いにユニットが位置合わせされることを確保することも望まれる。はんだボールの高さが、リフロー接合前に約10～15μmの公称間隔(nominal clearance)を備えるように選択された場合には、リフロー接合されると、はんだボールが互いにユニットを最初に位置合わせし、加えて、はんだがユニットを互いに隣接せしめるように崩壊することになる。この代わりにまたは加えて、確実に隣接するようにリフロー中にユニットを押圧してもよく、適切な取り付けまたはロボットシステム、例えば、ロボット視覚構成部品(robotic vision component)を装備したシステムを用いて、ユニットを互いに位置合わせしてもよい。

【0039】

上述した組み立て方法の一変形例において、ユニットは、マルチプランチトレースのプランチ50を破断することなく作製することができる。これらのユニットは、互いにおよび回路基板との組み立て前に交換可能な部品として取り扱いおよびストック(stock)が可能である。プランチは、望ましくは、組み立て直前に、別々の動作により破断される。したがって、プランチを選択的に切断するステップは、望ましくは、ユニットを積層するステップとして同じ生産工場または施設において実行される。別々のプランチ破断動作は、リードの接続セクションを接合するのに必要とされる同じ程度の精度を要求せず、したがって、より低い精度の設備によって実行することができる。さらに、組み立てまでの全供給チェーンを通して1つのみのタイプのユニットを取り扱ってストックすることができるこことによって、取り扱いおよび分配が単純化される。したがって、プランチを破断する前に、同一のチップとトレースと端子とを有するユニットは、互いに交換可能であり、交換可能な半仕上げ品の集合体として大量に提供することができる。本願明細書において使用する場合、「同一」という用語は、任意の製造された物品に必ず生じる各ユニットのばらつきにかかわらず、チップとトレースと端子との公称の構成をさす。

10

20

30

40

50

## 【0040】

積層およびプランチ破断の動作は、望ましくは、パッケージングされた半導体チップと、モジュールと、他の構成部品とを回路基板に取り付けるようにされた生産工場において実行され、当業界において「基板充填（board stuffing）」と一般に呼ばれている動作である。表面実装技術を用いる基板充填工場は、構成部品を取り扱い、回路基板に配置するための設備と、はんだを溶融するか、または構成部品と回路基板のコンタクトとの間の接合材料を活性化させるために、構成部品が載せられた回路基板を一時的に加熱するためのリフロー設備とを一般に装備している。積層動作は、回路パネルに部品を取り付けるために使用される実質的に同じ技術および手順を用いて、実行することができる。プランチを破断する最初の追加動作のみしか要求されない。

10

## 【0041】

さらなる別の変形例において、積層動作は、基板への積層体の組み立てと同時に実行することができる。すなわち、個々のユニットは、回路基板上に上下に積層され、基板上の適所に一時的に保持されて、例えば、一時的なクランプ取り付け、重力、ユニット間の接着、端子の融剤、またはこれらのいくつかの組み合わせによって保持することができる。このような組み立て状況において、最下ユニット 56d に関連付けられたはんだボールまたは伝導性部品 78 は、回路基板のコンタクトパッドの上にあり、外側ユニットのはんだボールは、積層体にある次の下側のユニットの端子の上にある。積層後、全積層体および回路パネルは、最下はんだボールを回路基板のコンタクトパッドに融合し、他のユニットのはんだボールを隣接するユニットの端子に融合できるリフロー動作を受ける。このリフロー動作は、他の構成部品を基板に取り付けるために使用されるリフロー動作とともに実行されうる。

20

## 【0042】

図3に示す本発明のさらなる実施形態によるパッケージでは図1および図2の実施形態に類似しているが、異なる点は、ユニット 156 が各ユニットに組み込まれたチップ 158 がユニットの最下部の方へ配置されるのに対して、各ユニットの回路パネルまたはパッケージ部品 120 がそのユニットのチップの上方に配置されるように逆転していることである。また、各ユニットに関連付けられたはんだボール 178 は、パネルの第1またはチップと離れた側 126 上ではなく、パネルの第2またはチップに面した側 130 上に配置される。別 の方法で述べると、この構成において、はんだボールは、チップと同じパネルの側に配置される。この構成によって、完成したアセンブリの全高さが低くなる。

30

## 【0043】

最上ユニットの熱伝達層 176A を接触させて、最上ユニット 156A に熱スプレッダ 190 が取り付けられる。金属または他の熱伝導性材料から熱スプレッダ 190 を形成することができ、熱を周囲へと逃がすためのリブやフィン（図示せず）等の機構を熱スプレッダ 190 に組み込むことができる。また、熱スプレッダは、スプレッダと回路基板との間の熱伝達を促進するために、回路基板 182 の方へパッケージのエッジに隣接して下向きに延びる壁を有してもよい。最上ユニット 156A の第1またはチップから離れた表面 126 上に設けられた熱伝達層 176 は、このようなユニットにあるパネル 120 の表面およびトレース 156 と密接に適合する。上述したように、この層は、最上ユニットのトレースとスプレッダとの間に電気的絶縁を維持するための誘電体層でありうる。この代わりにまたは加えて、最上ユニットのはんだマスク層 174 は、トレースに電気的絶縁を与えるために、トレースにわたってパネルの中央領域内に広がっていてもよい。他のユニットのパネルの中央領域にわたって、同様の熱伝導層 176 が与えられる。この場合にも、はんだマスク層または他の誘電体層は、熱伝導層が導電性のものであれば、トレースを絶縁するために使用することができる。図1および図2に関して上述したように、これらの熱伝導層は、積層体におけるさまざまなユニット間の密接な接触および熱伝達を促進する。これによって、積層体の内側ユニットからの熱放出が高められる。

40

## 【0044】

チップと同じテープ側上に、はんだボール 178 が設けられる場合には、はんだボールは

50

、2001年8月22日に出願され、同時係属中の本願と同一の譲受人に譲渡された米国特許出願第60/314,042号（以下、「'042特許出願」とよぶ）と、同日の優先日を主張したPCT国際特許出願第PCT/US02/26805号とに開示されているような補強層（図示せず）によって、すべてまたは部分的に取り囲まれてよく、これらの内容全体を引用することにより本願明細書の一部をなすものとする。'042特許出願に開示されているように、流動可能な材料、例えば、チップとユニットのパネル間に注入された接着層168を形成するエポキシまたはカプセル封入材等のエポキシまたはカプセル封入材によって、補強層を形成することができる。補強層は、組み立て中に取り扱いやすいように、補強層がパネルを強化する場合には、パネルの周辺に向かって延びて、はんだボールを取り囲むことが望ましい。この層は、チップによって示される領域を越えて中央領域の外側に配置されるため、積層体の高さを増加させることはない。10

#### 【0045】

最下ユニット156Dにあるチップの背面162は、回路基板182の方に対面する。背面162は、回路基板に物理的に取り付けられて、チップの背面と基板との間に設けられた熱層192によって、回路基板とさらに密接な熱伝達状態になるよう配置されていてよい。伝導性の充填剤を有するジェルもしくはグリースなどの熱伝導性材料から、または、最下ユニットのはんだボールがリフロー接合されて、端子を回路基板のコントラクトパッド180に取り付けるときにリフロー接合されるはんだから、このような熱伝達層を形成してもよい。20

#### 【0046】

図4および図5の実施形態は、図1および図2を参照して上述した実施形態に類似しているが、異なる点は、最下ユニットのパネルまたはチップキャリヤ320に、追加の「ダミー」端子323が設けられていることである。この場合にも、端子およびトレースのすべては、単一の金属層の部品として設けられている。ダミー端子323は、最下ユニット356Dにあるパネル320Dの中央領域にわたって延びるアレイに配置される。また、このパネルは、図1を参照して上述したセレクト端子および非セレクト端子に対応する周辺端子322を有する。はんだボール378が他の端子上に設けられるのと同様に、はんだボール379がダミー端子上に設けられる。これらのはんだボールは、パッケージが回路基板上に実装されるときに、最下ユニットと回路基板との間の熱導体として働く。図4に最も示すように、ダミー端子323は、例えば、323Bに示すようなトレースから切断されていてよい。この構成において、トレース338は、ダミー端子の周りにルーティングされる。この代わりにまたは加えて、参考番号323Cに示すように、ダミー端子をトレースに接続することができる。これによって、ダミー端子が占める領域を通過するトレースのルーティングが可能になるため、パネル上のトレースのレイアウトが単純化される。30

#### 【0047】

図6および図7に示す実施形態において、最下ユニット456Dを除くすべてのユニット456のパネル420は、図1および図2を参照して上述したパネルと同一のものである。最下ユニットのパネル420Dは、パネルの第2またはチップに対面する側上の金属要素層（layer of metallic feature）430と、第1またはチップと離れた側上の別の金属要素層とを有する、いわゆる、「2金属（two metal）」パネルである。チップに対面する側430上の金属要素層は、積層体にある他のパネルの端子422およびトレース438に対応する、周辺端子425およびトレース439を含む。これらの端子およびトレースは、上述した端子およびトレースと本質的に同一の端子およびトレースを含む。パネルの第1またはチップと離れた側426上の金属要素層は、パネルの中央領域上に延びる直線グリッドに配置された基板接続端子423のアレイを含む。また、この金属層は、基板接続端子423からビア（via）425へと延びる追加のトレース433を含む。ビア425は、パネルを通って延びる孔と、これらの孔を通って延びるビアライナ（via line）などの金属構造（metallic structure）とを含む。さらなるトレース433が、ビア内の金属要素によって、トレース439に接続される。回路基板にパッケージが実装される40

と、基板接続端子 423 は、回路基板のコンタクトパッドに接続されるので、トレース 439 および周辺端子 425 を回路基板に接続する。これによって、周辺端子 425 および他のパネルの対応する端子 422 から形成された垂直バスと回路基板のコンタクトパッドとが接続される。このアプローチの一変形例において、マルチプランチトレースの各プランチ 450 に別のビア 425 を設けて、別の相互接続トレース 433 と基板接続端子 423 とにリンクしてもよい。

【0048】

図 8 および図 9 の実施形態は、ユニット 556 のすべてにおいて、図 1 および図 2 を参照して上述したパネルと同一のパネル 520 を用いる。しかしながら、端子 522D、556D は、回路パネルに直接接続されず、したがって、このユニットの端子には、下向きに突出するはんだボールが設けられない。さらなる回路パネルまたはトランスレータ 501 は、パネル 520D のチップから離れた表面または第 1 の表面の上にある。トランスレータは、図 6 および図 7 を参照して上述した基板接続端子 423 のパターンに類似したグリッドのようなパターンに配置された基板接続端子 523 を有する。また、トランスレータは、さまざまなユニットのパネル上にある端子 522 のパターンに対応したパターンにある周辺端子 527 と、接続端子 523 および周辺端子 527 を相互接続する接続端子 533 を有する。トランスレータの周辺端子が周辺端子 522D と整列されるように、トランスレータは最下ユニットのパネルに並置される。したがって、さまざまなパネル 520 上の整列された周辺端子の各セットによって規定された各垂直方向バスが、トランスレータの 1 つの周辺端子 527 に接続されるので、回路基板上の 1 つのコンタクトパッドと電気的に接続される。この構成により、単一の金属部品のみを有する回路基板上に実装するための標準的またはグリッドのような端子パターンを有する構造を作製することができるようになる。次の下側のユニットのはんだボール 578 がリフロー接合されるときに、最下ユニットの端子 522D をトランスレータの周辺端子 527 にはんだ接合してもよい。一変形例において、トランスレータは、さまざまなユニット上のセレクト端子と関連付けられたバスに最終的に接続される周辺端子 527A ~ 527D に関連付けられた別の基板接続端子 523 への別の接続を含みうる。これにより、セレクト端子に接続された各バスが、回路基板上の固有のコンタクトパッドに接続されることになる。

【0049】

さらなる変形例において、トランスレータ自体は、1 つ以上の半導体チップを含みうる。例えば、トランスレータは、2002 年 9 月 6 日またはその前後に提出され、発明者として Kyong-Mo Bang が挙げられた「Components, Methods and Assemblies For Stacked Packages」という発明の名称の本願と同一の譲受人に譲渡された同時係属中の米国仮特許出願第 60/408,644 号（以下、「'644 出願」とよぶ）のいくつかの好適な実施形態に記載されたタイプの「最下ユニット」であってもよく、この内容全体を引用することにより本願明細書の一部をなすものとする。'644 出願にさらに記載されているように、このような最下ユニットは、最下ユニット半導体チップを含み、さらなるマイクロ電子デバイスを受け取るようにされた最上接続をさらに含む。回路基板充填工場においてこのような最下ユニットを回路基板に実装することができ、本願明細書に記載されるように積層アセンブリなどの追加のマイクロ電子デバイスを最下ユニットの最上接続に実装することができる。一例にすぎないが、最下ユニットチップはマイクロプロセッサまたは他のチップでありうるのに対して、最下ユニットに実装された積層アセンブリにあるチップは最下ユニットチップと使用中に協働するメモリチップでありうる。

【0050】

図 10 に示すパッケージは図 3 に示すパッケージに類似しているが、異なる点は、パネル 620 のトレース 638 がチップ 658 上のコンタクト 664 に接合するための一体形成された接続セクションを有さないことである。その代わりに、トレースは、ボンドウインドウ 632 に隣接したボンディングパッド 637 で終端する。これらのボンディングパッドとチップのコンタクト 664 との間には、ワイヤボンド 639 が設けられる。また、図

10のパッケージは、4つのユニットではなく2つのユニットしか含まない。前述した構造の任意のものに対して、より多くの数および奇数の数のユニットを使用することもできる。また、ワイヤ接合されたユニットは逆向きに用いられることができる、すなわち、図1および図2を参照して上述したように、各ユニットのチップはユニットのパネルの上方に配置される。そして、カプセル封入材601がワイヤボンドを被覆する。ユニットの残りの上にある熱伝導性の層678とエンドキャップを一体にすることができる。

【0051】

さらなる変形例(図11)において、マルチプランチトレース639は、チップコンタクト664へ接続するようにされた共通のセクション646を有する。したがって、共通セクションは、コンタクトへのワイヤボンド接続とともに使用するためのボンディングパッド637を有するか、または、コンタクトに直接接合することができる接続セクションを有してもよい。トレースのプランチ650は、最初に作製されるとき、共通セクション646からさまざまなセレクト端子622への破断されていない連続経路に延びていない。むしろ、各プランチは、ギャップ651とともに最初に作製される。例えば、1つのプランチのギャップ651にわたって短いワイヤボンド653を適用することによって、これらのギャップを選択的に塞ぐことができる。追加のワイヤボンドがさらなる複雑性およびインピーダンスを導入して周囲のパネルの平面の上方にあってもよいので、この実施形態はあまり好ましくない。望ましくは、(図11の破線で示す)チップ658によって占められる領域の外側にある回路パネルの周辺領域にプランチのギャップが配置されることによって、ギャップにわたって延びるワイヤボンド653は、チップによって占められる領域の外側にあるようになる。したがって、1つのユニットにある突出ワイヤボンドとこのような突出ワイヤボンドにわたって任意に適用されうるカプセル封入材とが、このユニットにあるチップと並んで垂直方向にまたは次の隣接するユニットにチップに沿って突出してもよいため、積層アセンブリの全高を増加させることがない。

【0052】

本発明のさらなる実施形態によるユニット(図12)は、上述した部品に一般的に類似し、上側に配置され多数のリード738に接続された多数の端子722を有する回路パネルまたは誘電体部品720を含む。端子は、回路パネルの第1のエッジ724に隣接して延びる端子722A～722Fを組み込む第1の外側の列723を含む。この端子の列は、内側の境界を規定する。端子722は、例えば、エッジ724からさらに離れて配置された端子722Gおよび722Hなどの追加の端子とともに、回路パネルの他の部品上の他の端子(図示せず)とを含みうる。第1の外側の列723は、回路パネルの第1のエッジ724から最も離れた端子のエッジにある内側の境界725と、中心線726と、エッジ724に最も近いエッジにある外側の境界731とを規定する。

【0053】

端子722Cおよび722Dは、チップセレクトコンタクト764へ接続するようにされた共通セクション746Cとともに、共通セクションに接続されたプランチ750Cおよび750Dを有するマルチプランチリード738Cに関連付けられたチップセレクト端子のセットを形成する。プランチ750Cは、共通セクションをチップセレクト端子722Cに接続するのに対して、プランチ750Dは、共通セクション746Cを別のチップセレクト端子722Dに接続する。図13に最も示すように、プランチ750Cおよび750Dは、回路パネル720の第1のエッジ724の付近まで延びる。望ましくは、プランチは、約1mm以内、好ましくは第1のエッジ724の約0.5mm以内であり、最も望ましくは第1のエッジの約200ミクロン以内まで延びる。プランチ750Cおよび750Dは、端子723の第1の外側の列の内側境界725から外向きに配置され、この列の外側境界731付近にあるこの列の中央線727から外向きに配置される。回路パネル720は、第1のエッジ724から内向きに延びるノッチの形をした切断開口754Cおよび754Dを有する。

【0054】

図14に最も示すように、回路パネル720は、回路パネルの最下または内側表面を規

10

20

30

40

50

定する構造的な誘電体層 726 と、リードおよび端子ひいてはプランチ 750C を含む単一の金属要素層と、はんだマスク層 774 とを含む。ベース誘電体層 726 およびはんだマスク層 774 は、プランチ 750C が切断開口をまたがるように、切断開口またはノッチ 754 において切断される。ノッチ 754C および 754D は、エッジ 724 からプランチ 750C および 750D の方へわずかにそれらを越えて内向きに延びる。プランチがエッジの付近に配置されるため、ノッチは、エッジから回路パネル内まで遠くに延びている必要はない。望ましくは、ノッチは、パネル内に、約 1.5 mm 未満、より望ましくは約 1.0 mm 未満になるよう延びる。プランチ 750D および切断開口またはノッチ 754D に、同じ構造が設けられる。

## 【0055】

10

このようにして、ツールをノッチ内へと挿入し、例えば、(図 12 および図 13 の)パンチ 702 をノッチ内へと挿入することによって、プランチ 750 は、選択的に破断することができる。回路パネルの平面に垂直な方向または平面に平行な方向にパンチを移動させてもよい。パンチに密接に適合するような形状の開口を有する整合ダイを回路パネルの下方に設けることができ、ダイと係合するようにノッチを通って下方にパンチを移動して、プロセスにおいてプランチリードを破断させてもよい。したがって、リード 738C の共通セクション 746C が、端子 722C および 722D のいずれかまたは両方に選択的に接続されるか、またはいずれにも接続されないように、プランチ 750C または 750D を選択的に遮ることができる。さらなるマルチプランチリード 738E (図 12) は、チップセレクト端子 722E および 722F の同様の対と関連付けられ、プランチの同様の構造およびプランチに関連付けられた同様のノッチを有する。また、図 12 に示すように、例えば、リード 738A 等のリードのいくつかが、2つ以上の端子 722A および 722H に関連付けられ、これらの端子に永久的に接続される。また、リード 738A は、回路パネル 720 上の著しく大きな領域を覆う広く平坦な構造である。さらに、端子のいくつかはリードに接続されない。例えば、端子の対称的なパターン、ひいては仕上げアセンブリにある垂直方向導体の対称的な構造を与えるように、このような接続されていない端子を設けてもよい。また、さまざまなユニットに加えて、アセンブリは、積層体の最上部、または、実際には、積層体内の任意の場所に配置された追加の電気的部品を含みうる。接続されていない端子によって形成される追加の垂直方向導体は、これらの部品まで延びる追加の導体として作用することができる。

20

30

## 【0056】

図 15 に部分的に示すユニットは、第 1 のエッジ 824 と、エッジ 824 に沿って、このようなエッジに平行に延びる外側端子 823 の第 1 の列とを有するとともに、第 1 の外側の列の内側に配置された端子の追加の列 821 とを有する回路パネル 820 を有する。マルチプランチリード 838 は、共通セクション 846 と、セレクト端子 822A、822B、822C、および 822D にそれぞれ延びるプランチ 850A、850B、850C、および 850D を有する。プランチ 850 は、中間セクション 851 によって共通セクション 846 に接続される。このような 1 つの中間セクションはプランチ 850A および 850B と共通セクション 846 に接続されるのに対し、他の中間セクションはプランチ 850C および 850D を共通セクションに接続される。この場合も、プランチ 850 は、端子の第 1 の外側の列 823 の中央線 827 を越えて外向きにすべてまたは部分的に延びる。しかしながら、最初に製造されるとき、および、チップとともに半仕上げユニットにおいて接続されるときには、回路パネルは切断開口を有していない。その代わりに、(図 15 の破線で示す) ノッチ 854 を形成し、このようなノッチ形成中にプランチを破断することによって、プランチ 850 が選択的に切断される。例えば、プランチが切断される予定のノッチ 854 を形成するが他の位置にノッチを形成しないように、パンチによって選択的に回路パネルが切断されてもよい。例えば、図 15 に示すパターンにノッチ 854 が形成されれば、プランチ 850B は切断されていない状態に維持され、したがって、セレクト端子 822B はリード 838 の共通部分 846 に接続された状態であるが、残りのセレクト端子は切断されることになる。上述したように、積層前に、そして最も望ま

40

50

しくは、例えば、回路基板スタッフィング工場において積層が実行される場所と同じ工場において、この動作が実行されることが望ましい。

【0057】

図16に示すように、大きなシートの部分として、多数のユニットを与えることができる。したがって、個々のユニットの回路パネルを形成する誘電体層の1つ以上は、シートまたはテープ802の全体を通って延びる連続的または半連続的な誘電体層の部分を形成する。シートまたはテープには、スプロケット孔804などの従来の位置合わせ機構を設けてもよい。明確に示すために、図16に、個々のユニット820を形成する回路パネルの境界を描いているが、この段階では、隣接するユニット間に物理的な境界画定がないことを認識されたい。ユニットをシート802に接続したまま、個々のユニットの回路パネルに半導体チップを組み立てることによって、上述したようにユニットが組み立てられる。この段階では、ユニットのすべては互いに実質的に同一である。これらの同一のユニットのアセンブリは、シートの形での取り扱いおよびストックが可能である。個々のユニットは、望ましくは、積層動作の直前に、シートから切り離される。切断動作中に、そのユニットのノッチの所望のパターンに対応するパターンで（図15の）ノッチ854が各ユニットに形成される。異なるユニットに形成されたノッチは、異なるパターンで形成される。例えば、各ユニットを隣接するユニットから切断するように矩形状のブレード部分808を有し、個々のノッチを切断し、個々のプランチ850（図15）を切り離すようにされた歯810をダイ806は有する。歯810は、図15に示すパターンにプランチを切り離すようにされる。したがって、プランチ850Aを切り離すように歯810Aが設けられ、プランチ850Cおよび850Dを切り離すように、同様の歯810Cおよび810Dが設けられる。しかしながら、プランチ805Bに対応する場所812には、歯が設けられないため、このプランチは切り離されない。テープから他のユニットを切断するために使用されるダイは、異なる歯パターンを有する。テープからユニットを切り離すと同時に、使用されるプランチを切り離すために、他の構成を使用することができる。個々のユニットをテープから切断するために、さらに、プランチを切り離すために、例えば、水噴射、レーザ、または他の切断デバイスを使用してもよい。上述した他の実施形態にも、同様の構成を使用することができる。例えば、プランチに関連付けられた予め形成された切断開口を有する構造において、ユニットをシートから切り離すために使用されるツールは、このような切断開口内に通り、プランチを切り離すようにされた突出を有してよい。さらなる代替において、さまざまなユニットが、望ましくは、個々のユニットをシートから切り離す直前に、さまざまなユニットをシートに接続されたまま実行することができる。任意選択的に、細長いテープの形でシートが与えられてもよい。

【0058】

さらなる別の変形例において、回路パネル920は、このようなエッジから外向きに延びる突出部925を有するエッジ924を有する。マルチプランチリード938は、突出部に外向きに延びるプランチ950を有する。個々のプランチは、1つ以上の突出部を切り離すことによって、例えば、プランチ950aを切断するように突出部925Aを切り離すことによって切断することができる。この動作は、突出部が取り付けられた状態にあるレセスを有するダイまたはブレードを用いて実行することができる。完成した積層アセンブリにおいて、残りの突出部925は、図19の参照番号925'に示すように、回路パネルの平面から屈曲することができるため、突出部は、アセンブリの水平方向の広がりを実質的に増すことがない。

【0059】

上述した特徴の多数の変形例および組み合わせは、本発明から逸脱することなく利用することができる。例えば、さまざまな回路パネルは、グラウンドまたはパワープレーンなどの追加の機構または追加のトレース層を含みうる。各パネルのトレースおよび他の伝導性機構は、チップから離れた第1の側ではなく、パネルの第2またはチップに面した側上に配置することができる。例えば、図20に示すように、誘電体層1020は、誘電体層1020の第2またはチップに面した側1030上にトレース1038を有する。はんだマ

10

20

30

40

50

スク層 1076 に加えて、第 2 の側 1030 上のトレースにわたって追加のはんだマスク層 1002 を設けてもよく、これは、ユニットの熱伝達または熱層としても作用する。この場合には、開口内 1034 内のカプセル封入材は、誘電体層の第 1 の表面 1026 と同一平面上か、またはこのような表面に対してもくぼみが作られた表面 1035 を有するため、第 1 の表面は実質的に平坦である。一変形例において、第 1 の表面上のはんだマスク層 1076 を、カプセル封入材を導入した後に除去してもよい。この場合には、誘電体層 1020 は、ユニットの熱または熱伝達層として作用し、積層体における次の下側のチップと隣接する。さらなる変形例において、誘電体層の第 2 またはチップに面する側上にあるはんだマスク層 1002 を、省略して、接着層 1068 と一緒にしてもよい。また、各ユニットは 2 つ以上のチップを含みうる。さまざまなユニットに含まれたチップは、メモリチップや、例えば、DRAM、フラッシュ、ROM、PROM、または EEPROM チップでありうる。また、本発明は、例えば、プロセッサまたは特定用途向けの集積回路 (ASIC) 等のほかのチップをパッケージングする際に用いることもできる。また、「セレクト」端子は、メモリアレイに一般に使用される「チップセレクト」などの信号を伝達する必要はなく、すなわち、積層体内の 1 以上の特定のチップにルート決定されることが望ましい任意の信号を伝達することができる。熱拡張による応力を緩和するために、各ユニットのユニット端子がそのユニットのチップに対して動かせるよう接着層とリードとパネルとを配設させてもよい。また、熱伝達層によって、隣接するユニットが相対的に移動可能であってもよい。さらに、積層アセンブリは、実質的に上述したようなユニットに加えて、1 つ以上の非同一ユニットを含みうる。例えば、積層体の異なるユニットは、異なるチップを含みうる。さらなる別の変形例において、各ユニットはある方向に配置されたチップを有する構造において上述した機構が使用可能であり、チップの背面はこのようなユニットの誘電体層に隣接し、コンタクト担持前面は誘電体層から離れて対面する。このような実施形態において、コンタクトは、ワイヤボンドまたは他の導体によってトレースに接続することができる。このような実施形態において、各チップの前面または前面の上にあるカプセル封入材の層が、次の隣接するユニットの誘電体層に隣接していてもよい。

#### 【0060】

上述した実施形態において、さまざまなユニットを互いに接続し、垂直方向の導体を形成する伝導性部品は、従来のはんだボールである。この代わりに、他の伝導性部品を用いてもよい。例えば、いわゆる「ソリッドコアはんだボール (solid core solder ball)」を使用することができる。ソリッドコアはんだボールは、融点が比較的に高い材料から形成されたコアと、融点温度がコアの融点温度よりも低いはんだとを含む。さらなる他の伝導性部品を、伝導性ポリマー組成の集合体から形成することができる。

#### 【0061】

上述した特徴の上記および他の変形例および組み合わせを利用できるため、好適な実施形態の上述した記載は、本発明を限定するものではなく、例示するものとして解されるべきものである。

#### 【図面の簡単な説明】

#### 【0062】

【図 1】本発明の 1 つの実施形態において使用される回路パネルの平面図である。

【図 2】図 1 の回路パネルを用いた積層パッケージの立面図である。

【図 3】回路基板と組み合わせた本発明のさらなる実施形態による積層パッケージの断面図である。

【図 4】図 1 に類似しているが、本発明のさらなる実施形態による回路パネルを示す図である。

【図 5】図 2 に類似しているが、図 4 の回路パネルを用いた積層パッケージを示す図である。

【図 6】本発明のさらなる別の実施形態において使用される回路パネルの平面図である。

【図 7】図 6 の回路パネルを用いて作製された積層パッケージの断面図である。

【図 8】本発明のさらなる実施形態において使用されるトランスレーションパネルの平面

10

20

30

40

50

図である。

【図 9】図 8 のトランスレーションパネルを用いたパッケージの断面図である。

【図 10】本発明のさらなる実施形態による積層パッケージの断面図である。

【図 11】本発明の別の実施形態によるパッケージ部品の一部分の部分図である。

【図 12】本発明のさらなる実施形態によるパッケージの部分平面図である。

【図 13】図 12 に示すユニットを拡大した部分平面図である。

【図 14】図 13 の線 14 - 14 に沿って切り取った部分断面立面図である。

【図 15】本発明のさらなる別の実施形態による回路パネルの部分平面図である。

【図 16】図 15 の回路パネルを用いて形成された複数のユニットを含む仕掛けあるいは  
10 製造過程中の集合体の部分斜視図である。

【図 17】図 15 および図 16 の回路パネルおよびユニットとともに使用可能な切断ツー  
ルの立面図である。

【図 18】本発明のさらなる別の実施形態による回路パネルの部分平面図である。

【図 19】図 18 の回路パネルから形成されたアセンブリの部分立面図である。

【図 20】本発明のさらなる別の実施形態によるユニットの部分断面図である。

## 【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
17 April 2003 (17.04.2003)

PCT

(10) International Publication Number  
WO 03/032370 A2(51) International Patent Classification<sup>5</sup>:

H01L

(81) Designated States (national): A11, AG, A12, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CI1, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI1, GM, IIR, IIU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TI, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW.

(21) International Application Number: PCT/US02/32251

(22) International Filing Date: 9 October 2002 (09.10.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 60/328,038 9 October 2001 (09.10.2001) US

(71) Applicant: TESSERA, INC. [US/US]; 3099 Orchard Drive, San Jose, CA 95134 (US).

(72) Inventors: PFLUGHAUPT, L., Elliott, 252 Montclair Road, Los Gatos, CA 95023 (US); GIBSON, David; 910 Atwater Road, Lake Oswego, OR 97034 (US); KIM, Young; 21067 Red Fir Court, Cupertino, CA 95014 (US); MITCHELL, Craig, S.; 1530 Ramita Court, San Jose, CA 95128 (US).

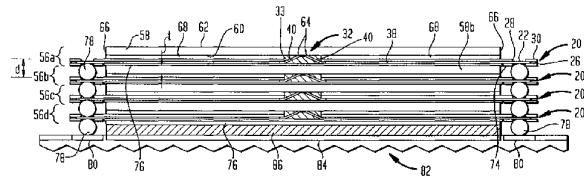
(74) Agents: MILLET, Marcus, J. et al.; Lemer, David, Litenberg, Krumholz &amp; Mentlik, LLP, 600 South Avenue West, Westfield, NJ 07090 (US).

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW); Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM); European patent (AT, BL, BG, CH, CY, CZ, DE, DK, EL, ES, FI, FR, GR, IE, IT, LU, MC, NL, PT, SI, SK, TR); OAIP patent (BT, BJ, CP, CG, CI, CM, GA, GN, GQ, GW, MI, MR, NE, SN, TD, TG).

Published:  
without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: STACKED PACKAGES



(57) Abstract: A stacked chip assembly includes individual units (56) having chips (58) mounted on dielectric layers (20) and traces (38) on the dielectric layers interconnecting the contacts of the chips with terminals (22) disposed in peripheral regions of the dielectric layers. At least some of the traces (38a, 38c) are multi-branched traces which connect chip select contacts to chip select terminals. The units are stacked one above the other with corresponding terminals of the different units being connected to one another by solder balls (78) or other conductive elements so as to form vertical buses. Prior to stacking, the multi-branched traces of the individual units are selectively interrupted, as by breaking the individual branches (50), so as to leave chip select contact of chips in different units connected to different chip select terminals and thereby connect these chips to different vertical buses. The individual units desirably are thin and directly abut one another so as to provide a low-height assembly with good heat transfer from chips within the stack.

WO 03/032370 A2

WO 03/032370

PCT/US02/32251

## STACKED PACKAGES

## BACKGROUND ART

Semiconductor chips typically are thin and flat, with relatively large front and rear surfaces and small edge surfaces. The chips have contacts on their front surfaces. Typically, chips are provided as packaged chips having terminals suitable for connection to an external circuit. Packaged chips typically are also in the form of flat bodies. Ordinarily, the packaged chips are arranged in an array on a surface of a circuit board. The circuit board has electrical conductors, normally referred to as "traces" extending in horizontal directions parallel to the surface of the circuit board and also has contact pads or other electrically conductive elements connected to the traces. The packaged chips are mounted with their terminal-bearing faces confronting the surface of the circuit board and the terminals on each packaged chip are electrically connected to the contact pads of the circuit board.

Memory chips typically are mounted in this manner. An unpackaged memory chip typically has numerous data contacts and one or a few select contacts. The chip is arranged to ignore data or commands appearing at the data terminals unless the appropriate signals are applied to the select contact or contacts. A conventional packaged memory chip has data terminals connected to the data contacts and has select terminals connected to the select contacts. In a conventional system, numerous identical packaged memory chips can be connected in an array with the corresponding data terminals of the various packaged chips connected to common traces and with the select terminals of the various chips connected to unique conductors, so that each conductor is associated with one, and only one, chip. Data can be written onto an individual chip by supplying the data on the common traces and by applying a selection signal on the unique trace associated with the particular chip where the data is to be written. The remaining

WO 03/032370

PCT/US02/32251

chips will ignore the data. The reverse process is employed to read data from a particular chip. Such a circuit can be built readily using the conventional horizontal chip array and using identical chip packages for all of the chips in the array.

5 In the conventional arrangement, the theoretical minimum area of the circuit board is equal to the aggregate areas of all of the terminal-bearing surfaces of the individual chip packages. In practice, the circuit board must be somewhat larger than this theoretical minimum. The traces on the 10 circuit board typically have significant length and impedance so that appreciable time is required for propagation of signals along the traces. This limits the speed of operation of the circuit.

Various approaches have been proposed for alleviating 15 these drawbacks. One such approach is to "stack" plural chips one above the other in a common package. The package itself has vertically-extending conductors that are connected to the contact pads of the circuit board. The individual chips within the package are connected to these vertically-extending 20 conductors. Because the thickness of a chip is substantially smaller than its horizontal dimensions, the internal conductors can be shorter than the traces on a circuit board that would be required to connect the same number of chips in a conventional arrangement. Examples of stacked packages are shown, for 25 example, in U.S. Patents 5,861,666; 5,198,888; 4,956,694; 6,072,233; and 6,268,649. The stacked packages shown in certain embodiments of these patents are made by providing individual units, each including a single chip and a package element having unit terminals. Within each unit, the contacts 30 of the chip are connected to the unit terminals. The units are stacked one atop the other. Unit terminals of each unit are connected to the corresponding unit terminals of other units. The connected unit terminals form vertical conductors of the stacked package, also referred to as buses.

WO 03/032370

PCT/US02/32251

However, providing a circuit with individual select connections in a stacked package introduces additional complexities. Because the vertical conductors extend through the terminals of the various units, the interconnections between the contacts of the chip and the unit terminals of each unit in the stack should be different in order to provide connections to unique vertical conductors. For example, in a four-chip stack having four vertical buses for carrying selection signals, the bottom unit may have a select contact of its chip connected to a unit terminal that forms part of bus number 1; the next unit may have a corresponding select contact of its chip connected to a terminal that forms bus number 2; and so on. This need for customization of the units adds complexity to the manufacturing process. For example, U.S. Patent 4,956,694 describes units having chip carriers with a set of intermediate terminals in each unit. These intermediate terminals are connected to the contacts on the chip and are also connected to the terminals of the unit. The interconnections are made by wire bonds. The pattern of wire bonds differs from unit to unit. This arrangement inherently requires a relatively large chip carrier, which adds to the cost and bulk of the package. Moreover, the manufacturer must handle and stock multiple different wire bonded units. Sugano et al., U.S. Patent 5,198,888, uses individualized chip carriers in the various units. These chip carriers have leads defining different interconnect patterns for the select contacts and the associated terminals. This, again, adds to the cost and complexity of the manufacturing process. U.S. Patents 6,268,649 and 6,072,233 use customized units as well. It would be desirable to reduce the cost and complexity associated with providing customized units in a stacked package.

It would also be desirable to provide a compact stacked package and to provide a stacked package with good heat transfer from the chips within the stack to the external

WO 03/032370

PCT/US02/32251

environment as, for example, to the circuit board or to a heat spreader overlying the top of the package. Further, it would be desirable to provide such a package using readily-available equipment and using components that can be fabricated readily.

5 SUMMARY OF INVENTION

One aspect of the invention provides semiconductor chip assemblies incorporating a plurality of units. Each unit desirably includes a semiconductor chip having at least one select contact and a plurality of other contacts and also includes a circuit panel having a plurality of chip select terminals and a plurality of other terminals, as well as traces extending on or in the panel. The traces are electrically connected between the contacts of the chip and the terminals. The trace electrically connected to each chip select contact of the chip desirably is a multi-branched trace including a common section connected to the select contact of the chip and also including a plurality of branches connected to different ones of the chip select terminals on the circuit panel. In the assembly, desirably at least one branch, but less than all of the branches of each such multi-branch trace, have an interruption therein so that the select contact is connected to less than all of the chip select terminals on the panel and most preferably so that each chip select contact is connected to only one chip select terminal of the panel in the unit. The units are disposed one above the other in a stack of superposed units. The assembly further includes vertical conductors, each connecting the corresponding terminals of the units in the stack to one another so as to form a plurality of vertical buses. Due to the selective connections within individual units provided by the multi-branch traces and interrupted branches, the chip select contacts of chips in different units are electrically connected to different ones of the vertical buses. This arrangement provides selective routing of chip select signals and other signals which must be conveyed to individual chips. The remaining contacts on each chip are

WO 03/032370

PCT/US02/32251

connected in parallel with corresponding contacts on chips in other units so that signals can be conveyed to the remaining contacts of the various chips in parallel. This provides the required selective routing.

5 Most preferably, the chips, traces and terminals of different units in the stack are identical to one another, except that different ones of the units have different branches of their multi-branch traces interrupted so that different chip select contacts of different units are connected to different 10 terminals on the circuit panels of such units. Most preferably, the circuit panel of each unit includes a dielectric layer, desirably less than about 100  $\mu\text{m}$  thick. The vertical spacing distance between corresponding features in adjacent ones of the units desirably is no more than about 15 250  $\mu\text{m}$  and preferably no more than about 200  $\mu\text{m}$  greater than the thickness of the chip in each unit. The assembly, thus, has a relatively low overall height.

The dielectric layer in each circuit panel may have a disconnection aperture or opening, and the interruptions in the 20 branches of the multi-branch traces may be formed at such disconnection apertures. The disconnection apertures can be formed in the dielectric layers when the units are manufactured or when the branches are interrupted, typically at a later stage in the process. In one arrangement, the circuit panel of 25 each unit has edges, and the disconnection apertures are provided in the form of notches extending inwardly from one or more of the edges. The terminals of such a unit may include an outer row disposed adjacent to an edge of the circuit panel and the branches of the multi-branch traces may have portions 30 extending outwardly to or beyond the outer row of terminals. In this instance, the notches need not extend inwardly beyond the outer row of terminals, so that the interruptions in the multi-branch leads can be formed readily.

A further aspect of the invention provides methods of 35 making a semiconductor chip assembly. A method according to

WO 03/032370

PCT/US02/32251

this aspect of the invention includes the step of providing a plurality of units. Here again, each unit desirably includes at least one semiconductor chip having at least one chip select contact and a plurality of other contacts and also includes a 5 circuit panel having chip select terminals, other terminals and traces extending on or in the panel connected to the terminals. As discussed above, at least one trace of each panel desirably is a multi-branch trace including a common section and plural branches connected to different ones of the chip select 10 terminals, and the contacts of the at least one chip in each unit desirably are connected to the traces of the circuit panel in that unit so that the chip select contacts are connected to the common sections of the multi-branch traces. The method according to this aspect of the invention desirably includes 15 the step of selectively interrupting the branches of the multi-branch traces so that the common section of a multi-branch trace in each unit is connected to less than all of the chip select terminals of that unit. The method preferably includes the step of stacking the units and interconnecting terminals of 20 different units to one another to form vertical buses.

The selectively interrupting step desirably is performed so that the chip select terminals of chips in different units are connected to different ones of the vertical buses. Most preferably, prior to the step of selectively interrupting the 25 multi-branch traces, the units are substantially identical to one another. The step of selectively interrupting the multi-branch traces may be performed at any time during or after formation of the units. In one arrangement, the step of providing the units includes connecting the chips to the traces 30 using a tool such as a thermosonic bonding tool, and the step of selectively interrupting the branches is performed by engaging the same tool with the branches as part of the same processing operation.

In another arrangement, the step of selectively 35 interrupting the branches is performed later as, for example,

WO 03/032370

PCT/US02/32251

just prior to the stacking step. Thus, the units may be provided as substantially identical elements which may be handled and stocked as mutually interchangeable parts. Here again, the dielectric layers of the various units may include 5 interruption openings extending through the dielectric layers, and the branches of the multi-branch traces may extend across these interruption openings prior to the severing step. The step of selectively interrupting the branches may include ... breaking the branches at these interruption openings. 10 Alternatively, the interruption openings may be formed at the same time as the branches are broken as, for example, by removing small regions of each multi-branch trace and portions of the dielectric layers underlying these regions, such as by punching the circuit panels to form the interruption openings 15 while also breaking the branches of the traces.

Because the units are substantially identical to one another and can be treated as parts interchangeable with one another up to and including the step of severing the branches, handling and stocking of the units in commerce is substantially 20 simplified. For example, the units can be fabricated at a chip packing plant arranged to handle bare semiconductor chips and to mount the bare semiconductor chips to the circuit panels of the individual units. The stacking operation can be performed in a circuit board stuffing plant having tools and equipment 25 adapted for surface-mounting packaged chips to circuit boards. Indeed, the stacking operation can be performed concomitantly with mounting the assembly to a circuit board. For example, the units can be stacked and the solder balls joining the various units can be reflowed at the same time as the solder 30 balls joining the bottom unit in the stack to the circuit board are reflowed.

A further aspect of the invention provides an in-process collection of interchangeable semi-finished units usable in a stacking process and assembly as discussed above.

WO 03/032370

PCT/US02/32251

A further aspect of the invention provides additional semiconductor chip assemblies. A chip assembly according to this aspect of the invention also includes a plurality of units, each including a semiconductor chip having contacts on a front surface, and including a circuit panel having a central region and a peripheral region. The panel desirably includes a dielectric layer having first and second surfaces and at least one bond window extending between the first and second surfaces in the central region. The panel also includes a plurality of terminals in the peripheral region, the terminals being exposed at both the first and second surfaces. Preferably, the dielectric layer has a plurality of terminal apertures extending between the first and second surfaces in the peripheral region and the terminals are pads aligned with the terminal apertures. The chip is disposed with the front surface of the chip facing toward a surface of the panel in the central region and the contacts of the chip are connected to the traces on the panel in the at least one bond window. The units are superposed on one another in a stack so that the rear surface of a chip in one unit faces toward a surface of the dielectric layer in a next adjacent unit. The units most preferably bear on one another in at least those portions of the central regions occupied by the traces. A plurality of conductive masses are disposed between the terminals of the units and connect the terminals of the adjacent units to one another.

In one arrangement, the traces of each unit extend along the first surface of the dielectric layer in that unit, and the front surface of the chip in each unit faces toward the second surface of the dielectric layer in that unit. In a chip assembly of this type, at least some of the units desirably include heat transfer layers overlying the traces of such units, and these units bear on one another through the heat transfer layers. Thus, the heat transfer layer of each such unit desirably abuts the rear surface of the chip in the next

WO 03/032370

PCT/US02/32251

adjacent unit. The heat transfer layers of these units desirably extend across the bond windows in the dielectric layers of these units and are substantially flat, at least in the region extending across the bond windows. Such units 5 desirably further include an encapsulant at least partially filling the bond windows. During manufacture, the heat transfer layers may serve as masking layers which confine the encapsulant so that the encapsulant does not protrude beyond the dielectric layer. As further discussed below, the flat 10 heat transfer layers allow close engagement of the units with one another and good thermal contact between adjoining units. These features contribute to the low height of the assembly and promote effective heat dissipation from chips within the assembly.

15 In an assembly according to a further aspect of the invention, the heat transfer layer may be present or may be omitted, but the encapsulant defines a surface substantially or recessed relative to such surface. Where the heat transfer 20 layer is omitted, the dielectric layer of each unit may bear directly on the rear surface of the chip in the next adjoining unit.

25 These and other objects, features and advantages of the present invention will be more readily apparent from the detailed description of the preferred embodiments set forth below, taken in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a top plan view of a circuit panel used in one embodiment of the invention.

30 FIG. 2 is a diagrammatic elevational view of a stacked package using the circuit panel of FIG. 1.

FIG. 3 is a diagrammatic sectional view of a stacked package in accordance with a further embodiment of the invention in conjunction with a circuit board.

WO 03/032370

PCT/US02/32251

FIG. 4 is a view similar to FIG. 1, but depicting a circuit panel in accordance with a further embodiment of the invention.

5 FIG. 5 is a view similar to FIG. 2, but depicting a stacked package using the circuit panel of FIG. 4.

FIG. 6 is a diagrammatic plan view of a circuit panel used in yet another embodiment of the invention.

FIG. 7 is a diagrammatic sectional view of a stacked package made using the circuit panel of FIG. 6.

10 FIG. 8 is a diagrammatic plan view of a translation panel used in a further embodiment of the invention.

FIG. 9 is a diagrammatic sectional view of a package using the translation panel of FIG. 8.

15 FIG. 10 is a diagrammatic sectional view of a stacked package according to a further embodiment of the invention.

FIG. 11 is a fragmentary view of a portion of a package element in accordance with another embodiment of the invention.

20 FIG. 12 is a fragmentary, diagrammatic plan view of a package unit in accordance with a further embodiment of the invention.

FIG. 13 is a fragmentary plan view on an enlarged scale of the unit shown in FIG. 12.

FIG. 14 is a fragmentary, sectional elevational view taken along line 14-14 in FIG. 13.

25 FIG. 15 is a fragmentary, diagrammatic plan view of a circuit panel in accordance with yet another embodiment of the invention.

FIG. 16 is a fragmentary, diagrammatic perspective view of 30 an in-process assemblage including a plurality of units formed using the circuit panels of FIG. 15.

FIG. 17 is a diagrammatic elevational view of a cutting tool usable with the circuit panel and units of FIGS. 15 and 16.

WO 03/032370

PCT/US02/32251

FIG. 18 is a fragmentary, diagrammatic plan view of a circuit panel in accordance with yet another embodiment of the invention.

FIG. 19 is a fragmentary, diagrammatic elevational view of 5 an assembly formed from the circuit panel of FIG. 18.

FIG. 20 is a fragmentary, diagrammatic sectional view of a unit in accordance with yet another embodiment of the invention.

MODES FOR CARRYING OUT THE INVENTION

10 A package in accordance with one embodiment of the invention uses a plurality of package elements 20, each such element being in the form of a circuit panel. Each such circuit panel may include a dielectric layer in the form of a thin, flexible dielectric tape as, for example, a layer of 15 reinforced or unreinforced polyimide, BT resin or the like on the order of 25-100  $\mu\text{m}$  thick, most preferably 25-75  $\mu\text{m}$  thick. Alternatively, each panel may include a dielectric such as a fiberglass-reinforced epoxy as, for example, an FR-4 or FR-5 board. The panel has numerous terminals 22 disposed in rows 20 within a peripheral region of the panel, adjacent the edges 24 of the panel. In the embodiment illustrated, rows of terminals are provided along all four edges. However, the terminals can be provided adjacent less than all of the edges as, for example, in two rows adjacent to two opposite edges of the 25 panel. Each terminal 22 may be in the form of a flat, relatively thin disc of copper or other suitable metallic material on a first surface 26 of the panel (the surface visible in FIG. 1). As best seen in FIG. 2, the panel also has holes 28 extending through it in alignment with terminals 22. 30 Each such hole extends between the first surface 26 of the panel and the opposite, second surface 30.

Each panel 20 further has an elongated bond window 32 extending adjacent the center of the panel. The panel further has a large number of leads 36. Each lead includes a trace 38 35 extending along the first surface 32 of the panel and a

WO 03/032370

PCT/US02/32251

connection section 40 formed integrally with the trace projecting from the trace across the bond window. In the unassembled state depicted in FIG. 1, each connection section is connected by a frangible element 42 to an anchor section 44 projecting from the side of the bond window opposite trace 38. The traces and anchor portions are arranged in a row extending along the length of the bond window. Different traces extend to opposite sides of the bond window, so that some of the connection sections 40 project into the bond window from one side, whereas others project into the bond window from the opposite side. The arrangement of the traces and their connection sections may be substantially as shown in U.S. Patent 5,489,749, the disclosure of which is hereby incorporated by reference herein.

15 The terminals 22 include a first set of select terminals 22A-22D; a second set of select terminals 22E-22H; as well as other terminals, referred to herein as non-select terminals, as, for example, terminals 22J and 22K. Each trace 38 includes a common section 46 adjacent to and connected to a connection section 40. Some of the traces are connected to the non-select terminals. These traces have common sections 46 which extend all the way to the associated terminals, such as to terminals 22J and 22K, so that the common section 46 of each such trace is connected directly with a non-select terminal.

25 Those traces 38 associated with the select terminals are multi-branched traces 50. Each such multi-branched trace has a plurality of branches connected to its common section 46 and connected to one of the associated select terminals. For example, trace 38A includes branch 50A connected to select terminal 22B; branch 50B connected to select terminal 22C; and branch 50D connected to select terminal 22D. Trace 38A also includes a distribution section 52A extending transverse to the common section 46A and interconnecting the various branches 50A-50D 35 with the common section. Trace 38E associated with terminals

WO 03/032370

PCT/US02/32251

22E-22H is also a multi-branched trace and has a similar set of branches 50E-50H and distribution section 52E, so that all of the branches 50E-50H are connected to the common section 46E of the trace and to its connection section 40E. The dielectric of 5 panel 20 has disconnection apertures 54 aligned with the branches 50 of each multi-branched trace 38, so that each such branch extends across a disconnection aperture. The disconnection apertures are disposed adjacent to the select terminals 22A, 22B, etc.

10 The terminals and the leads, including the traces and connection sections, are formed as a single layer of metallic features on the first surface of the panel. These metallic features desirably are less than about 30  $\mu\text{m}$  thick, typically about 5-25  $\mu\text{m}$  thick as, for example, about 20  $\mu\text{m}$  thick. A thin 15 adhesive layer (not shown) optionally may be provided between the dielectric layer 20 and the metal layer. This adhesive layer should also be as thin as practicable, desirably about 15  $\mu\text{m}$  or less thick. The terminals and traces can be formed by conventional processes used in manufacture of tape automated 20 bonding tapes and the like as, for example, by etching a laminate including a layer of copper or other metal and the dielectric material which forms the panel so as to remove portions of the metallic layer. Alternatively, the terminals and traces can be formed by a deposition process such as 25 electroless plating and/or electroplating. The bond window, the holes associated with the terminals and the disconnection apertures may be formed by etching or ablating the dielectric material.

30 The stacked chip assembly includes a plurality of units 56 (FIG. 2). Except as otherwise stated, each unit 56 is identical to each other unit 56 in the stack. Each such unit includes a panel or chip carrier 20 as discussed above with reference to FIG. 1 and a chip 58 associated with that panel. Each such chip has a front or contact bearing surface 60 and a 35 rear surface 62. The front surface 60 of each chip has

WO 03/032370

PCT/US02/32251

contacts 64 arranged in rows adjacent the center of the chip. The chip also has edges 66 bounding the front and rear surfaces 62. The thickness  $t$  of the chip (the dimension between the front surface 60 and back surface 62) typically is 5 substantially smaller than the other dimensions of the chip. For example, a typical chip may be about 100-500 microns thick and may have horizontal dimensions (in the plane of the front and rear surfaces) of about 0.5 cm or more. The front surface 60 of the chip faces towards the second surface 30 of the 10 associated panel 20.

A layer of adhesive 68 is disposed between the chip and the panel of each unit. The adhesive layer 68 defines an aperture in alignment with the bond window. Adhesive layer 68 may be provided by applying a liquid or gel material between 15 the chip and the panel at the time of assembly or by providing a porous layer such as an array of small resilient elements between the layers and injecting a flowable material into such layer as taught, for example, in certain embodiments of U.S. Patents 5,659,952 and 5,834,339, the disclosures of which are 20 hereby incorporated by reference herein. Preferably, however, the adhesive layer is provided as one or more solid or semi-solid pads having substantially the same horizontal extent as the desired adhesive layer in the final product. These pads are placed between the chip and panel during assembly. For 25 example, the pad may be pre-assembled to the panel or to the chip before the chip is juxtaposed with the panel. Such a solid or semi-solid pad can be placed quite accurately in relation to the chip and the panel. This helps to assure that the pad does not cover terminals 22, even where there is only a 30 small clearance between the nominal position of the pad edge and the terminals. Such a pad may include an uncured or partially cured layer and other adhesion-promoting features as discussed, for example, in U.S. Patent 6,030,856, the disclosure of which is hereby incorporated by reference herein.

35 Alternatively or additionally, the pad may be provided with a

WO 03/032370

PCT/US02/32251

thin layer of a flowable adhesive on one or both surfaces, and this layer may be a non-uniform layer as described in U.S. Patent 5,548,091, the disclosure of which is hereby incorporated by reference herein, to help prevent gas entrapment in the layer during assembly. Adhesive layer 68 desirably is as thin as practicable as, for example, about 10-125  $\mu\text{m}$  thick, most preferably about 25-75  $\mu\text{m}$ .

The chip 58 of each unit is aligned with the central region of the associated panel, so that the rows of contacts 64 are aligned with the bond window 32 in the panel. The connection section 40 of each lead is connected to a contact 64 of the chip. During this process, the connection section of each lead is detached from the anchor section 44 of the lead by breaking the frangible section 42 of the lead. This process may be performed as described in the aforementioned U.S. Patent 5,489,749 by advancing a tool (not shown) such as a thermal, thermosonic or ultrasonic bonding tool into the bond window of the panel in alignment with each connection section so that the tool captures the connection section and forces it into engagement with the appropriate contact. The common section 46 of the trace 38 in each lead (FIG. 1) is connected by a connection section 40 to a contact on the chip. The arrangement of the contacts and connection sections is selected so that the common sections 46A and 46E of multi-branched traces 38A and 38E are connected to select contacts on the chip, i.e., to contacts of the chip which are not to be connected in parallel with corresponding contacts on all of the other chips in the stack. The common sections of the other traces are connected to the non-select contacts, i.e., contacts of the chip which are to be connected in parallel with corresponding contacts of the other chips in the stack.

Each unit 56 further includes a solder mask layer 70 (FIG. 2) overlying the traces and terminals in the peripheral region of the panel. The solder mask layer has apertures aligned with the terminals 22. The solder mask layer can be applied as a

WO 03/032370

PCT/US02/32251

conformal coating or sheet by conventional processes. Each unit further includes a heat transfer layer 76 overlying the traces 38 and the first surface 26 of the panel in the central region of the panel aligned with the chip 58. As further 5 discussed below, the heat transfer layer will establish intimate contact with the rear surface of the chip in the next adjacent unit of the stack. The heat transfer layer may be formed from a material such as a gel or grease loaded with a thermally conductive filler, or from a material which can be 10 brought to a deformable condition during assembly as, for example, a thermoplastic material or an uncured or partially cured epoxy or other reactive resin. Desirably, the heat transfer layer is a dielectric material and hence does not electrically short the various traces to one another. The heat 15 transfer layer may be formed integrally with the solder mask layer so that a central portion of the solder mask layer, aligned with chip 58, forms the heat transfer layer.

The heat transfer layer, whether formed integrally with the solder mask layer or separately from the solder mask layer, 20 desirably is as thin as practicable as, for example, about 40  $\mu\text{m}$  thick or less, and desirably about 30  $\mu\text{m}$  thick or less. An integral solder mask layer and heat transfer layer may be provided as a conformal coating having a thickness of about 5- 25 20  $\mu\text{m}$  in those regions of the coating overlying the traces and about 10-40  $\mu\text{m}$  thick in those regions disposed between the traces. Such a coating adds only about 5-20  $\mu\text{m}$  to the overall thickness of the unit. As seen in FIG. 2, the central portion 30 of the heat transfer layer or solder mask layer bridges across the aperture 32 in the dielectric layer. Preferably, the central portion of the heat transfer layer or solder mask layer is substantially planar, and does not bulge substantially away from dielectric layer 20.

An encapsulant 33 may be provided in aperture 32, surrounding the connection sections 40 of the leads. The 35 encapsulant may be separate from the adhesive layer 68 and may

WO 03/032370

PCT/US02/32251

be introduced using the techniques disclosed in U.S. Patents 6,232,152 and 5,834,339, the disclosures of which are incorporated by reference herein. As disclosed in certain preferred embodiments taught in the '152 and '339 patents, the 5 layer attaching the chip to the dielectric layer (adhesive layer 68) may define a channel extending to one or both edges of the chip, and the encapsulant may be introduced into this channel at the edges of the chip. Alternatively, where the adhesive layer is formed in whole or in part by a flowable 10 material introduced between the chip and the dielectric layer as discussed above, the encapsulant may be formed by the flowable material. In either process, the heat transfer layer 76 (or internal heat transfer and solder mask layer) covers the bond window in the dielectric layer so that the encapsulant 15 cannot project beyond the first surface 76 of the dielectric layer.

During assembly of each unit, some of the branches of each multi-branched trace are broken so as to disconnect the terminals associated with those particular branches from the 20 common section of the multi-branched trace. Preferably, all but one branch of each multi-branched trace is broken, leaving only one select terminal connected to the common section of each multi-branched trace. The branches may be broken by advancing a tool into the disconnection apertures 54 associated 25 with the branches to be broken. The tool may be the same tool used to perform the bonding operation on the connection sections of the leads. To facilitate the breaking operation, the branches may be provided with frangible sections weaker than the remainder of the branch, such as narrowed sections 30 (not shown), in alignment with the disconnection apertures. During the breaking process, the terminals 22 adjacent to the branches to be broken serve as anchors for the branches so that the branches tend to break rather than becoming detached from the dielectric of panel 20. The broken ends of the branches 35 are not connected to any portion of the chip. The adhesive

WO 03/032370

PCT/US02/32251

layer 68 preferably does not include apertures aligned with the disconnection apertures and the broken ends of the branches become buried in the adhesive. Alternatively, the broken ends of the branches may contact the dielectric passivation layer

5 (not shown) on the surface of the chip.

Different units have different ones of the branches connected to terminals after the breaking step. For example, in the four-unit assembly depicted in FIG. 2, the top unit 56A has the common section 46A of multi-branched trace 38A connected only to terminal 22A of set 22A-22D and has the common section 46E of trace 38E connected only to terminal 22E of set 22E-22H. In the next unit 56B, common section 46A is connected only to terminal 22B whereas common section 46E is connected to terminal 22F. The next unit 56C has sections 46A and 46E connected to terminals 22C and 22G respectively, whereas the bottom unit 56D has the same common sections connected to terminals 22D and 22H.

The units are stacked one on top of the other as illustrated in FIG. 2. Each terminal 22 is connected to the corresponding terminal of the next adjacent unit via a solder ball 78. The solder balls 78 serve as conductive elements which join the corresponding terminals of the various units into vertical conductive buses. For example, terminal 22J (FIG. 1) of each unit is connected on the same vertical bus 25 with the corresponding terminals 22J of the other unit. Each solder ball makes contact with the terminal of one unit through an aperture in the solder mask layer 74 and with a terminal of the other unit through an aperture 28 in the dielectric layer of the panel 20 in that unit. The heat transfer layer 76 (or 30 the combined heat transfer and solder mask layer, where such a combined layer is employed) on each unit other than bottom unit 56D makes intimate contact with the rear surface 62 of the chip in the next lower unit in the stack. During assembly, the solder balls are partially or entirely melted or "reflowed".

35 The solder mask layer 74 and the dielectric layers of the

WO 03/032370

PCT/US02/32251

panels prevent spreading of the solder along the lengths of the traces 38 during the reflow operation. The heat transfer 76 layers may be momentarily softened during the assembly process to assure intimate contact. Alternatively, where the heat transfer layers are formed from an initially soft or flowable material such as a curable epoxy, the heat transfer layers may be cured during assembly after being brought into intimate contact with the chip of the next lower assembly.

Prior to assembly of the stack, the individual units can 10 be tested in a test socket having contacts corresponding to the locations of the terminals. Typically, the solder balls are bonded to the terminals of each unit so that they project from the first surface 26 of the panel and the unit is tested with the solder balls in place. For example, the test socket may 15 have openings adapted to engage the solder balls. Because all of the units have terminals and solder balls in the same pattern, the single test socket can be used to test all of the units.

The resulting package may be assembled to a circuit board 20 using conventional surface mounting techniques. The solder balls 78 of the lower most unit 56D can be reflowed and bonded to contact pads 80 of a circuit board 82, partially depicted in FIG. 2. Thus, each vertical bus is placed in electrical contact with an individual contact pad 80 of the circuit board. 25 The heat transfer layer 76 of the bottom unit 56D may be in contact with a feature of circuit board 82 as, for example, a large thermal pad 84. A metallic plate 86 may be provided as part of the package or mounted to the circuit board prior to assembly of the package. This plate serves as a heat conductor 30 between the thermal layer 76 and the circuit board. Where the plate 86 is provided as a part of the package, the plate or the pad may carry a layer of solder (not shown) so that the plate is reflow-bonded to the pad 84 when the solder balls are bonded to the contact pads. Alternatively, the heat transfer layer 76 35 of the lower-most unit may be thick enough so that it makes

WO 03/032370

PCT/US02/32251

direct contact with a feature of the circuit board itself. In a further variant, the heat transfer layer of the lower-most unit may be omitted.

The completed package provides numerous advantages. As discussed above, the select contacts of chips in different units are connected to different select terminals and therefore connected to different vertical buses. By routing selection signals to the contact pads of the circuit board associated with these buses, it is possible to apply a selection signal to a select contact in a chip of only one unit. The vertical buses formed by the interconnected solder pads are quite short and provide low electrical impedance. Also, the traces provide a relatively lower impedance path. Typical traces have an inductance of about 5 nanohenries or less. Moreover, signal propagation delays between the contact pads of the circuit board and the contacts of any given chip are nearly the same as the signal propagation delays between the contact pads of the circuit board and the contacts of any other chip in the package. The units can be made economically, using "single-metal" circuit panels having conductive features on only one side. The entire package has a height which is determined in part by the thicknesses of the individual chips. Merely by way of example, one package which incorporates four units, each having a chip about 125 microns thick, has an overall height of about 1.5 mm.

The low overall height of a package is due in part to the small thickness of the elements other than the chips which determine the spacing between adjacent chips in the stack. As discussed above, within the central region of each unit aligned with the chip of such unit, the unit desirably includes only the adhesive layer 68, the leads or traces 38 and the heat transfer or solder mask layer and, optionally, a further adhesive layer between the dielectric layer and the metallization forming the leads. The distance  $d$  between corresponding features of adjacent units as, for example, the

WO 03/032370

PCT/US02/32251

distance  $d$  between the second surface 30 of the dielectric layer 20 in unit 56A and the corresponding surface of the dielectric layer in unit 56B will be equal to the thickness  $t$  of chip 58B disposed between these layers plus the aggregate thickness of the aforementioned layers constituting the central portion of each unit. Most preferably, the distance  $d$  between adjacent units is equal to the thickness  $t$  of the chip plus about 250  $\mu\text{m}$  or less, most preferably about 200  $\mu\text{m}$  or less. Still smaller distance  $d$  can be achieved when the various 10 layers are selected to provide the minimum height.

Because the heat transfer layer or combined solder mask layer and heat transfer layer is substantially flat, it can make good, intimate contact with the rear surface of the chip. This helps to provide both a low overall height and good heat 15 transfer between units. Heat evolved in the chips of units in the middle of the stack can be dissipated by heat transfer to adjacent units through the top or bottom of the stack and from the top or bottom of the stack to the environment as, for example, to the circuit board 82 or to the surrounding 20 atmosphere. To assure good heat transfer, and to provide the minimum overall height, it is desirable to assure that the central region of each unit is brought into abutting contact with the chip in the next adjacent unit during the stacking and reflow operations. It is also desirable to assure that the 25 units align with one another in the horizontal direction during the stacking and reflow process, using the self-centering action provided by the surface tension effects of the solder balls. If the height of the solder balls is selected to provide a nominal clearance of about 10-15  $\mu\text{m}$  prior to 30 reflowing, then upon reflowing the solder balls will initially align the units with one another and, additionally, the solder will collapse to bring the units into abutment with one another. Alternatively or additionally, the units may be pressed together during reflow to assure abutment, and may be 35 aligned with one another using appropriate fixturing or robotic

WO 03/032370

PCT/US02/32251

systems as, for example, systems equipped with robotic vision components.

In a variant of the assembly method discussed above, the units can be fabricated without breaking the branches 50 of the 5 multi-branched traces. These units can be handled and stocked as interchangeable parts prior to assembly with one another and with the circuit board. The branches are broken in a separate operation, desirably immediately prior to assembly. Thus, the step of selectively interrupting the branches desirably is 10 performed in the same production plant or facility as the step of stacking the units. The separate branch-breaking operation does not require the same degree of precision required for bonding the connection sections of the leads and hence can be performed by less-precise equipment. Moreover, the ability to 15 handle and stock only one type of unit throughout the entire supply chain up to assembly simplifies handling and distribution. Thus, units having identical chips, traces and terminals, prior to breaking the branches, are interchangeable with one another and can be provided in bulk, as a collection 20 of interchangeable semi-finished articles. As used in this context, the term "identical" refers to the nominal configuration of the chips, traces and terminals, without regard for unit-to-unit variations which necessarily occur in any manufactured article.

25 The stacking and branch-breaking operations desirably are performed in a production plant adapted for attaching packaged semiconductor chips, modules and other components to the circuit board, an operation commonly referred to in the industry as "board stuffing." Board stuffing plants which 30 employ surface mounting technology are commonly equipped with facilities for handling and placing components onto the circuit board, and with reflow equipment for momentarily heating the circuit board with the components thereon to fuse solder or otherwise activate bonding materials between the components and 35 the contacts of the circuit board. The stacking operation can

WO 03/032370

PCT/US02/32251

be performed using substantially the same techniques and procedures used for mounting elements to circuit panels. Only the minimal additional operation of breaking the branches is required.

5 In yet another variant, the stacking operation can be performed concomitantly with assembly of the stack to the board. That is, the individual units can be stacked on the circuit board, one above the other and temporarily held in place on the board as, for example, by a temporary clamping fixture, gravity, by adhesion between units, by flux at the terminals, or by some combination of these. In this assembled condition, the solder balls or conductive elements 78 associated with the bottom unit 56d overly the contact pads of the circuit board and the solder balls of the other units 15 overlie the terminals of the next lower unit in the stack. After stacking, the entire stack and circuit panel are subjected to a reflow operation sufficient to fuse the bottom solder balls to the contact pads of the circuit board and to fuse the solder balls of the other units to the terminals of 20 the adjacent units. This reflow operation may be performed in conjunction with the reflow operation used to attach other components to the board.

A package according to a further embodiment of the invention depicted in FIG. 3 is similar to the embodiment of FIGS. 1 and 2 discussed above except that the units 156 are inverted so that the chip 158 incorporated in each unit is disposed towards the bottom of the unit whereas the circuit panel or package element 120 of each unit is disposed above the chip of that unit. Also, the solder balls 178 associated with 30 each unit are disposed on the second or chip-facing side 130 of the panel rather than on the first or chip-remote side 126 of the panel. Stated another way, in this arrangement the solder balls are disposed on the same side of the panel as the chip. This arrangement provides lower overall height in the completed 35 assembly.

WO 03/032370

PCT/US02/32251

A thermal spreader 190 is mounted to the top unit 156A, in contact with the heat transfer layer 176A of the top unit. The thermal spreader 190 may be formed from a metal or other thermally conductive material and may incorporate features such as ribs or fins (not shown) for dissipating heat into the surroundings. Also, the thermal spreader may have walls extending downwardly adjacent the edges of the package toward the circuit board 182 to promote the heat transfer between the spreader and the circuit board. The heat transfer layer 176 provided on the first or chip-remote surface 126 of the top most unit 156A conforms closely to the surface of the panel 120 in such unit and to the traces 156. As discussed above, this layer may be a dielectric layer to maintain electrical insulation between the traces of the top unit and the spreader. Alternatively or additionally, the solder mask layer 174 of the top-most unit may extend over the traces, into the central region of the panel to provide electrical insulation for the traces. Similar thermal conductive layers 176 are provided over the central regions of the panels in the other units. Here again, the solder mask layer or other dielectric layer can be used to insulate the traces if the heat transfer layer is electrically conductive. As discussed above in connection with FIGS. 1 and 2, these thermally conductive layers promote intimate contact and heat transfer between the various units in the stack. This, in turn enhances heat dissipation from the inner units of the stack.

Where solder balls 178 are provided on the same side of the tape as the chip, the solder balls may be surrounded wholly or partially by a stiffening layer (not shown) as disclosed in a co-pending, commonly assigned U.S. Patent Application No. 60/314,042, filed August 22, 2001, and in the PCT international application claiming priority of same, Serial No. PCT/US02/26805, the disclosures of which are hereby incorporated by reference herein. As disclosed in the '042 application, a stiffening layer can be formed by a flowable

WO 03/032370

PCT/US02/32251

material as, for example, an epoxy or encapsulant such as an epoxy or encapsulant injected between the chip and the panel of a unit to form the adhesive layer 168. The stiffening layer extends towards the periphery of the panel and desirably surrounds the solder balls where the stiffening layer reinforces the panels for ease of handling during assembly. Because this layer is disposed outside of the central region, beyond the area occupied by the chips, it does not add to the height of the stack.

10 The rear surface 162 of the chip in the bottom unit 156D faces toward the circuit board 182. Rear surface 162 may be physically attached to the circuit board and placed in more intimate thermal communication with the circuit board by a thermal layer 192 provided between the rear surface of the chip 15 and the board. Such a thermal layer may be formed from a thermally conductive material such as a gel or grease with a conductive filler or from a solder which is reflowed when the solder balls of the bottom unit are reflowed to attach the terminals to the contact pads 180 of the circuit board.

20 The embodiment of FIGS. 4 and 5 is similar to the embodiment discussed above with reference to FIGS. 1 and 2 except that the panel or chip carrier 320 of the lower most unit is provided with additional "dummy" terminals 323. Here again, all of the terminals and traces are provided as elements 25 of a single metallic layer. Dummy terminals 323 are disposed in an array extending over the central region of the panel 320D in the bottom unit 356D. This panel also has peripheral terminals 322 corresponding to the select terminals and non-select terminals discussed above with reference to FIG. 1. 30 Solder balls 379 are provided on the dummy terminals in the same manner as solder balls 378 are provided on the other terminals. These solder balls serve as heat conductors between the bottom unit and the circuit board when the package is mounted on a circuit board. As best seen in FIG. 4, the dummy 35 terminals 323 may be disconnected from the traces as shown for

WO 03/032370

PCT/US02/32251

example at 323B. In this arrangement, the traces 338 are routed around the dummy terminals. Alternatively or additionally as shown at 323C, dummy terminals can be connected to the traces. This allows routing of the traces through the 5 area occupied by the dummy terminals and hence simplifies layout of the traces on the panel.

In the embodiment depicted in FIGS. 6 and 7, the panels 420 of all of the units 456 except the bottom unit 456D are identical to the panels discussed above with reference to FIGS. 10 1 and 2. Panel 420D of the bottom unit is a so called "two metal" panel having a layer of metallic features 430 on the second or chip-facing side of the panel as well as separate layer of metallic features on the first or chip-remote side. The layer of metallic features on the chip-facing side 430 15 includes peripheral terminals 425 and traces 439 corresponding to the terminals 422 and traces 438 of the other panels in the stack. These terminals and traces include terminals and traces essentially identical to the terminals and traces discussed above. The layer of metallic features on the first or chip-remote side 426 of the panel includes an array of board 20 connection terminals 423 disposed in a rectilinear grid extending on the central region of the panel. This metallic layer also includes additional traces 433 extending from the board connection terminals 423 to vias 425. The vias 425 25 include holes extending through the panel and metallic structures such as via liners extending through these holes. Additional traces 433 are connected to traces 439 by the metallic features within the vias. When the package is mounted to the circuit board, the board connection terminals 423 are 30 connected to the contact pads of the circuit board, thus connecting the traces 439 and peripheral terminals 425 to the circuit board. This in turn connects the vertical buses formed from the peripheral terminals 425 and the corresponding terminals 422 of the other panels with the contact pads of the 35 circuit board. In a variant of this approach, each branch 450

WO 03/032370

PCT/US02/32251

of the multi-branched traces may be provided with a separate via 425 and linked to a separate interconnect trace 433 and board connection terminal 423.

The embodiment of FIGS. 8 and 9 uses panels 520 identical 5 to the panels discussed above with reference FIG. 1 and 2 in all of the units 556. However, the terminals 522D, 556D are not connected directly to the circuit panel thus, the terminals of this unit are not provided with solder balls projecting downwardly. A further circuit panel or translator 501 overlies 10 the chip-remote or first surface of panel 520D. The translator has board connection terminals 523 disposed in a grid like pattern similar to the pattern of board connection terminals 423 discussed above with reference to FIGS. 6 and 7. The translator also has peripheral terminals 527 in a pattern 15 corresponding to the pattern of terminals 522 on the panels of the various units and connection traces 533 interconnecting the connection terminals 523 with the peripheral terminals 527. The translator is juxtaposed with the panel of the lower most unit so that the peripheral terminals of the translator are 20 aligned with the peripheral terminals 522D. Thus, each vertical bus defined by each set of aligned peripheral terminals on the various panels 520 is electrically connected with one peripheral terminal 527 of the translator and hence with one contact pad on the circuit board. This arrangement 25 allows fabrication of a structure with a standard or grid like terminal pattern for mounting on the circuit board with only a single metal element. The terminals 522D of the bottom unit may be solder bonded to the peripheral terminals 527 of the translator when the solder balls 578 of the next lower unit are 30 reflowed. In a variant, the translator may include separate connections to separate board connection terminals 523 associated with those peripheral terminals 527A - 527D which will ultimately be connected to the buses associated with select terminals on the various units. This assures that each

WO 03/032370

PCT/US02/32251

bus connected to select terminals will be connected to a unique contact pad on the circuit board.

In a further variant, the translator itself may include one or more semiconductor chips. For example, the translator 5 may be a "bottom unit" of the type discussed in certain preferred embodiments of the co-pending, commonly assigned U.S. Provisional Patent Application Serial No. 60/408,644, entitled "Components, Methods and Assemblies For Stacked Packages," filed on or about September 6, 2002 and naming Kyong-Mo Bang as 10 inventor, the disclosure of which is hereby incorporated by reference herein. As further discussed in the '644 application, such a bottom unit includes a bottom unit semiconductor chip and also includes top connections adapted to receive additional microelectronic devices. Such a bottom unit 15 also may be mounted to a circuit board in a circuit board stuffing plant and additional microelectronic devices, such as a stacked assembly as discussed herein may be mounted to the top connections of the bottom unit. Merely by way of example, the bottom unit chip may be a microprocessor or other chip, 20 whereas the chips in the stacked assembly mounted to the bottom unit may be memory chips which, in service, cooperate with the bottom unit chip.

The package illustrated in FIG. 10 is similar to the package shown in FIG. 3 except that the traces 638 of the 25 panels 620 do not have integrally formed connection sections for bonding to the contacts 664 on the chip 658. Instead, the traces terminate in bonding pads 637 adjacent the bond window 632. Wire bonds 639 are provided between these bonding pads and the contacts 664 of the chip. Also, the package of FIG. 10 30 includes only two units rather than four units. Larger numbers and odd numbers of units also can be used in any of the foregoing structures. Wire bonded units also can be employed in the reverse orientation, *i.e.*, with the chip of each unit disposed above the panel of the unit as discussed with 35 reference to FIGS. 1 and 2. Also, an encapsulant 601 covers

WO 03/032370

PCT/US02/32251

the wire bonds. The end caps may be integral with the thermally conductive layer 678 overlying the remainder of the unit.

In a further variant (FIG. 11), a multi-branched trace 639 has a common section 646 which is adapted for connection to the chip contact 664. The common section thus may have a bonding pad 637 for use with a wire bond connection to the contact or else may have a connection section which can be directly bonded to the contact. The branches 650 of the trace, when initially fabricated, do not extend in an unbroken, continuous path from the common section 646 to the various select terminals 622. Rather, each branch is initially fabricated with a gap 651. These gaps can be selectively closed as, for example, by applying a short wire bond 653 across the gap 651 of one branch. This embodiment is less preferred, as the additional wire bond introduces additional complexity and impedance and may lie above the plane of the surrounding panel. Desirably, the gaps in the branches are positioned in the peripheral region of the circuit panel, outside of the region occupied by the chip 658 (indicated in broken lines in FIG. 11), so that the wire bond 653 extending across the gap will lie outside of the area occupied by the chip. Thus, a protruding wire bond in one unit and an encapsulant which may optionally be applied over such a protruding wire bond may project vertically beside the chip in that unit or alongside the chip in the next adjacent unit and, thus, will not add to the overall height of the stacked assembly.

A unit in accordance with a further embodiment of the invention (FIG. 12) incorporates a circuit panel or dielectric element 720 generally similar to the elements discussed above and having numerous terminals 722 disposed thereon and connected to numerous leads 738. The terminals include a first outer row 723 incorporating terminals 722A-722F extending adjacent to a first edge 724 of the circuit panel. This row of terminals defines an inner border. Terminals 722 may include

WO 03/032370

PCT/US02/32251

additional terminals as, for example, terminals 722G and 722H disposed further from the edge 724, as well as other terminals (not shown) on other parts of the circuit panel. The first outer row 723 defines an inner border 725 at the edge of the 5 terminals furthest from the first edge 724 of the circuit panel, a center line 726 and an outer border 731 at the edge closest to edge 724.

Terminals 722C and 722D form a set of chip select terminals associated with a multi-branched lead 738C having a 10 common section 746C adapted for connection to a chip select contact 764 and also having branches 750C and 750D connected to the common section. Branch 750C connects the common section to a chip select terminal 722C, whereas branch 750D connects the common section 746C to another chip select terminals 722D. As 15 best seen in FIG. 13, branches 750C and 750D extend close to the first edge 724 of the circuit panel 720. Desirably, the branches extend to within about 1 mm and preferably within about 0.5 mm or less of the first edge 724, and most desirably within about 200 microns or less of the first edge. Branches 20 750C and 750D are disposed outwardly of the inner border 725 of the first outer row of terminal 723 and are also disposed outwardly of the center line 727 of this row, near the outer border 731 of the row. The circuit panel 720 has disconnection openings 754C and 754D in the form of notches extending 25 inwardly from first edge 724.

As best seen in FIG. 14, circuit panel 720 includes a structural dielectric layer 726 defining the bottom or inner surface of the circuit panel, a single layer of metallic features including the leads and terminals and, hence, 30 including branch 750C, and a solder mask layer 774. The base dielectric layer 726 and solder mask layer 774 are interrupted in the disconnection openings or notches 754 such that the branch 750C bridges across the disconnection opening. Notches 754C and 754D extend inwardly from edge 724 to and slightly 35 beyond branches 750C and 750D. Because the branches are

WO 03/032370

PCT/US02/32251

disposed close to the edge, the notches need not extend far into the circuit panel from the edge. Desirably, the notches extend less than about 1.5 mm and more desirably less than about 1.0 mm into the panel. The same structure is provided at 5 branch 750D and disconnection opening or notch 754D.

Thus, the branches 750 can be selectively broken by inserting a tool into the notch as, for example, a punch 702 (FIGS. 12 and 13) into the notches. The punch may be moved in a direction perpendicular to the plane of the circuit panel or 10 parallel to the plane. A matching die having an opening shaped to closely conform to the punch may be provided beneath the circuit panel, and the punch may move downwardly through the notch into engagement with the die, breaking the branch lead in the process. Thus, branches 750C or 750D can be interrupted 15 selectively so that the common section 746C of lead 738C can be connected selectively to either, both or neither of terminals 722C and 722D. An additional multi-branch lead 738E (FIG. 12) is associated with a similar pair of chip select terminals 722E and 722F and has a similar structure of branches and similar 20 notches associated with the branches. As also seen in FIG. 12, some of the leads as, for example, lead 738A, are associated with two or more terminals 722A and 722H and permanently connected to these terminals. Also, lead 738A is a wide, planar structure covering a significant area on circuit panel 25 720. Further, some of the terminals are unconnected to leads. Such unconnected terminals may be provided, for example, to provide a symmetrical pattern of terminals and, hence, a symmetrical structure of vertical conductors in the finished assembly. Also, in addition to the various units, the assembly 30 may include additional electrical elements disposed at the top of the stack or, indeed, at any location within the stack. The additional vertical conductors formed by unconnected terminals can serve as additional conductors extending to these elements.

The unit partially depicted in FIG. 15 has a circuit panel 35 820 having a first edge 824 and having a first row of outer

WO 03/032370

PCT/US02/32251

terminals 823 extending alongside of edge 824, parallel to such edge, as well as an additional row 821 of terminals disposed inboard of the first outer row. A multi-branched lead 838 has a common section 846 and branches 850A, 850B, 850C and 850D 5 extending to select terminals 822A, 822B, 822C and 822D, respectively. Branches 850 are connected to the common section 846 by intermediate sections 851. One such intermediate section connects branches 850A and 850B with the common section 846, whereas the other intermediate section connects branches 10 850C and 850D with the common section. Here again, the branches 850 extend in whole or in part outwardly beyond the center line 827 of the first outer row 823 of terminals. However, as initially manufactured and as connected in a semi-finished unit with a chip, the circuit panel does not have 15 disconnection openings. Instead, branches 850 are selectively severed by forming notches 854 (seen in broken lines in FIG. 15) and breaking the branches during such notch formation. For example, the circuit panel may be selectively cut by a punch to form notches 854 where the branches are to be severed, but not 20 form notches in other locations. For example, if notches 854 are formed in the pattern indicated in FIG. 15, branch 850B will remain unsevered and, hence, select terminal 822B will remain connected to the common portion 846 of lead 838, but the remaining select terminals will be disconnected. This 25 operation desirably is performed, as discussed above, prior to stacking and most desirably in the same plant where the stacking is performed as, for example, in a circuit board stuffing plant.

As seen in FIG. 16, a large number of units may be 30 provided as parts of a large sheet. Thus, one or more of the dielectric layers forming the circuit panels of the individual units form parts of continuous or semi-continuous dielectric layers extending throughout the sheet or tape 802. The sheet or tape may be provided with conventional registration features 35 such as sprocket holes 804. Although the borders of the

WO 03/032370

PCT/US02/32251

circuit panels forming the individual unit 820 are delineated in FIG. 16 for clarity of illustration, it should be appreciated that at this stage there may be no physical demarcation between adjacent units. The units are assembled in 5 the manner discussed above by assembling semiconductor chips to the circuit panels of the individual units while leaving the units connected in the sheet 802. At this stage, all of the units are substantially identical with one another. The assembly of these identical units can be handled and stocked in 10 sheet form. The individual units are severed from the sheet, desirably immediately prior to the stacking operation. During the severing operation, notches 854 (FIG. 15) are formed in each unit in a pattern corresponding to the desired pattern of notches for that unit. The notches formed in different units 15 will be formed in different patterns. For example, a die 806 has a blade portion 808 in the form of a rectangle so as to cut each unit from adjacent units and has teeth 810 adapted to cut individual notches and sever individual branches 850 (FIG. 15). Teeth 810 are arranged to sever the branches in the pattern 20 shown in FIG. 15. Thus, a tooth 810A is provided to sever branch 850A, and similar teeth 810C and 810D are provided to sever branches 850C and 850D. However, at a location 812 corresponding to branch 850B, no tooth is provided and, hence, this branch is not severed. The dies used to cut other units 25 from the tape would have a different pattern of teeth. Other arrangements can be used for severing the units from the tape and concomitantly severing the branches to be used. For example, water jet, laser or other cutting devices may be used to cut individual units from the tape and also to sever the 30 branches. Similar arrangements can be used with the other embodiments discussed above. For example, in those structures which have a pre-formed disconnection openings associated with the branches, the tool used to sever the unit from the sheet may have a projection arranged to pass into such a 35 disconnection opening and sever the branch. In a further

WO 03/032370

PCT/US02/32251

alternative, the branch-severing operation can be performed while the various units remain connected in a sheet, desirably immediately before severing the individual units from the sheet. The sheet optionally may be provided in the form of an 5 elongated tape.

In yet another variant, the circuit panel 920 has an edge 924 with projections 925 extending outwardly from such edge. A multi-branched lead 938 has branches 950 extending outwardly onto the projections. Individual branches can be interrupted 10 by severing one or more of the projections as, for example, by severing projection 925A so as to interrupt branch 950a. This operation can be performed using a die or blade having recesses where projections are to remain attached. In the completed, 15 stacked assembly, the remaining projections 925 can be bent out of the plane of the circuit panel, as shown in FIG. 19 at 925', so that the projections do not add substantially to the horizontal extent of the assembly.

Numerous variations and combinations of the features 20 discussed above can be utilized without departing from the present invention. For example, the various circuit panels may include additional features such as ground or power planes or additional layers of traces. The traces and other conductive features of each panel can be placed on the second or chip-facing side of the panel rather than on the first side remote 25 from the chip. For example, as shown in FIG. 20, the dielectric layer 1020 has traces 1038 on the second or chip-facing side 1030 of dielectric layer 1020. An additional solder mask layer 1002 may be provided over the traces on side 1030 in addition to the solder mask layer 1076, which also 30 serves as the heat transfer or thermal layer of the unit. Here again, the encapsulant 1033 within opening 1034 has a surface 1035 flush with the first surface 1026 of the dielectric layer or recessed relative to such surface, so that the first surface is substantially flat. In a variant, the solder mask layer 35 1076 on the first surface may be removed after introduction of

WO 03/032370

PCT/US02/32251

the encapsulant. In this instance, the dielectric layer 1020 serves as the thermal or heat transfer layer of the unit and abuts the next lower chip in the stack. In a further variant, the solder mask layer 1002 on the second or chip-facing side of 5 the dielectric layer may be omitted or may be integrated with the adhesive layer 1068. Also, each unit can include more than one chip. The chips included in the various units may be memory chips as, for example, DRAM, Flash, ROM, PROM or EEPROM chips. The invention also can be employed in packaging other 10 chips as, for example, processors or application-specific integrated circuits (ASICs). Also, the "select" terminals need not convey a signal such as "chip select" commonly used in a memory array; any signal which is desirably routed to a specific chip or chips in a stack can be conveyed. The 15 adhesive layers, leads and panels may be arranged to permit movement of the unit terminals of each unit with respect to the chip of that unit, so as to alleviate stresses due to thermal expansion. Also, the heat transfer layers may allow relative movement of adjacent units. Further, the stacked assembly can 20 include one or more non-identical units in addition to the units substantially as described above. For example, the different units in the stack may include different chips. In yet another variant, features discussed above can be used in a structure where each unit has the chip disposed in an 25 orientation, with the rear face of the chip abutting the dielectric layer of such unit and with the contact-bearing, front face, facing away from the dielectric layer. In such an embodiment, the contacts can be connected to the traces by wire bonds or other conductors. In such an embodiment, the front 30 face of each chip, or a layer of encapsulant overlying the front face, may abut the dielectric layer of the next adjacent unit.

In the embodiments discussed above, the conductive elements connecting the various units to one another and 35 forming the vertical conductors are conventional solder balls.

WO 03/032370

PCT/US02/32251

Other conductive elements may be employed instead. For example, so-called "solid core solder balls" can be used. Solid core solder balls include cores formed from a material having a relatively high melting point and a solder having a melting temperature lower than the melting temperature of the core. Still other conductive elements can be formed from masses of a conductive polymer composition.

As these and other variations and combinations of the features set forth above can be utilized, the foregoing 10 description of the preferred embodiment should be taken by way of illustration rather than by limitation of the invention.

**INDUSTRIAL APPLICABILITY**

The present invention can be employed in fabrication of electronic circuitry.

WO 03/032370

PCT/US02/32251

## CLAIMS

1. A semiconductor chip assembly comprising:
  - (a) a plurality of units, each such unit including:
    - (i) a semiconductor chip having at least one chip select contact and a plurality of other contacts and
    - (ii) a circuit panel having a plurality of chip select terminals, a plurality of other terminals, and traces extending on or in the panel electrically connected between the contacts of the chip and the terminals, the trace electrically connected to each chip select contact being a multi-branched trace including a common section connected to the select contact and a plurality of branches connected to different ones of the chip select terminals, at least one branch, but less than all branches, of each such multi-branched trace having an interruption therein so that the select contact is connected to less than all of the chip select terminals; and
  - (b) vertical conductors interconnecting the terminals of the units in the stack to form a plurality of vertical buses, said chip select terminals of different units being connected to the same vertical buses, said interruptions in said multi-branched traces being arranged so that the chip select contacts of different units are electrically connected to different ones of said vertical buses.
2. A semiconductor assembly as claimed in claim 1 wherein, in each said unit, all but one branch of each said multi-branched trace has an interruption therein so that each chip select contact is connected to only one said chip select terminal of that unit.
3. A semiconductor assembly as claimed in claim 1 wherein the chips, traces and terminals of different units are identical to one another except that different ones of said units have different branches interrupted so that the chip

WO 03/032370

PCT/US02/32251

select contacts of different units are connected to different terminals on the circuit panels of such units.

4. A semiconductor assembly as claimed in claim 3 wherein corresponding terminals of different units are disposed one 5 above the other.

5. A semiconductor assembly as claimed in claim 3 wherein said identical units in said stack include a bottom unit, said terminals of said bottom unit being exposed for interconnection to an external substrate.

10 6. A semiconductor assembly as claimed in claim 3 wherein said identical units in said stack include a bottom unit, the assembly further comprising a translator underlying said bottom unit, said translator having contact pads connected to said vertical buses and having terminals connected to said 15 contact pads, the terminals of the translator being exposed for connection to an external substrate.

7. A semiconductor assembly as claimed in claim 2 wherein said identical units in said stack include a bottom unit, the assembly further comprising an additional unit 20 underlying said bottom unit, said additional unit including a semiconductor chip and a circuit panel having terminals exposed for connection to an external substrate, said terminals of said additional unit being disposed in a pattern different from the terminals of said identical units in said stack, at least some 25 of said terminals of said additional unit being electrically connected to said vertical buses, at least some of said terminals of said additional unit being electrically connected to the chip of said additional unit.

8. A semiconductor assembly as claimed in claim 1 30 wherein the circuit panel of each said unit includes only a single layer of electrically conductive material constituting said traces and said terminals.

9. A semiconductor assembly as claimed in claim 8 wherein the circuit panel of each said unit includes a 35 dielectric layer less than about 100  $\mu\text{m}$  thick.

WO 03/032370

PCT/US02/32251

10. A semiconductor assembly as claimed in claim 9 wherein the chip of one said unit is disposed between the dielectric layer that unit and the dielectric layer of an adjacent one of said units, and wherein the vertical distance 5 between corresponding surfaces of such dielectric layers is no more than 250  $\mu\text{m}$  greater than the thickness of the semiconductor chip in such unit.

11. A semiconductor assembly as claimed in claim 10 wherein a vertical spacing distance between corresponding 10 features in adjacent ones of said units is no more than 250  $\mu\text{m}$  greater than the thickness of each chip.

12. A semiconductor assembly as claimed in claim 1 wherein said circuit panel of each said unit includes a dielectric layer with at least one disconnection aperture 15 therein, said interruptions being formed at said disconnection apertures.

13. A semiconductor assembly as claimed in claim 1 wherein the circuit panel of each said unit has edges and one or more notches extending inwardly from one or more of said edges, said 20 interruptions being formed at said notches.

14. A semiconductor assembly as claimed in claim 13 wherein said terminals of each said unit include a first outer row of terminals disposed adjacent to a first edge of the circuit panel, said first outer row of terminals defining a 25 first inner border remote from said first edge, at least some of said branches having outboard portions extending outwardly beyond the first inner border, at least one of said notches defining at least one interruption in at least one said outboard portion.

30 15. A semiconductor assembly as claimed in claim 13 wherein said terminals of each said unit include a first outer row of terminals disposed adjacent to a first edge of the circuit panel of such unit, the first edge having at least one protrusion extending outwardly from the remainder of the first

WO 03/032370

PCT/US02/32251

edge, at least one of said branches extending onto said protrusion.

16. A semiconductor chip assembly as claimed in claim 15 wherein the circuit panel of each said unit is substantially planar and the protrusion of each said circuit panel projects vertically from the plane of the circuit panel.

17. A method of making semiconductor chip assembly comprising the steps of:

(a) stacking a plurality of units each including at least one semiconductor chip having at least one chip select contact and a plurality of other contacts and a circuit panel having a plurality of chip select terminals, a plurality of other terminals, and traces extending on or in the panel connected to said terminals, at least one trace of each said panel being a multi-branched trace associated with a plurality of chip select terminals, each such multi-branched trace including a common section and a plurality of branches connected to different ones of the chip select terminals, the contacts of the at least one chip in each unit being connected to traces of the circuit panel in that unit so that each chip select contact is connected to the common section of a multi-branched trace;

(b) selectively interrupting the branches of said multi-branched traces so that the common section of each multi-branched trace is connected to less than all of the chip select terminals associated with such multi-branched trace; and

(c) interconnecting terminals of different units to one another to form vertical buses, said selectively interrupting and interconnecting steps being performed so that the chip select terminals of chips in different units are connected to different ones of said vertical buses.

18. A method as claimed in claim 17 wherein said circuit panels, prior to said selectively interrupting step, are identical to one another.

WO 03/032370

PCT/US02/32251

19. A method as claimed in claim 18 wherein said stacking step includes aligning corresponding terminals of circuit panels in different units with one another.

20. A method as claimed in claim 17 wherein said selectively interrupting step is performed so that the common section of each said multi-branched trace is connected to only one select terminal of the circuit panel bearing such trace.

21. A method as claimed in claim 17 wherein further comprising the step of forming said units, said step of forming said units including connecting said chips to said traces using a tool, said step of selectively interrupting being performed by engaging said tool with the branches of said multi-branched traces.

22. A method as claimed in claim 17 further comprising the step of forming said units by connecting chips to circuit panels, wherein said selectively interrupting step is performed after said step of forming said units.

23. A method as claimed in claim 17 wherein said selectively interrupting step is performed in the same facility as said stacking step.

24. A method as claimed in claim 17 wherein, prior to said selectively interrupting step, said units include identical chips, identical terminals, and identical connections between contacts of the chips and terminals.

25. A method as claimed in claim 24 further comprising the step of handling and stocking said units as mutually interchangeable parts prior to said selectively interrupting step.

26. A method as claimed in claim 17 further comprising the steps of providing said units so that the circuit panels of a plurality of units are parts of a continuous or semi-continuous sheet and severing the circuit panels from the sheet, said selectively interrupting step being performed concomitantly with said severing step.

WO 03/032370

PCT/US02/32251

27. A method as claimed in claim 17 wherein, prior to said selectively interrupting step, said circuit panels have interruption openings extending through them and said branches of said multi-branched traces extend across said interruption openings, and wherein said selectively interrupting step includes breaking branches of multi-branched traces at said interruption openings.

28. A method as claimed in claim 17 wherein said selectively interrupting step includes severing branches of multi-branched traces by removing regions of such multi-branched traces and simultaneously removing portions of said circuit panels underlying said severance regions.

29. A method as claimed in claim 28 wherein said removing step includes removing portions of said circuit panels at edges thereof.

30. A semiconductor chip assembly comprising:  
(a) a plurality of units, each unit including:  
(i) a semiconductor chip having contacts on front surface; and  
(ii) a circuit panel having a central region and a peripheral region, the panel including a dielectric layer having first and second surfaces, at least one bond window extending between said first and second surfaces in said central region and a plurality of terminal apertures extending between the first and second surfaces in said peripheral region, each said panel including a single metallization layer defining a plurality of terminal pads aligned with said terminal apertures a plurality of traces extending in horizontal directions along the panel, the chip being disposed with the front surface of the chip facing toward a surface of the panel in said central region, the contacts of the chip being connected to the traces of the panel in said at least one bond window;

35 said units being superposed on one another in a stack so that the rear surface of a chip in one unit faces toward a

WO 03/032370

PCT/US02/32251

surface of the dielectric layer in a next adjacent unit, said units bearing on one another in at least those portions of the central regions occupied by said traces, the terminals of the units being aligned with one another; and

5 (b) a plurality of conductive masses disposed between the terminals of the units and connecting terminals of adjacent units through the terminal apertures of said panels.

31. A semiconductor chip assembly as claimed in claim 30 wherein said traces in each unit extend along the first surface 10 of the dielectric layer in that unit and the front surface of the chip in each unit faces toward the second surface of the dielectric layer in that unit.

32. A semiconductor chip assembly as claimed in claim 31 wherein at least some of said units include heat transfer 15 layers overlying the traces of such unit, said units bearing on one another through said heat transfer layers.

33. A semiconductor chip assembly as claimed in claim 32 wherein at least some of said heat transfer layers extend 20 across said bond windows and are substantially flat in the region extending across said bond windows.

34. A semiconductor chip assembly as claimed in claim 33 further comprising an encapsulant at least partially filling 25 said bond windows.

35. A semiconductor chip assembly as claimed in claim 30 wherein each of said circuit panels includes a plurality of 30 leads formed integrally with said traces, said leads extending into said at least one bond window of the circuit panel.

36. A semiconductor chip assembly comprising:  
(a) a plurality of units, each unit including:  
30 (i) a semiconductor chip having contacts on front surface; and  
(ii) a circuit panel having a central region and a peripheral region, the panel including a dielectric layer having first and second surfaces, at least one bond window 35 extending between said first and second surfaces in said

WO 03/032370

PCT/US02/32251

central region, a plurality of terminal pads exposed at the first and second surfaces in said peripheral region and a plurality of including traces extending in horizontal directions along the panel, the chip being disposed with the 5 front surface of the chip facing toward the second surface of the dielectric layer in said central region, the contacts of the chip being connected to the traces of the panel in said at least one bond window; and

10 (iii) an encapsulant in said at least one bond window, said encapsulant defining a surface substantially flush with the first surface of the dielectric layer,

15 said units being superposed on one another in a stack so that the rear surface of a chip in one unit faces toward a surface of the dielectric layer in a next adjacent unit, said units bearing on one another in at least those portions of the central region occupied by said traces, the terminals of the units being aligned with one another; and

20 (b) a plurality of conductive masses disposed between the terminals of the units and connecting terminals of adjacent units to one another.

37. A semiconductor chip assembly as claimed in claim 36 wherein each said dielectric layer is less than about 100  $\mu\text{m}$  thick.

38. A semiconductor chip assembly as claimed in claim 36 25 wherein the chip of one said unit is disposed between the dielectric layer that unit and the dielectric layer of an adjacent one of said units, and wherein the vertical distance between corresponding surfaces of such dielectric layers is no more than 250  $\mu\text{m}$  greater than the thickness of the 30 semiconductor chip in such unit.

39. A semiconductor chip assembly as claimed in claim 36 wherein a vertical spacing distance between corresponding features in adjacent ones of said units is no more than 250  $\mu\text{m}$  greater than the thickness of each chip.

WO 03/032370

PCT/US02/32251

40. A semiconductor chip assembly as claimed in claim 36 wherein each said unit further includes a substantially planar heat transfer layer overlying said at least one bond window and said encapsulant of such unit.

5 41. An in-process assemblage of interchangeable semi-finished units, each said unit including at least one semiconductor chip having at least one chip select contact and a plurality of other contacts and a circuit panel having a plurality of chip select terminals, a plurality of other terminals, and traces extending on or in the panel connected to said terminals, at least one trace of each said panel being a multi-branched trace including a common section and a plurality of branches connected to different ones of the chip select terminals, the contacts of the at least one chip in each unit  
10 being connected to traces of the circuit panel in that unit so that each chip select contact is connected to the common section of a multi-branched trace, said units including identical chips, identical terminals, and identical connections between contacts of the chips and terminals, said individual  
15 units being adapted for stacking one above the other with corresponding terminals of said units connected to one another.

42. An in-process collection of units as claimed in claim 41 wherein the circuit panels of a plurality of said units are portions of a common sheet.

25 43. An in-process collection of units as claimed in claim 41 wherein said sheet includes only a single layer of metallic features defining said traces and said terminals.

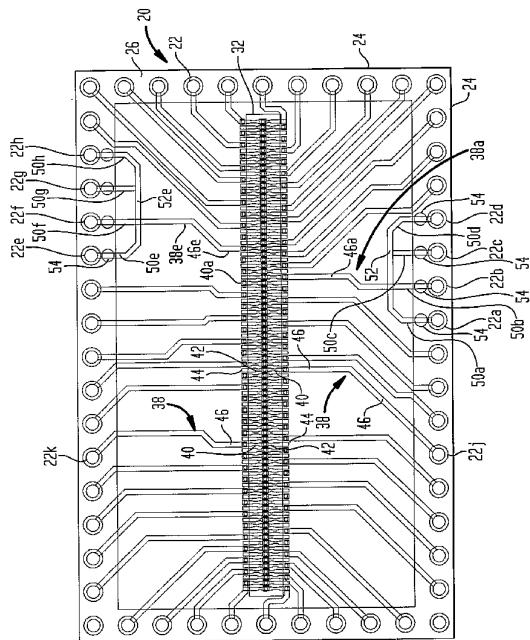
44. An in-process collection of units as claimed in claim 43 wherein each said circuit panel includes a dielectric layer  
30 less than 100  $\mu\text{m}$  thick.

WO 03/032370

PCT/US02/32251

1/10

FIG. 1



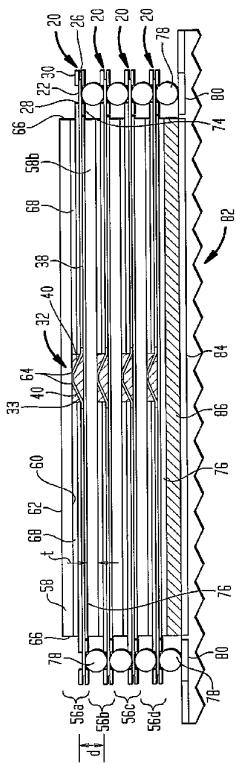
**SUBSTITUTE SHEET (RULE 26)**

WO 03/032370

PCT/US02/32251

2/10

FIG. 2



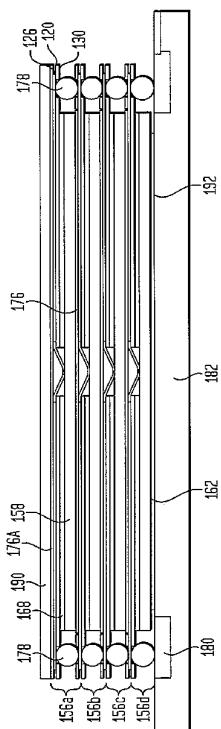
**SUBSTITUTE SHEET (RULE 26)**

WO 03/032370

PCT/US02/32251

3/10

FIG. 3



**SUBSTITUTE SHEET (RULE 26)**

WO 03/032370

PCT/US02/32251

4/10

FIG. 4

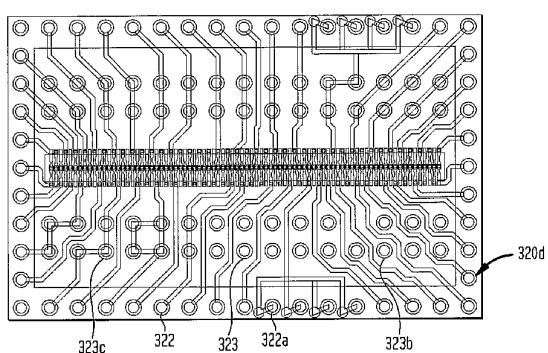
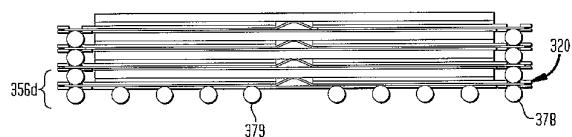


FIG. 5



SUBSTITUTE SHEET (RULE 26)

WO 03/032370

PCT/US02/32251

5/10

FIG. 6

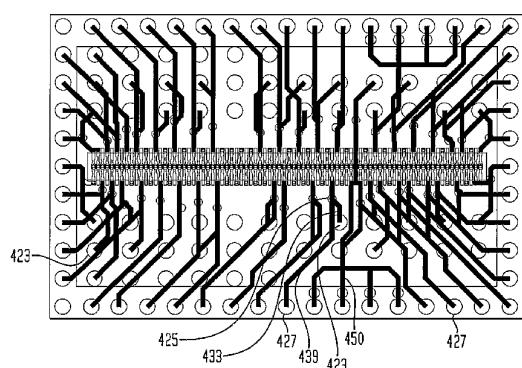
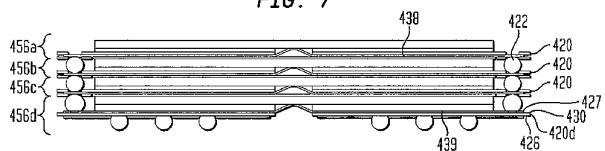


FIG. 7

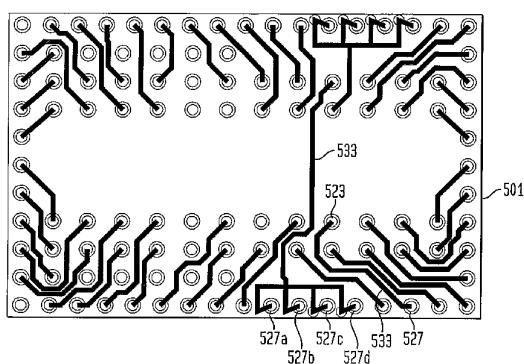
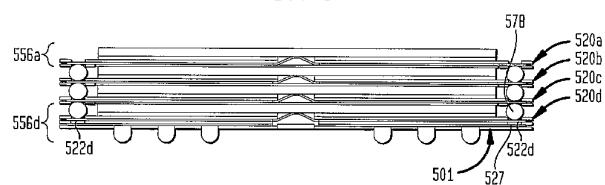


SUBSTITUTE SHEET (RULE 26)

WO 03/032370

PCT/US02/32251

6/10

**FIG. 8****FIG. 9**

SUBSTITUTE SHEET (RULE 26)

FIG. 10

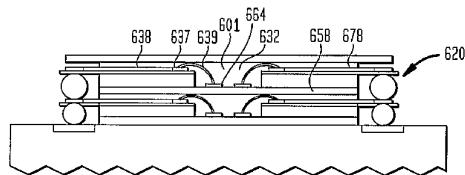
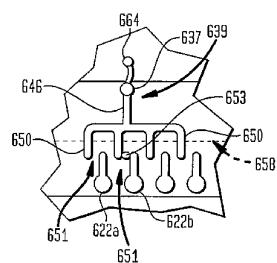


FIG. 11



SUBSTITUTE SHEET (RULE 26)

WO 03/032370

PCT/US02/32251

8/10

FIG. 12

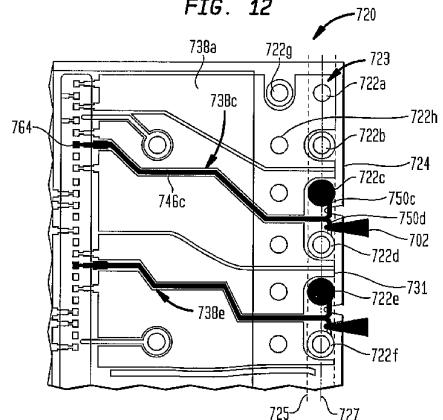


FIG. 13

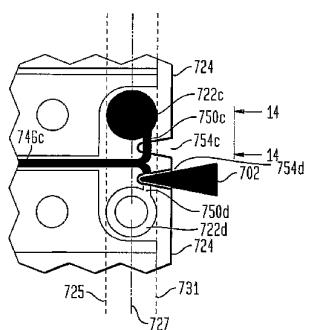
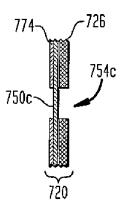


FIG. 14



**SUBSTITUTE SHEET (RULE 26)**

WO 03/032370

PCT/US02/32251

9/10

FIG. 15

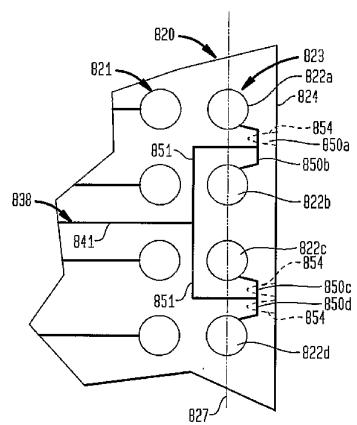
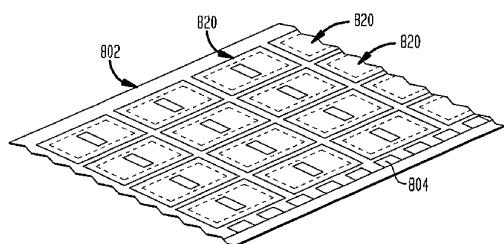


FIG. 16



SUBSTITUTE SHEET (RULE 26)

WO 03/032370

PCT/US02/32251

10/10

FIG. 17

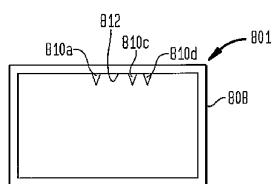


FIG. 18

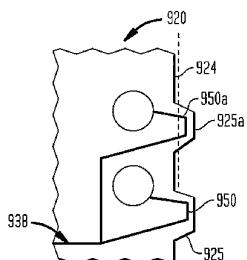


FIG. 19

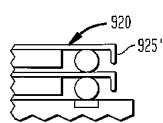
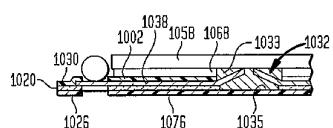


FIG. 20



SUBSTITUTE SHEET (RULE 26)

## 【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
17 April 2003 (17.04.2003)

PCT

(10) International Publication Number  
WO 03/032370 A3(51) International Patent Classification<sup>5</sup>: H01L 23/02

(81) Designated States (national): A1, AG, A1, AM, AT, AU,

(21) International Application Number: PCT/US02/32251

AZ, BA, BB, BG, BR, BY, BZ, CA, CI, CN, CO, CR, CU,

(22) International Filing Date: 9 October 2002 (09.10.2002)

CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GI,

(25) Filing Language: English

GM, IIR, IIU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,

(26) Publication Language: English

LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,

(30) Priority Data: 60/328,038 9 October 2001 (09.10.2001) US

MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG,

(71) Applicant: TESSERA, INC. [US/US]; 3099 Orchard

SI, SK, SL, TI, TM, TN, TR, TT, TZ, UA, UG, UZ, VC,

Drive, San Jose, CA 95134 (US).

VN, YU, ZA, ZM, ZW.

(72) Inventors: PFLUGHAUPT, L., Elliott, 252 Montclair

(84) Designated States (regional): ARIPO patent (GH, GM,

Road, Los Gatos, CA 95023 (US), GIBSON, David;

KE, IS, MW, MZ, SD, SI, TZ, UG, ZM, ZW),

910 Atwater Road, Lake Oswego, OR 97034 (US), KIM,

Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),

Young; 21067 Red Fir Court, Cupertino, CA 95014 (US),

European patent (AT, BL, BG, CH, CY, CZ, DE, DK, EL,

MITCHELL, Craig, S.; 1530 Ramita Court, San Jose,

ES, FI, FR, GR, IE, IT, LU, MC, NL, PT, SI, SK,

CA 95128 (US).

TR), OAPI patent (BJ, BR, CG, CI, CM, GA, GN, GQ,

(74) Agents: MILLET, Marcus, J. et al.; Lerner, David, Lit-

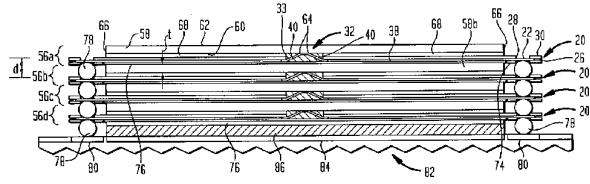
GW, MI, MR, NE, SN, TD, TG).

Published: with international search report

(88) Date of publication of the international search report: 6 November 2003

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: STACKED PACKAGES



(57) **Abstract:** A stacked chip assembly includes individual units (56) having chips (58) mounted on dielectric layers (20) and traces (38) interconnecting the contacts of the chips with terminals (22) disposed in peripheral regions of the dielectric layers. At least some of the traces (38a, 38c) are multi-branched traces which connect chip select contacts to chip select terminals. The units are stacked one above the other with corresponding terminals of the different units being connected to one another by solder balls (78) or other conductive elements so as to form vertical buses. Prior to stacking, the multi-branched traces of the individual units are selectively interrupted, as by breaking the individual branches (50), so as to leave chip select contact of chips in different units connected to different chip select terminals and thereby connect these chips to different vertical buses. The individual units desirably are thin and directly abut one another so as to provide a low-height assembly with good heat transfer from chips within the stack.

WO 03/032370 A3

(57) **Abstract:** A stacked chip assembly includes individual units (56) having chips (58) mounted on dielectric layers (20) and traces (38) interconnecting the contacts of the chips with terminals (22) disposed in peripheral regions of the dielectric layers. At least some of the traces (38a, 38c) are multi-branched traces which connect chip select contacts to chip select terminals. The units are stacked one above the other with corresponding terminals of the different units being connected to one another by solder balls (78) or other conductive elements so as to form vertical buses. Prior to stacking, the multi-branched traces of the individual units are selectively interrupted, as by breaking the individual branches (50), so as to leave chip select contact of chips in different units connected to different chip select terminals and thereby connect these chips to different vertical buses. The individual units desirably are thin and directly abut one another so as to provide a low-height assembly with good heat transfer from chips within the stack.

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/32251
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC(7): H01L 22/08 US CL: 267/686, 777; 361/760; 438/108, 109 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 267/686, 777; 361/760; 438/108, 109		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields <b>SEARCHED</b>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPAT; US-PCPUB; EPO; JPO; DERWENT; IBM-TDB; EAST search terms:stacks3		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y,P ---	US 6,313,522 B1 (AKRAM et al) 06 November 2001 (06.11.2001), Figure 12.	1-5,7-12,17-27
A,P		6
Y,P ---	US 6,462,421 B1 (HSU et al) 08 October 2002 (08.10.2002), Figure 4.	1-5,7-12,17-27
Y,P ---	US 6,388,264 B1 (PACE) 14 May 2002 (14.05.2002), see entire document.	1,17
A,P		13,14,28,29
Y,E ---	US 6,496,026 B1 (LONG et al) 17 December 2002 (17.12.2002), Figure 6.	1,13
A,E		15,16
Y,P	US 6,335,565 B1 (MIYAMOTO et al) 01 January 2002 (01.01.2002), see entire document.	30,31,33,35
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date which may (have) details on precisely claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "C" document referring to an oral disclosure, use, exhibition or other means "D" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 05 FEBRUARY 2003		Date of mailing of the international search report 20 MAR 2003
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks 500 PCT Washington, D.C. 20231 Facsimile No. (703) 305-8280		Authorized officer CHRIS CHU Telephone No. (703) 305-0866

Form PCT/ISA/210 (second sheet) (July 1998)\*

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/04251
Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)		
This international report has not been established in respect of certain claims under Article 17(3)(a) for the following reasons:		
<p>1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:</p> <p>2. <input type="checkbox"/> Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:</p> <p>3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 54(a).</p>		
Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)		
This International Searching Authority found multiple inventions in this international application, as follows:		
<p>1. <input checked="" type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.</p> <p>2. <input type="checkbox"/> As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.</p> <p>3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:</p> <p>4. <input type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:</p>		
<p>Remark on Protest</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest.</p> <p><input type="checkbox"/> No protest accompanied the payment of additional search fees.</p>		

Form PCT/ISA/210 (continuation of first sheet(s)) (July 1998)\*

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/32251
C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y,P	US 6,342,728 B2 (MIYAZAKI et al) 29 January 2002 (29.01.2002), see entire document	30-34
Y,P	US 6,303,997 B1 (LEE) 16 October 2001 (16.10.2001), Figure 3.	30,31,33,36-40
Y	US 6,072,233 A (CORISIS et al) 06 June 2000 (06.06.2000), see entire document	1-5,7-12,17-27,41- 44
Y	US 6,218,848 B1 (HEMBREE et al) 17 April 2001 (17.04.2001), see entire document	41
Y,P	US 6,369,445 B1 (KHOOURY) 09 April 2002 (09.04.2002), see entire document	36-44
A	US 6,180,881 B1 (ISAAK) 30 January 2001 (30.01.2001), see entire document	1-44

Form PCT/ISA/210 (continuation of second sheet) (July 1998)\*

---

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N0,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者 ギブソン, デイヴィッド

アメリカ合衆国オレゴン州97034, レイク・オスウィーゴ, アトウォーター・ロード 910

(72)発明者 キム, ヤン

アメリカ合衆国カリフォルニア州95014, クパティーノ, レッド・ファー・コート 2106  
7

(72)発明者 ミッチャエル, クレイグ・エス

アメリカ合衆国カリフォルニア州95128, サン・ノゼ, ラミタ・コート 1530