(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 601 15 805 T2** 2006.08.24

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 199 806 B1**
(21) Deutsches Aktenzeichen: **601 15 805.9**
(96) Europäisches Aktenzeichen: **01 402 709.8**
(96) Europäischer Anmeldetag: **19.10.2001**
(97) Erstveröffentlichung durch das EPA: **24.04.2002**
(97) Veröffentlichungstag
der Patenterteilung beim EPA: **14.12.2005**
(47) Veröffentlichungstag im Patentblatt: **24.08.2006**

(51) Int Cl.[8]: ***H03L 7/087*** (2006.01)
H03L 7/191 (2006.01)

(30) Unionspriorität:

2000318902	**19.10.2000**	**JP**
2001004616	**12.01.2001**	**JP**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Sony Corp., Tokio/Tokyo, JP

(72) Erfinder:
Takeshita, Toru, Shinagawa-ku, Tokyo, JP;
Nishimura, Takashi, Shinagawa-ku, Tokyo, JP

(74) Vertreter:
Mitscherlich & Partner, Patent- und Rechtsanwälte, 80331 München

(54) Bezeichnung: **PLL-Schaltung und Empfangsmodul für optische Signalübertragung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

[0001] Die Erfindung betrifft eine PLL-Schaltung (PLL = Phase Locked Loop (Phasenregelschleife)) und ein optisches Kommunikationsempfangsgerät, insbesondere eine PLL-Schaltung, die eine Phasendetektionsschaltung und eine Frequenzdetektionsschaltung aufweist, und ein optisches Kommunikationsempfangsgerät, das als eine Erzeugungsschaltung für ein zu einer Retimingverarbeitung von Empfangsdaten zu benutzendes Taktsignal eine PLL-Schaltung benutzt.

[0002] Fig. 14 zeigt eine Konfiguration einer üblicherweise benutzten PLL-Schaltung. Nach Fig. 14 weist die gezeigte PLL-Schaltung eine Phasendetektionsschaltung (PD-Schaltung) **101** und eine Frequenzdetektionsschaltung (FD-Schaltung) **102** auf und arbeitet in der folgenden Weise:
Zuerst führt die Frequenzdetektionsschaltung **102** einen Phasenvergleich zwischen einem Eingangssignal DATEN und Taktsignalen (ICLK, QCLK) aus. Dann wird auf der Basis eines Resultats des Vergleichs die Frequenz eines Frequenztakts VCOCLK eines spannungsgesteuerten Oszillators (VCO (voltage controlled oscillator)) **106** durch eine Ladungspumpeschaltung (CP-Schaltung (CP = charge pump (Ladungspumpe))) **104** und ein Schleifenfilter **105** gesteuert, um die Oszillationsfrequenz des VCO **106** in eine Soll- bzw. Zieloszillationsfrequenz zu ziehen. Die Taktsignale (ICLK, QCLK) werden von einem Taktgenerator **107** auf der Basis des Oszillationsfrequenztakts VCOCLK des VCO **106** erzeugt.

[0003] Dann führt die Phasendetektionsschaltung **101** einen Phasenvergleich zwischen dem Eingangssignal DATEN und dem Oszillationsfrequenztakt VCOCLK des VCO **106** aus. Dann steuert die Phasendetektionsschaltung **101** auf der Basis eines Resultats des Vergleichs die Phase des Frequenztakts VCOCLK des VCO **106** durch eine andere Ladungspumpeschaltung **103** und das Schleifenfilter **105**, um zu bewirken, dass die Phase des Frequenztakts VCOCLK des VCO **106** mit der Phase des Eingangssignals DATEN übereinstimmt.

[0004] Bei einer PLL-Schaltung des beschriebenen Typs wird als die Frequenzdetektionsschaltung **102** konventionell eine Frequenzvergleichsschaltung einer wie in Fig. 15 gezeigten Konfiguration benutzt. Im Folgenden werden eine detaillierte Schaltungskonfiguration und eine Arbeitsweise der Frequenzdetektionsschaltung **102** beschrieben.

[0005] Es sei hier angenommen, dass das in die Frequenzdetektionsschaltung **102** eingegebene digitale Signal DATEN eine NRZ-Wellenform (NRZ = non-return-to-zero (ohne Rückkehr zu Null)) aufweist. Es sei auch angenommen, dass der Taktgenerator **107** den Oszillationsfrequenztakt VCOCLK des VCO **106** in ein vorbestimmtes Teilungsverhältnis 1/n (beim beschriebenen Beispiel gilt n = 1) teilt, um das Taktsignal ICLK zu erzeugen, und die Phase des Taktsignals ICLK um 90 Grad verschiebt, um das Taktsignal QCLK zu erzeugen, und die Taktsignale ICLK und QCLK werden in die Frequenzdetektionsschaltung **102** eingegeben.

[0006] Zunächst ist ein Dateneingangsanschluss **111**, dem das Eingangssignal DATEN einer NRZ-Wellenform zugeführt wird, mit dem D(Daten)-Eingangsanschluss eines D-Typ-Flip-Flops (D-FF) **111** und auch mit einem Eingangsanschluss A eines exklusiven ODER-Tores (EX-ODER-Tor) **113** verbunden. Indessen ist ein ICLK-Eingangsanschluss **114**, in den das Taktsignal ICLK eingegeben wird, mit einem Eingangsanschluss A jedes von einem Paar UND-Toren **116** und **117** verbunden, während ein QCLK-Eingangsanschluss **115**, in den das Taktsignal QCLK eingegeben wird, mit den anderen Eingangsanschlüssen B der UND-Tore **116** und **117** verbunden ist. Der Eingangsanschluss A des UND-Tores **117** ist ein negierter Eingangsanschluss, durch den das Taktsignal ICLK mit der umgekehrten Polarität eingegeben wird.

[0007] Die Ausgangsanschlüsse der UND-Tore **116** und **117** sind mit den D-Eingangsanschlüssen von D-Typ-Flip-Flops (D-FFs) **118** bzw. **119** verbunden. Der Ausgangsanschluss des EX-ODER-Tores **113** ist mit den CLK-Eingangsanschlüssen der D-FFs **118** und **119** verbunden. Die Q-Ausgangsanschlüsse der D-FFs **118** und **119** sind mit den D-Eingangsanschlüssen von D-Typ-Flip-Flops (D-FFs) **120** und **121** verbunden, und die Q-Ausgangsanschlüsse der D-FFs **120** und **121** sind mit den D-Eingangsanschlüssen von D-Typ-Flip-Flops (D-FFs) **122** bzw. **123** verbunden. Die CLK-Anschlüsse des D-FF **112** und der D-FFs **120** bis **123** sind mit dem ICLK-Eingangsanschluss **114** verbunden.

[0008] Der Q-Ausgangsanschluss des D-FF **122** ist mit einem Eingangsanschluss A eines UND-Tores **124** verbunden. Der Q-Ausgangsanschluss des D-FF **123** ist mit einem Eingangsanschluss B eines anderen UND-Tores **125** verbunden. Der Q-Ausgangsanschluss des D-FF **120** ist außerdem mit einem Eingangsanschluss A des UND-Tores **125** verbunden, und der Q-Ausgangsanschluss des D-FF **121** ist mit einem Eingangsanschluss B des UND-Tores **124** verbunden. Die Ausgangsanschlüsse der UND-Tore **124** und **125** sind mit Schaltungsausgangsanschlüssen **126** bzw. **127** verbunden.

[0009] Ein AB-Impulssignal zur Steuerung des VCO **106** der Fig. 14, um seine Oszillationsfrequenz herabzusetzen, wird aus dem UND-Tor **124** als ein Ausgangssignal extrahiert, während ein AUF-Impulssig-

nal zur Steuerung des VCO **106**, um seine Oszillationsfrequenz hochzusetzen, aus dem UND-Tor **125** als ein Ausgangssignal extrahiert wird. Das AB-Impulssignal und das AUF-Impulssignal werden durch die Schaltungsausgangsanschlüsse **126** bzw. **127** der Ladungspumpeschaltung **104** der Fig. 14 zugeführt.

[0010] Nun wird anhand eines Timingdiagramms der Fig. 16 die Schaltungsarbeitsweise der die oben beschriebene Konfiguration aufweisenden Frequenzdetektionsschaltung beschrieben. In Fig. 16 zeigen Wellenformen (a) bis (o) Wellenformen bei jeweiligen Knoten (a) bis (o) der Fig. 15.

[0011] Zunächst weist das Taktsignal ICLK (a) eine Impulswellenform auf, wobei es zum Zeitpunkt t0 auf den „H"-Pegel (hoher Pegel) ansteigt und zum Zeitpunkt t2 auf den „L"-Pegel (niedriger Pegel) abfällt. Ähnlich steigt das Taktsignal ICLK (a) zu den Zeitpunkten t4, t8, t12, ... an und fällt zu den Zeiten t6, t10, ... ab. Das Taktsignal ICLK (a) wird durch den ICLK-Eingangsanschluss **114** den Eingangsanschlüssen A der UND-Tore **116** und **117** zugeführt, und wird auch den CLK-Anschlüssen des D-FF **112** und der D-FFs **120** bis **123** zugeführt.

[0012] Das Taktsignal QCLK (b) weist eine Impulswellenform auf, die in Bezug auf das Taktsignal ICLK (a) eine um 90 Grad verschobene, insbesondere um 90 Grad verzögerte Phase aufweist. Insbesondere steigt das Taktsignal QCLK (b) zu den Zeitpunkten t1, t5, t9, ... auf den „H"-Pegel an und fällt zu Zeitpunkten t3, t7, t11, ... auf den „L"-Pegel ab. Das Taktsignal QCLK (b) wird den Einganganschlüssen B der UND-Tore **116** und **117** zugeführt.

[0013] Das UND-Tor **116** verknüpft das Taktsignal ICLK (a) und das Taktsignal QCLK (b) logisch mit UND. Deshalb zeigt das Ausgangssignal (c) des UND-Tores **116** in den Perioden, in denen beide Taktsignale ICLK und QCLK den „H"-Pegel aufweisen, das heißt in der Periode vom Zeitpunkt t1 zum Zeitpunkt t2, der Periode vom Zeitpunkt t5 zum Zeitpunkt t6 und der Periode vom Zeitpunkt t9 zum Zeitpunkt t10 den „H"-Pegel. In den anderen Perioden, das heißt in der Periode vom Zeitpunkt t0 zum Zeitpunkt t1, der Periode vom Zeitpunkt t2 zum Zeitpunkt t5, der Periode vom Zeitpunkt t6 zum Zeitpunkt t9 und der Periode vom Zeitpunkt t10 zum Zeitpunkt t12 zeigt das Ausgangssignal (c) des UND-Tores **116** den „L"-Pegel.

[0014] Indessen verknüpft das UND-Tor **117** das invertierte Taktsignal ICLKX des Taktsignals ICLK (a) und das Taktsignal QCLK (b) logisch mit UND. Deshalb zeigt das Ausgangssignal (d) des UND-Tores **117** in den Perioden, in denen beide Taktsignale ICLKX und QCLK den „H"-Pegel aufweisen, das heißt in der Periode vom Zeitpunkt t2 zum Zeitpunkt t3, der Periode vom Zeitpunkt t6 zum Zeitpunkt t7 und der Periode vom Zeitpunkt t10 zum Zeitpunkt t11 den „H"-Pegel. In den anderen Periode, das heißt in den Perioden vom Zeitpunkt t0 zum Zeitpunkt t2, der Periode vom Zeitpunkt t3 zum Zeitpunkt t6, der Periode vom Zeitpunkt t7 zum Zeitpunkt t10 und der Periode später als der Zeitpunkt t11 zeigt das Ausgangssignal (d) des UND-Tores **117** den „L"-Pegel.

[0015] Beim Timingdiagramm der Fig. 16 ist die Periode, in der das Ausgangssignal (c) den „H"-Pegel zeigt, als eine Periode A dargestellt, während die Periode, in der das Ausgangssignal (d) den „H"-Pegel zeigt, als eine Periode B dargestellt.

[0016] Indessen wird das NRZ-Eingangssignal DATEN (f) durch den Dateneingangsanschluss **111** unmittelbar dem Eingangsanschluss A des EX-ODER-Tores **113** und auch dem D-Eingangsanschluss des D-FF **112** zugeführt. Das D-FF **112** ruft mit der Zeitsteuerung bzw. dem Timing einer Anstiegsflanke des Taktsignals ICLK (a) den „H"-Pegel/"L"-Pegel der Eingangswellenform zum D-Eingangsanschluss ab. In diesem Fall ändert sich, wenn das Eingangssignal DATEN (f) zum Zeitpunkt t0 den „H"-Pegel aufweist, da das D-FF **112** diesen abruft, der Pegel seines Q-Ausgangssignals (e) in den „H"-Pegel.

[0017] Dann ruft das D-FF **112**, da das Eingangssignal DATEN (f) sich zwischen den Zeitpunkten t1 und t2 ändert und seine Polarität umkehrt, das Eingangssignal DATEN (f) des „L"-Pegels ab und ändert sein Q-Ausgangssignal (e) mit dem Timing einer nächsten Anstiegsflanke des Taktsignals ICLK (a) in den „L"-Pegel. Außerdem ruft das D-FF **112**, da sich die Polarität des Eingangssignals DATEN (f) zwischen den Zeitpunkten t6 und t7 wieder umkehrt, beim nächsten Anstiegstiming t8 des Taktsignals ICLK (a) das Eingangssignal DATEN (f) des „H"-Pegels ab und ändert sein Q-Ausgangssignal (e) in den „H"-Pegel. Danach behält das D-FF **112** den „H"-Pegel bis zum Zeitpunkt t12 bei.

[0018] Das Q-Ausgangssignal (e) des D-FF **112** wird dem Eingangsanschluss B des EX-ODER-Tores **113** zugeführt. Das EX-ODER-Tor **113** verknüpft das dem Eingangsanschluss B zugeführte Q-Ausgangssignal (e) und das dem Eingangsanschluss A zugeführte Eingangssignal DATEN (f) exklusiv mit ODER. Als ein Resultat ändert sich, wie dem Timingdiagramm der Fig. 16 zu entnehmen ist, der Pegel des Ausgangssignals (g) des EX-ODER-Tores **113** vom „L"-Pegel in den „H"-Pegel, wenn sich das Eingangssignal DATEN (f) während der Periode vom Zeitpunkt t1 zum Zeitpunkt t2 umkehrt, und ändert sich zum Zeitpunkt t4, bei dem das Q-Ausgangssignal (e) des D-FF **112** eine Pegeländerung in den „L"-Pegel zeigt, zurück in den „L"-Pegel.

[0019] Für die Periode nach dem Zeitpunkt t4 bis zu einer nächsten Datenumkehrung des Eingangssignals DATEN (f) behält das Ausgangssignal (g) des EX-ODER-Tores **113** den „L"-Pegel bei. Dann zeigt, wenn sich das Eingangssignal DATEN (f) in der Periode vom Zeitpunkt t6 zum Zeitpunkt t7 umkehrt, das Ausgangssignal (g) des EX-ODER-Tores **113** beim Timing der Umkehrung eine Pegeländerung vom „L"-Pegel in den „H"-Pegel.

[0020] Danach ändert sich zum Zeitpunkt t8 der Pegel des Q-Ausgangssignals (e) des D-FF **112** vom „L"-Pegel in den „H"-Pegel. Folglich verknüpft das EX-ODER-Tor **113** den „H"-Pegel des Eingangssignals DATEN (f) und den „H"-Pegel des Q-Ausgangssignals (e) logisch mit ODER, und deshalb ändert sich der Pegel des Ausgangssignals (g) des EX-ODER-Tores **113** in den „L"-Pegel. Dann zeigt der Pegel des Ausgangssignals (g) des EX-ODER-Tores **113** in der folgenden Periode vom Zeitpunkt t8 zum Zeitpunkt t12 keine Änderung.

[0021] Die Ausgangssignale (c) und (d) der UND-Tore **116** und **117** werden in der nächsten Stufe in die D-Eingangsanschlüsse der D-FFs **118** bzw. **119** eingegeben. Die D-FFs **118** und **119** empfangen das Ausgangssignal (g) des EX-ODER-Tores **113** bei ihren CLK-Anschlüssen als Eingangssignale und rufen mit dem Timing einer Anstiegsflanke der Taktwellenform die D-Eingangswellenformen ab und geben die abgerufenen Pegel als die Q-Ausgangssignale (h) bzw. (k) aus.

[0022] Da das Ausgangssignal (g) des EX-ODER-Tores **113** in der Periode vom Zeitpunkt t1 zum Zeitpunkt t2 ansteigt und in der Periode das Ausgangssignal (c) des UND-Tores **116** den „H"-Pegel und das Ausgangssignal (d) des UND-Tores **117** den „L"-Pegel aufweist, zeigt das Q-Ausgangssignal (h) des D-FF **118** den „H"-Pegel und das Q-Ausgangssignal (k) des D-FF **119** den „L"-Pegel.

[0023] Das Timing, bei dem sich der Pegel des Ausgangssignals (g) des EX-ODER-Tores **113** vom „L"-Pegel in den „H"-Pegel ändert, ist ein Änderungspunkt des Eingangssignals DATEN (f) in der Periode vom Zeitpunkt t6 zum Zeitpunkt t7. Da zu diesem Zeitpunkt das Ausgangssignal (c) des UND-Tores **116** den „L"-Pegel aufweist und das Ausgangssignal (d) des UND-Tores **117** den „H"-Pegel aufweist, ändert sich der Pegel des Q-Ausgangssignals (h) des D-FF **118** vom „H"-Pegel in den „L"-Pegel und ändert sich der Pegel des Q-Ausgangssignals (k) des D-FF **119** vom „L"-Pegel in den „H"-Pegel. Danach werden die Pegel bis zum Zeitpunkt t12 beibehalten.

[0024] Die Q-Ausgangssignale (h) und (k) der D-FFs **118** und **119** werden den D-Eingangsanschlüssen der D-FFs **120** bzw. **121** zugeführt. Die D-FFs **120** und **121** empfangen das Taktsignal ICLK (a) als ihre Takt- bzw. CLK-Eingangssignale und rufen die D-Eingangswellenformen mit dem Timing einer Anstiegsflanke der Wellenform des Taktsignals ICLK (a) ab. Hier ist das Timing der Anstiegsflanke des Taktsignals ICLK (a) der Zeitpunkt t4, und da zu diesem Zeitpunkt das Q-Ausgangssignal (h) des D-FF **118** den „H"-Pegel aufweist und das Q-Ausgangssignal (k) des D-FF **119** den „L"-Pegel aufweist, wird der Pegel des Q-Ausgangssignals (i) des D-FF **120** der „H"-Pegel und der Pegel des Q-Ausgangssignals (l) des D-FF **121** der „L"-Pegel.

[0025] Das nächste Anstiegsflankentiming des Taktsignals ICLK (a) ist der Zeitpunkt t8, und das Q-Ausgangssignal (h) des D-FF **118** weist dann den „L"-Pegel auf. Deshalb ändert sich der Pegel des Q-Ausgangssignals (i) des D-FF **120** in den „L"-Pegel. Indessen ändert sich, da der Pegel des Q-Ausgangssignals (k) des D-FF **119** der „H"-Pegel ist, der Pegel des Q-Ausgangssignals (l) des D-FF **121** in den „H"-Pegel. Die Pegel der Q-Ausgangssignale (i) und (l) werden bis zum Zeitpunkt t12 beibehalten.

[0026] Die Q-Ausgangssignale (i) und (l) der D-FFs **120** und **121** werden in der nächsten Stufe in die D-Eingangsanschlüsse der D-FFs **122** bzw. **123** eingegeben. Auch empfangen die D-FFs **122** und **123** das Taktsignal ICLK (a) als ihre CLK-Eingangssignale und rufen die D-Eingangswellenformen mit dem Timing einer Anstiegsflanke der Wellenform ab. Hier ist das Timing der Anstiegsflanke des Signals ICLK (a) der Zeitpunkt t8, und die D-FFs **122** und **123** rufen die Pegel der Q-Ausgangssignale (i) bzw. (l) der D-FFs **120** bzw. **121** ab. Folglich ändert sich der Pegel des Q-Ausgangssignals (j) des D-FF **122** in den „H"-Pegel und der Pegel des Q-Ausgangssignals (m) des D-FF **123** in den „L"-Pegel.

[0027] Das Timing, bei dem das Taktsignal ICLK (a) danach ansteigt, ist der Zeitpunkt t12, und bei diesem Timing weist das Q-Ausgangssignal (i) des D-FF **120** den „L"-Pegel und das Q-Ausgangssignal (l) des D-FF **121** den „H"-Pegel auf. Deshalb ändert sich der Pegel des Q-Ausgangssignals (j) des DFF **122** vom „H"-Pegel in den „L"-Pegel, während sich der Pegel des Q-Ausgangssignals (m) des DFF **123** vom „L"-Pegel in den „H"-Pegel ändert.

[0028] Das Q-Ausgangssignal (j) des DFF **122** wird dem Eingangsanschluss A des UND-Tores **124** zugeführt. Das Q-Ausgangssignal (l) des D-FF **121** wird dem Eingangsanschluss B des UND-Tores **124** zugeführt. Folglich ändert sich der Pegel des AB-Impulssignals, welches das Ausgangssignal (n) des UND-Tores **124** ist, in den „L"-Pegel, da sich zum Zeitpunkt t4 das Q-Ausgangssignal (l) des D-FF **122** in den „L"-Pegel ändert. Dann ändert sich zum Zeitpunkt t8, da sich beide Pegel der Q-Ausgangssignale (l) und (j) der D-FFs **121** und **122** in den „H"-Pegel ändern, der Pegel des AB-Impulssignals in den „H"-Pegel.

[0029] Dann ändert sich zum Zeitpunkt t12, da sich der Pegel des Q-Ausgangssignals (l) des D-FF **121** nicht ändert und auf dem „H"-Pegel bleibt, der Pegel des Q-Ausgangssignals (j) des D-FF **122** vom „H"-Pegel in den „L"-Pegel. Demgemäss ändert sich der Pegel des Ausgangssignals (n) des UND-Tores **124**, das heißt der Pegel des AB-Impulssignals, vom „H"-Pegel in den „L"-Pegel.

[0030] Indessen wird das Q-Ausgangssignal (m) des D-FF **123** dem Eingangsanschluss B des UND-Tores **125** zugeführt. Das Q-Ausgangssignal (i) des D-FF **120** wird dem Eingangsanschluss A des UND-Tores **125** zugeführt. Folglich zeigt das AUF-Impulssignal, welches das Ausgangssignal (o) des UND-Tores **125** ist, den „L"-Pegel, da sich zum Zeitpunkt t8 die Pegel der Q-Ausgangssignale (i) und (m) der D-FFs **120** und **123** in den „L"-Pegel ändern. Dann ändert sich zum Zeitpunkt t12 der Pegel des Q-Ausgangssignals (m) des D-FF **123** in den „H"-Pegel. Jedoch behält, da der Pegel des Q-Ausgangssignals (i) des D-FF **120** auf dem „L"-Pegel bleibt, das Ausgangssignal (o) des UND-Tores **125** den „L"-Pegel bei.

[0031] Nach dem Vorhergehenden arbeitet die Frequenzdetektionsschaltung der Fig. 15 generell in der folgenden Weise. Wenn bei einem gewissen DATEN-Änderungszeitpunkt (ICLK, QCLK) = (0, 1) abgetastet werden und dann beim nächsten DATEN-Änderungszeitpunkt (ICLK, QCLK) = (1, 1) abgetastet werden, wird ein AUF-Impulssignal einer Dauer gleich einer einzelnen Periode des Taktsignals ICLK ausgegeben. Insbesondere wenn zwischen den zwei DATEN-Änderungszeitpunkten Daten aus m-Bits (m ist eine beliebige ganze Zahl) vorhanden sind, wird oder werden, da dies bedeutet, dass weniger als m Zyklen des Taktsignals ICLK in der Periode vorhanden sind, um die Frequenz des Taktsignals ICLK hochzusetzen, ein Impuls oder Impulse des AUF-Impulssignals erzeugt.

[0032] Andererseits wird, wenn bei einem gewissen DATEN-Änderungszeitpunkt (ICLK, QCLK) = (0, 1) abgetastet werden und dann beim nächsten DATEN-Änderungszeitpunkt (CLK, QCLK) = (0. 0) abgetastet werden, ein AB-Impulssignal einer Dauer gleich einer einzelnen Periode des Taktsignals ICLK erzeugt. Infolgedessen wird oder werden, wenn zwischen den zwei DATEN-Änderungszeitpunkten Daten aus m' Bits (m' ist eine beliebige ganze Zahl) vorhanden sind, da dies bedeutet, dass mehr als m' Zyklen des Taktsignals ICLK in der Periode vorhanden sind, um die Frequenz des Taktsignals ICLK herabzusetzen, ein Impuls oder Impulse des AB-Impulssignals erzeugt.

[0033] Wenn die Frequenzen des Taktsignals ICLK und des Eingangssignals DATEN vollständig miteinander koinzidieren, wird bei jedem DATEN-Änderungszeitpunkt von (0, 0), (0, 1), (1, 0) und (1, 1) eines sukzessive abgetastet, und es wird kein Impuls des AUF-Impulssignals oder des AB-Impulssignals erzeugt.

[0034] Auf diese Weise wird das Ausgangssignal (n) des UND-Tores **124** als das AB-Impulssignal und das Ausgangssignal (o) des UND-Tores **125** als das AUF-Impulssignal der Ladungspumpeschaltung **104** zugeführt. Dann wird das AB/AUF-Impulssignal zum Steuern der Ladungspumpeschaltung **104** benutzt, um den Ausgangsstrom der Ladungspumpeschaltung **104** durch das Schleifenfilter **105** zu glätten (gleichzurichten), um eine Steuerungsspannung für den VCO **106** zu erzeugen.

[0035] Die Arbeitsweise der Frequenzdetektionsschaltung **102** in der vorhergehenden Beschreibung bezieht sich auf eine Arbeitsweise, bei der die Tastverhältnisse des Eingangssignals DATEN und der Taktsignale (ICLK und QCLK) **100** bzw. 50 % sind. Jedoch insbesondere bei optischer Kommunikation oder dgl. erleidet, wie der Wellenform (b) oder (c) der Fig. 17 zu entnehmen ist, das Übertragungssignal DATEN eine gewisse Leistungsverzerrung, und dies kann möglicherweise eine Fehlfunktion der PLL-Schaltung hervorrufen. Fig. 18 stellt Wellenformen der Taktsignale ICLK und QCLK und des Übertragungssignals DATEN dar, wenn sie eine gewisse Leistungsverzerrung erleiden.

[0036] Wie oben beschrieben werden bei der herkömmlichen Frequenzdetektionsschaltung die Werte des Taktsignals ICLK und des Taktsignals QCLK bei einem Änderungszeitpunkt des Eingangssignals DATEN abgetastet. Deshalb ist, wenn die Frequenzen der Signale vollständig miteinander koinzidieren, in der Periode vom Zeitpunkt t2 zum Zeitpunkt t3 in Fig. 16 der Abtastwert für das Taktsignal ICLK gleich „0" und für das Taktsignal QCLK gleich „1", ist in der Periode vom nächsten DATEN-Änderungspunkt t6 zum Zeitpunkt t7 der Abtastwert für das Taktsignal ICLK gleich „0" und für das Taktsignal QCLK gleich „0", und wenn in der Periode vom Zeitpunkt t10 zum Zeitpunkt t11 ein DATEN-Änderungspunkt vorhanden ist, ist bei dem Zeitpunkt der Abtastwert für das Taktsignal ICLK gleich „0" und für das Taktsignal QCLK gleich „1". Infolgedessen ist zu sehen, dass die Abtastwerte bei den drei Änderungspunkten zueinander gleich sind.

[0037] Wie jedoch dem Timingdiagramm der Fig. 18, das eine Timingbeziehung darstellt, wenn das Eingangssignal DATEN verzerrt ist und ein anderes Tastverhältnis aufweist, während das Taktsignal QCLK durch Verzögern der Phase des Taktsignals ICLK um 90 Grad erhalten wird, entnommen werden kann, ist, wenn das Tastverhältnis des Eingangssignals DATEN zunimmt und die Breite für ein einzelnes Bit des „H"-Pegels desselben größer als die Periode

des Taktsignal ICLK wird, wenn das Eingangssignal DATEN in der Periode vom Zeitpunkt t1 zum Zeitpunkt t2 ansteigt, bei der Anstiegsflanke des Eingangssignals DATEN der Pegel des Taktsignals ICLK gleich „1" und der Pegel des Taktsignals QCLK gleich „1".

[0038] Dann zeigt, wenn in der Periode vom Zeitpunkt t7 zum Zeitpunkt t8 das Eingangssignal DATEN eine Abfallsflanke zeigt, jeder der beiden Pegel des Taktsignals ICLK und des Taktsignals QCLK den Pegel „0", und die Abtastwerte der Taktsignale ICLK und QCLK zeigen bei der Anstiegsflanke und der Abfallsflanke des Eingangssignals DATEN eine Änderung von (1, 1) in (0, 0). Folglich fehlfunktioniert Frequenzdetektionsschaltung offensichtlich.

[0039] Andererseits zeigt, wenn das Tastverhältnis des Eingangssignals DATEN abnimmt und die Breite eines einzelnen Bits des „H"-Pegels dieses Signals kleiner als die Periode des Taktsignals ICLK wird, jeder der beiden Pegel des Taktsignals ICLK und QCLK bei der Anstiegsflanke des Eingangssignals DATEN in der Periode vom Zeitpunkt t3 vom Zeitpunkt t4 die „0". Jedoch zeigt jeder der beiden Pegel der Taktsignale ICLK und QCLK bei der Abfallsflanke des Eingangssignals DATEN in der Periode vom Zeitpunkt t5 zum Zeitpunkt t6 die „1". Folglich zeigen die Abtastwerte der Taktsignale ICLK und QCLK eine Änderung von (0, 0) in (1, 1). Als ein Resultat fehlfunktioniert die Frequenzdetektionsschaltung offensichtlich.

[0040] Nun wird eine generelle Konfiguration der Phasendetektionsschaltung **101** beschrieben. Fig. 19 zeigt ein Beispiel einer Schaltungskonfiguration einer Phasendetektionsschaltung **101**.

[0041] Nach Fig. 19 ist ein Dateneingangsanschluss **131**, dem das Eingangssignal DATEN zugeführt wird, mit dem D-Eingangsanschluss eines D-Typ-Flip-Flops (D-FF) **133** und auch mit einem Eingangsanschluss A eines exklusiven 2-Eingangs-ODER-Tores (2-Eingangs-EX-ODER-Tor) **135** verbunden. Indessen ist der CLK-Eingangsanschluss **132**, dem der Oszillationsfrequenztakt VCOCLK des VCO **106** zugeführt wird, mit dem CLK-Anschluss des D-FF **133** und auch mit dem negierten CLK-Anschluss eines D-Typ-Flip-Flops (D-FF) **134** verbunden.

[0042] Der Q-Ausgangsanschluss des D-FF **133** ist mit dem anderen Eingangsanschluss B des EX-ODER-Tores **135**, einem Eingangsanschluss A eines exklusiven 2-Eingangs-ODER-Tores (2-Eingangs-EX-ODER-Tor) **136** und dem D-Eingangsanschluss des D-FF **134** verbunden. Der Q-Ausgangsanschluss des D-FF **134** ist mit dem anderen Eingangsanschluss B des EX-ODER-Tores **136** verbunden. Der Ausgangsanschluss des EX-ODER-Tores **135** ist mit einem AUF-Ausgangsanschluss **137** verbunden, während der Ausgangsanschluss des EX-ODER-Tores **136** mit einem AB-Ausgangsanschluss **138** verbunden ist.

[0043] Nun wird anhand des Timingdiagramms der Fig. 20 die Schaltungsarbeitsweise der die oben beschriebene Konfiguration aufweisenden Phasendetektionsschaltung **101** beschrieben. Es sei darauf hingewiesen, dass in Fig. 20 Wellenformen (a) bis (f) Wellenformen bei den jeweiligen Knoten (a) bis (f) der Fig. 19 darstellen.

[0044] Es sei nun angenommen, dass der vom VCO **106** (siehe Fig. 14) durch den CLK-Eingangsanschluss **132** eingegebene Oszillationsfrequenztakt VCOCLK (a) zu den Zeitpunkten t0, t2, t4, t6, t8, t10, t12 und t14 ansteigt und zu den Zeitpunkten t1, t3, t5, t7, t9, t11, t13 und t15 abfällt.

[0045] Auch sei angenommen, dass die Wellenform des Eingangssignals DATEN (b) zwischen den Zeitpunkten t1 und t2 abfällt und zwischen den Zeitpunkten t5 und t6 ansteigt und dadurch in der Periode zwischen der Abfalls- und Anstiegsfanke den „L"-Pegel beibehält, zwischen den Zeitpunkten t8 und t9 abfällt und in der Periode zwischen der vorhergehenden Anstiegsflanke und der Abfallsflanke den „H"-Pegel beibehält, zwischen den Zeitpunkten t10 und t11 ansteigt und in der Periode zwischen der vorhergehenden Abfallsflanke und der Anstiegsflanke den „L"-Pegel beibehält, zwischen den Zeitpunkten t12 und t13 abfällt und in der Periode zwischen der vorhergehenden Anstiegsflanke und der Abfallsflanke den „H"-Pegel beibehält und danach bis zum Zeitpunkt t15 den „L"-Pegel beibehält.

[0046] Das D-FF **132** ruft mit dem Anstiegstiming t2 des Oszillationsfrequenztakts VCOCLK (a) den „L"-Pegel des Eingangssignals DATEN (b) ab. Folglich ändert sich der Pegel des Q-Ausgangssignals (c) des D-FF **133** in den „L"-Pegel. Beim nächsten Anstiegstiming t4 des Oszillationsfrequenztakts VCOCLK (a) zeigt das Eingangssignal DATEN keine Änderung und bleibt auf dem „L"-Pegel, und deshalb zeigt auch das Q-Ausgangssignal (c) des D-FF **133** keine Änderung, sondern behält den „L"-Pegel bei.

[0047] Da das Eingangssignal DATEN beim nächsten Anstiegstiming t6 des Oszillationsfrequenztakts VCOCLK (a) den „H"-Pegel aufweist, ändert sich der Pegel des Q-Ausgangssignals (c) des D-FF **133** in den „H"-Pegel. Außerdem weist beim Anstiegstiming des Oszillationsfrequenztakts VCOCLK (a) zum Zeitpunkt t8 das Eingangssignal DATEN den „H"-Pegel auf, und da das D-FF **133** den „H"-Pegel des Eingangssignals DATEN abruft, zeigt das Q-Ausgangssignal (c) des D-FF **133** keine Änderung, sondern bleibt auf dem „H"-Pegel.

[0048] Da zum Zeitpunkt t10 der Pegel des Eingangssignals DATEN den „L"-Pegel aufweist, ändert sich auch der Pegel des Q-Ausgangssignals (c) des D-FF **133** vom „H"-Pegel in den „L"-Pegel. Da zum Zeitpunkt t12 der Pegel des Eingangssignals DATEN den „H"-Pegel aufweist, ändert sich der Pegel des Q-Ausgangssignals (c) des D-FF **133** in den „H"-Pegel, und dann weist zum Zeitpunkt t14 des nächsten Anstiegstimings der Oszillationsfrequenztakt VCOCLK (a) das Eingangssignal DATEN den „L"-Pegel auf. Folglich ruft das D-FF **133** den „L"-Pegel des Eingangssignals DATEN ab, und der Pegel des Q-Ausgangssignals (c) des D-FF **133** ändert sich in den „L"-Pegel.

[0049] Indessen wird dem D-FF **134** der Oszillationsfrequenztakt VCOCLK (a) in einer invertierten Form als ein CLK-Eingangssignal zugeführt. Demgemäss ruft das D-FF **134** das Eingangssignal DATEN zu den Zeitpunkten t1, t3, t5, t7, t9, t11, t13 und t15 ab, bei denen der Oszillationsfrequenztakt VCOCLK (a) abfällt.

[0050] Zum Zeitpunkt t1 ändert sich, da das Q-Ausgangssignal (c) des D-FF **133** den „H"-Pegel aufweist, der Pegel des Q-Ausgangssignals (d) des D-FF **134** in den „H"-Pegel, und der „H"-Pegel wird bis zum nächsten Abfalltiming t3 des Oszillationsfrequenztakts VCOCLK (a) beibehalten. Zum Zeitpunkt t3 ruft, da das Q-Ausgangssignal (c) des D-FF **133** den „L"-Pegel aufweist, das D-FF **134** den „L"-Pegel ab, und der Pegel seines Q-Ausgangssignals (d) ändert sich vom „H"-Pegel in den „L"-Pegel. Dann behält das Q-Ausgangssignal (d) nach dem Zeitpunkt t5 den „L"-Pegel bis unmittelbar vor dem Zeitpunkt t7 bei.

[0051] Beim Abfalltiming des Oszillationsfrequenztakts VCOCLK (a) zum Zeitpunkt t7 ruft, da das Q-Ausgangssignal (c) des D-FF **133** den „H"-Pegel aufweist, das D-FF **134** den „H"-Pegel ab, und folglich ändert sich der Pegel des Q-Ausgangssignals (d) des D-FF **134** in den „H"-Pegel. Der Pegel des Q-Ausgangssignals (c) des D-FF **133** ändert sich zum Zeitpunkt t9 nicht, aber ändert sich zum Zeitpunkt t10 in den „L"-Pegel und behält den „L"-Pegel bis zum Zeitpunkt t12 bei. Zum Zeitpunkt t11 weist das Q-Ausgangssignal (c) des D-FF **133** den „L"-Pegel auf, und das D-FF **134** ruft den „L"-Pegel ab. Deshalb ändert sich das Q-Ausgangssignal (d) des D-FF **134** vom „H"-Pegel in den „L"-Pegel.

[0052] Zum Zeitpunkt t13 ruft, da das Q-Ausgangssignal (c) des D-FF **133** den „H"-Pegel aufweist, den „H"-Pegel ab, und der Pegel des Q-Ausgangssignals (d) ändert sich vom „L"-Pegel in den „H"-Pegel. Die Information des „H"-Pegels wird bis zum nächsten Abfalltiming des Oszillationsfrequenztakts VCOCLK (a), bei dem der „L"-Pegel des Q-Ausgangssignals (c) des D-FF **133** in das D-FF **134** abgerufen wird, beibehalten. Folglich ändert sich der Pegel des Q-Ausgangssignals (d) des D-FF **134** vom „H"-Pegel in den „L"-Pegel.

[0053] Nun wird anhand des Timingdiagramms der Fig. 20 die Arbeitsweise des EX-ODER-Tores **135**, welches das AUF-Impulssignal (e) erzeugt, beschrieben. Es sei darauf hingewiesen, dass das Eingangssignal DATEN (b) und das Q-Ausgangssignal (c) des D-FF **133** den zwei Eingangsanschlüssen A und B des EX-ODER-Tores **135** zugeführt werden.

[0054] Die logischen Werte des Eingangssignals DATEN (b) und des Q-Ausgangssignals (c) des D-FF **133** sind in der Periode von einem Zeitpunkt zwischen den Zeitpunkten t1 und t2, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „H"-Pegel in den „L"-Pegel ändert, zum Zeitpunkt t2, bei dem das Q-Ausgangssignal (c) des D-FF **133** den „H"-Pegel aufweist, in der Periode von einem Zeitpunkt zwischen den Zeitpunkten t5 und t6, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „L"-Pegel in den „H"-Pegel ändert, bis zum Zeitpunkt t6, bei dem sich der Pegel des Q-Ausgangssignals (c) des D-FF **133** vom „L"-Pegel in den „H"-Pegel ändert, in der Periode von einem Zeitpunkt zwischen den Zeitpunkten t8 und t9, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „H"-Pegel in den „L"-Pegel ändert, zum Zeitpunkt t10, in der Periode von einem Zeitpunkt zwischen den Zeitpunkten t10 und t11, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „H"-Pegel in den „L"-Pegel ändert, zum Zeitpunkt t12, und in der Periode von einem Zeitpunkt zwischen den Zeitpunkten t12 und t13, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „H"-Pegel in den „L"-Pegel ändert, voneinander verschieden.

[0055] In den oben spezifizierten Perioden zeigt das Ausgangssignal (e) des EX-ODER-Tores **135** den „H"-Pegel. In anderen Perioden zeigt, da beide Signalpegel des Eingangssignals DATEN (b) und des Q-Ausgangssignals (c) des D-FF **133** entweder den „H"-Pegel oder den „L"-Pegel aufweisen, das Ausgangssignal (e) des 2-Eingangs-EX-ODER-Tores **135** den „L"-Pegel und wird als das AUF-Impulssignal benutzt.

[0056] Nun wird anhand des Timingdiagramms der Fig. 20 die Arbeitsweise des EX-ODER-Tores **136**, welches das AB-Impulssignal (f) erzeugt, beschrieben. Es sei darauf hingewiesen, dass das Q-Ausgangssignals (c) des D-FF **133** und das Q-Ausgangssignal (d) des D-FF **134** den zwei Eingangsanschlüssen A bzw. B des EX-ODER-Tores **136** zugeführt werden.

[0057] Die logischen Werte des Q-Ausgangssignals (c) des D-FF **133** und des Q-Ausgangssignals (d) des D-FF **134** sind in der Periode vom Zeitpunkt t2 zum

Zeitpunkt t3, der Periode vom Zeitpunkt t6 zum Zeitpunkt t7, der Periode vom Zeitpunkt t10 zum Zeitpunkt t11, der Periode vom Zeitpunkt t12 zum Zeitpunkt t13 und der Periode vom Zeitpunkt t14 zum Zeitpunkt t15 voneinander verschieden.

[0058] In den Perioden zeigt das AB-Impulssignal (f) des EX-ODER-Tores **136** den „H"-Pegel. In anderen Perioden weist, da beide Signalpegel des Q-Ausgangssignals (c) des D-FF **133** und des Q-Ausgangssignals (d) des D-FF **134** entweder den „H"-Pegel oder den „L"-Pegel aufweisen, das AB-Impulssignal (f) des EX-ODER-Tores **136** den „L"-Pegel auf und wird als das AB-Impulssignal benutzt.

[0059] Auf diese Weise werden jedes Mal, wenn sich der Pegel des Eingangssignals DATEN ändert, die Impulswellenformen des AUF-Impulssignals (e) und des AB-Impulssignals (f) jeweils ein Mal erzeugt. Beim beschriebenen Schaltungsbeispiel ist die Impulsbreite des AB-Impulssignals (f) normalerweise fest, und eine Phasensteuerung wird durch Einstellen der Impulsbreite des AUF-Impulssignals (e) ausgeführt.

[0060] Wenn das Impulssignal DATEN eine Leistungsverzerrung aufweist, ist, wenn der Oszillationsfrequenztakt VCOCLK des VCO **106** durch eine auf den Steuerungssignalen (AUF-Impulssignal/AB-Impulssignal) der Frequenzdetektionsschaltung **102** und der Phasendetektionsschaltung **101** basierende Steuerung bezüglich des Eingangssignals DATEN verriegelt wird, das Anstiegstiming des Taktsignals ICLK, wie es dem Timingdiagramm nach Fig. 21 zu entnehmen ist, beim Zentrum des Augenmusters (eye pattern) des Eingangssignals DATEN angeordnet.

[0061] Wie oben beschrieben tastet die Frequenzdetektionsschaltung **102** die Werte (Pegel) des Taktsignals ICLK und des Taktsignals QCLK bei jedem Änderungspunkt des Eingangssignals DATEN ab und benutzt den Abtastwert zum Erhalten der Frequenzinformation. Hier werden, wenn das Taktsignal ICLK und das Eingangssignal DATEN eine solche wie in Fig. 21 zu sehenden Phasenbeziehung zueinander aufweisen, ein Abfallstiming des Taktsignals ICLK und ein Änderungspunkt des Eingangssignals DATEN im Wesentlichen der gleiche Zeitpunkt.

[0062] Folglich wird der Abtastwert des Taktsignals ICLK bei einem Änderungspunkt des Eingangssignals DATEN durch die Frequenzdetektionsschaltung **102** in Bezug auf eine Änderung des Tastverhältnisses des Eingangssignals DATEN instabil (jedoch ist der Abtastwert des Taktsignals QCLK stabil, wenn er mit dem des Taktsignals ICLK verglichen wird). Zu diesem Zeitpunkt detektiert jedoch die Frequenzdetektionsschaltung **102** die Frequenzinformation fehlerhaft und erzeugt ein falsches Steuerungssignal.

[0063] Wie oben beschrieben wird bei der herkömmlichen PLL-Schaltung, welche die Phasendetektionsschaltung **101** und die Frequenzdetektionsschaltung **102** aufweist, da die Frequenzdetektionsschaltung **102** das Taktsignal ICLK und das Taktsignal QCLK bei jedem Änderungspunkt des Eingangssignals DATEN abtastet, wenn das Eingangssignal DATEN eine gewisse Leistungsverzerrung aufweist, von der Frequenzdetektionsschaltung **102** ein falsches Steuerungssignal (AUF-Impulssignal/AB-Impulssignal) ausgegeben.

[0064] Außerdem wird, wenn der Frequenztakt VCOCLK des VCO **106** bezüglich des Eingangssignals DATEN verriegelt ist, da durch eine Aktion der Phasendetektionsschaltung **101** das Zentrum des Augenmusters des Eingangssignals DATEN bei einer Anstiegsflanke des Taktsignals ICLK positioniert ist, der Abtastwert des Taktsignals ICLK durch die Frequenzdetektionsschaltung **102** in Bezug auf eine kleine Änderung des Tastverhältnisses des Eingangssignals DATEN instabil, und aus der Frequenzdetektionsschaltung **102** wird ein falsches Steuerungssignal ausgegeben.

[0065] Aus dem Dokument US 5 889 828 geht eine Taktwiedergabeschaltung zur Wiedergabe eines Datentaktes von einem Datensignal hervor. Die Taktwiedergabeschaltung weist einen spannungsgesteuerten Oszillator (VCO), eine Frequenzfehler-Detektionsschaltung und eine Ladungspumpe, deren Ausgangssignal von den Ausgangssignalen des Phasendetektors und der Frequenzfehlerdetektionsschaltung gesteuert wird, auf. Die Frequenzfehler-Detektionsschaltung detektiert einen Frequenzfehler zwischen dem VCO-Takt und dem Datentakt durch Detektieren von Änderungen in den Phasen des VCO-Takts bei den Übergangsflanken des Datensignals.

[0066] Das Dokument US 5 969 552 beschreibt eine Einrichtung zum Synchronisieren eines lokalen Taktes mit einem Referenztakt. Die Einrichtung benutzt eine Frequenzakquisitionsschleife und eine Phasenakquisitionsschleife. Die Frequenzakquisitionsschleife verzögert den Referenztakt, um einen Zwischentakt zu erzeugen, der in den Arbeitsbereich der Phasenakquisitionsschleife fällt. Die Phasenakquisitionsschleife verzögert dann den Zwischentakt, um einen mit dem Referenztakt synchronisierten lokalen Takt zu erzeugen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0067] Es ist eine Aufgabe der vorliegenden Erfindung, eine PLL-Schaltung und ein optisches Kommunikationsempfangsgerät bereitzustellen, bei denen, selbst wenn das Tastverhältnis eines Eingangssignals variiert, die zur Frequenzdetektion einer Frequenzdetektionsschaltung erforderliche Konvergenz-

zeit kurz ist und eine falsche Arbeitsweise der Frequenzdetektionsschaltung mit einem Steuerungssignal weniger wahrscheinlich auftritt.

[0068] Zur Lösung der oben beschriebenen Aufgabe ist gemäß einem Aspekt der vorliegenden Erfindung eine PLL-Schaltung bereitgestellt, die aufweist: einen Oszillator zur Erzeugung eines Oszillationsfrequenzsignals, das eine variable Oszillationsfrequenz aufweist, eine Signalerzeugungsschaltung zur Erzeugung eines eine Phase gleich der des Oszillationsfrequenzsignals aufweisenden ersten Signals, eines eine feste Phasendifferenz vom ersten Signal aufweisenden zweiten Signals und eines eine Phasendifferenz kleiner als die Phasendifferenz zwischen dem ersten und zweiten Signal vom ersten Signal aufweisenden dritten Signals auf der Basis des Oszillationsfrequenzsignals des Oszillators, eine Phasendetektionsschaltung zum Vergleichen der Phasen des von der Signalerzeugungsschaltung erzeugten dritten Signals und eines Eingangssignals und Ausgeben eines ersten Phasensteuerungssignals zum Vorschub der Phase des Oszillationsfrequenzsignals des Oszillators oder eines zweiten Phasensteuerungssignals zur Verzögerung der Phase des Oszillationsfrequenzsignals des Oszillators auf der Basis eines Resultats des Vergleichs und eine Frequenzdetektionsschaltung zum Abrufen des von der Signalerzeugungsschaltung erzeugten ersten und zweiten Signals synchron mit dem Eingangssignal und zur Ausgabe eines ersten Frequenzsteuerungssignals zum Hochsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators oder eines zweiten Frequenzsteuerungssignals zum Herabsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators auf der Basis der abgerufenen Signale.

[0069] Gemäß einem anderen Aspekt der vorliegenden Erfindung ist ein optisches Kommunikationsempfangsgerät bereitgestellt, das aufweist: eine Lichtempfangseinrichtung zum Empfang eines optischen Signals, Umsetzen des optischen Signals in ein elektrisches Signal und Ausgeben des elektrischen Signals, eine PLL-Schaltung zum Erzeugen eines mit dem Ausgangssignal der Lichtempfangseinrichtung synchronisierten Taktsignals und eine Retimingschaltung zum Retiming (= neu Zeitsteuern) des Ausgangssignals der Lichtempfangseinrichtung auf der Basis des von der PLL-Schaltung erzeugten Taktsignals, wobei die PLL-Schaltung aufweist: einen Oszillator zur Erzeugung eines Oszillationsfrequenzsignals, das eine variable Oszillationsfrequenz aufweist, eine Signalerzeugungsschaltung zur Erzeugung eines eine Phase gleich der des Oszillationsfrequenzsignals aufweisenden ersten Signals, eines eine feste Phasendifferenz vom ersten Signal aufweisenden zweiten Signals und eines eine Phasendifferenz kleiner als die Phasendifferenz zwischen dem ersten und zweiten Signal vom ersten Signal aufweisenden dritten Signals auf der Basis des Oszillationsfrequenzsignals des Oszillators, eine Phasendetektionsschaltung zum Vergleichen der Phasen des von der Signalerzeugungsschaltung erzeugten dritten Signals und eines Eingangssignals und zur Ausgabe eines ersten Phasensteuerungssignals zum Vorschub der Phase des Oszillationsfrequenzsignals des Oszillators oder eines zweiten Phasensteuerungssignals zur Verzögerung der Phase des Oszillationsfrequenzsignals des Oszillators auf der Basis eines Resultats des Vergleichs, und eine Frequenzdetektionsschaltung zum Abrufen des von der Signalerzeugungsschaltung erzeugten ersten und zweiten Signals synchron mit dem Eingangssignal und Ausgeben eines ersten Frequenzsteuerungssignals zum Heraufsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators oder eines zweiten Frequenzsteuerungssignals zum Herabsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators auf der Basis der abgerufenen Signale.

[0070] In der PLL-Schaltung und dem optischen Kommunikationsempfangsgerät erzeugt die Signalerzeugungsschaltung ein eine Phase gleich der des Oszillationsfrequenzsignals aufweisendes erstes Signal, ein eine feste Phasendifferenz vom ersten Signal aufweisendes zweites Signal und ein eine Phasendifferenz kleiner als die Phasendifferenz zwischen dem ersten und zweiten Signal vom ersten Signal aufweisendes drittes Signal auf der Basis des Oszillationsfrequenzsignals des Oszillators, und die Phasendetektionsschaltung führt eine Phasensteuerung auf der Basis der Phasendifferenz zwischen dem dritten Signal und dem Eingangssignal aus. Folglich ist ein Änderungspunkt des dritten Signals nicht auf einen Änderungspunkt des Eingangssignals, sondern auf einen zentralen Abschnitt der Impulswellenform eingestellt. Folglich weist die Frequenzdetektionsschaltung eine verbesserte Widerstehungseigenschaft gegen einen metastabilen Zustand auf, der auftritt, wenn das Tastverhältnis des Eingangssignals bei einem Abruftiming des ersten oder zweiten Signals variiert, wenn die Oszillationsfrequenz in der Nähe einer speziellen Frequenz ist, bei welcher der Oszillator verriegelt ist oder wird. Demgemäss ist, selbst wenn sich das Tastverhältnis des Eingangssignals ändert, die zur Frequenzdetektion der Frequenzdetektionsschaltung erforderliche Konvergenzzeit kurz, und es tritt mit dem Steuerungssignal der Frequenzdetektionsschaltung eine Fehlfunktion weniger wahrscheinlich auf. Deshalb ist die Arbeitsweise der ganzen PLL-Schaltung stabilisiert.

[0071] Die obigen und andere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung sind aus der folgenden Beschreibung und den beigefügten Ansprüchen anhand der beigefügten Zeichnungen entnehmbar, in denen gleiche Teile oder Elemente mit gleichen Bezugszeichen bezeichnet sind.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0072] Fig. 1 ist ein Blockschaltbild, das ein Beispiel einer Konfiguration einer PLL-Schaltung zeigt, bei der die vorliegende Erfindung angewendet ist;

[0073] Fig. 2 ist ein Blockschaltbild, das ein Beispiel einer detaillierten Schaltungskonfiguration eines in Fig. 1 gezeigten Taktgenerators zeigt;

[0074] Fig. 3 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise des Taktgenerators nach Fig. 2 darstellt;

[0075] Fig. 4 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise einer in Fig. 1 gezeigten Frequenzdetektionsschaltung darstellt;

[0076] Fig. 5 ist ein Blockschaltbild, das eine Modifikation der PLL-Schaltung nach Fig. 1 zeigt;

[0077] Fig. 6 ist ein Blockschaltbild, das eine detaillierte Schaltungskonfiguration der in den Fig. 1 und Fig. 5 gezeigten Frequenzdetektionsschaltung zeigt;

[0078] Fig. 7 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise der Frequenzdetektionsschaltung nach Fig. 6 zeigt, wenn sie ein AUF-Impulssignal ausgibt;

[0079] Fig. 8 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise der Frequenzdetektionsschaltung nach Fig. 6 zeigt, wenn sie ein AB-Impulssignal ausgibt;

[0080] Fig. 9 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise der in den Fig. 1 und Fig. 5 gezeigten Frequenzdetektionsschaltung darstellt, wenn ein Eingangssignal eine gewisse Leistungsverzerrung aufweist;

[0081] Fig. 10 ist ein Blockschaltbild, das eine detaillierte Schaltungskonfiguration einer in den Fig. 1 und Fig. 5 gezeigten Phasendetektionsschaltung zeigt;

[0082] Fig. 11 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise der in Fig. 10 gezeigten Frequenzdetektionsschaltung darstellt;

[0083] Fig. 12 ist ein Timingdiagramm, das eine Timingbeziehung in einem synchronisierten Phasenzustand der PLL-Schaltungen nach den Fig. 1 und Fig. 5 darstellt;

[0084] Fig. 13 ist ein Blockschaltbild, das einen Teil eines optischen Kommunikationsempfangsgeräts zeigt, bei dem die vorliegende Erfindung angewendet ist;

[0085] Fig. 14 ist ein Blockschaltbild, das eine grundlegende Konfiguration einer PLL-Schaltung zeigt;

[0086] Fig. 15 ist ein Blockschaltbild, das eine herkömmliche Frequenzdetektionsschaltung zeigt;

[0087] Fig. 16 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise des Frequenzdetektionsgeräts nach Fig. 15 darstellt;

[0088] Fig. 17 ist ein Wellenformdiagramm, das Wellenformen eines Eingangssignals in die Frequenzdetektionsschaltung nach Fig. 15 zeigt, wenn das Eingangssignal eine gewisse Leistungsverzerrung aufweist und wenn das Eingangssignal keine Leistungsverzerrung aufweist;

[0089] Fig. 18 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise der Frequenzdetektionsschaltung nach Fig. 15 darstellt, wenn das Eingangssignal eine gewisse Leistungsverzerrung aufweist;

[0090] Fig. 19 ist ein Blockschaltbild das eine herkömmliche Phasendetektionsschaltung zeigt;

[0091] Fig. 20 ist ein Timingdiagramm, das eine Schaltungsarbeitsweise der Phasendetektionsschaltung nach Fig. 19 darstellt; und

[0092] Fig. 21 ist ein Timingdiagramm, das eine Timingbeziehung in einem synchronisierten Phasenzustand der Frequenzdetektionsschaltung nach Fig. 16 darstellt.

DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORM

[0093] In Fig. 1 ist ein Beispiel einer Konfiguration einer PLL-Schaltung gezeigt, bei der die vorliegende Erfindung angewendet ist. Die gezeigte PLL-Schaltung wird beispielsweise bei einem Empfangsgerät für optische Kommunikation benutzt, wenngleich sie bei verschiedenen anderen Geräten angewendet werden kann.

[0094] Die gezeigte PLL-Schaltung **10** weist eine Phasendetektionsschaltung (PD-Schaltung) **11**, eine Frequenzdetektionsschaltung (FD-Schaltung) **12**, ein Paar Ladungspumpeschaltungen (CP-Schaltungen (CP = Charge pump (Ladungspumpe)) **13** und **14**, ein Schleifenfilter **15**, einen spannungsgesteuerten Oszillator (VCO (= voltage-controlled oscillator)) **16** und einen Taktgenerator **17** auf. Die PLL-Schaltung **10** weist einen Schaltungseingangsanschluss **18** auf, in den ein serielles digitales Signal DATEN eingegeben wird. Das digitale Signal DATEN wird bei einer optischen Kommunikation benutzt und kann ein NRZ-Signal (eine NRZ-Wellenform) sein.

[0095] Der Schaltungseingangsanschluss **18** ist mit einem (das heißt einem Dateneingangsanschluss) von Eingangsanschlüssen der Phasendetektionsschaltung **11** und einem Dateneingangsanschluss **121** der Frequenzdetektionsschaltung **12** verbunden. Der andere Eingangsanschluss der Phasendetektionsschaltung **11** ist mit einem I'CLK-Ausgangsanschluss **173** des Taktgenerators **17** verbunden. Ein ICLK-Eingangsanschluss **122** und ein QCLK-Eingangsanschluss **123** der Frequenzdetektionsschaltung **12** sind mit einem ICLK-Ausgangsanschluss **171** bzw. QCLK-Ausgangsanschluss **172** des Taktgenerators **17** verbunden.

[0096] Der Ausgangsanschluss der Phasendetektionsschaltung **11** ist mit einem Eingangsanschluss der Ladungspumpeschaltung **13** verbunden. Der Ausgangsanschluss der Ladungspumpeschaltung **13** ist durch das Schleifenfilter **15** mit einem Steuerungseingangsanschluss des VCO **16** verbunden. Ein Paar Ausgangsanschlüsse **127** und **128** der Frequenzdetektionsschaltung **12** sind individuell mit korrespondierenden Eingangsanschlüssen der Ladungspumpeschaltung **14** verbunden. Auch der Ausgangsanschluss der Ladungspumpeschaltung **14** ist durch das Schleifenfilter **15** mit dem Steuerungseingangsanschluss des VCO **16** verbunden.

[0097] Das Schleifenfilter **15** weist eine Tiefpassfilterkonfiguration auf und weist beispielsweise einen zwischen die Ausgangsanschlüsse der Ladungspumpeschaltungen **13** und **14** geschalteten Widerstand R11 und einen zwischen den Ausgangsanschluss der Ladungspumpeschaltung **14** und Erde geschalteten Kondensator C11 auf. Der Ausgangsanschluss des VCO **16** ist mit einem Schaltungsausgangsanschluss **19** und einem Takteingangsanschluss **174** des Taktgenerators **17** verbunden.

[0098] Der Taktgenerator **17** weist einen Frequenzteiler **175** und eine Phasenverschiebungsschaltung **176** auf und erzeugt auf der Basis eines Oszillationsfrequenztakts des VCO **16** ein erstes, zweites und drittes Signal, die beispielsweise voneinander verschiedene Phasen aufweisen, ein Taktsignal ICLK, das eine Phase gleich der (in Phase mit der) des VCO-Oszillationsfrequenztakts aufweist (ist), ein anderes Taktsignal QCLK, das eine um beispielsweise 90 Grad von der des Taktsignals ICLK verschobene Phase (eine Quadraturphase) aufweist, und ein weiteres Taktsignal I'CLK, das eine in einem Bereich größer als 0 Grad aber kleiner als 90 Grad, vorzugsweise um 45 Grad von der des Taktsignals ICLK verschobene vorbestimmte Phase aufweist.

[0099] Insbesondere teilt der Frequenzteiler **175** den Oszillationsfrequenztakt des VCO **16** mit einem vorbestimmten Teilungsverhältnis (1/n) und führt den resultierenden Teilungstakt der Phasenverschiebungsschaltung **176** zu. Die Phasenverschiebungsschaltung **176** gibt den Teilungstakt aus dem Frequenzteiler **175** aus, wenn er wie das Taktsignal ICLK aus dem Ausgangsanschluss **171** ist. Außerdem verschiebt die Phasenverschiebungsschaltung **176** das Taktsignal ICLK in der Phase um beispielsweise 90 Grad und gibt das Taktsignal ICLK der verschobenen Phase als das Taktsignal QCLK aus dem Ausgangsanschluss **172** aus. Außerdem verschiebt die Phasenverschiebungsschaltung **176** das Taktsignal ICLK um beispielsweise 45 Grad in der Phase und gibt das Taktsignal ICLK der verschobenen Phase als das Taktsignal I'CLK aus dem Ausgangsanschluss **173** aus.

[0100] Fig. 2 zeigt ein Beispiel einer detaillierten Schaltungskonfiguration des einen Frequenzteiler aufweisenden Taktgenerators **17**. Nach Fig. 2 weist der Taktgenerator **17** ein Teilungsverhältnis (1/n) auf, wobei n = 4 gilt, und weist drei D-Typ-Flip-Flops (D-FFs) **177**, **178** und **179** auf, die in einer Kaskadenverbindung geschaltet sind.

[0101] Die drei D-FFs **177**, **178** und **179** weisen einen mit dem Takteingangsanschluss **174** verbundenen CLK-Anschluss auf. Der CLK-Anschluss des D-FF **179** ist ein negierter Eingangsanschluss, dem der vom VCO **16** durch den Takteingangsanschluss **174** zugeführte Oszillationsfrequenztakt VCOCLK des VCO **16** mit negativer Polarität zugeführt wird.

[0102] Der D-Eingangsanschluss des D-FF **177** der ersten Stufe ist mit dem Q-Ausgangsanschluss der zweiten Stufe verbunden. Der Q-Ausgangsanschluss des D-FF **177** der ersten Stufe ist mit dem QCLK-Ausgangsanschluss **172** und auch mit dem D-Eingangsanschluss des D-FF **178** der zweiten Stufe verbunden. Der D-Eingangsanschluss des D-FF **178** der zweiten Stufe ist ein negierter Eingangsanschluss, in den das Q-Ausgangssignal des D-FF **177** der ersten Stufe mit negierter Polarität eingegeben wird. Der Q-Ausgangsanschluss des D-FF **178** der zweiten Stufe ist mit dem ICLK-Ausgangsanschluss **171** und auch dem D-Eingangsanschluss des D-FF **179** der dritten Stufe verbunden. Der Q-Augangsanschluss des des D-FF **179** der dritten Stufe ist mit dem I'CLK-Ausgangsanschluss **173** verbunden.

[0103] Nun wird die Schaltungsarbeitsweise des die oben beschriebene Konfiguration aufweisenden Taktgenerators **17** anhand des Timingdiagramms der Fig. 3 beschrieben. Es sei darauf hingewiesen, dass die Wellenformen (a) bis (e) im Timingdiagramm nach Fig. 3 Wellenformen bei den jeweiligen Knoten (a) bis (e) der Fig. 2 zeigen. Es sei angenommen, dass jedes der D-FFs **177**, **178** und **179** seine D-Ausgangswellenform mit dem Timing der Anstiegsflanke des ihm zugeführten Taktes CLK abruft.

[0104] Wenn angenommen wird, dass das Q-Ausgangssignal (d) des D-FF **178** vor dem Zeitpunkt t0

den „H"-Pegel aufweist, dann ändert sich, da das D-FF **177** zum Zeitpunkt t0 den „H"-Pegel abruft, der Pegel seines Q-Ausgangssignals (b) in den „H"-Pegel. Folglich ändert sich der Pegel des D-Eingangssignals (c) des D-FF **178**, das in Bezug auf das Q-Ausgangssignal (b) des D-FF **177** ein umgekehrtes Signal ist, in den „L"-Pegel, und da das D-FF **178** unmittelbar vor der Änderung in den „L"-Pegel den „H"-Pegel abruft, behält das Q-Ausgangssignal (d) des D-FF **178** den „H"-Pegel bei. Indessen bleibt, da der CLK-Anschluss des D-FF **179** ein negierter Eingangsanschluss ist und das D-FF **179** zum Zeitpunkt t1 die D-Eingangswellenform des „H"-Pegels abruft, der Pegel des Q-Ausgangssignals (e) des D-FF **179** auf dem „H"-Pegel.

[0105] Dann behält zum Zeitpunkz t2, da das Q-Ausgangssignal (d) des „H"-Pegels (der Pegel vor einer Änderung vom „H"-Pegel in den „L"-Pegel) des D-FF **178** dem D-Eingangsanschluss des D-FF **177** zugeführt wird, das Q-Ausgangssignal (b) des D-FF **177** den „H"-Pegel bei. Zu diesem Zeitpunkt ändert sich, da das D-Eingangssignal (c) des D-FF **178** den „L"-Pegel aufweist, der Pegel des Q-Ausgangssignals (d) des D-FF **178** in den „L"-Pegel. Da das Q-Ausgangssignal (d) des „L"-Pegels in das D-FF **179** als das D-Eingangssignal eingegeben wird, ändert sich der Pegel des Q-Ausgangssignals (e) des D-FF **179** zum Zeitpunkt t3 in den „L"-Pegel.

[0106] Zum Zeitpunkt t4 wird das Q-Ausgangssignal (d) des „L"-Pegels des D-FF **178** dem D-Eingangsanschluss des D-FF **177** zugeführt, und das D-FF **177** ruft den „L"-Pegel ab. Folglich ändert sich der Pegel des Q-Ausgangssignals (b) des D-FF **177** in den „L"-Pegel. Das Q-Ausgangssignal (b) des „L"-Pegels wird umgekehrt und in das D-FF **178** als das D-Eingangssignal eingegeben. Jedoch behält, da das D-FF **178** den „L"-Pegel unmittelbar vor der Umkehrung abruft, das Q-Ausgangssignal (d) des D-FF **178** den „L"-Pegel bei.

[0107] Zum Zeitpunkt t6 wird das Q-Ausgangssignal (d) des „L"-Pegels des D-FF **178** dem D-Eingangsanschluss des D-FF **177** zugeführt. Deshalb behält das Q-Ausgangssignal (b) des D-FF **177** den „L"-Pegel bei. Da zu diesem Zeitpunkt der „H"-Pegel dem negierten D-Eingangsanschluss des D-FF **178** zugeführt wird und das D-FF **178** den „H"-Pegel abruft, ändert sich der Pegel des Q-Ausgangssignals (d) des D-FF **178** in den „H"-Pegel.

[0108] Zum Zeitpunkt t7 wird das Q-Ausgangssignal (d) des „H"-Pegels des D-FF **178** in das D-FF **179** als das D-Eingangssignal eingegeben und vom D-FF **179** abgerufen, und folglich ändert sich der Pegel des Q-Ausgangssignals (e) des D-FF **179** in den „H"-Pegel. Dann wird zum Zeitpunkt t8 das Q-Ausgangssignal (d) des „H"-Pegels des D-FF **178** dem D-Eingangsanschluss des D-FF **177** zugeführt und vom D-FF **177** abgerufen, und folglich ändert sich der Pegel des Q-Ausgangssignals (b) des D-FF **177** in den „H"-Pegel. Zu diesem Zeitpunkt ändert sich das negierte D-Eingangssignal des D-FF **178** in den „L"-Pegel. Jedoch behält, da das D-FF **178** den „H"-Pegel vor der Umkehrung abruft, das Q-Ausgangssignal (d) des D-FF **178** den „H"-Pegel bei.

[0109] Danach werden vom Zeitpunkt t9 zum Zeitpunkt t19 die oben beschriebenen Arbeitsweisen vom Zeitpunkt t1 zum Zeitpunkt t8 ähnlich wiederholt.

[0110] Wenn auf diese Weise das aus dem Q-Ausgangsanschluss des D-FF **178** extrahierte Taktsignal als das Taktsignal ICLK benutzt wird und das aus dem Q-Ausgangsanschluss des D-FF **179** extrahierte Taktsignal als das Taktsignal I'CLK benutzt wird, weist, da der CLK-Anschluss des D-FF **179** als ein negierter Eingangsanschluss ausgebildet ist, das Taktsignal I'CLK eine Phase auf, die gegenüber der des Taktsignals ICLK um 45 Grad verzögert ist. Außerdem weist, wenn das aus dem Q-Ausgangsanschluss des D-FF **177** extrahierte Taktsignal als das Taktsignal QCLK benutzt wird, das Taktsignal QCLK eine Phase auf, die gegenüber der des Taktsignals ICLK um 90 Grad verzögert ist.

[0111] Das vom Taktgenerator **17** erzeugte Taktsignal I'CLK wird der Phasendetektionsschaltung **11** der Fig. 1 zugeführt und als ein Signal zum Detektieren der Phase benutzt, und die Taktsignale ICLK und QCLK werden der Frequenzdetektionsschaltung **12** der Fig. 1 zugeführt und als Referenzsignale zum Detektieren der Frequenz benutzt.

[0112] Nach Fig. 1 wiederum wird in der gezeigten PLL-Schaltung 10 einem der Eingangsanschlüsse der Phasendetektionsschaltung **11** und dem Dateneingangsanschluss **121** der Frequenzdetektionsschaltung **12** ein digitales NRZ-Signal durch den Schaltungseingangsanschluss **18** zugeführt. Indessen wird das vom Taktgenerator **17** erzeugte Taktsignal I'CLK dem anderen Eingangsanschluss der Phasendetektionsschaltung **11** zugeführt, während die vom Taktgenerator **17** erzeugten Taktsignale ICLK und QCLK dem ICLK-Eingangsanschluss **122** bzw. dem QCLK-Eingangsanschluss **123** der Frequenzdetektionsschaltung **12** zugeführt werden.

[0113] Die Frequenzdetektionsschaltung **12** weist zwei D-FFs **124** und **125** und eine Steuerungslogikschaltung **126** auf. Das D-FF **124** ist an seinem D-Eingangsanschluss mit dem ICLK-Eingangsanschluss **122** und an seinem CLK-Anschluss mit dem Dateneingangsanschluss **121** verbunden. Das D-FF **125** ist an seinem D-Eingangsanschluss mit dem QCLK-Eingangsanschluss **123** und an seinem CLK-Anschluss mit dem Dateneingangsanschluss **121** verbunden.

[0114] Die Schaltungsarbeitsweise der Frequenzdetektionsschaltung **12**, welche die zwei D-FFs **124** und **125** und die Steuerungslogikschaltung **126** aufweist, wird anhand des Timingdiagramms der Fig. 4 beschrieben.

[0115] Die Timingwellenform des dem ICLK-Eingangsanschluss **122** zugeführten Taktsignals ICLK zeigt in der Periode vom Zeitpunkt t0 zum Zeitpunkt t2 den „H"-Pegel, in der Periode vom Zeitpunkt t2 zum Zeitpunkt t4 den „L"-Pegel, in der Periode vom Zeitpunkt t4 zum Zeitpunkt t6 den „H"-Pegel, in der Periode vom Zeitpunkt t6 zum Zeitpunkt t8 den „L"-Pegel, in der Periode vom Zeitpunkt t8 zum Zeitpunkt t10 den „H"-Pegel, in der Periode vom Zeitpunkt t10 zum Zeitpunkt t12 den „L"-Pegel und in der Periode vom Zeitpunkt t12 zum Zeitpunkt t14 den „H"-Pegel.

[0116] Das dem QCLK-Eingangsanschluss **123** zugeführte Taktsignal QCLK weist eine Wellenform mit einer Phase auf, die gegenüber der des Taktsignals ICLK um 90 Grad verzögert ist, und zeigt in der Periode vom Zeitpunkt t1 zum Zeitpunkt t3 den „H"-Pegel, in der Periode vom Zeitpunkt t3 zum Zeitpunkt t5 den „L"-Pegel, in der Periode vom Zeitpunkt t5 zum Zeitpunkt t7 den „H"-Pegel, in der Periode vom Zeitpunkt t7 zum Zeitpunkt t9 den „L"-Pegel, in der Periode vom Zeitpunkt t9 zum Zeitpunkt t11 den „H"-Pegel, in der Periode vom Zeitpunkt t11 zum Zeitpunkt t13 den „L"-Pegel und in der Periode vom Zeitpunkt t13 zum Zeitpunkt t15 den „H"-Pegel.

[0117] Indessen weist die Wellenform des dem Dateneingangsanschluss **121** zugeführten Eingangssignals DATEN vom Zeitpunkt t0 zum Zeitpunkt t2 den „L"-Pegel, vom Zeitpunkt t2 zum Zeitpunkt t6 den „H"-Pegel, vom Zeitpunkt t6 zum Zeitpunkt t7 den „L"-Pegel, vom Zeitpunkt t10 zum Zeitpunkt t13 den „H"-Pegel und später als der Zeitpunkt t13 den „L"-Pegel auf.

[0118] Wenn hier angenommen wird, dass das Abruftiming der D-Eingangsdaten jedes der D-FFs **124** und **125** eine Anstiegsflanke des ihm zugeführten Taktes ist, dann rufen die D-FFs **124** und **125** die logischen Pegel (ICLK, QCLK = (0, 1) des Taktsignals ICLK und des Taktsignals QCLK mit dem Timing des Zeitpunkts t2 ab und führen der Steuerungslogikschaltung **126** der nächsten Stufe Werte, die mit den Daten korrespondieren, als Q-Ausgangssignale zu.

[0119] Die Frequenzdetektionsschaltung **12** hat die Funktion der Öffnung eines Fensters, wenn von den Daten, die in die D-Eingangsanschlüsse der D-FFs **124** und **125** eingegeben werden, die speziellen Werte (0, 1) abgetastet werden, und einer Ausgabe eines Resultats eines von nächsten Abtastwerten abhängigen Vergleichs.

[0120] Wenn das dem Zeitpunkt t2 nächstliegende Anstiegstiming des Eingangssignals DATEN der Zeitpunkt t10 ist, dann sind die abgerufenen Datenwerte der D-Eingangsanschlüsse der D-FFs **124** und **125** gleich (0, 1). In diesem Fall stellt die Steuerungslogikschaltung **126** der nächsten Stufe fest, dass die verglichenen Frequenzen miteinander koinzidieren, und gibt nichts aus.

[0121] Wenn nach Abruf der Werte (0, 1) das nächste Abruftiming zwischen die Zeitpunkte t9 und t10 fällt, dann sind jetzt die abgerufenen Werte (Abtastwerte) der Daten gleich (1, 1). In diesem Fall stellt die Steuerungslogikschaltung **126** der nächsten Stufe fest, dass die Frequenz der Takte niedriger als die Frequenz des Eingangssignals DATEN ist, und gibt ein AUF-Impulssignal zum Hochsetzen der Frequenz aus. Wenn andererseits bei den nächsten Abtasttimings der Zeitpunkte t11 und t12 die Werte (0, 0) abgetastet werden, nachdem die Werte (0, 1) abgerufen sind, stellt die Steuerungslogikschaltung **126** fest, dass die Frequenz des Takts höher ist, und gibt ein AB-Impulssignal zum Herabsetzen der Frequenz aus.

[0122] Das digitale Signal (Impulssignal) des durch die Frequenzdetektion durch die Frequenzdetektionsschaltung **12** auf diese Weise erhaltenen AUF/AB-Impulssignals wird der Ladungspumpeschaltung **14** der nächsten Stufe zugeführt, um den Transistor der Ladungspumpeschaltung **14** ein/auszuschalten, um zu bewirken, dass aus der/in die Ladungspumpeschaltung **14** ein elektrischer Strom fließt. Die Ladungspumpeschaltung **14** zur Steuerung des Stroms ist beispielsweise aus einem MOS-Transistor oder einem bipolaren Transistor gebildet. Der Ausgangsstrom der Ladungspumpeschaltung **14** wird durch das Schleifenfilter **15** in eine Gleichspannung (ein Gleichsignal) gleichgerichtet.

[0123] Die Gleichspannung wird dem VCO **16** als eine Steuerungsspannung zugeführt. Der VCO **16** ist beispielsweise so konfiguriert, dass er einen variablen Kondensator aufweist und die Steuerungsspannung an den variablen Kondensator angelegt wird. Der variable Kondensator variiert die Kapazität abhängig von der an ihn angelegten Steuerungsspannung, um die Frequenz des Oszillationsfrequenztakts des VCO **16** zu steuern. Der Oszillationsfrequenztakt wird durch den Taktgenerator **17** zur Frequenzdetektionsschaltung **12** rückgekoppelt.

[0124] Die Frequenzdetektionsschaltung **12** vergleicht die Frequenz der so rückgekoppelten Taktsignale ICLK und QCLK und des digitalen NRZ-Signals DATEN miteinander. Die Frequenzsteuerungsarbeitsweise durch den oben beschriebenen Frequenzvergleich wird wiederholt, um die Frequenz des Oszillationsfrequenztakts des VCO **16** auf einer Zielfrequenz des Eingangssignals DATEN zu verriegeln. In

diesem verriegelten Zustand ist die Ausgangsspannung des Schleifenfilters **15** fest und variiert danach nicht, wenn nicht die Frequenz variiert.

[0125] Nachdem die Frequenz des Oszillationsfrequenztakts des VCO **16** auf der Zielfrequenz des Eingangssignals DATEN verriegelt ist, bleibt die Arbeitsweise der Frequenzdetektionsschaltung **12** in einem festen Zustand (insbesondere in einem Zustand, bei dem das AUF/AB-Signal, dessen Pegel das Ausgangssignal der Frequenzdetektionsschaltung **12** ist, auf dem „L"-Pegel fixiert ist). In diesem Fall arbeitet, wenn angenommen wird, dass der Strom, mit dem der Kondensator C11 der Ladungspumpeschaltung **14** geladen/entladen wird, im Vergleich zu dem der Ladungspumpeschaltung **13** ausreichend hoch ist, die Phasendetektionsschaltung **11** im Wesentlichen nahe bei der Arbeitsweise der Frequenzdetektionsschaltung **12**.

[0126] Insbesondere wird die auf dem Detektionsausgangssignal der Phasendetektionsschaltung **11** basierende Gleichspannung der vom Schleifenfilter **15** der Gleichspannung überlagert, die auf dem Detektionsausgangssignal der Frequenzdetektionsschaltung **12** basiert, um die an den VCO **16** angelegte Steuerungsspannung weiter zu variieren und dadurch die Phase des Oszillationsfrequenztakts des VCO **16** zu steuern.

[0127] Insbesondere detektiert die Phasendetektionsschaltung **11** eine Verzögerungs-/Einleitungsphase des Taktsignals I'CLK und folglich des Oszillationsfrequenztakts des VCO **16** in Bezug auf das Eingangssignal DATEN. Das digitale Ausgangssignal (digitaler Ausgangsimpuls) der Phasendetektionsschaltung **11** wird in Reaktion auf die Verzögerungs-/Einleitungsphase der Ladungspumpeschaltung **13** der nächsten Stufe zugeführt, um den Transistor der Ladungspumpeschaltung **13** ein-/auszusteuern, um beispielsweise zu bewirken, dass ein elektrischer Strom aus dem/in den Transistor fließt. Die Ladungspumpeschaltung **13** zur Steuerung des elektrischen Stroms ist beispielsweise ähnlich zur Ladungspumpeschaltung **14** der Frequenzdetektionsschaltung-**12**-Seite aus einem MOS-Transistor oder einem bipolaren Transistor gebildet.

[0128] Der Ausgangsstrom der Ladungspumpeschaltung **13** wird vom Schleifenfilter **15** in eine Gleichspannung gleichgerichtet. Die Gleichspannung wird vom Schleifenfilter **15** der Gleichspannung der Frequenzdetektionsschaltung-**12**-Seite überlagert und dem VCO **16** als eine Steuerungsspannung zugeführt, so dass sie an den oben erwähnten variablen Kondensator angelegt ist. Der variable Kondensator ändert seine Kapazität in Reaktion auf die an ihn angelegte Steuerungsspannung, um die Phase des Oszillationsfrequenztakts des VCO **16** zu steuern.

[0129] Der die gesteuerte Phase aufweisende Oszillationsfrequenztakt des VCO **16** wird durch den Taktgenerator **17** zur Phasendetektionsschaltung **11** als das Taktsignal I'CLK rückgekoppelt. Die Phasendetektionsschaltung **11** vergleicht die Phasen des rückgekoppelten Taktsignals I'CLK und des digitalen NRZ-Signals DATEN miteinander. Dann werden die oben beschriebenen Arbeitsweisen der Phasendetektion und Phasensteuerung wiederholt, bis auch die Phase des Oszillationsfrequenztakts des VCO **16** schließlich mit der Phase des Eingangssignals-DATEN koinzidiert.

[0130] Es sei darauf hingewiesen, dass die oben beschriebene PLL-Schaltung **10** die Ladungspumpeschaltungen **13** und **14** einer einzelnen Ausgangskonfiguration und den VCO **16** einer einzelnen Ausgangskonfiguration benutzt und außerdem das Schleifenfilter **15** benutzt, das den zwischen die Ausgangsanschlüsse der Ladungspumpeschaltungen **13** und **14** geschalteten Widerstand R11 und den zwischen den Ausgangsanschluss der Ladungspumpeschaltung **14** und der Erde geschalteten Kondensator C11 aufweist, aber die PLL-Schaltung nicht notwendiger Weise auf die spezielle PLL-Schaltung, welche die beschriebene Konfiguration aufweist, beschränkt ist.

[0131] Insbesondere kann andernfalls die PLL-Schaltung beispielsweise eine solche wie in Fig. 5 gezeigte PLL-Schaltung **10'** sein, welche die Ladungspumpeschaltungen **13'** und **14'** einer differenziellen Ausgangskonfiguration und einen VCO' einer differenziellen Ausgangskonfiguration benutzt und daneben ein Schleifenfilter **20** benutzt, das einen zwischen Ausgangsanschlüsse der Ladungspumpeschaltungen **13'** und **14'** geschalteten Widerstand R12, einen zwischen die differenziellen Ausgangsanschlüsse der Ladungspumpeschaltung **14'** geschalteten Kondensator C12 und einen zwischen die anderen Ausgangsanschlüsse der Ladungspumpeschaltungen **14'** und **13'** geschalteten anderen Widerstand R13 aufweist.

[0132] Fig. 6 zeigt ein Beispiel einer detaillierten Schaltungskonfiguration der Frequenzdetektionsschaltung **12**, die bei der PLL-Schaltung **10** (**10'**) benutzt wird, bei der die vorliegende Erfindung angewendet ist, insbesondere ein Beispiel der internen Konfiguration der Steuerungslogikschaltung **126** der oben beschriebenen Frequenzdetektionsschaltung **12**.

[0133] Nach Fig. 6 wird das Taktsignal ICLK einem ICLK-Eingangsanschluss **31** zugeführt, und wird das Taktsignal QCLK einem QCLK-Eingangsanschluss **32** zugeführt. Indessen wird einem Dateneingangsanschluss **33** ein digitales NRZ-Signal DATEN zugeführt. Der ICLK-Eingangsanschluss **31**, QCLK-Eingangsanschluss **32** und der Dateneingangsan-

schluss **33** korrespondieren mit dem ICLK-Eingangsanschluss **121**, QCLK-Eingangsanschluss **123** bzw. Dateneingangsanschluss **121** der Fig. 1.

[0134] Der ICLK-Eingangsanschluss ist mit dem D-Eingangsanschluss eines D-Typ-Flip-Flops (D-FF) **34** verbunden, und der CLK-Eingangsanschluss **32** ist mit dem D-Eingangsanschluss eines anderen D-Typ-Flip-Flops (D-FF) **35** verbunden. Der Dateneingangsanschluss **33** ist mit den CLK-Anschlüssen der D-FFs **34** und **35** verbunden. Die D-FFs **34** und **35** korrespondieren mit den D-FFs **124** bzw. **125** der Fig. 1.

[0135] Jedes der D-FFs **34** und **35** ist so konfiguriert, dass es ihm zugeführte D-Eingangsdaten bei einer Anstiegsflanke eines ihm zugeführten Takts CLK abruft. Insbesondere weist das D-FF **34** die Funktion einer Abtastung des Taktsignals ICLK bei einer Anstiegsflanke des Eingangssignals DATEN auf, und weist das D-FF **35** die Funktion einer Abtastung des Taktsignals QCLK bei einer Anstiegsflanke des Eingangssignals DATEN auf.

[0136] Der Q-Ausgangsanschluss des D-FF **34** ist mit einem Eingangsanschluss A eines 2-Eingangs-ODER-Tores **36** und auch mit einem negierten Eingangsanschluss A eines 3-Eingangs-ODER-Tores **38** und außerdem mit einem Eingangsanschluss B eines 3-Eingangs-ODER-Tores **39** verbunden. Der Q-Ausgangsanschluss des D-FF **35** ist mit einem negierten Eingangsanschluss B des ODER-Tores **36**, mit einem negierten Eingangsanschluss B des ODER-Tores **38** und einem Eingangsanschluss C des ODER-Tores **39** verbunden.

[0137] Der Ausgangsanschluss des ODER-Tores **36** ist mit dem D-Eingangsanschluss eines D-Typ-Flip-Flops (D-FF) **37** verbunden. Der CLK-Eingangsanschluss des D-FF **37** ist mit dem ICLK-Eingangsanschluss **31** verbunden. Der Q-Ausgangsanschluss des D-FF **37** ist mit einem Eingangsanschluss C des ODER-Tores **38** und auch mit einem Eingangsanschluss A des ODER-Tores **39** verbunden.

[0138] Die Ausgangsanschlüsse der ODER-Tore **38** und **39** sind mit den D-Eingangsanschlüssen der D-Typ-Flip-Flops (D-FFs) **40** bzw. **41** verbunden. Die CLK-Eingangsanschlüsse der D-FFs **40** und **41** sind mit dem ICLK-Eingangsanschluss **31** verbunden. Die Q-Ausgangsanschlüsse der D-FFs **40** und **41** sind mit den Schaltungsausgangsanschlüssen **42** bzw. **43** verbunden. Es sei darauf hingewiesen, dass die Q-Ausgangsanschlüsse der D-FFs **40** und **41** als negierte Ausgangsanschlüsse ausgebildet sind.

[0139] Das ODER-Tor **36**, das D-FF **37**, die ODER-Tore **38** und **39** und die D-FFs **40** und **41**, die oben beschrieben sind, bilden kooperativ die Steuerungslogikschaltung **126** der Fig. 1. Es sei darauf hingewiesen, dass die Schaltungskonfiguration der Fig. 6 nur ein Beispiel ist, und dass die Steuerungslogikschaltung **126** eine gewisse andere Schaltungskonfiguration aufweisen kann.

[0140] Nun wird anhand der Timingdiagramme der Fig. 7 und Fig. 8 die Schaltungsarbeitsweise der die oben beschriebene Konfiguration aufweisenden Frequenzdetektionsschaltung beschrieben. Fig. 7 stellt ein Timingdiagramm dar, wenn das AUF-Impulssignal ausgegeben wird, und Fig. 8 stellt ein Timingdiagramm dar, wenn das AB-Impulssignal ausgegeben wird. In den Fig. 7 und Fig. 8 bezeichnen die Wellenformen (a) bis (k) Wellenformen bei den jeweiligen Knoten (a) bis (k) der Fig. 6.

[0141] Zuerst wird anhand des Timingdiagramms der Fig. 7 die Schaltungsarbeitsweise, wenn das AUF-Impulssignal ausgegeben wird, beschrieben. Es sei nun angenommen, dass die Wellenform des Eingangssignals DATEN (c) in der Periode zwischen den Zeitpunkten t2 und t3 eine Änderung vom „L"-Pegel in den „H"-Pegel, in der Nähe des Zeitpunkts t6 eine andere Änderung vom „H"-Pegel in den „L"-Pegel und in der Periode zwischen den Zeitpunkten t9 und t10 eine weitere Änderung vom „L"-Pegel in den „H"-Pegel zeigt und nach dem Zeitpunkt t10 den „H"-Pegel beibehält.

[0142] Die D-FFs **34** und **35** rufen die Taktsignale ICLK (a) und QCLK (b) bei einer Anstiegsflanke der Wellenform des Eingangssignals DATEN (c) ab. In der Periode vom Zeitpunkt t2 zum Zeitpunkt t3 weist das Taktsignal ICLK (a) den „L"-Pegel auf und das Taktsignal QCLK (b) den „H"-Pegel auf, und die D-FFs **34** und **35** rufen den „L"-Pegel bzw. „H"-Pegel ab. Folglich ändert sich der Pegel des Q-Ausgangssignals (d) des D-FF **34** in den „L"-Pegel, und der Pegel des Q-Ausgangssignals (e) des D-FF **35** ändert sich in den „H"-Pegel.

[0143] Die nächste Anstiegslanke der Wellenform des den CLK-Anschlüssen der D-FFs **34** und **35** zugeführten Eingangssignals DATEN (c) ist in der Periode zwischen den Zeitpunkten t9 und t10 enthalten, und die Pegel des Ausgangssignals ICLK (a) und des Taktsignals QCLK (b) zu dem Zeitpunkt sind der „H"-Pegel. Demgemäss ändert sich in der Periode zwischen den Zeitpunkten t9 und t10 der Pegel des Q-Ausgangssignals (d) des D-FF **34** vom „L"-Pegel in den „H"-Pegel.

[0144] In diesem Fall ändert sich, da der Pegel des Taktsignals QCLK (b) der „H"-Pegel ist, das Q-Ausgangssignal (e) des D-FF **35** nicht, sondern bleibt auf dem „H"-Pegel. Danach zeigt die Wellenform des Eingangssignals DATEN (c) bis zum Zeitpunkt t16 keine Änderung, und die Wellenform weist keine Anstiegsflanke auf. Deshalb ändern sich die Q-Aus-

gangssignale (d) und (e) der D-FFs **34** und **35** nicht, sondern behalten ihre Pegel so bei, wie sie sind.

[0145] Zu dem Zeitpunkt, bei dem sich das Eingangssignal DATEN (c) in der Periode zwischen den Zeitpunkten t2 und t3 ändert, wird dem Eingangsanschluss A des ODER-Tores **36** der „L"-Pegel des Q-Ausgangssignals (d) des D-FF **34** zugeführt, während der „H"-Pegel des Q-Ausgangssignals (e) des D-FF **35** dem negierten Eingangsanschluss B des ODER-Tores **36** zugeführt wird, und deshalb ändert sich der Pegel des Ausgangssignals (f) des ODER-Tores **36** in den „L"-Pegel. Außerdem erscheint die nächste Änderung vom „L"-Pegel in den „H"-Pegel des Eingangssignals DATEN (c) in der Periode zwischen den Zeitpunkten t9 und t10.

[0146] Beim Änderungstiming vom „L"-Pegel in den „H"-Pegel ändert sich das Q-Ausgangssignal (d) des D-FF **34** vom „L"-Pegel in den „H"-Pegel, während der Pegel des Q-Ausgangssignals (e) des D-FF **35** auf dem „H"-Pegel bleibt. Deshalb ändert sich der Pegel des Ausgangssignals (f) des ODER-Tores **36** vom „L"-Pegel in den „H"-Pegel. Danach behält, da die Wellenform des Eingangssignals DATEN (c) bis zum Zeitpunkt t16 keine Änderung aufweist, das Ausgangssignal (f) des ODER-Tores **36** den „H"-Pegel bei.

[0147] Das Ausgangssignal (f) des ODER-Tores **36** wird dem D-Eingangsanschluss des D-FF **37** zugeführt. Das von dem Taktsignal, das den D-FFs **34** und **35** zugeführt wird, verschiedene Taktsignal ICLK (a) wird dem D-FF **37** als das CLK-Eingangssignal zugeführt. Folglich ruft das D-FF **37** das Ausgangssignal (f) des ODER-Tores **36**, welches das ihm zugeführte D-Eingangssignal ist, bei einer Anstiegsflanke des Taktsignals ICLK (a) ab.

[0148] Insbesondere ruft das D-FF **37** das Ausgangssignal (f) des ODER-Tores **36** mit dem Anstiegstiming t4 des Taktsignals ICLK (a) ab, und daraufhin ändert sich der Pegel seines Ausgangssignals (g) in den „L"-Pegel. Dann ändert sich beim nächsten Anstiegstiming t8 des Taktsignals ICLK (a), da das Q-Ausgangssignal (f) des ODER-Tores **36** den „L"-Pegel aufweist, das Ausgangssignal (g) des D-FF **37** nicht, sondern behält den „L"-Pegel bei.

[0149] Außerdem ändert sich bei der Anstiegsflanke des Taktsignals ICLK (a) zum Zeitpunkt t12, da das Ausgangssignal (f) des ODER-Tores **36** den „H"-Pegel aufweist, der Pegel des Q-Ausgangssignals (g) des D-FF **37** vom „L"-Pegel in den „H"-Pegel. Auch weist zum Zeitpunkt t16, da das Ausgangssignal (f) des ODER-Tores **36** ähnlich den „H"-Pegel aufweist, auch das Q-Ausgangssignal (g) des D-FF **37** den „H"-Pegel auf, und folglich behält das Q-Ausgangssignal (g) auch nach dem Zeitpunkt t16 den Zustand des „H"-Pegels bei.

[0150] Das 3-Eingangs-ODER-Tor **38** empfängt an seinem negierten Eingangsanschluss das Q-Ausgangssignal (d) des D-FF **34**, an seinem negierten Eingangsanschluss B das Q-Ausgangssignal (e) des D-FF **35** und an seinem Eingangsanschluss C das Q-Ausgangssignal (g) des D-FF **37**.

[0151] Das invertierte Signal des Q-Ausgangssignals (d) des D-FF **34** zeigt nach einer DATEN-Anstiegsflanke zwischen den Zeitpunkten t2 und t3 bis zu einer anderen DATEN-Anstiegsflanke zwischen den Zeitpunkten t9 und t10 den „H"-Pegel und zeigt nach dem Timing der DATEN-Anstiegsflanke den „L"-Pegel, und das invertierte Signal des Q-Ausgangssignals (e) des D-FF **35** zeigt nach dem Zeitpunkt t4 bis zum Zeitpunkt t12 den „L"-Pegel und zeigt nach dem Zeitpunkt t12 den „H"-Pegel. Demgemäss zeigt das Ausgangssignal (h) des ODER-Tores **38** nach dem Zeitpunkt t4 bis zur DATEN-Anstiegsflanke zwischen den Zeitpunkten t9 und t10 den „H"-Pegel und zeigt nach dem Zeitpunkt der DATEN-Anstiegsflanke bis zum Zeitpunkt t12 den „L"-Pegel und zeigt dann nach dem Zeitpunkt t12 den „H"-Pegel.

[0152] Andererseits empfängt das 3-Eingangs-ODER-Tor **39** an seinem Eingangsanschluss A das Q-Ausgangssignal (g) des D-FF **37**, an seinem Eingangsanschluss B das Q-Ausgangssignal (d) des D-FF **34** und an seinem Eingangsanschluss C das Q-Ausgangssignal (e) des D-FF **35**.

[0153] Das Q-Ausgangssignal (d) des D-FF **34** zeigt nach der DATEN-Anstiegsflanke zwischen den Zeitpunkten t2 und t3 bis zur DATEN-Anstiegsflanke zwischen den Zeitpunkten t9 und t10 den „L"-Pegel und zeigt nach dem Timing der DATEN-Anstiegsflanke den „H"-Pegel. Das Q-Ausgangssignal (e) des D-FF **35** zeigt nach der DATEN-Anstiegsflanke zwischen den Zeitpunkten t2 und t3 den „H"-Pegel. Außerdem zeigt das Q-Ausgangssignal (g) des D-FF **37** nach dem Zeitpunkt t4 bis zum Zeitpunkt t12 den „L"-Pegel und zeigt nach dem Zeitpunkt t12 den „H"-Pegel. Demgemäss behält das Ausgangssignal (i) des ODER-Tores **39** nach dem Zeitpunkt den „H"-Pegel bei.

[0154] Das Ausgangssignal (h) des ODER-Tores **38** wird dem D-Eingangsanschluss des D-FF **40** zugeführt. Das D-FF **40** ruft das Ausgangssignal (h) des ODER-Tores, welches die ihm zugeführten D-Eingangsdaten sind, synchron mit dem Taktsignal ICLK (a) ab. Insbesondere ruft das D-FF **40** den H-Pegel des Ausgangssignals (h) bei der Anstiegsflanke des Taktsignals ICLK (a) zum Zeitpunkt t8 ab.

[0155] Folglich ändert sich der Pegel des invertierten Q-Ausgangssignals (j) des D-FF **40** in den „L"-Pegel. Die nächste Anstiegsflanke des Taktsignals ICLK (a) erscheint beim Zeitpunkt t12. Da das Ausgangssi-

gnal (h) des ODER-Tores **38** zum Zeitpunkt t12 den „L"-Pegel aufweist, ändert sich der Pegel des invertierten Q-Ausgangssignals (j) des D-FF **40** in den „H"-Pegel. Außerdem ändert sich, da die nächste Anstiegsflanke des Taktsignals ICLK (a) zum Zeitpunkt t16 erscheint und das Ausgangssignal (h) des ODER-Tores **38** den „H"-Pegel aufweist, der Pegel des invertierten Q-Ausgangssignals (j) des D-FF **40** vom „H"-Pegel in den „L"-Pegel. Das invertierte Q-Ausgangssignal (j) des D-FF **40** wird als das AUF-Impulssignal benutzt und vom Schaltungsausgangsanschluss **42** der Ladungspumpeschaltung (Ladungspumpeschaltung **14** in Fig. 1) der nächsten Stufe zugeführt.

[0156] Indessen wird das Ausgangssignal (i) des ODER-Tores **39** dem D-Eingangsanschluss des D-FF **41** zugeführt. Da das Taktsignal ICLK (a) auch dem D-FF **41** als das D-Eingangssignal zugeführt wird, ruft das D-FF **41** die D-Eingangsdaten mit dem gleichen Abruftiming wie dem des D-FF **40** ab. Insbesondere weist, da das Ausgangssignal (i) des ODER-Tores **39** zum Zeitpunkt t8 den „H"-Pegel aufweist, das invertierte Q-Ausgangssignal (k) des D-FF **41** den „L"-Pegel auf.

[0157] Auch bei den nächsten Anstiegstimings t12 und t16 des Taktsignals ICLK (a) fährt, da das Ausgangssignal (i) des ODER-Tores **39** den „H"-Pegel aufweist, das invertierte Q-Ausgangssignal (k) des D-FF **41** ähnlich fort, den „L"-Pegel auszugeben. Das invertierte Q-Ausgangssignal (k) des D-FF **41** wird als das nächste AB-Impulssignal benutzt und vom Schaltungsausgangsanschluss **43** der Ladungspumpeschaltung (Ladungspumpeschaltung **14** der Fig. 1) der nächsten Stufe zugeführt.

[0158] Nun wird anhand des Timingdiagramms der Fig. 8 die Schaltungsarbeitsweise, wenn das AB-Impulssignal ausgegeben wird, beschrieben. Nun sei angenommen, dass die Wellenform des Eingangssignals DATEN in der Periode zwischen den Zeitpunkten t2 und t3 eine Änderung vom „L"-Pegel in den „H"-Pegel, in der Nähe des Zeitpunkts t6 eine andere Änderung vom „H"-Pegel in den „L"-Pegel und in der Periode zwischen den Zeitpunkten t11 und t12 eine weitere Änderung vom „L"-Pegel in den „H"-Pegel zeigt und nach dem Zeitpunkt t12 den „H"-Pegel beibehält.

[0159] Die D-FFs **34** und **35** rufen bei einer Anstiegsflanke der Wellenform des Eingangssignals DATEN (c) D-Eingangsdaten, das heißt die Taktsignale ICLK (a) und QCLK (b) ab. In der Periode vom Zeitpunkt t2 zum Zeitpunkt t3 weist das Taktsignal ICLK (a) den „L"-Pegel auf, und das Taktsignal QCLK (b) weist den „H"-Pegel auf, und die D-FFs **34** und **35** rufen den „L"- bzw. „H"-Pegel ab. Folglich ändert sich der Pegel des Q-Ausgangssignals (d) des D-FF **34** in den „L"-Pegel, und der Pegel des Q-Ausgangssignals (e) des D-FF **35** ändert sich in den „H"-Pegel.

[0160] Die nächste Anstiegslanke der Wellenform des den CLK-Anschlüssen der D-FFs **34** und **35** zugeführten Eingangssignals DATEN (c) ist in der Periode zwischen den Zeitpunkten t11 und t12 enthalten, und die Pegel des Taktsignals ICLK (a) und des Taktsignals QCLK (b) sind zu diesem Zeitpunkt der „L"-Pegel. Demgemäss behält der Pegel des Q-Ausgangssignals (d) des D-FF **34** den „L"-Pegel bei.

[0161] Indessen ändert sich, da auch der Pegel des Taktsignals QCLK (b) der „L"-Pegel ist, der Pegel des Q-Ausgangssignals (e) des D-FF **35** vom „H"-Pegel in den „L"-Pegel. Danach zeigt die Wellenform des Eingangssignals DATEN (c) keine Änderung, und seine Wellenform weist keine Anstiegsflanke auf. Deshalb ändern sich die Q-Ausgangssignale (d) und (e) der D-FFs **34** und **35** nicht, sondern behalten ihre Pegel bei.

[0162] Zu dem Zeitpunkt, bei dem sich in der Periode zwischen den Zeitpunkten t2 und t3 das Eingangssignal DATEN (c) ändert, wird der „L"-Pegel des Q-Ausgangssignals (d) des D-FF **34** dem Eingangsanschluss A des ODER-Tores **36** zugeführt, während der „L"-Pegel des Q-Ausgangssignals (e) des D-FF **35** dem negierten Eingangsanschluss B des ODER-Tores **36** zugeführt wird, und deshalb ändert sich der Pegel des Ausgangssignals (f) des ODER-Tores **36** in den „L"-Pegel. Außerdem erscheint die nächste Änderung vom „L"-Pegel in den „H"-Pegel des Eingangssignals DATEN (c) beim nächsten Änderungspunkt in der Periode zwischen den Zeitpunkten t11 und t12.

[0163] Beim Änderungstiming vom „L"-Pegel in den „H"-Pegel behält das Q-Ausgangssignal (d) des D-FF **34** den „L"-Pegel bei, während sich der Pegel des Q-Ausgangssignals (e) des D-FF **35** vom „H"-Pegel in den „L"-Pegel ändert. Deshalb ändert sich der Pegel des Ausgangssignals (f) des ODER-Tores **36** vom „L"-Pegel in den „H"-Pegel. Deshalb behält, da die Wellenform des Eingangssignals DATEN (c) keine Änderung aufweist, das Ausgangssignal (f) des ODER-Tores **36** den „H"-Pegel bei.

[0164] Das Ausgangssignal (f) des ODER-Tores **36** wird dem D-Eingangsanschluss des D-FF **37** zugeführt. Das vom den CLK-Eingangsanschlüssen der D-FFs **34** und **35** zugeführten Eingangssignal DATEN verschiedene Taktsignal ICLK (a) wird dem D-FF **37** als das CLK-Eingangssignal zugeführt. Folglich ruft das DD-FF **37** das Ausgangssignal (f) des ODER-Tores **36**, welches das ihm zugeführte D-Eingangssignal ist, bei einer Anstiegsflanke des Taktsignals ICLK (a) ab.

[0165] Insbesondere ruft das D-FF **37** das Ausgangssignal (f) des ODER-Tores **36** bei einem An-

stiegstiming t4 des Taktsignals ICLK (a) ab, und daraufhin ändert sich der Pegel seines Q-Ausgangssignals (g) in den „L"-Pegel. Dann ändert sich beim nächsten Anstiegstiming t8 des Taktsignals ICLK (a), da das Ausgangssignal (f) des ODER-Tores **36** den „L"-Pegel aufweist, das Q-Ausgangssignal (g) des D-FF **37** nicht, sondern behält den „L"-Pegel bei.

[0166] Außerdem ändert sich bei der Anstiegsflanke des Taktsignals ICLK (a) zum Zeitpunkt t12, da das Ausgangssignal (f) des ODER-Tores **36** den „H"-Pegel aufweist, der Pegel des Q-Ausgangssignals (g) des D-FF **37** vom „L"-Pegel in den „H"-Pegel. Auch weist zum Zeitpunkt t16, da das Ausgangssignal (f) des ODER-Tores **36** ähnlich den „H"-Pegel aufweist, auch das Q-Ausgangssignal (g) des D-FF **37** den „H"-Pegel auf, und folglich behält auch nach dem Zeitpunkt t16 das Q-Ausgangssignal (g) den Zustand des „H"-Pegels bei.

[0167] Das 3-Eingangs-ODER-Tor **38** empfängt an seinem negierten Eingangsanschluss A das Q-Ausgangssignal (d) des D-FF **34**, an seinem negierten Eingangsanschluss B das Q-Ausgangssignal (e) des D-FF **35** und an seinem Eingangsanschluss C das Q-Ausgangssignal (g) des D-FF **37**.

[0168] Das invertierte Signal des Q-Ausgangssignals (d) des D-FF **34** zeigt nach einer DATEN-Anstiegsflanke zwischen den Zeitpunkten t2 und t3 bis zum Zeitpunkt t8 den „H"-Pegel, und das invertierte Signal des Q-Ausgangssignals (e) des D-FF **35** zeigt nach der DATEN-Anstiegsflanke zwischen den Zeitpunkten t2 und t3 bis zu einem Zeitpunkt zwischen den Zeitpunkten t11 und t12 den „L"-Pegel und zeigt nach dem Zeitpunkt zwischen den Zeitpunkten t11 und t12 den „H"-Pegel. Außerdem weist das Q-Ausgangssignal (g) des D-FF **37** vom Zeitpunkt t4 zum Zeitpunkt t12 den „L"-Pegel auf und zeigt nach dem Zeitpunkt t12 den „H"-Pegel. Demgemäss zeigt das Ausgangssignal (h) des ODER-Tores **38** nach dem Zeitpunkt t4 den „H"-Pegel.

[0169] Andererseits empfängt das 3-Eingangs-ODER-Tor **39** an seinem Eingangsanschluss A das Q-Ausgangssignal (g) des D-FF **37**, an seinem Eingangsanschluss B das Q-Ausgangssignal (d) des D-FF **34** und an seinem Eingangsanschluss C das Q-Ausgangssignal (e) des D-FF **35**.

[0170] Das Q-Ausgangssignal (d) des D-FF **34** zeigt nach der DATEN-Anstiegsflanken zwischen den Zeitpunkten t2 und t3 den „L"-Pegel. Das Q-Ausgangssignal (e) des D-FF **35** zeigt nach der DATEN-Anstiegsflanke zwischen den Zeitpunkten t2 und t3 bis zur DATEN-Anstiegsflanke der Wellenform des Eingangssignals DATEN zwischen den Zeitpunkten t11 und t12 den „H"-Pegel und zeigt nach dem Timing der Anstiegsflanke den „L"-Pegel. Außerdem zeigt das Q-Ausgangssignal (g) des D-FF **37** nach dem Zeitpunkt t4 bis zum Zeitpunkt t12 den „L"-Pegel und zeigt nach dem Zeitpunkt t12 den „H"-Pegel. Demgemäss zeigt das Ausgangssignal (i) des ODER-Tores **39** nach dem Zeitpunkt t4 bis zur Anstiegsflanke des Eingangssignals DATEN zwischen den Zeitpunkten t11 und t12 den „H"-Pegel und zeigt nach der DATEN-Anstiegsflanke bis zum Zeitpunkt t12 den „L"-Pegel. Außerdem behält das Ausgangssignal (i) des ODER-Tores **39** in der Periode nach dem Zeitpunkt t12 den „H"-Pegel bei.

[0171] Das Ausgangssignal (h) des ODER-Tores **38** wird dem D-Eingangsanschluss des D-FF **40** zugeführt. Das D-FF **40** ruft das Ausgangssignal (h) des ODER-Tores **38**, welches die ihm zugeführten D-Eingangsdaten sind, synchron mit dem Taktsignal ICLK (a) ab. Insbesondere ruft das D-FF **40** den „H"-Pegel des Ausgangssignals (h) des ODER-Tores **38** bei der Anstiegsflanke des Taktsignals ICLK (a) zum Zeitpunkt t8 ab.

[0172] Folglich ändert sich das invertierte Q-Ausgangssignal (j) des D-FF **40** in den „L"-Pegel. Die nächste Anstiegsflanke des Taktsignals ICLK (a) erscheint zum Zeitpunkt t12 und zum Zeitpunkt t16. Da das Ausgangssignal (h) des ODER-Tores **38** zum Zeitpunkt t12 und Zeitpunkt t16 den „H"-Pegel aufweist, fährt das invertierte Q-Ausgangssignal (j) des D-FF **40** damit fort, den „L"-Pegel aufzuweisen.

[0173] Indessen wird das Ausgangssignal (i) des ODER-Tores **39** dem D-Eingangsanschluss des D-FF **41** zugeführt. Da das Taktsignal ICLK (a) dem D-FF **41** auch als das D-Eingangssignal zugeführt wird, ruft das D-FF **41** die D-Eingangsdaten beim gleichen Abruftiming wie dem des D-FF **40** ab. Insbesondere weist, da das Ausgangssignal (i) des ODER-Tores **39** zum Zeitpunkt t8 den „H"-Pegel aufweist, das invertierte Q-Ausgangssignal (k) des D-FF **41** den „L"-Pegel auf.

[0174] Außerdem ändert sich beim Timing t12 der nächsten Anstiegsflanke des Taktsignals ICLK (a), da das Ausgangssignal (i) des ODER-Tores **39** den „L"-Pegel aufweist, der Pegel des invertierten Q-Ausgangssignals (k) des D-FF **41** in den „H"-Pegel. Außerdem ändert sich, da das Ausgangssignal (i) des ODER-Tores **39** zum Zeitpunkt t16 den „H"-Pegel aufweist, der Pegel des invertierten Q-Ausgangssignals (k) des D-FF **41** vom „H"-Pegel in den „L"-Pegel. Das invertierte Q-Ausgangssignal (k) des D-FF **41** wird als das AB-Impulssignal benutzt und vom Schaltungsausgangsanschluss **43** der Ladungspumpeschaltung (Ladungspumpeschaltung **14** der Fig. 1) der nächsten Stufe zugeführt.

[0175] Auf diese Weise behält, während das AUF-Impulssignal (j), welches das invertierte Q-Ausgangssignal des D-FF **40** ist, fortfährt, in der Periode vom Zeitpunkt t8 zum Zeitpunkt t18 den „L"-Pegel

beizubehalten, das AB-Impulssignal (k), welches das invertierte Q-Ausgangssignal des D-FF **41** ist, in der Periode vom Zeitpunkt t12 bis zum Zeitpunkt t16 den „H"-Pegel bei, um den elektrischen Strom zur Ladungspumpeschaltung **14** der nächsten Stufe zum Erzeugen der Steuerungsspannung am VCO **16** zu steuern.

[0176] In Zusammenfassung arbeitet die Frequenzdetektionsschaltung der Fig. 6 in der folgenden Weise. Wenn zum Zeitpunkt einer DATEN-Anstiegsflanke, der den Zeitpunkt einer gewissen DATEN-Anstiegsflanke, bei der (0, 1) abgetastet werden, (ICLK, QCLK = (1, 1) abgetastet werden, dann wird ein AUF-Impulssignal ausgegeben, das eine Dauer gleich einer Periode des Taktsignals ICLK aufweist. Infolgedessen wird, wenn zwischen den Zeitpunkten von zwei DATEN-Anstiegsflanken Daten aus m Bits (m ist eine beliebige ganze Zahl) vorhanden sind, da dies anzeigt, dass das Taktsignal ICLK in der Periode weniger als m Zyklen aufweist, ein Impuls des AUF-Impulssignals erzeugt, um die Frequenz des Taktsignals ICLK hochzusetzen.

[0177] Andererseits wird, wenn zum Zeitpunkt einer DATEN-Anstiegsflanke, die nahe beim Zeitpunkt einer gewissen DATEN-Anstiegsflanke ist, bei der (0, 1) abgetastet werden, (ICLK, QCLK) = (0, 0), abgetastet werden, ein AB-Impulssignal abgetastet, das eine Dauer gleich einer einzelnen Periode des Taktsignals ICLK aufweist. Infolgedessen wird, wenn Daten aus m' Bits (m' ist eine beliebige ganze Zahl) zwischen den Zeitpunkten der zwei DATEN-Anstiegsflanken vorhanden sind, da dies anzeigt, dass das Taktsignal ICLK in der Periode mehr als m' Zyklen aufweist, ein Impuls des AB-Impulssignals erzeugt, um die Frequenz des Taktsignals ICLK herabzusetzen.

[0178] Wenn das Impulssignal DATEN keine Leistungsverzerrung aufweist, werden zum Zeitpunkt jeder Anstiegsflanke des Eingangssignals DATEN, wenn die Frequenzen des Taktsignals ICLK und des Eingangssignals DATEN voll miteinander koinzidieren, (0, 0) (0, 1), (1, 0) oder (1, 1) sukzessive abgetastet, und es wird weder das AUF-Impulssignal noch das AB-Impulssignal erzeugt.

[0179] Selbst wenn das Eingangssignal DATEN eine gewisse Leistungsverzerrung (insbesondere Nutzleistungsverzerrung) aufweist, ist, wenn die Frequenzen des Taktsignals ICLK und des Eingangssignals DATEN vollständig miteinander koinzidieren, da, wie es dem Timingdiagramm der Fig. 19 zu entnehmen ist, die Taktsignale ICLK und QCLK nur bei jeder Anstiegsflanke des Eingangssignals DATEN abgetastet werden, die Kombination ihrer Abtastwerte fest.

[0180] Es sei darauf hingewiesen, dass, wenn beschrieben ist, dass die oben beschriebene Frequenzdetektionsschaltung **12** bei einer Anstiegsflanke des seriellen Eingangssignals DATEN den „L"-Pegel (logische „0") des Taktsignals ICLK und den „H"-Pegel (logische „1") des Taktsignals QCLK abtastet, so kann anstelle dessen jede Kombination aus logischen Werten benutzt werden. Jedoch ist, wenn die oben in Verbindung mit der Frequenzdetektionsschaltung **12** beschriebene Kombination aus logischen Werten so, wie es aus dem Timingdiagramm der Fig. 9 zu erkennen ist, angenommen wird, die Kombination aus logischen Werten im Wesentlichen beim Zentrum einer einzelnen Periode des Eingangssignals DATEN positioniert. Folglich besteht, da in der Nähe des Zentrums einer einzelnen Periode des Eingangssignals DATEN nach der Frequenzeinstellung eine Steuerung bezüglich einer Phaseneinstellung ausgeführt werden kann, der Vorteil, dass zur Phasensteuerung ein weiter Steuerungsbereich benutzt werden kann.

[0181] Wenn außerdem oben beschrieben ist, dass die oben beschriebene Frequenzdetektionsschaltung **12** das Taktsignal ICLK und das Taktsignal QCLK nur bei einer Anstiegsflanke des Eingangssignals DATEN abtastet, so ist es andernfalls möglich, das Taktsignal ICLK und das Taktsignal QCLK nur bei einer Abfallsflanke des Eingangssignals DATEN abzutasten. Auch in diesem Fall wird ähnlich insgesamt kein falsches Steuerungssignal (AUF-Impulssignal/AB-Impulssignal) erzeugt, und es kann eine stabilisierte PLL-Arbeitsweise erwartet werden.

[0182] Nun wird die in der PLL-Schaltung **10** (**10'**) benutzte Phasendetektionsschaltung **11** beschrieben. Ein Beispiel einer Schaltungskonfiguration der Phasendetektionsschaltung **11** ist in Fig. 10 gezeigt. Zuerst wird die Schaltungskonfiguration der Phasendetektionsschaltung **11** beschrieben.

[0183] Nach Fig. 10 ist ein Dateneingangsanschluss **51**, dem das Eingangssignal DATEN zugeführt wird, mit dem D-Eingangsanschluss eines D-Typ-Flip-Flops (D-FF) **53** und auch mit einem Eingangsanschluss A eines exklusiven 2-Eingangs-ODER-Tores (2-Eingangs-EX-ODER-Tor) **55** verbunden. Indessen ist ein CLK-Eingangsanschluss **52**, dem das vom Taktgenerator **17** erzeugte Taktsignal I'CLK zugeführt wird, mit dem CLK-Anschluss des D-FF **53** und auch mit dem negierten CLK-Anschluss eines D-Typ-Flip-Flops (D-FF) **54** verbunden.

[0184] Der Q-Ausgangsanschluss des D-FF **53** ist mit dem anderen Eingangsanschluss B des EX-ODER-Tores **55**, einem Eingangsanschluss A eines exklusiven 2-Eingangs-ODER-Tores (2-Eingangs-EX-ODER-Tor) **56** und dem D-Eingangsanschluss des D-FF **54** verbunden. Der Q-Ausgangsanschluss des D-FF **54** ist mit dem anderen Eingangsanschluss B des EX-ODER-Tores **56** verbunden. Der

Ausgangsanschluss des EX-ODER-Tores **55** ist mit einem AUF-Ausgangsanschluss **57** verbunden, während der Ausgangsanschluss des EX-ODER-Tores **56** mit einem AB-Ausgangsanschluss **58** verbunden ist.

[0185] Nun wird anhand des Timingdiagramms der Fig. 11 die Schaltungsarbeitsweise der Phasendetektionsschaltung **11**, welche die oben beschriebene Konfiguration aufweist, beschrieben. Es sei darauf hingewiesen, dass im Timingdiagramm der Fig. 11 die Wellenformen (a) bis (f) jeweilige Wellenformen bei Knoten (a) bis (f) der Fig. 10 anzeigen.

[0186] Es sei angenommen, dass das vom Taktgenerator (siehe Fig. 1) durch den CLK-Eingangsanschluss **52** eingegebenen Taktsignal I'CLK zu den Zeitpunkten t0, t2, t4, t6, t8, t10, t12 und t14 ansteigt und zu den Zeitpunkten t1, t3, t5, t7, t9, t11, t13 und t15 abfällt.

[0187] Auch sei angenommen, dass die Wellenform des Eingangssignals DATEN (b) in der Periode zwischen den Zeitpunkten t1 und t2 abfällt und danach den „L"-Pegel beibehält, bis es in der Periode zwischen den Zeitpunkten t5 und t6 ansteigt, den „H"-Pegel beibehält, bis es in der Periode zwischen den Zeitpunkten t8 und t9 abfällt, den „L"-Pegel beibehält, bis es in der Periode zwischen den Zeitpunkten t10 und t11 ansteigt, den „H"-Pegel beibehält, bis es in der Periode zwischen den Zeitpunkten t12 und t13 abfällt und danach den „L"-Pegel bis zum Zeitpunkt t15 beibehält.

[0188] Das D-FF **53** ruft den „L"-Pegel des Eingangssignals DATEN (b) beim Anstiegstiming t2 des Taktsignals I'CLK (a) ab. Folglich ändert sich der Pegel des Q-Ausgangssignals (c) des D-FF **53** in den „L"-Pegel. Beim nächsten Anstiegstiming t4 des Taktsignals I'CLK (a) ändert sich, da sich das Eingangssignal DATEN nicht ändert, sondern den „L"-Pegel beibehält, auch das Q-Ausgangssignal (c) des D-FF **53** nicht, sondern behält den „L"-Pegel bei.

[0189] Beim nächsten Anstiegstiming t6 des Taktsignals I'CLK (a) ändert sich, da das Eingangssignal DATEN den „H"-Pegel aufweist, der Pegel des Q-Ausgangssignals (c) des D-FF **53** in den „H"-Pegel. Außerdem ändert sich beim Anstiegstiming des Taktsignals I'CLK (a) zum Zeitpunkt t8, da das Eingangssignal DATEN den „H"-Pegel aufweist und das D-FF **53** den „H"-Pegel abruft, der Pegel des Q-Ausgangssignals (c) des D-FF **53** nicht, sondern behält den „H"-Pegel bei.

[0190] Dann ändert sich zum Zeitpunkt t10, da sich der Pegel des Eingangssignals DATEN in den „L"-Pegel geändert hat, auch das Q-Ausgangssignal (c) des D-FF **53** vom „H"-Pegel in den „L"-Pegel. Zum Zeitpunkt t12 ändert sich, da das Eingangssignal DATEN den „H"-Pegel aufweist, der Pegel des Q-Ausgangssignals (c) des D-FF **53** in den „H"-Pegel, und dann weist beim nächsten Anstiegstiming t14 des Taktsignals I'CLK (a) das Eingangssignal DATEN den „L"-Pegel auf. Folglich ruft das D-FF **53** den „L"-Pegel des Eingangssignals DATEN ab, und sein Q-Ausgangssignal (c) ändert sich in den „L"-Pegel.

[0191] Indessen wird dem D-FF **54** ein invertierter Takt des Taktsignals I'CLK (a) als das CLK-Eingangssignal zugeführt. Demgemäss ruft das D-FF **54** das Eingangssignal DATEN zu den Zeitpunkten t1, t3, t5, t7, t9, t11, t13 und t15 ab, bei denen das Taktsignal I'CLK (a) abfällt.

[0192] Zum Zeitpunkt t1 weist das Q-Ausgangssignal (c) des D-FF **53** den „H"-Pegel auf, und deshalb ändert sich der Pegel des Q-Ausgangssignals (d) des D-FF **54** in den „H"-Pegel und bleibt bis zum nächsten Abfalltiming t3 des Taktsignals I'CLK (a) auf dem „H"-Pegel. Zum Zeitpunkt t3 ruft, da das Q-Ausgangssignal (c) des D-FF **53** den „L"-Pegel aufweist, das D-FF **54** den „L"-Pegel ab, und folglich ändert sich der Pegel seines Q-Ausgangssignals (d) vom „H"-Pegel in den „L"-Pegel. Dann behält das Q-Ausgangssignal (d) nach dem Zeitpunkt t5 bis unmittelbar vor dem Zeitpunkt t7 den „L"-Pegel bei.

[0193] Beim Abfalltiming des Taktsignals I'CLK (a) zum Zeitpunkt t7 ändert sich, da das Q-Ausgangssignal (c) des D-FF **53** den „H"-Pegel aufweist, der Pegel des Q-Ausgangssignals (d) des D-FF **54** in den „H"-Pegel, da das D-FF **54** den „H"-Pegel des Q-Ausgangssignals (c) abruft. Zum Zeitpunkt t9 ändert sich das Q-Ausgangssignal (c) des D-FF **53** nicht, aber zum Zeitpunkt t10 ändert sich der Pegel des Q-Ausgangssignals (c) in den „L"-Pegel und bleibt danach bis zum Zeitpunkt t12 auf dem „L"-Pegel. Zum Zeitpunkt t11 weist das Q-Ausgangssignal (c) des D-FF **53** den „L"-Pegel auf, und da das D-FF **54** den „L"-Pegel abruft, ändert sich der Pegel seines Q-Ausgangssignals (b) vom „H"-Pegel in den „L"-Pegel.

[0194] Zum Zeitpunkt t13 ruft, da das Q-Ausgangssignal (c) des D-FF **53** den „H"-Pegel aufweist, das D-FF **54** den „H"-Pegel ab, und der Pegel seines Q-Ausgangssignals (d) ändert sich vom „L"-Pegel in den „H"-Pegel. Der „H"-Pegel wird bis zum nächsten Abfalltiming t15 des Taktsignals I'CLK (a) beibehalten, und zum Zeitpunkt t15 wird der „L"-Pegel des Q-Ausgangssignals (c) des D-FF **53** in das D-FF **54** abgerufen. Folglich ändert sich der Pegel des Q-Ausgangssignals (d) des D-FF **54** vom „H"-Pegel in den „L"-Pegel.

[0195] Nachfolgend wird anhand des Timingdiagramms der Fig. 11 die Arbeitsweise des EX-ODER-Tores **55**, welches das AUF-Impulssignal (e) erzeugt, beschrieben. Es sei darauf hingewiesen, dass das Eingangssignal DATEN (b) und das Q-Aus-

gangssignal (c) des D-FF **53** den jeweiligen Eingangsanschlüssen A bzw. B des EX-ODER-Tores **55** zugeführt werden.

[0196] Die logischen Werte des Eingangssignals DATEN (b) und des Q-Ausgangssignals (c) des D-FF **53** sind in der Periode nach einem Zeitpunkt zwischen den Zeitpunkten t1 und t2, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „H"-Pegel in den „L"-Pegel ändert, bis zum Zeitpunkt t2, bei dem das Q-Ausgangssignal (c) des D-FF **53** den „H"-Pegel zeigt, der Periode nach einem Zeitpunkt zwischen den Zeitpunkten t5 und t6, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „L"-Pegel in den „H"-Pegel ändert, bis zum Zeitpunkt t6, bei dem sich der Pegel des Q-Ausgangssignals (c) des D-FF **53** vom „L"-Pegel in den „H"-Pegel ändert, der Periode nach einem Zeitpunkt zwischen den Zeitpunkten t8 und t9, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „H"-Pegel in den „L"-Pegel ändert, bis zum Zeitpunkt t10, der Periode nach einem Zeitpunkt zwischen den Zeitpunkten t10 und t11, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „L"-Pegel in den „H"-Pegel ändert, bis zum Zeitpunkt t12, und der Periode nach einem Zeitpunkt zwischen den Zeitpunkten t12 und t13, bei dem sich der Pegel des Eingangssignals DATEN (b) vom „H"-Pegel in den „L"-Pegel ändert, bis zum Zeitpunkt t14, voneinander verschieden.

[0197] In den oben spezifizierten Perioden zeigt das Ausgangssignal (e) des EX-ODER-Tores **55** den „H"-Pegel. In anderen Perioden weist, da beide Signalpegel des Eingangssignals DATEN (b) und des Q-Ausgangssignals (c) des D-FF **53** entweder der „H"-Pegel oder der „L"-Pegel sind, das Ausgangssignal (e) des EX-ODER-Tores **55** den „H"-Pegel auf. Das Ausgangssignal (e) des EX-ODER-Tores **55** wird als das AUF-Impulssignal benutzt.

[0198] Nun wird anhand des Timingdiagramm der Fig. 11 die Arbeitsweise des EX-ODER-Tores **55**, welches das AB-Impulssignal (f) erzeugt, beschrieben. Es sei darauf hingewiesen, dass das Q-Ausgangssignal (c) des D-FF **53** und das Q-Ausgangssignal (d) des D-FF **54** den jeweiligen Eingangsanschlüssen A bzw. B des EX-ODER-Tores **56** zugeführt werden.

[0199] Die logischen Werte des Q-Ausgangssignals (c) des D-FF **53** und das Q-Ausgangssignal (d) des D-FF **54** sind in der Periode vom Zeitpunkt t2 zum Zeitpunkt t3, der Periode vom Zeitpunkt t6 zum Zeitpunkt t7, der Periode vom Zeitpunkt t10 zum Zeitpunkt t11, der Periode vom Zeitpunkt t12 zum Zeitpunkt t13 und der Periode vom Zeitpunkt t14 zum Zeitpunkt t15 voneinander verschieden.

[0200] In den oben spezifizierten Perioden zeigt das Ausgangssignal (f) des EX-ODER-Tores **56** den „H"-Pegel. In anderen Perioden weist, da beide der Signalpegel des Q-Ausgangssignals (c) des D-FF **53** und des Q-Ausgangssignals (d) des D-FF **54** entweder der „H"-Pegel oder der „L"-Pegel sind, das Ausgangssignal (f) des EX-ODER-Tores **56** den „L"-Pegel auf. Das Ausgangssignal (f) des EX-ODER-Tores **56** wird als das AB-Impulssignal benutzt.

[0201] Auf diese Weise wird jedes Mal, wenn sich das Eingangssignal DATEN ändert, jede der Impulswellenformen des AUF-Impulssignals (e) und des AB-Impulssignals (f) einmal erzeugt. Beim beschriebenen Schaltungsbeispiel ist die Impulsbreite des AB-Impulssignals (f) immer fest, und es wird die Phasensteuerung durch Einstellen der Impulsbreite des AUF-Impulssignals (e) ausgeführt.

[0202] Wenn das Eingangssignal DATEN keine Leistungsverzerrung aufweist, beginnt, wenn sich die Frequenzdetektionsschaltung **12** einem auf einer besonderen Frequenz verriegelten Zustand nähert, die Phasendetektionsschaltung **11** während des Betriebs der Frequenzdetektionsschaltung **12** zu arbeiten, und der Zeitpunkt einer Anstiegsflanke, bei welcher sich der Pegel des Taktsignals I'CLK vom „L"-Pegel in den „H"-Pegel ändert, wird durch die Arbeitsweise der oben beschriebenen Phasendetektionsschaltung **11** insbesondere mit dem Zentrum der Breite eines Impulses (Wellenform) des Eingangssignals DATEN synchronisiert.

[0203] Es sei hier angenommen, dass beim Eingangssignal DATEN eine gewisse Leistungsverzerrung auftritt. Wenn die Frequenzdetektionsschaltung **12** der in Fig. 6 gezeigten Schaltungskonfiguration benutzt wird, kann, selbst wenn beim Eingangssignal DATEN eine gewisse Leistungsverzerrung auftritt, wie aus der vorhergehenden Beschreibung zu erkennen ist, die Frequenz korrekt detektiert werden. Wenn auf diese Weise eine Frequenzdetektion korrekt ausgeführt wird, wird, wenn bei der Phasendetektionsschaltung **11** in einer beliebigen Periode die Gesamtsumme von Impulsbreiten des AUF-Impulssignals und die Gesamtsumme von Impulsbreiten des AB-Impulssignals zueinander gleich werden, ein stabiler (verriegelter) Zustand hergestellt. Auch ist im stabilen Zustand der Zeitpunkt einer Anstiegsflanke des Taktsignals I'CLK im Zentrum des Augenmusters des Eingangssignals DATEN positioniert.

[0204] Ein Beispiel eines Phasensynchronismus wird anhand des Timingdiagramms der Fig. 12 beschrieben. In Fig. 12 zeigt die Wellenform (a) das Eingangssignal DATEN, wenn das Tastverhältnis hoch ist, zeigt die Wellenform (b) das Eingangssignal DATEN, wenn das Tastverhältnis niedrig ist, zeigt die Wellenform (c) das Taktsignal I'CLK, zeigt die Wellenform (d) das Taktsignal ICLK und zeigt die Wellenform (e) das Taktsignal QCLK.

[0205] Wie der Fig. 12 entnommen werden kann, ist der Zeitpunkt einer Anstiegsflanke des Taktsignals I'CLK (c) beim Zentrum der Wellenform (Breite) des Eingangssignals DATEN (a), bei dem das Tastverhältnis hoch ist, positioniert und auch mit dem Zentrum der Wellenform (Breite) des Eingangssignals DATEN (b), bei dem das Tastverhältnis niedrig ist, synchronisiert.

[0206] Auf diese Weise ist, wenn die Phase verriegelt ist, selbst wenn die Impulsbreite des Eingangssignals DATEN durch die Leistungsverzerrung des Eingangssignals DATEN zunimmt oder abnimmt, der Zeitpunkt einer Anstiegsflanke des Taktsignals I'CLK beim Zentrum der Periode (Impulsbreite) des „H"-Pegels des Eingangssignals DATEN positioniert.

[0207] Wie oben im Zusammenhang mit der verwandten Technik beschrieben, ist, wenn der Zeitpunkt einer Anstiegsflanke des Taktsignals ICLK beim Zentrum des Augenmusters des Eingangssignals DATEN positioniert ist und die Phasendetektionsschaltung die Taktsignale ICLK und QCLK bei einem Änderungspunkt des Eingangssignals DATEN abtastet, der Abtastwert des Taktsignals ICLK durch die Frequenzdetektionsschaltung in Bezug auf eine Variation des Tastverhältnisses des Eingangssignals DATEN in einem verriegelten Zustand instabil.

[0208] Im Gegensatz dazu kann, wenn das Taktsignal I'CLK, das in Bezug auf das Taktsignal ICLK eine vorbestimmte Phase, beispielsweise eine um 45 Grad verzögerte Phase aufweist, auf der Basis des Oszillationsfrequenztakts VCOCLK des VCO **16** erzeugt wird, und der Zeitpunkt einer Anstiegsflanke des Taktsignals I'CLK durch die oben beschriebene Phasendetektionsschaltung **11** beim Zentrum des Augenmusters des Eingangssignals DATEN in einem phasenverriegelten Zustand positioniert ist, die Widerstehungseigenschaft der Phasensteuerung gegen die Leistungsverzerrung wie oben beschrieben verbessert werden.

[0209] Insbesondere kann beispielsweise, da, wie dem Timingdiagramm der Fig. 12 zu entnehmen ist, das Taktsignal I'CLK (c) beim Zentrum zwischen dem Taktsignal ICLK (d) und dem Taktsignal QCLK (e) positioniert ist, die Periode, in der (ICLK, QCLK) = (0, 1) gilt, abgetastete Bereiche von einer Position (1), wenn das Eingangssignal DATEN eine zugenommene Impulsbreite aufweist, zu einer anderen Position (2), wenn das Eingangssignal DATEN eine abgenommene Impulsbreite aufweist, sein.

[0210] Da das Zentrum des Augenmusters des Eingangssignals DATEN bei der Position (1) oder (2), wenn das Eingangssignal DATEN eine zugenommene Impulsbreite oder eine abgenommene Impulsbreite aufweist, auf den Zeitpunkt einer Anstiegsflanke des Taktsignals I'CLK eingestellt ist, ist, selbst wenn die Impulsbreite des Eingangssignals DATEN variiert, die Variationsbreite des Tastverhältnisses, in welchem die Abtastwerte von (0, 1) aufrechterhalten sind, größer als die in der verwandten Technik, bei der, wie in Fig. 21 dargestellt, ein Abschnitt des Taktsignals ICLK in der Nähe einer Abfallsflanke bei einem Änderungspunkt des Eingangssignals DATEN abgetastet wird. Als ein Resultat wird die Variationsbreite des Tastverhältnisses, in welchem die Abtastwerte, wenn die Frequenzdetektionsschaltung **12** die Taktsignale ICLK und QCLK synchron mit dem Eingangssignal DATEN abtastet, fest sind, erhöht.

[0211] Wie oben beschrieben, werden in der PLL-Schaltung **10** (**10'**), welche die Phasendetektionsschaltung **11** und Frequenzdetektionsschaltung **12** aufweist, da die Frequenzdetektionsschaltung **12** die Taktsignale ICLK und QCLK nur bei einer Anstiegsflanke (oder Abfallsflanke) des seriellen Eingangssignals DATEN abtastet, selbst wenn das Tastverhältnis des Eingangssignals DATEN variiert, wenn die Frequenzen des Eingangssignals DATEN und der Taktsignale ICLK und QCLK miteinander koinzidieren, Sätze von Abtastwerten des Taktsignals ICLK und des Taktsignals QCLK immer zueinander gleich. Folglich erzeugt die Frequenzdetektionsschaltung **12** insgesamt kein falsches Steuerungssignal (AUF-Impulssignal/AB-Impulssignal) und kann eine stabilisierte PLL-Arbeitsweise erzielen.

[0212] Außerdem stellt, da der Taktgenerator **17** das Taktsignal I'CLK, das in Bezug auf das Taktsignal ICLK eine spezielle Phase, beispielsweise eine um 45 Grad verzögerte Phase aufweist, auf der Basis des Oszillationsfrequenztakts VCOCLK des VCO **16** erzeugt und das Taktsignal I'CLK zusammen mit dem Eingangssignal DATEN in die Phasendetektionsschaltung **11** eingibt, die Phasendetektionsschaltung **11** das Anstiegstiming des Taktsignals I'CLK auf das Zentrum der Impulsbreite (beispielsweise der „H"-Pegel-Periode) des Eingangssignals DATEN ein.

[0213] Folglich wird die Widerstehungseigenschaft (stabiles Gebiet) der Phasensteuerung gegen einen metastabilen Zustand, der auftritt, wenn das Tastverhältnis des Eingangssignals DATEN während einer Abtastung von beispielsweise (ICLK, QCLK) = (0, 1) in der Nähe eines Verriegelungspunktes einer speziellen Frequenz in der Frequenzdetektionsschaltung **12** variiert, verbessert. Demgemäss besteht der Vorteil, dass, selbst wenn das Tastverhältnis des Eingangssignals DATEN variiert, die für die Frequenzdetektion der Frequenzdetektionsschaltung **12** erforderliche Konvergenzzeit kurz wird und eine Fehlfunktion der Frequenzdetektionsschaltung **12** mit einem Steuerungssignal weniger wahrscheinlich auftritt. Als ein Resultat fehlfunktioniert die Frequenzdetektionsschaltung **12**, die eine Komponente der PLL-Schaltung **10** (**10'**) ist, nicht, und deshalb ist die Arbeitsweise der ganzen PLL-Schaltung stabilisiert.

[0214] Es sei darauf hingewiesen, dass die oben beschriebene PLL-Schaltung, welche die Frequenzdetektionsschaltung **12** benutzt, die so konfiguriert ist, dass sie die Taktsignale ICLK und QCLK nur entweder bei der Anstiegs- oder Abfallsflanke des Eingangssignals DATEN abtastet, so konfiguriert ist, dass das Taktsignal I'CLK, das in Bezug auf das Taktsignal ICLK eine beispielsweise um 45 Grad verzögerte Phase aufweist, zusammen mit dem Eingangssignal DATEN in die Phasendetektionsschaltung **11** eingegeben wird. Jedoch ist die PLL-Schaltung nicht auf die beschriebene spezielle PLL-Schaltung beschränkt, sondern die vorliegende Erfindung kann auch bei einer PLL-Schaltung angewendet werden, die eine so konfigurierte konventionelle Frequenzdetektionsschaltung, dass sie die Taktsignale ICLK und QCLK sowohl bei der Anstiegs- als auch Abfallsflanke des Eingangssignals DATEN abtastet, benutzt.

[0215] Fig. 13 ist ein Blockschaltbild, das ein Beispiel einer Konfiguration eines optischen Kommunikationsempfangsgeräts zeigt, bei dem die vorliegende Erfindung angewendet ist. Nach Fig. 13 wird ein optisches Signal empfangen und von einem Photodetektor (PD) **61** in ein elektrisches Signal umgesetzt und vom Photodetektor **61** als ein Signalstrom extrahiert. Der Signalstrom wird von einer Strom-Spannungs-Umsetzungsschaltung (S-zu-V-Umsetzungsschaltung) **62** in eine Signalspannung umgesetzt, von einem Verstärker **63** verstärkt und einer Retimingschaltung **64** und einer PLL-Schaltung **65** zugeführt.

[0216] Die PLL-Schaltung **65** extrahiert aus den ihr vom Verstärker **63** zugeführten empfangenen Daten eine in den empfangenen Daten enthaltene Taktkomponente und erzeugt und führt der Retimingschaltung **64** ein neues Taktsignal zu, das eine mit der Taktkomponente synchronisierte Phase aufweist. Die oben beschriebene PLL-Schaltung **10** (**10'**) kann als die PLL-Schaltung **65** benutzt werden. Die Retimingschaltung **64** zeitsteuert die ihr vom Verstärker **63** zugeführten empfangen Daten auf der Basis des ihr von der PLL-Schaltung **65** zugeführten Taktsignals neu (eine Art Wellenformgestaltung) und gibt die neu zeitgesteuerten empfangenen Daten aus.

[0217] Wenn die PLL-Schaltung, bei der die vorliegende Erfindung angewendet ist, als die PLL-Schaltung **65** des Empfangsgeräts zur Anwendung mit einer optischen Kommunikation, bei der beispielsweise digitale NRZ-Daten auf diese Weise benutzt werden, benutzt wird, ist, selbst wenn das Tastverhältnis des Eingangssignals in die PLL-Schaltung variiert, die zur Frequenzdetektion der Frequenzdetektionsschaltung erforderliche Konvergenzzeit kurz, und es tritt eine Fehlfunktion der Frequenzdetektionsschaltung mit einem Steuerungssignal weniger wahrscheinlich auf, und folglich kann eine stabilisierte PLL-Arbeitsweise erzielt werden. Folglich fehlfunktioniert die PLL-Schaltung **65** mit Daten eines Übertragungssignals, das leicht eine Leistungsverzerrung erleidet, nicht, und demgemäss kann die Retimingverarbeitung durch die Retimingschaltung **64** mit einem höheren Grad an Sicherheit ausgeführt werden.

[0218] Es sei darauf hingewiesen, dass, wenn die vorliegende Erfindung bei einem Empfangsgerät für optische Kommunikation angewendet ist, die Anwendung der vorliegenden Erfindung nicht darauf beschränkt ist, sondern dass die vorliegende Erfindung insbesondere bei Verarbeitungssystemen, die leicht eine Leistungsverzerrung erleidende Daten verarbeiten, angewendet werden kann.

[0219] Wenn eine bevorzugte Ausführungsform der vorliegenden Erfindung unter Benutzung spezieller Ausdrücke beschrieben worden ist, so dient diese Beschreibung nur illustrativen Zwecken, und es ist so zu verstehen, dass Änderungen und Variationen ohne Verlassen des Schutzbereichs der beigefügten Ansprüche gemacht werden können.

Patentansprüche

1. PLL-Schaltung (**10**), aufweisend:

einen Oszillator (**16**) zur Erzeugung eines Oszillationsfrequenzsignals, das eine variable Oszillationsfrequenz aufweist,

eine Signalerzeugungsschaltung (**17**) zur Erzeugung eines eine Phase gleich der des Oszillationsfrequenzsignals aufweisenden ersten Signals (ICLK), eines eine feste Phasendifferenz vom ersten Signal aufweisenden zweiten Signals (QCLK) und eines eine Phasendifferenz kleiner als die Phasendifferenz zwischen dem ersten und zweiten Signal vom ersten Signal aufweisenden dritten Signals (I'CLK) auf der Basis des Oszillationsfrequenzsignals des Oszillators,

eine Phasendetektionsschaltung (**11**) zur Ausgabe eines ersten Phasensteuerungssignals zum Vorschub der Phase des Oszillationsfrequenzsignals des Oszillators oder eines zweiten Phasensteuerungssignals zur Verzögerung der Phase des Oszillationsfrequenzsignals des Oszillators auf der Basis eines Resultats eines Vergleichs, und

eine Frequenzdetektionsschaltung (**12**) zum Abrufen des von der Signalerzeugungsschaltung erzeugten ersten und zweiten Signals synchron mit einem Eingangssignal und zur Ausgabe eines ersten Frequenzsteuerungssignals zum Hochsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators oder eines zweiten Frequenzsteuerungssignals zum Herabsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators auf der Basis der abgerufenen Signale,

dadurch gekennzeichnet, dass das erste Signal (ICLK) und das zweite Signal (QCLK) unmittelbar benachbarte Phasen sind und von der Frequenzdetektionsschaltung entweder nur an der ansteigenden

oder nur an der fallenden Flanke des Eingangssignals abgetastet werden, wobei die Phase des zweiten Signals (QCLK) um 90 Grad von der des ersten Signals (ICLK) verzögert ist und die Phase des dritten Signals (I'CLK) um einen Wert kleiner als 90 Grad von der des ersten Signals (ICLK) verzögert ist, und dass das von der Phasendetektionsschaltung (**11**) ausgegebene erste und zweite Steuerungssignal auf einem Resultat des Vergleichs zwischen dem Eingangssignal und dem eine Phasendifferenz kleiner als die Phasendifferenz zwischen dem ersten und zweiten Signal vom ersten Signal aufweisenden dritten Signal (I'CLK) basieren,

2. PLL-Schaltung nach Anspruch 1, wobei das erste, zweite und dritte Signal (ICLK, QCLK, I'CLK) Taktsignale sind.

3. PLL-Schaltung nach Anspruch 1, wobei die Phase des dritten Signals (I'CLK) um 45 Grad von der des ersten Signals (ICLK) verzögert ist.

4. PLL-Schaltung nach Anspruch 1, wobei die Frequenzdetektionsschaltung (**12**) das erste und zweite Signal (ICLK, QCLK) synchron mit dem Eingangssignal für jede Periode des Eingangssignals abruft, die laufend abgerufenen Signale und die vorher abgerufenen Signale logisch bearbeitet und das erste Frequenzsteuerungssignal zum Hochsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators (**16**) oder das zweite Frequenzsteuerungssignal zum Herabsetzen der Frequenz des Oszillationsfrequenzsignals des Oszillators auf der Basis eines Resultats der logischen Bearbeitung ausgibt.

5. PLL-Schaltung nach Anspruch 4, wobei die Frequenzdetektionsschaltung (**12**) eine erste Abtastschaltung (**124**) zum Abrufen des ersten Signals synchron mit dem Eingangssignal für jede Periode des Eingangssignals, eine zweite Abtastschaltung (**125**) zum Abrufen des zweiten Signals synchron mit dem Eingangssignal für jede Periode des Eingangssignals und eine Steuerlogikschaltung (**126**) zum Speichern der von der ersten und zweiten Abtastschaltung abgerufenen Signale, logischen Bearbeiten der gespeicherten Signale und der danach von der ersten und zweiten Abtastschaltung abgerufenen Signale und Erzeugen des ersten Frequenzsteuerungssignals oder des zweiten Frequenzsteuerungssignals auf der Basis eines Resultats der logischen Bearbeitung aufweist.

6. PLL-Schaltung nach Anspruch 5, wobei die Steuerlogikschaltung (**126**) eine erste Logikbearbeitungsschaltung (**36**) zur logischen Bearbeitung von Ausgangssignalen der ersten und zweiten Abtastschaltung (**124**, **125**), eine erste Speicherschaltung (**37**) zum Speichern eines Ausgangssignals der ersten Logikbearbeitungsschaltung, eine zweite Logikbearbeitungsschaltung (**38**) zur logischen Bearbeitung der Ausgangssignale der ersten und zweiten Abtastschaltung und des gespeicherten Signals der ersten Speicherschaltung, eine dritte Logikbearbeitungsschaltung (**39**) zur logischen Bearbeitung eines durch die logische Bearbeitung der Ausgangssignale der ersten und zweiten Abtastschaltung und des gespeicherten Signals der ersten Speichereinrichtung erhaltenen Signals, eine zweite Speichereinrichtung (**40**) zum Speichern eines Ausgangssignals der zweiten Logikbearbeitungsschaltung und eine dritte Speichereinrichtung (**41**) zum Speichern eines Ausgangssignals der dritten Logikbearbeitungsschaltung aufweist.

7. PLL-Schaltung nach Anspruch 5, wobei die erste und zweite Abtastschaltung (**124**, **125**) das erste bzw. zweite Signal mit einem Timing einer ansteigenden Flanke oder fallenden Flanke des Eingangssignals abtastet.

8. PLL-Schaltung nach Anspruch 5, wobei jede der ersten und zweiten Abtastschaltung (**124**; **125**) eine Flip-Flop-Schaltung aufweist.

9. PLL-Schaltung nach Anspruch 8, wobei das Flip-Flop ein D-Typ-Flip-Flop ist.

10. PLL-Schaltung nach Anspruch 9, wobei die D-Typ-Flip-Flops das erste und zweite Signal mit einem Timing einer ansteigenden Flanke eines in sie eingegebenen Takts abrufen.

11. PLL-Schaltung nach Anspruch 6, wobei jede der ersten, zweiten und dritten Logikbearbeitungsschaltung (**36**, **38**, **39**) eine ODER-Schaltung aufweist.

12. PLL-Schaltung nach Anspruch 6, wobei jede der ersten, zweiten und dritten Speicherschaltung (**37**, **40**, **41**) eine Flip-Flop-Schaltung aufweist.

13. PLL-Schaltung nach Anspruch 12, wobei die Flip-Flop-Schaltung ein D-Typ-Flip-Flop ist.

14. Optisches Kommunikationsempfangsgerät, aufweisend:
eine Lichtempfangseinrichtung (**61**, **62**) zum Empfang eines optischen Signals, Umsetzen des optischen Signal in ein elektrisches Signal und Ausgeben des elektrischen Signals,
eine PLL-Schaltung (**65**) nach einem der Ansprüche 1 bis 13 zur Erzeugung eines mit dem Ausgangssignal der Lichtempfangseinrichtung synchronisierten Taktsignals, und
eine die Timingschaltung (**64**) zum Retiming des Ausgangssignals der Lichtempfangseinrichtung auf der Basis des von der PLL-Schaltung erzeugten Taktsignals.

Es folgen 18 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

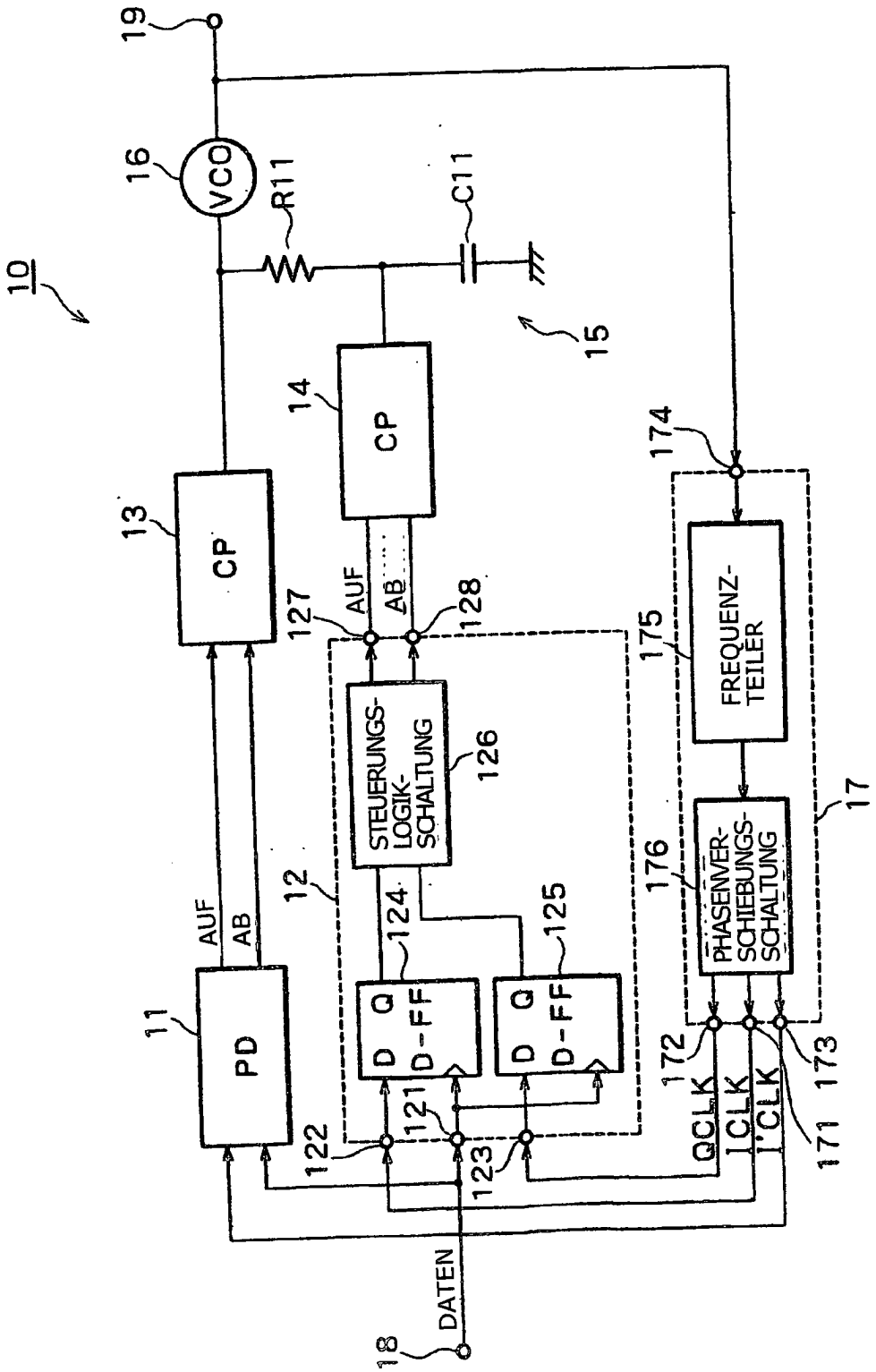


FIG. 2

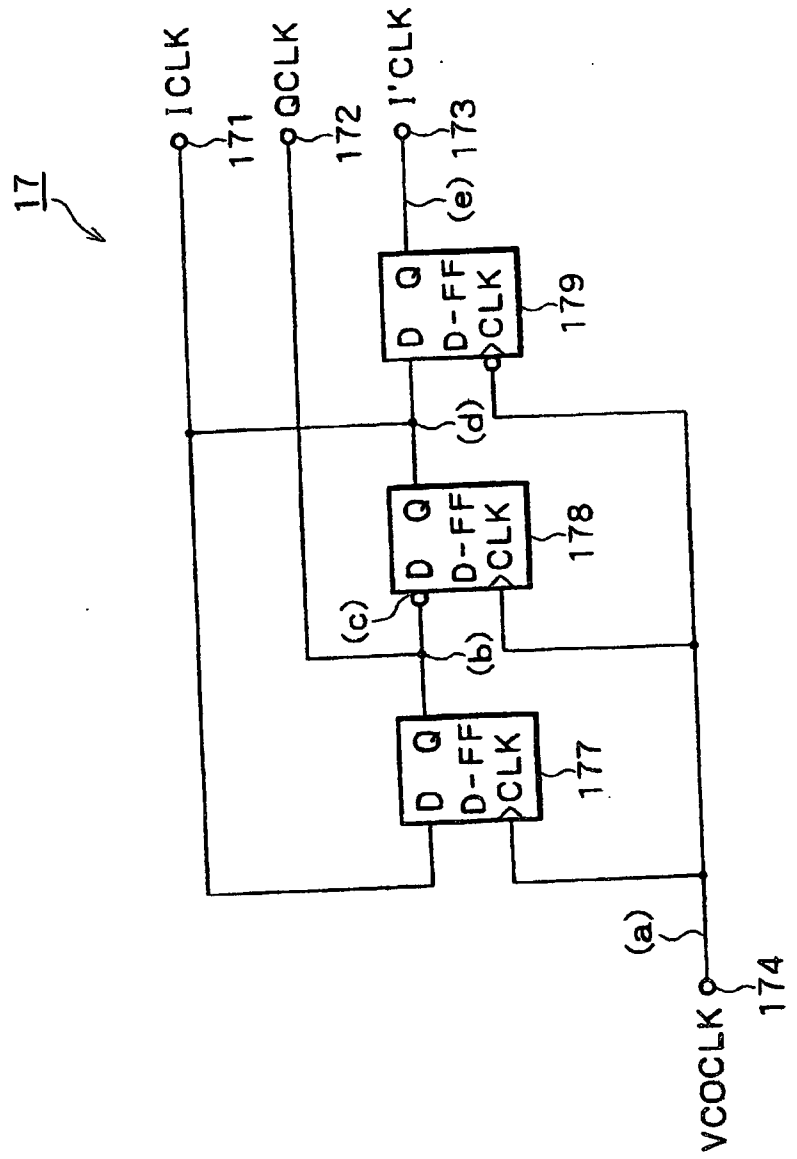

17
ICLK
171
QCLK
172
I'CLK
173
(e)
D Q
D-FF
CLK
179
(d)
D Q
D-FF
CLK
178
(c)
(b)
D Q
D-FF
CLK
177
(a)
VCOCLK
174

FIG. 3

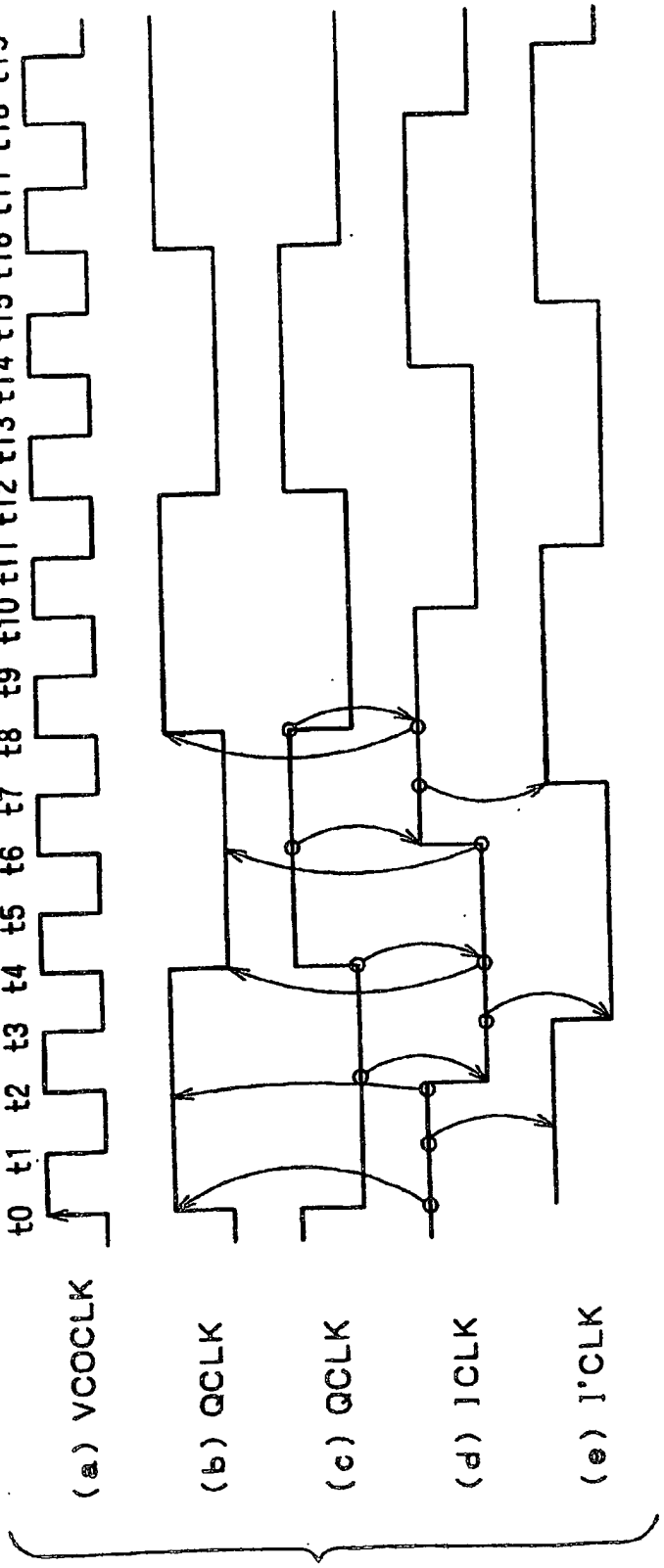

t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16 t17 t18 t19
(a) VCOCLK
(b) QCLK
(c) QCLK
(d) ICLK
(e) I'CLK

FIG. 4

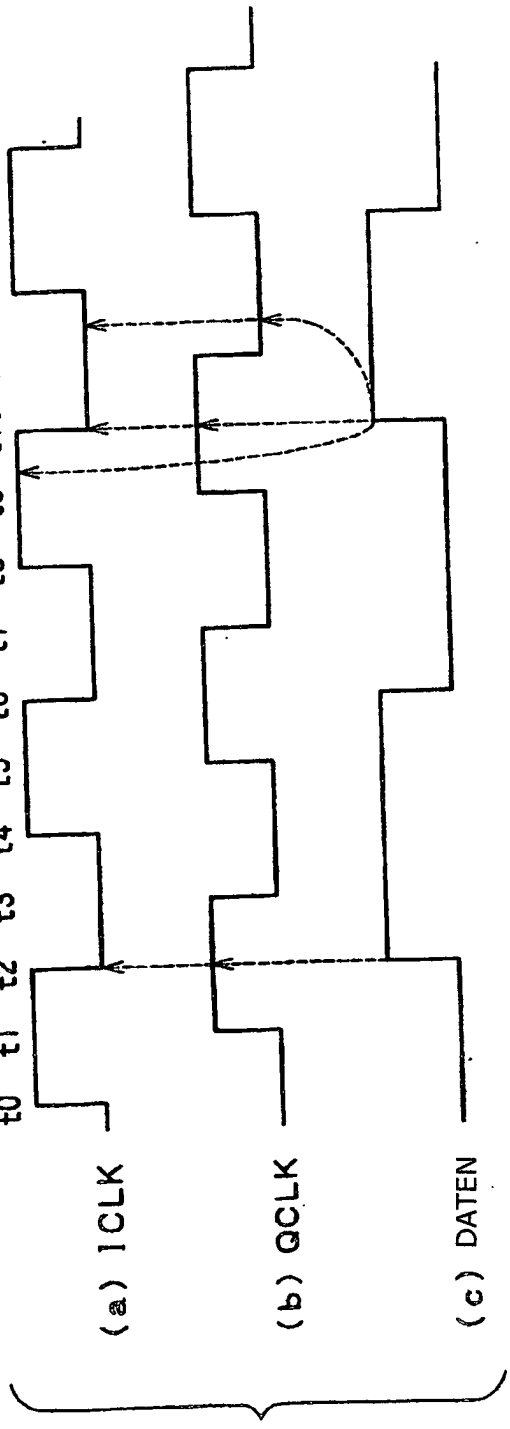

t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
(a) ICLK
(b) QCLK
(c) DATEN

FIG. 5

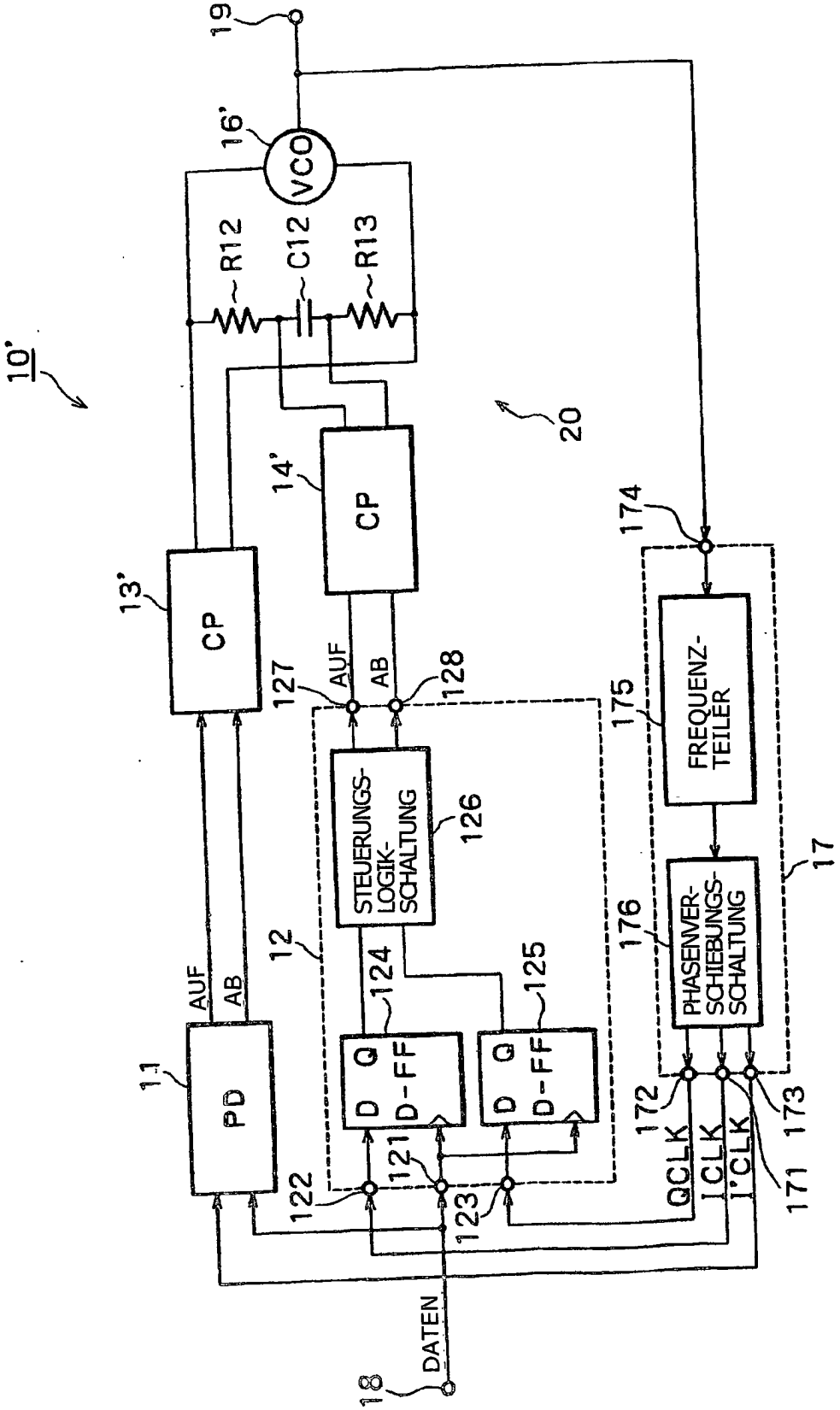

10'
19
16'
VCO
R12
C12
R13
20
14'
CP
13'
CP
174
FREQUENZ-TEILER
127
AUF
AB
128
175
STEUERUNGS-LOGIK-SCHALTUNG
126
17
12
124
125
176
PHASENVER-SCHIEBUNGS-SCHALTUNG
AUF
AB
11
PD
D Q
D-FF
D Q
D-FF
172
173
QCLK
ICLK
I'CLK
171
121
122
123
DATEN
18

FIG.6

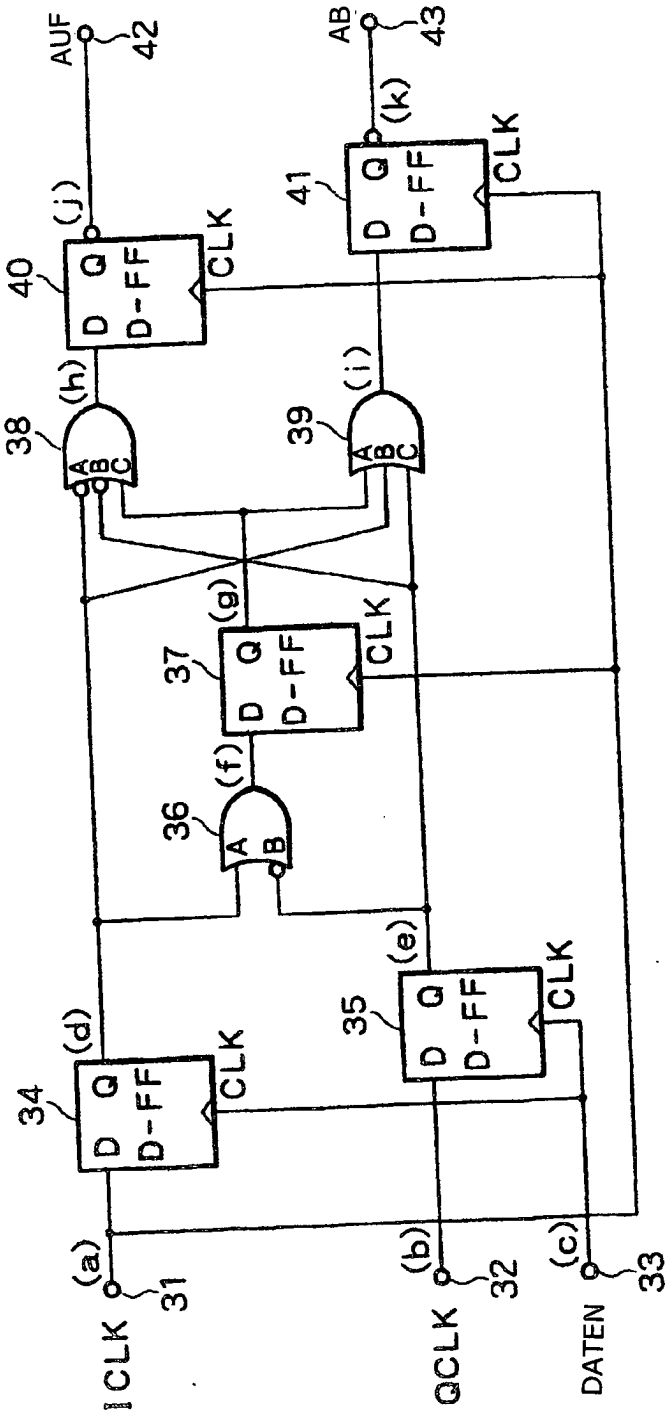

AUF
42
AB
43
(k)
41
D Q
D-FF
CLK
(j)
40
D Q
D-FF
CLK
(h)
38
A
B
C
(i)
39
A
B
C
(g)
37
D Q
D-FF
CLK
(f)
36
A
B
(e)
35
D Q
D-FF
CLK
(d)
34
D Q
D-FF
CLK
(a)
31
(b)
32
(c)
33
ICLK
QCLK
DATEN

FIG. 7

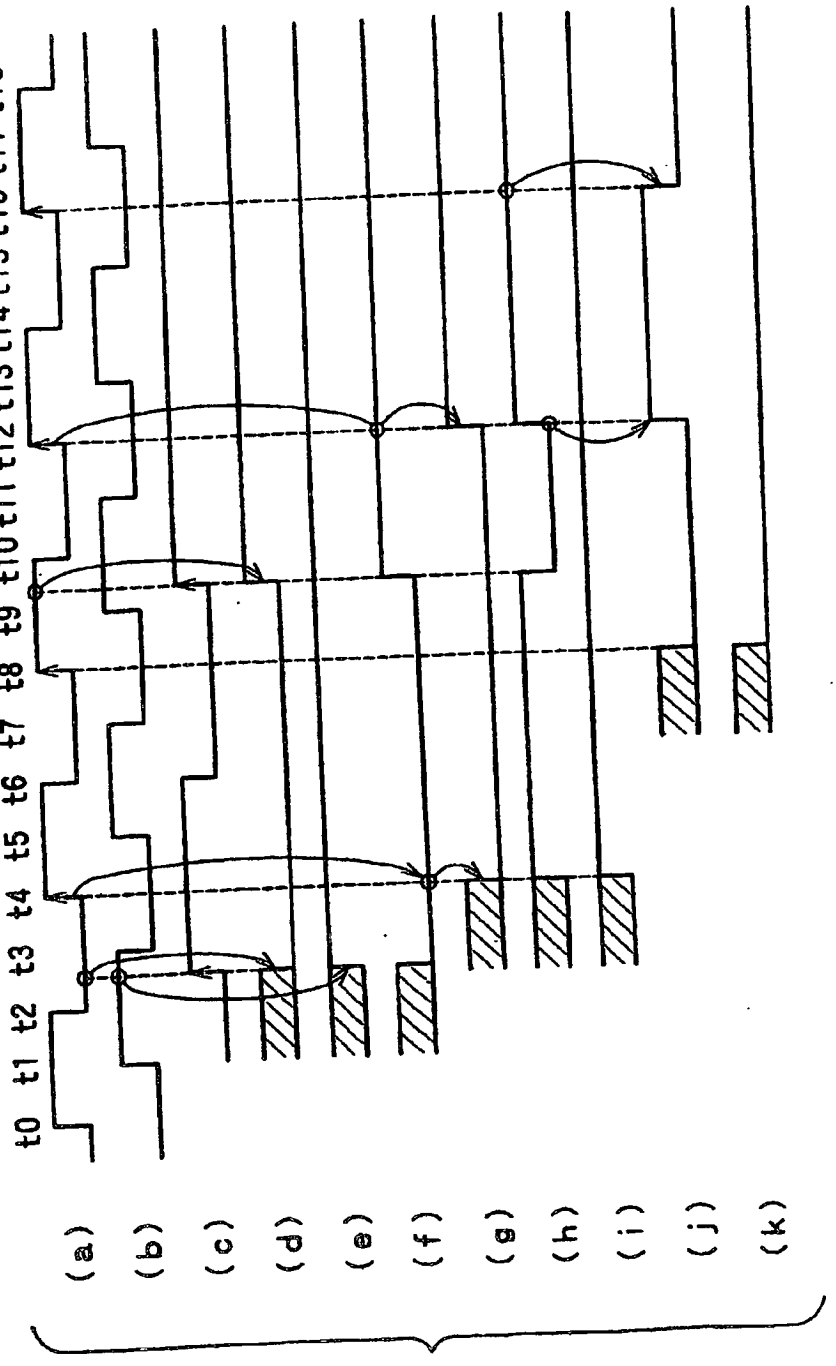

t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16 t17 t18
(a) (b) (c) (d) (e) (f) (g) (h) (i) (j) (k)

FIG. 8

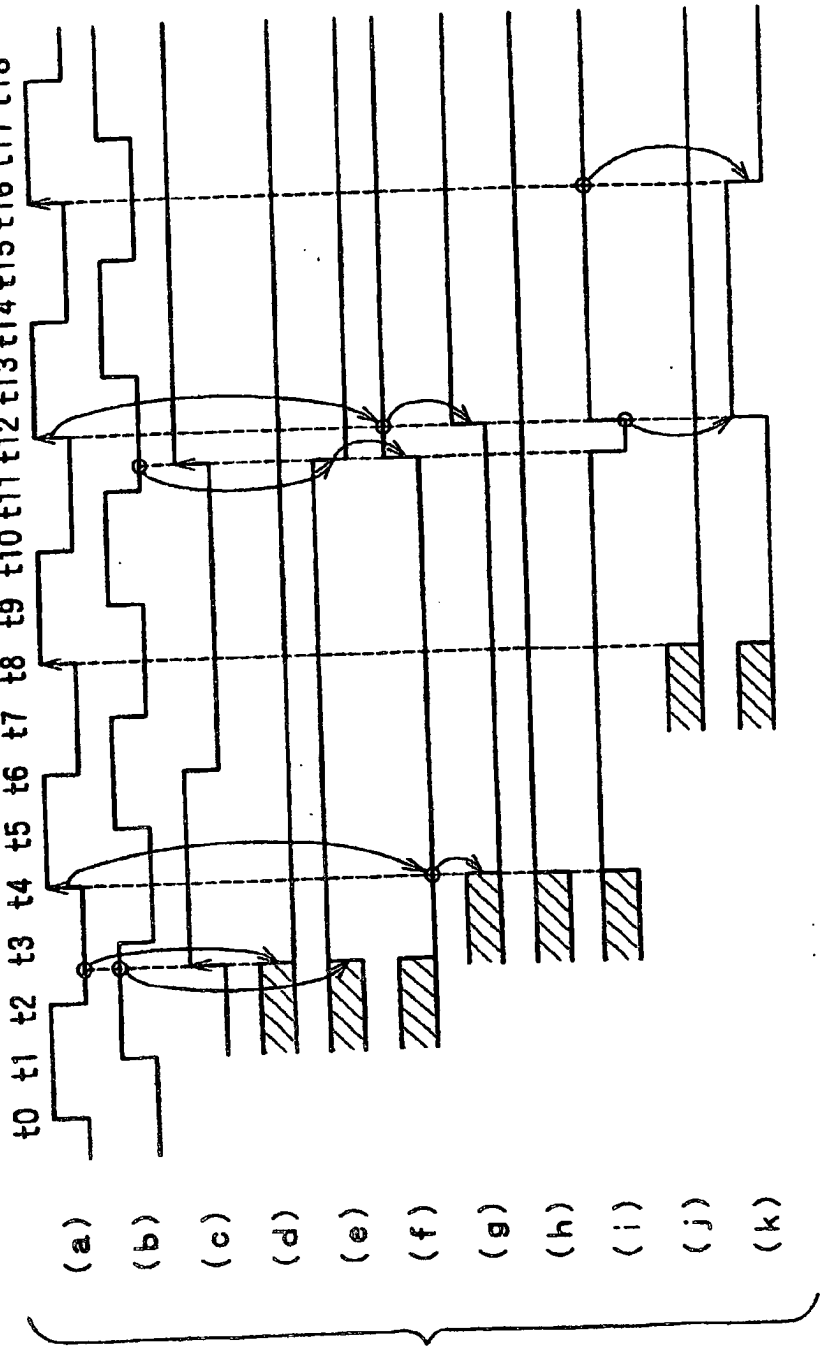

t0 t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13 t14 t15 t16 t17 t18
(a) (b) (c) (d) (e) (f) (g) (h) (i) (j) (k)

FIG. 9

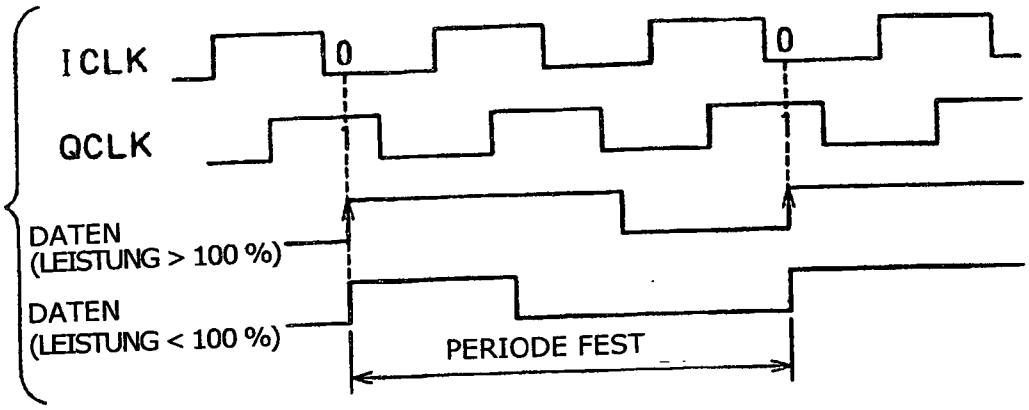

ICLK
QCLK
DATEN
(LEISTUNG > 100 %)
DATEN
(LEISTUNG < 100 %)
PERIODE FEST

FIG. 10

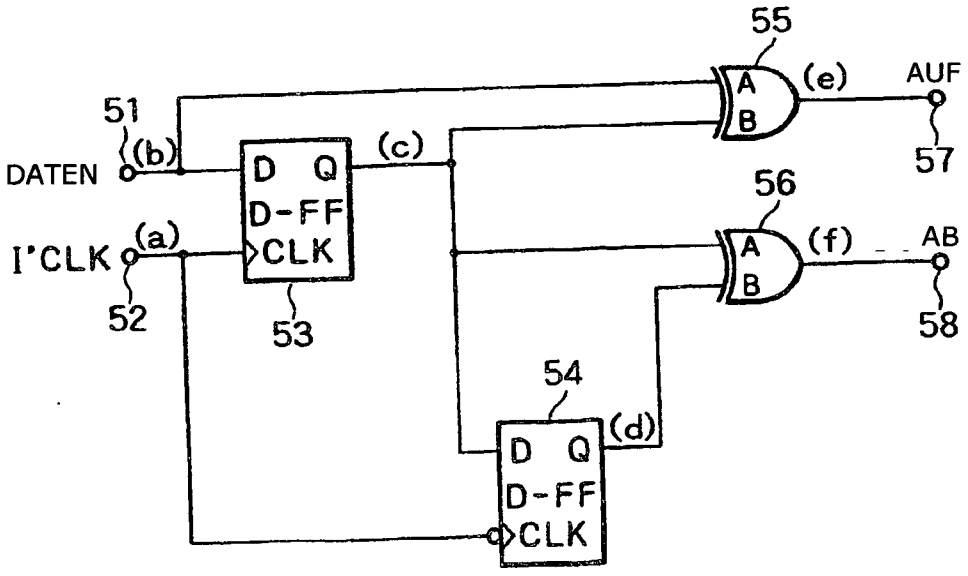

55
(e)
AUF
57
51
(b)
DATEN
D Q
D-FF
CLK
(c)
56
(f)
AB
58
(a)
I'CLK
52
53
54
(d)
D Q
D-FF
CLK

FIG. 11

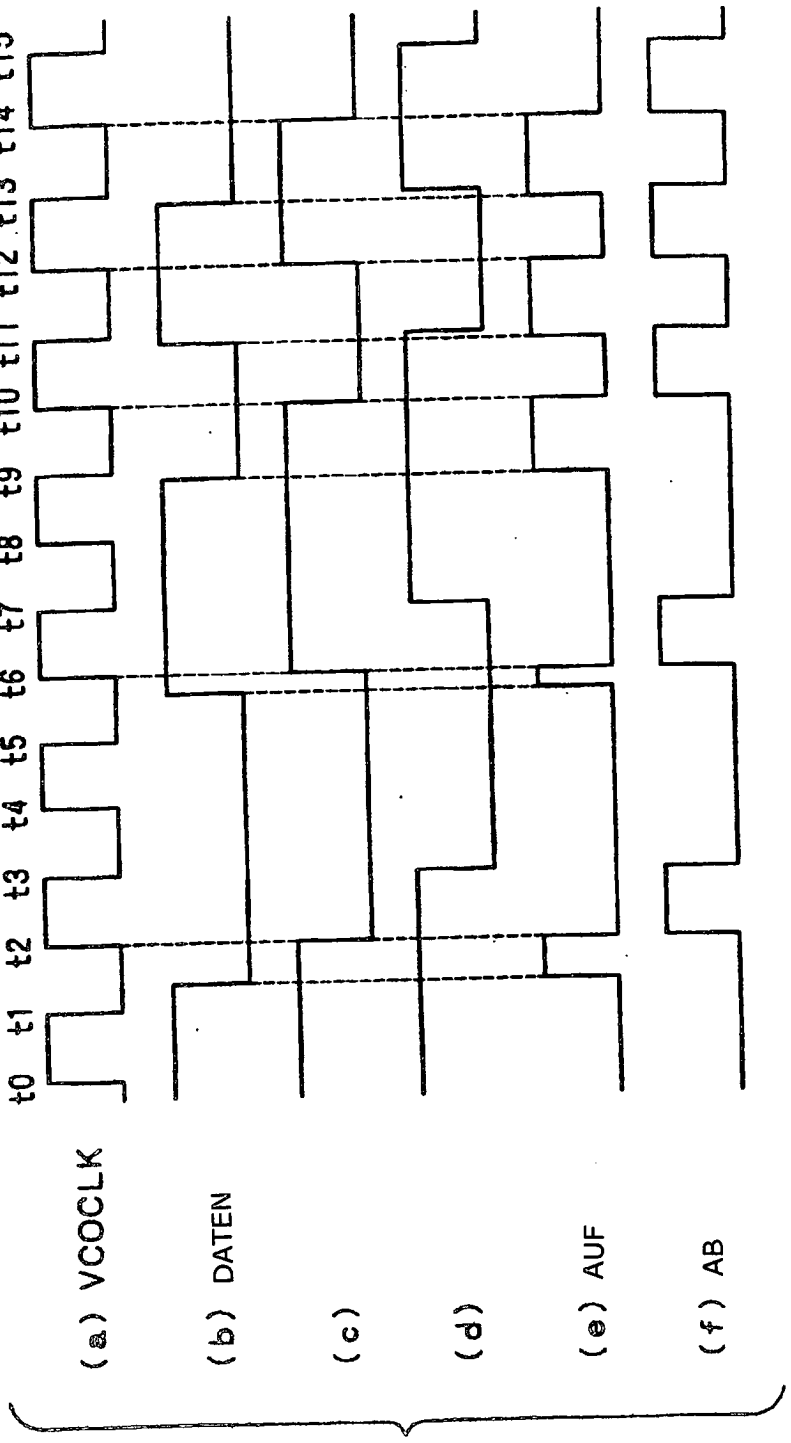

t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
(a) VCOCLK
(b) DATEN
(c)
(d)
(e) AUF
(f) AB

FIG. 12

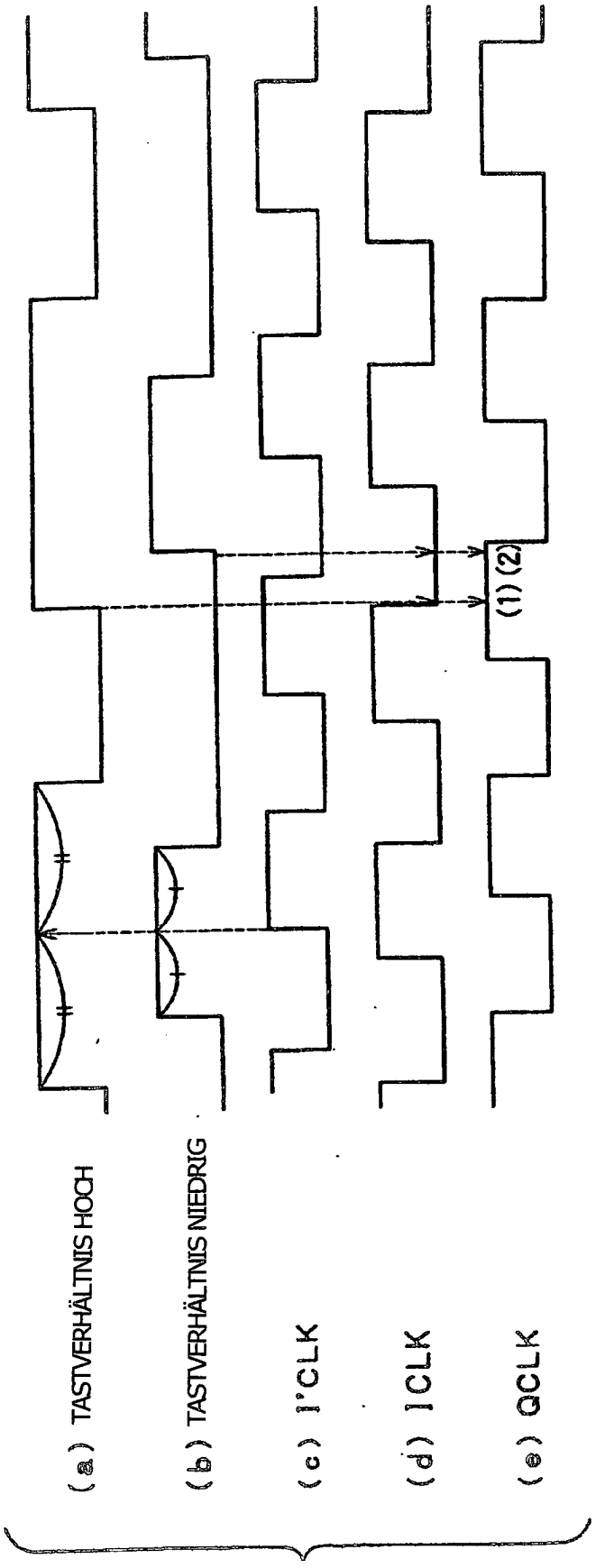

(a) TASTVERHÄLTNIS HOCH
(b) TASTVERHÄLTNIS NIEDRIG
(c) I'CLK
(d) ICLK
(e) QCLK
(1) (2)

FIG. 13

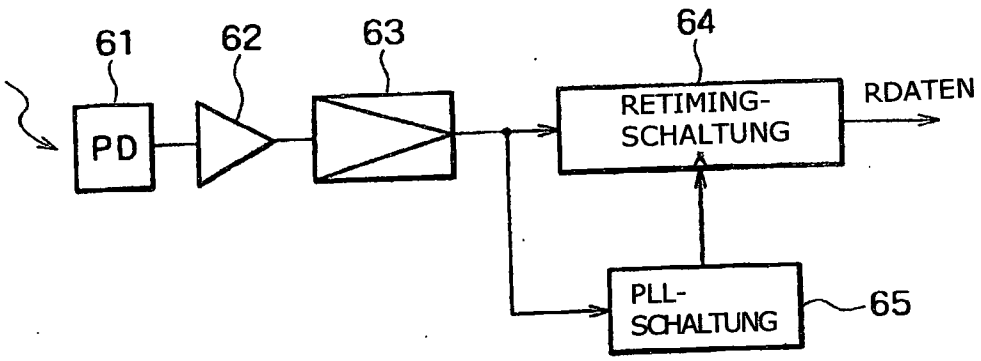


FIG. 14 STAND DER TECHNIK

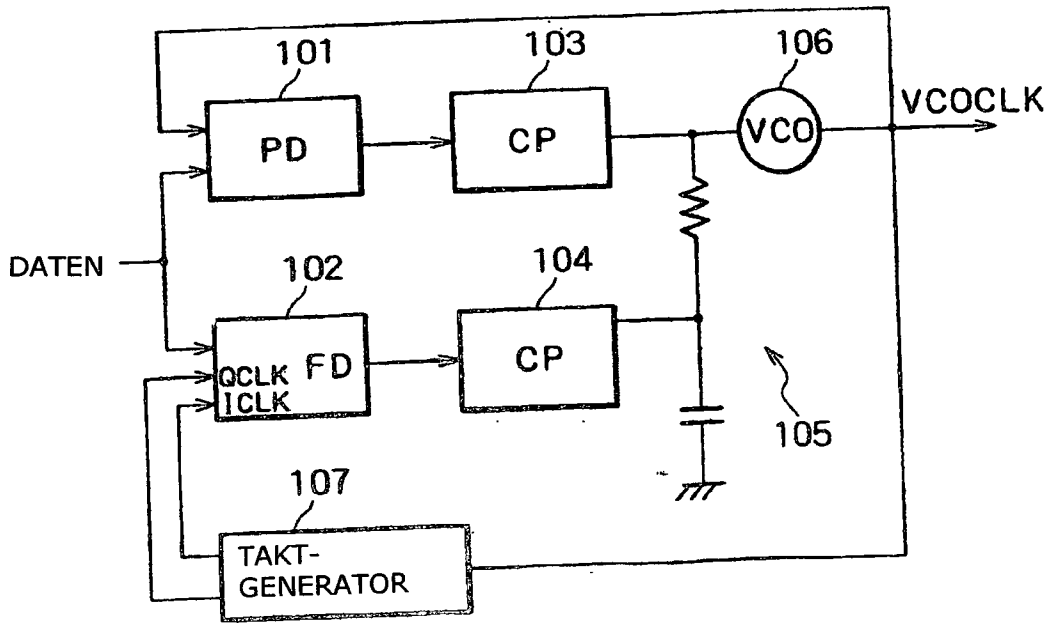


FIG. 15 STAND DER TECHNIK

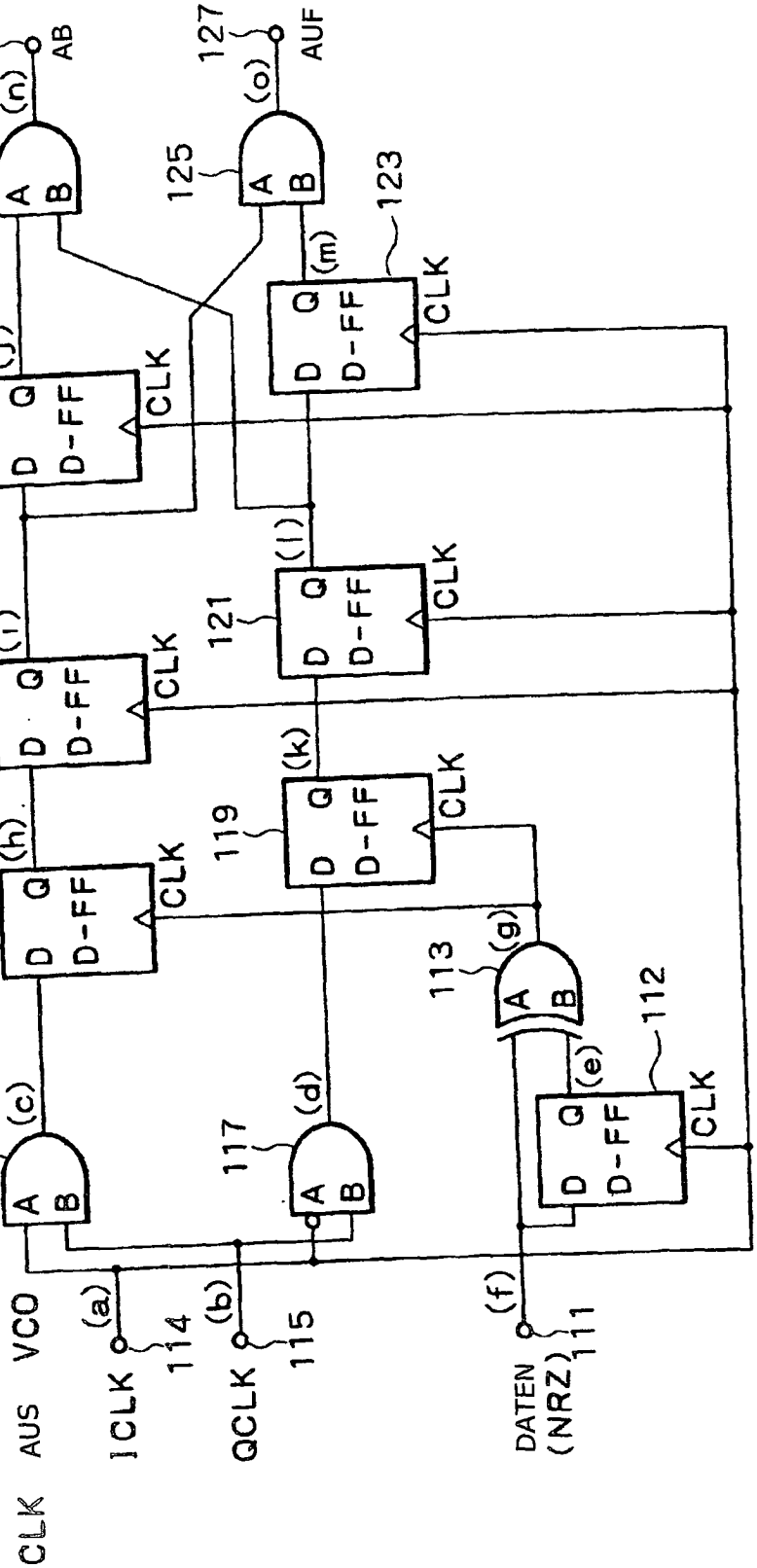


FIG. 16 STAND DER TECHNIK

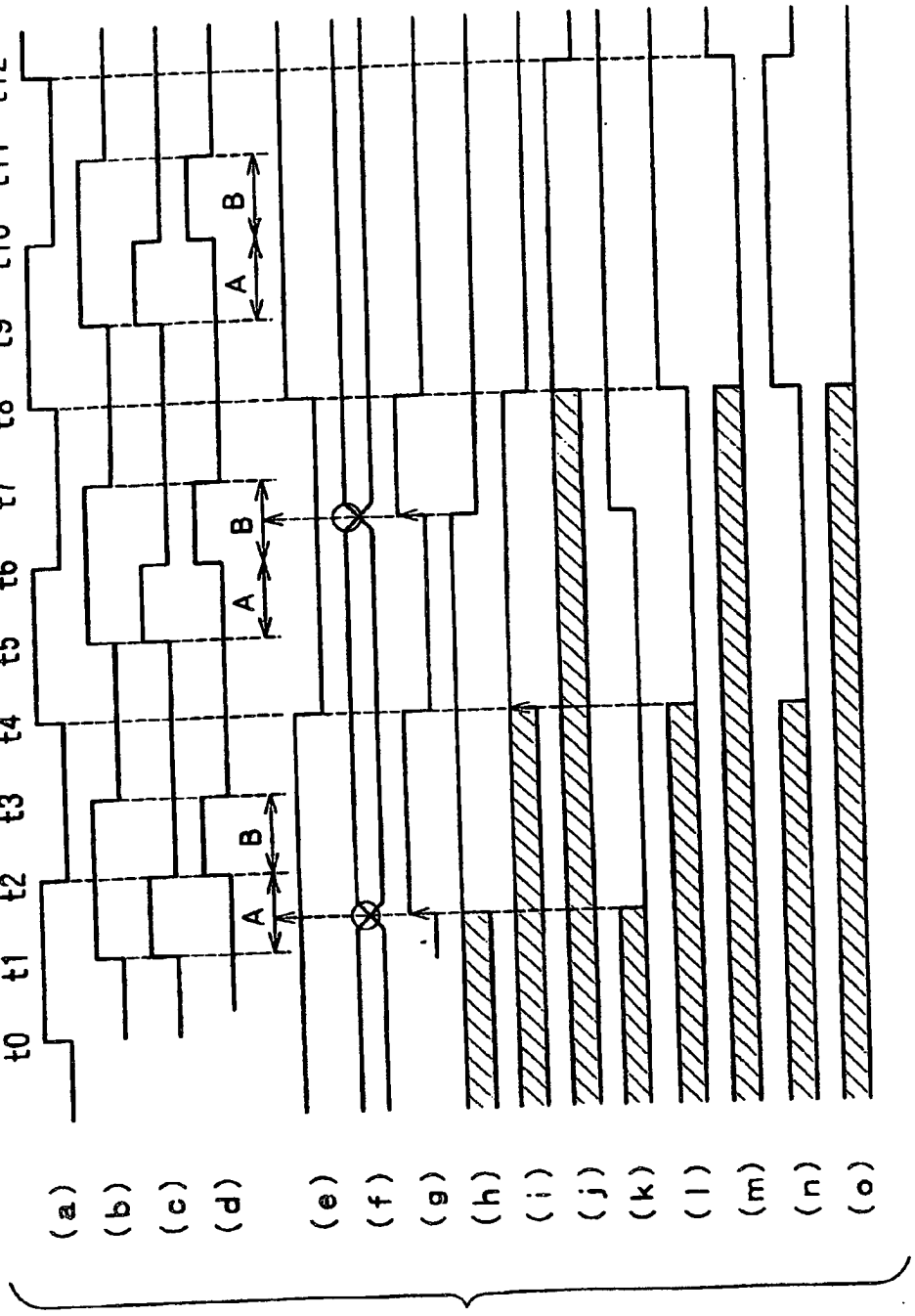


FIG. 17 STAND DER TECHNIK

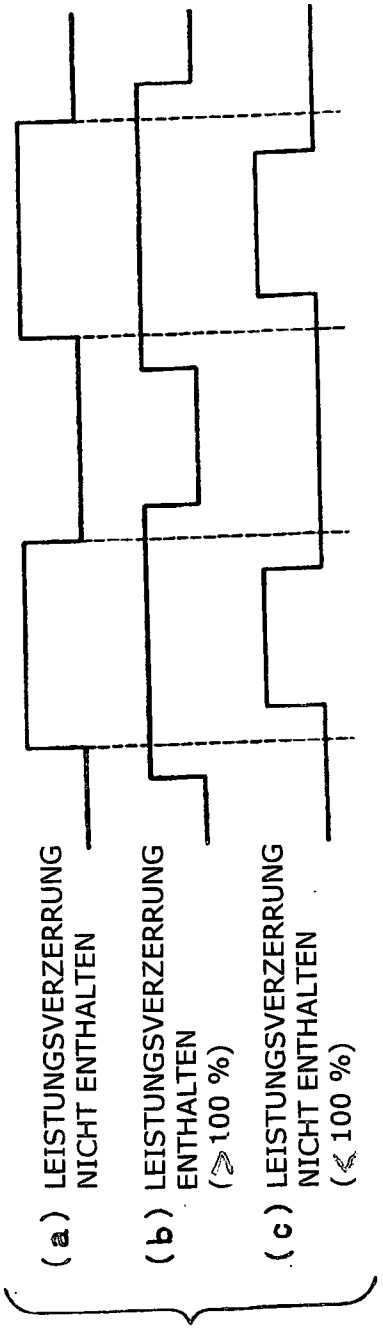


FIG. 18 STAND DER TECHNIK

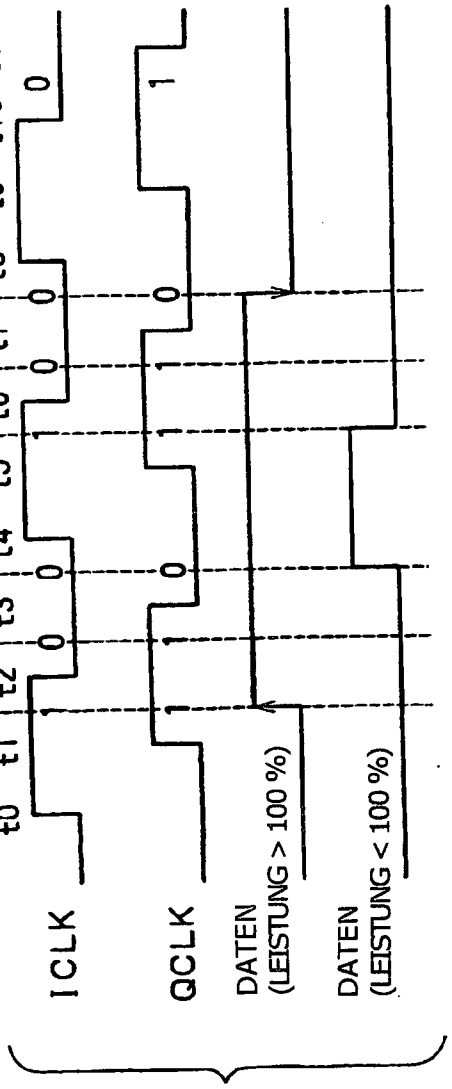
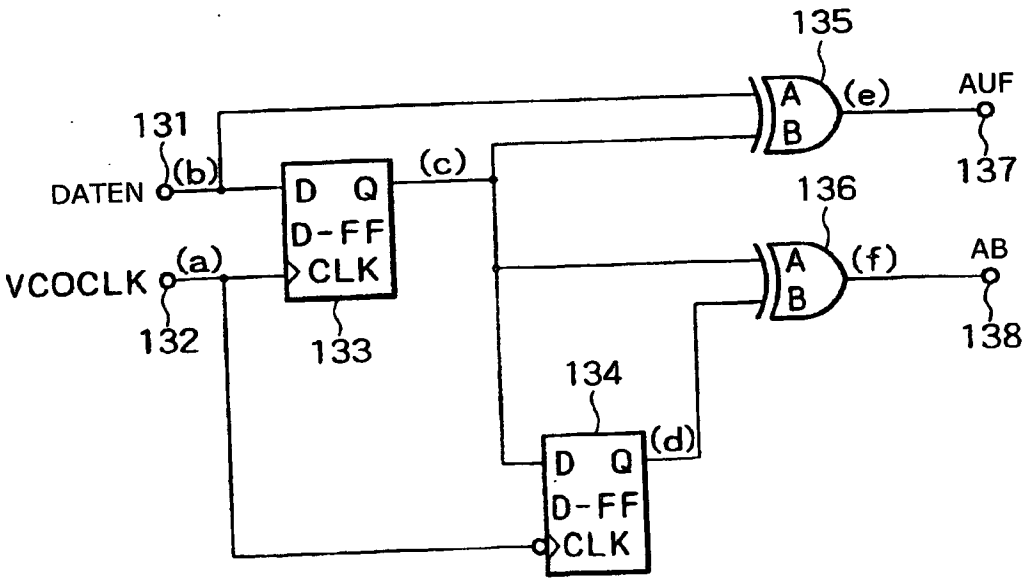


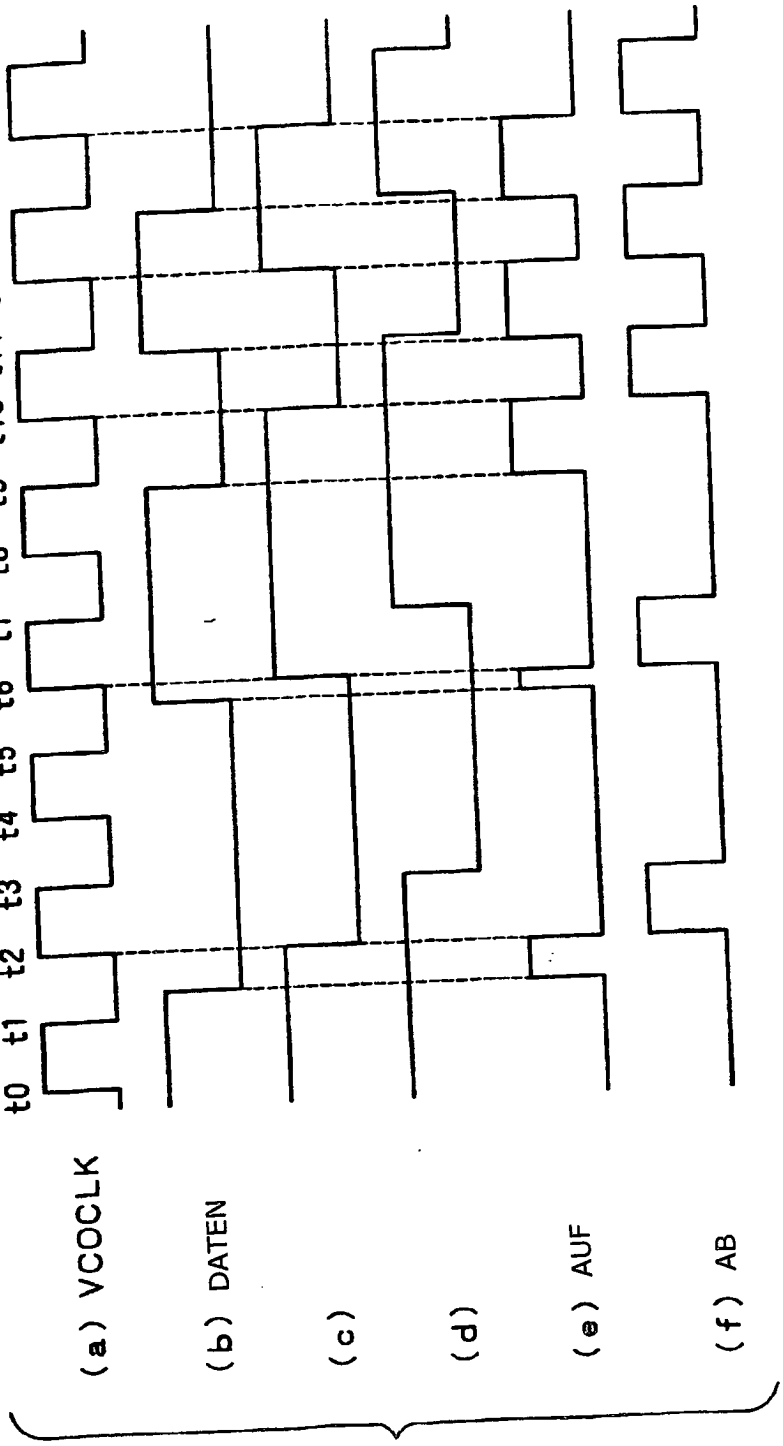
FIG.19



STAND DER TECHNIK

STAND DER TECHNIK

FIG. 20



STAND DER TECHNIK FIG. 21

