



(12) 发明专利

(10) 授权公告号 CN 1574360 B

(45) 授权公告日 2011. 04. 20

(21) 申请号 200410064057. 4

US 6444545 B1, 2002. 09. 03, 说明书第 2 栏  
9 - 52 行, 第 3 栏 11 - 28 行, 45 - 65 行, 第 4 栏  
64 行 - 第 5 栏 16 行、附图 1 - 4, 10.

(22) 申请日 2004. 05. 20

(30) 优先权数据

31909/03 2003. 05. 20 KR

审查员 闫东

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金柱亨 金桢雨 蔡洙杜 郑渊硕

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 李晓舒 魏晓刚

(51) Int. Cl.

H01L 27/10(2006. 01)

H01L 27/108(2006. 01)

(56) 对比文件

US 6288943 B1, 2001. 09. 11, 全文.

WO 0203430 A2, 2002. 01. 10, 全文.

US 6208000 B1, 2001. 03. 27, 全文.

EP 0843361 A1, 1998. 05. 20, 全文.

US 5714766 A, 1998. 02. 03, 全文.

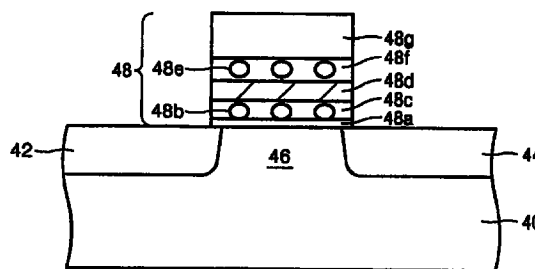
权利要求书 1 页 说明书 4 页 附图 4 页

(54) 发明名称

具有纳米晶体层的 SONOS 存储器件

(57) 摘要

本发明公开了一种具有纳米晶体层的 SONOS 存储器件。该 SONOS 存储器件包括存储型晶体管，该存储型晶体管包括在半导体衬底上具有 SONOS 结构的栅极。该栅极由隧道氧化物层、具有在其中俘获穿过隧道氧化物层的电荷的俘获位置的存储节点层、以及栅极电极形成。存储节点层包括由彼此分开的纳米晶体构成的晶体层以俘获电荷。



1. 一种包括存储型晶体管的 SONOS 存储器件，其中在半导体衬底上形成具有 SONOS 结构的栅极，其中该栅极包括：

隧道氧化物层；

存储节点层，在该隧道氧化物层上形成，并且具有在其中俘获穿过该隧道氧化物层的电荷的俘获位置；以及

栅极电极，在该存储节点层上形成，

其中该存储节点层包括具有预定密度的俘获位置的第一介电层、以及由彼此分开的纳米晶体构成的第一晶体层以俘获该电荷，该第一介电层不包括纳米晶体，且该第一晶体层通过绝缘层与该第一介电层分隔开。

2. 如权利要求 1 的 SONOS 存储器件，其中该存储节点层还包括由彼此分开的纳米晶体构成的第二晶体层，所述第二晶体层位于该第一介电层的与该第一晶体层相反的一侧，且所述第二晶体层通过另一绝缘层与该第一介电层分隔开。

3. 如权利要求 1 的 SONOS 存储器件，其中该存储节点层还包括具有预定密度的俘获位置的第二介电层，该第二介电层不包括纳米晶体，该第二介电层位于该第一晶体层的与该第一介电层相反的一侧，且该第二介电层通过所述绝缘层与该第一晶体层分隔开。

4. 如权利要求 1 的 SONOS 存储器件，其中该第一介电层是氮化物层。

5. 如权利要求 3 的 SONOS 存储器件，其中该第二介电层是氮化物层。

6. 如权利要求 3 的 SONOS 存储器件，其中在该存储节点层与该栅极电极之间插入阻挡氧化物层。

## 具有纳米晶体层的 SONOS 存储器件

### 技术领域

[0001] 本发明涉及一种半导体存储器件，特别涉及一种具有纳米晶体层的 SONOS 存储器件，由此在不增大 SONOS 存储器件尺寸的情况下提高集成度。

### 背景技术

[0002] 半导体存储器件的数据存储能力与每单位面积的存储单元个数（即，存储器件的集成度）成比例。半导体存储器件包括连接在电路中的多个存储单元。

[0003] 通常，半导体存储器件（例如 DRAM）的一个存储单元包括一个晶体管和一个电容器。因此，为了提高半导体器件的集成度，应当减小晶体管和 / 或电容器的尺寸。

[0004] 集成度低的半导体存储器件在光刻和蚀刻工艺中具有足够的工艺余量。因此，可以通过减小晶体管和 / 或电容器的尺寸提高半导体存储器件的集成度。

[0005] 随着半导体技术和相关电子技术的改善，需要集成度更高的半导体存储器件。但是，减小晶体管和 / 或电容器的尺寸无法满足该需要。

[0006] 另一方面，半导体存储器件的集成度与应用于半导体存储器件的制造工艺的设计规则紧密相关。因此，为了提高半导体存储器件的集成度，必须将严谨的设计规则应用于其制造工艺，由此导致工艺余量低的光刻和蚀刻工艺。换言之，应将更为精确的光刻和蚀刻工艺应用于半导体存储器件的制造。

[0007] 在降低半导体存储器件制造工艺中的光刻和蚀刻工艺的余量时，产量也降低。因此，需要一种提高半导体存储器件的集成度同时防止产量降低的方法。

[0008] 因此，通过排列数据存储介质（如 GMR 或 TMR）提供了一种具有不同于常规半导体存储器件的结构 of 的半导体存储器件，其中数据以不同于常规电容器的方法存储在晶体管上。

[0009] SONOS 存储器件就是这样一种半导体存储器件。图 1 是常规 SONOS 存储器件的截面图。

[0010] 参照图 1，常规 SONOS 存储器件包括 p 型半导体衬底 10，其称为半导体衬底。在半导体衬底 10 中形成掺杂有 n 型导电杂质的源极区 12 和漏极区 14，而沟道区 16 存在于源极区 12 与漏极区 14 之间。在半导体衬底 10 的沟道区 16 上形成隧道氧化物层 18，其接触源极区 12 和漏极区 14。在隧道氧化物层 18 上，顺序淀积氮化物层 ( $\text{Si}_3\text{N}_4$ ) 20 和阻挡氧化物层 22。栅极电极 24 形成在阻挡氧化物层 22 上。氮化物层 20 包括俘获穿过隧道氧化物层 18 的电子的俘获位置。阻挡氧化物层 22 防止俘获的电子流至栅极电极 24。

[0011] 电子在氮化物层 20 的俘获位置中被俘获时，常规 SONOS 存储器件的阈值电压不同于没有俘获电子时的阈值电压。常规 SONOS 存储器件可存储和复制信息。但是，常规 SONOS 存储器件的每个单元只能存储一比特 (bit) 的信息。因此，必须减小单元的尺寸以提高集成度。

[0012] 为此，应当减小图 1 的 SONOS 存储器件的体积，其需要光刻工艺中的严谨的设计规则。但是，由于光刻工艺的分辨率限制，很难严格地应用设计规则。

[0013] 结果，虽然常规 SONOS 存储器件可具有比由一个晶体管和一个电容器形成的半导体存储器件更高的集成度，但由于光刻工艺的局限，常规 SONOS 存储器件的集成度仍然有限。

### 发明内容

[0014] 本发明提供一种以与常规 SONOS 存储器件相同的设计规则制造的 SONOS 存储器件，其中在单位存储单元中存储的数据量比在常规 SONOS 存储器件的单位存储单元中存储的更大，由此提高了集成度。

[0015] 根据本发明的一个方面，提供一种包括存储型晶体管的 SONOS 存储器件，其中在半导体衬底上形成具有 SONOS 结构的栅极，其中该栅极包括：隧道氧化物层；存储节点层，在隧道氧化物层上形成，并且具有在其中俘获穿过隧道氧化物层的电荷的俘获位置；以及栅极电极，在存储节点层上形成，其中存储节点层包括由彼此分开的纳米晶体构成的晶体层以俘获电荷。

[0016] 存储节点层可包括第一至第三存储节点层，并且第一至第三存储节点层的至少一层包括不与相邻的存储节点层接触的晶体层。

[0017] 第一存储节点层和第三存储节点层可包括该晶体层，且第二存储节点层可包括该晶体层。

[0018] 对于前一种情况，第二存储节点层可以是具有预定密度的俘获位置的介电层。对于后一种情况，第一和第三存储节点层的每一层可以是具有预定密度的俘获位置的介电层。

[0019] 可以在该晶体层与相邻的存储节点层之间插入绝缘层。

[0020] 可以在第三存储节点层与栅极电极之间插入阻挡氧化物层。

[0021] 根据本发明的另一方面，提供一种包括存储型晶体管的 SONOS 存储器件，其中在半导体衬底上形成具有 SONOS 结构的栅极，其中该栅极包括：隧道氧化物层；存储节点层，在隧道氧化物层上形成，并且具有在其中俘获穿过隧道氧化物层的电荷的俘获位置；以及栅极电极，在存储节点层上形成，其中存储节点层包括在其中俘获电荷的纳米尺寸俘获元件。

[0022] 存储节点层可包括顺序堆叠的第一至第三存储节点层，第一至第三存储节点层的至少一层包括俘获元件，并且该俘获元件不接触相邻的存储节点层。此处，第一存储节点层和第三存储节点层可包括俘获元件，且第二存储节点层可包括俘获元件。

[0023] 对于前一种情况，第二存储节点层可以是具有预定密度的俘获位置的介电层。对于后一种情况，第一和第三存储节点层的每一层可以是具有预定密度的俘获位置的介电层。

[0024] 俘获元件可以由彼此分开的纳米晶体构成的晶体层。

[0025] 根据本发明，可以在一个存储单元中记录多比特的信息。因此，虽然根据本发明的存储器件具有与常规 SONOS 存储器件相同的单元尺寸，但根据本发明的存储器件的集成度在其中一个存储单元内记录一个比特的常规存储器件之上大大提高。

## 附图说明

[0026] 通过参照附图详细介绍典型实施例将使本发明的上述及其它特征和优点变得更为明显，附图中：

[0027] 图 1 是常规 SONOS 存储器件的截面图；

[0028] 图 2 是根据本发明第一实施例，具有纳米晶体层的 SONOS 存储器件的截面图；

[0029] 图 3 是根据本发明第二实施例，具有纳米晶体层的 SONOS 存储器件的截面图；

[0030] 图 4 是示出在图 2 的 SONOS 存储器件的第一存储节点层中俘获载流子情况的截面图；

[0031] 图 5 是示出在图 2 的 SONOS 存储器件的第一和第二存储节点层中俘获载流子情况的截面图；

[0032] 图 6 是示出在图 2 的 SONOS 存储器件的第一至第三存储节点层中俘获载流子情况的截面图；以及

[0033] 图 7 是示出由于在图 2 的 SONOS 存储器件的存储节点层中俘获载流子导致的阈值电压偏移的曲线图。

## 具体实施方式

[0034] 现在将参照附图更加全面的描述根据本发明的 SONOS 存储器件，附图中示出了本发明的示例性实施例。附图中为清楚起见，放大了层和区的厚度。

[0035] 现在，将参照图 2 描述根据本发明第一实施例的 SONOS 存储器件。

[0036] 参照图 2，根据本发明第一实施例的 SONOS 存储器件包括 p 型半导体衬底 40，其称为半导体衬底。通过在半导体衬底 40 中注入 n 型导电杂质至预定深度，在半导体衬底 40 中形成源极区 42 与漏极区 44，并且在源极区 42 与漏极区 44 之间形成沟道区 46。在半导体衬底 40 的沟道区 46 上形成第一栅极堆叠材料 48。第一栅极堆叠材料 48 的底部两侧边缘接触源极区 42 和漏极区 44。第一栅极堆叠材料 48 包括：第一隧道氧化物层 48a，例如氧化硅层 ( $\text{SiO}_2$ )，其接触沟道区 46 的整个表面、以及部分源极区 42 和漏极区 44；以及在第一隧道氧化物层 48a 上顺序地堆叠的第一存储节点层 48b 和 48c、第二存储节点层 48d、第三存储节点层 48e 和 48f、以及第一栅极电极 48g。第一存储节点层 48b 和 48c 包括第一晶体层 48b 和第一绝缘层 48c。第一晶体层 48b 由纳米尺寸俘获材料，即在第一隧道氧化物层 48a 上形成的多个纳米晶体形成。第一绝缘层 48c 阻止第一晶体层 48b 接触第二存储节点层 48d。第二存储节点层 48d 是介电层，例如氮化物层 ( $\text{Si}_3\text{N}_4$ )，其具有预定密度的俘获位置。第三存储节点层 48e 和 48f 包括第二晶体层 48e 和第二绝缘层 48f。第二晶体层 48e 由纳米尺寸俘获材料构成。第二绝缘层 48f 阻止第二晶体层 48e 接触第二存储节点层 48d 和栅极电极 48g，并阻止第二晶体层 48e 中俘获的电子向栅极电极 48g 流动。因此，第二晶体层 48e 可嵌入第二绝缘层 48f 中。

[0037] 第一栅极叠层 48 的第一晶体层 48b 和第二晶体层 48e 可由相同的材料构成，但是，第一和第二晶体层 48b 和 48e 也可由不同晶体构成。第一绝缘层 48c 可以是氧化硅层或可由其它绝缘材料构成。作为阻挡电子向第一栅极电极 48g 流动的阻挡绝缘层的第二绝缘层 48f 可为氧化硅层或其它绝缘层。

[0038] 现在，将参照图 3 描述根据本发明第二实施例的 SONOS 存储器件。图 2 中使用

的相同的附图标记将用于图 3 中相同的部件。

[0039] 参照图 3, 在半导体衬底 40 中的沟道区 46 两侧形成源极区 42 与漏极区 44。在半导体衬底 40 的沟道区 46 上形成栅极堆叠材料 50。栅极堆叠材料 50 包括顺序堆叠的隧道氧化物层 50a、第四存储节点层 50b、存储节点层 50c 与 50d、存储节点层 50e、阻挡氧化物层 50f、以及栅极电极 50g。隧道氧化物层 50a 与第一实施例的第一隧道氧化物层 48a 相同。存储节点层 50b 是介电层, 例如氮化物层 ( $\text{Si}_3\text{N}_4$ ), 其具有预定密度的俘获位置。穿过隧道氧化物层 50a 的电子在存储节点层 50b 中俘获。存储节点层 50c 与 50d 与第一实施例中的第一存储节点层 48b 与 48c 或第三存储节点层 48e 与 48f 相同。换言之, 存储节点层 50c 与 50d 包括晶体层 50c 与绝缘层 50d。晶体层 50c 由彼此分开的纳米晶体构成。绝缘层 50d 包括晶体层 50c 并且阻止晶体层 50c 接触存储节点层 50b 与 50e。存储节点层 50e 是介电层, 例如氮化物层, 其具有预定密度的俘获位置。

[0040] 根据本发明第一和第二实施例的 SONOS 存储器件的阈值电压通过在存储节点层中俘获电子而改变。

[0041] 参照根据本发明第一实施例的 SONOS 存储器件描述 SONOS 存储器件阈值电压的变化。

[0042] 图 4 是示出在第一存储节点层 48b 与 48c 中俘获电子 e 的第一状态的截面图。图 5 是示出在第一存储节点层 48b 与 48c 和第二存储节点层 48d 中俘获电子 e 的第二状态的截面图。图 6 是示出在第一至第三存储节点层 48b、48c、48d、48e 及 48f 中俘获电子 e 的第三状态的截面图。

[0043] 图 7 是示出根据第一至第三状态的 SONOS 存储器件的阈值电压偏移的曲线图。图 7 的附图标记 G1 表示在第一至第三存储节点层 48b、48c、48d、48e 及 48f 中未俘获电子 e 的状态下的阈值电压。图 7 的附图标记 G2 至 G4 分别表示第一至第三状态中的阈值电压。

[0044] 参照图 7, 通过将存储节点层中未俘获电子的状态下的阈值电压  $V_{\text{TH1}}$  偏移  $\Delta V1$  得到第一状态下的 SONOS 存储器件的阈值电压  $V_{\text{TH2}}$ 。此外, 通过将第一状态中的阈值电压  $V_{\text{TH2}}$  偏移  $\Delta V2$  得到第二状态下的 SONOS 存储器件的阈值电压  $V_{\text{TH3}}$ 。另外, 通过将第二状态中的阈值电压  $V_{\text{TH3}}$  偏移  $\Delta V3$  得到第三状态下的 SONOS 存储器件的阈值电压  $V_{\text{TH4}}$ 。

[0045] 由于根据本发明第一实施例的 SONOS 存储器件包括依据电子的俘获状态的四种不同状态, 因此一个 SONOS 存储器件可存储两比特数据, 例如, “00”、“01”、“10”或“11”。因此, 根据本发明第一实施例的 SONOS 存储器件的集成度就比常规 SONOS 存储器件的集成度多两倍。

[0046] 由上所述, 根据本发明的 SONOS 存储器件包括第一至第三存储节点层, 其中至少一层存储节点层包括由纳米晶体形成的晶体层。因此, 根据本发明的 SONOS 存储器件可以具有四种不同状态, 在一个存储单元中具有两比特数据, 并且存储器件的集成度几乎是在一个存储单元中记录一比特的常规 SONOS 存储器件的集成度的两倍。

[0047] 虽然已参考本发明的典型实施例具体展示并描述了本发明, 但本领域技术人员应该理解, 可以在不脱离由所附权利要求限定的本发明的实质和范围的基础上, 对其形式和细节做各种改变。

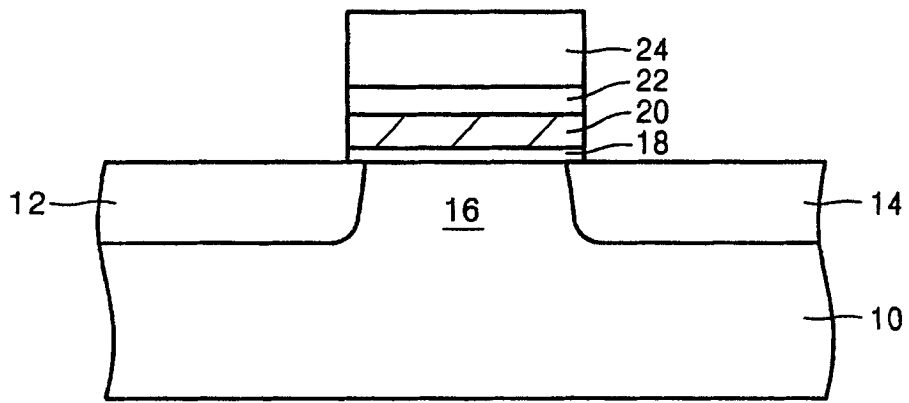


图 1

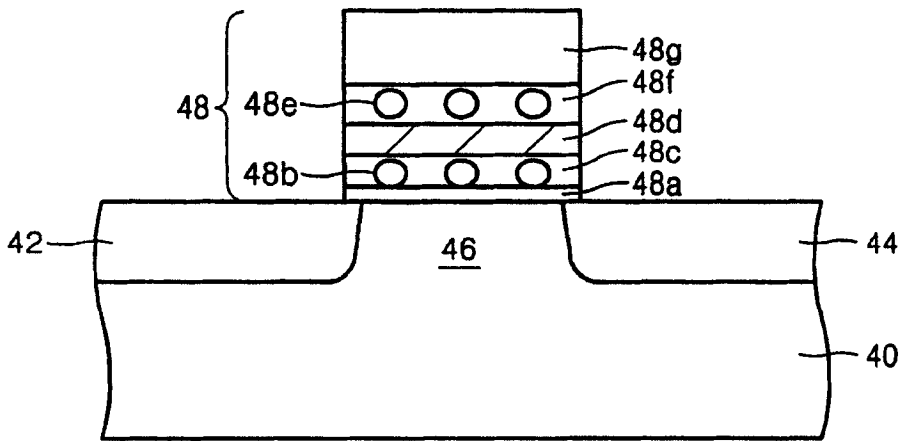


图 2

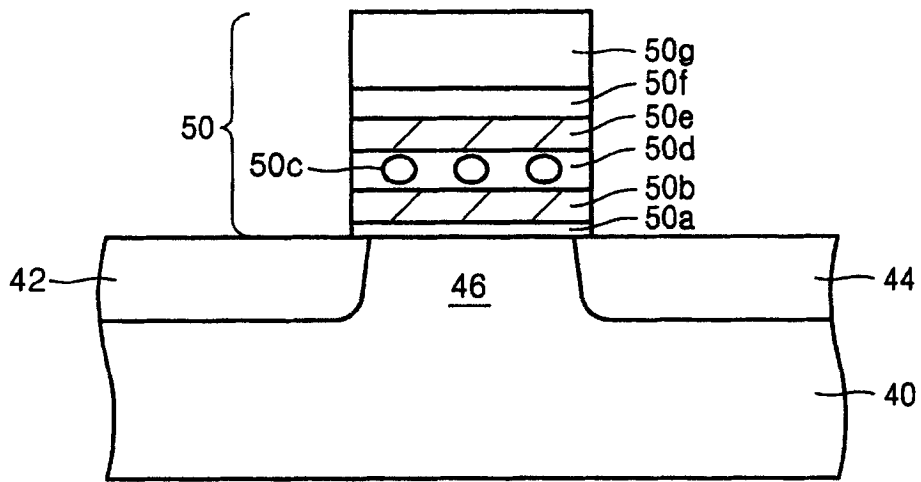


图 3

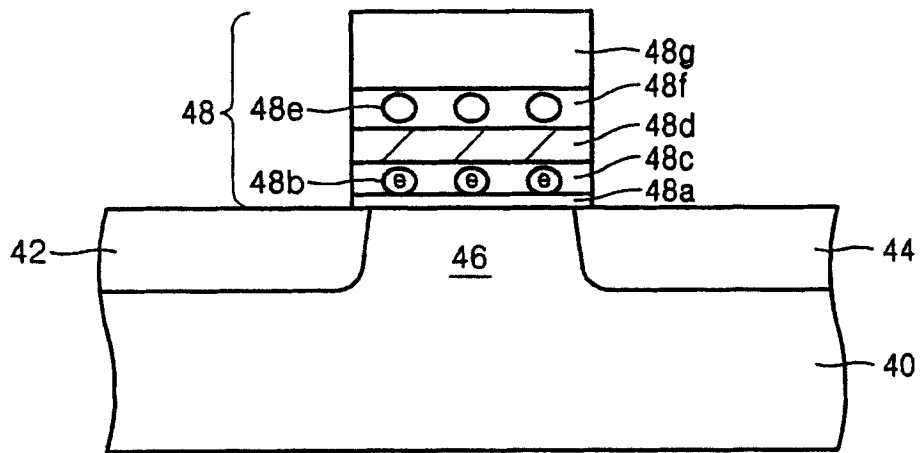


图 4



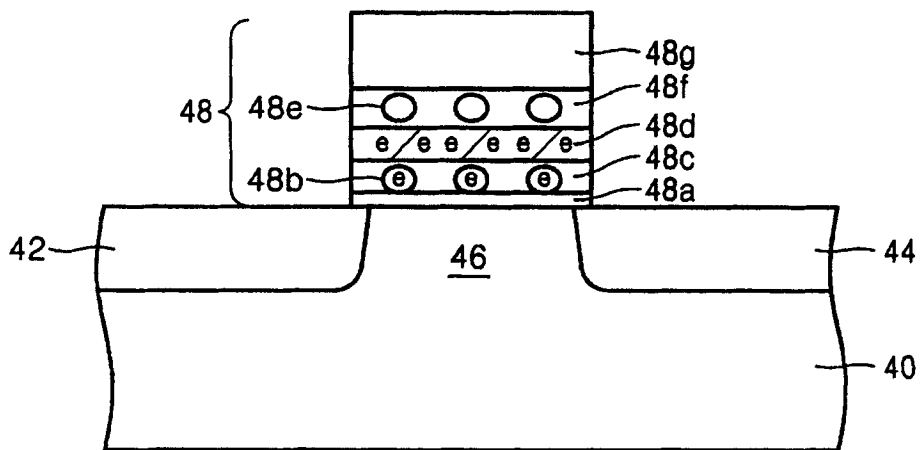


图 5

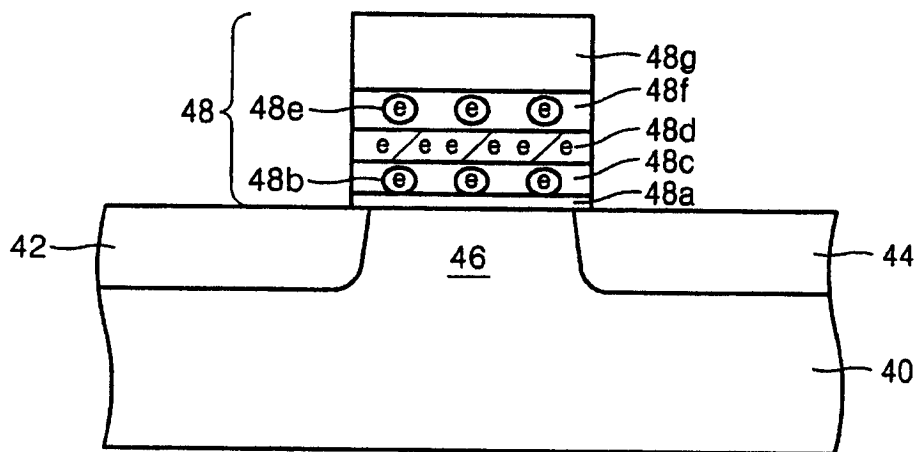


图 6

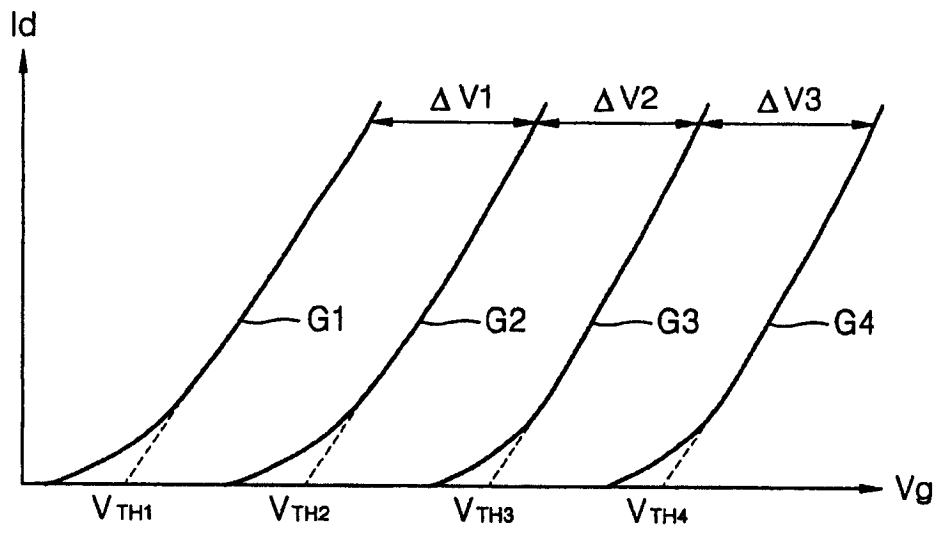


图 7