

公告本

申請日期	2014
案 號	10103230
類 別	H01L 21/60

A4
C4

512403

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有光敏元件之半導體晶片
	英 文	Semiconductor-chip with a light-sensitive element
二、發明人 創作	姓 名	1. 艾瑞克-羅傑布魯克梅爾 Eric-Roger BRÜCKELMEIER 2. 約瑟迪特 Josef DIETL
	國 籍	1 德國 2. 德國
	住、居所	1. 德國慕尼黑 80634 凡多-迪特里契街 5 號 2. 德國慕尼黑 81373 瑪隆街 8 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	麥可勾威什(Michael Gollwitzer) 荷斯特卻佛(Dr. Horst Schäfer)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

歐洲 國（地區） 申請專利，申請日期： 案號： ，☐有 ☒無主張優先權
2000 年 02 月 21 日 00103651.6

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

本發明涉及一種半導體晶片，其具有：一個單石式積體電路配置；至少一種光敏元件；及一種開關元件，其可觸發此電路配置所用之重置(reset)命令。該重置命令是依據至少一種光敏元件之狀態而被觸發。

半導體晶片(其特徵是用在晶片卡或金融卡中)須有特別之安全需求。須防止第三者未經許可地存取此記憶體內容或對此種半導體晶片達成其操作方式，這在研發過程中扮演重要之角色。未經許可時仍可辨認此系統及其儲存之與安全有關之資料，其原因是這些資料在計算工具運行時產生錯誤且因此會試圖由所造成之結果來求得一些辨認。這些錯誤例如由入射之脈波式之光或 α 射射所產生。因此會使擴散式漏電流放大，一部份信號因此在時脈期間可能不再能上升至指定之值。一種閘(gate)因此會算出一種錯誤值。此種計算越須常常進行時，則統計上獲悉此系統之概率越大。

有各種不同之解法來防止此種由於光之入射而對半導體晶片造成之"侵蝕"。例如在 EP 0 178 512 B1 中描述一種電路配置，其記憶體受到保護使不會受到電光學上之分析。該文件中所述之原理是：在使用一種射束時，至少一部份記憶胞在輸出側是連接至一種確定之電位而與記憶胞之電荷狀態無關，所儲存之資訊因此不可辨認。此種形式藉由下述方式是可能達成的：在記憶胞之周邊陣列中整合一個或多個光敏之感測器，其輸出信號較佳是用來決定此種施加至記憶胞輸出端之電壓。

五、發明說明 (2)

此外，由 US 5053 992 中已知一種半導體晶片，其記憶體含有機密資料，其具有不透光之外殼及一種拭除此機密資料所用之裝置（其是在外殼由半導體晶片去除時進行）。拭除此資料所用之裝置因此包含一種光敏元件（其電流特性在光入射時可測得）。一種開關元件是與此記憶體相連接，在光敏元件曝光時可測得電流之變化量且該機密資料可由記憶體中去除。二極體和雙載子電晶體此處可用作光敏元件，在光之作用下可測得一種反向電流。

本發明之目的是提供另一種可能性，藉此可保護半導體晶片使不會受到電光學上之分析。

此目的是以申請專利範圍第 1 項之特徵來達成。

因此，使用正反器 (Flip-Flop) 作為開關元件。正反器可由少數元件所構成，因此在半導體晶片上只需很小之面積。正反器容易被積體化且容易隱藏，亦可簡易地適應於各別之情況。使用正反器作為開關元件所具有之優點是：其可被積體化而與半導體晶片（特別是電路配置）之技術無關。

有利之形式敘述在申請專利範圍各附屬項中。

若此開關元件是一種時脈主控之 D 型正反器時，則是特別有利的。若光敏元件具有一種電壓特性且在光之作用下短路，則可達成一種特別有效之保護。光敏元件例如可以是一種光二極體或一種在光之照射下具有一種擴散式漏電流之電荷記憶體。但光敏元件不限於這些。

五、發明說明 (3)

須連接此種正反器，使其在正反器之局部性電源電壓上升時可被設定。此模組之隨後所發出或同時發出之重置(reset)命令(程式運行之重置或起始，其使此電路配置成爲一種預定之保護狀態)亦可重置正反器。

正反器之構造具有第一和第二輸出端，其中至少一個光敏元件連接在第二輸出端和參考電位之間及／或連接在第一輸出端和電源電壓之間。在光入射時此正反器之切換狀態會受到影響，使重置命令發送至半導體晶片上之電路配置且同時使正反器重置(reset)，以便在光重新入射時又可對此電路配置進行上述之保護。

在另一種形式中至少一個光敏元件在電源電位和參考電位之間並聯至開關元件。若光敏元件在光之作用下被短路，則正反器之電源電壓下降。在光入射逐漸消失之後，局部性電源電壓又上升至正反器之電源電位且依據上述之定義來設定此正反器。本發明對光之入射可達成一種高的可靠性，這是因爲已設定之正反器必定會觸發一種此電路配置用之重置命令。

在本發明之構成方式中，設有第一和第二反相器作爲開關元件，其在輸入側分別與一種可由此電路配置之重置命令所閉合之開關相連接。第一反相器之輸出形成此開關元件之第一輸出且又與第二反相器相連接。第二反相器之輸出形成此開關元件之第二輸出。可由此電路配置之重置命令所閉合之各開關之各控制輸入端互相連接且形成此開關元件之輸入端。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

有利之方式是一種電阻與此開關元件之電源電位接點相連接。這樣可使開關元件之電源電位局部地下降，而與"半導體晶片上是否設有此種電路配置所用之電壓穩定器"無關。此種電阻較佳是以金屬或多晶矽構成。這樣可確保：電阻值是定值的而與光之入射無關。此種電阻以蜿蜒之形式構成時是特別有利的。

此開關元件較佳是以 CMOS 技術製成。但此開關元件或此電路配置同樣亦可以 NMOS-，PMOS-或雙極性(bipolar)技術製成。此開關元件及電路配置當然亦可以各種不同之技術製成。

本發明，其作用方式及其它優點將依據以下之圖式來詳述。

圖式簡單說明如下：

第 1 圖 此開關元件之原理上之構造圖。

第 2 圖 此開關元件之實施例，其中正反器由二個反相器構成。

第 3 圖 此開關元件以 CMOS 技術構成之具體形式。

第 1 圖是此開關元件之原理上之構造。此電路配置以 31 表示，其可含有一種記憶體及／或邏輯電路組件。此電路配置 31 可抵抗光之入射而受到保護。這是以下述方式達成：在光入射時在重置(reset)輸入端 32 上施加一種重置命令。

此開關元件(其施加一種重置命令至重置-輸入端 32)由反相器 30 所構成，其在第 1 圖中以時脈主控之 D-正反器所

五、發明說明 (5)

構成。此正反器設置在電源電位接點 20(V_{DD})和參考電位接點 21(V_{SS})之間， V_{SS} 通常是接地電位。在電源電位接點 20 和參考電位接點 21 之間另外設置一種光敏元件 36，其例如可以光二極體或一種在照射時具有擴散式漏電流之電荷記憶體所構成。在光入射時，此光敏元件 36 短路，使電源電位接點 20 上之電位首先下降，然後又上升，這樣可使一種重置命令施加至重置-輸入端 32。

此正反器具有第一輸入端 Q 及第二輸入端 Q'。第一輸入端 Q 是與電路配置 31 之重置-輸入端 32 相連接。此外，光敏元件 35(其由光敏二極體 10 及電荷記憶體 9 所構成)亦與第一輸入端 Q 相連接，此光敏元件 35 又與電源電位接點 20 相連接。由光二極體 10 和電荷記憶體 9 所構成之並聯電路是一種在照射下具有擴散式漏電流之電荷記憶體。第二輸出端 Q' 同樣是與一種光敏元件 34 相連接，此光敏元件 34 以其另一接點來與參考電位 21 相連接。正反器 30 之輸入端 D 經由反相器而與此電路配置 31 之重置-輸出端 33 相連接。光敏元件 34 在第二輸出端 Q' 上可使時脈主控之 D-正反器被設定(set)。因此必須確保：此輸入端 C 在電源電壓 V_{DD} 上升時在光入射之後仍保持在低電位中。

在光入射時在一種重置命令發送至重置-輸入端 32 之後，在此電路配置進行重置之後一種信號施加至此電路配置之重置-輸出端 33，此種信號使正反器 30 又進入一種狀態，以確保在光重新入射時一種重置命令可經由該開關元件而發送至此電路配置 31。若由於未知之原因而無

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

任何信號由重置-輸出端 33 到達此開關元件之輸入端，則此光敏元件 34 之作用是使此正反器被正確地設定。

在第 1 圖之實施例中，一種在重置-輸入端 32 上之上升邊緣使此電路配置被重置(reset)。同樣使用上升之信號邊緣經由重置-輸出端 33 來設定此開關元件。亦可使第二輸出端 Q' 與重置-輸入端相連接。在此種情況下此重置-輸出端 33 是與開關元件之輸入端 C，D 相連接。此電路配置 31 之重置是藉由下降之邊緣來觸發。此開關元件(即，正反器 30)之設定(set)同樣藉由下降之切換邊緣來達成。

一種電阻 17 是與正反器 30 之電源電位接點 20 相連接，電阻 17 之另一接點是處於一種電壓穩定之電位 Vbb 中。由於此電阻 17，則可藉由光敏元件 36 之短路而使電源電位接點 V_{DD} 上之電壓下降。電阻 17 較佳是以金屬或多晶矽構成，其例如可以蜿蜒之形式形成在半導體晶片之基板中。

若省略此光敏元件 36 時，則此開關元件亦可工作。在此種情況下第二輸出端 Q' 上之電壓經由光敏元件 34 之下降值已足夠使一種重置命令傳送至此電路配置且重新設定此正反器 30。

第 2 圖是一種實施例，其中該正反器 30 由二個反相器 11，12 及其所屬之開關 6，3 所構成。反相器 12 之輸出是與反相器 11 之輸入相連接。反相器 12 之輸出端是此正反器 30 之第一輸出端 Q'，其(如圖所示)是與此半導體晶片之電路配置之重置-輸入端相連接，其中藉由第一輸出端 13 上之上升之邊緣來觸發一種設定(set)。第一輸出端 13 又

五、發明說明 (7)

與此種由電容器 9 和光二極體 10 所形成之光敏元件相連接。反相器 12 之輸入端是與開關 3 相連接，開關 3 之另一端是與電源電位接點 20 相連接。

反相器 11 之輸出端(其即為第二輸出端 Q')是與一種由電荷記憶體 7 及光二極體 8 所形成之光敏元件 34 相連接。光敏元件 34 另一方面是與反相器 12 之輸入端相連接。以此種方式可達成此正反器之回授作用。

在反相器 11 之輸入端與參考電位接點 21 之間設置一個開關 6。開關 3，6 在上升邊緣時由半導體晶片之電路配置之重置-輸出端所控制而短暫地導通，以便在光又重新入射時又可開始此半導體晶片之電路配置所需之重置命令。

可選擇性之光敏元件 36(由電荷記憶體 15 和光二極體 16 所構成)實際上是依情況在此電路配置製作時存在基板中。藉由設計，則仍可放大此種組件之可感測性，但這不是迫切需要的。

第 3 圖是本發明之具體實施例。此種時脈主控之 D-正反是以二個反相器及一個所屬之開關以 CMOS 技術製成。反相器 12 此處由第一半導體開關 1 和第二半導體開關 2(此二個開關 1，2 是由不同導電型式之電晶體所構成)所形成。這些與其負載區段唯唯諾諾聯之半導體開關 1，2 連接在電源電位接點 20 和參考電位接點 21(V_{ss})之間。半導體 1，2 之控制端互相連接。反相器 12 在輸出側是與反相器 11 之輸入端相連接且另一方面是與光敏元件(其由電容器 7 和光二極體 8 所構成)相連接。電容器 7 和光二極體 8 亦是

五、發明說明 (8)

一種在照射下具有擴散式漏電流 2 電荷記憶體。半導體開關 3 並聯至反相器 12 之半導體開關 1，此開關 3 之控制端經由反相器 18 而同樣與半導體晶片之重置-輸出端相連接。

反相器 11 由半導體開關 4，5(其負載區段互相串聯)所構成。半導體開關 4，5 是由不同導電型式之電晶體所構成，它們之控制輸入端互相連接。反相器 11 在輸出側是與光敏元件(由電容器 7 和光二極體 10 所構成)相連接。此光敏元件又與電源電位接點 20 相連接且另一方面是與半導體晶片(未顯示)之電路配置之重置-輸入端相連接。反相器 11 之輸出端 13 同樣亦與反相器 12 之輸入端相連接。開關 6 以其負載區段並聯至半導體開關 5(其是與參考電位接點 21 相連接)，此開關 6 之控制端是與半導體晶片之電路配置之重置-輸出端相連接。

在本實施例中不需第 1，2 圖所示之電阻 17，這是因為電源電壓接點 20 和參考電位接點 21 之間未設置光敏元件。在電源電壓接點 20 上直接施加電源電壓 V_{bb} 。但很明顯的是：此光敏元件(由電荷記憶體 15 和光二極體 16 所構成)亦可與電阻 17 一起成為此電路配置之組件。

為了可藉由光敏元件 7，8 或 9，10 之一被短路而使電源電位接點 20 上之電壓下降，則電阻 17 須與電源電位接點 20 相連接，電阻 17 之另一端是與電壓已穩定之電源電壓 V_{bb} 相連接。電阻 17 因此須以非光敏之方式構成，其可以金屬或多晶矽構成。為了決定一種預定之值，則適當方式

五、發明說明 (9)

是以蜿蜒之形式來構成此電阻。

在本實施例中此輸出端 13 是與此半導體晶片之電路配置之重置-輸入端相連接。一種重置命令在上升邊緣時被觸發。亦可使反相器 12 之輸出端與此半導體晶片之電路配置之重置-輸入端相連接。在此種情況下是在下降邊緣時觸發一種重置命令。

在本實施例中以 CMOS 技術製成該開關元件。這些光敏元件因此可以簡易方式製作在基板中。一種 pn 接面因此形成光二極體。與此種光二極體並聯之這些電容即為此光二極體之截止層電容。這些電容可依據需求藉由橫向擴張而形成在基板中且具有任何之光敏性。

光敏元件(其並聯至半導體開關 2, 4)已以寄生元件之方式存在於電路中。MOS 電晶體 2, 4 具有一種米勒 (Miller) 電容, 其實際上是依據情況而存在每一個 MOS 半導體開關中。

以下將簡短地描述本發明之開關元件。若此半導體晶片未受到光照射, 則反相器 12 之輸入端上存在此種電源電位 V_{DD} 。在此種情況下此半導體開關 2 是導通的, 而半導體開關 1 截止 (off)。在反相器 12 之輸出端 14 上因此存在此參考電位 V_{SS} 。其結果是: 半導體開關 4 導通且半導體開關 5 截止。此輸出端 13 因此位於漏電位 V_{DD} 處。爲了設定此正反器, 則須在反相器 12 之輸出端 14 施加電源電位 V_{DD} 。這是藉由半導體開關 3 來達成, 其方式是使此開關導通。此半導體開關 5 因此成爲導通狀態, 而半導體開

五、發明說明 (10)

關 4 截止。輸出端 13 上現在存在此種參考電位 V_{SS} 。

若此半導體晶片現在受到一種光之入射，則反相器 12 之輸出端 14 上之電位開始下降。在此種光脈波結束之後，輸出端 14 上之電壓又上升，於是此半導體開關 5 又由截止進入導通狀態。這是與反相器 11 之輸出端 13 上之上升之切換邊緣有關。由於反相器 11 是與此半導體晶片之電路配置之重置-輸入端相連接，則這樣會造成此電路配置所需之重置命令。由於反相器 11 之輸出是與反相器 12 之輸入相連接，則在觸發該重置命令之後在反相器 12 之輸出端 14 又存在著此電源電位 V_{DD} 。藉由半導體晶片之積體電路之重置-輸出端所發出之上升之邊緣來設定此正反器因此未必是需要的。反之，此正反器之設定由於回授而獨立地發生。

符號之說明

2,3,4,5,6...光敏元件

7.....電容器

8,16...光二極體

9.....電荷記憶體

10....光敏二極體

11,12...反相器

13,14...輸出端

15.....電荷記憶體

17....電阻

18....反相器

五、發明說明 (¹¹)

- 20....電源電位接點
- 21....參考電位接點
- 30....正反器
- 31....電路配置
- 32....重置-輸入端
- 33....重置-輸出端
- 34,35,36....光敏元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 具有光敏元件之半導體晶片)

一種具有單石式積體電路配置之半導體晶片，其包含：至少一種光敏元件及一種開關元件 (其可觸發此電路配置所需之重置命令)，此重置命令依據至少一種光敏元件之狀態而被觸發，設置一種正反器作為該開關元件。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱： Semiconductor-chip with a light-sensitive element)

This invention suggests a semiconductor-chip with a monolithic integrated circuit-arrangement and with at least a light-sensitive element and with a switch-element which can trigger a reset-command for the circuit-arrangement, wherein the reset-command is triggered depending on the state of at least one light-sensitive element. Here a flip-flop is provided as switch-element.

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第 90103230 號「具有光敏元件之半導體晶片」專利案

(91 年 5 月修正)

六、申請專利範圍

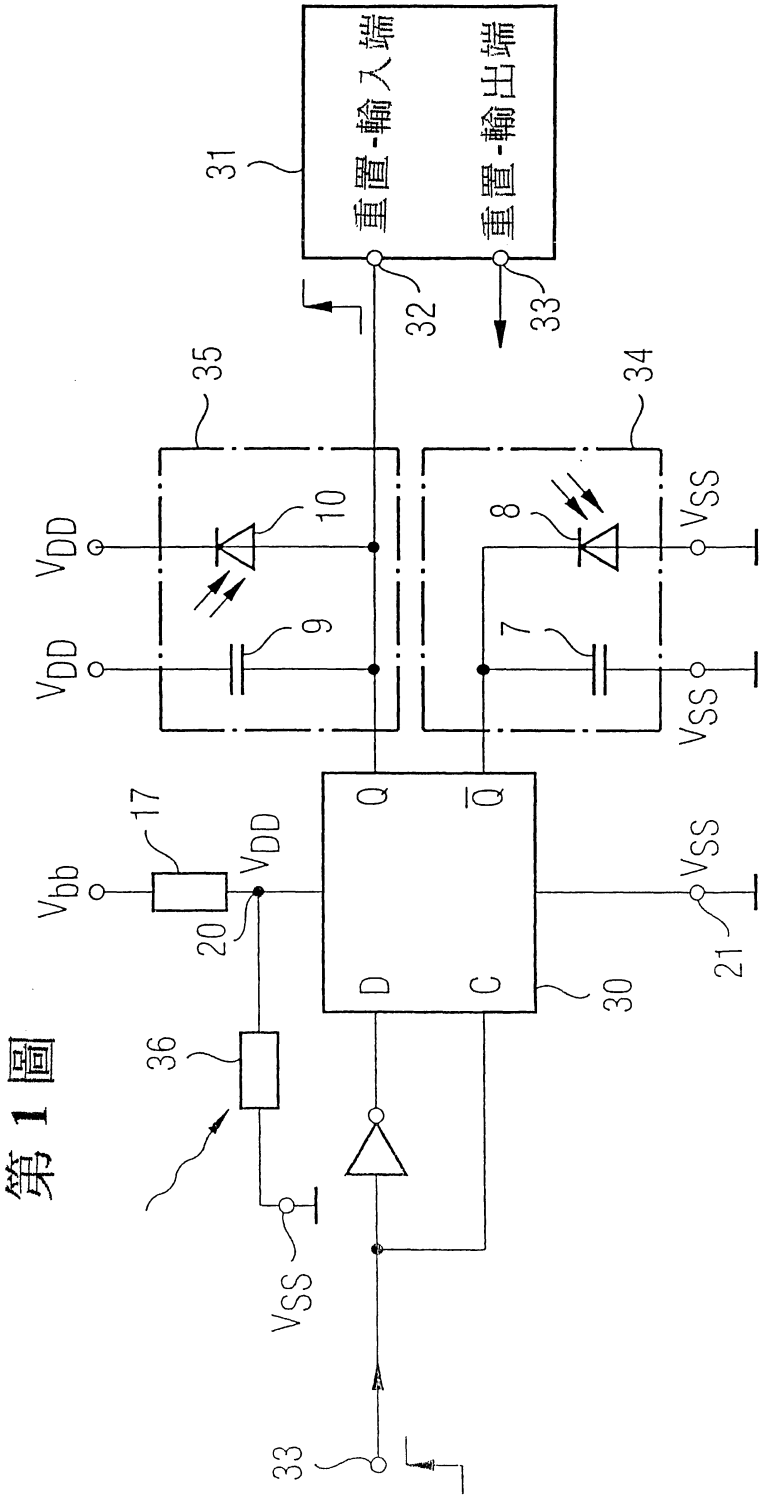
1. 一種具有單石式積體電路配置(31)之半導體晶片，其包含：至少一種光敏元件(34，35，36)及一種開關元件(30)(其可觸發此積體電路所需之重置命令)，此重置命令依據至少一種光敏元件(34，35，36)之狀態而被觸發，其特徵為：設置一種正反器(30)作為該開關元件。
2. 如申請專利範圍第 1 項之半導體晶片，其中此開關元件(30)是一種時脈主控之 D-正反器。
3. 如申請專利範圍第 1 項之半導體晶片，其中該光敏元件(34，35，36)具有一種電壓特性且在光作用下被短路。
4. 如申請專利範圍第 1 或 2 項之半導體晶片，其中此開關元件(30)具有第一和第二輸出端且至少一個光敏元件連接在第二輸出端及參考電位接點之間及／或連接在第一輸出端及電源電位接點之間。
5. 如申請專利範圍第 1 或 2 項之半導體晶片，其中至少一種光敏元件(34，35，36)並聯至開關元件(30)而連接在電源電位接點(20)和參考電位接點(21)之間。
6. 如申請專利範圍第 1 或 2 項之半導體晶片，其中設置第一和第二反相器(11，12)作為開關元件(30)，此二個反相器在輸入側分別與一種可由此電路配置之重置命令所閉合之開關(5，6)相連接；

第一反相器(12)之輸出端形成第一輸出(13)且是與第二

六、申請專利範圍

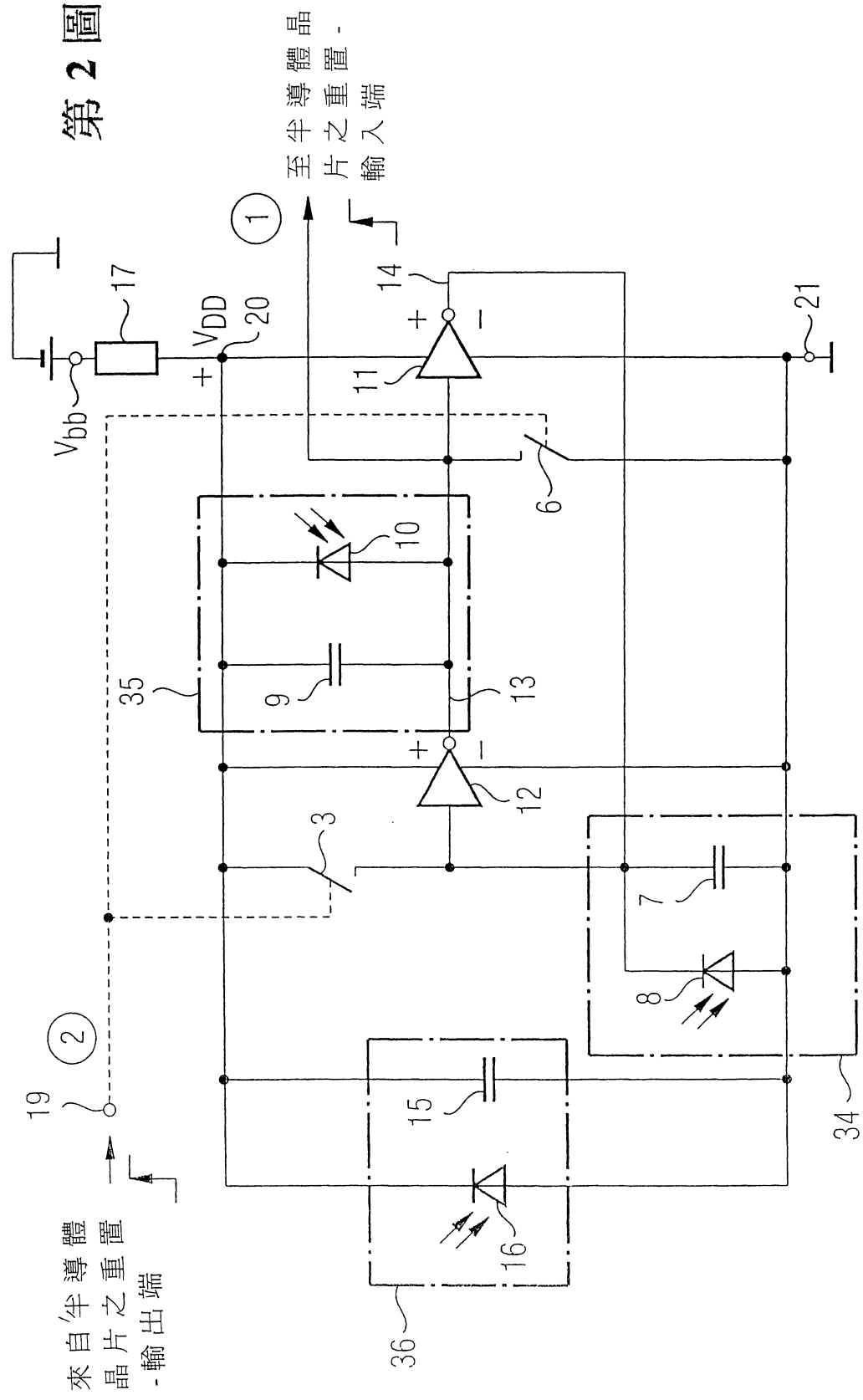
反相器(11)相連接；第二反相器(11)之輸出端形成第二輸出。

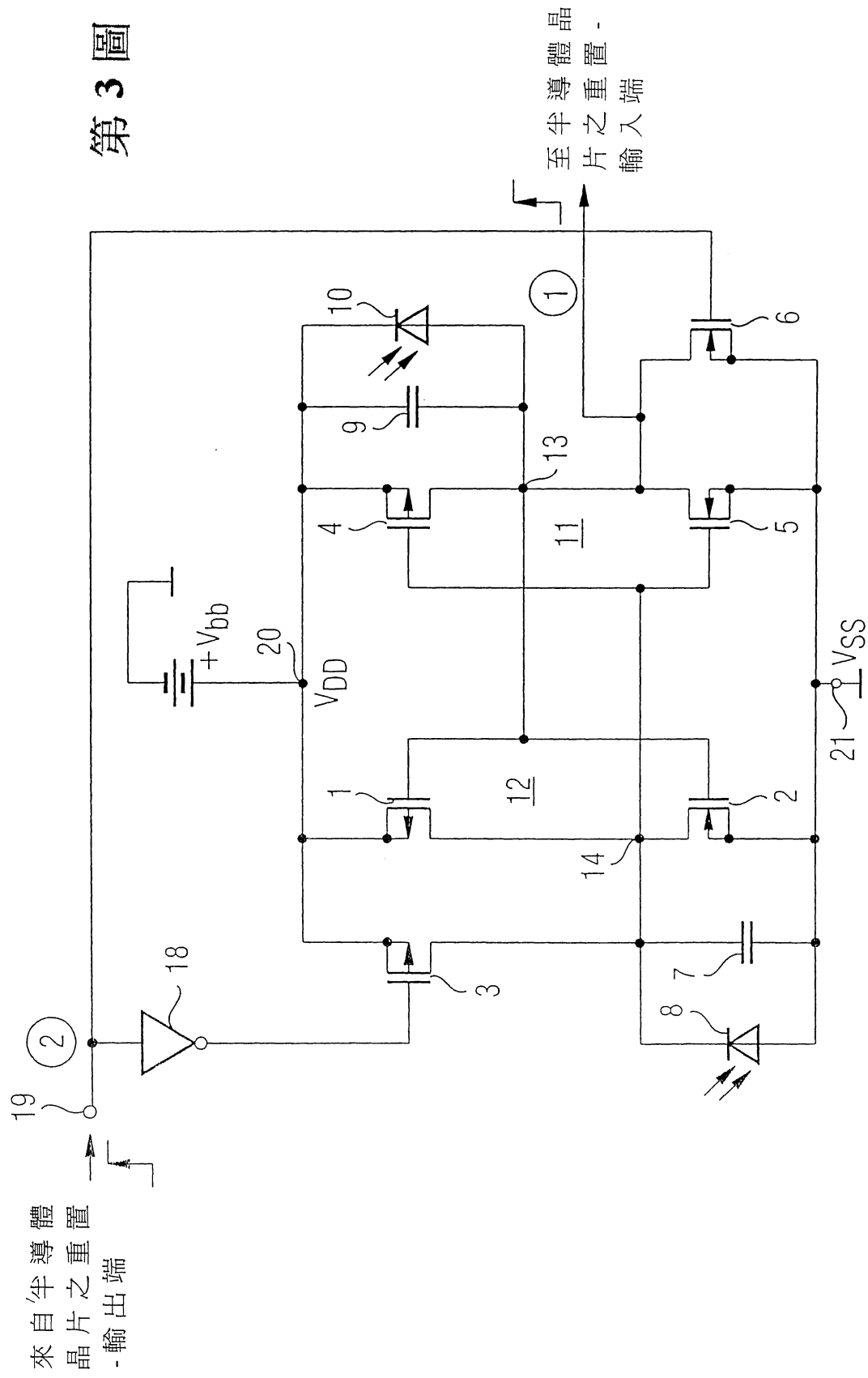
7. 如申請專利範圍第 6 項之半導體晶片，其中這些可由此電路配置之重置命令所閉合之開關(5，6)之控制輸入端互相連接且形成此開關元件(30)之輸入端。
8. 如申請專利範圍第 5 項之半導體晶片，其中一種電阻(17)是與電源電位接點(20)相連接。
9. 如申請專利範圍第 8 項之半導體晶片，其中此電阻(17)以金屬或多晶矽構成。
10. 如申請專利範圍第 1 或 2 項之半導體晶片，其中此開關元件(30)以 CMOS 技術製成。
11. 如申請專利範圍第 1 項之半導體晶片，其中此光敏元件(34，35，36)是一種光二極體或一種在照射時具有一種擴散式漏電流之電荷記憶體。
12. 如申請專利範圍第 5 項之半導體晶片，其中此光敏元件(34，35，36)是一種光二極體或一種在照射時具有一種擴散式漏電流之電荷記憶體。



第1圖

第 2 圖





第3圖