

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3736714号
(P3736714)

(45) 発行日 平成18年1月18日(2006.1.18)

(24) 登録日 平成17年11月4日(2005.11.4)

(51) Int. Cl.		F I		
HO 1 L 21/66	(2006.01)	HO 1 L 21/66		H
GO 1 R 31/26	(2006.01)	HO 1 L 21/66		F
		GO 1 R 31/26		H

請求項の数 6 (全 10 頁)

<p>(21) 出願番号 特願平9-354337 (22) 出願日 平成9年12月24日(1997.12.24) (65) 公開番号 特開平10-199944 (43) 公開日 平成10年7月31日(1998.7.31) 審査請求日 平成14年3月5日(2002.3.5) (31) 優先権主張番号 1996 P 70532 (32) 優先日 平成8年12月23日(1996.12.23) (33) 優先権主張国 韓国(KR)</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea (74) 代理人 100076428 弁理士 大塚 康徳 (74) 代理人 100112508 弁理士 高柳 司郎 (74) 代理人 100115071 弁理士 大塚 康弘</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体メモリのウエハバーンインテスト回路

(57) 【特許請求の範囲】

【請求項1】

ローデコーダからグローバルワードライン活性化信号をサブワードラインドライバへ提供して該サブワードラインドライバによりワードラインを駆動する半導体メモリのウエハバーンインテスト回路において、
 外部ウエハバーンインイネーブル信号に応じてCMOSレベルの内部ウエハバーンインイネーブル信号を出力する入力バッファと、
 前記内部ウエハバーンインイネーブル信号と外部から入力される複数のアドレス信号に応じて複数のローデコーディング信号を提供する複数のロードアドレスバッファと、
 前記複数のローデコーディング信号の組み合わせに従って遷移する複数のワードライン活性化信号に応じて各ワードラインをイネーブルさせるサブワードラインドライバと、を備えることを特徴とするウエハバーンインテスト回路。

【請求項2】

前記入力バッファは直列に接続される第1、第2インバータから構成される請求項1記載のウエハバーンインテスト回路。

【請求項3】

前記ロードアドレスバッファは、前記内部ウエハバーンインイネーブル信号と複数のアドレス信号に応じて複数のパルスを出力するロードアドレス制御部と、

前記複数のパルスとデコードされた内部アドレス信号に応じて前記ローデコーディング信号を出力するバッファ部と、から構成される請求項1記載のウエハバーンインテスト回

10

20

路。

【請求項 4】

前記ロードアドレスバッファは、前記内部ウエハバーンインイネーブル信号と前記アドレス信号をそれぞれ入力する第 1 論理ゲートと、
該第 1 論理ゲートにそれぞれ接続されるインバータと、から構成される請求項 3 記載のウエハバーンインテスト回路。

【請求項 5】

前記第 1 論理ゲートは N A N D ゲートである請求項 4 記載のウエハバーンインテスト回路。

【請求項 6】

前記ロードアドレスバッファの前記バッファ部は、前記複数のパルスとデコードされた前記内部アドレス信号を入力とする第 2 論理ゲートと、

該第 2 論理ゲートの出力端子にそれぞれ接続されるインバータと、から構成される請求項 3 記載のウエハバーンインテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体メモリのウエハバーンインテスト回路に関する。

【0002】

【従来の技術】

ウエハ製造後に実施されるバーンインテストは、チップの信頼性を確認するためのテストである。通常のバーンインテストは、パッケージ状態で欠陥部位をスクリーニングするために行う。バーンインテストによりスクリーニングされた製品は、既にテスト、アセンブリ過程を経たにも拘わらず廃棄され、これは、費用と時間の浪費になる。

【0003】

D R A M の場合、バーンインテストにおける大部分の欠陥はシングルビット欠陥であり、欠陥を感知するには長時間のスクリーニングを必要とする。シングルビット欠陥は不完全なメモリセルのリーク電流に直接的に関連するものであり、このようなリーク電流は、伝送ゲート酸化膜、キャパシタの誘電体、及びストレージノードジャンクションの不良などが原因となっておこる。

【0004】

従来のパッケージ段階におけるバーンインテストでは、メモリセルに印加されるストレス電圧の印加効率は非常に低い。なぜなら、数千サイクル（例えば、64メガ D R A M の場合には 4096 または 8192 サイクル）当たり、ワードラインが選択されるためであり、半導体メモリの容量が高くなるにつれてストレス電圧の印加効率が低くなる。従って、バーンインテスト時間を減らし且つストレス電圧の印加効率を向上させるために全てのワードラインを一度に選択する方法が要求され、これをウエハ状態で行うことにより歩留まりの向上及び全体費用削減になる。

【0005】

図 1 は従来のサブワードラインドライバを有する半導体メモリの概略図である。

【0006】

メモリセルアレイ 101 A、101 B は多数の単位メモリセルから構成され、このメモリセルに接続されるワードライン W L 0 ~ W L 3 は、対応するサブワードラインドライバ 102 に接続される。グローバルワードラインイネーブル信号 N W E は、ローデコーダ 103 からサブワードラインドライバ 102 へ供給され、ワードライン W L 0 ~ W L 3 を活性化する。このような構造におけるウエハバーンインモードの基本的な動作は次の通りになる。

【0007】

まず、ウエハバーンインモードを知らせる外部ウエハバーンイン活性化信号 W B E が印加されると同時に、図 2 A 及び図 2 B に示したスイッチング回路には制御信号 C O N _ A と

10

20

30

40

50

CON__Bが入力される。図2Aに示したスイッチング回路は、電源電圧VPPの印加される端子とラインWBESS__0との間に接続され、ゲートに制御信号CON__Aが印加されるNMOSトランジスタ201と、接地とラインWBESS__0との間に接続され、ゲートに制御信号CON__Aが印加されるPMOSトランジスタ202とから構成される。また、図2Bに示したスイッチング回路は、図2Aに示すスイッチング回路と同じ回路構成をしており、それぞれのMOSトランジスタ203、204のゲートには制御信号CON__Bが印加され、トランジスタ間のノードはWBESS__Eである。

【0008】

このようなスイッチング回路はノーマル動作時とウエハバーンインテスト時に異なる信号を提供する。ここで、制御信号CON__A、Bは選択的に活性化できる信号であり、外部から入力される。例えば、ハイレベルの制御信号CON__Aがスイッチング回路に印加されると、電源電圧VPPがラインWBESS__0に印加され、このラインWBESS__0を通してVPPをワードラインWL1、WL3に供給して活性化する。この時、ラインWBESS__0を使用する全てのサブワードライドライバ102は動作して該当のワードラインWL1、WL3を動作させる。また、信号CON__Bが活性化されると、ラインWBESS__Eを通して電源電圧VPPがサブワードライドライバ102に供給され、WL0、WL2を動作させることによりWL0とWL2に接続されたメモリセルをオンさせてデータの読取/書込が可能な状態を作る。もし制御信号CON__A、Bを同時に活性化すると、ワードラインWL0~WL3に接続された全てのメモリセルをオンすることができる。

【0009】

このような動作により活性化されたワードラインに接続されたメモリセルに、データラインを通してデータを書き込むが、図1の場合、書込み動作後図7Aのようなデータの形式でメモリセルにデータが書き込まれ、図3の場合、図7Bのようなデータ形式でメモリセルに書き込まれる。

【0010】

図3は従来他の構成のサブワードライドライバを有する半導体メモリの概略図である。

【0011】

図3は図1と類似の構造であるが、ラインWBESS__Tに接続されるサブワードライドライバ102がワードラインWL1、WL2に、ラインWBESS__Cに接続されるサブワードライドライバ102がワードラインWL0、WL3に接続されるところが異なっている。

【0012】

図4Aと図4Bは、図3に示したラインWBESS__T、WBESS__Cにそれぞれ電源電圧VPPを印加するためのスイッチング回路である。回路構成は図2A、Bと同じであり、出力WBESS__0がWBESS__Tに、WBESS__EがWBESS__Cにそれぞれ変わっている。

【0013】

図5はローデコーダを示す図である。この回路は、バーRAS信号がハイレベルに非活性化される時にイネーブルされる信号PDPXiにより信号NWEをローレベルに遷移し、ローデコーディング信号RAiが活性化されると、信号NWEをハイレベルに遷移する回路である。信号NWEは前述したように全ワードラインWL0~WL3を活性化するための回路である。

【0014】

このローデコーダは、電源電圧VCCとノードN1との間に接続され、ゲートに信号PDPXiが印加されるPMOSトランジスタ501と、電源電圧VCCとノードN1との間に接続され、ゲートに信号NWEが印加されるPMOSトランジスタ502と、ノードN1を入力として信号NWEを出力するインバータ504と、ノードN1と接地との間に接続され、ゲートにローデコーディング信号RAiが印加されるNMOSトランジスタ50

10

20

30

40

50

3 とから構成される。

【0015】

図6は従来のサブワードラインドライバの具体的な回路図である。

【0016】

この回路は、信号NWEとNMOSトランジスタ603のゲートとの間に接続され、ゲートに電源電圧VCCが印加されるNMOSトランジスタ601と、信号NWEとノードN2との間に接続され、ゲートがワードライン活性化信号PXID_iに接続されるNMOSトランジスタ602と、信号PXID_PとノードN2との間に接続されたNMOSトランジスタ603と、ノードN2とラインWBEVSSとの間に接続され、ゲートが信号バーPX_iに接続されるNMOSトランジスタ604とから構成される。

10

【0017】

このような回路を通して図7Aのようなデータパターンを形成する場合、選択されたメモリセルに隣接するメモリセルには選択されたセルに書き込まれたデータとは相反したデータを書き込むことができるので、隣接したメモリセル間のストレスに対する信頼性はテストすることができるが、センシングによるビットラインストレスに対する信頼性は、書き込まれたデータ形式そのものがセンシング不可能な状態なのでテストできないという短所をもっている。即ち、同一ビットライン対BL/バーBLに互いに相反するデータが書き込まれることにより、読み出してフェイルの有無を検査し得ない状態になる。

【0018】

また、図7Bのようなデータパターンを形成する場合、隣接したセルに書き込まれたデータは、一部は相反するがもう一部は同一であって、隣接したセルが同一データをもっている部分はセル相互間のストレスに対する信頼性をテストすることができない。つまり、ワードラインWL1とWL2には同一データが書き込まれることになり、メモリセル相互間のストレスに対する信頼性テストは行うことができない。

20

【0019】

一方、図6に示したサブワードラインドライバの場合、NMOSトランジスタ604を動作させてラインWBEVSSを通して流入する電源電圧VPPをワードラインWLに供給して十分なワードライン活性化レベルを得るためには、NMOSトランジスタ604のゲートに印加される信号バーPX_iが電源電圧VPP以上の電位でなければならない。高電圧を用いる半導体メモリではNMOSトランジスタ604そのものが破壊されうる可能性がある。

30

【0020】

【発明が解決しようとする課題】

本発明はこのような問題に対し、多様なバックグラウンド書込みパターンを形成し、耐圧以上の負荷がトランジスタにかかることを防止する半導体メモリのウエハバーンインテスト回路を提供することにある。

【0021】

【課題を解決するための手段】

上記課題を解決するために本発明のウエハバーンインテスト回路は、ローデコーダからグローバルワードライン活性化信号をサブワードラインドライバへ提供して該サブワードラインドライバによりワードラインを駆動する半導体メモリのウエハバーンインテスト回路において、外部ウエハバーンインイネーブル信号に応じてCMOSレベルの内部ウエハバーンインイネーブル信号を出力する入力バッファと、その内部ウエハバーンインイネーブル信号と外部から入力されるアドレスに応じてローデコーディング信号を提供するローアドレスバッファと、そのローデコーディング信号の組合せによって遷移するワードライン活性化信号及びグローバルワードライン活性化信号に応じて各ワードラインをイネーブルさせるサブワードラインドライバと、を備えることを特徴とする。入力バッファは直列に接続される第1、2インバータから構成される。ローアドレスバッファは、内部ウエハバーンインイネーブル信号と多数のアドレスに応じて複数の第1パルスを出力するローアドレス制御部と、その第1パルスとデコードされた内部アドレスに応じてローデコーディン

40

50

グ信号を出力するバッファ部と、から構成される。ローアドレスバッファは、内部ウエハバーンインイネーブル信号とアドレスをそれぞれ入力する第1論理ゲートと、第1論理ゲートにそれぞれ接続されるインバータと、から構成される。第1論理ゲートはNANDゲートであるローアドレスバッファのバッファ部は、第1パルスとデコードされた内部アドレスを入力とする第2論理ゲートと、第2論理ゲートの出力端子にそれぞれ接続されるインバータと、から構成される。ワードライン活性化信号がメモリセルテスト用の高電圧である。

【0022】

【発明の実施の形態】

以下、本発明の実施形態を添付図面を参照して詳細に説明する。

10

【0023】

図8は本発明のウエハバーンインテスト回路の回路図である。

【0024】

各ワードラインWL0~WL3は、対応するワードライン活性化信号PXiD_P(0)~PXiD_P(3)にサブワードラインドライバ102を介して接続され、ワードラインWL0~WL3とビットラインBLが交差する所に単位メモリセルを構成するNMOSトランジスタM1が接続され、このトランジスタM1のソース端子と接地VPとの間にキャパシタC1が接続される。そして、ビットライン対BL/バーBLの間には読み出したデータを増幅するビットラインセンスアンプ701が接続される。これらの構成のうち、ワードライン活性化信号PXiD_P(0)~PXiD_P(3)はそれぞれ対応するワードラインWL0~WL3に印加するための高電圧であって、隣接したセル間の信頼性テストを適切に行うことができる。

20

【0025】

図9はサブワードラインドライバを通してワードラインを活性化する周辺回路図であり、図10はウエハバーンインテスト時の信号のタイミングチャートである。

【0026】

図9Aの入力バッファは、外部から入力される外部ウエハバーンイン活性化信号WBEが活性化されると、内部ウエハバーンイン活性化信号PWBEを活性化して出力する。この回路は入力WBEと接地との間にNMOSトランジスタ901が接続され、入力WBEと内部ウエハバーンイン活性化信号PWBEとの間にはインバータ902、903が接続される。このような入力バッファはCMOSレベルの内部ウエハバーンイン活性化信号PWBEを提供するためのものである。

30

【0027】

図9Bに示したローアドレス制御部は、活性化された内部ウエハバーンイン活性化信号PWBEとアドレス信号A0~A3をそれぞれ入力とするNANDゲート904~907と、このNANDゲート904~907の各出力端子に接続されたインバータ908~911とからなり、ローアドレス制御部を通して各ワードラインを制御するパルスPWBE0~PWBE3を出力する。外部から印加されるアドレス信号A0~A3の組合せによる波形を示す図10のように、パルスPXiD_Pを選択的に各ワードラインに供給することができる。

40

【0028】

図9Cに示す回路は、アドレスバッファ手段913、914から出力される信号と、パルスPWBE0~PWBE3をそれぞれ入力とするNORゲート919、921、923、925と、このNORゲート919、921、923、925の出力端子に接続されたインバータ920、922、924、926からなる回路からローデコーディング信号RA0、バーRA0、RA1、バーRA1を出力する。図9Cの一番上の回路はアドレスバッファ手段912から出力される信号とパルスPWBEを入力として出力されるローデコーディング信号RAi、バーRAiを生成する。ローデコーディング信号RAi、バーRAiはワードラインWL0~WL3の他に残りの共通ワードラインを活性化するための信号である。

50

【0029】

図9Dの回路は、ローデコーディング信号RA0(バーRA0)、RA1(バーRA1)を入力とするNANDゲート927と、このNANDゲート927の出力を高電圧レベルにシフトさせるレベルシフタ928と、このレベルシフタ928の出力を反転させるインバータ929と、インバータ929の出力を反転して信号バーPX_iを出力するインバータ930と、信号バーPX_iを反転してパルスPX_iD_{_i}を出力するインバータ931と、インバータ929の出力を2回反転してPX_iD_{_P}を出力するインバータ932、933とから構成される。

【0030】

以上のような回路により、一つのグローバルワードラインNWEによって制御を受けるワードラインWL0~WL3が独立して動作可能になり、ウエハバーンインモード時にメモリセルにバックグラウンドデータパターンの書込みを自由に行うことができ、多様な形態のデータを持つことにより多様な信頼性テストを並列処理することができる。即ち、図1や図3で示す回路で起こっているような問題は多様なバックグラウンドデータパターンで克服することができる。また、図6のサブワードラインドライバ102では、トランジスタ604には普通の電圧以上のレベルが不要で、トランジスタ604を通してワードラインを活性化するための昇圧電圧VPPを供給するのではなく、トランジスタ603のドレインを通して印加される高電圧の信号PX_iD_{_P}によってゲートセルフブースティングでワードラインに十分な電圧レベルを供給することにより、高電圧による破壊を回避できる。

【0031】

【発明の効果】

本発明は、各ワードラインに独立に接続されたサブワードラインを通して多様なバックグラウンド書込みパターンを形成し得るのでテストの信頼性が高い。また、高電圧の印加されるトランジスタに過負荷がかかることを防止し得る。尚、交流ストレスによる信頼性テストも行える。

【図面の簡単な説明】

【図1】従来のサブワードラインドライバを持つ半導体メモリの概略図。

【図2】分図A、B共に図1の回路に用いられるスイッチング回路の回路図。

【図3】従来の他のサブワードラインドライバを持つ半導体メモリの概略図。

【図4】分図A、B共に図3の回路に用いられるスイッチング回路の回路図。

【図5】従来のローデコーダの回路図。

【図6】従来のサブワードラインドライバの回路図。

【図7】分図Aは図1に対するデータパターン、分図Bは図3に対するデータパターンを示す図。

【図8】本発明のウエハバーンインテスト回路。

【図9】分図Aは、本発明のウエハバーンイン活性化信号入力バッファ。分図Bは、ローアドレスバッファ。分図Cは、ローデコーディング信号を生成する回路。分図Dは、信号バーPX_i、PX_iD_{_i}、PX_iD_{_P}を生成する回路。

【図10】本発明のウエハバーンインテストをするための信号の出力タイミングチャート

。

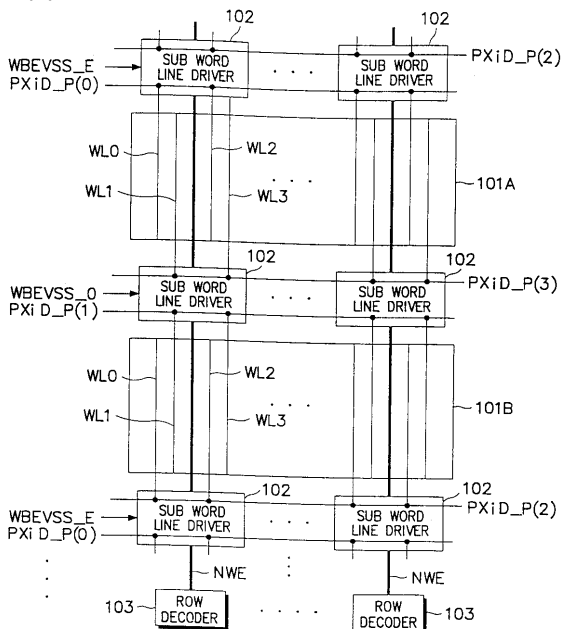
10

20

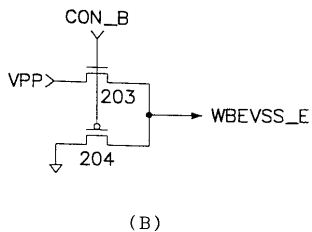
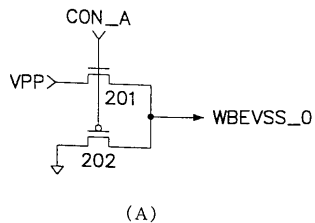
30

40

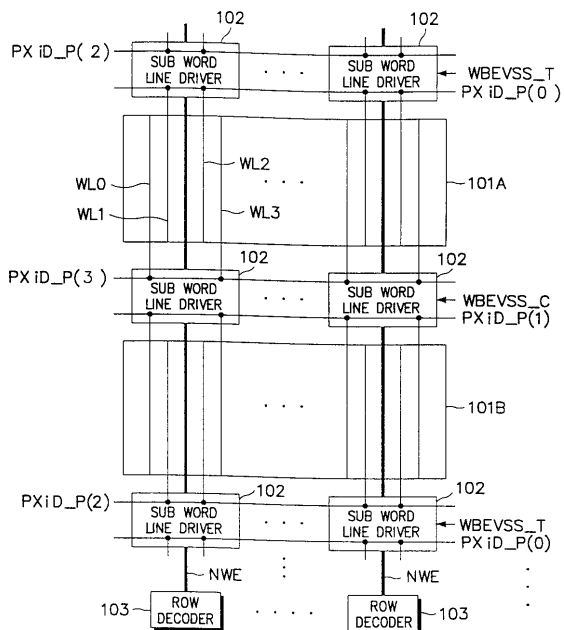
【 図 1 】



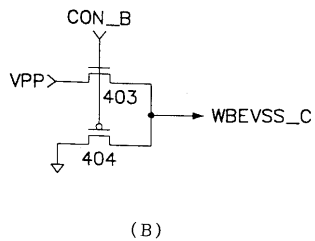
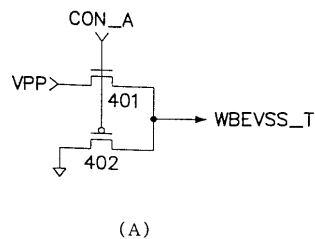
【 図 2 】



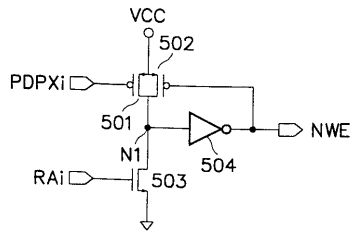
【 図 3 】



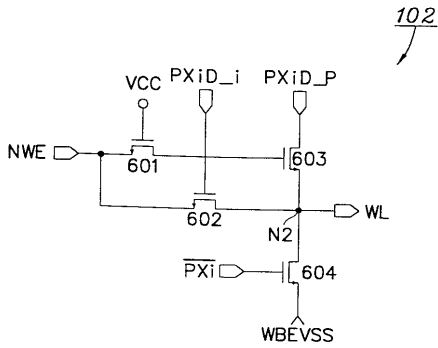
【 図 4 】



【 図 5 】

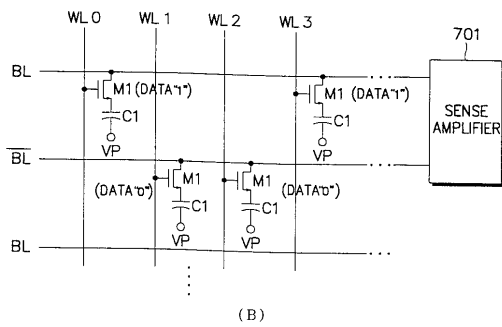
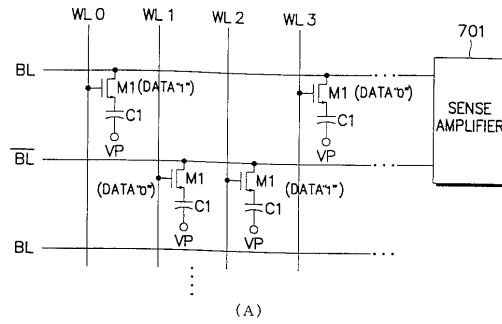


【 図 6 】

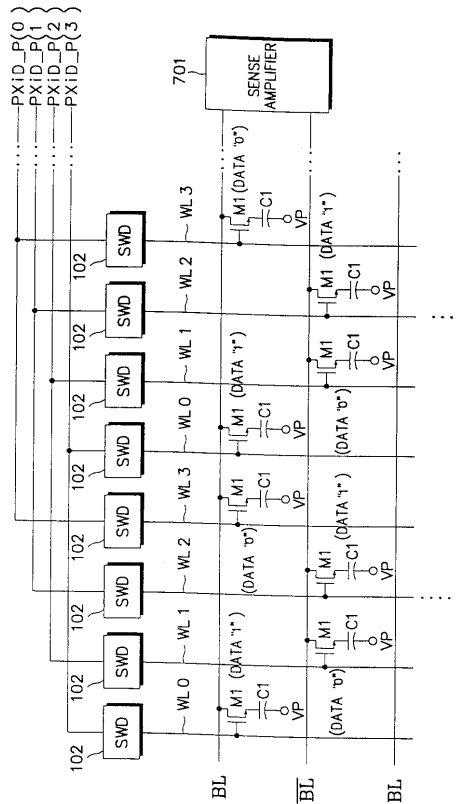


102

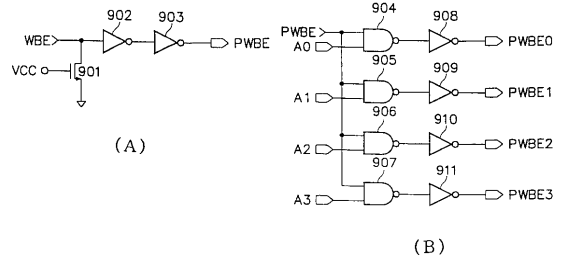
【 図 7 】



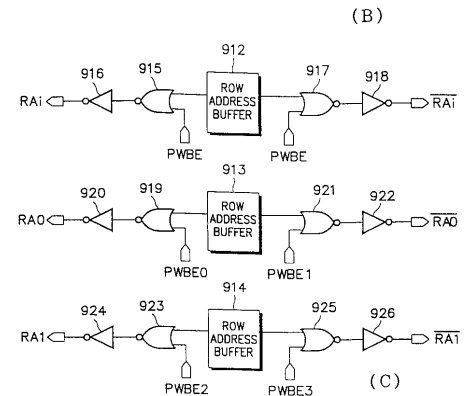
【 図 8 】



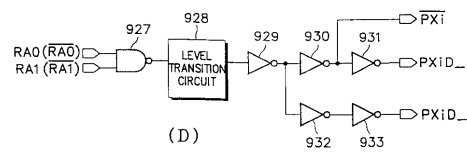
【 図 9 】



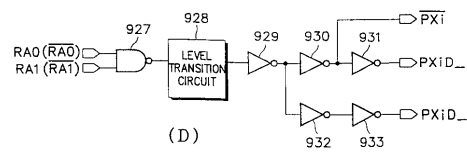
(A)



(B)

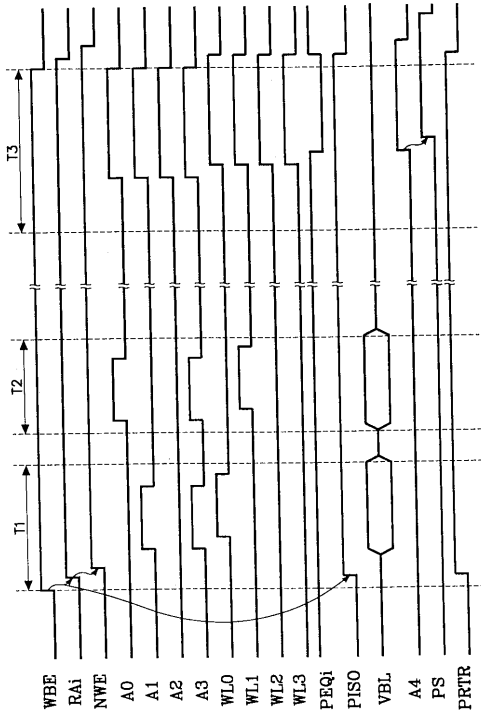


(C)



(D)

【 図 10 】



フロントページの続き

(74)代理人 100116894

弁理士 木村 秀二

(72)発明者 李 潤相

大韓民国京畿道城南市盆唐區書現洞示範韓信アパート112棟302號

審査官 今井 拓也

(56)参考文献 特開平04 - 000756 (JP, A)

特開平04 - 225182 (JP, A)

特開平07 - 029366 (JP, A)

特開平07 - 130166 (JP, A)

特開平09 - 063273 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 21/66

H01L 27/108

G11C 11/401

G11C 11/407