(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월03일
(11) 등록번호 10-0834933
(24) 등록일자 2008년05월28일

(51) Int. Cl.
G11C 7/06 (2006.01) *G11C 11/4091* (2006.01)
G11C 5/14 (2006.01) *G11C 11/4074* (2006.01)
(21) 출원번호 10-2007-0031562
(22) 출원일자 2007년03월30일
심사청구일자 2007년03월30일
(56) 선행기술조사문헌
KR100681879 B1
KR1020050078266 A
KR1020070089343 A
전체 청구항 수 : 총 24 항

(73) 특허권자
경상대학교산학협력단
경상남도 진주시 가좌동 900
(72) 발명자
정인영
경기 수원시 권선구 권선동 상록아파트 342동 902호
(74) 대리인
김 순 영, 김영철

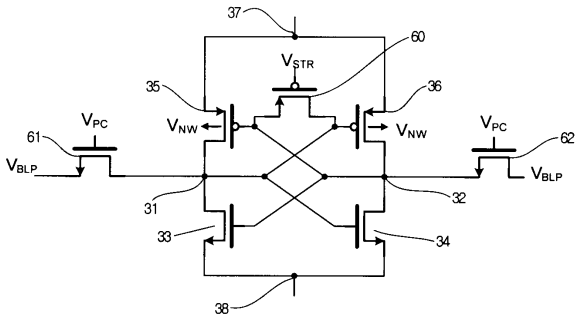
심사관 : 이옥우

(54) 비교기의 옵셋을 줄이기 위한 방법 및 그 장치

(57) 요 약

본 발명은, 비교기의 두 입력 단자를 동일한 전압으로 프리챠아지한 후 비교기를 인에이블시켜서 옵셋의 부호를 확인한 후, 비교기를 구성하는 트랜지스터 중 어느 하나 이상에 핫 캐리어를 스트레스 조건을 가하는 것을 특징으로 한다. 본 발명에 따르면, 다양한 형태의 비교기의 옵셋을 줄일 수 있게 된다. 본 발명은 각기 다른 옵셋값을 가지는 복수 개의 비교기가 구비된 장치에서 옵셋 감소를 위한 본 발명에 의한 기본 작동을 반복하여 수행함으로써 복수 개의 비교기의 옵셋이 각각 0으로 수렴하는 효과를 얻을 수 있다. 본 발명이 DRAM의 비트 라인을 읽는 감지 증폭기에 적용되는 경우, 트랜지스터를 추가하지 않고 기존에 이미 구비된 트랜지스터들을 이용하여 단지 입력 전압만을 제어함으로써 구현될 수 있는 장점이 있다.

대표도 - 도6



특허청구의 범위

청구항 1

비교기의 두 입력 단자들을 동일한 전압으로 프리챠아지하는 단계(S1);

상기 단계(S1)에 의하여 비교기의 두 입력 단자의 전압이 동일한 상태에서 비교기를 인에이블시켜서 그 출력 전압의 부호로부터 비교기의 옵셋 부호를 결정하는 단계(S2); 및

비교기를 구성하는 트랜지스터 중 어느 하나 또는 그 이상에 핫 캐리어를 발생시키는 스트레스 조건을 가하는 단계(S3)를 포함하는 것을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 2

제1항에 있어서,

상기 단계(S3)는, 비교기의 구동 전압을 증가시키는 것에 의하여 구현되는 것을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 3

제2항에 있어서,

상기 단계(S3)는, 비교기를 구성하는 트랜지스터의 n-웰 전압에 순방향 바이어스를 가하는 과정을 더 포함하는 것을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 4

제2항에 있어서,

상기 단계(S3)는, 핫 캐리어를 발생시키고자 하는 트랜지스터의 전류를 증대시키는 과정을 더 포함하는 것을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 5

제4항에 있어서,

상기 단계(S3)에서, 핫 캐리어를 발생시키고자 하는 트랜지스터의 전류를 증대시키는 과정은, 핫 캐리어를 발생시키고자 하는 트랜지스터가 PMOS인 경우, PMOS의 게이트 전압을 낮춤에 의하여 구현되는 것을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 단계(S3)에서, 핫 캐리어를 발생시키는 스트레스 조건을 가하는 트랜지스터는 단일 게이트 구조인 것을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 7

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 단계들 즉, 단계(S1), 단계(S2) 및 단계(S3)을 반복하여 수행하는 것을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 8

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 비교기는 크로스-커플 트랜지스터 형태의 구성 회로를 적어도 하나 이상 포함하고 있는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 9

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 비교기는 래치 형태인 경우를 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 10

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 비교기는 DRAM의 비트 라인 전압을 감지하는 감지 증폭기에 포함되어 있는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 11

제8항에 있어서,

상기 비교기는 적어도 하나의 크로스-커플 PMOS 트랜지스터 및 적어도 하나의 크로스-커플 NMOS 트랜지스터를 포함하고 있는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 방법.

청구항 12

비교기의 두 입력 단자들을 동일한 전압으로 프리챠아지하는 수단(M1); 및

상기 수단에 의하여 비교기의 두 입력 단자의 전압이 동일한 상태에서 비교기를 인에이블시켜서 그 출력 전압의 부호로부터 비교기의 옵셋 부호를 결정된 상태에서, 비교기를 구성하는 트랜지스터 중 어느 하나 또는 그 이상에 핫 캐리어를 발생시키는 스트레스 조건을 가하는 수단(M2)을 포함하는 것을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 13

제12항에 있어서,

상기 수단(M2)는, 비교기의 구동 전압을 증가시키는 수단을 포함하여 구성되는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 14

제13항에 있어서,

상기 수단(M2)는, 비교기를 구성하는 트랜지스터의 n-웰 전압에 순방향 바이어스를 가하는 수단을 더 포함하여 구성되는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 15

제13항에 있어서,

상기 수단(M2)는, 핫 캐리어를 발생시키고자 하는 트랜지스터의 전류를 증대시키는 수단을 더 포함하여 구성되는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 16

제15항에 있어서,

상기 수단(M2)에서, 핫 캐리어를 발생시키고자 하는 트랜지스터의 전류를 증대시키는 수단은, 핫 캐리어를 발생시키고자 하는 트랜지스터가 PMOS인 경우, PMOS의 게이트 전압을 낮추는 수단인 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 17

제16항에 있어서,

PMOS의 게이트 전압을 낮추는 상기 수단은, 비교기의 두 출력 단자를 연결하는 스위치 수단인 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 18

제16항에 있어서,

PMOS의 게이트 전압을 낮추는 상기 수단은, 비교기의 두 출력 단자를 각각 비교기의 구동 전압 중 낮은 전위(V_{SS})에 연결하는 스위치 수단인 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 19

제15항에 있어서,

핫 캐리어를 발생시키고자 하는 트랜지스터가 아닌 트랜지스터의 전류는 감소시키는 수단을 더 포함하여 구성되는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 20

제12항 내지 제19항 중 어느 한 항에 있어서,

상기 수단(M2)에 의하여, 핫 캐리어를 발생시키는 스트레스 조건이 가해지는 트랜지스터는 단일 게이트 구조인 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 21

제12항 내지 제19항 중 어느 한 항에 있어서,

상기 비교기는 크로스-커플 트랜지스터 형태의 구성 회로를 적어도 하나 이상 포함하고 있는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 22

제12항 내지 제19항 중 어느 한 항에 있어서,

상기 비교기는 래치 형태인 경우를 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 23

제12항 내지 제19항 중 어느 한 항에 있어서,

상기 비교기는 DRAM의 비트 라인 전압을 감지하는 감지 증폭기에 포함되어 있는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

청구항 24

제22항에 있어서,

상기 비교기는 적어도 하나의 크로스-커플 PMOS 트랜지스터 및 적어도 하나의 크로스-커플 NMOS 트랜지스터를 포함하고 있는 것임을 특징으로 하는 비교기의 옵셋을 줄이는 장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11> 본 발명은 비교기에서 옵셋을 줄이기 위한 방법 및 그 장치에 관한 것이다.

<12> 비교기는 DRAM 등과 같은 메모리 소자 내의 감지 증폭기에 사용되는 것이다. 비교기는 두 입력 전압을 비교하여 두 입력 전압의 차이에 따른 디지털 레벨의 출력 전압을 출력한다.

<13> 도1은 비교기 회로를 도시한 것이다, 도2는 이상적인 비교기의 경우 출력 전압을 도시한 것이다.

<14> 도2에서 보이는 바와 같이, 이상적인 비교기는, 두 입력 전압인 V_{IN+}와 V_{IN-}의 값을 비교하여 V_{IN+}이 V_{IN-}보다 작으면 $V_{OUT+} - V_{OUT-}$ 값을 음의 디지털 레벨을 출력하고, 반대로 V_{IN+}이 V_{IN-}보다 크면 $V_{OUT+} - V_{OUT-}$ 값을 양의 디지털 레벨을 출력한다. 이상적인 비교기는 도2에서 보이는 바와 같이 V_{IN+}이 V_{IN-}와 같아지는 순간, 즉 $V_{IN+} - V_{IN-}$이 0이 되는 순간, $V_{OUT+} - V_{OUT-}$ 값 역시 동시에 음의 디지털 레벨 출력값에서 양의 디지털 레벨 출력값으로 바뀌게 된다.

<15> 그러나 실제의 비교기는 옵셋이라는 것이 존재하게 된다. 이는 주로, 재료 상의 문제, 패턴 크기, 도핑 농도의 불균일성 등 공정상의 여러 요인에 의한 것으로 알려져 있고, 비교기의 옵셋을 제거하는 것은 실질적으로 불가능한 것으로 알려져 있다.

<16> 비교기의 옵셋의 부호는 음의 옵셋과 양의 옵셋이 있다. 도3a는 음의 옵셋을 가지는 비교기의 출력 형태를, 도3b는 양의 옵셋을 가지는 비교기의 출력 형태를 각각 도시한 것이다.

<17> 도3a에서 보이는 바와 같이 음의 옵셋을 가지는 비교기에서는, $V_{IN+} - V_{IN-}$이 0이 되는 순간에도 $V_{OUT+} - V_{OUT-}$ 값이 여전히 음의 디지털 레벨 출력값을 가지고, $V_{IN+} - V_{IN-}$이 V_{OS}가 되어야만 비로소, $V_{OUT+} - V_{OUT-}$ 값이 여전히 음의 디지털 레벨 출력값에서 양의 디지털 레벨 출력값으로 변환된다.

<18> 이와는 반대로, 도3b에서 보이는 바와 같이 양의 옵셋을 가지는 비교기에서는, $V_{IN+} - V_{IN-}$이 0이 되기도 전에 $V_{OUT+} - V_{OUT-}$ 값이 이미 양의 디지털 레벨 출력값을 가지게 되고, V_{IN+}가 V_{IN-}보다 V_{OS}만큼 작은 상황에서, 즉, $V_{IN+} - V_{IN-}$이 $-V_{OS}$인 경우 이미 $V_{OUT+} - V_{OUT-}$ 값이 음의 디지털 레벨 출력값에서 양의 디지털 레벨 출력값으로 변환된 상황이다. 따라서, $V_{IN+} - V_{IN-}$이 0이 경우 $V_{OUT+} - V_{OUT-}$ 값이 양의 디지털 레벨 출력값을 가진다.

<19> 도3a 및 도3b에서 비교기가 두 입력 전압의 차이를 잘못 판단하게 하는 정도를 나타내는 값인 V_{OS}를 옵셋 전압이라고 한다.

<20> 비교기의 옵셋 전압은 비교기가 사용되는 감지 증폭기에 영향을 미치게 된다. 감지 증폭기는 DRAM 등 메모리 소자에서, 미세한 전기적 신호를 디지털 레벨로 출력하는 역할을 하는 중요한 구성요소이다. 비교기의 옵셋 전압은 감지 증폭기 및 감지 증폭기를 포함하는 DRAM 등 메모리 소자의 성능에 중요한 영향을 미친다.

발명이 이루고자 하는 기술적 과제

<21> 본 발명은 비교기의 옵셋 전압을 줄이기 위한 방법 및 장치를 제공하기 위한 것이다.

발명의 구성 및 작용

<22> 이하에서 도면을 참조하면서 본 발명에 의한 비교기의 옵셋을 줄이는 방법 및 그 장치를 상세하게 설명한다.

<23> 먼저, 래치형 비교기를 대상으로 본 발명은 설명하기로 한다. 본 발명의 기술적 사상은 다른 형태의 비교기에도 동일하게 적용됨은 물론이다. 여기서는 설명을 편의를 위하여 래치형 비교기를 예를 들어서 설명하는 것이다.

<24> 도4는 래치형 비교기의 회로도이다. 래치형 비교기는 도4에 도시된 바와 같이 두 CMOS 인버터들을 구비하되, 제1인버터의 출력 단자를 제2인버터의 입력 단자에 연결하고, 제2인버터의 출력 단자를 제1인버터의 입력 단자에 연결하는 구조를 가진다. 따라서, 도4에서 31 노드 및 32 노드는 비교기의 입력 단자이기도 하면서 동시에 출력 단자가 된다. 이러한 구조를 크로스-커플 인버터(cross-coupled inverter) 구조라고 한다. 도4에 도시된 래치형 비교기는 작은 입력의 차이를 포지티브 피드백을 통하여 증폭하여 출력하게 된다.

<25> 본 발명을 설명하기에 앞서, 도4에 도시된 래치형 비교기의 작동 방법을 설명하고자 한다. 특히 도4와 같은 래치형 비교기가 DRAM에 사용되는 경우를 예를 들어서 설명한다.

<26> 도4의 37 노드 및 38 노드의 전압이 high-Z 상태로 있거나 또는 중간 전압에 있게 되어 도4의 비교기는 디스에이블되어 있는 상태이다. 이 상태에서 비교 대상인 두 입력 전압(V_{IN+}, V_{IN-})이 31 노드 및 32 노드에 각각 연결되므로 31 노드 및 32 노드는 비교 대상인 두 입력 전압(V_{IN+}, V_{IN-})의 값을 각각 가지게 된다. 도4의 37 노드와 38 노드의 전압이 각각 V_{dd}와 V_{ss}가 되면 도4의 비교기가 인에이블된다. 도4이 비교기가 인에이블되면 31 노드

및 32 노드 중 조금이라도 높은 전압을 가지는 노드의 전압은 V_{dd}로 상승하게 되고, 31 노드 및 32 노드 중 조금이라도 낮은 전압을 가지는 노드의 전압은 V_{ss}로 하강하게 되어 31 노드의 전압과 32 노드의 전압이 바로 비교기의 출력 전압(V_{OUT+}, V_{OUT-})가 된다.

<27> 즉, 도4의 비교기가 디스에이블 상태에서 31 노드 및 32 노드는 입력 전압 값을 받는 입력 단자들이지만, 도4의 비교기가 인에이블되면 31 노드 및 32 노드는 출력 전압값을 가지는 출력 단자들이 되는 것이다.

<28> 옵셋 전압이 존재하지 않는 이상적인 비교기라면, 디스에이블 상태에서 31 노드와 32 노드의 전압 차이가 0인 경우를 기준으로 양 또는 음의 디지털 레벨의 출력 전압 값을 가지지만, 옵셋 전압이 존재하는 실제의 비교기에서는 그러하지 아니하다.

<29> 예컨대, 도4의 비교기에서 음의 옵셋 전압(V_{OS})이 존재하는 경우, 도4의 비교기에서 31 노드의 입력 전압이 32 노드의 입력 전압보다 큰 경우에도 그 차이가 옵셋 전압(V_{OS})보다 작으면, 31 노드의 입력 전압이 32 노드의 입력 전압보다 큰 상황임에도 불구하고, 31 노드의 출력 값은 음의 디지털 레벨의 출력 전압 값을 가지고, 32 노드의 출력 값은 양의 디지털 레벨의 출력 전압 값을 가지는 오류가 발생하게 된다.

<30> 마찬가지로, 도4의 비교기에서 양의 옵셋 전압(V_{OS})이 존재하는 경우, 도4의 비교기에서 31 노드의 입력 전압이 32 노드의 입력 전압보다 작은 경우에도 그 차이가 옵셋 전압(V_{OS})보다 작으면, 31 노드의 입력 전압이 32 노드의 입력 전압보다 작은 상황임에도 불구하고, 31 노드의 출력 값은 양의 디지털 레벨의 출력 전압 값을 가지고, 32 노드의 출력 값은 음의 디지털 레벨의 출력 전압 값을 가지는 오류가 발생하게 된다.

<31> 본 발명은 이를 해결하기 위하여 다음과 같은 방법을 제시한다.

<32> 먼저, 비교기의 두 입력 단자들인 V_{IN+} 및 V_{IN-}(도4의 경우 31 노드 및 32 노드)를 동일한 전압으로 프리챠아징한다(단계 S1). 그런 다음 비교기를 인에이블시켜서 비교기의 출력 전압을 측정한다(단계 S2). 두 입력 단자의 전압이 동일하므로 이때 측정되는 비교기의 출력 전압 값의 부호는 바로 비교기의 옵셋 전압의 부호가 된다. 도3a 및 도3b에서 보이는 바와 같이, 두 입력 단자의 전압이 동일할 때의 출력 값의 부호가 바로 옵셋 전압의 부호가 되는 것임을 알 수 있다.

<33> 다음으로 비교기를 구성하는 트랜지스터 중 어느 하나에 스트레스를 발생시키는 바이어스를 가한다(단계 S3). 구체적으로 본 발명은 단계(S3)에서, 강한 드레인 전계 등에 의해서 이동 속도가 빠른 전자나 정공, 즉 핫 캐리어(hot carrier)를 발생시킨다. 핫 캐리어는 MOS 구조의 실리콘 채널 영역에서 게이트 산화막 영역 속으로 포획되어, MOS 트랜지스터의 문턱 전압을 변동시키게 된다. NMOS 트랜지스터의 경우, 핫 캐리어에 의하여 문턱 전압이 상승하게 되어 전류가 줄어들게 되고, PMOS 트랜지스터의 경우, 핫 캐리어에 의하여 문턱 전압의 절대치가 하강하게 되어 전류가 증가하는 특성을 보인다.

<34> 핫 캐리어의 발생은 드레인 전계 크기와 밀접하게 연관되어 있으므로, 많은 양의 핫 캐리어를 발생시키고자 하는 경우에는 큰 드레인 전압을 걸어주면 된다. 핫 캐리어는 또한, 드레인 전류량과도 대체로 비례하는 관계가 있으므로 드레인 전류를 증가시켜서 핫 캐리어의 발생량을 증가시키게 된다.

<35> 한편, 스트레스에 의하여 핫 캐리어가 발생하는 경우, 트랜지스터의 특성이 제작 후 초기값에서 벗어나게 되므로 통상적으로는 집적 회로에서 바람직하지 않은 결과를 가져오는 것으로 인식되어 이를 디바이스의 열화(degradation) 현상 중 하나로 여겨지고 있다. 그러나, 본 발명에서는 비교기를 구성하는 트랜지스터들 중 어느 하나 또는 그 이상에 핫 캐리어를 발생시켜서 비교기의 옵셋을 상쇄시키고자 하는 본 발명의 목적을 달성하고자 한다.

<36> 예컨대, 도4와 같은 비교기에서, 옵셋 전압(V_{OS})이 음의 값이라고 가정하자. 옵셋 전압의 부호가 음의 값이므로, 단계(S2)에서 31 노드의 전압(즉, V_{OUT+})은 V_{ss}가 되고, 32 노드의 전압(즉, V_{OUT-})은 V_{dd}가 된다. 이 상태에서 PMOS(35) 및 NMOS(34)에 V_{dd}- V_{ss}에 해당되는 드레인 전압이 걸리게 된다.

<37> 본 발명에서는 강한 드레인 전압에 의하여 핫 캐리어를 발생시키기 위하여 비교기의 통상적인 구동 전압인 V_{dd}보다 큰 전압인 V_{pp}를 37 노드에 인가한다. 이 경우 PMOS(35) 및 NMOS(34)에 V_{pp}- V_{ss}에 해당되는 더 강한 드레인 전압이 걸리게 된다.

<38> 이와 같이 PMOS(35) 및 NMOS(34)에 강한 드레인 전압이 걸리면 핫 캐리어가 발생하게 된다. PMOS(35)에 핫 캐리어가 발생하면 PMOS(35)의 문턱 전압의 절대치를 낮추게 되고 드레인 전류를 증가시키게 되는데, 이는 31 노드 전압(V_{OUT+})을 상승시켜서 옵셋 전압을 양의 방향으로 이동시키는 역할을 하여 결과적으로 음의 옵셋 전압을 상쇄시키게 된다.

<39> 한편, NMOS(34)에 걸리는 강한 드레인 전압으로 인하여 NMOS(34)에 핫 캐리어가 발생하면 NMOS(34)의 문턱 전압이 상승하고, 이에 따라서 NMOS(34)의 전류 구동 능력이 줄어들어서 32 노드 전압(V_{OUT-})을 상승할 개연성이 있으므로 결과적으로 음의 옵셋 전압을 더 음의 방향으로 이동시키는 결과가 된다.

<40> 본 발명에서는 이러한 문제를 해결하기 위하여, PMOS(35)의 n-웰 전압(V_{NW})에 순방향 전압을 가하여 PMOS 트랜지스터의 순방향 바디 효과에 의하여 PMOS의 문턱 전압 절대치를 낮춰 PMOS(35)에 흐르는 전류를 NMOS(34)에 비해 선택적으로 증가시킨다. 이러한 경우 PMOS(35)의 전류가 증가하여 PMOS(35)가 NMOS(34)에 비하여 핫 캐리어 생성에 더 좋은 조건을 가지게 되어 더 많은 핫 캐리어를 생성하게 되어, 비교기 전체적으로 음의 옵셋 전압을 양의 방향으로 상쇄시키는 방향으로 작동하게 된다. 여기서, '순방향' 이라함은, 트랜지스터의 바디 단자와 소스 단자가 이루는 pn 접합에 순방향 바이어스가 걸리는 상태를 지칭한다. 즉, p형 반도체가 이루는 바디 혹은 소스 노드 전압이 n형 반도체가 이루는 소스 혹은 바디 전압보다 높은 바이어스 조건을 의미한다.

<41> PMOS(35)의 전류를 증가시키기 위한 또 다른 방법은 PMOS(35)이 게이트 전압을 낮추는 방법이 있다. PMOS(35)의 게이트 전압을 낮추면 PMOS(35)의 전류가 증가하여 위와 마찬가지로, PMOS(35)가 NMOS(34)에 비하여 핫 캐리어 생성에 더 좋은 조건을 가지게 되어 더 많은 핫 캐리어를 생성하게 되어, 비교기 전체적으로 음의 옵셋 전압을 양의 방향으로 상쇄시키는 방향으로 작동하게 된다.

<42> 도4와 같은 비교기에서, 옵셋 전압(V_{OS})가 양의 값인 경우, 옵셋 전압의 부호가 양의 값이므로, 단계(S2)에서 31 노드의 전압(즉, V_{OUT+})은 V_{dd}가 되고, 32 노드의 전압(즉, V_{OUT-})는 V_{ss}가 된다. 이 상태에서는 PMOS(36) 및 NMOS(33)에 V_{dd}- V_{ss}에 해당되는 드레인 전압이 걸리게 된다.

<43> 본 발명에서 강한 드레인 전압에 의하여 핫 캐리어를 발생시키기 위하여 비교기의 통상적인 구동 전압인 V_{dd}보다 큰 전압인 V_{pp}를 37 노드에 인가하면, PMOS(36) 및 NMOS(33)에 V_{pp}- V_{ss}에 해당되는 더 강한 드레인 전압이 걸리게 된다.

<44> PMOS(36)에 핫 캐리어가 발생하면 PMOS(36)의 문턱 전압의 절대치를 낮추게 되고 드레인 전류를 증가시키게 되는데, 이는 32 노드 전압(V_{OUT-})을 증가시켜서 옵셋 전압을 음의 방향으로 이동시키는 역할을 하여 결과적으로 양의 옵셋 전압을 상쇄시키게 된다.

<45> 한편, NMOS(33)에 걸리는 강한 드레인 전압으로 인하여 NMOS(33)에 핫 캐리어가 발생하면 NMOS(33)의 문턱 전압이 상승하고, 이에 따라서 NMOS(33)의 전류 구동 능력이 줄어들어서 32 노드 전압(V_{OUT-})을 상승할 개연성이 있으므로 결과적으로 양의 옵셋 전압을 더 양의 방향으로 이동시키는 결과가 된다.

<46> 본 발명에서는 이러한 문제를 해결하기 위하여, PMOS(36)의 n-웰 전압(V_{NW})에 순방향 전압을 가하여 PMOS 트랜지스터의 순방향 바디 효과에 의하여 PMOS(36)의 문턱전압 절대치를 낮춰 PMOS(36)에 흐르는 전류를 NMOS(33)에 비해 선택적으로 증가시킨다. 이러한 경우 PMOS(36)의 전류 가 증가하여 PMOS(36)가 NMOS(33)에 비하여 핫 캐리어 생성에 더 좋은 조건을 가지게 되어 더 많은 핫 캐리어를 생성하게 되어, 비교기 전체적으로 양의 옵셋 전압을 음의 방향으로 상쇄시키는 방향으로 작동하게 된다.

<47> PMOS(36)의 전류를 증가시키기 위한 또 다른 방법은 PMOS(36)의 게이트 전압을 낮추는 방법이 있다. PMOS(36)의 게이트 전압을 낮추면 PMOS(36)의 전류가 증가하여 위와 마찬가지로, PMOS(36)가 NMOS(33)에 비하여 핫 캐리어 생성에 더 좋은 조건을 가지게 되어 더 많은 핫 캐리어를 생성하게 되어, 비교기 전체적으로 양의 옵셋 전압을 음의 방향으로 상쇄시키는 방향으로 작동하게 된다.

<48> 정리하면, 본 발명에 의한 방법에 따르면, 음의 옵셋 전압은 양의 방향으로 상쇄시키고, 양의 옵셋 전압은 음의 방향으로 상쇄시키게 된다.

<49> 한편, 본 발명의 단계(S3)에서는 특히, 핫 캐리어를 발생시키는 스트레스 조건을 가하는 트랜지스터가 단일 게이트 구조이다. 이 점은 이중 게이트 또는 플로팅 게이트(floating gate)를 이용한 옵셋 제거와는 차별되는 점

이라고 할 수 있다. 본 발명이 적용될 수 있는 DRAM에 이중 게이트 또는 플로팅 게이트가 적용되지 않으므로 본 발명에서 핫 캐리어를 발생시키는 스트레스 조건을 가하는 트랜지스터가 단일 게이트 구조인 점은 기술적으로도 의미가 있다.

<50> 본 발명에 의한 방법에서의 3가지 단계, 즉, 비교기의 두 입력 단자들(도4의 경우 31 노드 및 32 노드)의 입력 전압들(V_{IN+} 및 V_{IN-})을 동일한 전압으로 프리챠아징하는 단계(단계 S1), 그런 다음 비교기를 인에이블시켜서 비교기의 출력 전압을 측정하는 단계(단계 S2) 및 비교기를 구성하는 트랜지스터 중 어느 하나에 스트레스를 발생시키는 바이어스를 가하여 핫 캐리어(hot carrier)를 발생시켜서 옵셋 전압을 상쇄하는 단계(단계 S3)를 기본적인 구성요소로 하여, 이 3 단계를 반복 수행함으로서 옵셋 전압이 0에 수렴하도록 한다.

<51> 도5는 본 발명에 따른 방법의 위 3단계를 반복 수행함으로써 각기 다른 옵셋을 가지는 3개의 비교기의 옵셋 전압이 반복 수행됨에 따라서, 3개의 비교기의 옵셋 전압이 각각 점차 0으로 수렴하는 것을 보여주는 도면이다. 도5에서 가로축의 단위 구간은 본 발명에 의한 방법의 3단계를 하나의 패키지로 표시한 것이다.

<52> 도5를 통하여 알 수 있는 바와 같이, 본 발명에 의한 방법은, 여러 개의 비교기를 구비하는 디바이스, 예컨대, DRAM의 비트 라인 감지 증폭기에 용이하게 적용될 수 있다는 것을 알 수 있다. 여러 개의 비교기에 동일하게 적용되는 스트레스 조건(예컨대, 스트레스 인가 시간)을 찾는 것을 용이한 일이 아니다. 그러나, 완화된 스트레스 조건으로 본 발명에 의한 방법을 여러 번 반복 수행함에 따라서, 여러개의 비교기를 구비하는 디바이스 내의 모든 비교기들의 옵셋이 부궤환 동작으로 적응적으로 0으로 수렴하게 된다.

<53> 위의 설명에서는 PMOS 트랜지스터의 전류를 증가시키기 위하여 PMOS의 바이어스를 주는 방법을 설명하였지만, 이에 대응되는 방법을 NMOS 트랜지스터에 적용할 수도 있다. 예컨대, 음의 옵셋 전압을 가지는 비교기에서 PMOS(35) 대신에 NMOS(33)에 핫 캐리어 스트레스를 가하는 것도 비교기의 옵셋을 상쇄하는 또 다른 방법이 되며, 이를 위하여 NMOS(33)에 강한 전압이 걸리도록 단계(S2)를 거친 후, 단계(S3) 실행 이전에 비교기의 두 출력 단자 전압들(V_{OUT+}, V_{OUT-})을 서로 뒤바꾸는 것이 필요하다.

<54> 이하에서는, 본 발명에 의한 방법을 구현하기 위한 장치를 설명한다.

<55> 도6는 본 발명의 의한 비교기의 옵셋을 줄이는 장치의 일실시예를 도시한 것으로서, 래치형 비교기를 예를 들어서 도시한 것이다.

<56> 일반적인 래치형 비교기를 도시한 도4와 도6를 대비하여 보면, 두 입력 단자인 31 노드와 32 노드에 동일한 전압을 프리챠아지하기 위한 수단들(61, 62) 및 31 노드와 32 노드를 연결하는 스위치(60)가 구비되어 있는 것을 확인할 수 있다.

<57> 본 발명의 첫번째 단계(S1)에서는 비교기의 두 입력 단자들(31 노드 및 32 노드)의 입력 전압들(V_{IN+} 및 V_{IN-})을 동일한 전압으로 프리챠아지하는 동작이 수행된다. 두 입력 단자의 전압이 프리챠아지되고 동일하게 조정되는 것이 동시에 이루어지는 것이 바람직하지만, 경우에 따라서는 두 입력 단자의 전압을 동일하게 조정하는 과정만을 수행할 수도 있으며, 이처럼 두 입력 단자의 전압을 동일하게 조정하는 과정만을 수행하는 경우에는 두 입력 단자들인 31 노드와 32 노드를 연결하는 스위치(60)가 이를 수행한다. 또한, 비교기가 사용되는 상황에 따라서, 두 입력 단자들 중 어느 하나의 입력 단자에 고정된 전압이 입력되는 경우 해당 입력 단자의 전압을 프리챠이지하기 위한 수단을 필요하지 않게 된다.

<58> 정리하면, 본 발명에 의한 장치에서, 첫번째 단계(S1)을 수행하기 위하여는 비교기의 두 입력 단자들의 입력 전압들을 동일하게 조정하는 최소한 하나의 스위치가 구비되어야 한다.

<59> 본 발명자는, 도6에 도시된 장치에서, 기존의 DRAM에서 비트 라인 센싱 등의 동작을 위하여 이미 구비되어 있는 트랜지스터들로 60, 61 및 62을 구성할 수 있음을 주목한다. 즉, 기존의 장치에 이미 구비되어 있는 트랜지스터를 이용하여 본 발명을 구현할 수 있는 큰 장점이 있다.

<60> 본 발명의 둘째 단계(S2)는, 비교기의 두 입력 단자의 전압을 동일하게 조정한 상태에서, 비교기를 인에이블시켜서 비교기의 출력 전압을 측정하는 단계이므로 기존의 비교기 외에 별도의 장치가 추가로 필요하지 않다.

<61> 본 발명의 셋째 단계(S3)는, 비교기를 구성하는 트랜지스터 중 어느 하나에 스트레스를 발생시키는 바이어스를 가하여 핫 캐리어를 발생시키는 단계로서, 핫 캐리어를 효과적으로 발생시키기 위하여, i)비교기에 통상적인 구동 전압보다 큰 전압을 37 노드에 인가하고, ii)PMOS의 n-웰 전압에 순방향 전압을 가하거나 및/또는 iii)PMOS의 게이트 전압을 낮추는 과정을 수행한다.

<62> 방식 i)를 위하여 도6에 도시된 본 발명에 의한 장치에는 37 노드에 제어된 값을 가지는 전압을 인가하는 수단(미도시)이 구비된다. 이 수단에 의하여 37 노드에 입력된 전압은, 비교기가 디스에이블 상태로 있는 high-Z 상태이거나, 비교기의 통상적인 구동 전압인 V_{dd}이거나, PMOS(35)에 핫 캐리어를 발생시키기 위하여 인가되는 통상적인 구동 전압인 V_{dd}보다 큰 전압인 V_{pp}이다.

<63> 방식 ii)를 위하여 도6에 도시된 본 발명에 의한 장치에는, PMOS(35, 36)의 바디 단자를 포함하는 n-웰의 전압(V_{NW})을 순방향으로 입력하고 제어하는 수단(미도시)이 구비된다.

<64> 방식 iii)를 위한 수단, 즉 PMOS(35)의 게이트 전압을 낮추어서 PMOS(35)의 전류를 대폭 증가하여 핫 캐리어 생성을 증가시키기 위한 수단은 다양한 형태로 구현될 수 있다.

<65> 도6에 도시된 실시예에 따른 장치에서는, 본 발명의 셋째 단계(S3)에서 두 출력 단자인 31 노드 및 32 노드를 연결하는 스위치(60)를 이용하여 방식 iii)를 수행한다. 이 스위치(60)에 의하여 31 노드 및 32 노드 사이에 전류가 흐를 경우, 이는 32 노드의 전압을 하강시키는데, 32 노드는 PMOS(35)의 게이트 전압이므로, 결국 PMOS(35)의 게이트 전압을 하강시켜서 PMOS(35)의 전류를 증대시킨다. 본 발명의 단계(S3)에서 핫 캐리어 발생시킬 때에, 31 노드 및 32 노드를 연결하는 스위치(60)는 비교기가 인에이블된 상태에서 켜진다.

<66> 다시 설명하건대, 도6에서, 기존의 DRAM에서 비트 라인 센싱 등의 동작을 위하여 이미 구비되어 있는 트랜지스터들로 60, 61 및 62을 구성할 수 있으므로, 본 발명을 도6과 같은 방식으로 구현한다면, 기존의 장치에 이미 구비되어 있는 트랜지스터를 이용하여 본 발명을 구현할 수 있는 큰 장점이 있다.

<67> 도7은, 본 발명의 셋째 단계(S3)에서 방식 iii), 즉 PMOS(35)의 게이트 전압을 낮추어서 PMOS(35)의 전류를 증대시켜서 핫 캐리어의 발생을 증대시키는 것을 구현한 다른 형태의 회로 구성도이다.

<68> 도7은 본 발명의 셋째 단계(S3)에서 두 출력 단자인 31 노드와 32 노드를 노드 88과 연결하는 스위치들(71, 72)를 구비한 것이다. 이 스위치들(71, 72) 역시 두 출력 단자인 31 노드와 32 노드의 전압을 낮추어서 PMOS(35)의 게이트 전압을 낮추어서 PMOS(35)의 전류를 증대시켜서 핫 캐리어의 발생을 증대시키게 된다.

<69> 도8은 도6를 개선한 장치로서, 도6에서 스트레스를 인가하는 트랜지스터(35)에 대응되는 트랜지스터(36)에 전류가 과다하게 소모되는 단점을 보완하기 위한 회로도이다.

<70> PMOS(35)에 핫 캐리어가 발생하는 상태에서 스위치(60)를 켜서 PMOS(35)의 게이트 전압을 낮추면서 도8에서 추가되 구비된 PMOS(81 및 82)의 게이트 전압을 어느 정도 상승시켜서 PMOS(81과 82)가 PMOS(35 및 36)의 소스 저항 역할을 하게 한다. 이러한 소스 저항은 핫 캐리어를 발생시키고자 하는 PMOS(35)의 전류는 크게 줄이지 않는 반면에, 핫 캐리어를 발생시키고자 하지 않는 대응되는 PMOS(36)의 전류는 대폭 줄여서 PMOS(36)에서 전류가 과다하게 소모되는 단점을 보완하게 된다.

<71> 이상에서의 본 발명에 관한 상세한 설명에서는 도4에 도시된 래치형 비교기를 대상으로 본 발명을 상세하게 설명하였다. 본 발명의 사상은 래치형 비교기에 한정되는 것이 아니라, 크로스-커플 트랜지스터(Cross-coupled transistor) 형태의 다른 비교기에도 적용된다.

<72> 크로스-커플 트랜지스터 형태란, 두 개의 트랜지스터가 존재하되, 제1트랜지스터의 출력 노드가 제2트랜지스터의 입력노드로 연결되고, 제2트랜지스터의 출력노드가 또한 제1트랜지스터의 입력노드에 연결되는 구조를 지칭한다.

<73> 본 발명이 적용되는 비교기는 바람직하게는 적어도 하나의 크로스-커플 PMOS 트랜지스터 및 적어도 하나의 크로스-커플 NMOS 트랜지스터를 포함한다. ㅋ

<74> 도9는 본 발명이 적용되는 비교기의 다른 예로서, 입력 수신기 등에 흔히 사용되는 클럭에 의하여 제어되는 비교기 회로이다. 도4에 도시된 비교기와 대비하여 볼 때에, 도9에 도시된 비교기는 입력 단자(V_{IN+}, V_{IN-})와 출력 단자(V_{OUT+}, V_{OUT-})가 분리되어 있다. 또한, 클럭 신호(CLK)의 위상에 의하여 클럭 신호가 로우일 때 출력 단자가 프리챠아지되며, 클럭 신호에 의하여 비교기가 인에이블 또는 디스에이블 상태가 된다.

<75> 도10 및 도11은, 도9에 도시된 비교기에 본 발명을 적용한 회로 구성도의 일예들이다. 도10 및 도11은 각각 도4에 도시된 비교기에 본 발명을 적용한 회로 구성도인 도6 및 도7에 각각 대응되는 회로도이다.

<76> 도10 및 도11을 참조하면서 본 발명을 설명한다. 본 발명의 첫째 단계(S1)은 비교기 입출력 프리챠아지 단계이

다. 입력 단자 옆에 도시된 스위치들(도10: 223, 224, 도11: 243, 244)에 의하여 두 입력 전압(V_{IN+} 및 V_{IN-})를 기준 전압으로 프리챠아지되고 동일하게 조정한다. 또한, 비교기 작동을 위한 준비 단계로서 두 출력 전압(V_{OUT+}, V_{OUT-})을 프라챠아지한다. 이 2가지 작동은 순서에 관계없이 순차적으로 또는 동시에 일어날 수 있다. 또한 이 2가지 작동은 클럭 신호가 로우 상태에서 수행되는 것이 타당하다.

<77> 본 발명의 둘째 단계(S2)를 수행하기 위하여, 클럭 신호가 하이가 되면서 비교기가 작동하여, 비교기는 차등의 증폭된 출력을 준다.

<78> 본 발명의 셋째 단계(S3)에서는, 핫 캐리어 스트레스를 주는 단계로서, V_H를 통상의 작동 전압에서 더 높은 전압인 V_{pp}로 인가하여, PMOS(211, 212)의 드레인 전압을 높이고, PMOS(211, 212)의 n-웰 전압(V_{NW})을 순방향으로 가하고, PMOS(211, 212)의 게이트 전압을 낮추어서, PMOS(211, 212)에서 핫 캐리어의 발생을 증대시켜서 그 결과 비교기의 옵셋을 줄이게 된다.

<79> 도9 내지 도11의 예에서 보이는 바와 같이, 본 발명은 다양한 형태의 비교기에 적용될 수 있음을 알 수 있다.

발명의 효과

<80> 이상에서 설명한 바와 같이, 본 발명에 따르면 핫 캐리어를 발생시키는 스트레스 조건을 가하여, 다양한 형태의 비교기의 옵셋을 줄일 수 있게 된다. 본 발명은 각기 다른 옵셋값을 가지는 복수 개의 비교기가 구비된 장치에서 옵셋 감소를 위한 본 발명에 의한 기본 작동을 반복하여 수행함으로써 복수 개의 비교기의 옵셋이 각각 0으로 수렴하는 효과를 얻을 수 있다. 본 발명이 DRAM의 비트 라인을 읽는 감지 증폭기에 적용되는 경우, 트랜지스터를 추가하지 않고 기존에 이미 구비된 트랜지스터들을 이용하여 단지 입력 전압만을 제어함으로써 구현될 수 있는 장점이 있다.

도면의 간단한 설명

<1> 도1은 비교기 회로를 도시한 것이다.

<2> 도2는 이상적인 비교기의 경우 출력 전압을 도시한 것이다.

<3> 도3a는 음의 옵셋을 가지는 비교기의 출력 형태를, 도3b는 양의 옵셋을 가지는 비교기의 출력 형태를 각각 도시한 것이다.

<4> 도4는 래치형 비교기의 회로도이다.

<5> 도5는 본 발명에 따른 방법의 위 3단계를 반복 수행함으로써 각기 다른 옵셋을 가지는 3개의 비교기의 옵셋 전압이 반복 수행됨에 따라서, 3개의 비교기의 옵셋 전압이 각각 점차 0으로 수렴하는 것을 보여주는 도면이다.

<6> 도6는 본 발명의 의한 비교기의 옵셋을 줄이는 장치의 일실시예를 도시한 것으로서, 래치형 비교기를 예를 들어서 도시한 것이다.

<7> 도7은, 본 발명의 셋째 단계(S3)에서 방식 iii), 즉 PMOS(35)의 게이트 전압을 낮추어서 PMOS(35)의 전류를 증대시켜서 핫 캐리어의 발생을 증대시키는 것을 구현한 다른 형태의 회로 구성도이다.

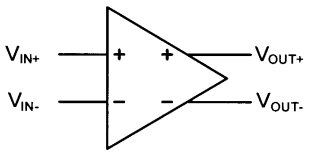
<8> 도8은 도6를 개선한 장치로서, 도6에서 스트레스를 인가하는 트랜지스터(35)에 대응되는 트랜지스터(36)에 전류가 과다하게 소모되는 단점을 보완하기 위한 회로도이다.

<9> 도9는 본 발명이 적용되는 비교기의 다른 예로서, 입력 수신기 등에 흔히 사용되는 클럭에 의하여 제어되는 비교기 회로이다.

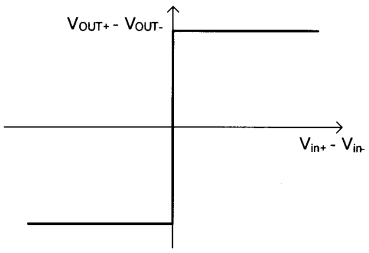
<10> 도10 및 도11은, 도9에 도시된 비교기에 본 발명을 적용한 회로 구성도의 일예들이다.

도면

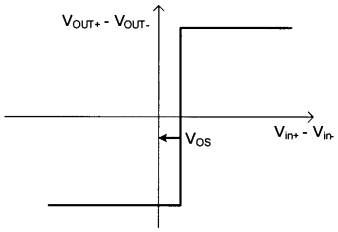
도면1



도면2

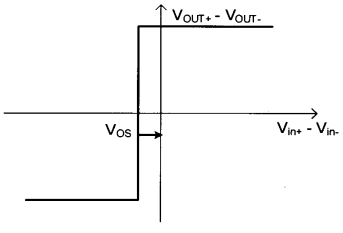


도면3a



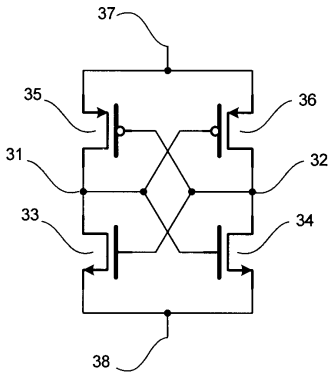
음의 옵셋

도면3b

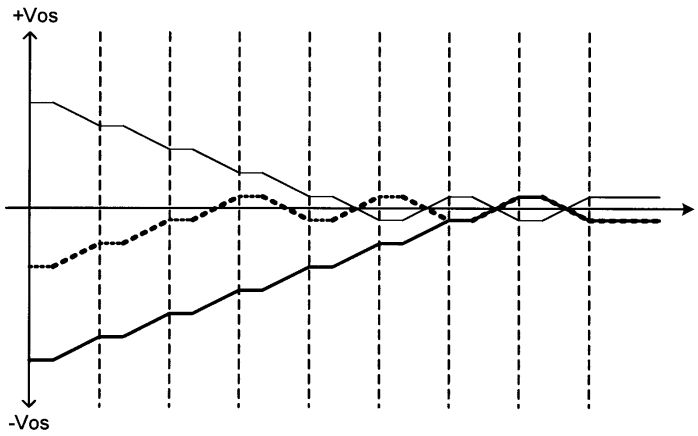


양의 옵셋

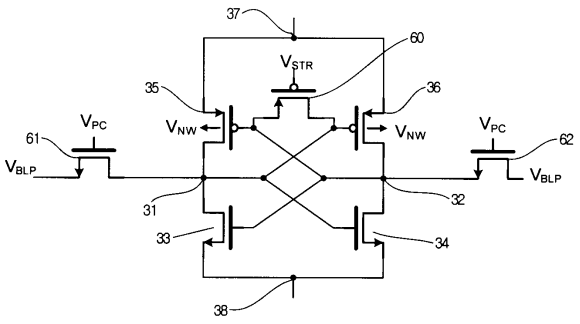
도면4


37
35
36
31
32
33
34
38

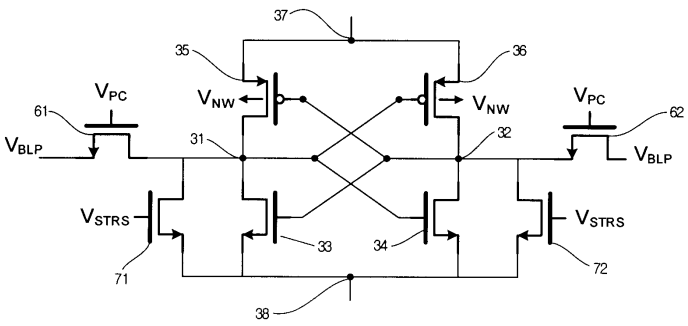
도면5


+Vos
-Vos

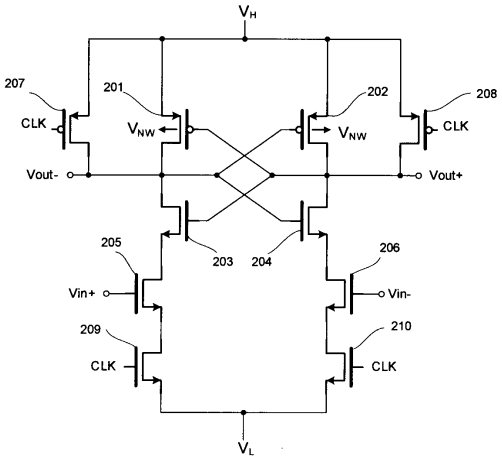
도면6


37
60
V_{STR}
35
36
V_{PC}
V_{NW}
V_{NW}
V_{PC}
61
62
V_{BLP}
V_{BLP}
31
32
33
34
38

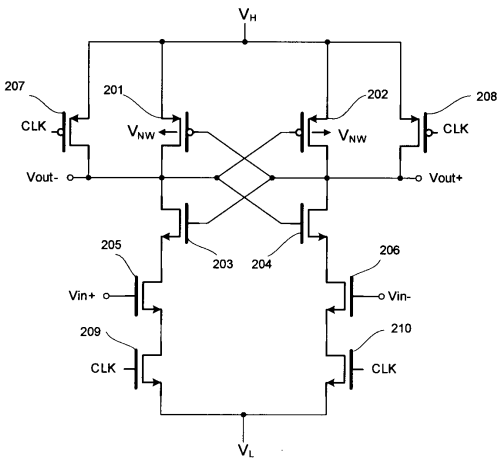
도면7


37
35
36
V_{PC}
V_{NW}
V_{NW}
V_{PC}
61
62
V_{BLP}
31
32
V_{BLP}
V_{STRS}
V_{STRS}
33
34
71
72
38

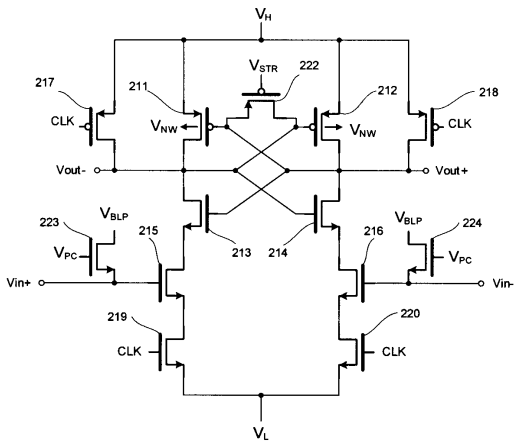
도면8


V_H
207
201
202
208
CLK
V_{NW}
V_{NW}
CLK
Vout-
Vout+
205
203
204
206
Vin+
Vin-
209
210
CLK
CLK
V_L

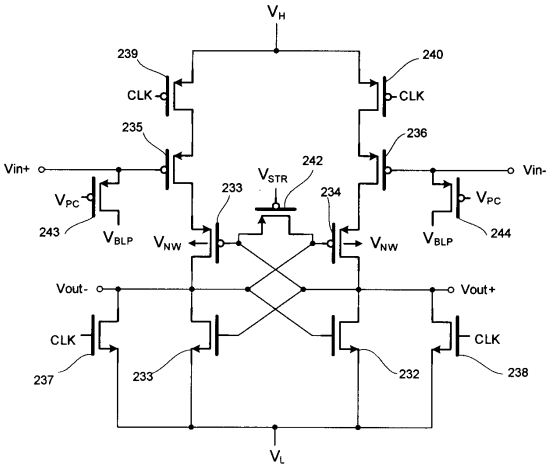
도면9


V_H
207
201
202
208
CLK
V_{NW}
V_{NW}
CLK
Vout-
Vout+
205
203
204
206
Vin+
Vin-
209
210
CLK
CLK
V_L

도면10


VH
VSTR
222
217
211
212
218
CLK
VNW
VNW
CLK
Vout-
Vout+
223
VBLP
215
213
214
216
VBLP
224
VPC
VPC
Vin+
Vin-
219
220
CLK
CLK
VL

도면11


VH
239
240
CLK
CLK
235
236
Vin+
Vin-
242
VSTR
233
234
VPC
VPC
243
VBLP
VNW
VNW
VBLP
244
Vout-
Vout+
CLK
CLK
237
233
232
238
VL