



(12) 发明专利申请

(10) 申请公布号 CN 116918199 A

(43) 申请公布日 2023. 10. 20

(21) 申请号 202280016720.X

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

(22) 申请日 2022.02.21

专利代理师 张远

(30) 优先权数据

2021-030864 2021.02.26 JP

(51) Int.Cl.

H01S 5/028 (2006.01)

(85) PCT国际申请进入国家阶段日

2023.08.23

(86) PCT国际申请的申请数据

PCT/JP2022/006935 2022.02.21

(87) PCT国际申请的公布数据

W02022/181542 JA 2022.09.01

(71) 申请人 京瓷株式会社

地址 日本京都府

(72) 发明人 川口佳伸 神川刚 村川贤太郎

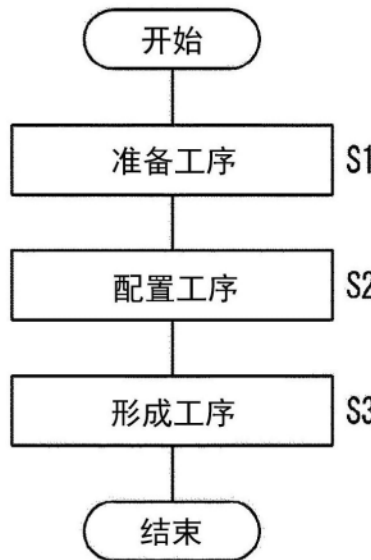
权利要求书4页 说明书22页 附图19页

(54) 发明名称

半导体器件的制造方法、半导体器件以及半
导体装置

(57) 摘要

本公开的半导体器件的制造方法具备:准备
具有多个半导体层(11、12、13)的层叠体(10)和
具有凹部(21)的第一支承体(20)的工序,其中,
所述凹部(21)包括上表面(20a)、侧面(20b)、和
与上表面(20a)及侧面(20b)相邻的开口;将层叠
体(10)接合于第一支承体(20的上表面(20a)并
进行配置的工序;在层叠体(10)上形成第一端面
(10a)的工序;和在第一端面(10a)形成第一电介
质层(17)的工序。



1. 一种半导体器件的制造方法,具备:
准备具有多个半导体层的层叠体和具有凹部的第一支承体的工序,其中,所述凹部包括上表面、侧面和与所述上表面及所述侧面相邻的开口;
将所述层叠体接合于所述第一支承体的所述上表面来进行配置的工序;
在所述层叠体上形成第一端面的工序;和
在所述第一端面形成第一电介质层的工序。
2. 根据权利要求1所述的半导体器件的制造方法,其中,
所述进行配置的工序是形成所述端面的工序之后的工序。
3. 根据权利要求1或2所述的半导体器件的制造方法,其中,
所述层叠体包括多个层叠体,
所述凹部包括多个凹部,
所述进行配置的工序包括:
将所述多个层叠体与所述第一支承体的所述多个凹部对应地配置。
4. 根据权利要求3所述的半导体器件的制造方法,其中,
所述多个凹部包括排列成一列的多个第一凹部和排列成一列的多个第二凹部,
所述进行配置的工序包括:
将所述多个层叠体配置于所述多个第一凹部与所述多个第二凹部之间。
5. 根据权利要求1~4中任一项所述的半导体器件的制造方法,其中,
所述进行配置的工序包括:
准备第二支承体,将所述层叠体配置为被夹持在所述第一支承体与所述第二支承体之间。
6. 根据引用权利要求3的权利要求5所述的半导体器件的制造方法,其中,
所述第二支承体具有多个凹部,
所述进行配置的工序包括:
与所述第二支承体的所述多个凹部对应地配置所述多个层叠体。
7. 根据权利要求6所述的半导体器件的制造方法,其中,
所述第二支承体的所述多个凹部包括排列成一列的多个第三凹部、和多个第四凹部,
所述进行配置的工序包括:
将所述多个层叠体配置于所述多个第三凹部与所述多个第四凹部之间。
8. 根据权利要求5~7中任一项所述的半导体器件的制造方法,其中,
所述进行配置的工序包括:
将所述层叠体隔着树脂层固定于所述第二支承体。
9. 根据权利要求5~8中任一项所述的半导体器件的制造方法,其中,
所述第一支承体以及所述第二支承体的至少一方具有比配置所述层叠体的区域更突出的区域,
所述进行配置的工序包括:
使所述第一支承体和所述第二支承体在所述突出的区域接触。
10. 根据权利要求5~8中任一项所述的半导体器件的制造方法,其中,
所述进行配置的工序包括:

将所述第一支承体以及所述第二支承体定位为相互接触。

11. 根据权利要求5~8中任一项所述的半导体器件的制造方法,其中,所述进行配置的工序包括:

将所述第一支承体以及所述第二支承体定位为相互分离。

12. 根据权利要求1~14中任一项所述的半导体器件的制造方法,其中,所述多个半导体层分别具有第二端面,

形成所述第一电介质层的工序包括:

在所述第二端面形成第二电介质层。

13. 根据权利要求1~12中任一项所述的半导体器件的制造方法,其中,在所述第一支承体的上表面引绕有布线,

所述进行配置的工序包括:

将所述层叠体配置于所述布线上。

14. 根据权利要求1~13中任一项所述的半导体器件的制造方法,其中,所述进行配置的工序包括:

将所述层叠体经由焊料固定于所述第一支承体。

15. 根据权利要求1~14中任一项所述的半导体器件的制造方法,其中,所述进行配置的工序包括:

配置所述层叠体,以使得所述第一端面位于所述第一支承体的所述凹部的外侧。

16. 根据权利要求1~15中任一项所述的半导体器件的制造方法,其中,所述进行配置的工序包括:

将在晶片上外延横向生长的所述层叠体粘接于所述第一支承基板后,从所述晶片剥离。

17. 根据引用权利要求5~11中任一项的权利要求16所述的半导体器件的制造方法,其中,

在所述进行配置的工序中,在所述层叠体的与所述晶片对置的面上配置所述第二支承体。

18. 根据引用权利要求3的权利要求4~17中任一项所述的半导体器件的制造方法,其中,

所述制造方法还具备:

对所述第一支承体进行分割来形成分别配置有所述多个层叠体的多个基板的工序。

19. 根据引用权利要求5的权利要求6~18中任一项所述的半导体器件的制造方法,其中,

在形成所述多个基板的工序中,仅对所述第一支承基板及所述第二支承基板中的所述第一支承基板进行分割。

20. 根据引用权利要求5的权利要求6~18中任一项所述的半导体器件的制造方法,其中,

在形成所述多个基板的工序中,对所述第一支承基板及所述第二支承基板双方进行分割。

21. 根据引用权利要求13的权利要求18所述的半导体器件的制造方法,其中,

所述布线包括相互分离的多个布线，

形成所述多个基板的工序包括：

在所述第一支承体的、在所述多个布线间露出的区域进行分割。

22. 根据引用权利要求13的权利要求18所述的半导体器件的制造方法，其中，

所述布线是连续的布线，

形成所述多个基板的工序包括：

对所述第一支承体及所述布线双方进行分割。

23. 一种半导体器件，具备：

基板，具有凹部，该凹部包括上表面、侧面和与所述上表面及所述侧面相邻的开口；

层叠体，配置于所述基板的所述上表面，具有相互对置的第一端面及第二端面；和

电介质层，配置于所述第一端面，

所述上表面具有带状的搭载区域，

所述层叠体位于所述搭载区域上。

24. 根据权利要求23所述的半导体器件，其中，

所述第一端面及所述第二端面的至少一方为解理面。

25. 根据权利要求23或24所述的半导体器件，其中，

所述电介质层还配置于所述基板的侧面。

26. 根据权利要求23~25中任一项所述的半导体器件，其中，

所述电介质层还配置于所述凹部的底面。

27. 根据权利要求23~26中任一项所述的半导体器件，其中，

所述电介质层配置于将所述层叠体与所述基板接合的接合构件上。

28. 根据权利要求23~27中任一项所述的半导体器件，其中，所述凹部的底面的面积比所述凹部的侧面的面积小。

29. 根据权利要求23~28中任一项所述的半导体器件，其中，所述层叠体的所述第一端面是光的出射面。

30. 根据权利要求23~29中任一项所述的半导体器件，其中，所述层叠体的所述第二端面是光的反射面。

31. 根据权利要求23~30中任一项所述的半导体器件，其中，所述基板具有：

位于所述第一端面侧的第一凹部；和

位于所述第二端面侧的第二凹部。

32. 根据权利要求31所述的半导体器件，其中，

所述层叠体的所述第一端面位于所述第一凹部的开口上。

33. 根据权利要求31或32所述的半导体器件，其中，

所述层叠体的所述第二端面位于所述第二凹部的开口上。

34. 根据权利要求31~33中任一项所述的半导体器件，其中，所述第二凹部的底面位于所述第二端面的照射区域外。

35. 根据权利要求23~34中任一项所述的半导体器件，其中，所述层叠体具有：

主体，具有多个半导体层；

第一电极，配置于所述主体的上表面；

- 第二电极,配置于所述主体的下表面;和
引绕布线,将所述第一电极引绕到所述主体的下方为止。
36. 根据权利要求35所述的半导体器件,其中,
在所述基板的所述上表面配置有布线,
所述第二电极与所述布线连接,
所述第一电极经由所述引绕布线而与所述布线连接。
37. 根据权利要求36所述的半导体器件,其中,
所述基板具有比所述凹部的所述侧面更向外侧突出的凸部,所述布线配置于所述凸部的上表面。
38. 根据权利要求23~37中任一项所述的半导体器件,其中,
在与所述上表面正交的方向上观察时,所述基板的所述上表面为H形状。
39. 根据权利要求23~37中任一项所述的半导体器件,其中,
在与所述上表面正交的方向上观察时,所述基板的所述上表面为U形状。
40. 根据权利要求23~39中任一项所述的半导体器件,其中,
所述层叠体是半导体激光元件。
41. 根据权利要求23~40中任一项所述的半导体器件,其中,
所述层叠体是GaN系的氮化物半导体激光元件。
42. 一种半导体装置,具备:
权利要求23~41中任一项所述的半导体器件;和
安装了所述半导体器件的封装件。
43. 根据权利要求42所述的半导体装置,其中,
所述半导体器件的所述基板的侧面与所述封装件的安装面接合。
44. 根据权利要求42或43所述的半导体装置,其中,
所述封装件是表面安装型封装件。
45. 根据权利要求42~44中任一项所述的半导体装置,其中,
所述层叠体在所述基板配置有多个。

半导体器件的制造方法、半导体器件以及半导体装置

技术领域

[0001] 本公开涉及半导体器件的制造方法、半导体器件以及半导体装置。

背景技术

[0002] 以往,提出了制造在基板上安装半导体激光元件等半导体元件而成的半导体器件的方法。特别是,提出了针对在使半导体激光元件小型化时半导体激光元件的操作变得困难的对策(参照专利文献1)。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2008-252069号公报

发明内容

[0006] 本公开的半导体器件的制造方法具备:准备具有多个半导体层的层叠体和具有凹部的第一支承体的工序,其中所述凹部包括上表面、侧面和与所述上表面及所述侧面相邻的开口;将所述层叠体接合于所述第一支承体的所述上表面并进行配置的工序;在所述层叠体上形成第一端面的工序;和在所述第一端面形成第一电介质层的工序。

附图说明

[0007] 图1是说明本公开的一实施方式所涉及的半导体器件的制造方法的流程图。

[0008] 图2是示意性地表示双层叠体的结构的立体图。

[0009] 图3A是示意性地表示层叠体的一例的剖视图。

[0010] 图3B是示意性地表示层叠体的另一例的剖视图。

[0011] 图4A是示意性地表示第一支承体的立体图。

[0012] 图4B是示意性地表示第一支承体的俯视图。

[0013] 图5A是示意性地表示配置在第一支承体上的层叠体的一例的剖视图。

[0014] 图5B是示意性地表示配置在第一支承体上的层叠体的另一例的剖视图。

[0015] 图6是示意性地表示被夹持在第一支承体与第二支承体之间的层叠体的立体图。

[0016] 图7是说明本公开的一实施方式所涉及的半导体器件的制造方法的形成工序的俯视图。

[0017] 图8是说明本公开的一实施方式所涉及的半导体器件的制造方法的分割工序的俯视图。

[0018] 图9是说明本公开的另一实施方式所涉及的半导体器件的制造方法的掩模形成工序的剖视图。

[0019] 图10是说明本公开的另一实施方式所涉及的半导体器件的制造方法的生长工序的剖视图。

[0020] 图11是说明本公开的另一实施方式所涉及的半导体器件的制造方法的生长工序

的剖视图。

[0021] 图12是示意性地表示第一支承基板的俯视图。

[0022] 图13是说明本公开的另一实施方式所涉及的半导体器件的制造方法的转印工序的剖视图。

[0023] 图14是说明本公开的另一实施方式所涉及的半导体器件的制造方法的转印工序的剖视图。

[0024] 图15是说明本公开的另一实施方式所涉及的半导体器件的制造方法的转印工序的俯视图。

[0025] 图16是说明本公开的另一实施方式所涉及的半导体器件的制造方法的解理工序的俯视图。

[0026] 图17是说明本公开的另一实施方式所涉及的半导体器件的制造方法的切断工序的立体图。

[0027] 图18是示意性地表示本公开的一实施方式所涉及的半导体器件的立体图。

[0028] 图19是示意性地表示本公开的一实施方式所涉及的半导体器件的俯视图。

[0029] 图20是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0030] 图21是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0031] 图22是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0032] 图23是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0033] 图24是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0034] 图25是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0035] 图26是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0036] 图27是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0037] 图28是示意性地表示本公开的一实施方式所涉及的半导体装置的一例的立体图。

[0038] 图29是示意性地表示本公开的一实施方式所涉及的半导体装置的另一例的立体图。

[0039] 图30是表示本实施方式所涉及的半导体器件的制造方法的流程图。

[0040] 图31是表示本实施方式所涉及的半导体器件的制造方法的立体图。

[0041] 图32是表示本实施方式所涉及的半导体器件的制造方法的流程图。

[0042] 图33是表示本实施方式所涉及的半导体器件的制造方法的俯视图。

具体实施方式

[0043] 以下,参照附图,对本公开的实施方式所涉及的半导体器件的制造方法进行说明。图1是说明本公开的一实施方式所涉及的半导体器件的制造方法的流程图。图2是示意性地表示双层叠体的结构的立体图,图3A是示意性地表示层叠体的一例的剖视图,图3B是示意性地表示层叠体的另一例的剖视图,图4A是示意性地表示第一支承体的立体图,图4B是示意性地表示第一支承体的俯视图,图5A是示意性地表示配置在第一支承体上的层叠体的一例的剖视图,图5B是示意性地表示配置在第一支承体上的层叠体的另一例的剖视图,图6是示意性地表示被夹持在第一支承体与第二支承体之间的层叠体的立体图,图7是说明本公开的一实施方式所涉及的半导体器件的制造方法的形成工序的俯视图,图8是说明本公开的一实施方式所涉及的半导体器件的制造方法的分割工序的俯视图。另外,在本公开中,在本公开中,“上方”、“下方”等用语是为了便于说明而使用的,可以将任意的方向作为上方。此外,在各图中,为了便于说明,标注了正交坐标系XYZ。

[0044] 本实施方式的半导体器件的制造方法具备准备工序S1、配置工序S2以及形成工序S3(参照图1)。

[0045] (准备工序)

[0046] 准备工序S1是准备多个层叠体10和第一支承体20的工序。

[0047] 多个层叠体10例如可以是发光二极管(Light Emitting Diode;LED)元件,也可以是半导体激光(Laser Diode;LD)元件。本实施方式的半导体器件的制造方法在层叠体10为端面发光型的LD元件且需要在端面成膜电介质层等的情况下,发挥显著的效果。以下,对多个层叠体10为LD元件的情况进行说明。层叠体10也可以是LD元件的前体。

[0048] 层叠体10形成为具有沿着谐振方向(图2中的Y方向)的长边方向的形状。层叠体10的形状例如如图2所示,也可以是大致长方体形状。层叠体10例如如图2所示,具有多个半导体层11、12、13。多个半导体层11、12、13在与层叠体10的长边方向正交的方向上层叠。各半导体层11、12、13包括第一端面11a、12a、13a。多个第一端面11a、12a、13a也可以构成层叠体10的第一谐振器面10a。各半导体层11、12、13还包括与第一端面11a、12a、13a相反一侧的第二端面11b、12b、13b。多个第二端面11b、12b、13b也可以构成层叠体10的第二谐振器面10b。在此,谐振器面具有如下功能:在由半导体层诱导放出的光进行导波的范围,通过使光反复反射,将光封闭在层叠体10的内部。另外,在图2中,示出了层叠体10具有三个半导体层11、12、13的例子,但层叠体10也可以具有四个以上的半导体层。此外,层叠体10例如也可以是谐振方向的长度为20~200 μm 。层叠体10的谐振方向的长度相当于谐振器长度。半导体激光元件在谐振器长度短的情况下,操作变得困难。以往实用化的半导体激光元件的谐振器长度只要发明者等知晓,则为300 μm 以上。根据本实施方式的半导体器件的制造方法,能够高效地制造搭载有谐振器长度短(谐振器长度例如为200 μm 以下)的层叠体10的半导体器件。

[0049] 层叠体10的层叠方向(图2中的Z方向)上的厚度例如可以为5~100 μm 。层叠体10的厚度可以为5~30 μm ,在这种情况下,在通过解理形成谐振器面时,容易缩短谐振器长度。此外,层叠体10的芯片宽度例如可以为30~400 μm 。芯片宽度是指层叠体10的与谐振方向以及层叠方向这两者正交的方向(图2中的X方向)上的长度。在芯片宽度较短的情况下,能够增多从一张晶片取得层叠体10的获取数量,因此能够提高层叠体10的生产效率。然而,在缩短

芯片宽度的情况下,与缩短谐振器长度的情况同样地,半导体激光元件的操作变得困难,因此以往的半导体激光元件具有100 μm 左右的芯片宽度。根据本实施方式的半导体器件的制造方法,能够高效地制造搭载有芯片宽度短(例如30~100 μm)的层叠体10的半导体器件。

[0050] 如上所述,根据本实施方式的半导体器件的制造方法,能够高效地制造搭载有谐振器长度或芯片宽度短的层叠体10的半导体器件。因此,在层叠体10的制作中,能够增多从一张晶片取得层叠体10的获取数量,因此能够提高层叠体10的生产效率,进而能够提高半导体器件的生产效率。另外,层叠体10的谐振器长度也可以比芯片宽度短,在这种情况下,芯片宽度的方向成为层叠体10的长边方向。

[0051] 多个半导体层11、12、13例如可以包括第一半导体层11、活性层12以及第二半导体层13。第一半导体层11、活性层12以及第二半导体层13也可以由氮化镓(GaN)、氮化铝镓(Al Ga N)、氮化铟镓(In Ga N)、氮化铝铟镓(Al In Ga N)等GaN系半导体构成。在此,“GaN系半导体”例如是指由 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($0 \leq x \leq 1; 0 \leq y \leq 1; 0 \leq z \leq 1; x+y+z=1$)构成的半导体。

[0052] 第一半导体层11也可以由掺杂有n型杂质的n型GaN系半导体构成。第二半导体层13也可以由掺杂有p型杂质的p型GaN系半导体构成。作为n型杂质,例如能够使用Si、Ge、Sn、S、O、Ti、Zr、Cd等。作为p型杂质,例如能够使用Mg、Zn、Be、Mn、Ca、Sr等。

[0053] 活性层12也可以具有通过交替层叠势垒层和阱层而形成的多量子阱构造。构成势垒层的GaN系半导体与构成阱层的GaN系半导体的组成或组成比也可以不同。

[0054] 层叠体10例如可以如图3A所示具有单面电极构造,例如如图3B所示,可以具有双面电极构造。层叠体10例如如图3A、3B所示,也可以具有与第一半导体层11连接的第一电极(也称为n型电极)14、以及与第二半导体层13连接的第二电极(也称为p型电极)15。

[0055] 层叠体10也可以具有部分地除去第二半导体层13而成的脊形波导16。在第二半导体层13的被部分地除去的部位以及脊形波导16的侧面,也可以设置由 SiO_2 等构成的绝缘膜19。层叠体10也可以具有设置于第一半导体层11侧的脊形波导。

[0056] 在层叠体10具有单面电极构造(参照图3A)的情况下,层叠体10也可以被除去直至第一半导体层11从第二半导体层13侧露出,在第一半导体层11的露出的表面配置有n型电极14。在这种情况下,能够将第一半导体层11中的与n型电极14连接的面以及第二半导体层13中的与p型电极15连接的面这两方设为GaN系半导体的(0001)面。

[0057] 在此,在GaN系的氮化物半导体激光元件中,在成为半导体激光元件的半导体层的晶体生长用基板具有导电性的情况下,也可以使半导体层生长为一面为(0001)面、另一面为(000-1)面,并且使p型电极与作为(0001)面的一面接触,使n型电极与(000-1)面即另一面接触。由此,在单面电极构造的半导体激光元件中,电流在p型电极与n型电极之间沿横向流动,其结果是,在脊形波导内电流变得不均匀,因此阈值电流上升,或者在电流路径比双面电极构造变长时,存在驱动电压上升的问题,但能够避免该问题。

[0058] 另一方面,关于半导体层与电极的接触电阻,在使电极与(000-1)面接触的情况下,与使电极与(0001)面接触的情况相比,接触电阻变高。因此,也可以对作为(000-1)面的背面实施蚀刻等处理,使与(000-1)面不同的各种面露出。

[0059] 本实施方式的半导体器件的制造方法由于接下来所示的理由,即使在能够将层叠体10设为双面电极构造的情况下,也具有将层叠体10设为单面电极构造的优点。即,在本实施方式的半导体器件的制造方法中,能够进行芯片宽度比以往的半导体激光元件短的层叠

体10的操作。因此,即使是单面电极构造的层叠体10,也能够缩短n型电极14与p型电极15之间的电流路径。在以往的双面电极构造的半导体激光元件中,n型电极与p型电极之间的电流路径的长度与半导体激光元件的芯片厚度为相同程度,为100 μm 左右。根据本实施方式的半导体器件的制造方法,能够使层叠体10的芯片宽度为30~100 μm ,因此,即使是单面电极构造的层叠体10,也能够成为与以往的双面电极构造的半导体激光元件同等以下的电流路径长度。此外,即使单面电极构造的层叠体10的电流路径长度比以往的双面电极构造的半导体激光元件的电流路径长度长,电流路径长度也是影响层叠体10的串联电阻的长度。层叠体10由于谐振器长度短,因此驱动电流小,此外,只要不要求高的光输出,则能够在阈值电流附近进行驱动。因此,带来与驱动电流值相应的电压上升的串联电阻在层叠体10中不会成为大的问题。进而,在单面电极构造的层叠体10中,能够将与n型电极14连接的面以及与p型电极15连接的面这两者设为(0001)面,因此能够减少接触电阻。

[0060] 层叠体10能够具有与(0001)面以及(000-1)面不同的晶体取向的表面。层叠体10能够具有(20-21)面、(11-22)面、(10-10)面等通常在Ga_N系半导体中已知的晶体取向的表面。通过将层叠体10的表面设为(0001)面,能够提高半导体器件的生产效率。

[0061] (配置工序)

[0062] 在配置工序S2中,将多个层叠体10配置于第一支承体20上。第一支承体20的形状可以是大致四棱柱形状(大致长方体形状)、大致五棱柱形状、大致六棱柱形状等,也可以是其他形状。在本实施方式中,例如如图4A、4B所示,第一支承体20的形状为大致长方体形状。第一支承体20可以由绝缘材料或半绝缘材料构成,也可以由导电材料构成。作为用于第一支承体20的绝缘材料或半绝缘材料,例如可举出Si、SiC、AlN等。作为第一支承体20所使用的导电材料,例如可举出包括Cu、Al等的金属材料。

[0063] 第一支承体20具有上表面20a、第一侧面20b以及第二侧面20c。上表面20a、第一侧面20b以及第二侧面20c是沿着第一支承体20的长边方向延伸的面。第一侧面20b与上表面20a相连。第二侧面20c与上表面20a相连,并且位于第一侧面20b的相反一侧。

[0064] 第一支承体20例如如图4A、4B所示,具有凹部21。凹部21也可以在上表面20a以及第一侧面20b开口,也可以在上表面20a以及第二侧面20c开口。换言之,凹部21也可以与上表面20a以及第一侧面20b相邻,也可以与上表面20a以及第二侧面20c相邻。第一支承体20也可以具有多个凹部21。

[0065] 多个凹部21也可以包括多个第一凹部21a和多个第二凹部21b。多个第一凹部21a也可以在上表面20a以及第一侧面20b开口,沿着第一支承体20的长边方向排列成一列。多个第二凹部21b也可以在上表面20a以及第二侧面20c开口,沿着第一支承体20的长边方向排列成一列。多个第一凹部21a和多个第二凹部21b也可以在侧视时(在与第一侧面20b正交的方向上观察时)分别重叠。

[0066] 例如,如图4A、4B所示,第一支承体20也可以包括在第一支承体20的长边方向上排列成一列的多个基板区域22。各基板区域22的形状可以是大致立方体形状、大致长方体形状等,也可以是其他形状。在本实施方式中,各基板区域22的形状为大致长方体形状。

[0067] 各基板区域22具有第一面22a、与第一面22a相连的第二面22b、以及与第二面22b相反一侧的第三面22c。第一面22a、第二面22b以及第三面22c是向外部露出的露出面。各基板区域22的第一面22a、第二面22b以及第三面22c分别包括于第一支承体20的上表面20a、

第一侧面20b以及第二侧面20c。各基板区域22具有至少一个凹部21。各基板区域22也可以包括至少一个第一凹部21a以及至少一个第二凹部21b。

[0068] 在第一支承体20的上表面20a上引绕有由导电材料构成的布线24。换言之,第一支承体20也可以作为布线基板发挥功能。布线24也可以是连续的布线。布线24也可以包括配置在各基板区域22的第一面22a上的第一布线24a以及第二布线24b。第一布线24a以及第二布线24b也可以相互分离地配置。第一布线24a也可以包括与层叠体10的n型电极14电连接的接合构件24a1。第二布线24b也可以包括与层叠体10的p型电极15电连接的接合构件24b1。在第一支承体20由导电材料构成的情况下,也可以在第一支承体20的上表面20a配置绝缘层,在该绝缘层上配置布线24。由此,能够抑制布线24彼此的短路,因此能够使半导体器件正常地动作。布线24也可以是一个基板区域22的第一布线24a和与该一个基板区域22相邻的基板区域22的第二布线24b相互连接的结构。

[0069] 布线24例如也可以具有由Au、Ti、Ni等构成的金属层。布线24也可以由单层的金属层构成,也可以由多层的金属层构成。在布线24由多层的金属层构成的情况下,最表面也可以是由Au构成的金属层。由此,能够抑制布线24的腐蚀。接合构件24a1、24a2是焊料等导电性接合材料。接合构件24a1、24a2例如也可以是AuSi、AuSn等焊料。也可以不设置接合构件24a1、24b1,而使用Au-Au接合等金属-金属接合、表面活性化接合等将层叠体10的n型电极14以及p型电极15与第一布线24a以及第二布线24b分别接合。

[0070] 在配置工序S2中,使多个层叠体10在使第一端面11a、12a、13a(第一谐振器面10a)露出的同时配置于第一支承体20上。由此,在形成工序S3中,能够在第一谐振器面10a良好地形成第一电介质层。其结果,在第一谐振器面10a为激光的反射面的情况下,能够提高第一谐振器面10a的反射效率,成为发光效率优异的层叠体10。此外,在第一谐振器面10a为激光的出射面的情况下,能够抑制端面光学损伤,成为可靠性优异的层叠体10。

[0071] 在半导体激光元件的制作中,需要在多个半导体激光元件前体的端面成膜电介质层(也称为端面涂布),使它们的端面成为具有期望的反射率的谐振器面。通常,在将多个半导体激光元件前体连结成条状的状态下实施端面涂布。在本实施方式的半导体器件的制造方法中,即使在多个层叠体10被单片化的情况下,通过利用第一支承体20,也能够适当地进行端面涂布。另外,反射面和出射面的反射率不同,将反射率低的一方的谐振器面作为激光的出射面,将从该出射面出射的激光在外部设备中利用。反射面以及出射面的反射率能够根据电介质层的构造以及膜厚以及构成电介质层的电介质材料的种类等来控制。

[0072] 在第一支承体20具有多个凹部21的情况下,也可以将多个层叠体10与多个凹部21对应地配置。本实施方式所涉及的上表面20a具有带状的搭载区域20aa。通过在第一支承体20形成凹部21,第一支承体20的短边方向的宽度变窄,其结果是,带状的搭载区域20aa成为带状的形状。此时,例如如图4A、4B所示,多个层叠体10也可以分别配置于上表面20a的带状的搭载区域20aa。由此,容易使多个层叠体10在使第一端面11a、12a、13a露出的同时配置于第一支承体20上。此外,多个层叠体10配置于第一支承体20的局部变细的部位,因此能够使第一支承体20作为整体具有较高的机械强度,具有优异的操作性。另外,此时,在与第一侧面20b正交的方向上观察时,第一端面11a、12a、13a位于凹部21的上方。

[0073] 在第一支承体20具有多个第一凹部21a以及多个第二凹部21b的情况下,也可以将多个层叠体10分别配置于多个第一凹部21a与多个第二凹部21b之间。由此,容易使多个层

叠体10在使第一谐振器面10a以及第二谐振器面10b露出的同时配置于第一支承体20上。此外,多个层叠体10配置于第一支承体20的局部变细的部位,因此能够使第一支承体20作为整体具有较高的机械强度,具有优异的操作性。

[0074] 在配置工序S2中,也可以将多个层叠体10配置为第一端面11a、12a、13a位于搭载区域20aa的外侧。具体而言,在配置工序S2中,也可以将多个层叠体10配置为在俯视时各层叠体10的第一谐振器面10a以及第二谐振器面10b比搭载区域20aa向外侧突出。在配置工序S2中,只要从层叠体10出射的光不与上表面20a接触,并且能够适当地进行形成工序S3中的端面涂布,则也可以将层叠体10配置为第一端面11a、12a、13a位于搭载区域20aa上。

[0075] 在配置工序S2中,例如如图5A、5B所示,也可以将层叠体10的n型电极14以及p型电极15经由接合构件24a1、24b1分别与配置于第一支承体20的上表面20a的第一布线24a以及第二布线24b电连接。层叠体10也可以通过将n型电极14与第一布线24a连接,将p型电极15与第二布线24b连接,从而机械地固定于第一支承体20。

[0076] 通过将层叠体10与第一支承体20电连接并机械地固定,第一支承体20不仅具有作为形成工序S3中的夹具的功能,还具有作为半导体器件中的基台(submount)的功能。在通常的半导体器件的制造方法中,需要对各个层叠体进行操作而搭载于基台,因此,层叠体需要具有能够利用筒夹吸附的程度的尺寸(谐振器长度以及芯片宽度),难以小型化。根据本实施方式的半导体器件的制造方法,能够使层叠体极其小型化。

[0077] 在层叠体10具有单面电极构造的情况下,例如如图5A所示,也可以通过接合构件24a将n型电极14与第一布线24a接合,将p型电极15与第一布线24b通过接合构件24b接合。

[0078] 在图5A中,接合构件24a1的厚度比接合构件24b1的厚度厚,但通过增厚n型电极14的厚度,也能够使接合构件24a1的厚度与接合构件24b1的厚度为相同程度。此外,也可以在基板区域22的第一面22a形成阶梯差,使设置第一布线24a的部位的高度位置比设置第二布线24b的部位的高度位置高。在这种情况下,能够减少接合构件24a1与接合构件24b1短路的可能性。

[0079] 在层叠体10具有双面电极构造的情况下,例如如图5B所示,也可以通过接合构件24a1连接n型电极14和第一布线24a,通过布线电极27连接p型电极15和第二布线24b。也可以在多个半导体层11、12、13以及接合构件24a与布线电极27之间配置由绝缘材料构成的绝缘膜28。在这种情况下,能够减少多个半导体层11、12、13以及接合构件24a与布线电极27短路的可能性。此外,在这种情况下,也可以将层叠体10中的与第一支承体20接合的一侧设为第二半导体层13,脊形波导16设于第一半导体层11侧。

[0080] 另外,也可以在第一支承体20的上表面20a配置有树脂层,层叠体10通过树脂层与第一支承体20接合。

[0081] 在配置工序S2中,例如也可以如图6所示,准备第二支承体30,将多个层叠体10配置为被夹持在第一支承体20与第二支承体30之间。由此,在形成工序S3中,在层叠体10牢固地固定于第一支承体20以及第二支承体30的状态下,能够在第一谐振器面10a形成第一电介质层17,因此能够成为层厚被高精度地控制的第一电介质层17。其结果是,能够使层叠体10成为发光效率优异的层叠体或可靠性优异的层叠体。进而,能够抑制层叠体10的发光特性的偏差,改善半导体器件的制造的成品率。

[0082] 第二支承体30的形状可以是大致四棱柱形状(大致长方体形状)、大致五棱柱形

状、大致六棱柱形状等,也可以是其他形状。在本实施方式中,例如如图6所示,第二支承体30的形状为大致长方体形状。此外,第二支承体30的形状可以与第一支承体相同。第二支承体30可以由绝缘材料或半绝缘材料构成,也可以由导电材料构成。作为绝缘材料或半绝缘材料,例如能够使用Si、SiC、AlN等。作为导电材料,例如能够使用Cu、Al等金属材料。此外,第二支承体30也可以具有与第一支承体10相同的材料。

[0083] 第二支承体30具有下表面30a、第一侧面30b和第二侧面30c。下表面30a、第一侧面30b以及第二侧面30c在第二支承体30的长边方向上延伸。第一侧面30b以及第二侧面30c与下表面30a相连,第二侧面30c位于第一侧面30b的相反一侧。

[0084] 第二支承体30也可以具有多个凹部31。多个凹部31也可以在下表面30a以及第一侧面30b开口,也可以在下表面30a以及第二侧面30c开口。换言之,多个凹部31也可以与下表面30a以及第一侧面30b相邻,也可以与下表面30a以及第二侧面30c相邻。多个凹部31也可以包括多个第三凹部31a以及多个第四凹部31b。多个第三凹部31a也可以在下表面30a以及第一侧面30b开口,沿着第二支承体30的长边方向排列成一列。多个第四凹部31b也可以在下表面30a以及第二侧面30c开口,沿着第二支承体30的长边方向排列成一列。多个第三凹部31a和多个第四凹部31b也可以在侧视时(沿着与第一侧面30b正交的方向观察时)分别重叠。

[0085] 在第二支承体30具有多个凹部31的情况下,也可以将多个层叠体10与多个凹部31对应地配置。换言之,也可以将多个层叠体10分别配置于下表面30a中的形成有凹部31且短边方向的宽度变窄的多个部位。此时,也可以将第一支承体20以及第二支承体30定位为,多个层叠体10的第一谐振器面10a分别在第一支承体20的多个凹部21内露出,并且在第二支承体30的多个凹部31内分别露出。由此,各层叠体10的第一谐振器面10a不配置于第一支承体20与第二支承体30之间的深处的位置,而完全暴露于凹部21、31内。其结果是,能够在层叠体10的第一谐振器面10a良好地形成第一电介质层。进而,能够使层叠体10成为发光效率优异的层叠体或可靠性优异的层叠体。此外,多个层叠体10配置于第二支承体30的局部变细的部位,因此能够使第二支承体30作为整体具有较高的机械强度,具有优异的操作性。

[0086] 在第二支承体30具有多个第三凹部31a以及多个第四凹部31b的情况下,也可以将多个层叠体10分别配置于多个第三凹部31a与多个第四凹部31b之间。由此,能够使各层叠体10的第一谐振器面10a以及第二谐振器面10b在第一支承体20与第二支承体30之间完全露出。其结果,能够在第一谐振器面10a良好地形成第一电介质层,并且在第二谐振器面10b良好地形成第二电介质层。进而,能够使层叠体10成为发光效率优异且可靠性优异的层叠体。此外,多个层叠体10配置于第二支承体30的局部变细的部位,因此能够使第二支承体30作为整体具有较高的机械强度,具有优异的操作性。

[0087] 也可以在第二支承体30的下表面30a未配置布线,而配置有树脂层。在配置工序S2中,也可以将多个层叠体10经由配置于下表面30a的树脂层固定于第二支承体30。由此,能够减少层叠体10与布线接触而破损的可能性。另外,也可以不将多个层叠体10固定于第二支承体30,而经由配置于下表面30a的树脂层与第二支承体30接触。

[0088] 第一支承体20和第二支承体30也可以定位为相互接触,也可以定位为相互分离。第一支承体20以及第二支承体30中的至少一方也可以具有比配置有多个层叠体10的区域突出的区域。在配置工序S2中,也可以使第一支承体20与第二支承体30在突出的区域接触。

突出的区域的高度也可以比从层叠体10的上表面20a起的高度高。由此,在配置工序S2中,能够减少在使第一支承体20与第二支承体30相互接近时使层叠体10破损的可能性。

[0089] 虽未图示,但也可以在第二支承体30的与下表面30a相反一侧的上表面进一步配置多个层叠体10。在这种情况下,能够对更多的层叠体10进行电介质层的形成,因此能够高效地制造半导体器件。

[0090] 另外,多个层叠体10也可以是在基底基板(晶体生长用基板)上使用外延横向生长(Epitaxial Lateral Overgrowth;ELO)法生长的多个层叠体。在这种情况下,也可以在使与基底基板连接的多个层叠体10粘接于第一支承体20之后,将多个层叠体10经由第一支承体20从基底基板剥离。由此,能够将多个层叠体10同时配置于第一支承体20上,因此能够进一步提高半导体器件的制造效率。此外,由于多个层叠体10的排列精度提高,因此在将第一支承体20用作半导体器件的基台的情况下,与将各个层叠体单独地安装于基台的情况相比,能够抑制从多个层叠体10出射的光的取向特性的偏差。这在要求高精度地控制从多个层叠体10出射的光的取向特性的情况下,或者在使半导体器件与外部设备的波导耦合的情况下,成为较大的优点。另外,在将多个层叠体10从基底基板剥离的情况下,多个半导体层10成为不具有基底基板的构成。其结果是,能够使多个层叠体10的厚度变薄。

[0091] (形成工序)

[0092] 在形成工序S3中,在层叠体10的第一谐振器面10a形成第一电介质层17。第一电介质层17由电介质材料构成。作为第一电介质层17所使用的电介质材料,例如可举出 SiO_2 、 Al_2O_3 、 AlN 、 AlON 、 Nb_2O_5 、 Ta_2O_5 、 ZrO_2 等。第一电介质层17也可以是由上述电介质材料构成的多层膜。第一电介质层17例如能够使用电子束蒸镀装置、电子回旋共振溅射、化学蒸镀装置等成膜装置来形成。

[0093] 通过在层叠体10的第一谐振器面10a形成第一电介质层17,能够使层叠体10成为发光效率优异的层叠体或可靠性优异的层叠体。在形成工序S3中,例如如图7所示,不仅在第一谐振器面10a形成第一电介质层17,也可以在第二谐振器面10b(多个半导体层的第二端面11b、12b、13b)形成第二电介质层18。由此,能够使层叠体10成为发光效率优异且可靠性优异的层叠体。

[0094] 第二电介质层18与第一电介质层17同样地,例如可以由 SiO_2 、 Al_2O_3 、 AlN 、 AlON 、 Nb_2O_5 、 Ta_2O_5 、 ZrO_2 等电介质材料构成。第二电介质层18也可以是多层膜。第二电介质层18与第一电介质层17同样地,例如能够使用电子束蒸镀装置、电子回旋共振溅射、化学蒸镀装置等成膜装置来形成。第一电介质层17和第二电介质层18可以是相同的结构,也可以是不同的结构。

[0095] (分割工序)

[0096] 本实施方式的半导体器件的制造方法也可以在进行了形成工序S3之后进行分割工序S4。分割工序S4是将第一支承体20分割而形成分别配置有多个层叠体10的多个基板110(参照图8)的工序。基板110能够用作半导体器件100的衬底(也称为基台)。

[0097] 在分割工序S4中,能够使用切割、划线等公知的切断方法。在分割工序S4中,只要不使多个层叠体10破损,就可以切断第一支承体20的任意部位。基板110可以包括一个基板区域22,也可以包括两个以上的基板区域22。

[0098] 在分割工序S4中,也可以在多个层叠体10被夹持在第一支承体20与第二支承体30

之间的状态下,将第一支承体20以及第二支承体30这两者切断,将被分割的第二支承体去除30片。也可以不除去30片第二支承体,而设为具备50片第一支承体以及30片第二支承体的半导体器件。

[0099] 在分割工序S4中,也可以除去在形成工序S3中使用的第二支承体30,仅切断配置有多个层叠体10的第一支承体20。第二支承体30也可以在下次的形成工序S3中再次使用。

[0100] 例如,如图4A、4B所示,在第一支承体20的上表面20a上引绕有相互分离的多个布线24的情况下,在分割工序S4中,也可以将第一支承体20在露出于多个布线24之间的区域进行分割。在布线24为连续的布线的情况下,在分割工序S4中,也可以切断第一支承体20以及布线24双方。

[0101] 根据上述的半导体器件的制造方法,由于将用于在层叠体10的第一谐振器面10a形成第一电介质层17的第一支承体20用作半导体器件的基板(基台),因此能够高效地制造半导体器件。此外,由于不需要将在第一谐振器面10a形成有第一电介质层17的层叠体10从第一支承体20分离并在与第一支承体20单独地准备的基板上安装层叠体10的芯片接合工序,因此能够减少使层叠体10破损的可能性。其结果是,能够制造可靠性优异的半导体器件,并且能够提高制造的成品率。此外,通过不需要芯片接合工序,能够使层叠体10比以往小型化。这样的层叠体10能够增多从一张晶片的获取数量,因此能够提高层叠体10的生产效率,进而能够提高半导体器件的生产效率。进而,层叠体10通过缩短谐振器长度,能够低耗电化,因此适合于要求增强现实(Augmented Reality;AR)眼镜等低光输出、低功耗等的用途。

[0102] 接下来,对本公开的另一实施方式所涉及的半导体器件的制造方法进行说明。图9是说明本公开的另一实施方式所涉及的半导体器件的制造方法的掩模形成工序的剖视图,图10、11是说明本公开的另一实施方式所涉及的半导体器件的制造方法的生长工序的剖视图,图12是示意性地表示第一支承基板的俯视图。图13、14是说明本公开的另一实施方式所涉及的半导体器件的制造方法的转印工序的剖视图,图15是说明本公开的另一实施方式所涉及的半导体器件的制造方法的转印工序的俯视图,图16是说明本公开的另一实施方式所涉及的半导体器件的制造方法的解理工序的俯视图,图17是说明本公开的另一实施方式所涉及的半导体器件的制造方法的切断工序的立体图。

[0103] 本公开的一实施方式所涉及的半导体器件的制造方法中的准备工序S1以及配置工序S2能够置换为以下说明的准备工序S11、掩模形成工序S12、生长工序S13、转印工序S14、解理工序S15以及切断工序S16。

[0104] (准备工序)

[0105] 准备工序S11是准备基底基板1的工序。基底基板1具有包括作为层叠体10的前体的半导体元件层3的生长起点的一个主面1a。基底基板1例如可以是氮化镓(GaN)基板、蓝宝石(Al_2O_3)基板、硅(Si)基板、碳化硅(SiC)基板等。以下,对使用GaN基板作为基底基板1的例子进行说明。在本说明书中,GaN基板是指包括半导体元件层3的生长起点的一个主面1a或包括一个主面1a的表面层由GaN系半导体构成的基板。因此,GaN基板也可以是在蓝宝石基板、Si基板、SiC基板等的表面形成有由GaN系半导体构成的层的基板。特别是,在基底基板1为Si基板的情况下,能够以低成本准备大口径的基底基板,因此能够减少半导体器件的制造成本。

[0106] (掩模形成工序)

[0107] 掩模形成工序S12是在基底基板1的一个主面1a上以给定的周期性图案形成抑制半导体元件层3的生长的掩模2的工序。半导体元件层3从一个主面1a的未被掩模2覆盖的生长区域1a生长。掩模2例如由SiO₂、SiN等构成。掩模2能够使用光刻技术以及蚀刻技术形成。

[0108] 掩模2也可以是沿着第一方向(图9中的进深方向)延伸的多个线状部2a在与第一方向交叉的第二方向(图9中的左右方向)上周期性地配置的图案。多个线状部2a的第二方向上的周期例如可以为30μm~300μm,也可以为150μm~250μm。

[0109] (生长工序)

[0110] 在生长工序S13中,使用ELO法,例如如图10所示,使作为多个层叠体10的前体的半导体元件层3从基底基板1的生长区域1a1到掩模2的线状部2a上气相生长。在生长工序S13中,例如能够使用在III族(第13族元素)原料中使用氯化物的氢化物气相生长(Hydride Vapor Phase Epitaxy;HVPE)法、在III族原料中使用有机金属的有机金属气相生长(Metal Organic Chemical Vapor Deposition;MOCVD)法、或者分子束气相生长(Molecular Beam Epitaxy;MBE)法等气相生长法。

[0111] 通过ELO法在掩模2上形成的半导体元件层3不继承掩模开口部的半导体元件层3所具有的穿透位错,因此具有高品质的晶体性。此外,根据ELO法,即使在使用蓝宝石、Si等不同种类基板的情况下,也能够得到高品质的半导体元件层。

[0112] 在通过MOCVD法使半导体元件层3生长的情况下,首先,将形成有掩模2的基底基板1插入气相生长装置的反应室,一边供给氢气、氮气、或者氢与氮的混合气体、氮等V族原料(含有第15族元素)气体,一边对基底基板1进行加热,使其升温至给定温度(例如1050~1100℃)。

[0113] 在基底基板1的温度稳定之后,除了上述混合气体以及V族原料气体之外,还供给含有三甲基镓(TMg)等III族(第13族元素)的原料,使半导体元件层3从生长区域1a气相生长。此时,通过供给包括n型或p型的杂质的原料气体,且调整杂质的掺杂量,能够得到具有期望的导电型的半导体元件层3。通过适当选择添加于原料气体的杂质,适当调整杂质的掺杂量,能够使半导体元件层3成为层叠有多个半导体层11、12、13的半导体元件层。

[0114] 在使半导体元件层3生长的过程中,也可以在半导体元件层3中的位于槽2b内的部位形成脆弱层(也称为牺牲层)。通过形成脆弱层,在对半导体元件层3施加外力时,应力集中于脆弱层而容易产生龟裂,因此在转印工序S14中容易使半导体元件层3从基底基板1分离。

[0115] 作为脆弱层,例如可以形成由GaN与BN、AlN、InN等的混晶晶体构成的层。作为脆弱层,也可以形成晶格常数与半导体元件层3不同的GaN系半导体层。也可以形成交替层叠AlGaN层和GaN层的超晶格构造的脆弱层。脆弱层也可以使半导体元件层的生长条件周期性地变化,将晶粒大的层和晶粒小的层交替地层叠。脆弱层也可以通过在使半导体元件层3的生长结束后,将激光向半导体元件层3中的位于槽2b内的部位照射,并通过热变性使该部位的晶体构造变化而形成。

[0116] 半导体元件层3在晶体生长面越过槽2b的上边缘之后,沿着线状部2a的上表面在横向(第二方向)上生长。横向上的半导体元件层3的生长在以相邻的生长区域1a为起点生长的半导体元件层3彼此接触之前结束。由此,能够抑制半导体元件层3彼此接触而在半导

体元件层3彼此的接触部分容易产生裂缝或者穿透位错等晶体缺陷。

[0117] 在使半导体元件层3的生长结束后,从气相生长装置取出基底基板1,通过蚀刻除去掩模2。该蚀刻使用实质上不侵蚀生长的半导体元件层3的蚀刻剂来进行。通过除去掩模2,例如如图11所示,能够通过连接部3a获得与基底基板1连接的多个半导体元件层3。

[0118] 也可以在除去掩模2之前或者除去掩模2之后,在半导体元件层3形成脊形波导、电极以及绝缘膜,将半导体元件层3作为单面电极构造的层叠体10(参照图3A)的前体。以下,对半导体元件层3为单面电极构造的层叠体10的前体的情况进行说明,但半导体元件层3也可以为双面电极构造的层叠体10(参照图3B)的前体。

[0119] 半导体元件层3也可以是从基底基板1侧起依次层叠有第一半导体层11、活性层12以及第二半导体层13的构造。在这种情况下,在对半导体元件层3实施蚀刻处理而将第一半导体层11、活性层12以及第二半导体层13局部地除去之后,形成n型电极、p型电极以及绝缘膜,由此能够成为例如图3A所示的单面电极构造的层叠体10的前体。

[0120] (转印工序)

[0121] 在转印工序S14中,将在生长工序S13中得到的多个半导体元件层3转印到第一支承基板4。第一支承基板4可以由绝缘材料或半绝缘材料构成,也可以由导电材料构成。作为用于第一支承基板4的绝缘材料或半绝缘材料,例如可举出Si、SiC、AlN等。在将第一支承基板4用作基台的情况下,通过由Si、SiC、AlN等材料制作第一支承基板4,能够提高基台的热传导性,因此能够制造散热性优异的半导体装置。此外,在由Si制作第一支承基板4的情况下,能够将第一支承基板4设为低成本且加工性优异的大口径的基板,因此能够减少半导体器件的制造成本。作为第一支承基板4所使用的导电材料,例如可列举出包括Cu、Al等的金属材料。

[0122] 例如如图12所示,在第一支承基板4形成有多个凹部41。多个凹部41在第一支承基板4的一个主面4a上开口,在第一支承基板4的厚度方向上凹陷。多个凹部41在从与一个主面4a正交的方向观察时,在与第三方向(图12中的上下方向)以及第三方向交叉的第四方向(图12中的左右方向)上排列成矩阵状。多个凹部41的开口形状可以是长方形、正方形、六边形等,也可以是其他形状。第四方向上的凹部41的间距也可以是第二方向上的半导体元件层3的间距的大致自然数倍。多个凹部41能够使用蚀刻技术形成。蚀刻可以是干蚀刻,也可以是湿蚀刻。

[0123] 例如如图12所示,第一支承基板4具有将相邻的凹部41在第三方向上隔开的多个壁部42。

[0124] 例如如图12所示,在第一支承基板4的一个主面4a上引绕有多个布线44。多个布线44包括多个接合构件44a、44b。多个布线44在切断第一支承基板4而制作多个第一支承体20时,成为被引绕到第一支承体20的上表面20a的多个布线24。在第一支承基板4由导电材料构成的情况下,也可以在第一支承基板4的一个主面4a配置绝缘层,在该绝缘层上配置多个布线44。由此,能够抑制布线44彼此的短路,因此能够使半导体器件正常地动作。

[0125] 布线44例如也可以具有由Au、Ti、Ni等构成的金属层。布线44可以由单层的金属层构成,也可以由多层的金属层构成。在布线44由多层的金属层构成的情况下,最表面也可以是由Au构成的金属层。由此,能够抑制布线44的腐蚀。此外,在将布线44经由接合构件44a、44b分别与半导体元件层3的n型电极以及p型电极接合的情况下,能够提高布线44与接合构

件44a、44b的接合性。接合构件44a、44b是焊料等导电性接合材料。接合构件44a、44b例如也可以是AuSi、AuSn等焊料。也可以不设置接合构件44a、44b,而使用Au-Au接合等金属-金属接合、表面活性化接合等将半导体元件层3的n型电极以及p型电极与布线44接合。

[0126] 在转印工序S14中,使基底基板1的一个主面1a与第一支承基板4的一个主面4a对置,使多个半导体元件层3排列的第二方向与多个凹部41排列的第四方向一致。接着,例如如图13所示,使用焊料等导电性接合材料,将与基底基板1连接的半导体元件层3的n型电极以及p型电极分别与配置在第一支承基板4的一个主面4a上的接合构件44a以及接合构件44b接合。然后,例如如图14所示,从基底基板1剥下与第一支承基板4成为一体的半导体元件层3地施加外力,将半导体元件层3从基底基板1的一个主面1a提起。由此,例如如图15所示,能够将半导体元件层3转印到第一支承基板4。

[0127] 在使用EL0法制作半导体元件层3的情况下,例如如图11所示,能够仅经由连接部3a得到与基底基板1连接的半导体元件层3。由此,能够容易地进行转印工序S14,能够提高半导体器件的制造的成品率。

[0128] 在本实施方式的半导体器件的制造方法中,能够使半导体元件层3从基底基板1剥离,成为厚度为5~30 μm 的状态。由此,在之后的解理工序S15中,能够解理半导体元件层3,成为具有短的谐振器长度的多个半导体元件层3片。此外,在进行解理工序S15之前从基底基板1剥离半导体元件层3的情况下,能够容易地解理半导体元件层3。

[0129] 另外,在将半导体元件层3从基底基板1剥离后,基底基板1的一部分残留于半导体元件层3的情况下,有时会产生如下问题。首先,在半导体元件层3的材料系与基底基板1的材料系不同的情况下,半导体元件层3的晶体系与基底基板1的晶体系不同,因此有时由于基底基板1的一部分残留而导致半导体元件层3的解理变得困难。此外,即使在半导体元件层3的材料系与基底基板1的材料系相同的情况下,在基底基板1包括大量的缺陷时,缺陷成为异常部位,由此有时半导体元件层3的解理的品质恶化。基底基板1的残留物能够通过机械研磨、蚀刻等公知的方法除去。基底基板1的残留物在足够薄的情况下也可以不除去。

[0130] 有时形成于基底基板1上的多个半导体元件层3的第二方向的间距与形成于第一支承基板4的多个凹部41的第四方向的间距不一致。例如,在半导体元件层3的第二方向的间距比凹部41的第四方向的间距小的情况下,在转印工序S14中,也可以每隔一列或每隔多列地将多个半导体元件层3转印到第一支承基板4。也可以不转印到第一支承基板4上,而将残留在基底基板1上的半导体元件层3转印到其他第一支承基板4上。

[0131] (解理工序)

[0132] 解理工序S15是解理转印到第一支承基板4的半导体元件层3,形成谐振器面(端面)露出的层叠体10的工序。在解理工序S15中,首先,在半导体元件层3中放入用于解理的划线划痕后,将半导体元件层3切断(断裂),制成多个半导体元件层3片。然后,通过除去未固定于布线44的半导体元件层3片,例如如图16所示,得到分别配置于第一支承基板4的多个壁部42上的、第一谐振器面10a以及第二谐振器面10b露出的多个层叠体10。另外,第一谐振器面10a以及第二谐振器面10b也可以不是通过解理而形成的解理面。也能够将第一谐振器面10a以及第二谐振器面10b中的至少一方设为通过蚀刻而形成的蚀刻工序面。另外,在本实施方式中,凹部41的开口宽度的第一方向的长度在第二方向的长度变大,但第一方向的长度也可以比第二方向的长度小。

[0133] 另外,解理工序S15也可以是在转印到第一支承基板4之前解理半导体元件层3而成为谐振器面(端面)露出的层叠体10的工序。

[0134] (切断工序)

[0135] 切断工序S16是切断第一支承基板4而制作多个配置有多个层叠体10的第一支承体20的工序。在切断工序S16中,将配置有多个层叠体10的第一支承基板4例如在俯视时位于相邻的壁部42之间的区域沿着第四方向(图16中的左右方向)切断。由此,能够制作多个配置有多个层叠体10的第一支承体20(参照图17)。

[0136] 在上述中,示出了半导体元件层3从基底基板1转印到第一支承基板4的例子,但半导体元件层3也可以在从基底基板1转印到保持构件之后,从保持构件转印到第一支承基板4。保持构件例如可以是在一个主面4a配置有由AuSn、AuGe、NiSn等构成的接合层的板状构件,也可以是在树脂制基材的一个主面4a配置有由粘接剂构成的粘接层的切割带。在保持构件为切割带的情况下,在将半导体元件层3从保持构件向第一支承基板转印时,能够使切割带伸长,使保持于切割带的多个半导体元件层3的间距与多个凹部41的间距大致一致。

[0137] 根据具备准备工序S11、掩模形成工序S12、生长工序S13、转印工序S14、解理工序S15以及切断工序S16的上述的半导体器件制造方法,能够进一步提高半导体器件的制造效率。上述的半导体器件的制造方法在层叠体10的尺寸小到无法单独操作的程度的情况下特别有效。

[0138] 接下来,对本公开的实施方式所涉及的半导体器件进行说明。图18是示意性地表示本公开的一实施方式所涉及的半导体器件的立体图,图19是示意性地表示本公开的一实施方式所涉及的半导体器件的俯视图。图20~27是示意性地表示本公开的一实施方式所涉及的半导体器件的变形例的立体图。

[0139] 本实施方式的半导体器件100具备基板110、层叠体120以及电介质层130。

[0140] 基板110可以由绝缘材料或半绝缘材料构成,也可以由导电材料构成。作为用于基板110的绝缘材料或半绝缘材料,例如可举出Si、SiC、AlN等。作为第一支承基板4所使用的导电材料,例如可举出包括Cu、Al等的金属材料。基板110的形状例如可以是长方体形状、立方体形状等,也可以是其他形状。在本实施方式中,例如如图20所示,基板110的形状为大致长方体形状。

[0141] 基板110具有上表面110a、与上表面110a相连的侧面(也称为第一侧面)110b、与第一侧面110b相反一侧的第二侧面110c以及与上表面110a相反一侧的下表面110d。基板110具有在上表面110a以及第一侧面110b开口的凹部(也称为第一凹部)111。基板110还可以具有在上表面110a以及第二侧面110c开口的凹部(也称为第二凹部)112。

[0142] 基板110例如如图18所示,也可以具有配置于上表面110a的布线114。布线114可以包括第一布线114a以及第二布线114b。第一布线114a以及第二布线114b也可以相互分离地配置。第一布线114a也可以包括与层叠体120的n型电极电连接的接合构件114a1。第二布线114b也可以包括与层叠体120的p型电极电连接的接合构件114b1。在基板110由导电材料构成的情况下,也可以在基板110的上表面110a配置绝缘层,在该绝缘层上配置布线114。由此,能够抑制布线114彼此的短路,因此能够使半导体器件正常地动作。

[0143] 布线114例如也可以具有由Au、Ti、Ni等构成的金属层。布线114可以由单层的金属层构成,也可以由多层的金属层构成。在布线114由多层的金属层构成的情况下,最表面也

可以是由Au构成的金属层。由此,能够抑制布线114的腐蚀。接合构件114a1、114b1是焊料等导电性接合材料。接合构件114a1、114b1例如也可以是AuSi、AuSn等焊料。也可以不设置接合构件114a1、114b1,而使用Au-Au接合等金属-金属接合、表面活性化接合等将层叠体10的n型电极以及p型电极与第一布线114a以及第二布线114b分别接合。

[0144] 层叠体120是具有第一谐振器面(也称为第一端面)120a以及与第一谐振器面120a对置的第二谐振器面(也称为第二端面)120b的LD元件。层叠体120也可以是GaN系的氮化物半导体LD元件。第一谐振器面120a也可以是层叠体120中的光的出射面。第二谐振器面120b也可以是层叠体120中的光的反射面。第一谐振器面120a以及第二谐振器面120b的至少一方可以通过解理而形成的解理面。层叠体120配置于基板110的上表面110a。层叠体120也可以配置于上表面110a中的、形成有凹部111、112而宽度变窄的带状的搭载区域110aa。层叠体120也可以配置为,在从与第一侧面110b正交的方向(图18中的Y方向)观察时,第一谐振器面120a位于第一凹部111的上方。层叠体120也可以是,第一谐振器面120a位于第一凹部111的上方,第二谐振器面120b位于第二凹部112的上方。层叠体120只要从第一谐振器面120a出射的光不被上表面110a踢出,第一谐振器面120a也可以位于搭载区域110aa上。

[0145] 层叠体120也可以具有如图2所示的包括多个半导体层的主体121。主体121也可以具有与基板110的上表面110a对置的下表面和与该下表面相反一侧的上表面。层叠体120也可以是图3A所示那样的单面电极构造的层叠体,也可以是图3B所示那样的双面电极构造的层叠体。在层叠体120为双面电极构造的层叠体的情况下,层叠体120具有配置于下表面的第一电极(也称为n型电极)、配置于上表面的第二电极(也称为p型电极)、以及将第二电极引绕至层叠体的下方的布线电极(也称为引绕布线)。第一电极与布线114的第一布线114a连接。第二电极经由引绕布线与布线114的第二布线114b连接。在将半导体器件100安装于TO-CAN型封装件等半导体封装件的情况下,只要将第一布线114a以及第二布线114b经由接合线等连接构件分别与半导体封装件的两个端子销连接即可。

[0146] 在本实施方式的半导体器件100中,例如如图18、图19所示,布线114不仅设置于搭载区域110aa,还设置于上表面110a的整体。因此,即使在层叠体120的尺寸小、无法将接合线直接连接于层叠体120的情况下,通过将布线114与封装件等端子电连接,也能够向层叠体120供给驱动电流。在进行探针测量时,布线114也可以用作使探针端子接触的检查焊盘。

[0147] 电介质层130配置于层叠体120的第一谐振器面120a以及第二谐振器面120b中的至少一方以及凹部111的侧面111a。在图18中,为了使图解容易,示出电介质层130配置于第一谐振器面120a的例子。电介质层130可以仅形成于侧面111a的一部分,也可以形成于侧面111a的整体。电介质层130例如由 SiO_2 、 Al_2O_3 、AlN、AlON、 Nb_2O_5 、 Ta_2O_5 、 ZrO_2 等电介质材料构成。电介质层130也可以是由这些电介质材料构成的多层膜。另外,例如如图18所示,凹部111的侧面111a是指凹部111的侧面中的与基板110的第一侧面110b大致平行的面。

[0148] 在半导体器件100中,在第一谐振器面120a以及第二谐振器面120b的至少一方配置有电介质层130。在电介质层130配置于第一谐振器面10a(光的出射面)的情况下,能够抑制端面光学损伤,因此能够成为可靠性优异的半导体器件。在电介质层130配置于第二谐振器面10b(光的反射面)的情况下,能够提高第二谐振器面10b的反射效率,成为发光效率优异的半导体器件,并且能够形成可靠性优异的半导体器件。

[0149] 在半导体器件100中,侧面111a位于与第一谐振器面120a大致相同的平面上,因此

在侧面111a形成有与形成于第一谐振器面120a的电介质层130大致相同结构的电介质层130。在半导体器件100中,通过对形成于侧面111a的电介质层130进行分析,能够获知形成于第一谐振器面120a的电介质层130的状态(反射率、折射率、膜厚等),因此容易进行半导体器件100的生产管理。

[0150] 电介质层130也可以进一步形成于接合构件114a1、114b1的至少一部分的区域。由此,能够抑制接合构件114a1、114b1的劣化、变质、剥离等。

[0151] 电介质层130也可以进一步配置于基板110的第一侧面110b以及第二侧面110c中的至少一方。通过电介质层130形成于基板110的表面的较宽的范围,从而即使通过目视观察也容易辨别电介质层130的状态。

[0152] 电介质层130也可以进一步配置于凹部111的底面111b。凹部111的底面111b是指凹部111中的与侧面111a相连并且与基板110的上表面110a大致平行的面。

[0153] 半导体器件100也可以使凹部111的底面111b的面积小于凹部111的侧面111a的面积。由此,能够抑制底面111b遮挡从层叠体120出射的光,因此能够形成光的取出效率提高的半导体器件。

[0154] 半导体器件100也可以是层叠体120的第一谐振器面120a位于第一凹部111的开口上。由此,能够抑制基板110遮挡从层叠体120的第一谐振器面120a出射的光,因此能够形成光的取出效率提高的半导体器件。另外,第一谐振器面120a也可以位于基板110的上表面110a上,也可以与第一凹部111的侧面为同一面。

[0155] 半导体器件100也可以是层叠体120的第二谐振器面120b位于第二凹部112的开口上。在这种情况下,能够在第二凹部112内配置检测从第二谐振器面120b漏出的光的光电二极管。由此,能够基于光电二极管的检测结果来控制向层叠体120供给的驱动电流,因此能够提高半导体器件100的可靠性。

[0156] 第二凹部112的底面也可以位于第二谐振器面120b的照射区域外。由此,容易将检测从第二谐振器面120b漏出的光的光电二极管配置于第二凹部112的底面。

[0157] 例如,如图18、图19所示,基板110也可以具有比凹部111的侧面111a更向外侧突出的凸部113。布线114也可以配置于凸部113的上表面。凸部113也可以具有向第一谐振器面120a侧突出的第一凸部113a和向第二谐振器面120b侧突出的第二凸部113b。第一凸部113a以及第二凸部113b也可以在与侧面111a正交的方向上,第一凸部113a的长度比第二凸部113b的长度长,第二凸部113b的长度也可以比第一凸部113a的长度长。在图18所示的半导体器件100中,能够将配置于第一凸部113a以及第二凸部113b的一方的上表面的布线114设为层叠体120的老化试验用的布线,将配置于第一凸部113a以及第二凸部113b的另一方的上表面的布线114设为层叠体120的驱动用的布线。由此,在进行层叠体120的老化试验时,能够减少使层叠体120的驱动用的布线破损的可能性,因此能够提高半导体器件100的可靠性。此外,通过基板110具有凸部113,即使在无法将接合线直接连接于层叠体120的情况下,也能够向层叠体120供给驱动电流。

[0158] 例如如图20所示,基板110的上表面110a也可以在与上表面110a正交的方向观察时具有大致U字状的形状。在图20所示的半导体器件100中,仅设置有第二凹部112,基板110的上表面110a中的配置有层叠体120的区域与基板110的第一侧面110b相连。由此,在将半导体器件100与具有波导的光学构件组合使用的情况下,能够使层叠体120的发光点与波

导的入射面接近,能够抑制光的损失。此外,容易将光电二极管等光检测器配置在第二凹部112内。

[0159] 例如如图18、19、21所示,基板110的上表面110a也可以在从与上表面110a正交的方向观察时具有大致H字状的形状。例如如图21所示,半导体器件100也可以是具有从上表面110a至下表面110d被切掉的第一凹部111以及第二凹部112的结构。根据图21所示的半导体器件100,能够进一步提高半导体器件100的光取出效率。进而,在半导体器件100的制造工序中,在层叠体120配置于基板110上的状态下进行电介质层130的形成的情况下,不存在妨碍电介质层130的成膜的第一凹部111的底面以及第二凹部112的底面,因此能够良好地形成电介质层130。此外,能够抑制从层叠体120出射的光被基板110踢出。

[0160] 例如,如图22所示,半导体器件100也可以是第一凹部111朝向第一侧面110b呈锥状扩展、第二凹部112朝向第二侧面110c呈锥状扩展的结构。根据图22所示的半导体器件100,能够提高光的取出效率,并且能够良好地形成电介质层130。此外,由于基板110的上表面110a的面积增大,因此容易配置布线114。进而,能够提高基板110的机械强度,因此能够提高半导体器件100的可靠性。

[0161] 例如如图23所示,基板110的上表面110a也可以在从与上表面110a正交的方向观察时具有大致I字状的形状。根据图23所示的半导体器件100,能够简化制造工序,因此能够提高半导体器件的制造效率。

[0162] 基板110的上表面110a在从与上表面110a正交的方向观察时,例如如图24所示,电可以具有大致L字状的形状,例如如图25所示,也可以具有大致T字状的形状,例如如图26所示,也可以具有大致E字状的形状。

[0163] 例如,如图27所示,也可以将多个半导体器件100耦合,制作复合型的半导体器件200。复合型的半导体器件200也可以将多个半导体器件100耦合而制作。也可以通过在分割工序S4中将第一支承体20分割成一个第一支承体20片包括多个层叠体10来制作复合型的半导体器件200。在这种情况下,能够提高复合型的半导体器件200中的多个半导体器件100的排列精度,因此在将复合型的半导体器件200与其他的光学构件组合的情况下是有利的。

[0164] 在图18~图27所示的半导体器件100中,层叠体120通过形成基板110的上表面110a中的凹部111、112而搭载于宽度比第一侧面110b与第二侧面110c的距离小的搭载区域110aa。层叠体120的谐振方向(图18中的Y方向)上的搭载区域110aa的长度与由第一谐振器面120a与第二谐振器面120b的距离规定的层叠体120的谐振器长度大致相同。在此,搭载区域110aa的长度与谐振器长度大致相同是指搭载区域110aa的长度相对于谐振器长度为 $\pm 20\%$ 以内。例如,在谐振器长度为 $100\mu\text{m}$ 的情况下,搭载区域110aa的长度也可以为 $80\sim 120\mu\text{m}$ 。搭载区域110aa的长度也可以相对于谐振器长度为 $\pm 10\%$ 以内。

[0165] 进而,在图18~图27所示的半导体器件100中,第一谐振器面120a位于与相连于搭载区域110aa的基板110的侧面111a大致相同的平面上,第二谐振器面120b位于与相连于搭载区域110aa的基板110的侧面111c大致相同的平面上。在此,第一谐振器面120a位于与侧面111a大致相同的平面上是指第一谐振器面120a与侧面111a的距离相对于谐振器长度为 $\pm 20\%$ 以内。此外,第二谐振器面120b位于与侧面111c大致相同平面上是指第二谐振器面120b与侧面111c的距离相对于谐振器长度为 $\pm 20\%$ 以内。第一谐振器面120a与侧面111a的距离、以及第二谐振器面120b与侧面111c的距离也可以相对于谐振器长度为 $\pm 10\%$ 以内。

半导体器件100也可以是第一谐振器面120a从侧面111a突出、第二谐振器面120b从侧面111c突出的结构,但若层叠体120不与基板110接触则散热性恶化,因此突出量需要在给定的范围内。此外,半导体器件100也可以是第一谐振器面120a以及第二谐振器面120b位于搭载区域110aa上的结构。换言之,半导体器件100也可以是第一谐振器面120a位于从侧面111a靠里的位置、第二谐振器面120b位于从侧面111c靠里的位置的结构。只要从第一谐振器面120a出射的光不被上表面110a踢出,第一谐振器面120a也可以从侧面111a靠里。

[0166] 半导体器件100能够使用上述的半导体器件的制造方法来制造。半导体器件100能够通过分割配置有多个层叠体10的第一支承体20(参照图4A、4B、17)而高效地制造。

[0167] 对本公开的实施方式所涉及的半导体装置进行说明。图28是示意性地表示本公开的一实施方式所涉及的半导体装置的一例的立体图,图29是示意性地表示本公开的一实施方式所涉及的半导体装置的另一例的立体图。另外,在图29中,为了便于图解,省略连接半导体器件和封装件的端子的连接导体进行图示。

[0168] 本实施解体的半导体装置400具备半导体器件100和封装件300。半导体器件100、200也可以是图18~图26所示的半导体器件100。作为封装件300,能够使用公知的封装件。例如,如图28所示,封装件300也可以是TO-CAN型封装件。根据半导体装置400,在层叠体10的第一端面11a、12a、13a形成电介质层130时使用的第一支承体20兼用作半导体装置400中的基台,因此不需要将配置于第一支承体20上的多个层叠体10单独地芯片接合的工序。其结果是,能够解决使层叠体小型化的情况下的课题。半导体器件100除了能够安装于TO-CAN型封装件以外,还能够安装于表面安装型的各种封装件。

[0169] 半导体装置400例如也可以如图29所示,将复合型的半导体器件200、即阵列化的半导体器件200安装于表面安装型的封装件300。阵列化的半导体器件200需要高精度地定位孔多个层叠体120的多个发光点。因此,作为阵列化的半导体器件200,通常使用以条状连接的多个半导体元件(例如,条形激光器),但在条形激光器中,由于多个发光点的位置通过晶片级的设计来确定,因此相邻的发光点间的间隔的设计自由度较低。在本实施方式的半导体装置400中,多个层叠体120被单独地分离,因此仅通过变更基板110中的第一凹部111以及第二凹部112中的至少一方的外观设计,变更配置有层叠体120的位置,就能够控制相邻的发光点间的间隔。因此,半导体装置400的设计自由度高,能够广泛应用于各种用途。此外,在半导体装置400中,虽然多个层叠体120单独地分离,但位置精度良好地转印并排列在第一支承体20上。因此,半导体装置400高精度地配置有多个层叠体120的多个发光点。

[0170] 半导体器件100、200的基板110的下表面110d也可以与封装件300的安装面连接,基板110的第二侧面110c也可以与封装件300的安装面连接。半导体装置400也可以在基板110的凹部111、112配置有光电二极管。光电二极管也可以构成为检测从第一谐振器面120a出射的光,也可以构成为检测从第二谐振器面120b漏出的光。由此,能够基于光电二极管的检测结果来控制向层叠体120供给的驱动电流,因此能够提高半导体装置400的可靠性。此外,通过在凹部111、112配置光电二极管,能够提高光电二极管的监视器精度。此外,能够抑制从第一谐振器面120a出射的光被光电二极管踢出。

[0171] 图30是表示本实施方式所涉及的半导体器件的制造方法的流程图。图31是表示本实施方式所涉及的半导体器件的制造方法的立体图。如图30以及图31所示,本实施方式所涉及的半导体器件的制造方法包括准备激光基板LK(第一以及第二激光体L1·L2)的工序

和形成第一以及第二电介质层F1·F2的工序。然后,也可以进行通过激光基板LK的分割得到激光元件LS(半导体器件)的工序。

[0172] 如图31所示,激光基板LK包括具有包括第一区域M1以及第二区域M2的上表面的基材KZ以及位于基材KZ上方的第一以及第二激光体L1·L2。基材KZ为长条形状,第一以及第二区域M1·M2的宽度(Y方向的尺寸)小于基材宽度WK,第一激光体L1的谐振器长度大于第一区域M1的宽度,第二激光体L2的谐振器长度大于第二区域M2的宽度。也可以将基材宽度WK作为基材KZ的底面的最大宽度。第一激光体L1被配置为与第一激光体的谐振器长边方向正交的方向与第一区域M1的宽度方向(Y方向)交叉。第二激光体L2被配置为与第二激光体的谐振器长边方向正交的方向与第二区域M2的宽度方向(Y方向)交叉。也可以使第一激光体L1的谐振器长边方向与第一区域M1的宽度方向平行,使第二激光体L2的谐振器长边方向与第二区域M2的宽度方向平行。

[0173] 接着准备激光基板LK的工序,进行形成覆盖第一激光体L1的一对谐振器端面的一方R1的第一电介质层7F和覆盖第二激光体L2的一对谐振器端面的一方R2的第一电介质层7S的工序。这样,具有能够同时实现激光基板LK的操作的容易性和第一电介质层7F·7S(例如,反射镜膜)的适当的形成的优点。谐振器端面R1·R2也可以是光反射侧(激光出射面的相反面)。也可以在形成第一电介质层7F·7S之后使激光基板LK反转而形成第二电介质层8F·8S(例如反射镜膜)。第一以及第二激光L1·L2也可以具有包括光谐振器的氮化物半导体层(例如,GaN系半导体层)。

[0174] 基材KZ的上表面也可以包括宽度比第一区域M1大的宽幅区域MS,从第一区域M1上到宽幅区域MS上形成有导电性焊盘DP(例如T字形状)。第一以及第二激光L1·L2所包括的电极(例如阳极)也可以经由导电性接合层H(例如,焊料层)而接合于导电性焊盘DP的位于第一区域M1上的部分。位于导电性焊盘DP的宽幅区域MS上的部分例如能够利用于引线接合。

[0175] 基材KZ包括多个切口形状部KS(例如,长方体形状),第一激光体L1的一对谐振器端面R1中的一个可以伸出到多个切口形状部KS中的一个切口形状部KS之上,另一个谐振器端面也可以伸出到另一个切口形状部KS之上。这样,第一激光L1的出射光不易被基材KZ妨碍。

[0176] 激光基板LK是X方向的尺寸比Y方向以及Z方向(厚度方向)的尺寸大的棒形状,也可以是包括第一以及第二激光体L1·L2的多个激光体LT沿着基材KZ的长边方向(D2方向)排列、基材KZ上的激光体的列为一个的结构(一维配置型)。也可以在形成第一电介质层7F·7S之后将基材KZ在短边方向(D1方向)上切断,由此分别得到包括一个以上的激光体LT的多个激光元件LS(半导体器件)。

[0177] 图32是表示本实施方式所涉及的半导体器件的制造方法的流程图。图33是表示本实施方式所涉及的半导体器件的制造方法的俯视图。如图32以及图33所示,也可以进行以下工序:准备在基底基板BS(晶体生长用基板)上分别配置有包括氮化物半导体层的多个垄状构造体UT而成的半导体基板HK的工序;通过分割垄状构造体UT而形成谐振器端面(例如,氮化半导体层的m面)的工序;将二维配置的激光体LT(从基台基板BS上)转印到基材KZ上的工序(形成二维配置型激光基板LF的工序);通过二维配置型激光基板LF的分割而得到一维配置型激光基板LK(包括第一以及第二激光体L1、L2)的工序;形成第一电介质层7F·7S(例

如,反射镜膜)的工序(也可以使激光基板LK反转而形成第二电介质层8F·8S);以及通过包括第一电介质层7F·7S的一维配置型激光基板LK(半导体器件)的分割而得到激光元件LS(半导体器件)的工序。

[0178] 垄状构造体UT的分割可以在基底基板BS上进行,也可以在临时转印有垄状构造体UT的带(挠性基板)上进行。垄状构造体UT的分割也可以通过解理进行,也可以通过蚀刻进行。

[0179] 在半导体基板HK中,在基台基板BS上的掩模图案PM(包括掩模部以及狭缝状的开口部OP)的上方形成有垄状构造体UT,垄状构造体UT也可以跨越在D1方向(氮化物半导体层的m轴方向)上延伸的开口部OP地形成。垄状构造体UT也可以包括GaN晶体、AlGaN晶体、InGaN晶体以及InAlGaN晶体中的至少一方。通过使用ELO法形成垄状构造体UT的基座部(例如GaN晶体),能够减少位于掩模部上的部分的穿透位错。

[0180] 图31以及图33所示的激光元件LS(半导体器件)包括:基材KZ,在上表面包括宽度比基材宽度WK小的第一区域M1以及宽度比第一区域M1大的宽幅区域MS;第一激光体L1,被配置为谐振器长度比第一区域M1的宽度大,在基材KZ的上方以与第一区域M1交叉(例如正交);以及第一电介质层7F,覆盖第一激光体L1的一对谐振器端面的一方R1。也可以从第一区域M1上到宽幅区域MS上形成有导电性焊盘DP(例如T字形状)。第一以及第二激光L1、L2所包括的电极(例如阳极)也可以经由导电性接合层H(例如,焊料层)而接合于导电性焊盘DP的位于第一区域M1上的部分。

[0181] 在激光元件LS中,也可以在基材KZ的上表面包括宽度比基材宽度WK小的第二区域M2,谐振器长度比第二区域M2的宽度大的第二激光体L2在比第二区域M2靠上方的位置与第二区域M2交叉(例如正交)地配置,以覆盖第二激光体L2的一对谐振器端面的一方R2地配置有第一电介质层7S。

[0182] 以上,对本公开的实施方式进行了详细地说明,但本公开并不限于上述的实施方式,在不脱离本公开的主旨的范围内能够进行各种变更、改良等。

[0183] -附图标记说明-

[0184] 1 基底基板

[0185] 1a 一个主面

[0186] 1a1 生长区域

[0187] 2 掩模

[0188] 2a 线状部

[0189] 2b 槽

[0190] 3 半导体元件层

[0191] 3a 连接部

[0192] 4 第一支承基板

[0193] 4a 一个主面

[0194] 41 凹部

[0195] 42 壁部

[0196] 44 布线

[0197] 44a n型电极焊盘

- [0198] 44b p型电极焊盘
- [0199] 10 层叠体
- [0200] 10a 第一谐振器面
- [0201] 10b 第二谐振器面
- [0202] 11 第一半导体层
- [0203] 11a 第一端面
- [0204] 11b 第二端面
- [0205] 12 活性层
- [0206] 12a 第一端面
- [0207] 12b 第二端面
- [0208] 13 第二半导体层
- [0209] 13a 第一端面
- [0210] 13b 第二端面
- [0211] 14 第一电极(n型电极)
- [0212] 15 第二电极(p型电极)
- [0213] 16 脊形波导
- [0214] 17 第一电介质层
- [0215] 18 第二电介质层
- [0216] 19 绝缘膜
- [0217] 20 第一支承体
- [0218] 20a 上表面
- [0219] 20aa 搭载区域
- [0220] 20b 第一侧面
- [0221] 20c 第二侧面
- [0222] 21 凹部
- [0223] 21a 第一凹部
- [0224] 21b 第二凹部
- [0225] 22 基板区域
- [0226] 22a 第一面
- [0227] 22b 第二面
- [0228] 22c 第三面
- [0229] 24 布线
- [0230] 24a 第一布线
- [0231] 24a1 接合构件
- [0232] 24b 第二布线
- [0233] 24b1 接合构件
- [0234] 27 布线电极
- [0235] 28 绝缘膜
- [0236] 30 第二支承体

- [0237] 30a 下表面
- [0238] 30b 第一侧面
- [0239] 30c 第二侧面
- [0240] 31 凹部
- [0241] 31a 第三凹部
- [0242] 31b 第四凹部
- [0243] 100、200 半导体器件
- [0244] 110 基板
- [0245] 110a 上表面
- [0246] 110aa 搭载区域
- [0247] 110b 第一侧面
- [0248] 110c 第二侧面
- [0249] 110d 下表面
- [0250] 111 凹部(第一凹部)
- [0251] 111a 侧面
- [0252] 111b 底面
- [0253] 111c 侧面
- [0254] 112 凹部(第二凹部)
- [0255] 113 凸部
- [0256] 113a 第一凸部
- [0257] 113b 第二凸部
- [0258] 114 布线
- [0259] 114a 第一布线
- [0260] 114b 第二布线
- [0261] 120 层叠体
- [0262] 120a 第一谐振器面
- [0263] 120b 第二谐振器面
- [0264] 121 主体
- [0265] 130 电介质层
- [0266] 300 封装件
- [0267] 400 半导体装置。

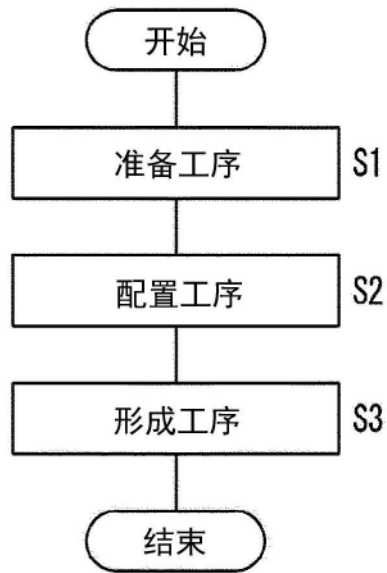


图1

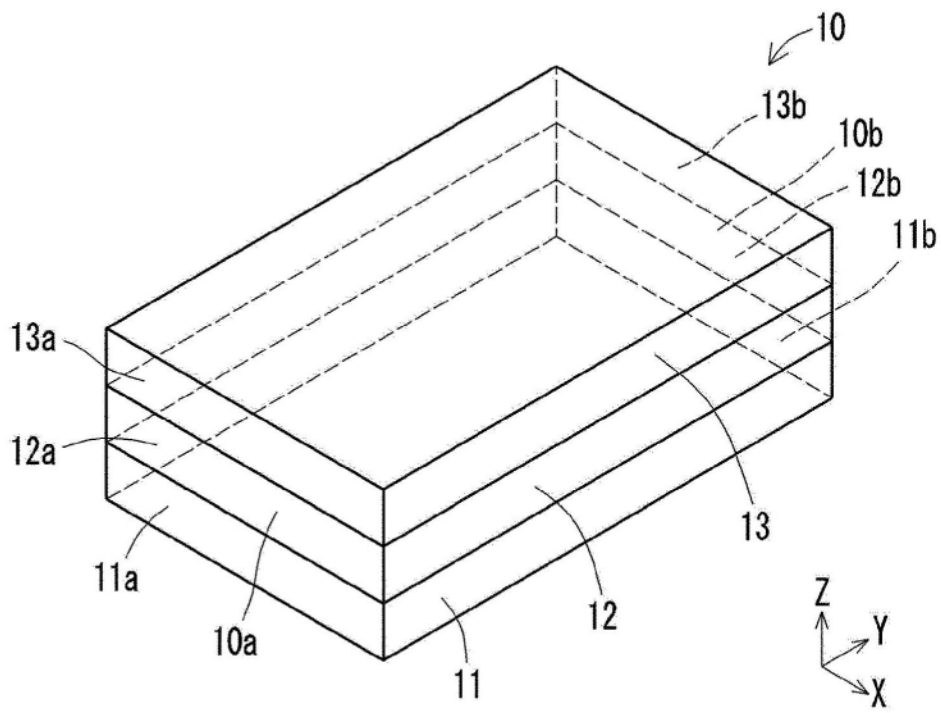


图2

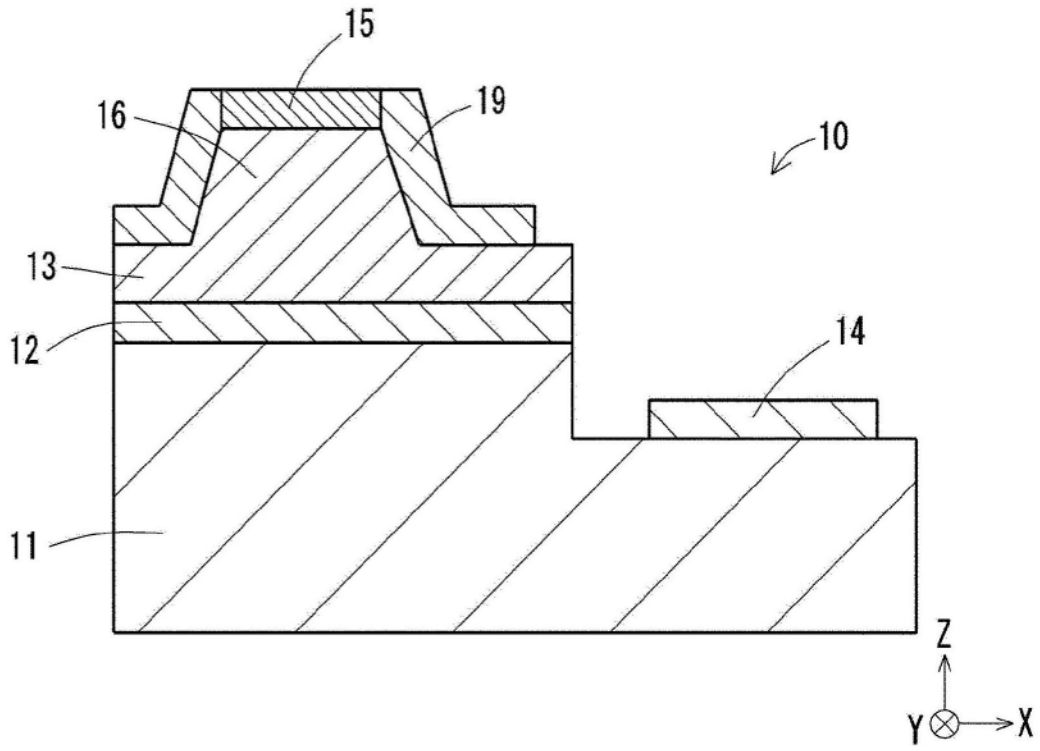


图3A

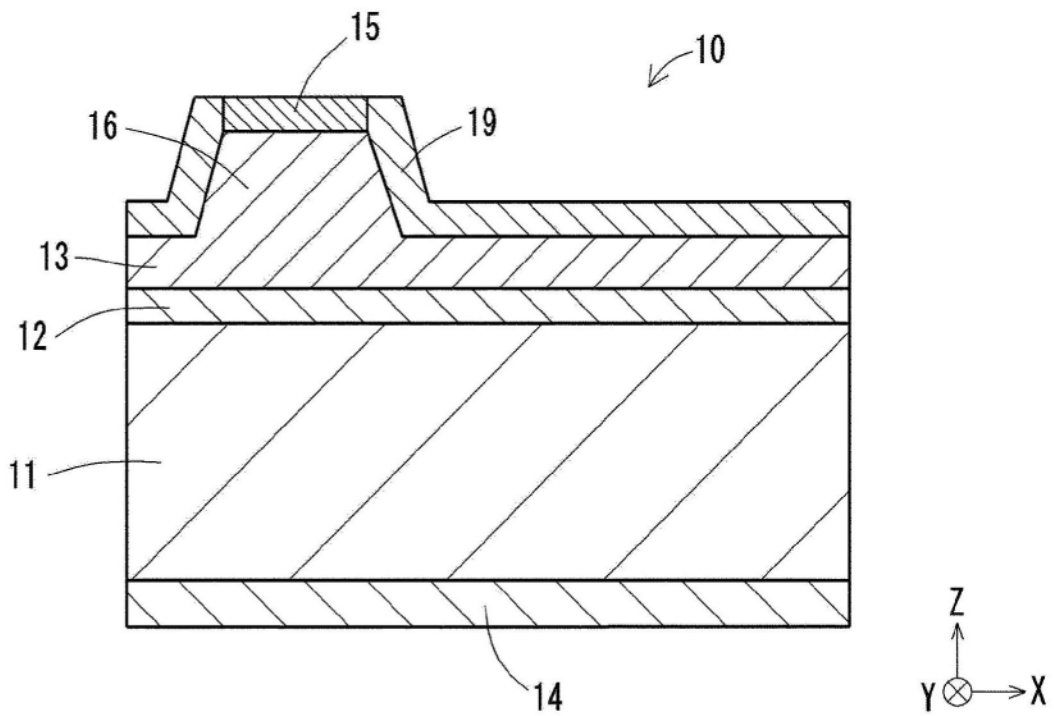


图3B

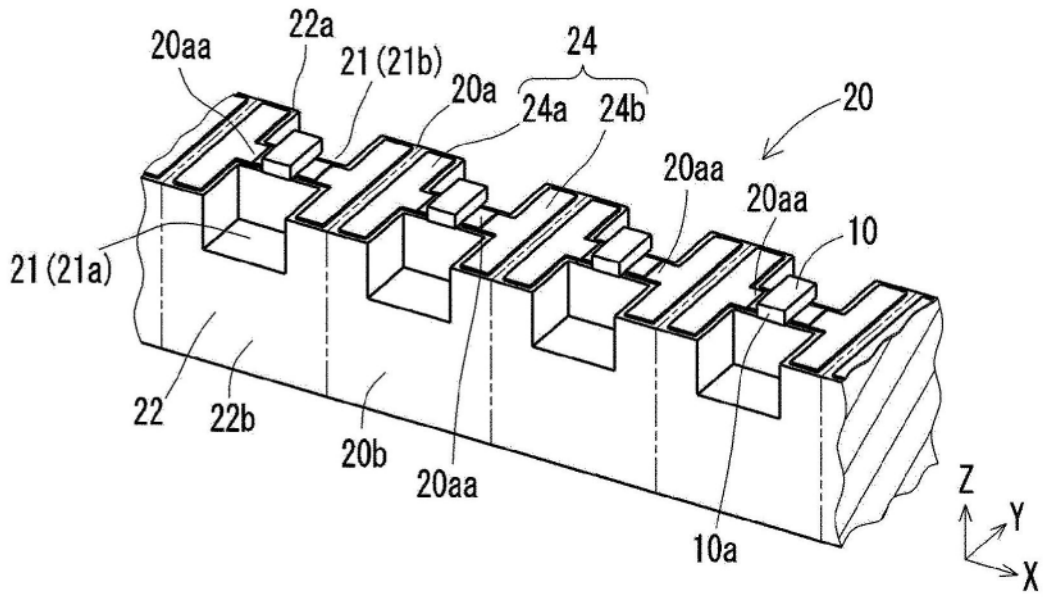


图4A

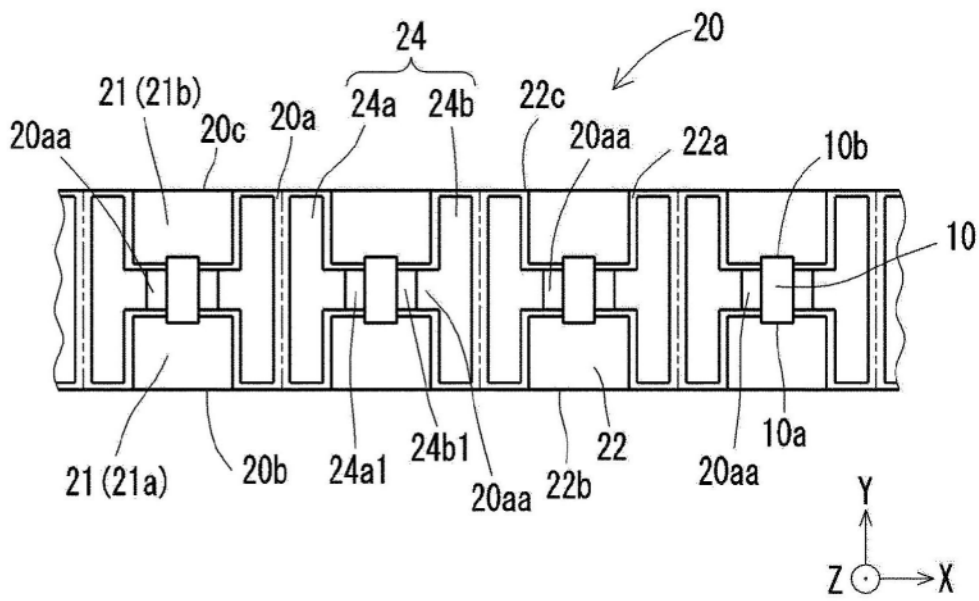


图4B

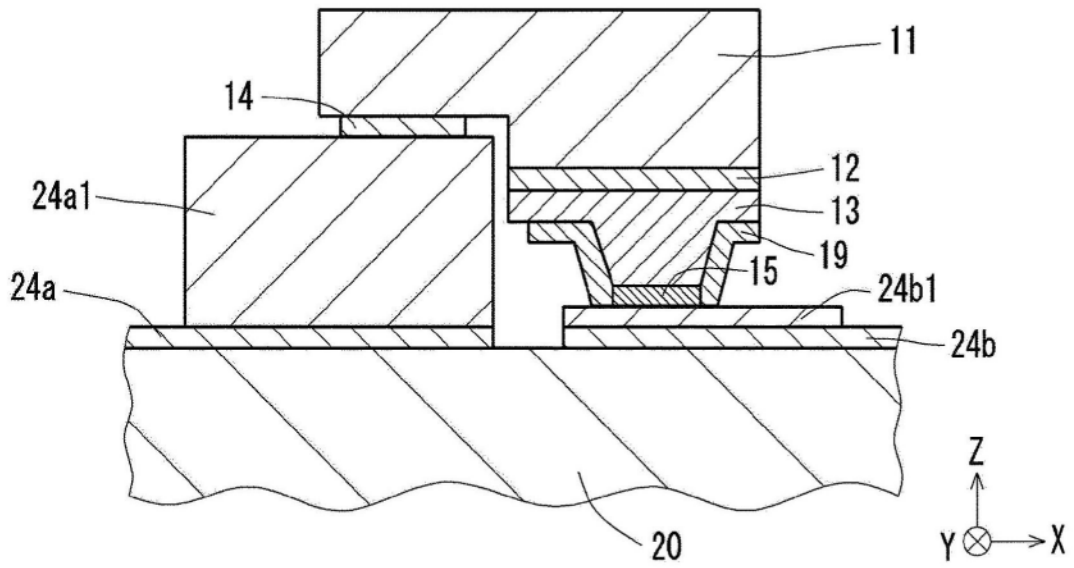


图5A

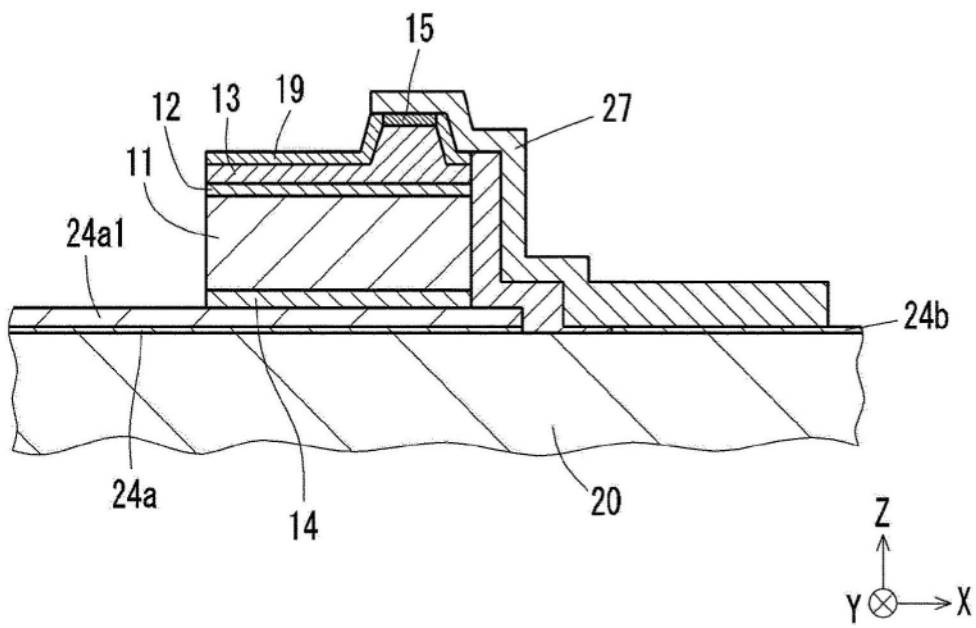


图5B

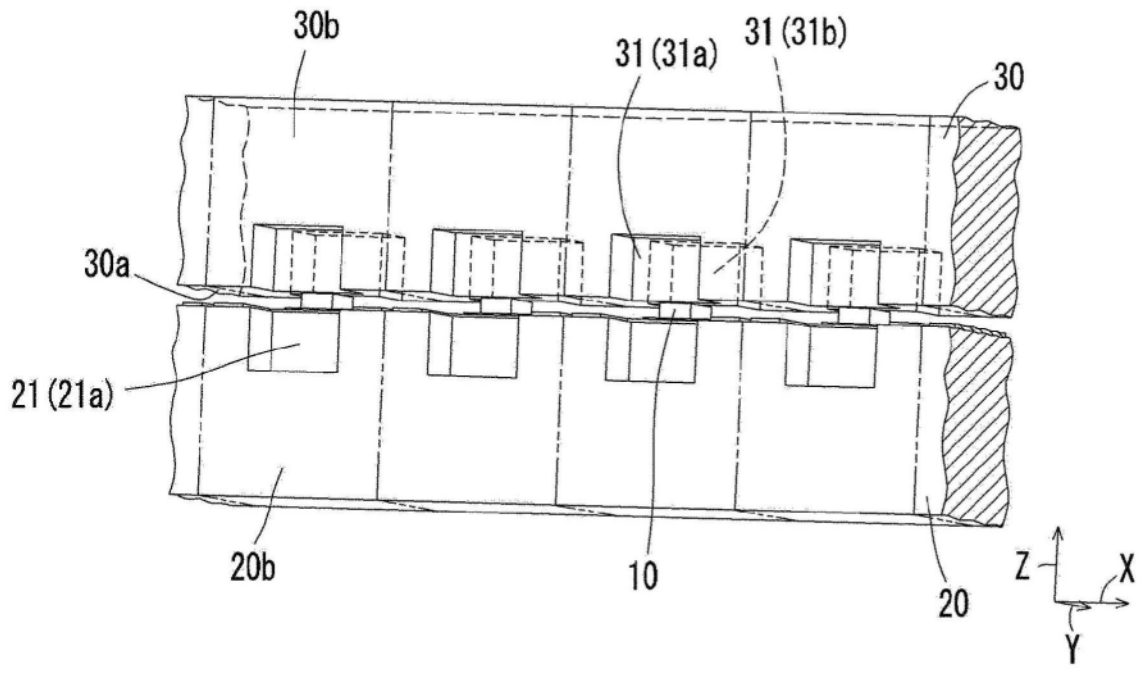


图6

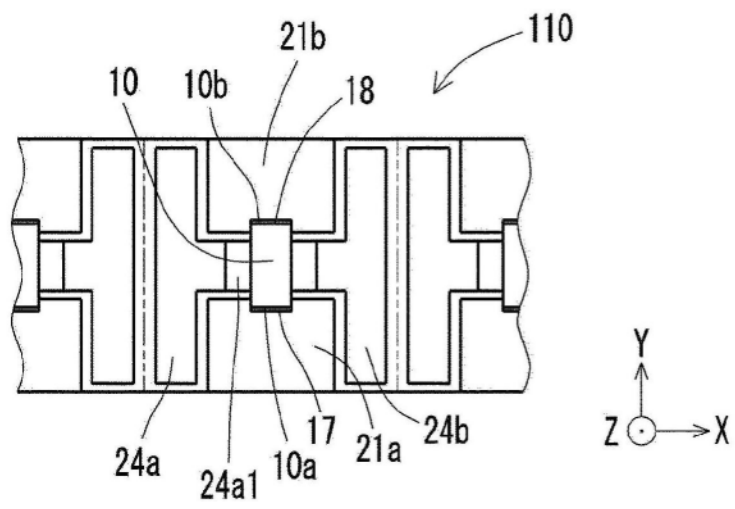


图7

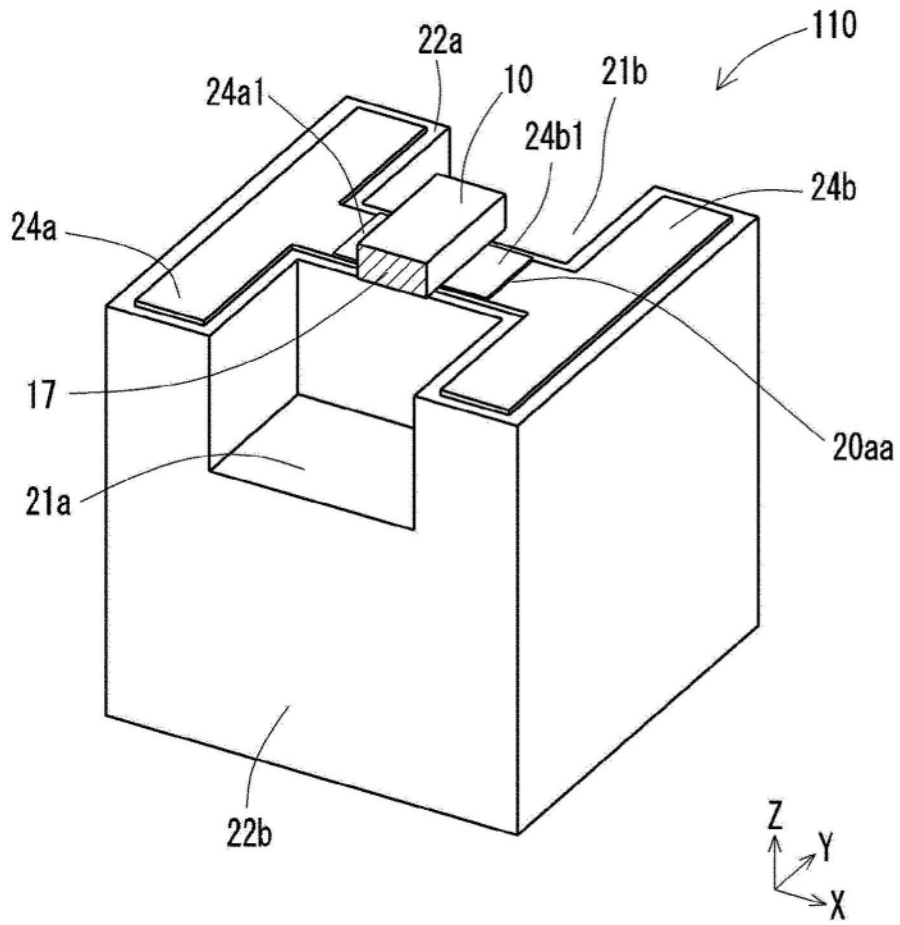


图8

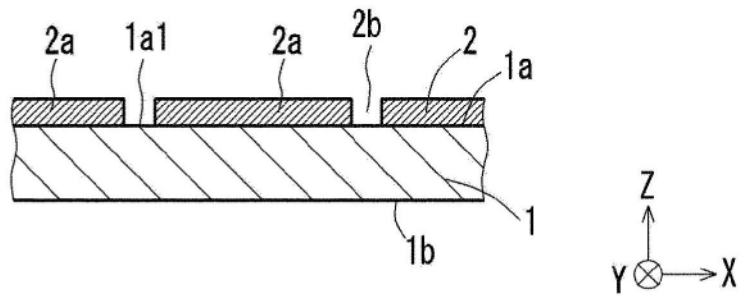


图9

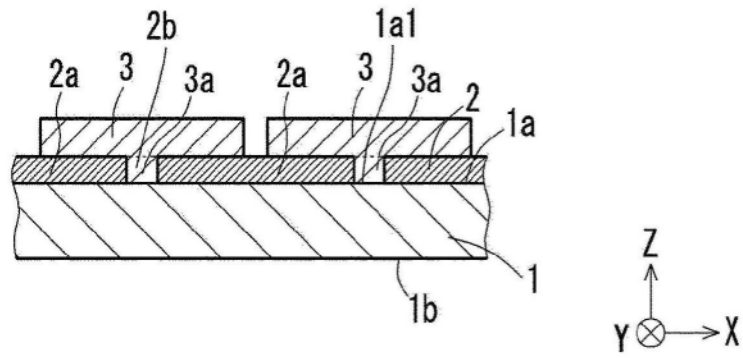


图10

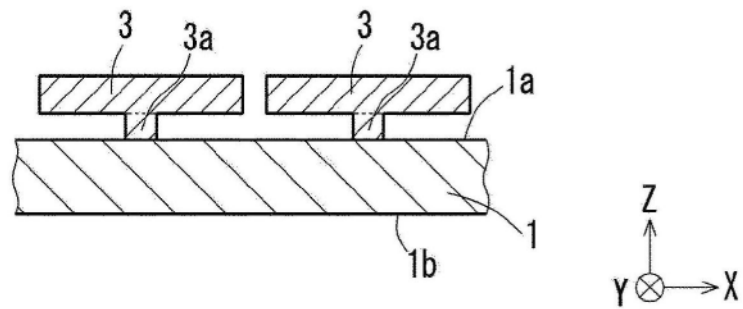


图11

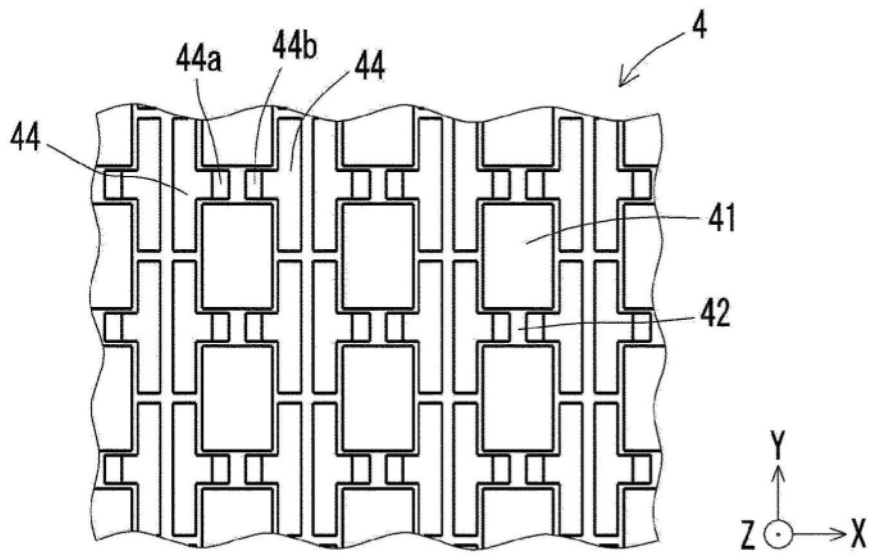


图12

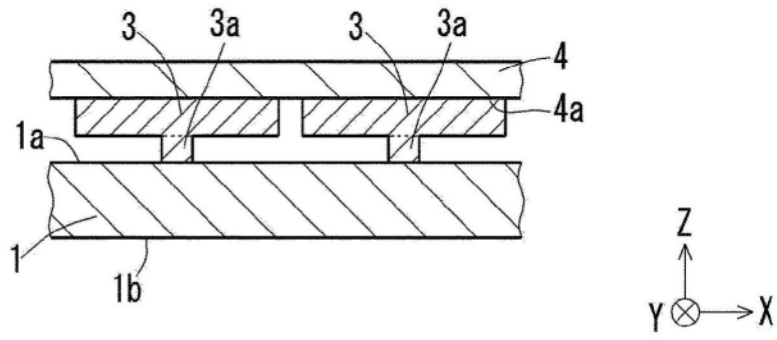


图13

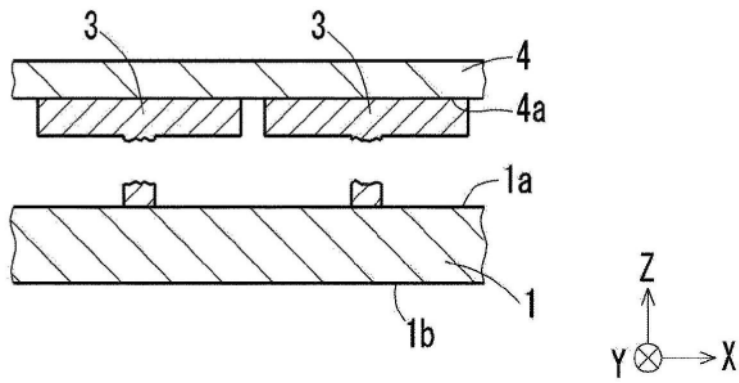


图14

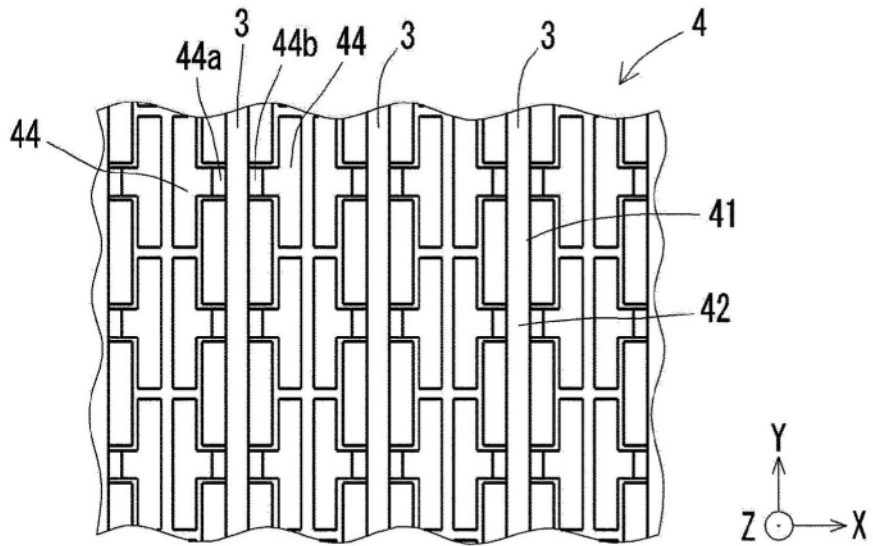


图15

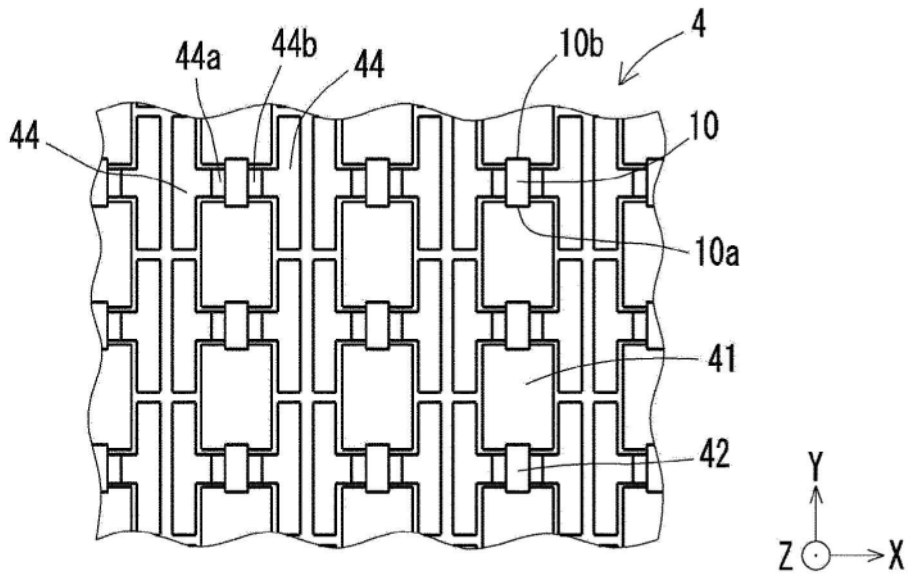


图16

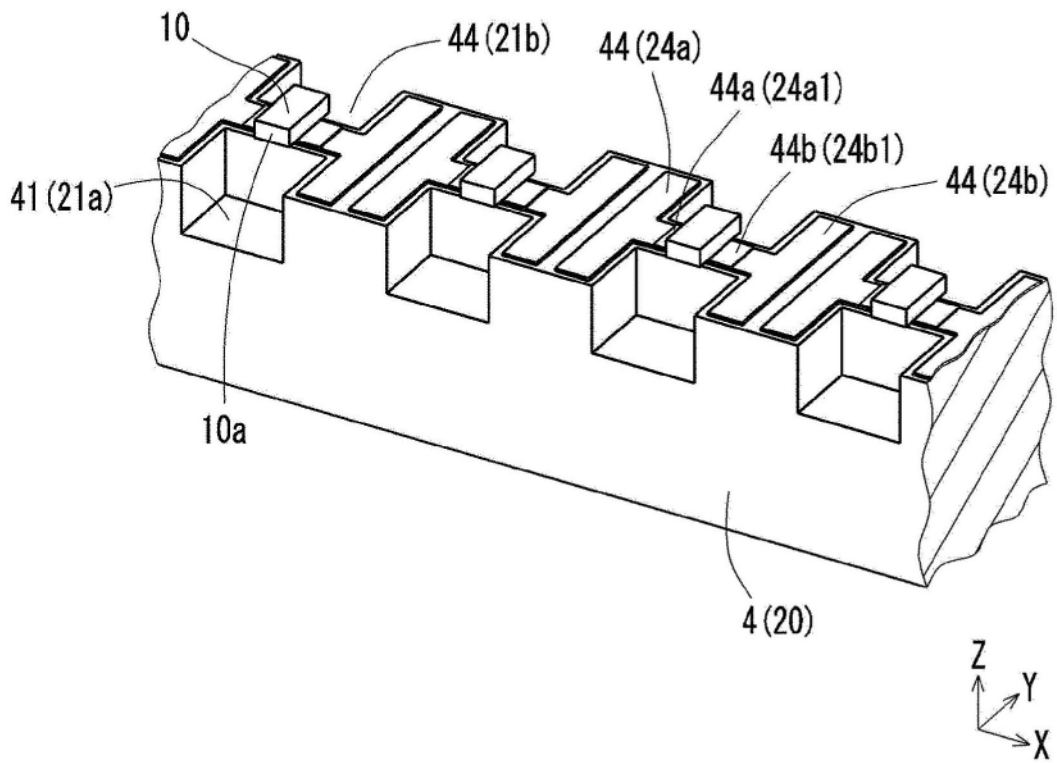


图17

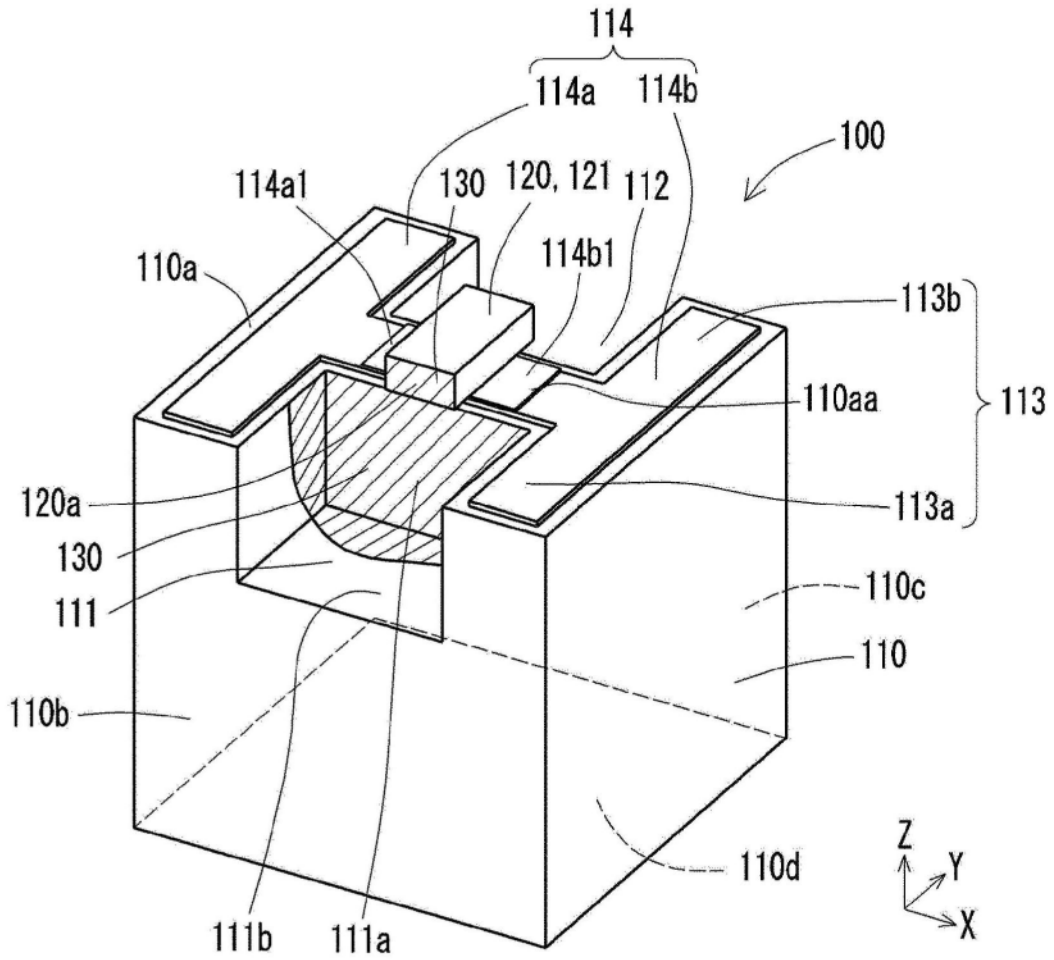


图18

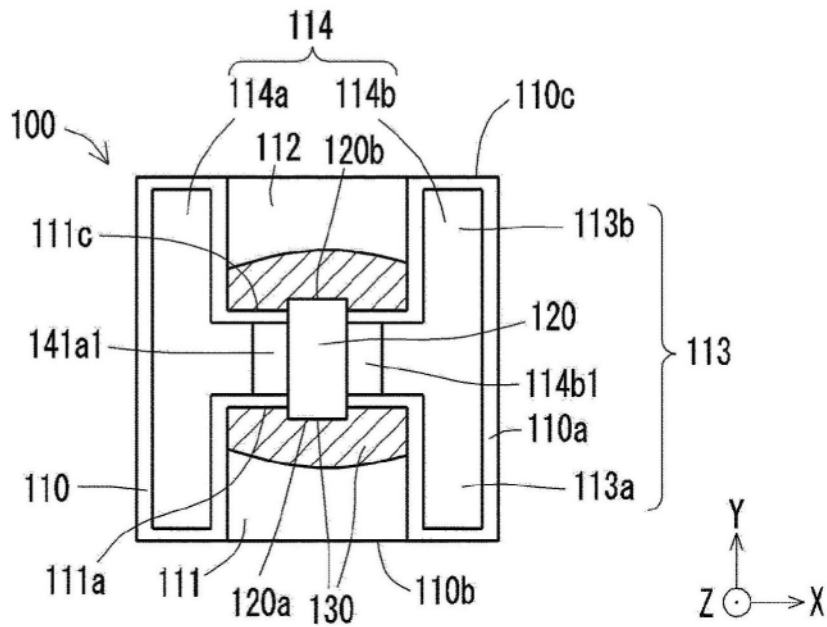


图19

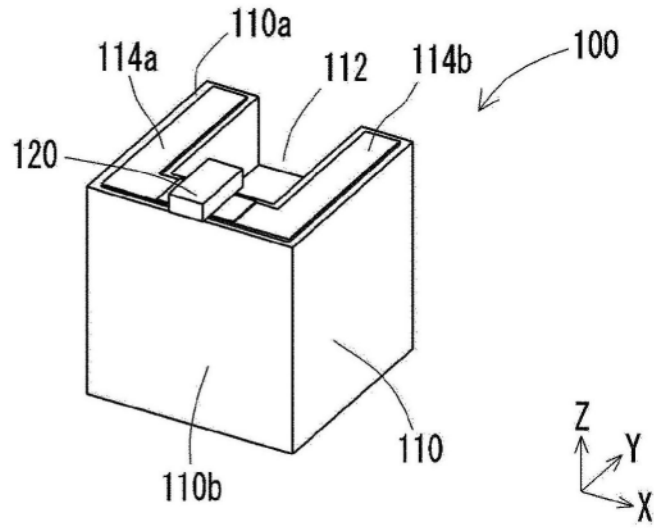


图20

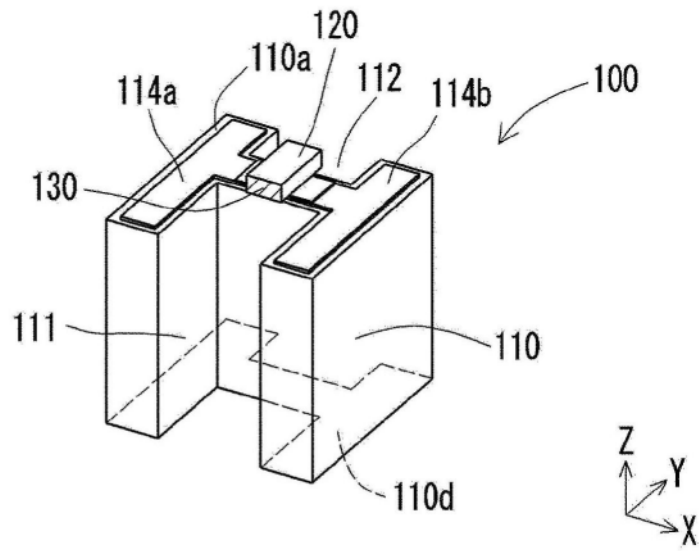


图21

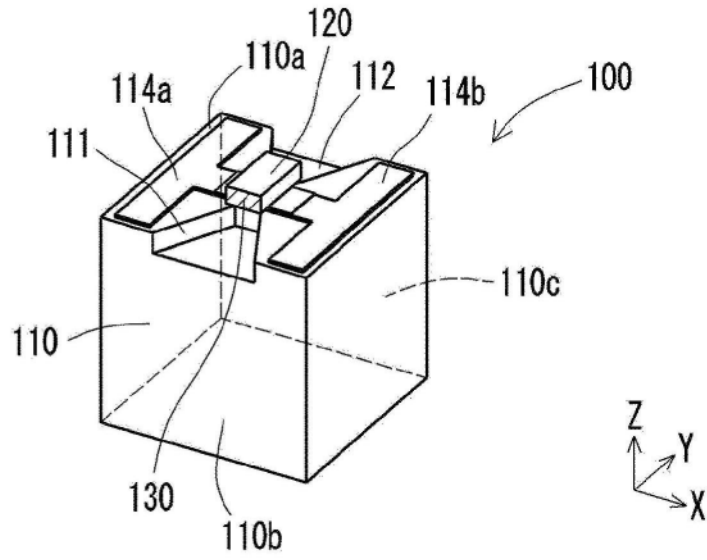


图22

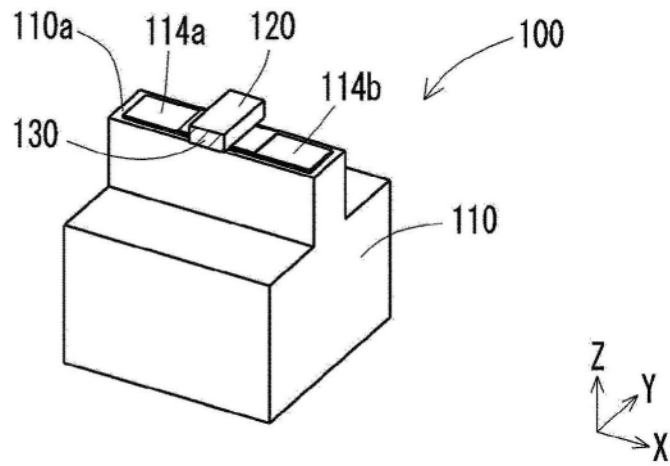


图23

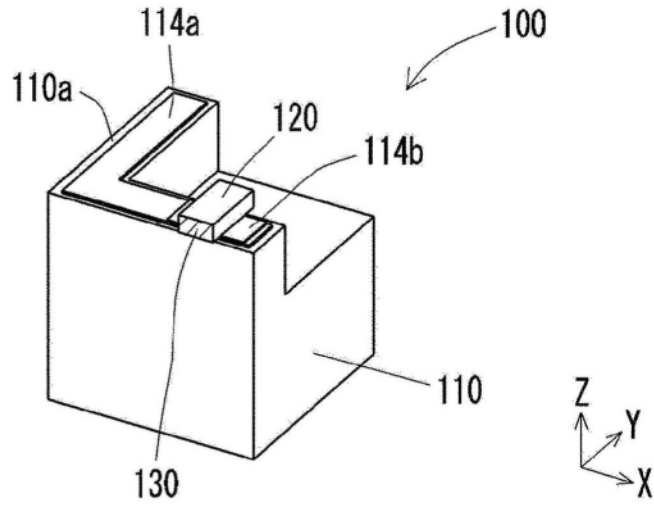


图24

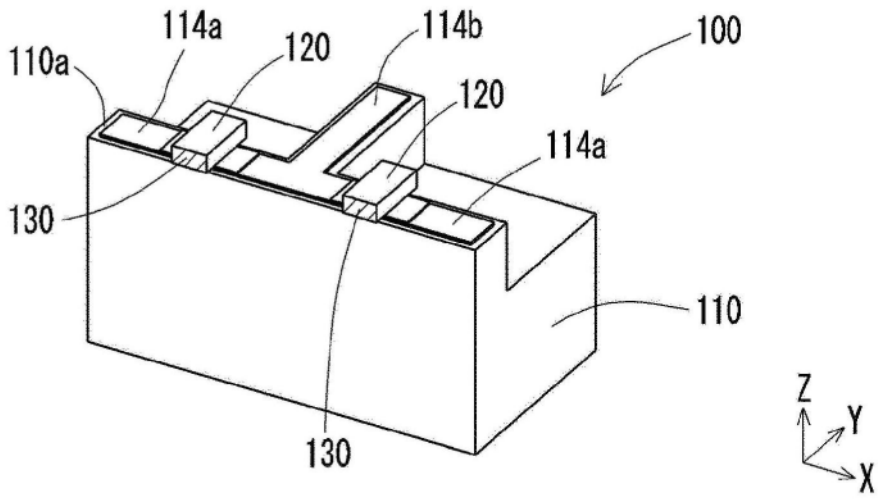


图25

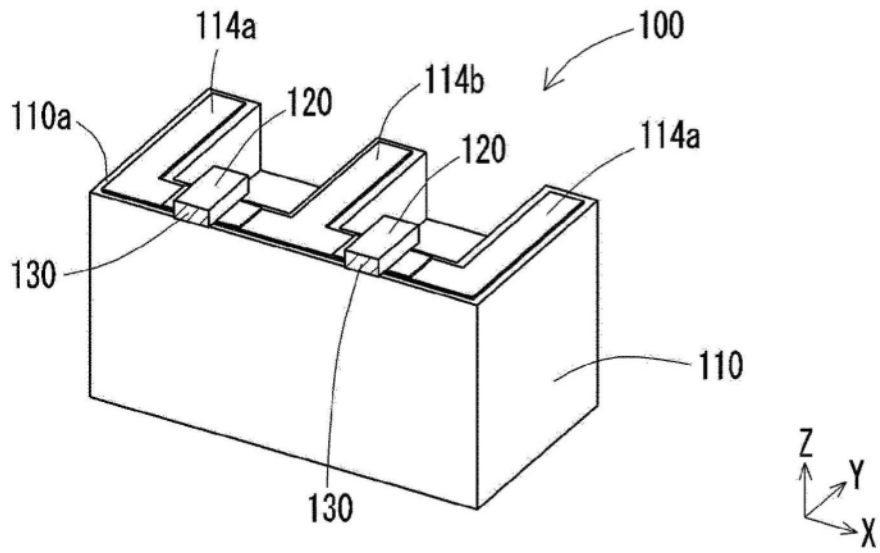


图26

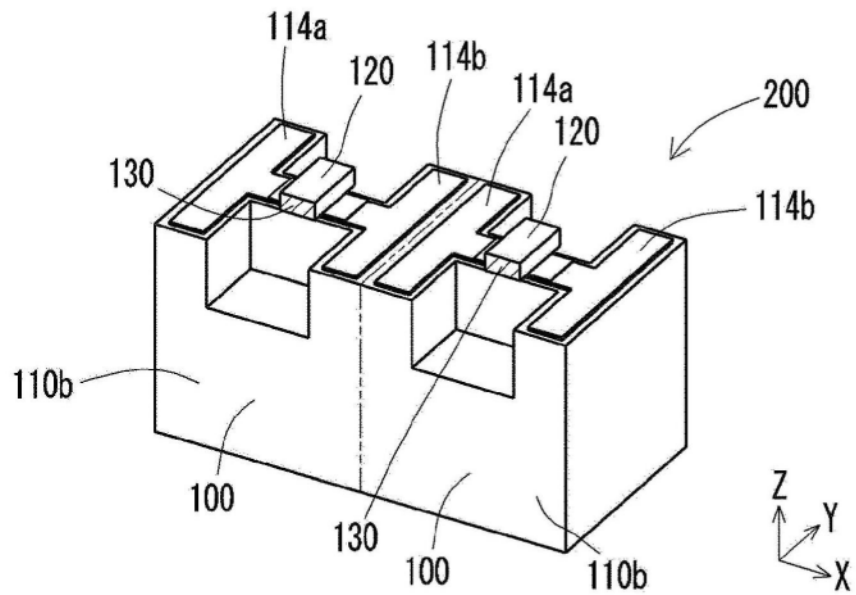


图27

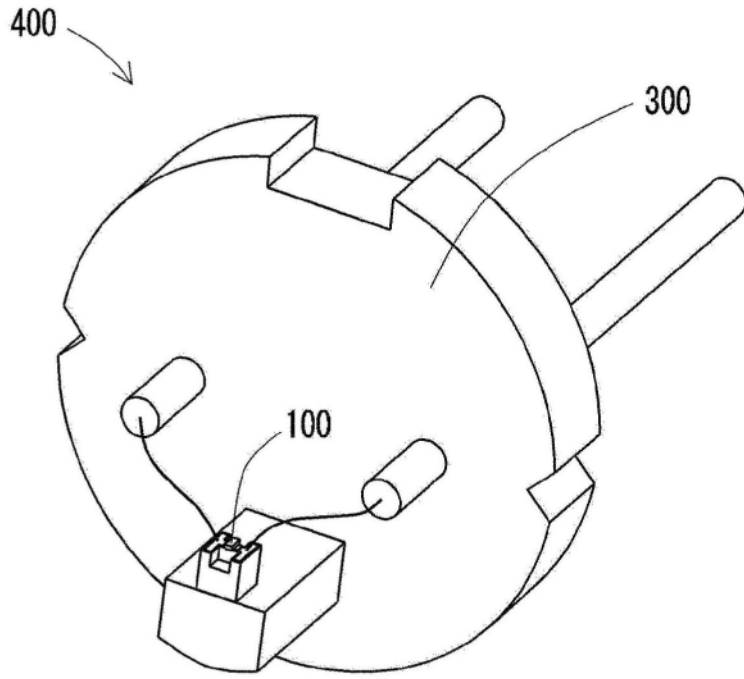


图28

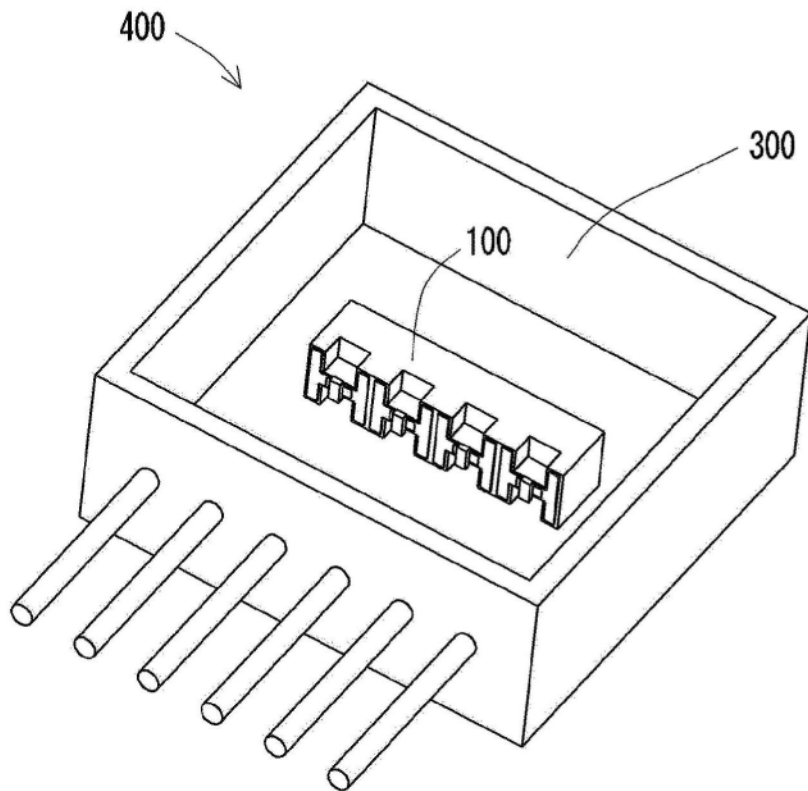


图29

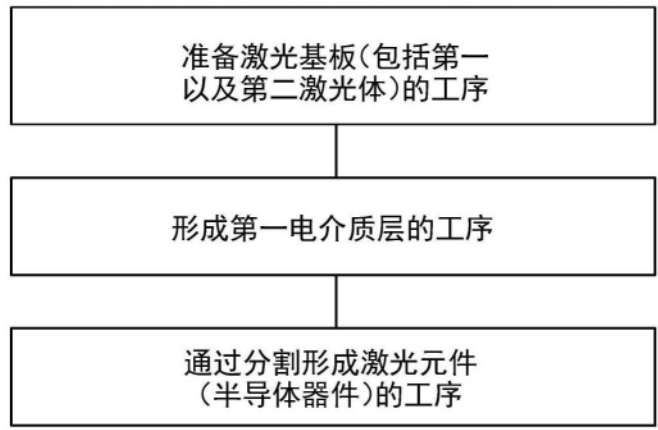


图30

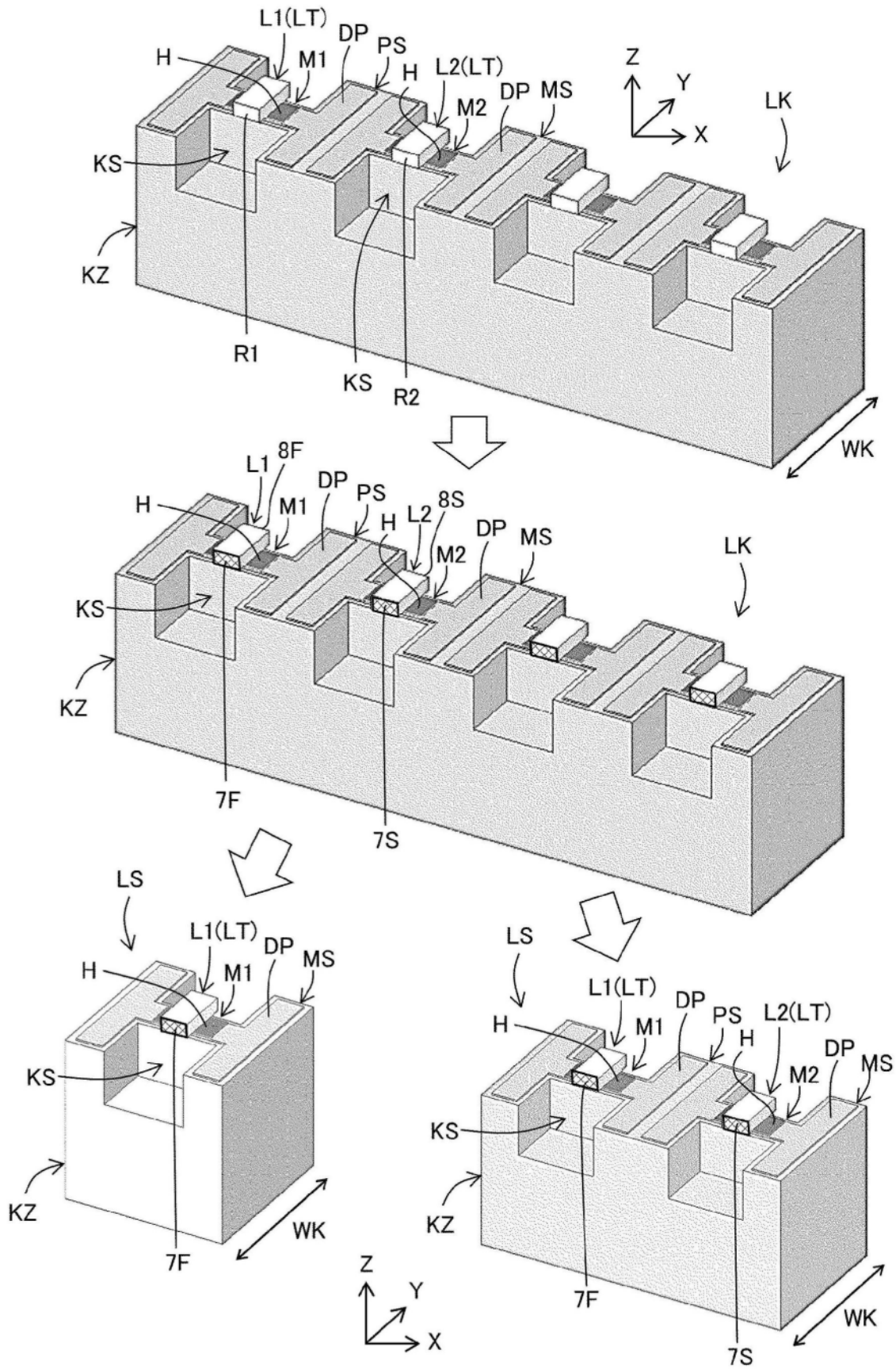


图31

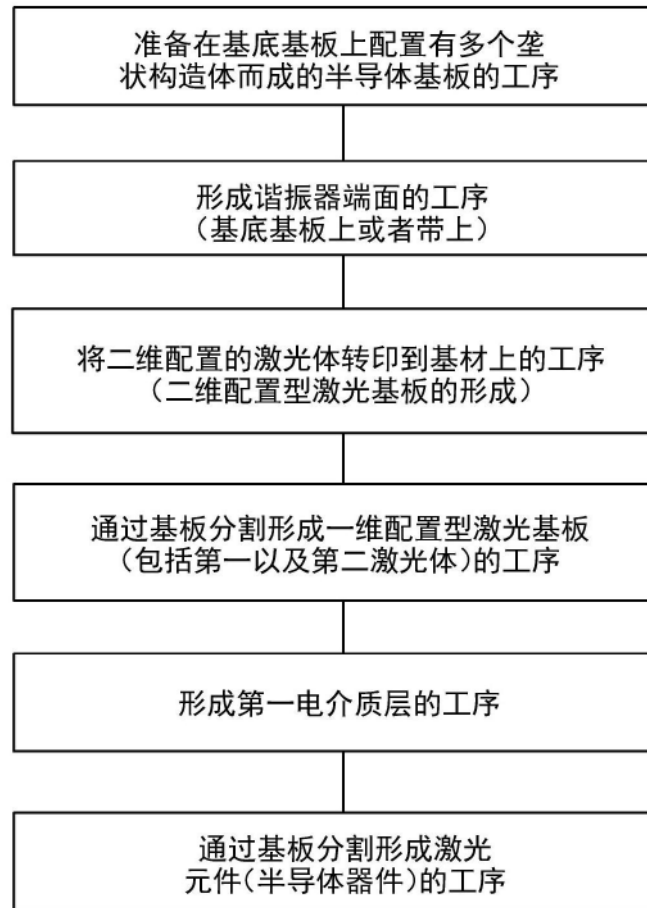


图32

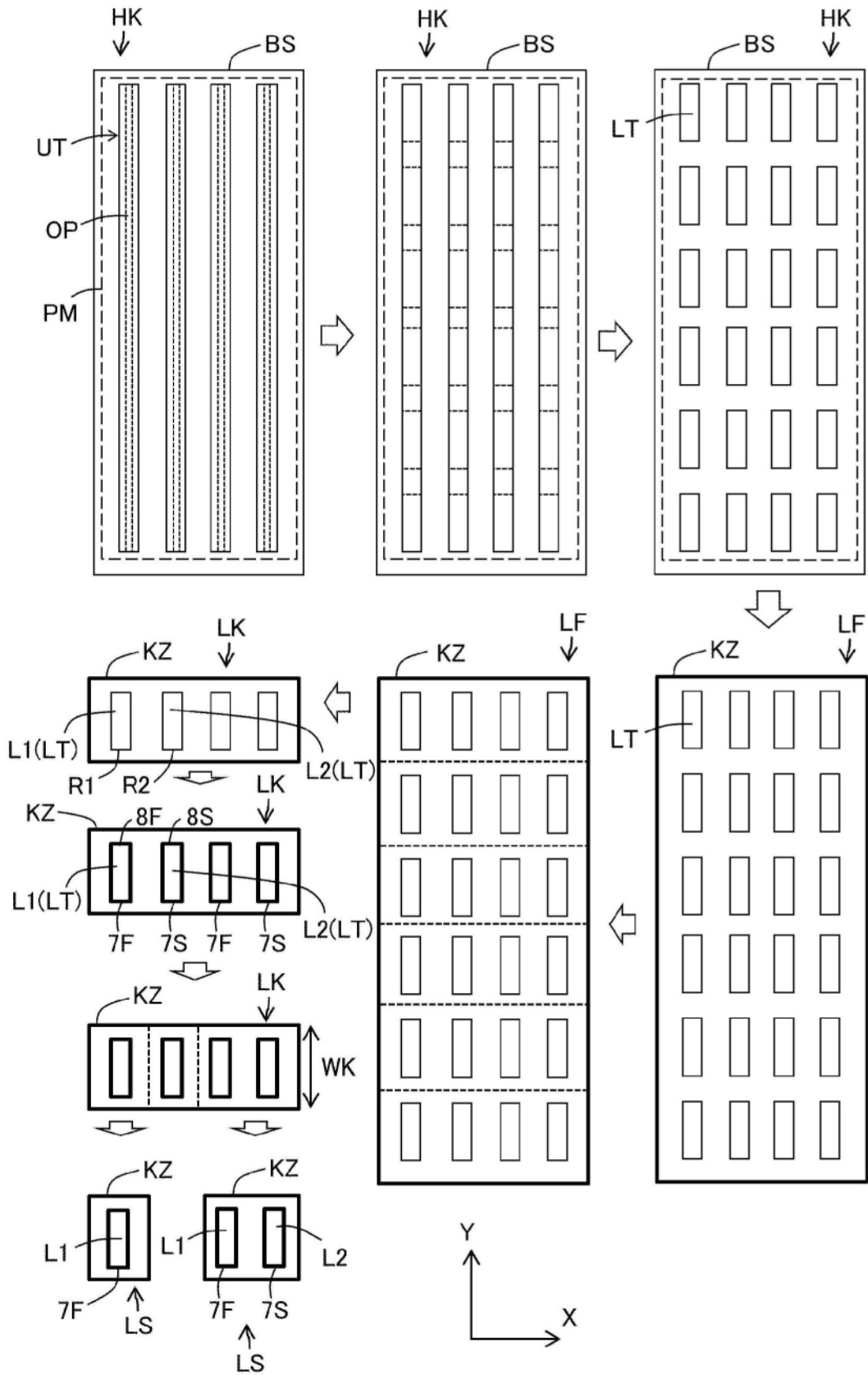


图33