



등록특허 10-2105519



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년04월29일
(11) 등록번호 10-2105519
(24) 등록일자 2020년04월22일

- (51) 국제특허분류(Int. Cl.)
HO1L 29/786 (2006.01) *G02F 1/136* (2006.01)
HO1L 21/336 (2006.01)
- (21) 출원번호 10-2013-0067604
(22) 출원일자 2013년06월13일
심사청구일자 2018년06월11일
- (65) 공개번호 10-2013-0141379
(43) 공개일자 2013년12월26일
- (30) 우선권주장
JP-P-2012-136437 2012년06월15일 일본(JP)
- (56) 선행기술조사문현
JP2012023352 A*
US20110140100 A1*

*는 심사관에 의하여 인용된 문현

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
야마자키, 순페이
일본 243-0036, 가나가와Ken, 아쓰기시, 하세,
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼
내
- (74) 대리인
장훈

전체 청구항 수 : 총 14 항

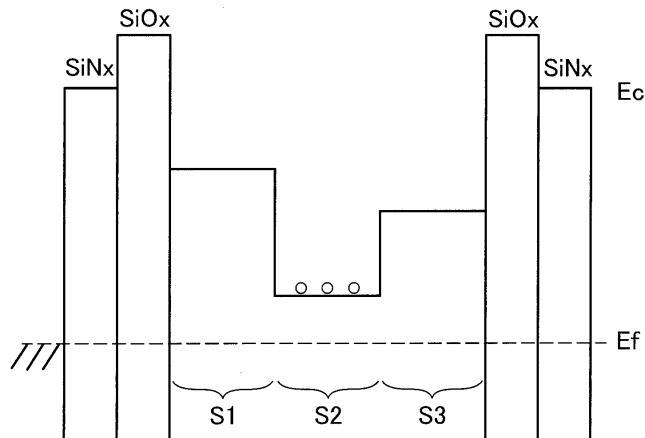
심사관 : 백형열

(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은 산화물 반도체가 사용된 트랜지스터에 높은 전계 효과 이동도를 부여한다. 또한 이 트랜지스터를 사용한 신뢰성이 높은 반도체 장치를 제공한다.

산화물 반도체층을 포함하는 보텀 게이트형 트랜지스터에 있어서, 트랜지스터의 정류 경로(채널)로서 기능하는 산화물 반도체층을 끼우고, 이 산화물 반도체층에 비하여 캐리어 밀도가 낮은 산화물 반도체층을 포함하는 구성으로 한다. 이 구성으로 함으로써 채널이 산화물 반도체 적층에 접하는 절연층 계면에서 떨어지도록 매크 채널을 형성한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

반도체 장치에 있어서,

게이트 전극층과;

상기 게이트 전극층 위의 게이트 절연층과;

상기 게이트 절연층을 개재하여 상기 게이트 전극층과 중첩되는 산화물 반도체 적층과;

상기 산화물 반도체 적층에 전기적으로 접속되는 소스 전극층 및 드레인 전극층을 포함하고,

상기 산화물 반도체 적층은, 상기 게이트 절연층에 접하는 제 1 산화물 반도체층과, 상기 제 1 산화물 반도체층 위에서 접하는 제 2 산화물 반도체층과, 상기 제 2 산화물 반도체층 위에서 접하는 제 3 산화물 반도체층을 포함하고,

상기 제 3 산화물 반도체층은 상기 제 1 산화물 반도체층의 측면 및 상기 제 2 산화물 반도체층의 측면과 접하고,

상기 제 2 산화물 반도체층에서의 전도대 하단과 페르미 준위 사이의 차이는 상기 제 1 산화물 반도체층 및 상기 제 3 산화물 반도체층에서의 차이들보다 작은, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 산화물 반도체층의 캐리어 밀도 및 상기 제 3 산화물 반도체층의 캐리어 밀도는 상기 제 2 산화물 반도체층의 캐리어 밀도보다 낮은, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 산화물 반도체층과 상기 제 3 산화물 반도체층은 i형 산화물 반도체층인, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 산화물 반도체층은 n형 도전성을 부여하는 불순물을 포함하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 3 산화물 반도체층은 상기 제 1 산화물 반도체층과 상기 제 2 산화물 반도체층을 덮는, 반도체 장치.

청구항 6

제 4 항에 있어서,

n형 도전성을 부여하는 상기 불순물은 봉소, 질소, 및 인의 군에서 선택되는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 제 1 산화물 반도체층은 $M1_aM2_bM3_cO_x$ 로 표기되는 재료를 포함하고, a는 0 이상 2 이하의 실수(實數), b는 0

보다 크고 5 이하의 실수, c는 0 이상 5 이하의 실수, x는 임의의 실수, M1은 In, M2는 Ga, Mg, Hf, Al, Sn, 및 Zr의 군에서 선택되는 금속 원소, M3은 Zn이고,

상기 제 2 산화물 반도체층은 $M_{4d}M_{5e}M_{6f}O_x$ 로 표기되는 재료를 포함하고, d는 0보다 크고 5 이하의 실수, e는 0 이상 3 이하의 실수, f는 0보다 크고 5 이하의 실수, x는 임의의 실수, M4는 In, M5는 Ga, Mg, Hf, Al, Sn, 및 Zr의 군에서 선택되는 금속 원소, M6은 Zn이고,

상기 제 3 산화물 반도체층은 $M_{7g}M_{8h}M_{9i}O_x$ 로 표기되는 재료를 포함하고, g는 0 이상 2 이하의 실수, h는 0보다 크고 5 이하의 실수, i는 0 이상 5 이하의 실수, x는 임의의 실수, M7은 In, M8은 Ga, Mg, Hf, Al, Sn, 및 Zr의 군에서 선택되는 금속 원소, M9는 Zn인, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 제 1 내지 상기 제 3 산화물 반도체층 각각은 Ga, Mg, Hf, Al, Sn, 및 Zr의 군에서 선택되는 적어도 하나의 금속 원소를 포함하는, 반도체 장치.

청구항 9

반도체 장치에 있어서,

게이트 전극층과;

상기 게이트 전극층 위의 게이트 절연층과;

상기 게이트 절연층을 개재하여 상기 게이트 전극층과 중첩되는 산화물 반도체 적층과;

상기 산화물 반도체 적층에 전기적으로 접속되는 소스 전극층 및 드레인 전극층을 포함하고,

상기 산화물 반도체 적층은, 상기 게이트 절연층에 접하는 제 1 산화물 반도체층과, 상기 제 1 산화물 반도체층 위에서 접하는 제 2 산화물 반도체층과, 상기 제 2 산화물 반도체층 위에서 접하는 제 3 산화물 반도체층을 포함하고,

상기 제 3 산화물 반도체층은 상기 제 1 산화물 반도체층의 측면 및 상기 제 2 산화물 반도체층의 측면과 접하고,

상기 제 2 산화물 반도체층에서의 전도대 하단과 페르미 준위 사이의 차이는 상기 제 1 산화물 반도체층 및 상기 제 3 산화물 반도체층에서의 차이들보다 작고,

상기 제 1 내지 상기 제 3 산화물 반도체층은 같은 금속 원소를 포함하는, 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 산화물 반도체층의 캐리어 밀도 및 상기 제 3 산화물 반도체층의 캐리어 밀도는 상기 제 2 산화물 반도체층의 캐리어 밀도보다 낮은, 반도체 장치.

청구항 11

제 9 항에 있어서,

상기 제 1 산화물 반도체층과 상기 제 3 산화물 반도체층은 i형 산화물 반도체층인, 반도체 장치.

청구항 12

제 9 항에 있어서,

상기 제 2 산화물 반도체층은 n형 도전성을 부여하는 불순물을 포함하는, 반도체 장치.

청구항 13

제 9 항에 있어서,

상기 제 3 산화물 반도체층은 상기 제 1 산화물 반도체층과 상기 제 2 산화물 반도체층을 덮는, 반도체 장치.

청구항 14

표시 장치에 있어서,

제 1 항 내지 제 13 항 중 어느 한 항에 따른 반도체 장치와;

상기 드레인 전극층에 전기적으로 접속되는 화소 전극을 포함하는, 표시 장치.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 명세서 등에서 기재하는 발명은 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 등에서의 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 화상 표시 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목되고 있다. 이 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함) 등의 전자 디바이스에 꼭넓게 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서는 실리콘계 반도체 재료가 널리 알려져 있지만, 기타 재료로서는 산화물 반도체가 주목되고 있다.

[0004] 예를 들어, 산화물 반도체에 산화 아연 또는 In-Ga-Zn계 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 기재되어 있다(특허문현 1 및 특허문현 2 참조).

[0005] 또한 비특허문현 1에는 산화물 반도체가 적층된 구조를 포함하는 트랜지스터가 기재되어 있다.

선행기술문현

특허문현

[0006] (특허문현 0001) 일본국 특개2007-123861호 공보

(특허문헌 0002) 일본국 특개2007-96055호 공보

비특허문헌

- [0007] (비특허문헌 0001) Arokia Nathan et al., "Amorphous Oxide TFTs: Progress and Issues", SID 2012 Digest p.1-4

발명의 내용

해결하려는 과제

- [0008] 산화물 반도체를 사용한 트랜지스터의 전기 특성은 산화물 반도체층과, 이 산화물 반도체층에 접하는 절연층의 계면 상태에 따라 변화된다.
- [0009] 예를 들어 산화물 반도체층과, 이 산화물 반도체층에 접하는 절연층과의 계면에서 발생하는 캐리어의 계면 산란은 트랜지스터의 전계 효과 이동도를 저하시키는 원인이 된다. 또한 이 계면에 트랩 준위(계면 준위라고도 함)가 존재하면 트랜지스터의 전기 특성(예를 들어 문턱 전압, 서브 스레시홀드값(S_{off}) 또는 전계 효과 이동도)의 변동의 원인이 된다.
- [0010] 또한, 비특허문헌 1에 기재된 구성에서는 채널로서 기능하는 산화물 반도체가 산화 실리콘막에 접하기 때문에, 산화 실리콘막의 구성 원소인 실리콘이 불순물로서 채널로 혼입될 우려가 있다. 채널로 혼입된 불순물은 트랜지스터의 전기 특성을 저하시키는 요인이 된다.
- [0011] 이로써 본 발명의 일 형태는 산화물 반도체를 사용한 반도체 장치에 높은 전계 효과 이동도를 부여하는 것을 과제 중 하나로 한다.
- [0012] 또한 본 발명의 일 형태는 산화물 반도체를 사용한 반도체 장치에 있어서 전기 특성의 변동을 억제하고 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

- [0013] 본 발명의 일 형태는 산화물 반도체층을 포함하는 보텀 게이트형 트랜지스터에 있어서, 트랜지스터의 전류 경로(채널)로서 기능하는 산화물 반도체층을 끼우고, 이 산화물 반도체층보다 캐리어 밀도가 낮고 채널과 절연층의 계면을 안정화하기 위하여 베퍼층으로서 기능하는 산화물 반도체층을 포함하는 구성으로 한다. 이 구성으로 함으로써 채널이 산화물 반도체 적층에 접하는 절연층 계면에서 떨어지도록 매립 채널이 형성될 수 있다. 더 구체적으로 말하면 예를 들어 아래의 구성으로 할 수 있다.
- [0014] 본 발명의 일 형태는, 게이트 전극층과, 게이트 전극층 위의 게이트 절연층과, 게이트 절연층을 개재(介在)하여 게이트 전극층과 중첩된 산화물 반도체 적층과, 산화물 반도체 적층과 전기적으로 접속되는 소스 전극층 및 드레인 전극층을 갖고, 산화물 반도체 적층은, 게이트 절연층에 접하는 제 1 산화물 반도체층과, 제 1 산화물 반도체층 위에 접하고 n형 도전성을 부여하는 불순물을 포함하는 제 2 산화물 반도체층과, 제 2 산화물 반도체층 위에 접하는 제 3 산화물 반도체층을 포함하는 반도체 장치이다.
- [0015] 또한 본 발명의 일 형태는, 게이트 전극층과, 게이트 전극층 위의 게이트 절연층과, 게이트 절연층을 개재하여 게이트 전극층과 중첩된 산화물 반도체 적층과, 산화물 반도체 적층과 전기적으로 접속되는 소스 전극층 및 드레인 전극층을 갖고, 산화물 반도체 적층은, 게이트 절연층에 접하는 제 1 산화물 반도체층과, 제 1 산화물 반도체층 위에 접하고 n형 도전성을 부여하는 불순물을 포함하는 제 2 산화물 반도체층과, 제 2 산화물 반도체층 위에 접하는 제 3 산화물 반도체층을 포함하고, 제 1 산화물 반도체층 내지 제 3 산화물 반도체층을 구성하는 금속 원소 중 적어도 하나는 동일한 금속 원소인 반도체 장치이다.
- [0016] 상기 반도체 장치에 있어서 제 1 산화물 반도체층 및 제 3 산화물 반도체층의 캐리어 밀도는 제 2 산화물 반도체층의 캐리어 밀도에 비하여 낮고 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 i형 산화물 반도체층인 것이 바람직하다.
- [0017] 또한 상기 반도체 장치에 있어서 제 1 산화물 반도체층 내지 제 3 산화물 반도체층의 단부들이 일치하여도

좋다.

[0018] 또는 상기 반도체 장치에 있어서 제 3 산화물 반도체층이 제 1 산화물 반도체층 및 제 2 산화물 반도체층을 덮도록 제공되어도 좋다.

[0019] 본 발명의 일 형태에 관한 구성의 효과에 대하여 도 1을 사용하여 아래에 설명한다. 도 1은 산화물 반도체 적층의 에너지 밴드 구조의 일례를 도시한 것이고 전도대 하단(Ec)과 페르미 준위(Ef)의 관계를 나타낸 것이다.

[0020] 본 발명의 일 형태의 트랜지스터는 게이트 절연층에 접하는 제 1 산화물 반도체층(S1)과, 제 1 산화물 반도체층(S1) 위에 접하는 제 2 산화물 반도체층(S2)과, 제 2 산화물 반도체층(S2) 위에 접하는 제 3 산화물 반도체층(S3)을 포함하는 산화물 반도체 적층을 갖는다.

[0021] 산화물 반도체 적층에 있어서, 제 1 산화물 반도체층(S1)과 제 3 산화물 반도체층(S3)에 끼워진 제 2 산화물 반도체층(S2)은 채널로서 기능한다. 제 2 산화물 반도체층(S2)은 n형 도전성을 부여하는 불순물을 포함하는 산화물 반도체층(n형의 산화물 반도체층이라고도 부름)이며, 이 불순물 농도가 제 2 산화물 반도체층(S2)보다 낮은 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3)에 비하여 높은 캐리어 밀도를 갖는다. 따라서 제 2 산화물 반도체층(S2)은 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3)과 비교하여 페르미 준위(Ef)가 전도대 하단(Ec)에 가까운 위치에 있다. 결과적으로 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다.

[0022] 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3)은 상기 불순물 농도가 제 2 산화물 반도체층(S2)에 비하여 낮은 산화물 반도체층이며, i형 산화물 반도체층으로 하는 것이 바람직하다.

[0023] 도 1에 도시된 바와 같이, n형 도전성을 부여하는 불순물을 포함하는 제 2 산화물 반도체층(S2)을 끼우도록 이 불순물 농도가 제 2 산화물 반도체층(S2)보다 낮은 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3)을 제공함으로써 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3)의 전도대 하단에 비하여 제 2 산화물 반도체층(S2)의 전도대 하단이 낮게 되고 전도대 밴드 오프셋이 형성된다. 그러므로 캐리어가 산화물 반도체 적층에 접하는 절연층에서 떨어진 영역을 흐르는 구조(소위 매립 채널)로 할 수 있다. 제 2 산화물 반도체층(S2)을 매립 채널로 함으로써 캐리어의 계면 산란이 저감되고 높은 전계 효과 이동도를 실현할 수 있다.

[0024] 또한 산화물 반도체 적층의 상층 또는 하층에 접하는 절연층과 채널의 계면을 안정화시킬 수 있어 채널 측 계면 또는 후면 채널 측 계면에 형성될 수 있는 트랩 준위의 영향을 적게 할 수 있다. 채널 측 계면에서의 트랩 준위의 영향을 적게 함으로써 트랜지스터의 열화, 특히 광 부(負) 바이어스 열화 등의 광 열화를 방지하고 신뢰성이 높은 트랜지스터로 할 수 있다. 또한 후면 채널 측 계면에서의 트랩 준위의 영향을 적게 함으로써 트랜지스터의 문턱 전압을 제어할 수 있다.

[0025] n형 산화물 반도체층인 제 2 산화물 반도체층(S2)은 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3)에 비하여 도전성이 높다. 따라서 n형 제 2 산화물 반도체층(S2)을 채널 부분에 갖는 트랜지스터는 높은 전계 효과 이동도를 실현할 수 있다.

[0026] 또한 본 발명의 일 형태의 트랜지스터에 포함되는 산화물 반도체 적층으로서는, 채널로서 기능하는 제 2 산화물 반도체층(S2)을 끼우도록 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3)에 의하여 전도대 밴드 오프셋이 형성되면 좋다. 따라서 제 2 산화물 반도체층(S2)의 전도대 하단이 제 1 산화물 반도체층(S1) 및 제 3 산화물 반도체층(S3) 각각의 전도대 하단에 비하여 낮게 되고 오목 형상의 전도대 에너지 밴드도를 구성하는 한 도 1에 도시된 구성에 한정되지 않는다. 예를 들어 제 1 산화물 반도체층(S1)의 전도대 하단은 제 3 산화물 반도체층(S3)의 전도대 하단보다 낮아도 좋고, 제 1 산화물 반도체층(S1)의 전도대 하단과 제 3 산화물 반도체층(S3)의 전도대 하단이 같은 에너지 레벨이어도 좋다.

[0027] 또한 제 1 산화물 반도체층(S1)과 제 2 산화물 반도체층(S2) 사이 또는 제 3 산화물 반도체층(S3)과 제 2 산화물 반도체층(S2) 사이에 발생하는 전도대 하단의 에너지 차이(빌트-인 포텐셜(Built-in potential))는 0.05eV 이상인 것이 바람직하고 0.1eV 이상인 것이 더욱 바람직하다.

[0028] 제 2 산화물 반도체층(S2)에 포함되는 n형을 부여하는 불순물로서는 붕소, 질소, 인 등을 들 수 있다. 불순물을 도입하여 n형화시키는 수단의 일례로서는 제 2 산화물 반도체층(S2)을 질소 또는 일산화이질소가 포함된 혼합 분위기에서 스퍼터링법으로 형성하면 좋다. 또는 붕소 또는 인을 함유하는 스퍼터링 타깃을 사용하여 제 2 산화물 반도체층(S2)을 형성하여도 좋다.

[0029] 제 1 산화물 반도체층(S1)에 적용 가능한 산화물 반도체로서는 $M1_aM2_bM3_cO_x$ (a는 0 이상 2 이하의 실수(實數), b

는 0보다 크고 5 이하의 실수, c는 0 이상 5 이하의 실수, x는 임의의 실수)로 표기되는 재료를 사용할 수 있다. M1로서는 In을 포함하고, M2로서는 Ga, Mg, Hf, Al, Sn, Zr 등의 금속 원소를 포함하고, M3으로서는 Zn을 포함한다.

[0030] 또한 제 2 산화물 반도체층(S2)에 적용 가능한 산화물 반도체로서는 $M_{4d}M_{5e}M_{6f}O_x$ (d는 0보다 크고 5 이하의 실수, e는 0 이상 3 이하의 실수, f는 0보다 크고 5 이하의 실수, x는 임의의 실수)로 표기되는 재료를 사용할 수 있다. M4로서는 In을 포함하고, M5로서는 Ga, Mg, Hf, Al, Sn, Zr 등의 금속 원소를 포함하고, M6으로서는 Zn을 포함한다.

[0031] 또한 제 3 산화물 반도체층(S3)에 적용 가능한 산화물 반도체로서는 $M_{7g}M_{8h}M_{9i}O_x$ (g는 0 이상 2 이하의 실수, h는 0보다 크고 5 이하의 실수, i는 0 이상 5 이하의 실수, x는 임의의 실수)로 표기되는 재료를 사용할 수 있다. M7로서는 In을 포함하고, M8로서는 Ga, Mg, Hf, Al, Sn, Zr 등의 금속 원소를 포함하고, M9으로서는 Zn을 포함한다.

[0032] 다만 제 1 산화물 반도체층(S1)의 구성 원소 중 적어도 하나는 제 2 산화물 반도체층(S2)의 구성 원소인 금속 원소이다. 또한 제 3 산화물 반도체층(S3)의 구성 원소 중 적어도 하나는 제 2 산화물 반도체층(S2)의 구성 원소인 금속 원소이다.

발명의 효과

[0033] 본 발명의 일 형태에 의하여 산화물 반도체를 포함하는 트랜지스터에 있어서 높은 전계 효과 이동도를 실현하는 것이 가능하게 된다.

[0034] 또한 본 발명의 일 형태에 의하여 산화물 반도체를 포함하는 트랜지스터에 있어서 전기 특성의 변동을 억제할 수 있고 신뢰성이 높은 반도체 장치를 제공하는 것이 가능하게 된다.

도면의 간단한 설명

[0035] 도 1은 산화물 반도체 적층의 일 형태를 도시한 밴드도.

도 2a는 반도체 장치의 일 형태를 도시한 평면도이고 도 2b 및 도 2c는 반도체 장치의 일 형태를 도시한 단면도.

도 3a 내지 도 3e는 반도체 장치의 제작 방법의 일례를 도시한 도면.

도 4a 내지 도 4c는 반도체 장치의 일 형태를 설명한 도면.

도 5a 및 도 5b는 반도체 장치의 일 형태를 설명한 도면.

도 6a 및 도 6b는 반도체 장치의 일 형태를 설명한 도면.

도 7a 및 도 7b는 반도체 장치의 일 형태를 설명한 도면.

도 8a 내지 도 8c는 전자 기기를 도시한 도면.

도 9a 내지 도 9c는 전자 기기를 도시한 도면.

도 10a 내지 도 10c는 반도체 장치의 일 형태를 설명한 도면.

도 11은 반도체 장치의 일 형태를 설명한 도면.

도 12a 및 도 12b는 반도체 장치의 일 형태를 도시한 단면도.

도 13a는 평판 형상의 스퍼터링 입자의 모식도이고, 도 13b는 성막 중의 모델을 나타낸 도면이고, 도 13c는 평판 형상의 스퍼터링 입자의 상태를 도시한 모델도.

도 14a는 성막 중의 모델을 나타낸 도면이고, 도 14b는 평판 형상의 스퍼터링 입자의 산소가 방출되는 상태를 도시한 모델도.

도 15a 및 도 15b는 성막 중의 모델을 나타낸 도면이고, 도 15c는 평판 형상의 스퍼터링 입자의 상태를 도시한 모델도.

도 16은 반도체 장치의 제조에 적용 가능한 성막 장치를 설명한 도면.

발명을 실시하기 위한 구체적인 내용

- [0036] 아래에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 아래의 설명에 한정되지 않고 그 형태 및 상세를 다양하게 변경할 수 있음은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 아래에서 제시하는 실시형태의 기재 내용에 한정되어 해석되는 것은 아니다.
- [0037] 또한, 아래에서 설명하는 본 발명의 구성에 있어서, 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 이용하고, 그 반복 설명은 생략한다. 또한, 같은 기능을 갖는 부분을 가리킬 때는 해칭(hatching) 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0038] 또한, 본 명세서에서 설명하는 각 도면에서는, 각 구성의 크기, 막 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 반드시 그 스케일에 한정되지 않는다.
- [0039] 또한, 본 명세서 등에 있어서, 제 1, 제 2 등으로서 붙이는 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순서를 제시하는 것은 아니다. 또한, 본 명세서 등에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 제시하는 것은 아니다.
- [0040] (실시형태 1)
- [0041] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제작 방법의 일 형태에 대하여 도 2a 내지 도 3e를 사용하여 설명한다. 본 실시형태에서는 반도체 장치의 일례로서 산화물 반도체층을 갖는 보텀 게이트형 트랜지스터를 제시한다.
- [0042] 도 2a에 트랜지스터(310)의 구성예를 도시하였다. 도 2a에 도시된 트랜지스터(310)는 절연 표면을 갖는 기판(400) 위에 제공된 게이트 전극층(402)과, 게이트 전극층(402) 위의 게이트 절연층(404)과, 게이트 절연층(404)에 접하고 게이트 전극층(402)과 중첩된 산화물 반도체 적층(408)과, 산화물 반도체 적층(408)과 전기적으로 접속되는 소스 전극층(410a) 및 드레인 전극층(410b)을 포함한다. 또한 소스 전극층(410a) 및 드레인 전극층(410b)을 덮고 산화물 반도체 적층(408)에 접하는 절연층(412)을 트랜지스터(310)의 구성 요소로 하여도 좋다. 트랜지스터(310)의 채널 길이는 예를 들어 $1\mu\text{m}$ 이상이 될 수 있다.
- [0043] 본 실시형태에 있어서 게이트 절연층(404)은 게이트 전극층(402)에 접하는 게이트 절연층(404a)과, 게이트 절연층(404a) 및 산화물 반도체 적층(408)에 접하는 게이트 절연층(404b)의 적층 구조이다. 또한 절연층(412)은 소스 전극층(410a) 및 드레인 전극층(410b)에 접하는 절연층(412a)과, 절연층(412a) 위의 절연층(412b)의 적층 구조이다.
- [0044] 트랜지스터(310)에 있어서, 산화물 반도체 적층(408)은 제 1 산화물 반도체층(408a), 제 2 산화물 반도체층(408b) 및 제 3 산화물 반도체층(408c)의 적층 구조를 포함하여 구성된다. 제 2 산화물 반도체층(408b)에는 n형 도전성을 부여하는 불순물을 포함하는 산화물 반도체층을 적용한다. 또한 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)에는 이 불순물 농도가 제 2 산화물 반도체층(408b)보다 낮고 바람직하게는 i형(전성) 또는 실질적으로 i형인 산화물 반도체층을 적용한다. 즉 말하자면 산화물 반도체 적층(408)은 제 2 산화물 반도체층(408b)을 끼우고 제 2 산화물 반도체층(408b)에 비하여 캐리어 밀도가 낮은 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)을 갖는다.
- [0045] 또한 제 2 산화물 반도체층(408b)의 도전성은 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)의 도전성보다 높다. 제 2 산화물 반도체층(408b)의 도전성을 높이면 제 2 산화물 반도체층(408b)과 드레인 전극층(410b)의 거리(제 3 산화물 반도체층(408c)의 막 두께)가 지배적이 되고 외견상은 순 방향으로는 채널 길이가 짧아졌다고 볼 수 있다. 따라서 트랜지스터의 온 특성을 향상시킬 수 있다. 또한 역 방향으로는 제 3 산화물 반도체층(408c)은 공핍화되어 오프 전류가 충분히 낮게 되는 것을 기대할 수 있다.
- [0046] 산화물 반도체 적층(408)에 있어서 채널로서 기능하는 제 2 산화물 반도체층(408b)을 n형 산화물 반도체층으로 함으로써 채널의 캐리어 밀도를 높일 수 있고 에너지 밴드도에서의 페르미 준위(Ef)가 전도대 측에 가까워진다. 결과적으로 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다.
- [0047] 또한 제 2 산화물 반도체층(408b)에는 n형 산화물 반도체층이 사용되고, 제 2 산화물 반도체층(408b)을 끼우는 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)의 n형을 부여하는 불순물 농도를 제 2 산화물 반도체층(408b)보다 낮게 하고 i형으로 하는 것이 바람직하다. 이러한 구성으로 함으로써 제 1 산화물 반도체층(408a) 또는 제 3 산화물 반도체층(408c)과, 제 2 산화물 반도체층(408b) 사이에 전도대 밴드 오프셋이 형성된

다. 따라서 캐리어가 산화물 반도체 적층(408)에 접하는 절연층(게이트 절연층(404) 및/또는 절연층(412))에서 떨어진 영역을 흐르는 구조(매립 채널)로 할 수 있다. 제 2 산화물 반도체층(408b)을 매립 채널로 함으로써 캐리어의 계면 산란이 저감되고 높은 전계 효과 이동도를 실현할 수 있다.

[0048] 제 1 산화물 반도체층(408a)과 제 2 산화물 반도체층(408b) 사이 또는 제 3 산화물 반도체층(408c)과 제 2 산화물 반도체층(408b) 사이에 발생하는 전도대 하단의 에너지 차이(빌트-인 포텐셜)는 0.05eV 이상인 것이 바람직하고, 0.1eV 이상인 것이 더욱 바람직하다.

[0049] 제 1 산화물 반도체층(408a)을 제공하여 채널과 게이트 절연층의 계면에서의 캐리어의 포획을 억제함으로써 트랜지스터의 광열화(예를 들어 광 부 바이어스 열화)를 저감할 수 있고 신뢰성이 높은 트랜지스터를 얻을 수 있다.

[0050] 또한 일반적으로 산화물 반도체층은 스피터링법을 이용하여 형성되는 경우가 많다. 한편, 산화물 반도체층이 스피터될 때 이온화된 희가스 원소(예를 들어, 아르곤)나 스피터링 타깃 표면에서 튕겨나온 원소가 게이트 절연층 등의 산화물 반도체층의 괴형성면이 되는 막의 구성 원소를 튕겨 내는 경우가 있다. 이로써 괴형성면이 되는 막에서 튕겨나온 원소는 불순물 원소로서 산화물 반도체층에 도입되고 특히 산화물 반도체층의 괴형성면 근방에 도입되는 불순물 원소의 농도는 높게 될 우려가 있다. 또한 불순물 원소가 산화물 반도체층의 괴형성면 근방에 잔존하면 이 산화물 반도체층이 고저항화되고 트랜지스터의 전기 특성의 저하의 요인이 된다.

[0051] 그러나 트랜지스터(310)에 있어서는, 채널이 형성되는 제 2 산화물 반도체층(408b)과, 게이트 절연층(404) 사이에 제 1 산화물 반도체층(408a)이 있기 때문에 게이트 절연층(404)의 구성 원소가 채널까지 확산되는 것을 억제할 수 있다. 즉 말하자면 제 1 산화물 반도체층(408a)은 게이트 절연층(404)의 구성 원소(예를 들어 실리콘)를 불순물로서 포함하는 경우가 있다. 제 1 산화물 반도체층(408a)을 포함함으로써 트랜지스터(310)의 전기 특성을 보다 안정화시킬 수 있고 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0052] 또한 제 2 산화물 반도체층(408b)의 후면 채널 측에 제공된 제 3 산화물 반도체층(408c)은 트랜지스터(310)의 후면 채널 측 계면에서의 트랩 준위의 영향을 적게 한다. 따라서 제 3 산화물 반도체층(408c)을 제공함으로써 트랩 준위에 기인하는 S값 증대의 억제, 및/또는 문턱 전압의 제어가 가능하게 된다. 제 3 산화물 반도체층(408c)에 의하여 문턱 전압을 제어함으로써 노멀리 오프의 트랜지스터를 실현할 수 있다.

[0053] 채널 측 계면의 트랩 준위의 영향을 적게 하고 트랜지스터의 전기 특성을 안정화시키는 제 1 산화물 반도체층(408a)의 막 두께를 예를 들어 5nm 이상 15nm 이하, 또는 5nm 이상 10nm 이하로 할 수 있다. 또한 채널로서 기능하는 제 2 산화물 반도체층(408b)의 막 두께를 5nm 이상 30nm 이하로 하는 것이 바람직하고, 5nm 이상 20nm 이하로 하는 것이 더욱 바람직하다. 또한 후면 채널 측 계면의 트랩 준위의 영향을 적게 하고, 문턱 전압의 제어를 가능하게 하는 제 3 산화물 반도체층(408c)의 막 두께를 예를 들어 5nm 이상 30nm 이하, 또는 5nm 이상 20nm 이하로 할 수 있다.

[0054] 제 1 산화물 반도체층(408a) 내지 제 3 산화물 반도체층(408c)으로서는 구성 원소가 각각 다른 산화물 반도체가 사용되어도 좋고 구성 원소를 동일한 것으로 하고 각각의 조성을 다르게 하여도 좋다. 다만 트랜지스터(310)의 채널로서 기능하는 제 2 산화물 반도체층(408b)에는 전계 효과 이동도가 높은 산화물 반도체를 적용하는 것이 바람직하다.

[0055] 예를 들어 제 1 산화물 반도체층(408a) 내지 제 3 산화물 반도체층(408c)에 인듐 및 갈륨을 포함하는 산화물 반도체를 사용하는 경우, 제 2 산화물 반도체층(408b)으로서는 인듐의 조성이 갈륨의 조성보다 큰 산화물 반도체가 사용되는 것이 바람직하고, 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)으로서는 인듐의 조성이 갈륨의 조성 이하인 산화물 반도체가 사용되는 것이 바람직하다.

[0056] 산화물 반도체에 있어서는, 주로 중금속의 s궤도가 캐리어 전도에 기여하고, 인듐의 함유율을 높게 함으로써 s궤도의 오버랩이 많게 되는 경향이 있다. 그렇기 때문에 제 2 산화물 반도체층(408b)은 인듐의 조성이 갈륨의 조성보다 크게 됨으로써 인듐의 조성이 갈륨의 조성 이하인 산화물에 비하여 높은 전계 효과 이동도를 갖는 것이 가능하게 된다.

[0057] 또한 다른 금속 원소에 대한 갈륨의 비율이 높을수록 에너지 갭이 큰 금속 산화물이 되기 때문에 인듐의 조성을 갈륨의 조성 이하로 함으로써 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)은 제 2 산화물 반도체층(408b)보다 큰 에너지 갭을 갖는다. 따라서 제 2 산화물 반도체층(408b)과 제 1 산화물 반도체층(408a), 제 2 산화물 반도체층(408b)과 제 3 산화물 반도체층(408c) 사이에 효과적으로 전도대 밴드 오프셋을 형성하기 때문에 바람직하다. 또한 갈륨은 인듐에 비하여 산소 결손의 형성 에너지가 크고 산소 결손이 발생되기 어렵기

때문에 인듐의 조성이 갈륨의 조성 이하인 금속 산화물은 인듐의 조성이 갈륨의 조성보다 큰 금속 산화물과 비교하여 안정된 특성을 갖는다. 따라서 제 2 산화물 반도체층(408b)의 채널 측 계면 및 후면 채널 측 계면을 더욱 안정화하는 것이 가능하게 된다. 또한 제 1 산화물 반도체층(408a) 및/또는 제 3 산화물 반도체층(408c)에 산화 갈륨, 또는 산화 아연 갈륨을 사용하여도 좋다.

[0058] 예를 들어 제 1 산화물 반도체층(408a) 내지 제 3 산화물 반도체층(408c)에 In-Ga-Zn계 산화물 반도체를 사용하는 경우 제 1 산화물 반도체층(408a) 또는 제 3 산화물 반도체층(408c)에는 $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$, $In:Ga:Zn=1:3:2(=1/6:3/6:2/6)$, $In:Ga:Zn=2:4:3(=2/9:4/9:3/9)$, 또는 $In:Ga:Zn=1:5:3(=1/9:5/9:3/9)$ 의 조성(원자수비)의 In-Ga-Zn계 산화물이나 이 조성의 근방의 금속 산화물을 사용하는 것이 바람직하다. 제 2 산화물 반도체층(408b)에는 $In:Ga:Zn=3:1:2(=3/6:1/6:2/6)$, $In:Ga:Zn=4:2:3(=4/9:2/9:3/9)$, $In:Ga:Zn=5:1:3(=5/9:1/9:3/9)$, $In:Ga:Zn=5:3:4(=5/12:3/12:4/12)$, $In:Ga:Zn=6:2:4(=6/12:2/12:4/12)$, 또는 $In:Ga:Zn=7:1:3(=7/11:1/11:3/11)$ 의 조성(원자수비)의 In-Ga-Zn계 산화물이나 이 조성의 근방의 금속 산화물을 사용하는 것이 바람직하다.

[0059] 또한 예를 들어 In, Ga, Zn의 조성이 $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성이, 조성이 $In:Ga:Zn=A:B:C(A+B+C=1)$ 인 산화물의 조성의 근방이라는 것은, a, b, c가 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 를 만족하는 것을 말한다. r로서는 예를 들어 0.05로 하면 좋다.

[0060] 제 1 산화물 반도체층(408a) 내지 제 3 산화물 반도체층(408c)의 구성 원소의 적어도 하나는 같은 원소다. 이 경우 재료나 성막 조건에 따라 각 산화물 반도체들끼리의 계면이 명확하지 않게 되는 경우도 있다. 따라서 도 2a 내지 도 2c에서는 각 산화물 반도체층의 계면을 모식적으로 점선으로 도시하였다. 이것은 도 2a 내지 도 2c 이후의 각 도면에서도 마찬가지이다.

[0061] 본 실시형태에 있어서는 제 1 산화물 반도체층(408a)으로서 $In:Ga:Zn=1:3:2$ 의 조성(원자수비)의 In-Ga-Zn계 산화물을 사용하고 제 2 산화물 반도체층(408b)으로서 $In:Ga:Zn=3:1:2$ 의 조성(원자수비)의 In-Ga-Zn계 산화물을 사용하고, 제 3 산화물 반도체층(408c)으로서 $In:Ga:Zn=1:1:1$ 의 조성(원자수비)의 In-Ga-Zn계 산화물을 사용하는 것으로 한다.

[0062] 또한 산화물 반도체 적층(408)에 적용되는 산화물 반도체에는 상기 조성을 갖는 것에 한정되지 않으며 필요로 하는 전기 특성(전계 효과 이동도, 문턱값, 편차 등)에 따라 적절한 조성을 갖는 산화물 반도체를 사용하면 좋다. 또한 필요로 하는 전기 특성을 얻기 위하여 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절하게 하는 것이 바람직하다.

[0063] 예를 들어 트랜지스터의 전기 특성의 편차를 저감하기 위한 스테밸라이저로서는, 갈륨(Ga) 대신에 또는 갈륨(Ga)에 더하여, 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 중 어느 1종류 또는 복수 종류를 포함하여도 좋다. 또한 다른 스테밸라이저로서는, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 톨륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종류 또는 복수 종류를 포함하여도 좋다.

[0064] 산화물 반도체층은 스퍼터링법에 의하여 형성될 수 있고, 스퍼터링 타깃에 인듐을 포함하면 성막시의 입자의 발생을 저감할 수 있다. 따라서 산화물 반도체층에는 인듐을 포함하는 산화물 반도체층을 적용하는 것이 더욱 바람직하다.

[0065] 아래에서는 산화물 반도체층의 구조에 대하여 설명한다.

[0066] 산화물 반도체층은 크게 나누어 단결정 산화물 반도체층과 비단결정 산화물 반도체층으로 분류할 수 있다. 비단결정 산화물 반도체층이란, 비정질 산화물 반도체층, 미결정 산화물 반도체층, 다결정 산화물 반도체층, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 가리킨다.

[0067] 비정질 산화물 반도체층은, 막 중의 원자가 불규칙하게 배열되고 결정 성분을 갖지 않는 산화물 반도체층이다. 미소 영역에서도 결정부를 갖지 않고 막 전체가 완전한 비정질 구조를 갖는 산화물 반도체층이 전형적이다.

[0068] 미결정 산화물 반도체층은 예를 들어 1nm 이상 10nm 미만의 크기의 미결정(나노 결정이라고도 함)을 포함한다. 따라서 미결정 산화물 반도체층은 비정질 산화물 반도체층보다 원자 배열 규칙성이 높다. 그러므로 미결정 산화물 반도체층은 비정질 산화물 반도체층보다 결함 준위 밀도가 낮다는 특징을 갖는다.

[0069] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체층 중 하나이며, 결정부의 대부분은 하나의 변이 100nm 미만인

입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체층보다 결함 준위 밀도가 낮다는 특징을 갖는다. 아래에서는, CAAC-OS막에 대하여 자세히 설명한다.

- [0070] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부끼리의 명확한 경계, 즉 밀하자면 결정 입계(그레이인 바운더리라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0071] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0072] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0073] 단면 TEM 관찰 및 평면 TEM 관찰에 의하여, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0074] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2Θ)이 31° 근방에 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.
- [0075] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2 Θ 가 56° 근방에 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체층의 경우에는, 2 Θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2 Θ 를 56° 근방에 고정하여 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0076] 상술한 것으로부터, CAAC-OS막에 있어서는, 상이한 결정부들간에서 a축 및 b축이 불규칙하게 배향하지만, c축 배향성을 갖고, 또 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰에 의하여 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 ab면에 평행한 면이다.
- [0077] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않는 경우도 있다.
- [0078] 또한, CAAC-OS막 중의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.
- [0079] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2 Θ 가 31° 근방인 피크 외에도, 2 Θ 가 36° 근방인 피크도 나타나는 경우가 있다. 2 Θ 가 36° 근방인 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2 Θ 가 31° 근방에 피크가 나타나고, 2 Θ 가 36° 근방에 피크가 나타나지 않는 것이 바람직하다.
- [0080] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 이 트랜지스터는 신뢰성이 높다.
- [0081] 또한, 제 1 산화물 반도체층(408a) 내지 제 3 산화물 반도체층(408c)은 각각 예를 들어 비정질 산화물 반도체층, 미결정 산화물 반도체층, CAAC-OS막 중 어느 구조라도 좋고 2종류 이상을 갖는 혼합막이라도 좋다. 또한 예를 들어 비정질 산화물 반도체층, 미결정 산화물 반도체층, CAAC-OS막 중 2종류 이상을 갖는 적층막이라

도 좋다.

[0082] 또한 예를 들어 피성막 기판의 온도를 200°C 이상으로 함으로써 CAAC-OS막을 얻을 수 있다.

[0083] 피성막 기판의 온도를 200°C 이상으로 하면 성막 중 타깃으로부터 미소한 스퍼터링 입자가 튕겨나와 내어 기판 위에 붙도록 형성되고 또 기판이 가열되어 있기 때문에 다시 배열되어 고밀도의 막이 된다.

[0084] 아래에서 도 3a 내지 도 3e를 사용하여 트랜지스터(310)의 제작 방법의 일례를 제시한다.

[0085] 우선 절연 표면을 갖는 기판(400) 위에 게이트 전극층(402)(이것과 같은 층으로 형성되는 배선을 포함함)을 형성한다.

[0086] 절연 표면을 갖는 기판(400)에 사용할 수 있는 기판에 큰 제한은 없지만, 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 것이 필요하다. 예를 들어, 바륨보로실리케이트 유리나 알루미노보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘이나 탄소화 실리콘 등의 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있고, 이들 기판 위에 반도체 소자가 제공된 것을 기판(400)으로서 사용하여도 좋다. 또한, 기판(400) 위에 하지 절연층을 형성하여도 좋다.

[0087] 게이트 전극층(402)은, 재료에 몰리브덴, 티타늄, 탄탈, 텉스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료가 사용되어 형성될 수 있다. 또한, 게이트 전극층(402)에는 인 등의 불순물 원소를 도핑한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 게이트 전극층(402)은, 단층 구조가 되어도 좋고, 적층 구조가 되어도 좋다. 또한 게이트 전극층(402)은 테이퍼 형상을 가져도 좋고, 예를 들어 테이퍼각을 15° 이상 70° 이하로 하면 좋다. 여기서 테이퍼각이란, 테이퍼 형상을 갖는 층의 측면과 이 층의 저면 사이의 각도를 가리킨다.

[0088] 또한 게이트 전극층(402)의 재료에는 산화 인듐 산화 주석, 산화 텉스텐을 포함한 인듐 산화물, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘의 첨가된 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.

[0089] 또는, 게이트 전극층(402)의 재료에는 질소를 포함한 In-Ga-Zn계 산화물, 질소를 포함한 In-Sn계 산화물, 질소를 포함한 In-Ga계 산화물, 질소를 포함한 In-Zn계 산화물, 질소를 포함한 Sn계 산화물, 질소를 포함한 In계 산화물, 금속 질화물막(질화 인듐막, 질화 아연막, 질화 탄탈막, 질화 텉스텐막 등)을 사용하여도 좋다. 이들 재료는 5eV 이상의 일함수를 가지기 때문에, 이들 재료를 사용하여 게이트 전극층(402)을 형성함으로써 트랜지스터의 문턱 전압을 플러스로 할 수 있고 노멀리 오프의 스위칭 트랜지스터를 실현할 수 있다.

[0090] 다음에 게이트 전극층(402)을 덮도록 게이트 전극층(402) 위에 게이트 절연층(404)을 형성한다(도 3a 참조). 게이트 절연층(404)으로서는, 플라즈마 CVD법, 스퍼터링법 등에 의하여 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈막, 산화 마그네슘막, 산화 란탄막, 산화 세륨막, 및 산화 네오디뮴막을 1종 이상 포함하는 절연막이 단층으로 또는 적층되어 사용된다.

[0091] 또한 게이트 절연층(404)에 있어서 나중에 형성되는 제 1 산화물 반도체층(408a)에 접하는 영역(본 실시형태에서는 게이트 절연층(404b))은 산화물 절연층인 것이 바람직하며 산소 과잉 영역을 갖는 것이 보다 바람직하다. 게이트 절연층(404)에 산소 과잉 영역을 제공하기 위한 예로서는, 산소 분위기하에서 게이트 절연층(404)을 형성하면 좋다. 또는 성막 후의 게이트 절연층(404)에 산소를 도입하여 산소 과잉 영역을 형성하여도 좋다. 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 이용할 수 있다.

[0092] 본 실시형태에서는 게이트 절연층(404a)으로서 질화 실리콘막을 형성하고 게이트 절연층(404b)으로서 산화 실리콘막을 형성한다.

[0093] 다음에 게이트 절연층(404) 위에 산화물 반도체막(407a)을 형성한다.

[0094] 산화물 반도체막(407a)의 성막 방법으로서는 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 이용할 수 있다.

[0095] 또한, 게이트 절연층(404) 및 산화물 반도체막(407a)은 대기에 개방시키지 않으며 연속적으로 형성되는 것이 바람직하다. 게이트 절연층(404) 및 산화물 반도체막(407a)을 대기에 개방시키지 않고 연속적으로 형성함으로써

산화물 반도체막(407a) 표면에 수소 또는 수소 화합물이 부착되는 것(예를 들어 흡착수 등)을 방지할 수 있으므로 불순물의 흡입을 억제할 수 있다.

[0096] 산화물 반도체막을 형성하기 위한 스퍼터링 타깃에는 다결정이며 상대 밀도(충전률)가 높은 것을 사용한다. 또한 성막시의 스퍼터링 타깃을 실온으로 충분히 냉각시키고 퍼성막 기판의 퍼성막면을 실온 이상까지 올린 온도로 하고 성막실 내에 수분이나 수소가 거의 없는 분위기하에서 산화물 반도체막을 형성한다.

[0097] 스퍼터링 타깃은 고밀도일수록 바람직하다. 스퍼터링 타깃의 밀도가 높으므로, 형성되는 막의 밀도도 높게 될 수 있다. 구체적으로는, 타깃의 상대 밀도(충전률)는 90% 이상 100% 이하, 바람직하게는 95% 이상, 더 바람직하게는 99.9% 이상으로 한다. 또한, 스퍼터링 타깃의 상대 밀도란, 스퍼터링 타깃의 밀도와 스퍼터링 타깃과 동일한 조성을 갖는 재료의 기공(氣孔)이 없는 상태에서의 밀도의 비율을 가리킨다.

[0098] 스퍼터링 타깃의 소성은 불활성 가스 분위기(질소 또는 희가스 분위기)하, 진공 중 또는 고압 분위기 중에서 수행하는 것이 바람직하다. 소성 방법으로서는, 상압 소성법, 가압 소성법 등을 적절히 이용하여 얻어지는 다결정 타깃을 사용한다. 가압 소성법으로서는, 열간 프레싱(Hot pressing)법, 열간 등방 가압(HIP; Hot Isostatic Pressing)법, 방전 플라즈마 소결법, 또는 충격법을 적용하는 것이 바람직하다. 소성하기 위한 최고 온도는 스퍼터링 타깃 재료의 소결 온도에 따라 선택하지만, 1000°C~2000°C 정도로 하는 것이 바람직하고, 1200°C~1500°C로 하는 것이 더 바람직하다. 또한 최고 온도 유지 시간은 스퍼터링 타깃 재료에 따라 선택하지만 0.5시간~3시간으로 하는 것이 바람직하다.

[0099] In-Ga-Zn계 산화물막을 형성하는 경우 스퍼터링 타깃에는 원자수비가 In:Ga:Zn=3:1:2인 타깃이나, 원자수비가 In:Ga:Zn=1:1:1인 타깃을 사용한다. 예를 들어 본 실시형태에서는 원자수비가 In:Ga:Zn=1:3:2인 타깃을 사용하여 산화물 반도체막(407a)을 형성한다. 또한 산화물 반도체막(407b)의 성막으로서는 원자수비가 In:Ga:Zn=3:1:2인 타깃을 사용하고, 산화물 반도체막(407c)의 성막으로서는 원자수비가 In:Ga:Zn=1:1:1인 타깃을 사용한다.

[0100] 또한, 성막실 내에 잔존하는 불순물을 저감시키는 것도 치밀한 막을 얻기 위해서는 중요한 것이다. 성막실 내의 배압(도달 진공도: 반응 가스를 도입하기 전의 진공도)을 5×10^{-3} Pa 이하, 바람직하게는 6×10^{-5} Pa 이하로 하고, 성막시의 압력을 2Pa 미만, 바람직하게는 0.4Pa 이하로 한다. 배압을 낮게 함으로써 성막실 내의 불순물을 저감시킨다.

[0101] 또한, 성막실 내에 도입하는 가스, 즉 밀하자면 성막시에 사용되는 가스 중의 불순물을 저감시키는 것도 치밀한 막을 얻기 위해서는 중요한 것이다. 또한, 성막 가스 중의 산소 비율을 높이고, 전력을 최적화하는 것이 중요하다. 성막 가스 중의 산소 비율(상한은 산소 100%)을 높이고, 전력을 최적화함으로써 성막시의 플라즈마 대미지를 적게 할 수 있다. 이로써, 치밀한 막을 얻기 쉽게 된다.

[0102] 또한, 산화물 반도체막이 형성되기 전에, 또는 형성되는 동안에 성막실 내의 수분량 등을 감시(모니터링)하기 위하여 4중극형 질량 분석계(이하, Q-mass라고 부름)를 늘 작동시킨 상태에서 성막하는 것이 바람직하다.

[0103] 예를 들어 스퍼터링법에 의하여 산화물 반도체막(407a)을 형성하는 경우 스퍼터링 장치의 성막실 내에 공급되는 성막 가스로서는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도의 희가스와 산소의 혼합 가스, 또는 산소를 사용한다.

[0104] 또한 성막 후의 산화물 반도체막(407a)에 탈수화 또는 탈수소화 처리를 위한 가열 처리를 적절히 수행하여도 좋다. 또한 탈수화 또는 탈수소화 처리가 수행된 산화물 반도체막(407a)에 산소를 공급하여도 좋다.

[0105] 다음에 산화물 반도체막(407a) 위에 접하도록 n형 산화물 반도체막(407b)을 형성한다. 산화물 반도체막(407b)은 산화물 반도체막(407a)을 형성하는 성막실과 다른 성막실 내에서 형성되는 것이 바람직하다. 예를 들어 성막실 내에 공급되는 성막 가스로서 산화물 반도체막(407a) 형성시에 사용하는 성막 가스에 질소 가스 또는 일산화이질소 가스 등의 질소를 포함하는 가스를 혼합하여 공급함으로써 n형 산화물 반도체막(407b)을 형성한다. 기타 성막 조건은 산화물 반도체막(407a)과 마찬가지로 할 수 있다.

[0106] 이 공정 후에 산화물 반도체막(407b) 위에 접하도록 산화물 반도체막(407c)을 형성한다(도 3b 참조). 산화물 반도체막(407c)은 산화물 반도체막(407a)과 같은 성막실을 사용하여 형성되어도 좋다. 산화물 반도체막(407c)의 성막 조건은 산화물 반도체막(407a)과 마찬가지로 할 수 있다.

[0107] 산화물 반도체막(407a)과 산화물 반도체막(407b)과 산화물 반도체막(407c)을 순차적으로 적층하는 공정을 대기

에 폭로시키지 않고 연속적으로 수행하는 경우 도 16에 상면도로 도시된 제조 장치를 사용하면 좋다.

[0108] 도 16에 도시된 제조 장치는, 매엽식 멀티 체임버 설비이며, 3개의 스퍼터링 장치(10a, 10b, 10c)나, 피처리 기판을 수용하는 카세트 포트(14)를 3개 가지는 기판 공급실(11)이나, 로드록(load lock)실(12a, 12b)이나, 반송실(13)이나, 기판 가열실(15) 등을 갖는다. 또한, 기판 공급실(11) 및 반송실(13)에는 피처리 기판을 반송하기 위한 반송 로봇이 각각 배치된다. 스퍼터링 장치(10a, 10b, 10c), 반송실(13), 및 기판 가열실(15)의 분위기는 수소 및 수분을 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 진조 공기 분위기 등)하로 제어하는 것이 바람직하고, 예를 들어, 수분에 대해서는 이슬점 -40°C 이하, 바람직하게는 이슬점 -50°C 이하의 진조 질소 분위기로 한다. 도 16의 제조 장치를 사용한 제작 공정 순서의 일례로서는, 우선 기판 공급실(11)에서 피처리 기판을 반송하고, 로드록실(12a)과 반송실(13)을 거쳐 기판 가열실(15)로 이동시키고, 기판 가열실(15)에서 피처리 기판에 부착되어 있는 수분을 진공 소성 등으로 제거하고, 이 후에 반송실(13)을 거쳐 스퍼터링 장치(10c)로 피처리 기판을 이동시키고 스퍼터링 장치(10c) 내에서 산화물 반도체막(407a)을 형성한다. 그리고 대기에 폭로시키지 않고, 반송실(13)을 거쳐 스퍼터링 장치(10a)로 피처리 기판을 이동시키고, 스퍼터링 장치(10a) 내에서 산화물 반도체막(407b)을 형성한다. 그리고 대기에 폭로시키지 않고, 반송실(13)을 거쳐 스퍼터링 장치(10b)로 피처리 기판을 이동시키고, 스퍼터링 장치(10b) 내에서 산화물 반도체막(407c)을 형성한다. 필요에 따라 대기에 폭로시키지 않고, 반송실(13)을 거쳐 기판 가열실(15)로 피처리 기판을 이동시켜서 가열 처리한다. 이와 같이, 도 16의 제조 장치를 사용함으로써 피처리 기판을 대기에 폭로시키지 않고 제작 공정을 진행할 수 있다.

[0109] 다음에 산화물 반도체막(407a) 내지 산화물 반도체막(407c)을 포토리소그래피법을 이용한 예칭 처리에 의하여 섬 형상의 제 1 산화물 반도체층(408a) 내지 제 3 산화물 반도체층(408c)으로 가공하여 산화물 반도체 적층(408)을 형성한다(도 3c 참조).

[0110] 또한 본 실시형태에서는 산화물 반도체막(407a) 내지 산화물 반도체막(407c)을 1회의 예칭 처리에 의하여 섬 형상으로 가공함으로써 산화물 반도체 적층(408)에 포함되는 각 산화물 반도체층의 단부들은 일치한다. 또한 본 명세서 등에 있어서 일치란, 대략 일치하는 것도 포함하는 것으로 한다. 예를 들어 같은 마스크를 사용하여 예칭한 적층 구조의 층A의 단부와 층B의 단부는 일치하는 것으로 한다.

[0111] 다음에 산화물 반도체 적층(408) 위에 도전막을 형성하고 이것을 가공하여 소스 전극층(410a) 및 드레인 전극층(410b)(이것과 같은 층으로 형성되는 배선을 포함함)을 형성한다(도 3d 참조).

[0112] 소스 전극층(410a) 및 드레인 전극층(410b)에는, 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W 중에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텉스텐막) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 아래쪽 또는 위쪽의 한쪽 또는 양쪽에 Ti, Mo, W 등의 고용접 금속막 또는 이를 금속 질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텉스텐막)을 적층시킨 구조으로 하여도 좋다. 또한 소스 전극층(410a) 및 드레인 전극층(410b)을 도전성의 금속 산화물로 형성하여도 좋다. 도전성 금속 산화물로서는 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐 산화 주석($In_2O_3-SnO_2$), 산화 인듐 산화 아연(In_2O_3-ZnO) 또는 이 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 사용할 수 있다.

[0113] 또한 소스 전극층(410a) 및 드레인 전극층(410b)에, 질소를 포함한 $In-Ga-Zn-O$ 막, 질소를 포함한 $In-Sn-O$ 막, 질소를 포함한 $In-Ga-O$ 막, 질소를 포함한 $In-Zn-O$ 막, 질소를 포함한 $Sn-O$ 막, 질소를 포함한 $In-O$ 막 등의 금속 질화물막을 사용할 수 있다. 이 막은 산화물 반도체 적층(408)과 같은 구조 원소를 포함하기 때문에 산화물 반도체 적층(408)과의 계면을 안정화시킬 수 있다.

[0114] 다음에 소스 전극층(410a), 드레인 전극층(410b), 및 노출된 산화물 반도체 적층(408)을 덮도록 절연층(412)을 형성한다(도 3e 참조).

[0115] 절연층(412)은 플라즈마 CVD법이나 스퍼터링법을 이용하여 형성될 수 있고, 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화 질화 실리콘막, 산화 질화 알루미늄막, 또는 질화 산화 실리콘막 등을 단층으로 또는 적층하여 사용할 수 있다. 다만 산화물 반도체 적층(408)에 접하는 절연층(412)(본 실시형태에서는 절연층(412a))으로서 산화물 절연층이 형성되면 이 산화물 절연층에 의하여 산화물 반도체 적층(408)으로 산소를 공급하는 것이 가능하게 되기 때문에 바람직하다.

[0116] 예를 들어 플라즈마 CVD장치의 진공 배기된 성막실 내에 재치(載置)된 기판을 180°C 이상 400°C 이하, 더 바람

직하게는 200°C 이상 370°C 이하로 유지하고 성막실에 원료 가스를 도입하여 성막실 내에서의 압력을 30Pa 이상 250Pa 이하, 더 바람직하게는 40Pa 이상 200Pa 이하로 하고 성막실 내에 제공되는 전극에 고주파 전력을 공급하는 조건에 따라 산화 실리콘막 또는 산화 질화 실리콘막을 형성하여도 좋다. 이 조건에 따라 성막함으로써 산소가 확산되는 산화물 절연층을 형성할 수 있다.

[0117] 또한 상기 산소가 확산되는 산화물 절연층을 형성한 후, 대기에 개방시키지 않고 플라즈마 CVD장치의 진공 배기된 성막실 내에 재치된 기판을 180°C 이상 250°C 이하, 더 바람직하게는 180°C 이상 230°C 이하로 유지하고, 성막실에 원료 가스를 도입하여 성막실 내에서의 압력을 100Pa 이상 250Pa 이하, 더 바람직하게는 100Pa 이상 200Pa 이하로 하고, 성막실 내에 제공되는 전극에 $0.17W/cm^2$ 이상 $0.5W/cm^2$ 이하, 더 바람직하게는 $0.26W/cm^2$ 이상 $0.35W/cm^2$ 이하의 고주파 전력을 공급하는 조건에 따라 산화 실리콘막 또는 산화 질화 실리콘막을 형성하여도 좋다. 이 조건에 따라 성막함으로써 플라즈마 중에서 원료 가스의 분해 효율이 높게 되고 산소 라디칼이 증가하고 원료 가스의 산화가 진행되기 때문에, 형성되는 산화 실리콘막 또는 산화 질화 실리콘막 중에서의 산소 함유량이 화학양론비보다 많아진다. 그러나 기판 온도가 상기 온도가 되면 실리콘과 산소의 결합력이 약하기 때문에 가열에 의하여 산소의 일부가 이탈된다. 결과적으로 화학양론비를 만족시키는 산소보다 많은 산소를 포함하고 가열에 의하여 산소의 일부가 이탈되는 산화물 절연층을 형성할 수 있다.

[0118] 본 실시형태에서는 절연층(412a)으로서 상술한 산소가 확산되는 산화 실리콘막 및 가열에 의하여 산소의 일부가 이탈되는 산화 실리콘막이 형성되고 절연층(412b)으로서 질화 실리콘막이 형성된다.

[0119] 본 실시형태의 구성은 산화물 반도체 적층(408)에 접하는 절연층(케이트 절연층(404b) 및 절연층(412a))으로서 산화물 절연층(구체적으로는 산화 실리콘막)을 포함한다. 따라서 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)에 산소를 공급하는 것이 가능하게 되고 이 산화물 반도체층의 산소 결손을 보전할 수 있다. 또한 산화물 절연층에 접하도록 산화물 반도체 적층(408)의 상하측에 제공된 절연층(케이트 절연층(404a) 및 절연층(412b))으로서는 질화 실리콘막을 포함한다. 질화 실리콘막은 수소 또는 수소를 포함한 화합물(물 등)이 산화물 반도체 적층(408)으로 침입하는 것을 억제하는 배리어막으로서 기능할 수 있다. 따라서 이런 적층 구조를 갖는 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0120] 절연층(412)을 형성한 후, 가열 처리를 수행하여도 좋다. 이 가열 처리의 온도는 대표적으로는 150°C 이상 기판 변형점 미만, 바람직하게는 200°C 이상 450°C 이하, 더 바람직하게는 300°C 이상 450°C 이하로 한다.

[0121] 상술한 공정을 거쳐 본 실시형태의 트랜지스터(310)를 형성할 수 있다.

[0122] 본 실시형태에서 제시하는 트랜지스터는 트랜지스터의 전류 경로(채널)로서 기능하는 제 2 산화물 반도체층(408b)을 끼우고 제 2 산화물 반도체층(408b)에 비하여 캐리어 밀도가 낮은 제 1 산화물 반도체층(408a) 및 제 3 산화물 반도체층(408c)을 포함하는 구성이다. 이로써 산화물 반도체 적층(408)에 접하는 절연층 계면에서 채널이 떨어지도록 매립 채널이 형성될 수 있어 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다.

[0123] 또한 채널로서 기능하는 제 2 산화물 반도체층(408b)의 계면에서의 트랩 준위의 형성을 억제하고 신뢰성이 높은 트랜지스터로 할 수 있다.

[0124] 본 실시형태에서 제시하는 구성, 방법 등은 다른 실시형태에서 제시하는 구성, 방법 등과 적절히 조합하여 사용하는 것이 가능하다.

[0125] (실시형태 2)

[0126] 본 실시형태에서는 실시형태 1과 상이한 반도체 장치의 일 형태를 도 12a 및 도 12b를 사용하여 설명한다.

[0127] 도 12a는 트랜지스터(320)의 구성예를 도시한 것이다. 도 12a에 도시된 트랜지스터(320)는 도 2a 내지 도 2c의 트랜지스터(310)와 마찬가지로 절연 표면을 갖는 기판(400) 위에 제공된 케이트 전극층(402)과, 케이트 전극층(402) 위의 케이트 절연층(404)과, 케이트 절연층(404)에 접하고 케이트 전극층(402)과 중첩된 산화물 반도체 적층과, 산화물 반도체 적층과 전기적으로 접속되는 소스 전극층(410a) 및 드레인 전극층(410b)을 포함한다. 또한 소스 전극층(410a) 및 드레인 전극층(410b)을 덮고, 산화물 반도체 적층에 접하는 절연층(412)을 트랜지스터(320)의 구성 요소로 하여도 좋다.

[0128] 트랜지스터(320)에 포함되는 산화물 반도체 적층(409)은 케이트 절연층(404)에 접하는 제 1 산화물 반도체층(408a)과, 제 1 산화물 반도체층(408a) 위에 접하는 제 2 산화물 반도체층(408b)과, 제 2 산화물 반도체층(408b) 위에 접하고 소스 전극층(410a) 및 드레인 전극층(410b)에 접하는 제 3 산화물 반도체층(409c)을 포함한

다. 제 3 산화물 반도체층(409c)은 제 1 산화물 반도체층(408a)의 측면 및 제 2 산화물 반도체층(408b)의 측면을 덮도록 제공되어 있다. 또한 제 3 산화물 반도체층(409c)의 주연부는 게이트 절연층(404)에 접한다.

[0129] 또한 트랜지스터(320)에 있어서는, 산화물 반도체 적층 이외의 구성은 트랜지스터(310)와 마찬가지이고 트랜지스터(310)에 대한 설명을 참작할 수 있다.

[0130] 제 1 산화물 반도체층(408a) 및 제 2 산화물 반도체층(408b)은 트랜지스터(310)와 마찬가지의 구성으로 할 수 있다. 산화물 반도체 적층(409)의 제작 방법은, 우선 제 1 산화물 반도체층(408a) 및 제 2 산화물 반도체층(408b)이 되는 산화물 반도체막을 포토리소그래피법을 이용한 에칭 처리에 의하여 섬 형상으로 가공하여 제 1 산화물 반도체층(408a) 및 제 2 산화물 반도체층(408b)을 형성한다. 이 후에 제 1 산화물 반도체층(408a) 및 제 2 산화물 반도체층(408b)을 덮도록 산화물 반도체막을 형성하고 이 산화물 반도체막을, 제 1 산화물 반도체층(408a) 및 제 2 산화물 반도체층(408b)의 가공에 사용한 마스크와 다른 마스크를 사용하여 섬 형상으로 가공함으로써 제 3 산화물 반도체층(409c)을 형성하면 좋다.

[0131] 도 12a에 도시된 산화물 반도체 적층(409)은, 채널로서 기능하는 제 2 산화물 반도체층(408b)의 측면이 제 3 산화물 반도체층(409c)으로 덮임으로써 소스 전극층(410a) 및 드레인 전극층(410b)에 접하지 않은 구성으로 할 수 있다. 이러한 구성으로 함에 따라 트랜지스터의 소스 전극층(410a) 및 드레인 전극층(410b)의 누설 전류 발생을 저감할 수 있다.

[0132] 또한 도 12b는 트랜지스터(330)의 구성예를 도시한 것이다. 도 12b에 도시된 트랜지스터(330)는 도 2a 내지 도 2c의 트랜지스터(310)와 마찬가지로 절연 표면을 갖는 기판(400) 위에 제공된 게이트 전극층(402)과, 게이트 전극층(402) 위의 게이트 절연층과, 게이트 절연층에 접하고 게이트 전극층(402)과 중첩된 산화물 반도체 적층(408)과, 산화물 반도체 적층(408)과 전기적으로 접속되는 소스 전극층(410a) 및 드레인 전극층(410b)을 포함한다. 트랜지스터(330)에 있어서, 산화물 반도체 적층(408)은 게이트 절연층(404)에 접하는 제 1 산화물 반도체층(408a)과, 제 1 산화물 반도체층(408a) 위에 접하는 제 2 산화물 반도체층(408b)과, 제 2 산화물 반도체층(408b) 위에 접하고 소스 전극층(410a) 및 드레인 전극층(410b)에 접하는 제 3 산화물 반도체층(408c)을 포함한다. 또한 소스 전극층(410a) 및 드레인 전극층(410b)을 덮고, 산화물 반도체 적층(408)에 접하는 절연층(412)을 트랜지스터(330)의 구성 요소로 하여도 좋다.

[0133] 트랜지스터(330)는 게이트 절연층으로서 게이트 전극층(402) 측으로부터 게이트 절연층(403a), 게이트 절연층(403b), 및 게이트 절연층(403c)을 포함한 제 1 게이트 절연층(403)과, 제 2 게이트 절연층(406)의 적층 구조를 포함하는 점에서 트랜지스터(310)와 상이하다.

[0134] 또한 트랜지스터(330)에 있어서는 게이트 절연층 이외의 구성은 트랜지스터(310)와 마찬가지이고 트랜지스터(310)에 대한 설명을 참작할 수 있다.

[0135] 트랜지스터(330)에 있어서, 제 1 게이트 절연층(403)에는 질소를 포함하는 실리콘막을 적용한다. 질소를 포함하는 실리콘막은 산화 실리콘막보다 비유전율이 높고 동등한 정전 용량을 얻기 위하여 필요한 막 두께가 두껍기 때문에 게이트 절연층의 막 두께를 물리적으로 두껍게 할 수 있다. 따라서 트랜지스터(330)의 절연 내압의 저하를 억제하고, 또한 절연 내압을 향상시켜 반도체 장치의 정전 파괴를 억제할 수 있다.

[0136] 또한 제 1 산화물 반도체층(408a)에 접하는 제 2 게이트 절연층(406)에는 산화 실리콘막, 산화 갈륨막, 산화 알루미늄막 등의 산소를 포함하는 절연층을 적용한다. 제 2 게이트 절연층(406)에는 화학양론비보다 산소를 과잉으로 포함하는 영역(산소 과잉 영역)을 포함하는 것이 더 바람직하다. 제 1 산화물 반도체층(408a)에 접하는 절연층이 산소 과잉 영역을 포함함으로써 제 1 산화물 반도체층(408a)에 산소를 공급하는 것이 가능하게 되고 제 1 산화물 반도체층(408a)으로부터 산소가 이탈되는 것을 방지함과 함께 산소 결손을 보전하는 것이 가능하게 되기 때문이다. 제 2 게이트 절연층(406)에 산소 과잉 영역을 제공하기 위한 예로서는, 산소 분위기하에서 제 2 게이트 절연층(406)을 형성하면 좋다. 또는 성막 후의 제 2 게이트 절연층(406)에 산소를 도입하여 산소 과잉 영역을 형성하여도 좋다.

[0137] 제 1 게이트 절연층(403)에 적용하는 질소를 포함하는 실리콘막으로서는 예를 들어 질화 실리콘막, 질화 산화 실리콘막, 산화 질화 실리콘막을 들 수 있으나, 질소의 함유량이 산소보다 많을수록 높은 비유전율을 가지기 때문에 질화 실리콘막을 적용하는 것이 바람직하다. 또한 산화 실리콘의 에너지 캡이 8eV인 것에 비하여 질화 실리콘의 에너지 캡은 5.5eV로 낮고 이에 따라 고유 저항도 작기 때문에 질화 실리콘막을 사용함으로써 높은 ESD(Electro-Static Discharge) 내성을 부여하는 것이 가능하게 된다. 또한 본 명세서 중에 있어서 산화 질화 실리콘막이란 그 조성으로서 질소보다 산소의 함유량이 많은 막을 가리키고, 질화 산화 실리콘막이란 그 조성으

로서 산소보다 질소의 함유량이 많은 막을 가리킨다.

[0138] 게이트 전극층(402)에 접하는 게이트 절연층(403a)으로서는, 암모니아의 함유량이 적어도 게이트 절연층(403b)보다 낮은 질소를 포함한 실리콘막으로 한다. 암모니아는 질소 원자상의 고립 전자대의 작용에 따라 금속 캐체의 배위자가 된다. 그러므로 예를 들어 게이트 전극층(402)에 구리를 사용하는 경우, 암모니아의 함유량이 많은 게이트 절연층을 이 게이트 전극층에 접하는 형태로 제공하면 암모니아기와 구리가 캐체를 형성하고 구리가 게이트 절연층 중에 확산될 우려가 있다.

[0139] 트랜지스터(330)에서는, 암모니아의 함유량이 적은(적어도 게이트 절연층(403b)보다 적은) 게이트 절연층(403a)이 게이트 전극층(402)에 접하는 형태로 제공됨으로써 게이트 전극층(402)의 재료(예를 들어 구리)가 제 1 게이트 절연층(403) 중에 확산되는 것을 억제할 수 있다. 즉 말하자면 게이트 절연층(403a)은 게이트 전극층(402)을 구성하는 금속 재료에 대한 배리어막으로서 기능할 수 있다. 게이트 절연층(403a)을 제공함으로써 트랜지스터의 신뢰성을 더 향상시킬 수 있다.

[0140] 게이트 절연층(403b)으로서는 게이트 절연층(403a)보다 막 두께가 두껍고, 막 중의 결함이 저감된 질소를 포함한 실리콘막으로 한다. 예를 들어 게이트 절연층(403b)의 막 두께를 300nm 이상 400nm 이하로 한다. 이와 같이 막 중의 결함이 저감된 질소를 포함한 실리콘막의 막 두께를 두껍게(예를 들어 300nm 이상) 하여 제공함으로써 게이트 절연층(403b)의 ESD 내성을 예를 들어 300V 이상으로 하는 것이 가능하다.

[0141] 또한 게이트 절연층(403c)은 함유 수소 농도가 저감된 질소를 포함한 실리콘막으로 한다. 게이트 절연층(403c)의 수소 농도를 적어도 게이트 절연층(403b)보다 낮은 농도로 한다. 예를 들어 플라즈마 CVD법에 의하여 게이트 절연층(403c)을 형성하는 경우, 공급 가스 중에 포함되는 수소 농도를 게이트 절연층(403b)의 형성에 사용되는 공급 가스보다 저하시킴으로써 게이트 절연층(403c)의 수소 농도를 게이트 절연층(403b)보다 저감시킬 수 있다. 구체적으로는 게이트 절연층(403b) 및 게이트 절연층(403c)으로서 질화 실리콘막이 형성되는 경우에는 게이트 절연층(403b)을 형성하기 위한 공급 가스보다 암모니아 유량을 적게 하거나, 또는 암모니아를 사용하지 않고 게이트 절연층(403c)을 형성하면 좋다.

[0142] 게이트 절연층(403c)으로서 함유 수소 농도가 저감된 질화 실리콘막이 제공됨으로써 제 2 게이트 절연층(406) 및 산화물 반도체 적층(408)으로의 수소 또는 수소 화합물(예를 들어 물)의 혼입을 저감할 수 있다. 수소는 캐리어인 전자를 발생시켜 트랜지스터의 문턱 전압을 마이너스 방향으로 변동(시프트)하는 요인이 되기 때문에, 수소 농도가 저감된 질화 실리콘막을 게이트 절연층(403c)으로서 제공함으로써 트랜지스터의 전기 특성을 안정화시킬 수 있다. 또한 수소 농도가 저감된 질화 실리콘막을 게이트 절연층(403c)으로서 제공함으로써 게이트 절연층(403b)에 포함되는 수소 또는 수소 화합물 등의 불순물이 산화물 반도체 적층(408)으로 확산되는 것을 방지하는 배리어막으로서의 효과도 있다.

[0143] 본 실시형태에서는 제 1 게이트 절연층(403)을 구성하는 게이트 절연층(403a), 게이트 절연층(403b), 및 게이트 절연층(403c)에 질화 실리콘막을 사용하고, 제 2 게이트 절연층(406)에 산화 질화 실리콘막을 사용하고, 각 게이트 절연층은 플라즈마 CVD법에 의하여 연속적으로 형성되는 것으로 한다. 구체적으로는 실란(SiH₄)과 질소(N₂)의 혼합 가스를 공급하여 게이트 절연층(403a)이 되는 질화 실리콘막을 형성한 후에, 공급 가스를 실란(SiH₄), 질소(N₂), 및 암모니아(NH₃)의 혼합 가스로 바꾸어 게이트 절연층(403b)이 되는 질화 실리콘막을 형성하고, 이 후에 공급 가스를 실란(SiH₄)과 질소(N₂)의 혼합 가스로 바꾸어 게이트 절연층(403c)이 되는 질화 실리콘막을 형성하고, 이 후에 공급 가스를 실란(SiH₄) 및 일산화이질소(N₂O)로 바꾸어 제 2 게이트 절연층(406)이 되는 산화 질화 실리콘막을 형성한다.

[0144] 게이트 절연층(403a)의 막 두께는 30nm 이상 100nm 이하, 바람직하게는 30nm 이상 50nm 이하로 하는 것이 바람직하다. 또한 트랜지스터의 정전 파괴 대책으로서 제공하는 게이트 절연층(403b)의 막 두께는 300nm 이상 400nm 이하로 하는 것이 바람직하고 산화물 반도체 적층(408)으로 수소가 확산되는 것을 방지하는 배리어막으로서 기능하는 게이트 절연층(403c)의 막 두께는 25nm 이상 150nm 이하로 하는 것이 바람직하다. 또한 제 2 게이트 절연층(406)의 막 두께는 25nm 이상 100nm 이하로 하는 것이 바람직하다. 다만 제 1 게이트 절연층(403)의 막 두께(제 1 게이트 절연층(403a), 제 2 게이트 절연층(403b), 및 게이트 절연층(403c)의 막 두께의 합계)와, 제 2 게이트 절연층(406)의 막 두께의 합계를 355nm 이상 550nm 이하로 하도록 각 게이트 절연층의 막 두께를 적절히 조정하는 것이 바람직하다.

[0145] 트랜지스터(330)는, 게이트 절연층으로서 게이트 전극층의 구성 원소(예를 들어 구리)에 대한 배리어막으로서

기능하는 질소를 포함한 실리콘막, 막 두께(예를 들어 막 두께 300nm)의 막 중의 결함이 저감된 질소를 포함한 실리콘막, 및 수소 농도가 저감되고 수소에 대한 블로킹성을 갖는 질소를 포함한 실리콘막이 포함된 제 1 게이트 절연층과, 산소를 포함한 제 2 게이트 절연층의 적층 구조를 갖는 트랜지스터이다. 따라서 트랜지스터(330)는 전기 특성 변동이 억제되고 또 정전 파괴가 억제되어 있다. 이런 트랜지스터를 포함함으로써 신뢰성이 높은 반도체 장치를 수율 좋게 제공할 수 있다.

[0146] 본 실시형태에서 제시하는 구성 및 방법 등은 다른 실시형태에서 제시하는 구성 및 방법 등과 적절히 조합하여 사용하는 것이 가능하다.

[0147] (실시형태 3)

[0148] 본 실시형태에서는 산화물 반도체층에 적용할 수 있는 CAAC-OS막에 대하여 설명한다. 더 구체적으로는 CAAC-OS 막을 형성하는 동안의 현상에 대하여 도 13a 내지 도 15c를 사용하여 자세히 설명한다.

[0149] 상술한 바와 같이 괴성막 기판의 온도를 200°C 이상으로 하면 성막 중 타깃에서 미소한 스퍼터링 입자가 튕겨나와 기판 위에 이 스퍼터링 입자가 불도록 성막되고 또 기판이 가열되고 있기 때문에 다시 배열되고 고밀도의 막이 된다.

[0150] 스퍼터링 타깃의 표면에 이온이 충돌하면 스퍼터링 타깃에 포함되는 결정 영역은 a-b면에서 벽개(劈開)되고 a-b면에 평행한 층을 따른 형상(평판 형상 또는 펠릿(pellet) 형상)의 스퍼터링 입자가 박리된다. 스퍼터링 타깃(2002)의 표면에서 스퍼터링되고 방출되는 결정의 입자는, c축 배향되고 도 13a에 도시된 바와 같은 평판 형상의 스퍼터링 입자(2001)인 것으로 가정되면 도 13b에 도시된 모델도로 모식적으로 막형성을 나타낼 수 있다. 또한 평판 형상의 스퍼터링 입자는 도 13c에 도시된 상태, 즉 말하자면 가장 외측 면은 (Ga, Zn)0면이 되어 있는 것이 바람직하다.

[0151] 성막 중, 산소 유량이 많고 체임버(2003) 내의 압력이 높으면 도 14a에 도시된 바와 같이 산소 이온이 평판 형상의 스퍼터링 입자에 부착되고, 많은 산소를 표면에 갖는 상태로 할 수 있다. 이 부착된 산소가 빠지기 전에 다른 평판 형상의 스퍼터링 입자가 적층되기 때문에 도 15c에 도시된 바와 같이 막 중에 산소를 많이 포함시킬 수 있다. 이 표면에 흡착된 산소는 산화물 반도체 중의 산소 결손을 저감시키는 것에 기여한다.

[0152] 또한 c축 배향된 결정 영역을 갖는 산화물 반도체막을 형성하려면 성막시의 기판 온도를 올리는 것이 바람직하다. 그러나 기판 온도를 350°C보다 높은 온도로 하면 도 14b에 도시된 바와 같이 표면에 흡착된 산소가 방출될 우려가 있다. 따라서 기판 온도는 150°C 이상 350°C 이하, 바람직하게는 160°C 이상 230°C 이하로 하고, 성막 가스로서는 산소 가스만 사용하면 c축 배향된 결정 영역을 갖는 산화물 반도체막, 즉 말하자면 CAAC-OS막을 형성할 수 있다.

[0153] 성막 중에, 하나의 평판 형상의 스퍼터링 입자가 기판(2000)의 표면에 도달하여 안정화되는 과정의 모델의 한 고찰의 예에 대하여, 도 15a에서 도시하였다. 도 15a에 도시된 바와 같이 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 상태에서 기판 표면에 도달함으로써 CAAC-OS막이 형성되기 쉽게 된다. 그리고 평판 형상의 스퍼터링 입자가 도 15b에 도시된 바와 같이 적층되면 CAAC-OS막이 형성되기 쉽게 된다. 또한 CAAC-OS막은 도 15c에 도시된 바와 같이 산소를 많이 포함하고 산소 결손이 저감된 막이 된다.

[0154] 기판(2000) 위의 CAAC-OS막의 인듐 원자는 횡 방향으로 2개 이상 20개 이하 정도가 나란히 배치되어 있고, 인듐 원자를 포함한 층이 형성되어 있다. 또한 인듐 원자를 포함한 층은 횡 방향으로 20개보다 많이 나란히 배치되어 있는 경우도 있다. 예를 들어 2개 이상 50개 이하, 2개 이상 100개 이하, 또는 2개 이상 500개 이하의 인듐 원자가 횡 방향으로 나란히 배치되어 있어도 좋다.

[0155] 또한 인듐 원자를 포함한 층은 층끼리가 중첩되어 있고, 이 층의 개수는 1층 이상 20층 이하, 1층 이상 10층 이하, 또는 1층 이상 4층 이하이다.

[0156] 이와 같이 인듐 원자를 포함한 층의 적층체는 횡 방향으로 수개 정도, 종 방향으로 수층 정도 있는 덩어리 같이 보이는 경우가 많다. 이것은 스퍼터링 입자가 평판 형상인 것에 기인한다고 생각된다.

[0157] 또한 괴성막 기판의 온도를 올리면 기판 표면에서의 스퍼터링 입자의 마이그레이션이 발생하기 쉽게 된다. 이 작용에 의하여 스퍼터링 입자는 평판 형상의 상태에서 기판 표면에 도달하고 나서 약간 이동하고, 평평한 면(a-b면)을 기판 표면을 향하도록 부착한다. 그러므로 표면에 수직인 방향에서 보아 c축 배향된 결정 영역을 갖는 산화물 반도체막을 얻기 쉽게 된다.

- [0158] 또한 산화물 반도체막을 형성한 후에 200°C 이상으로 가열 처리하고, 보다 치밀한 막으로 하여도 좋다. 다만 산화물 반도체막 중의 불순물 원소(수소나 물 등)가 저감될 때에 산소 결손이 발생할 우려가 있기 때문에, 가열 처리하기 전에 산화물 반도체막 위 또는 산화물 반도체막 아래에 산소 파이ning 상태의 절연층을 제공해 두는 것이 바람직하고, 가열 처리함으로써 산화물 반도체막 중의 산소 결손을 저감시킬 수 있다.
- [0159] 성막한 바로 후에 산화물 반도체막의 막질의 밀도를 높게 함으로써 박막화되고 또 단결정에 가까운 치밀한 막으로 할 수 있고, 막 중에서 산소나 수소 등이 거의 확산되지 않기 때문에, 치밀한 산화물 반도체막을 사용한 반도체 장치는 신뢰성의 향상을 실현할 수 있다.
- [0160] 본 발명의 일 형태의 트랜지스터에 포함되는 산화물 반도체 적층에 있어서, 제 1 산화물 반도체층 내지 제 3 산화물 반도체층에는 비정질 구조, 결정 구조 중 어느 쪽의 산화물 반도체층을 적용하여도 좋다. 다만 채널로서 기능하는 제 2 산화물 반도체층에 CAAC-OS막을 적용하면 이 제 2 산화물 반도체층 중에 존재하는 산소 결손에 기인한 DOS(density of state)를 감소시키는 것이 가능하게 되기 때문에 바람직하다.
- [0161] 또한 제 2 산화물 반도체층을 CAAC-OS막으로 하고 제 2 산화물 반도체층 위에 접하도록 형성되는 제 3 산화물 반도체층도 CAAC-OS막으로 하는 경우, 제 2 산화물 반도체층으로부터 제 3 산화물 반도체층으로 결정이 연속적으로 형성되는 것이 바람직하다. 제 2 산화물 반도체층과 제 3 산화물 반도체층의 결정이 연속하여 형성되면 2 층의 계면에 DOS가 발생하기 어렵기 때문이다.
- [0162] 또한 제 1 산화물 반도체층 내지 제 3 산화물 반도체층 모든 층을 CAAC-OS막으로 하는 것도 가능하다. 다만 상술한 바와 같이 게이트 절연층에 접하는 제 1 산화물 반도체층은 게이트 절연층의 구성 원소를 불순물로서 포함함으로써 결정성이 저하되는 경우도 있다. 또한 제 1 산화물 반도체층 내지 제 3 산화물 반도체층 모든 층이 비정질 구조라도 좋다.
- [0163] 본 실시형태에서 제시하는 산화물 반도체막은 실시형태 1 또는 실시형태 2의 반도체 장치에 적용되는 것이 가능하다.
- [0164] (실시형태 4)
- [0165] 실시형태 1 또는 실시형태 2에서 제시한 트랜지스터를 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체로 형성함으로써 시스템 온 패널을 형성할 수 있다.
- [0166] 도 4a에 있어서, 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 실재(4005)가 제공되고, 기판(4006)에 의하여 밀봉되어 있다. 도 4a에서는 기판(4001) 위의 실재(4005)로 둘러싸인 영역과 다른 영역에, IC칩 또는 별도로 용이된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 또한 신호선 구동 회로(4003)와 주사선 구동 회로(4004)를 통하여 화소부(4002)에 FPC(Flexible Printed Circuit)(4018a), FPC(4018b)로부터 각종 신호 및 전위가 공급된다.
- [0167] 도 4b 및 도 4c에서 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 실재(4005)가 제공되어 있다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 기판(4006)이 제공되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는 기판(4001)과 실재(4005)와 기판(4006)에 의하여 표시 소자와 함께 밀봉되어 있다. 도 4b 및 도 4c에서는, 기판(4001) 위의 실재(4005)로 둘러싸인 영역과 다른 영역에, IC칩 또는 별도로 용이된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 4b 및 도 4c에 있어서는, 신호선 구동 회로(4003)와 주사선 구동 회로(4004)를 통하여 화소부(4002)에 FPC(4018)로부터 각종 신호 및 전위가 공급된다.
- [0168] 또한, 도 4b 및 도 4c에서는 신호선 구동 회로(4003)를 별도로 형성하고 기판(4001)에 실장한 예를 도시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.
- [0169] 또한, 별도로 형성된 구동 회로의 접속 방법은 특별히 한정되는 것이 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 4a는 COG 방법에 의하여 신호선 구동 회로(4003), 주사선 구동 회로(4004)가 실장되는 예를 도시한 것이고, 도 4b는 COG 방법에 의하여 신호선 구동 회로(4003)가 실장되는 예를 도시한 것이고, 도 4c는 TAB 방법에 의하여 신호선 구동 회로(4003)가 실장되는 예를 도시한 것이다.
- [0170] 또한, 표시 장치란, 표시 소자가 밀봉된 상태에 있는 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한

상태의 모듈을 포함한다. 즉 말하자면, 본 명세서 중의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 표시 소자가 밀봉된 상태의 패널뿐만 아니라, 커넥터, 예를 들어 FPC 또는 TCP가 장착된 모듈, TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자에 COG 방법에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0171] 또한 기판 위에 제공된 화소부 및 주사선 구동 회로는, 복수의 트랜지스터를 가지며, 실시형태 1 또는 실시형태 2에서 제시한 트랜지스터가 적용될 수 있다.

[0172] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주 내에 포함하고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 표시 장치(전자 페이퍼) 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.

[0173] 반도체 장치의 일 형태에 대하여 도 4a 내지 도 5b를 사용하여 설명한다. 도 5a 및 도 5b는 도 4b의 M-N을 따라 절단된 단면도에 상당한다. 도 5a 및 도 5b는 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 도시한 것이다.

[0174] 액정 표시 장치에는, 종 전계 방식 또는 횡 전계 방식을 적용할 수 있다. 도 5a는 종 전계 방식을 채용한 예를 도시한 것이고, 도 5b는 횡 전계 방식의 일례로서 FFS(Fringe Field Switching) 모드를 채용한 예를 도시한 것이다.

[0175] 다만 표시 패널은 화소부(4002)에 제공된 트랜지스터(4010)가 표시 소자와 전기적으로 접속되어 구성되고, 상기 표시 소자로서는 표시하는 것이 가능하면 특별히 한정되지 않고 다양한 표시 소자를 사용할 수 있다.

[0176] 도 4a 내지 도 5b에 도시된 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 갖고, 접속 단자 전극(4015) 및 단자 전극(4016)은 이방성 도전층(4019)을 통하여 FPC(4018) 또는 FPC(4018b)가 갖는 단자와 전기적으로 접속되어 있다.

[0177] 접속 단자 전극(4015)은 제 1 전극층(4034)과 같은 도전층으로 형성되고, 단자 전극(4016)은 트랜지스터(4010), 트랜지스터(4011)의 소스 전극층 및 드레인 전극층과 같은 도전층으로 형성되어 있다.

[0178] 또한, 기판(4001) 위에 제공된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수로 갖고, 도 5a 및 도 5b에서는, 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)가 예시되어 있다. 도 5a 및 도 5b에서는 트랜지스터(4010), 트랜지스터(4011) 위에는 절연층(4032)이 제공되어 있다.

[0179] 또한 도 5b에서는 절연층(4032) 위에 평탄화 절연층(4040)이 제공되고, 제 1 전극층(4034)과 제 2 전극층(4031) 사이에 절연층(4042)이 제공되어 있다.

[0180] 트랜지스터(4010), 트랜지스터(4011)로서는 실시형태 1 또는 실시형태 2에서 제시한 트랜지스터를 적용할 수 있다. 본 실시형태에서는, 실시형태 1에서 제시한 트랜지스터(310)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 제시한다. 트랜지스터(4010), 트랜지스터(4011)는 보텀 게이트 구조의 트랜지스터이다.

[0181] 트랜지스터(4010), 트랜지스터(4011)는 전류 경로(채널)로서 기능하는 제 2 산화물 반도체층을 끼우고, 제 2 산화물 반도체층보다 캐리어 밀도가 낮은 제 1 산화물 반도체층 및 제 3 산화물 반도체층을 포함한다. 따라서 트랜지스터(4010), 트랜지스터(4011)는 전류 경로가 절연층 계면에서 떨어지도록 형성된 매립 채널형 트랜지스터이며 높은 전계 효과 이동도를 갖는다. 또한 후면 채널 측에 형성될 수 있는 계면 준위의 영향이 저감됨과 함께 트랜지스터의 광열화(예를 들어 광 부 바이어스 열화)가 저감된 신뢰성이 높은 트랜지스터이다.

[0182] 또한, 구동 회로용 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에 추가적으로 도전층을 제공하여도 좋다. 도전층은 산화물 반도체층의 채널 형성 영역과 중첩되는 위치에서 제공됨으로써, 트랜지스터(4011)의 문턱 전압의 변화량은 더욱 저감되는 것이 가능하다. 또한, 도전층의 전위는 트랜지스터(4011)의 게이트 전극층과 같은 것이어도 좋고, 상이한 것이어도 좋고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층의 전위는 예를 들어 부유 상태이어도 좋다.

[0183] 또한, 상기 도전층은 외부의 전장(電場)을 차폐하는 기능, 즉 말하자면 외부의 전장이 내부(트랜지스터를 포함하는 회로부)에 작용하지 않도록 하는 기능(특히, 정전기에 대한 정전 차폐 기능)도 갖는다. 도전층의 차폐 기능에 의하여, 정전기 등의 외부의 전장의 영향으로 인하여 트랜지스터의 전기 특성이 변동되는 것을 방지할 수

있다.

[0184] 도 5a 및 도 5b에 있어서, 액정 소자(4013)는 제 1 전극층(4034), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 끼우도록 배향막으로서 기능하는 절연층(4038), 절연층(4033)이 제공되어 있다.

[0185] 도 5a에서는, 제 2 전극층(4031)이 기판(4006) 측에 제공되고, 제 1 전극층(4034)과 제 2 전극층(4031)이 액정층(4008)을 개재하여 적층된 구성이 되어 있다. 또한 도 5b는, 액정층(4008)의 하방에 개구 패턴을 갖는 제 2 전극층(4031)을 갖고, 절연층(4042)을 개재하여 제 2 전극층(4031)의 더 하방에 평판 형상의 제 1 전극층(4034)을 갖는 구조이다. 도 5b에 있어서, 개구 패턴을 갖는 제 2 전극층(4031)은 굴곡부나 분기된 빗살 형상을 포함하는 형상이다. 제 1 전극층(4034) 및 제 2 전극층(4031)은 이 전극들 사이에 전계를 발생시키기 위하여 같은 형상으로 완전히 중첩되는 배치는 회피한다. 또한 평탄화 절연층(4040) 위에 접하도록 평판 형상의 제 2 전극층(4031)을 형성하고, 절연층(4042)을 개재하여 제 2 전극층(4031) 위에 화소 전극으로서 기능하며 개구 패턴을 갖는 제 1 전극층(4034)을 갖는 구조으로 하여도 좋다.

[0186] 제 1 전극층(4034), 제 2 전극층(4031)에는 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘의 첨가된 인듐 주석 산화물, 그레핀 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0187] 또한, 제 1 전극층(4034), 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 이 합금, 또는 이 금속 질화물로부터 하나 또는 복수 종류를 사용하여 형성할 수 있다.

[0188] 또한, 제 1 전극층(4034), 제 2 전극층(4031)으로서 도전성 고분자(도전성 중합체라고도 함)를 포함한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 이 유도체, 폴리피롤 또는 이 유도체, 폴리티오펜 또는 이 유도체, 또는 아닐린, 피롤, 및 티오펜 중 2종 이상으로 이루어진 공중합체 또는 이 유도체 등을 들 수 있다.

[0189] 또한 스페이서(4035)는 절연층을 선택적으로 예칭함으로써 얻어지는 기동 형상의 스페이서이며, 액정층(4008)의 막 두께(셀 캡)를 제어하기 위하여 제공되어 있다. 또한 구 형상의 스페이서를 사용하여도 좋다.

[0190] 표시 소자로서, 액정 소자를 사용하는 경우, 서모트로픽 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 저분자 화합물이라도 고분자 화합물이라도 좋다. 이들 액정 재료(액정 조성물)는, 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마티상, 등방상 등을 나타낸다.

[0191] 또한, 액정층(4008)에, 배향막을 사용하지 않는 블루상을 발현하는 액정 조성물을 사용하여도 좋다. 이 경우에는 액정층(4008)은 제 1 전극층(4034) 및 제 2 전극층(4031)에 접촉하는 구조가 된다. 블루상은 액정상의 하나이며, 콜레스테릭 액정의 온도를 계속해서 상승시키면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은, 액정 및 키랄제를 혼합시킨 액정 조성물을 사용하여 발현시킬 수 있다. 또한, 블루상이 발현되는 온도 범위를 넓히기 위해서, 블루상을 발현하는 액정 조성물에 중합성 모노머 및 중합 개시제 등을 첨가하여 고분자 안정화시키는 처리를 수행하여 액정층을 형성할 수도 있다. 블루상을 발현하는 액정 조성물은, 응답 속도가 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다. 또한, 배향막을 제공하지 않아도 좋기 때문에 러빙 처리도 필요 없게 되어, 러빙 처리로 인한 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있게 된다.

[0192] 또한, 액정 재료의 고유 저항은, $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이고, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이며, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에 있어서의 고유 저항의 값은 20°C로 측정한 값으로 한다.

[0193] 액정 표시 장치에 제공되는 유지 용량의 크기는, 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는, 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 본 명세서에 기재된 산화물 반도체층을 갖는 트랜지스터를 사용함으로써, 각 화소에서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량 크기를 갖는 유지 용량을 제공하면 충분하다.

[0194] 본 명세서에 기재된 산화물 반도체층을 사용한 트랜지스터는 오프 상태에서의 전류값(오프 전류값)을 낮게 제어

할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 설정할 수 있고, 기록 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 줄일 수 있기 때문에, 소비 전력을 억제하는 효과를 얻는다.

[0195] 또한, 본 명세서에 기재된 산화물 반도체층을 사용한 트랜지스터는 높은 전계 효과 이동도를 얻을 수 있기 때문에 고속 구동이 가능하다. 예를 들어, 이러한 트랜지스터를 액정 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와, 구동 회로부에 사용하는 드라이버 트랜지스터를 동일한 기판 위에 형성할 수 있다. 또한, 화소부에 있어서도, 이러한 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다.

[0196] 액정 표시 장치에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0197] 또한, 노멀리 블랙형 액정 표시 장치, 예를 들어 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치로 하여도 좋다. 수직 배향 모드로서는, 몇 개의 예를 들 수 있는데, 예를 들어, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 이용할 수 있다. 또한, VA형의 액정 표시 장치에도 적용할 수 있다. VA형의 액정 표시 장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식 중의 1종이다. VA형의 액정 표시장치는, 전압이 인가되지 않을 때에 패널 면에 대하여 액정 분자가 수직 방향으로 향하는 방식이다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고 각각 다른 방향으로 분자를 배향하도록 구성되어 있는 멀티 도메인화 또는 멀티 도메인 설계라는 방법을 이용할 수 있다.

[0198] 또한, 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공된다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원 편광을 사용하여도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용하여도 좋다.

[0199] 또한, 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때, 화소에서 제어하는 색 요소로서는 RGB(R는 적색, G는 녹색, B는 청색을 나타냄)의 3색에 한정되지 않는다. 예를 들어, RGBW(W는 백색을 나타냄), 또는 RGB에, 옐로, 시안, 마젠타 등을 1색 이상 추가한 것이다. 또한 색 요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다. 다만, 기재하는 발명은 컬러 표시의 표시 장치에 한정되는 것이 아니며, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0200] 도 10a 내지 도 10c는, 도 5a 및 도 5b에 도시된 표시 장치에서의 기판(4006)에 제공된 제 2 전극층(4031)과 전기적으로 접속하기 위한 공통 접속부(패드부)를, 기판(4001) 위에 형성하는 예를 도시한 것이다.

[0201] 공통 접속부는, 기판(4001)과 기판(4006)을 접착하기 위한 실재와 중첩되는 위치에 배치되고, 실재에 포함되는 도전성 입자를 통하여 제 2 전극층(4031)과 전기적으로 접속된다. 또는, 실재와 중첩되지 않은 개소(다만 화소부를 제외함)에 공통 접속부를 제공하고, 공통 접속부와 중첩되도록 도전성 입자를 포함하는 페이스트를 실재와 별도로 제공하여 제 2 전극층(4031)과 전기적으로 접속되는 구성으로 하여도 좋다.

[0202] 도 10a는 공통 접속부의 단면도를 도시한 것이며 도 10b에 도시된 상면도의 G1-G2에 상당한다.

[0203] 공통 전위선(491)은 게이트 절연층(4020) 위에 제공되고, 도 5a 및 도 5b에 도시된 트랜지스터(4010), 트랜지스터(4011)의 소스 전극층 또는 드레인 전극층과 같은 재료를 사용하고 같은 공정에서 제작된다.

[0204] 또한 공통 전위선(491)은 절연층(4032)으로 덮이고, 절연층(4032)은 공통 전위선(491)과 중첩되는 위치에 복수의 개구부를 갖는다. 이 개구부는 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층 중 한 쪽과, 제 1 전극층(4034)과 접속되는 콘택트 홀과 같은 공정에서 제작된다.

[0205] 또한 공통 전극(492)은 절연층(4032) 위에 제공되고, 접속 단자 전극(4015)이나 화소부의 제 1 전극층(4034)과 같은 재료를 사용하고 같은 공정에서 제작된다.

[0206] 이러한 바와 같이 화소부(4002)의 스위칭 소자의 제작 공정과 공통시켜 공통 접속부를 제작할 수 있다.

[0207] 공통 전극(492)은 실재에 포함되는 도전성 입자와 접촉하는 전극이며, 기판(4006)의 제 2 전극층(4031)과 전기적으로 접속된다.

[0208] 또한, 도 10c에 도시된 바와 같이 공통 전위선(491)을 트랜지스터(4010), 트랜지스터(4011)의 게이트 전극층과 같은 재료를 사용하고 같은 공정에서 제작하여도 좋다.

- [0209] 도 10c에 도시된 공통 접속부에 있어서, 공통 전위선(491)은 게이트 절연층(4020) 및 절연층(4032)의 하층에 제공되고, 게이트 절연층(4020) 및 절연층(4032)은 공통 전위선(491)과 중첩되는 위치에 복수의 개구부를 갖는다. 이 개구부는 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층 중 한쪽과 제 1 전극층(4034)을 접속하는 콘택트 흘과 같은 공정에서 절연층(4032)을 에칭한 후에 더 게이트 절연층(4020)을 선택적으로 에칭함으로써 형성된다.
- [0210] 또한, 표시 장치에 포함되는 표시 소자에는, 일렉트로루미네선스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.
- [0211] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 이 여기 상태가 기저 상태로 되돌아올 때 발광한다. 이러한 메커니즘 때문에, 이와 같은 발광 소자는 전류 여기형의 발광 소자라고 불린다. 본 실시형태에서는 발광 소자로서 유기 EL 소자를 사용한 예를 제시한다.
- [0212] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼우고, 또한 이것을 전극 사이에 끼운 구조를 가지며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이를 이용하는 국재(局在)형 발광이다. 또한, 여기서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0213] 발광 소자는 발광을 추출하기 위하여 적어도 한 쌍의 전극 중 한쪽이 투광성을 가지면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대 측의 면으로부터 발광을 추출하는 전면 발광형, 기판 측의 면으로부터 발광을 추출하는 배면 발광형, 기판 측 및 기판과는 반대 측의 면으로부터 발광을 추출하는 양면 발광형 구조의 발광 소자가 있고, 어느 발광형 구조의 발광 소자도 적용할 수 있다.
- [0214] 도 6a 및 도 6b, 및 도 11은 표시 소자로서 발광 소자가 사용된 발광 장치의 예를 도시한 것이다.
- [0215] 도 6a는 발광 장치의 평면도를 도시한 것이고, 도 6b는 도 6a 중의 일점 쇄선 S1-T1, S2-T2, 및 S3-T3에서 절단된 단면도를 도시한 것이다. 또한 도 11은, 도 6a의 일점 쇄선 S4-T4에서 절단된 단면도를 도시한 것이다. 또한 도 6a의 평면도에 있어서는, 전계 발광층(542) 및 제 2 전극층(543)은 생략하여 도시하지 않았다.
- [0216] 도 6a 및 도 6b에 도시된 발광 장치는 기판(500) 위에 트랜지스터(510), 용량 소자(520), 배선층 교차부(530)를 갖고, 트랜지스터(510)는 발광 소자(540)와 전기적으로 접속되어 있다. 또한, 도 6a 및 도 6b는 기판(500)을 통하여 발광 소자(540)로부터의 광을 추출하는 배면 발광형 구조를 갖는 발광 장치이다.
- [0217] 트랜지스터(510)로서는 실시형태 1 또는 실시형태 2에서 제시한 트랜지스터를 적용할 수 있다. 본 실시형태에서는 실시형태 2에서 제시한 트랜지스터(330)와 같은 구조를 갖는 트랜지스터가 적용되는 예를 제시한다. 트랜지스터(510)는 보텀 게이트 구조의 트랜지스터이다.
- [0218] 트랜지스터(510)는, 게이트 전극층(511a), 게이트 전극층(511b), 게이트 절연층(501), 게이트 절연층(502), 제 1 산화물 반도체층(512a), n형의 제 2 산화물 반도체층(512b) 및 제 3 산화물 반도체층(512c)을 포함한 산화물 반도체 적층(512), 소스 전극층 또는 드레인 전극층으로서 기능하는 도전층(513a) 및 도전층(513b)을 포함한다. 또한 트랜지스터(510) 위에는 절연층(525)이 형성되어 있다.
- [0219] 용량 소자(520)는, 도전층(521a), 도전층(521b), 게이트 절연층(501), 게이트 절연층(502), 제 1 산화물 반도체층(522a)과 n형의 제 2 산화물 반도체층(522b)과 제 3 산화물 반도체층(522c)을 포함한 산화물 반도체 적층(522), 도전층(523)을 포함하고, 도전층(521a), 도전층(521b) 및 도전층(523)으로 게이트 절연층(501), 게이트 절연층(502) 및 산화물 반도체 적층(522)을 끼우는 구성으로 함으로써 형성된다.
- [0220] 배선층 교차부(530)는 게이트 전극층(511a), 게이트 전극층(511b), 도전층(533)의 교차부이며, 게이트 전극층(511a), 게이트 전극층(511b), 및 도전층(533)은 게이트 절연층(501) 및 게이트 절연층(502)을 개재하여 교차한다.
- [0221] 본 실시형태에서는, 게이트 전극층(511a) 및 도전층(521a)으로서 막 두께 30nm의 티타늄막을 사용하고, 게이트 전극층(511b) 및 도전층(521b)으로서 막 두께 200nm의 구리막을 사용한다. 따라서, 게이트 전극층은 티타늄막

과 구리막의 적층 구조가 된다.

[0222] 트랜지스터(510)는 전류 경로(채널)로서 기능하는 제 2 산화물 반도체층을 끼우고, 제 2 산화물 반도체층보다 캐리어 밀도가 낮은 제 1 산화물 반도체층 및 제 3 산화물 반도체층을 포함한다. 따라서 트랜지스터(510)는 전류 경로가 절연층 계면에서 떨어지도록 형성된 매립 채널형 트랜지스터이며, 높은 전계 효과 이동도를 갖는다. 또한 후면 채널 측에 형성될 수 있는 계면 준위의 영향이 저감됨과 함께 트랜지스터의 광열화(예를 들어 광 부 바이어스 열화)가 저감된 신뢰성이 높은 트랜지스터이다.

[0223] 또한 트랜지스터(510)는 암모니아의 함유량이 저감된 구리로 이루어진 배리어막으로서 기능하는 제 1 질소를 포함한 실리콘막, 막 두께(예를 들어 막 두께 300nm)의 막 중 결함이 저감된 제 2 질소를 포함한 실리콘막, 및 수소 농도가 저감된 제 3 질소를 포함한 실리콘막의 적층 구조를 갖는 게이트 절연층(502)과, 산화물 절연층을 갖는 게이트 절연층(501)을 포함하는 트랜지스터이다. 이와 같은 구성으로 함으로써 트랜지스터(510)의 전기 특성을 바람직하게 할 수 있고, 또한 트랜지스터(510)의 정전 파괴를 방지할 수 있다. 따라서 신뢰성이 높은 반도체 장치를 고수율로 제공하는 것이 가능하게 된다.

[0224] 트랜지스터(510), 용량 소자(520), 및 배선층 교차부(530) 위에는 층간 절연층(504)이 형성되고, 층간 절연층(504) 위에 발광 소자(540)와 중첩되는 영역에 컬러 필터층(505)이 제공되어 있다. 층간 절연층(504) 및 컬러 필터층(505) 위에는 평탄화 절연층으로서 기능하는 절연층(506)이 제공되어 있다.

[0225] 절연층(506) 위에 제 1 전극층(541), 전계 발광층(542), 제 2 전극층(543)을 순차적으로 적층한 적층 구조를 포함한 발광 소자(540)가 제공되어 있다. 발광 소자(540)와 트랜지스터(510)는 도전층(513a)에 도달하는 절연층(506) 및 층간 절연층(504)에 형성된 개구에서 제 1 전극층(541) 및 도전층(513a)이 접촉함으로써 전기적으로 접속되어 있다. 또한, 제 1 전극층(541)의 일부 및 상기 개구를 덮도록 격벽(507)이 제공되어 있다.

[0226] 절연층(506)에는 막 두께가 1500nm인 감광성 아크릴막을 사용할 수 있고, 격벽(507)에는 막 두께가 1500nm인 감광성 폴리이미드막을 사용할 수 있다.

[0227] 컬러 필터층(505)에는 예를 들어 유채색의 투광성 수지를 사용할 수 있다. 유채색의 투광성 수지로서는, 감광성, 비감광성의 유기 수지를 사용할 수 있지만, 감광성의 유기 수지층을 사용하면, 레지스트 마스크의 개수를 삭감할 수 있어 공정이 간략화되기 때문에 바람직하다.

[0228] 유채색은, 흑색, 회색, 백색 등의 무채색을 제외한 색이고, 컬러 필터층은 착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색에는, 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안, 마젠타, 옐로(황색) 등을 사용하여도 좋다. 착색된 유채색의 광만을 투과한다는 것은, 컬러 필터층에서의 투과광이 그 유채색의 광의 광장에 피크를 가짐을 말한다. 컬러 필터층은, 포함시키는 착색 재료의 농도와 광의 투과율의 관계를 고려하여, 최적인 막 두께를 적절히 제어하면 좋다. 예를 들어, 컬러 필터층(505)의 막 두께는 1500nm 이상 2000nm 이하로 하면 좋다.

[0229] 격벽(507)은, 유기 절연 재료, 또는 무기 절연 재료를 사용하여 형성된다. 특히 감광성의 수지 재료를 사용하여 제 1 전극층(541) 위에 개구부를 형성하고, 이 개구부의 측벽이 연속된 곡률을 가져 형성되는 경사면이 되도록 형성되는 것이 바람직하다.

[0230] 전계 발광층(542)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

[0231] 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제 2 전극층(543) 및 격벽(507) 위에 보호막을 형성하여도 좋다. 보호막으로서는, 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다.

[0232] 또한, 발광 소자(540)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 발광 소자(540)를 덮는 유기 화합물을 포함한 층을 중착법에 의하여 형성하여도 좋다.

[0233] 또한, 필요에 따라, 발광 소자의 사출면에 편광판, 또는 원편광판(타원형 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜 반사를 저감할 수 있는 앤티글레어(anti i-glare) 처리를 수행할 수 있다.

[0234] 또한, 표시 장치에는 전자 잉크를 구동시키는 전자 페이퍼를 제공하는 것도 가능하다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽고, 다른 표시 장치보다 저소비 전력이며, 얇고 가벼운 형상으로 할 수 있다는 이점을 갖는다.

- [0235] 전기 영동 표시 장치로서는, 여러 가지 형태를 생각할 수 있지만, 플러스의 전하를 갖는 제 1 입자와, 마이너스의 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐이 용매에 복수로 분산된 것이며, 마이크로 캡슐에 전계를 인가함으로써 마이크로 캡슐 중의 입자를 서로 반대의 방향으로 이동시켜 한쪽 측에 집합된 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 각각 염료가 포함되며 전계가 없이는 이동하지 않는 것이다. 또한, 제 1 입자의 색깔과 제 2 입자의 색깔은 각각 다른 것(무색을 포함함)으로 한다.
- [0236] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이다. 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하게 된다.
- [0237] 또한, 평탄화 절연층으로서 기능하는 절연층(506)에는, 아크릴 수지, 폴리아미드, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 수지 등 내열성을 갖는 유기 재료를 사용할 수 있다. 또한 이 유기 재료 이외에도, 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등의 저유전율 재료(low-k 재료)를 사용할 수 있다. 또한, 이 재료로 형성되는 절연층을 복수로 적층시킴으로써, 절연층(506)을 형성하여도 좋다.
- [0238] 절연층(506)의 형성법으로서는, 특별히 한정되지 않으며 그 재료에 따라 스퍼터링법, 스플 코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법), 스크린 인쇄, 오프셋 인쇄 등을 이용할 수 있다.
- [0239] 제 1 전극층(541), 제 2 전극층(543)에는 도 5a 및 도 5b에 도시된 표시 장치의 제 1 전극층(4034), 제 2 전극층(4031)과 같은 재료를 적용할 수 있다.
- [0240] 본 실시형태에서, 도 6a 및 도 6b에 도시된 발광 장치는 배면 발광형이기 때문에 제 1 전극층(541)은 투광성을 갖고, 제 2 전극층(543)은 반사성을 갖는다. 따라서, 제 1 전극층(541)에 금속막을 사용하는 경우에는 투광성을 유지할 수 있을 정도로 막 두께를 얇게 하고, 제 2 전극층(543)에 투광성을 갖는 도전층을 사용하는 경우에는 반사성을 갖는 도전층을 적층하면 좋다.
- [0241] 또한, 구동 회로 보호용의 보호 회로를 제공하여도 좋다. 보호 회로는, 비선형 소자를 사용하여 구성되는 것이 바람직하다.
- [0242] 상술한 바와 같이 실시형태 1 또는 실시형태 2에서 제시한 트랜지스터를 적용함으로써, 다양한 기능을 갖는 반도체 장치를 제공할 수 있다.
- [0243] 본 실시형태에서 제시하는 구성, 방법 등은, 다른 실시형태에서 제시하는 구성, 방법 등과 적절히 조합하여 사용하는 것이 가능하다.
- [0244] (실시형태 5)
- [0245] 실시형태 1 또는 실시형태 2에서 제시한 트랜지스터를 사용하여, 대상물의 정보를 판독하는 이미지 센서 기능을 갖는 반도체 장치를 제작할 수 있다.
- [0246] 도 7a는 이미지 센서 기능을 갖는 반도체 장치의 일 예를 도시한 것이다. 도 7a는 포토센서의 등가 회로이고, 도 7b는 포토센서의 일부를 도시한 단면도이다.
- [0247] 포토 다이오드(602)는 한쪽 전극이 포토 다이오드 리셋 신호선(658)에 전기적으로 접속되고, 다른 쪽 전극이 트랜지스터(640)의 게이트에 전기적으로 접속된다. 트랜지스터(640)에 있어서, 소스 또는 드레인의 한쪽이 포토 센서 기준 신호선(672)에 전기적으로 접속되고, 소스 또는 드레인의 다른 쪽이 트랜지스터(656)의 소스 또는 드레인의 한쪽에 전기적으로 접속된다. 트랜지스터(656)에 있어서, 게이트가 게이트 신호선(659)에 전기적으로 접속되고, 소스 또는 드레인의 다른 쪽이 포토센서 출력 신호선(671)에 전기적으로 접속된다.
- [0248] 또한, 본 명세서의 회로도에 있어서, 산화물 반도체층이 사용되는 트랜지스터라고 명확하게 판명할 수 있도록, 산화물 반도체층이 사용되는 트랜지스터의 기호에는 "OS"라고 기재하였다. 도 7a에서 트랜지스터(640), 트랜지스터(656)에는 실시형태 1 또는 실시형태 2에서 제시한 트랜지스터를 적용할 수 있으며, 산화물 반도체층이 사용된 트랜지스터이다. 본 실시형태에서는 실시형태 1에서 제시한 트랜지스터(310)와 같은 구조를 갖는 트랜지스터를 적용하는 예를 제시한다. 트랜지스터(640)는 보텀 게이트 구조의 트랜지스터이다.
- [0249] 도 7b는 포토센서에 있어서의 포토 다이오드(602) 및 트랜지스터(640)의 단면도이며, 절연 표면을 갖는 기판(601)(소자 기판) 위에, 센서로서 기능하는 포토 다이오드(602) 및 트랜지스터(640)가 제공되어 있다. 포토 다이오드(602), 트랜지스터(640) 위에는 접착층(608)을 사용하여 기판(613)이 제공된다.
- [0250] 트랜지스터(640) 위에는 절연층(632), 충간 절연층(633), 및 충간 절연층(634)이 제공된다. 포토 다이오드

(602)는 충간 절연층(633) 위에 형성된 전극층(641b)과, 전극층(641b) 위에 순차적으로 적층된 제 1 반도체막(606a), 제 2 반도체막(606b), 및 제 3 반도체막(606c)과, 충간 절연층(634) 위에 제공되며 제 1 반도체막 내지 제 3 반도체막을 통하여 전극층(641b)과 전기적으로 접속되는 전극층(642)과, 전극층(641b)과 같은 층에 제공되며 전극층(642)과 전기적으로 접속되는 전극층(641a)을 갖는다.

[0251] 전극층(641b)은 충간 절연층(634)에 형성된 도전층(643)과 전기적으로 접속되고, 전극층(642)은 전극층(641a)을 통하여 도전층(645)과 전기적으로 접속되어 있다. 도전층(645)은, 트랜지스터(640)의 게이트 전극층과 전기적으로 접속되고, 포토 다이오드(602)는 트랜지스터(640)와 전기적으로 접속되어 있다.

[0252] 여기서는, 제 1 반도체막(606a)으로서 p형 도전형을 갖는 반도체막과, 제 2 반도체막(606b)으로서 고저항의 반도체막(i형 반도체막), 제 3 반도체막(606c)으로서 n형 도전형을 갖는 반도체막을 적층한 pin형 포토 다이오드를 예시한다.

[0253] 제 1 반도체막(606a)은 p형 반도체막이며, p형을 부여하는 불순물 원소를 포함하는 비정질 실리콘막에 의하여 형성된다. 제 1 반도체막(606a)의 형성에는 13족의 불순물 원소(예를 들어 붕소(B))를 포함하는 반도체 재료 가스를 사용하고 플라즈마 CVD법이 이용된다. 반도체 재료 가스에는 실란(SiH₄)을 사용하면 좋다. 또는, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하여도 좋다. 또한, 불순물 원소를 포함하지 않는 비정질 실리콘 막을 형성한 후에, 확산법이나 이온 주입법에 의하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 수행함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 비정질 실리콘막을 형성하는 방법으로서는, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 1 반도체막(606a)의 막 두께는 10nm 이상 50nm 이하가 되도록 형성하는 것이 바람직하다.

[0254] 제 2 반도체막(606b)은 i형 반도체막(진성 반도체막)이며, 비정질 실리콘막에 의하여 형성된다. 제 2 반도체막(606b)의 형성에는, 반도체 재료 가스를 사용하여 비정질 실리콘막을 플라즈마 CVD법에 의하여 형성한다. 반도체 재료 가스로서는, 실란(SiH₄)을 사용하면 좋다. 또는, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하여도 좋다. 제 2 반도체막(606b)은, LPCVD법, 기상 성장법, 스퍼터링법 등에 의하여 형성되어도 좋다. 제 2 반도체막(606b)의 막 두께는 200nm 이상 1000nm 이하가 되도록 형성하는 것이 바람직하다.

[0255] 제 3 반도체막(606c)은 n형 반도체막이며 n형을 부여하는 불순물 원소를 포함하는 비정질 실리콘막에 의하여 형성된다. 제 3 반도체막(606c)의 형성에는, 15족의 불순물 원소(예를 들어 인(P))를 포함하는 반도체 재료 가스를 사용하여, 플라즈마 CVD법을 이용한다. 반도체 재료 가스로서는 실란(SiH₄)을 사용하면 좋다. 또는, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등을 사용하여도 좋다. 또한, 불순물 원소를 포함하지 않는 비정질 실리콘막을 형성한 후에, 확산법이나 이온 주입법을 이용하여 상기 비정질 실리콘막에 불순물 원소를 도입하여도 좋다. 이온 주입법 등에 의하여 불순물 원소를 도입한 후에 가열 등을 수행함으로써, 불순물 원소를 확산시키면 좋다. 이 경우에 비정질 실리콘막을 형성하는 방법으로서는, LPCVD법, 기상 성장법, 또는 스퍼터링법 등을 이용하면 좋다. 제 3 반도체막(606c)의 막 두께는 20nm 이상 200nm 이하가 되도록 형성하는 것이 바람직하다.

[0256] 또한, 제 1 반도체막(606a), 제 2 반도체막(606b) 및 제 3 반도체막(606c)을 비정질 반도체가 아니라 다결정 반도체를 사용하여 형성하여도 좋고, 미결정 반도체(세미 어모퍼스 반도체(Semi Amorphous Semiconductor: SAS))를 사용하여 형성하여도 좋다.

[0257] 또한, 광전 효과로 발생한 정공의 이동도는 전자의 이동도에 비하여 작기 때문에, pin형 포토 다이오드는 p형 반도체막 층을 수광면으로 하는 것이 좋은 특성을 나타낸다. 여기서는, pin형 포토다이오드가 형성되어 있는 기판(601)의 표면으로부터 포토 다이오드(602)가 받는 광을 전기 신호로 변환하는 예를 제시한다. 또한, 수광면으로 한 반도체막 층과는 반대의 도전형을 갖는 반도체막 층으로부터의 광은 외란광이 되기 때문에, 전극층에는 차광성을 갖는 도전층을 사용하면 좋다. 또한, n형 반도체막 층을 수광면으로서 사용할 수도 있다.

[0258] 트랜지스터(640)에는, 전류 경로(채널)로서 기능하는 제 2 산화물 반도체층을 끼우고, 제 2 산화물 반도체층에 비하여 캐리어 밀도가 낮은 제 1 산화물 반도체층 및 제 3 산화물 반도체층을 포함한다. 따라서 트랜지스터(640)는 전류 경로가 절연층 계면에서 떨어지도록 형성된 매립 채널형 트랜지스터이며 높은 전계 효과 이동도를 갖는다. 또한 후면 채널 층에 형성될 수 있는 계면 준위의 영향이 저감됨과 함께 트랜지스터의 광열화(예를 들어 광 부 바이어스 열화)가 저감된 신뢰성이 높은 트랜지스터이다.

[0259] 절연층(632), 충간 절연층(633), 충간 절연층(634)은, 절연성 재료가 사용되고, 이 재료에 따라, 스퍼터링법, 플라즈마 CVD법, 스판 코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크젯법), 스크린 인쇄, 오프셋 인쇄 등을

이용하여 형성될 수 있다.

[0260] 층간 절연층(633), 층간 절연층(634)으로서는 표면 요철을 저감시키기 위하여 평탄화 절연층으로서 기능하는 절연층이 바람직하다. 층간 절연층(633), 층간 절연층(634)에는, 예를 들어 폴리아미드, 아크릴 수지, 벤조사이클로부텐계 수지, 폴리아미드, 에폭시 수지 등의, 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 또한, 이 유기 절연 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 봉소 유리) 등의 단층 또는 적층을 사용할 수 있다.

[0261] 포토 다이오드(602)에 입사하는 광을 검출함으로써 피검출물의 정보를 판독할 수 있다. 또한, 피검출물의 정보를 판독할 때, 백 라이트 등의 광원을 사용할 수 있다.

[0262] 본 실시형태에서 제시하는 구성, 방법 등은, 다른 실시형태에서 제시하는 구성, 방법 등과 적절히 조합하여 사용하는 것이 가능하다.

[0263] (실시형태 6)

[0264] 본 명세서에서 제시하는 반도체 장치는, 다양한 전자 기기(게임기도 포함함)에 적용될 수 있다. 전자 기기로서는, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 게임기(파칭코기, 슬롯 머신 등), 게임 하우징을 들 수 있다. 이를 전자 기기의 구체예를 도 8a 내지 도 8c에서 도시하였다.

[0265] 도 8a는 표시부를 갖는 테이블(9000)을 도시한 것이다. 테이블(9000)로서는, 하우징(9001)에 표시부(9003)가 내장되어 있고, 표시부(9003)에 의하여 영상을 표시할 수 있다. 또한, 4개의 다리부(9002)에 의하여 하우징(9001)을 지탱한 구성을 도시하였다. 또한, 하우징(9001)은 전력을 공급하기 위한 전원 코드(9005)를 갖는다.

[0266] 상술한 실시형태 중 어느 형태에서 제시한 반도체 장치는 표시부(9003)에 사용될 수 있고, 전자 기기에 높은 신뢰성을 부여할 수 있다.

[0267] 표시부(9003)는 터치 입력 기능을 가지고 있으며, 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치함으로써, 화면을 조작하거나 정보를 입력할 수 있고, 또한 다른 가전 제품과의 통신을 가능하게 하거나 또는 제어를 가능하게 함으로써, 화면 조작에 의하여 다른 가전 제품을 제어하는 제어 장치로 하여도 좋다. 예를 들어, 실시형태 3에서 제시한 이미지 센서 기능을 갖는 반도체 장치를 사용하면 표시부(9003)에 터치 입력 기능을 부여할 수 있다.

[0268] 또한 하우징(9001)에 제공된 헌지에 의하여, 표시부(9003)의 화면을 바닥에 수직으로 세울 수도 있고, 텔레비전 장치로서도 이용할 수 있다. 좁은 방에서는 화면이 큰 텔레비전 장치를 설치하면 자유로운 공간이 좁게 되지만, 테이블에 표시부가 내장되어 있으면 방의 공간을 유효하게 이용할 수 있다.

[0269] 도 8b는 텔레비전 장치(9100)를 도시한 것이다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 내장되어 있고, 표시부(9103)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9105)에 의하여 하우징(9101)을 지탱하는 구성을 도시하였다.

[0270] 텔레비전 장치(9100)의 조작은, 하우징(9101)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9110)에 의하여 수행할 수 있다. 리모트 컨트롤러(9110)가 구비하는 조작 키(9109)에 의하여, 채널이나 음량을 조작할 수 있고, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9110)에 상기 리모트 컨트롤러(9110)로부터 출력되는 정보를 표시하는 표시부(9107)를 제공하는 구성을 하여도 좋다.

[0271] 도 8b에 도시된 텔레비전 장치(9100)는, 수신기나 모뎀 등을 구비한다. 텔레비전 장치(9100)는 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 수행할 수도 있다.

[0272] 상술한 실시형태 중 어느 형태에서 제시한 반도체 장치는 표시부(9103), 표시부(9107)에 사용될 수 있고, 텔레비전 장치 및 리모트 컨트롤러에 높은 신뢰성을 부여할 수 있다.

[0273] 도 8c는 컴퓨터이며, 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다.

- [0274] 상술한 실시형태 중 어느 형태에서 제시한 반도체 장치는 표시부(9203)에 사용될 수 있고, 컴퓨터에 높은 신뢰성을 부여할 수 있다.
- [0275] 도 9a 및 도 9b는 폴더형 태블릿형 단말을 도시한 것이다. 도 9a는 태블릿형 단말을 연 상태이며, 태블릿형 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 후크(9033), 조작 스위치(9038)를 갖는다.
- [0276] 상술한 실시형태 중 어느 형태에서 제시한 반도체 장치는 표시부(9631a), 표시부(9631b)에 사용될 수 있고, 신뢰성이 높은 태블릿형 단말로 할 수 있다.
- [0277] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있으며, 표시된 조작 키(9638)를 터치함으로써 터치를 입력할 수 있다. 또한 표시부(9631a)에 있어서는, 일례로서 반쪽의 영역이 표시만의 기능을 갖는 구성이고 나머지 영역의 반쪽이 터치 패널 기능을 갖는 구성을 도시하였지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널의 기능을 갖는 구성으로 하여도 좋다. 예를 들어, 표시부(9631a)의 전체면에 키보드 버튼을 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0278] 또한 표시부(9631b)에서도 표시부(9631a)와 마찬가지로 표시부(9631b)의 일부를 터치 패널 영역(9632b)으로 할 수 있다. 또한 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치를 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시시킬 수 있다.
- [0279] 또한, 터치 패널 영역(9632a)과 터치 패널 영역(9632b)에 대하여 동시에 터치 입력을 수행할 수도 있다.
- [0280] 또한, 표시 모드 전환 스위치(9034)는 종 표시 또는 횡 표시 등의 표시 방향을 전환하고, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿형 단말에 내장된 광 센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적인 것으로 할 수 있다. 태블릿형 단말은 광 센서뿐만 아니라, 자이로 센서, 가속도 센서 등의 기울기를 검출하는 센서와 같은 다른 검출 장치를 내장시켜도 좋다.
- [0281] 또한 도 9a에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 도시하였지만 이에 특별히 한정되지 않고, 한쪽 크기와 다른 쪽 크기가 서로 달라도 좋고 표시 품질이 상이하여도 좋다. 예를 들어, 한쪽이 다른 쪽보다 고정세한 표시가 가능한 표시 패널로 하여도 좋다.
- [0282] 도 9b는 태블릿형 단말을 닫은 상태를 도시한 것이며, 태블릿형 단말은 하우징(9630), 태양 전지(9633), 충방전 제어 회로(9634)를 갖는다. 또한, 도 9b에서는 충방전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 갖는 구성을 도시하였다.
- [0283] 또한, 태블릿형 단말은 접을 수 있기 때문에, 사용하지 않을 때는 하우징(9630)을 닫은 상태로 할 수 있다. 따라서, 표시부(9631a), 표시부(9631b)를 보호할 수 있기 때문에 내구성이 우수하며 장기 사용의 관점에서 보아도 신뢰성이 우수한 태블릿형 단말을 제공할 수 있다.
- [0284] 또한 이 외에도 도 9a 및 도 9b에 도시된 태블릿형 단말은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작하거나 또는 편집하는 터치 입력 기능, 각종 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다.
- [0285] 태블릿형 단말의 표면에 장착된 태양 전지(9633)에 의하여, 터치 패널, 표시부, 또는 영상 신호 처리부 등에 전력을 공급할 수 있다. 또한 태양 전지(9633)는 하우징(9630)의 한쪽 면 또는 양쪽 면에 제공할 수 있고, 배터리(9635)의 충전을 효율적으로 행할 수 있다. 또한, 배터리(9635)로서는 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0286] 또한 도 9b에 도시된 충방전 제어 회로(9634)의 구성 및 동작에 대하여 도 9c의 블록도를 참조로 설명한다. 도 9c는, 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3), 표시부(9631)에 대하여 도시한 것이고, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1 내지 SW3)가, 도 9b에 도시된 충방전 제어 회로(9634)에 대응하는 개소가 된다.
- [0287] 우선, 외광에 의하여 태양 전지(9633)에 의하여 발전되는 경우의 동작의 예에 대하여 설명한다. 태양 전지에 의하여 발전된 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)로 승압 또는 강압된다. 그리고, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는 스위치(SW1)를 온 상태로 하고, 컨버터(9637)에 의하여 표시부(9631)에 필요한 전압으로 승압 또는 강압을 수행한다. 또한, 표시부(9631)에 있

어서 표시를 행하지 않을 때는, 스위치(SW1)를 오프 상태로 하고, 스위치(SW2)를 온 상태로 하고 배터리(9635)를 충전하는 구성으로 하면 좋다.

[0288] 또한, 태양 전지(9633)에 대해서는 발전 수단의 일례로서 도시하였지만, 특별히 한정되지 않고 압전 소자(파에조 소자)나 열전 변환 소자(펠티어 소자) 등의 다른 발전 수단에 의한 배터리(9635)를 충전하는 구성이어도 좋다. 예를 들어, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 또한 다른 충전 수단을 조합하여 수행하는 구성으로 하여도 좋다.

[0289] 본 실시형태에서 제시하는 구성, 방법 등은, 다른 실시형태에서 제시하는 구성, 방법등과 적절히 조합하여 사용할 수 있다.

부호의 설명

[0290]	310: 트랜지스터	320: 트랜지스터
	330: 트랜지스터	400: 기판
	402: 게이트 전극층	403: 제 1 게이트 절연층
	403a: 게이트 절연층	403b: 게이트 절연층
	403c: 게이트 절연층	404: 게이트 절연층
	404a: 게이트 절연층	404b: 게이트 절연층
	406: 제 2 게이트 절연층	407a: 산화물 반도체막
	407b: 산화물 반도체막	407c: 산화물 반도체막
	408: 산화물 반도체 적층	408a: 제 1 산화물 반도체층
	408b: 제 2 산화물 반도체층	408c: 제 3 산화물 반도체층
	409: 산화물 반도체 적층	409c: 제 3 산화물 반도체층
	410a: 소스 전극층	410b: 드레인 전극층
	412: 절연층	412a: 절연층
	412b: 절연층	491: 공통 전위선
	492: 공통 전극	500: 기판
	501: 게이트 절연층	502: 게이트 절연층
	504: 충간 절연층	505: 컬러 필터층
	506: 절연층	507: 격벽
	510: 트랜지스터	511a: 게이트 전극층
	511b: 게이트 전극층	512: 산화물 반도체 적층
	512a: 제 1 산화물 반도체층	512b: 제 2 산화물 반도체층
	512c: 제 3 산화물 반도체층	513a: 도전층
	513b: 도전층	520: 용량 소자
	521a: 도전층	521b: 도전층
	522: 산화물 반도체 적층	522a: 제 1 산화물 반도체층
	522b: 제 2 산화물 반도체층	522c: 제 3 산화물 반도체층
	523: 도전층	525: 절연층
	530: 배선층 교차부	533: 도전층

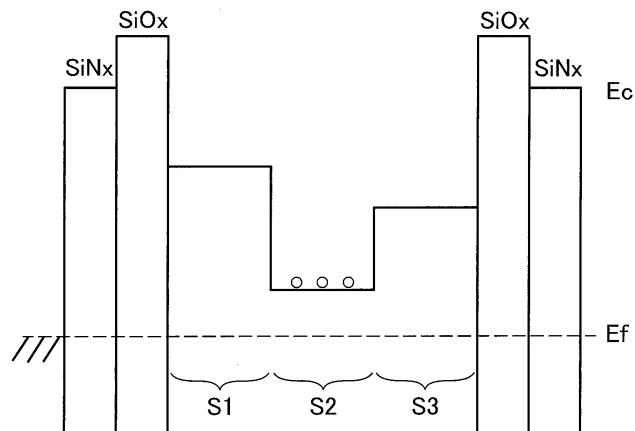
540: 발광 소자	541: 전극층
542: 전계 발광층	543: 전극층
601: 기판	602: 포토 다이오드
606a: 반도체막	606b: 반도체막
606c: 반도체막	608: 접착층
613: 기판	632: 절연층
633: 중간 절연층	634: 중간 절연층
640: 트랜지스터	641a: 전극층
641b: 전극층	642: 전극층
643: 도전층	645: 도전층
656: 트랜지스터	658: 포토 다이오드 리셋 신호
659: 게이트 신호선	671: 포토센서 출력 신호선
672: 포토센서 기준 신호선	2000: 기판
2001: 스퍼터링 입자	2002: 스퍼터링 타깃
2003: 체임버	4001: 기판
4002: 화소부	4003: 신호선 구동 회로
4004: 주사선 구동 회로	4005: 실재
4006: 기판	4008: 액정층
4010: 트랜지스터	4011: 트랜지스터
4013: 액정 소자	4015: 접속 단자 전극
4016: 단자 전극	4018: FPC
4019: 이방성 도전층	4020: 게이트 절연층
4031: 전극층	4032: 절연층
4033: 절연층	4034: 전극층
4035: 스페이서	4038: 절연층
4040: 평탄화 절연층	4042: 절연층
9000: 테이블	9001: 하우징
9002: 다리부	9003: 표시부
9004: 표시 버튼	9005: 전원 코드
9033: 후크	9034: 스위치
9035: 전원 스위치	9036: 스위치
9038: 조작 스위치	9100: 텔레비전 장치
9101: 하우징	9103: 표시부
9105: 스탠드	9107: 표시부
9109: 조작 키	9110: 리모트 컨트롤러
9201: 본체	9202: 하우징

9203: 표시부
 9205: 외부 접속 포트
 9630: 하우징
 9631a: 표시부
 9632a: 영역
 9633: 태양 전지
 9635: 배터리
 9637: 컨버터
 9639: 버튼

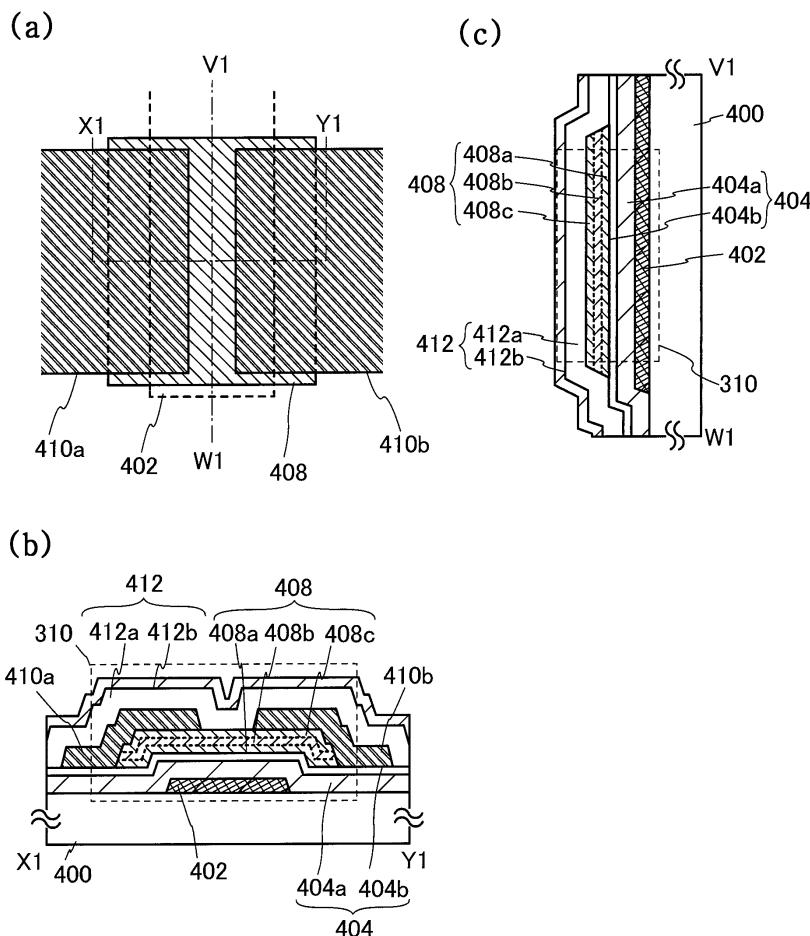
9204: 키보드
 9206: 포인팅 디바이스
 9631: 표시부
 9631b: 표시부
 9632b: 영역
 9634: 충방전 제어 회로
 9636: DCDC 컨버터
 9638: 조작 키

도면

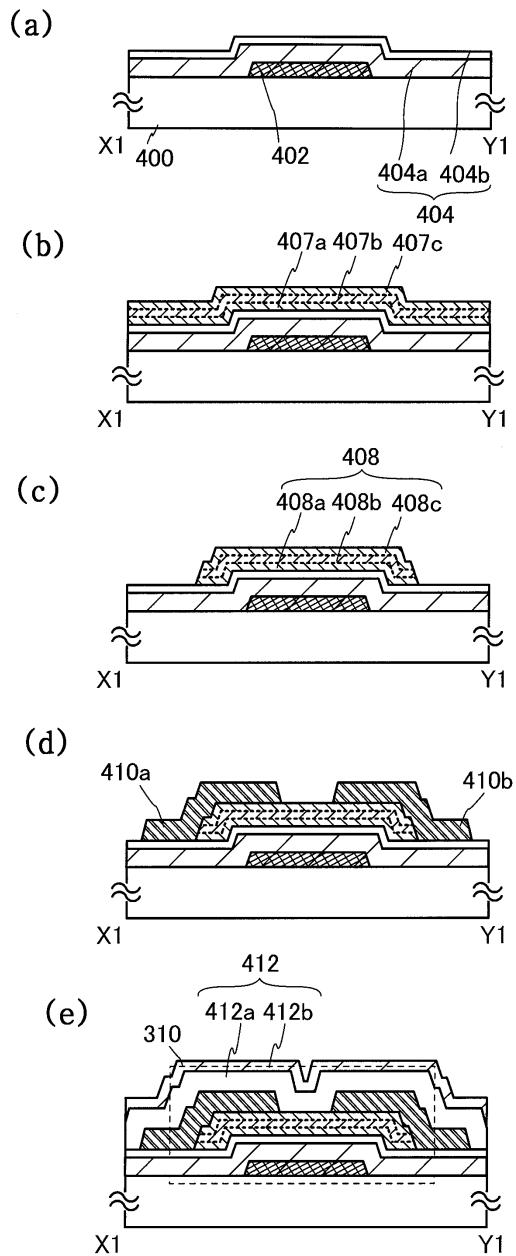
도면1



도면2

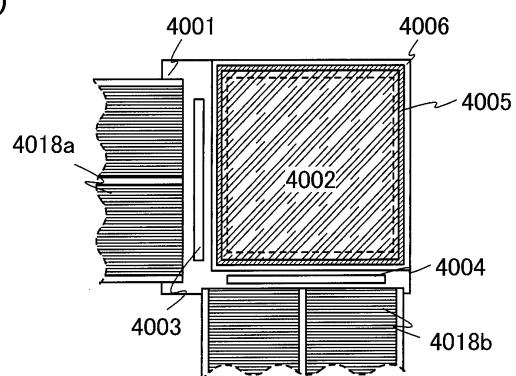


도면3

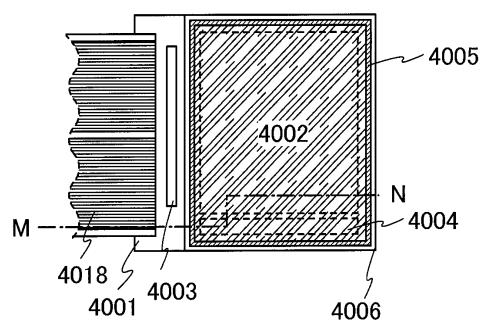


도면4

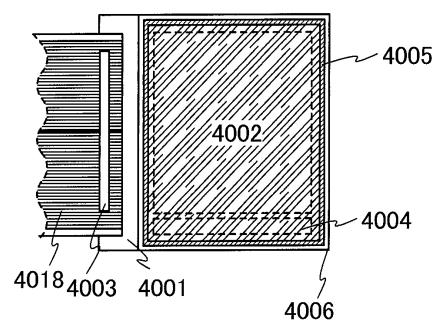
(a)



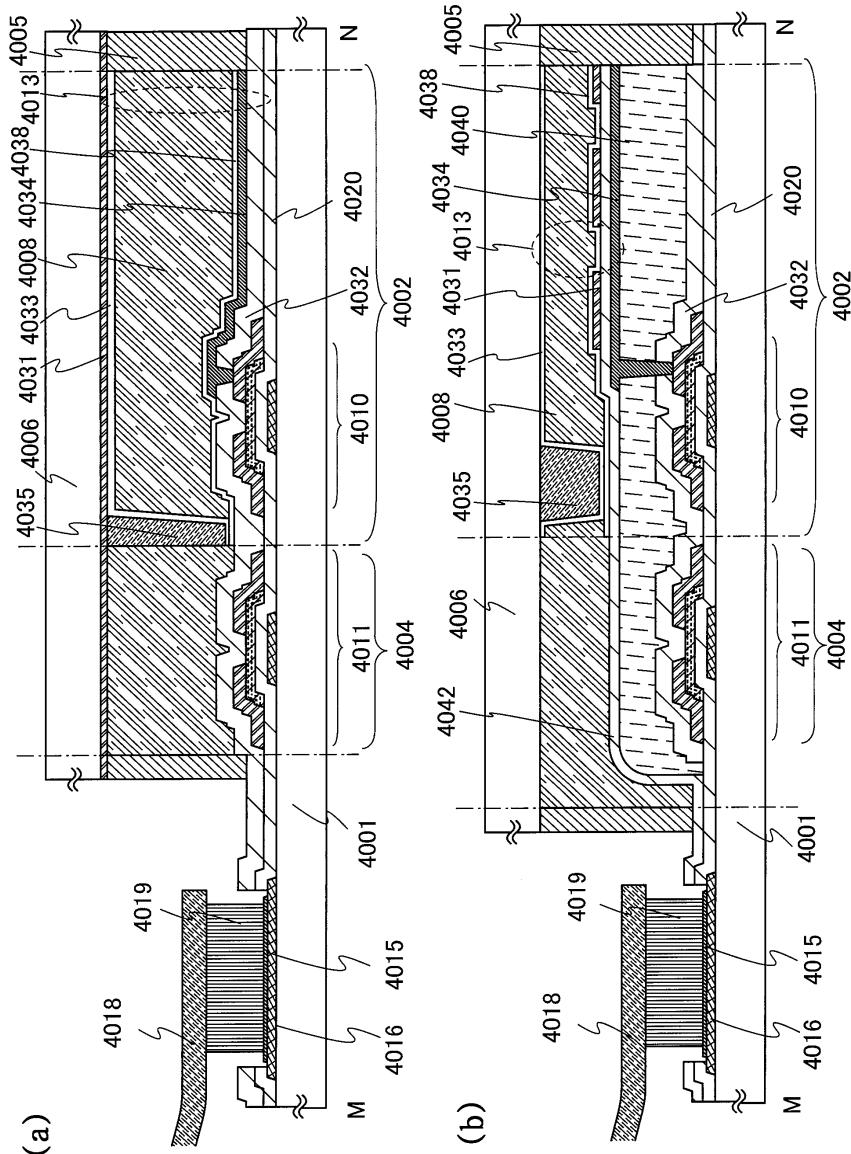
(b)



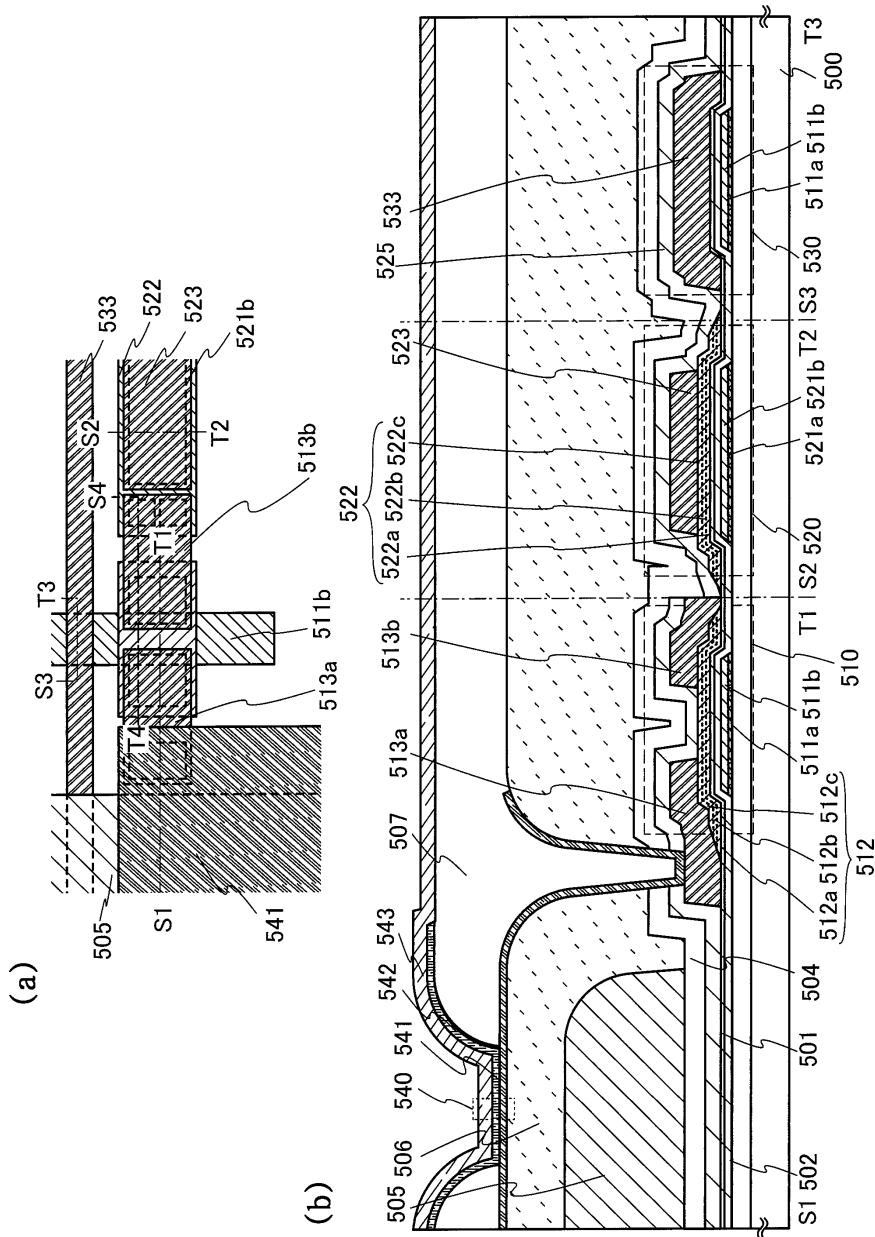
(c)



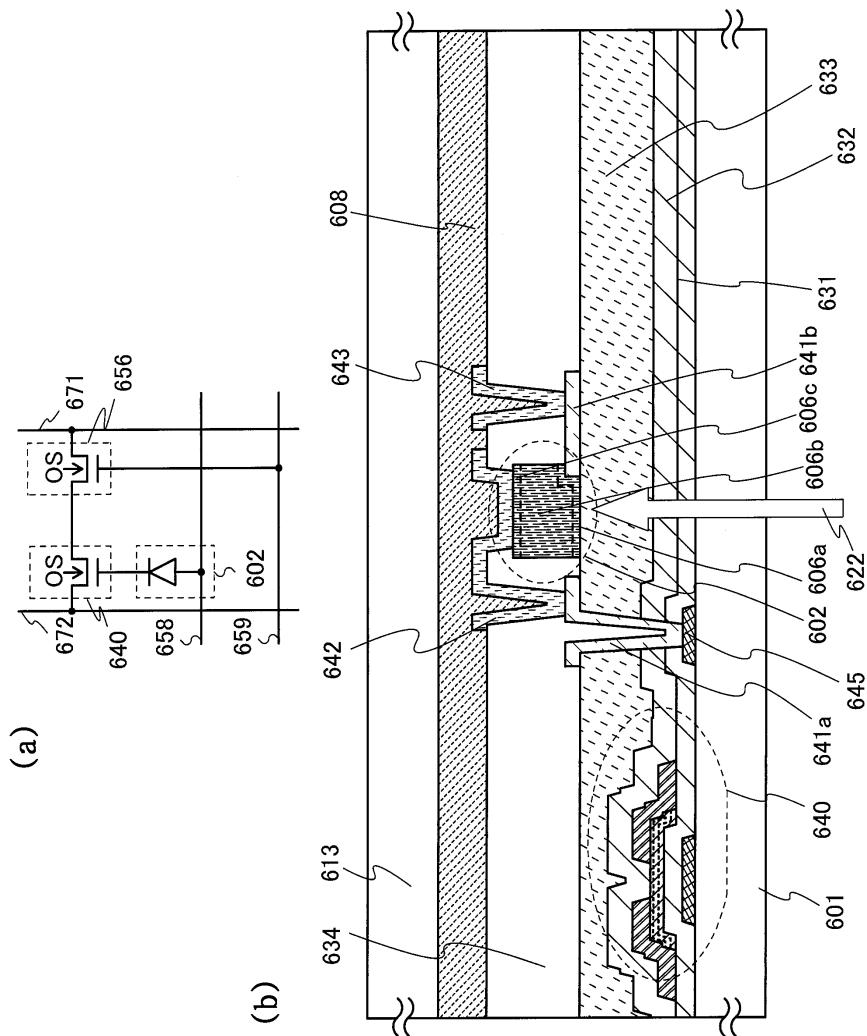
도면5



도면6

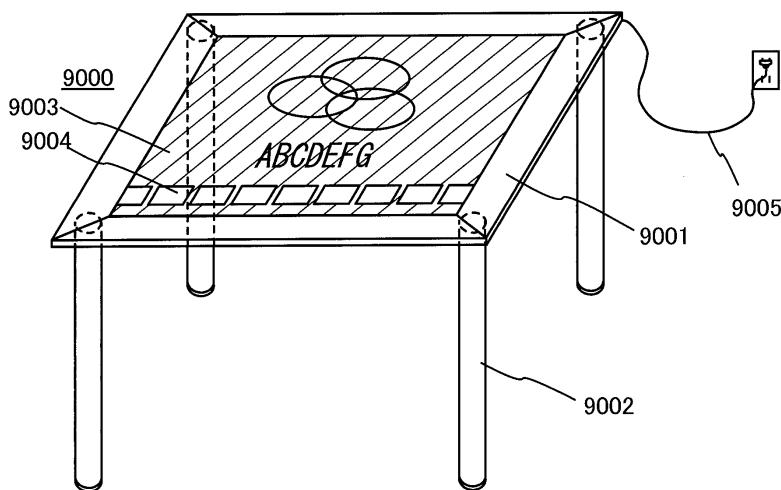


도면7

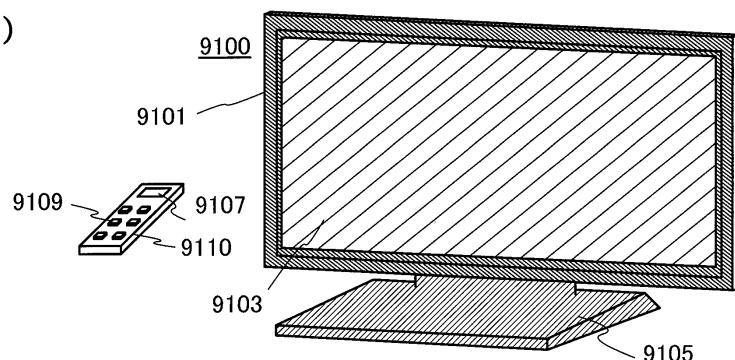


도면8

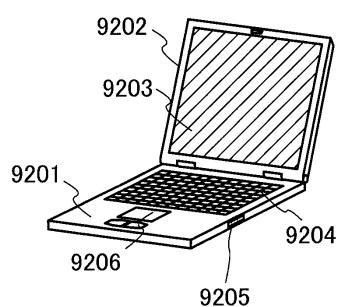
(a)



(b)

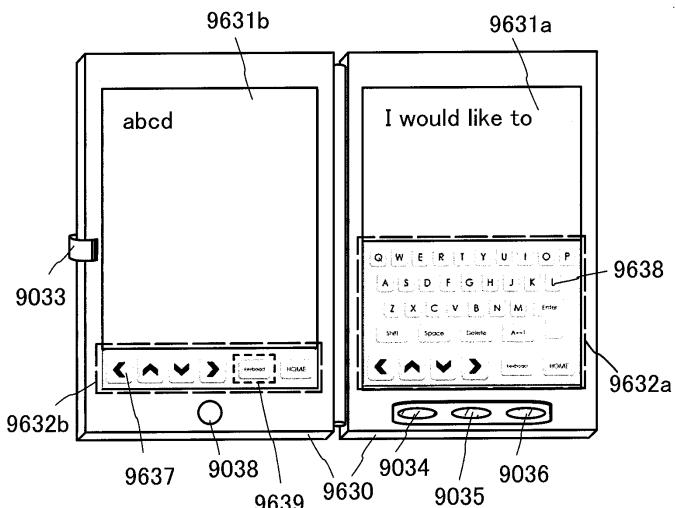


(c)

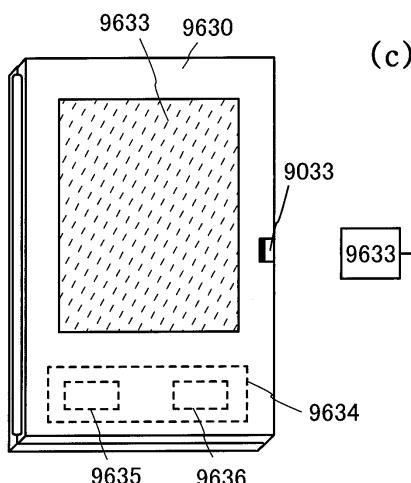


도면9

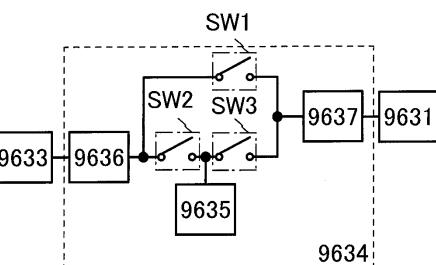
(a)



(b)

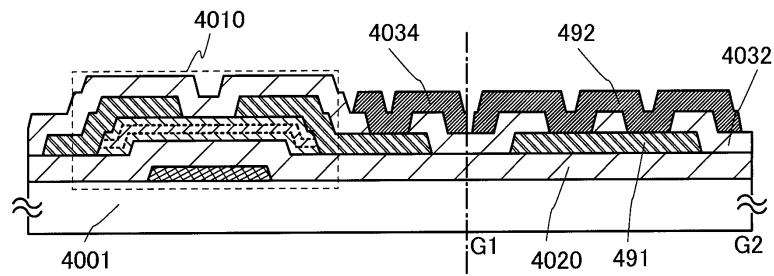


(c)

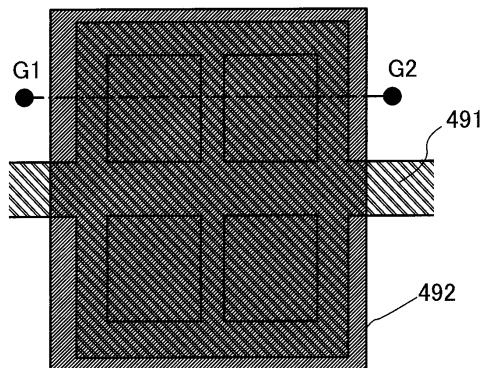


도면10

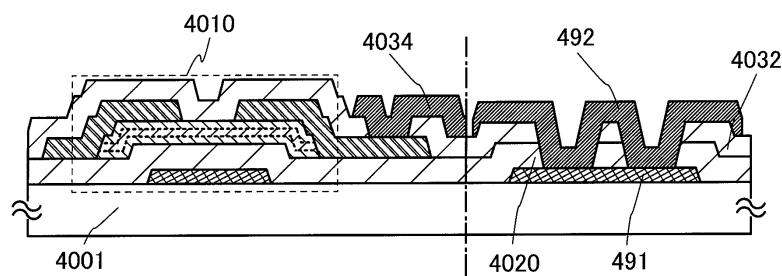
(a)



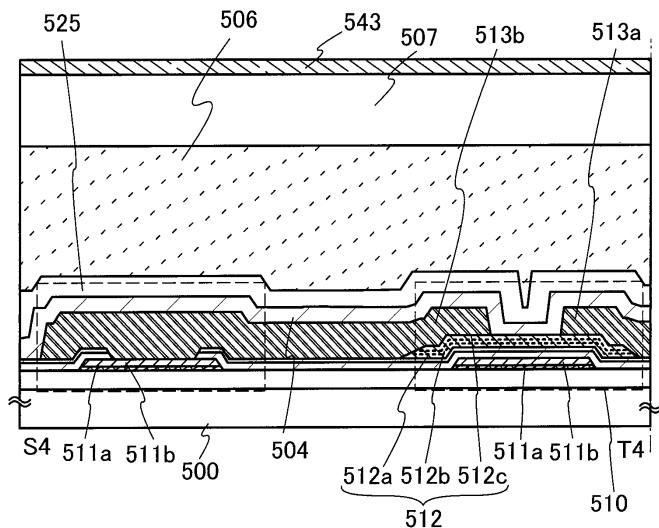
(b)



(c)

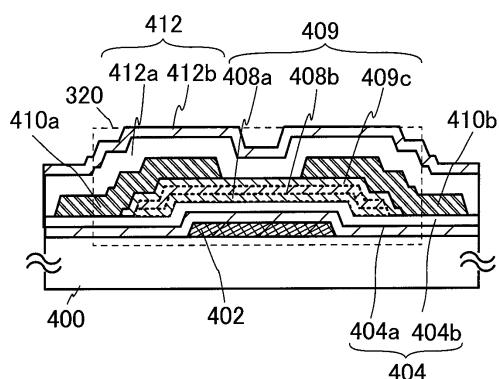


도면11

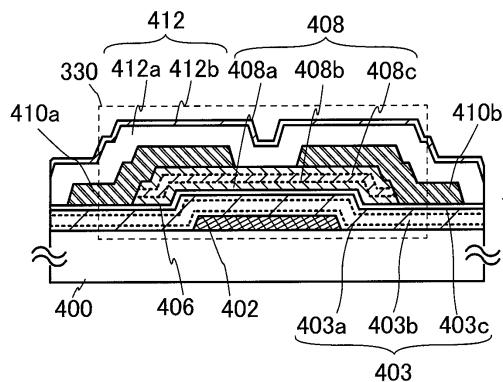


도면12

(a)

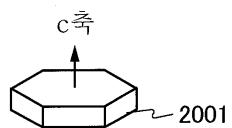


(b)

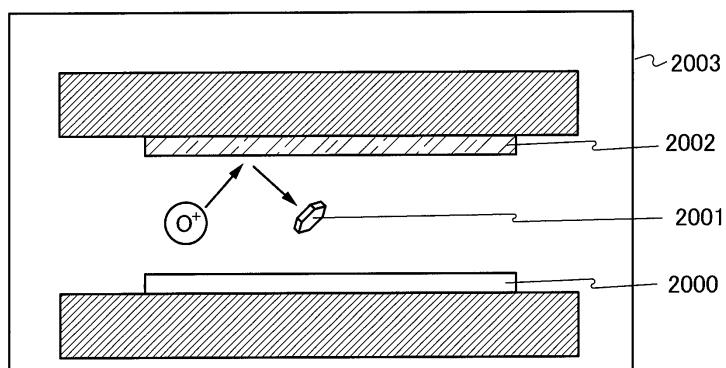


도면13

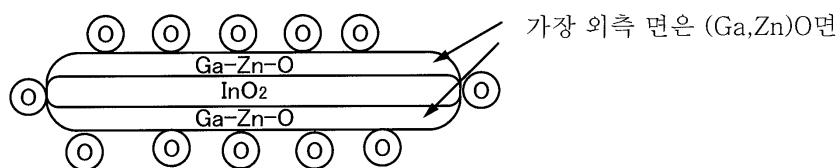
(a)



(b)

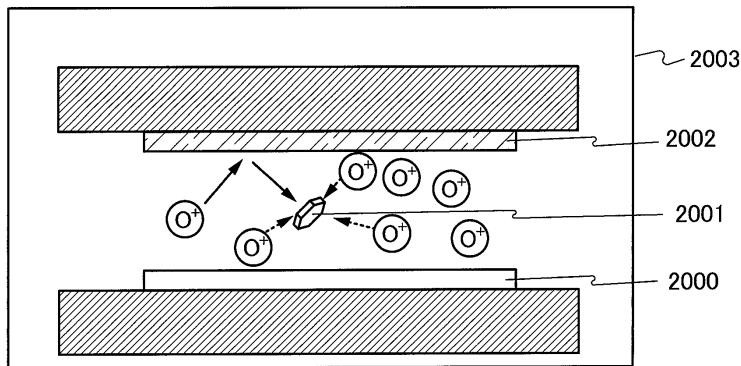


(c)

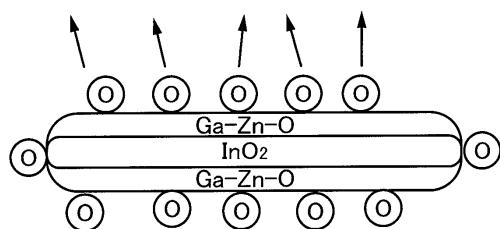


도면14

(a)

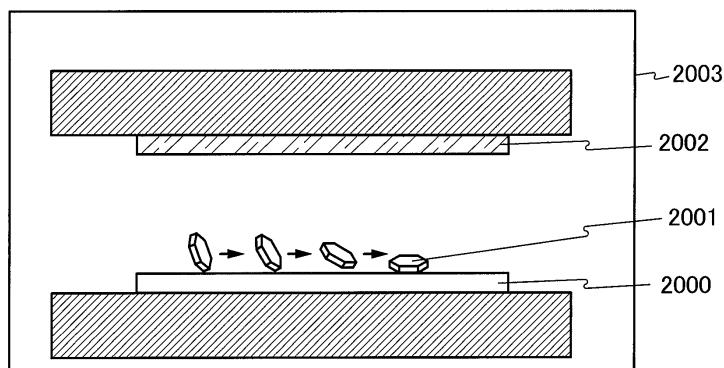


(b)

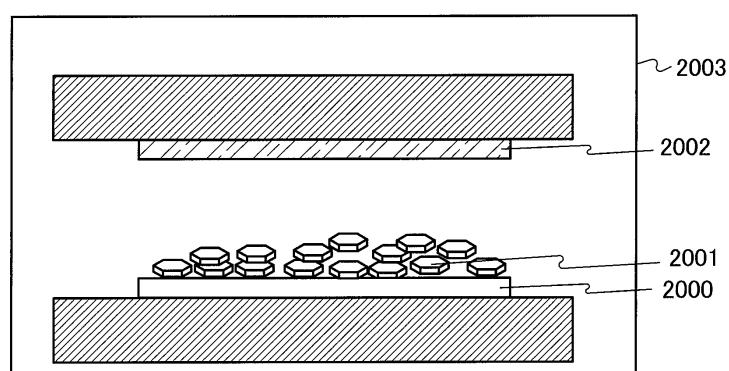


도면15

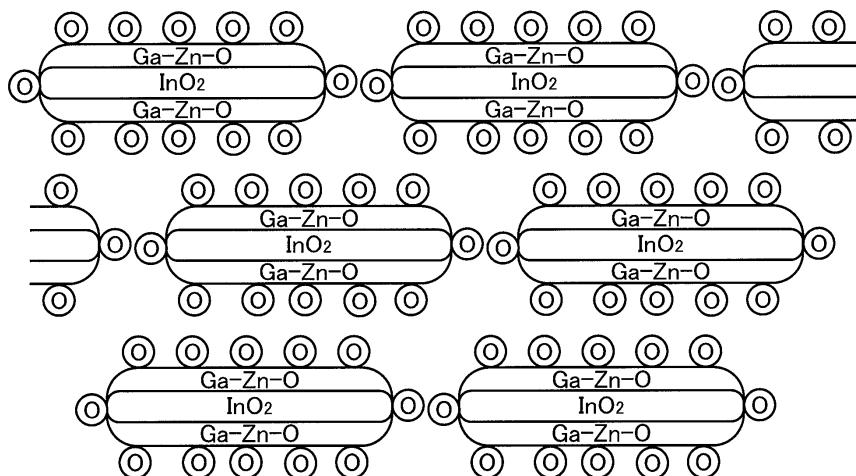
(a)



(b)



(c)



도면16

