

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 8 月 1 日(01.08.2013)



(10) 国際公開番号

WO 2013/111497 A1

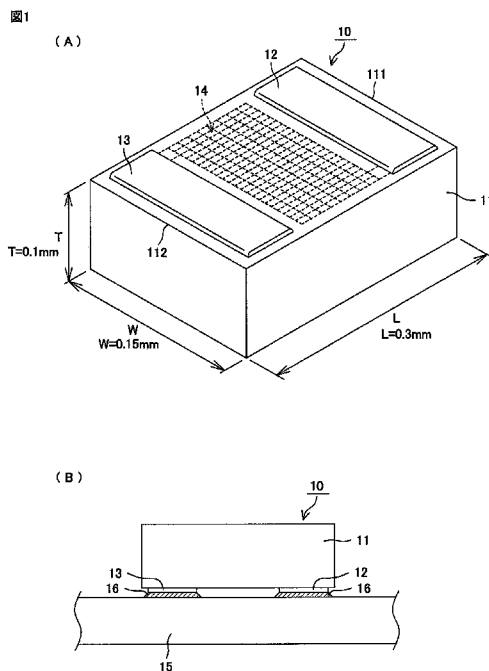
- (51) 国際特許分類:
H01G 2/06 (2006.01) H01G 4/255 (2006.01)
H01C 7/00 (2006.01) H01L 21/822 (2006.01)
H01C 13/02 (2006.01) H01L 27/04 (2006.01)
H01C 17/22 (2006.01)
- (21) 国際出願番号: PCT/JP2012/083570
- (22) 国際出願日: 2012 年 12 月 26 日(26.12.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-015573 2012 年 1 月 27 日(27.01.2012) JP
特願 2012-015574 2012 年 1 月 27 日(27.01.2012) JP
特願 2012-039181 2012 年 2 月 24 日(24.02.2012) JP
特願 2012-039182 2012 年 2 月 24 日(24.02.2012) JP
特願 2012-042301 2012 年 2 月 28 日(28.02.2012) JP
特願 2012-060556 2012 年 3 月 16 日(16.03.2012) JP
特願 2012-081628 2012 年 3 月 30 日(30.03.2012) JP
特願 2012-085668 2012 年 4 月 4 日(04.04.2012) JP
特願 2012-272742 2012 年 12 月 13 日(13.12.2012) JP
- (71) 出願人: ローム株式会社(ROHM CO., LTD.) [JP/JP];
〒6158585 京都府京都市右京区西院溝崎町 2 1
番地 Kyoto (JP).

- (72) 発明者: 玉川 博詞(TAMAGAWA, Hiroshi); 〒
6158585 京都府京都市右京区西院溝崎町 2 1 番
地 ローム株式会社内 Kyoto (JP). 山本 浩貴
(YAMAMOTO, Hiroki); 〒6158585 京都府京都市右
京区西院溝崎町 2 1 番地 ローム株式会社内
Kyoto (JP). 松浦 勝也(MATSUURA, Katsuya); 〒
6158585 京都府京都市右京区西院溝崎町 2 1 番
地 ローム株式会社内 Kyoto (JP). 近藤 靖浩
(KONDO, Yasuhiro); 〒6158585 京都府京都市右京
区西院溝崎町 2 1 番地 ローム株式会社内
Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外(INAOKA, Kosaku et al.);
〒5410054 大阪府大阪市中央区南本町 2 丁目 6
番 1 2 号 サンマリオン N B F タワー 2 1 階
あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,

[続葉有]

(54) Title: CHIP COMPONENT

(54) 発明の名称: チップ部品



(57) Abstract: [Problem] There is a need for a chip component which has excellent mountability, which can accommodate multiple types of requested values with a common basic design, and which has improved geometric accuracy and micromachining accuracy. [Solution] A chip resistor (10) (chip component) which includes: a substrate (11); an element circuit network (20, 21) which includes multiple element components formed on the substrate (11); an external connection electrode (12) provided on the substrate (11) for external connection to the element circuit network (20, 21); multiple fuses provided on the substrate (11) for detachably connecting the element components and the external connection electrode (12); and a solder layer (124) formed on the external connection terminal of the external connection electrode (12). [Effect] Because the external connection electrode (12) provided on the chip resistor (10) includes a solder layer (124) on the outside connection terminal, during mounting of the chip resistor (10), the chip resistor (10) can be easily mounted without solder printing. Further, the amount of solder used for mounting is decreased, and chip resistors (10) can be achieved in which solder extrusions do not occur and which can be mounted with high density.

(57) 要約: 【課題】共通の基本設計で複数種類の要求値に対応することができ、しかも形状寸法精度および微細加工精度の向上したチップ部品であって、実装性に優れたチップ部品が望まれている。【解決手段】基板 11 と、基板 11 上に形成された複数の素子要素を含む素子回路網 20、21 と、基板 11 上に設けられ、素子回路網 20、21 を外部接続するための外部接続電極 12 と、基板 11 上に形成され、複数の素子要素と外部接続電極 12 とを切り離し可能にそれぞれ接続する複数のヒューズと、外部接続電極 12 の外部接続端に形成されたはんだ層 124 とを含むチップ抵抗器 10 (チップ部品) である。【効果】チップ抵抗器 10 に備えられた外部接続電極 12 は、その外部接続端にはんだ層 124 を含んでいるため、チップ抵抗器 10 の実装時に、はんだ印刷を不要にして、容易に実装ができる。また、実装のためのはんだ量が減少し、はんだのはみ出し等が生じず、高密度実装が可能なチップ抵抗器 10 とすることができる。



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : チップ部品

技術分野

[0001] この発明は、ディスクリート部品としてのチップ抵抗器やチップコンデンサ等のチップ部品に関する。

背景技術

[0002] たとえば、チップ抵抗器は、従来、セラミック等の絶縁基板と、その表面に材料ペーストをスクリーン印刷して形成された抵抗膜と、抵抗膜に接続された電極とを含む構成をしている。そして、チップ抵抗器の抵抗値を目標値に合わせるために、抵抗膜に対してレーザー光線を照射してトリミング溝を刻設するレーザートリミングが行われていた（特許文献1参照）。

[0003] また、特許文献2は、チップ部品の他の例として、ベース基板の表面に内部電極を介して誘電体層を形成し、この誘電体層上にレーザによりトリミング可能な上部電極を前記内部電極と対向して形成したレーザトリマブルコンデンサを開示している。上部電極の一部がレーザによって除去され、それによって、電極間の静電容量が所望の値に追い込まれる。

先行技術文献

特許文献

[0004] 特許文献1：特開2001-76912号公報

特許文献2：特開2001-284166号公報

発明の概要

発明が解決しようとする課題

[0005] 従来のチップ抵抗器は、レーザートリミングによって抵抗値が目標値になるように合わせ込まれるため、幅広い抵抗値に対応することができない。また、チップ抵抗器は、年々小型化が進行しているので、高抵抗品を開発しようとしても、抵抗膜の配置面積の制約から、高抵抗化が困難であった。さらに、チップ抵抗器は形状寸法精度を向上させなければ、基板実装時の搬送

エラー等のトラブルを招き易いため、形状寸法精度の向上および微細加工精度の向上がチップ抵抗器の製造上における重要な課題であった。

[0006] また、上記の構造のチップコンデンサでは、複数種類の容量値のコンデンサが必要な場合に、その複数の容量値対応した複数種類の個別にコンデンサを設計する必要がある。そのため、設計のための長い期間が必要となり、かつ、そのための多大な労力が必要となる。しかも、コンデンサが搭載される機器の仕様変更のために新たな容量値のコンデンサが必要となったときに、速やかに対応することができない。

[0007] この発明の目的は、上述の背景のもとになされたもので、共通の基本設計で複数種類の要求値に対応することができ、しかも形状寸法精度および微細加工精度の向上したチップ部品であって、実装性に優れたチップ部品を提供することを主たる目的とする。

課題を解決するための手段

[0008] 請求項 1 記載の発明は、基板と、前記基板上に形成された複数の素子要素を含む素子回路網と、前記基板上に設けられ、前記素子回路網を外部接続するための外部接続電極と、前記基板上に形成され、前記複数の素子要素と前記外部接続電極とを切り離し可能にそれぞれ接続する複数のヒューズと、前記外部接続電極の外部接続端に形成されたはんだ層とを含むことを特徴とする、チップ部品である。

[0009] 請求項 2 記載の発明は、前記素子回路網が、前記基板上に形成された複数の抵抗体を含む抵抗回路網を含み、前記チップ部品がチップ抵抗器であることを特徴とする、請求項 1 記載のチップ部品である。 請求項 3 記載の発明は、前記抵抗体が、前記基板上に形成された抵抗体膜および前記抵抗体膜に積層された配線膜を含むことを特徴とする、請求項 2 に記載のチップ部品である。

[0010] 請求項 4 記載の発明は、前記配線膜およびヒューズは、同一レイヤーに形成された導体膜であり、前記外部接続電極が設けられる基板上にも、前記導体膜が設けられていることを特徴とする、請求項 3 記載のチップ部品である。

請求項 5 記載の発明は、前記素子回路網が、前記基板上に形成された複数のキャパシタ要素を含むキャパシタ回路網を含み、前記チップ部品がチップコンデンサであることを特徴とする、請求項 1 に記載のチップ部品である。

[0011] 請求項 6 記載の発明は、前記キャパシタ要素が、前記基板上に形成された容量膜と、前記容量膜を挟んで対向する下部電極および上部電極とを含み、前記下部電極および前記上部電極が、分離された複数の電極膜部分を含み、前記複数の電極膜部分が前記複数のヒューズにそれぞれ接続されていることを特徴とする、請求項 5 に記載のチップ部品である。 請求項 7 記載の発明は、前記下部電極または前記上部電極の一部は、前記外部電極が設けられる基板領域にも導体膜として設けられていることを特徴とする、請求項 6 に記載のチップ部品である。

[0012] 請求項 8 記載の発明は、前記素子回路網が、前記基板上に形成されたインダクタ（コイル）およびそれに関連する配線を含み、前記チップ部品がチップインダクタであることを特徴とする、請求項 1 に記載のチップ部品。 請求項 9 記載の発明は、前記素子回路網が、前記基板上に形成された接合構造を有する複数のダイオードを含むダイオード回路網を含み、前記チップ部品がチップダイオードであることを特徴とする、請求項 1 に記載のチップ部品である。

[0013] 請求項 10 記載の発明は、前記複数のダイオードが、LEDを含むLED回路網であり、前記チップ部品がチップLEDであることを特徴とする、請求項 9 に記載のチップ部品である。 請求項 11 記載の発明は、前記外部接続電極は、前記素子回路網の一部を形成する導体膜上に積層された導体材料により構成されていることを特徴とする、請求項 4 ～ 10 のいずれか一項に記載のチップ部品である。

[0014] 請求項 12 記載の発明は、前記導体材料は多層構造の導体材料膜を含むことを特徴とする、請求項 11 に記載のチップ部品である。 請求項 13 記載の発明は、前記外部接続電極は、ニッケル層、パラジウム層、金層およびはん

だ層を含むことを特徴とする、請求項4～12のいずれか一項に記載のチップ部品である。

- [0015] 請求項14記載の発明は、前記外部接続電極は、銅層およびはんだ層を含むことを特徴とする、請求項4～12のいずれか一項に記載のチップ部品である。

発明の効果

- [0016] 請求項1記載の発明によれば、チップ部品に備えられた外部接続電極は、その外部接続端にはんだ層を含んでいるため、チップ部品の実装時に、はんだ印刷を不要にして、容易に実装のできるチップ部品とすることができ。

また、実装のためのはんだ量が減少し、はんだのはみ出し等が生じず、高密度実装が可能なチップ部品とすることができる。

- [0017] 請求項2または3記載の発明によれば、実装が容易で、かつ高密度実装が可能なチップ抵抗器を提供することができる。請求項4記載の発明によれば、チップ部品がチップ抵抗器の場合に、外部接続電極を抵抗回路網と確実に接続でき、かつ外部接続電極の基板への組み込みが容易になる。請求項5または6記載の発明によれば、実装が容易なチップ部品としてのチップコンデンサを提供することができる。

- [0018] 請求項7記載の発明によれば、チップコンデンサにおいて外部接続電極を設け易く、かつ電氣的に確実に外部接続電極を組み込むことができる。請求項8記載の発明によれば、チップインダクタにおいて外部接続電極を設け易く、かつ電氣的に確実に外部接続電極を組み込むことができる。請求項9記載の発明によれば、チップダイオードにおいて外部接続電極を設け易く、かつ電氣的に確実に外部接続電極を組み込むことができる。

- [0019] 請求項10記載の発明によれば、チップLEDにおいて外部接続電極を設け易く、かつ電氣的に確実に外部接続電極を組み込むことができる。請求項11記載の発明によれば、チップ部品に外部接続電極が良好に組み込まれた構造を提供することができる。請求項12記載の発明によれば、導電性能に優れ、しかも実装のし易いチップ部品とすることができる。

[0020] 請求項 1 3 記載の発明によれば、実装時のはんだ印刷を不要にし、実装が容易なチップ部品とすることができる。請求項 1 4 記載の発明においても、請求項 1 3 記載の発明と同様、実装時のはんだ印刷を不要にして、容易に実装できるチップ部品とすることができる。

図面の簡単な説明

[0021] [図1]図 1 (A) は、この発明の一実施形態に係るチップ抵抗器 1 0 の外観構成を示す図解的な斜視図であり、図 1 (B) は、チップ抵抗器 1 0 が基板上に実装された状態を示す側面図である。

[図2]図 2 は、チップ抵抗器 1 0 の平面図であり、第 1 接続電極 1 2、第 2 接続電極 1 3 および抵抗回路網 1 4 の配置関係ならびに抵抗回路網 1 4 の平面視の構成を示す図である。

[図3A]図 3 A は、図 2 に示す抵抗回路網 1 4 の一部分を拡大して描いた平面図である。

[図3B]図 3 B は、抵抗回路網 1 4 における抵抗体 R の構成を説明するために描いた長さ方向の縦断面図である。

[図3C]図 3 C は、抵抗回路網 1 4 における抵抗体 R の構成を説明するために描いた幅方向の縦断面図である。

[図4]図 4 は、抵抗膜ライン 2 0 および導体膜 2 1 の電気的特徴を回路記号および電気回路図で示した図である。

[図5]図 5 (A) は、図 2 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡大平面図であり、図 5 (B) は、図 5 (A) の B-B に沿う断面構造を示す図である。

[図6]図 6 は、図 2 に示す抵抗回路網 1 4 における複数種類の抵抗単位体を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図7]図 7 は、抵抗回路網 1 4 の電気回路図である。

[図8]図 8 は、チップ抵抗器 3 0 の平面図であり、第 1 接続電極 1 2、第 2 接

続電極 1 3 および抵抗回路網 1 4 の配置関係ならびに抵抗回路網 1 4 の平面視の構成を示す図である。

[図9]図 9 は、図 8 に示す抵抗回路網 1 4 における複数種類の抵抗単位体を接続する接続用導体膜 C およびヒューズ膜 F の配置関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図10]図 1 0 は、抵抗回路網 1 4 の電気回路図である。

[図11]図 1 1 は、この発明の一実施形態に係るチップコンデンサの平面図である。

[図12]図 1 2 は、図 1 1 の切断面線 X II－X II から見た断面図である。

[図13]図 1 3 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図14]図 1 4 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図15]図 1 5 は、この発明の他の実施形態に係るチップコンデンサの構成を説明するための平面図である。

[図16]図 1 6 は、この発明のさらに他の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

[図17]図 1 7 は、この発明の特徴である外部接続電極の構成の一例を示す図解的な断面図である。

[図18]図 1 8 は、チップ抵抗器 1 0 に適用された他の外部接続電極構造を示す図解的な部分断面図である。

[図19]図 1 9 は、この発明の一実施形態に係る外部接続電極がチップコンデンサ 1 に適用された場合の構成を説明する図解的な部分断面図である。

[図20]図 2 0 は、チップコンデンサ 1 に適用した他の外部接続電極の構成例を示す部分縦断面図である。

[図21]図 2 1 は、半導体ウエハ(シリコンウエハ)からチップ抵抗器が切り出されることを説明する図解図である。

[図22]図22(A)は、第1参考例の一実施形態に係るチップ抵抗器a10の外観構成を示す図解的な斜視図であり、図22(B)は、チップ抵抗器a10が基板上に実装された状態を示す側面図である。

[図23]図23は、チップ抵抗器a10の平面図であり、第1接続電極a12、第2接続電極a13および抵抗回路網a14の配置関係ならびに抵抗回路網a14の平面視の構成を示す図である。

[図24A]図24Aは、図23に示す抵抗回路網a14の一部分を拡大して描いた平面図である。

[図24B]図24Bは、抵抗回路網a14における抵抗体Rの構成を説明するために描いた長さ方向の縦断面図である。

[図24C]図24Cは、抵抗回路網a14における抵抗体Rの構成を説明するために描いた幅方向の縦断面図である。

[図25]図25は、抵抗膜ラインa20および導体膜a21の電気的特徴を回路記号および電気回路図で示した図である。

[図26]図26(A)は、図23に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズ膜Fを含む領域の部分拡大平面図であり、図26(B)は、図26(A)のB-Bに沿う断面構造を示す図である。

[図27]図27は、図23に示す抵抗回路網a14における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配列関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図28]図28は、抵抗回路網a14の電気回路図である。

[図29]図29は、チップ抵抗器a30の平面図であり、第1接続電極a12、第2接続電極a13および抵抗回路網a14の配置関係ならびに抵抗回路網a14の平面視の構成を示す図である。

[図30]図30は、図29に示す抵抗回路網a14における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配置関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続

関係を図解的に示す図である。

[図31]図31は、抵抗回路網a14の電気回路図である。

[図32]図32は、第1参考例の一実施形態に係るチップコンデンサの平面図である。

[図33]図33は、図32の切断面線XXXIII-XXXIIIから見た断面図である。

[図34]図34は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図35]図35は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図36]図36は、第1参考例の他の実施形態に係るチップコンデンサの構成を説明するための平面図である。

[図37]図37は、第1参考例のさらに他の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

[図38]図38は、第1参考例の特徴である外部接続電極の構成の一例を説明するための図であり、(A)はチップ抵抗器a10の部分平面図で、切断箇所B-Bを示す図、(B)は(A)におけるB-Bに沿う切断部分の図解的な部分縦断面図である。

[図39]図39は、第1参考例の一実施形態に係る外部接続電極がチップコンデンサa1に適用された場合の構成を説明する図解的な部分断面図である。

[図40]図40は、半導体ウエハ(シリコンウエハ)からチップ抵抗器が切り出されることを説明する図解図である。

[図41]図41は、第2参考例の一実施形態に係るチップ抵抗器b1の斜視図である。

[図42]図42は、第2参考例の一実施形態に係るチップ抵抗器b1の平面図である。

[図43]図43は、図42のXLIII-XLIIIに沿う、チップ抵抗器b1の縦断面図である。

[図44]図44は、チップ抵抗器b1の製造工程の一例を示すフロー図である。

[図45]図45は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図46]図46は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図47]図47は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図48]図48は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図49]図49は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図50]図50は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図51]図51は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図52]図52は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図53]図53は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図54]図54は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図55]図55は、チップ抵抗器b1の製造工程の一工程を示す縦断面図である。

[図56]図56は、基板から個々のチップ抵抗器に分離する処理工程の一例を示す図解図である。

[図57]図57は、基板から個々のチップ抵抗器に分離する処理工程の一例を示す図解図である。

[図58]図58は、基板から個々のチップ抵抗器に分離する処理工程の一例を示す図解図である。

[図59]図59は、基板から個々のチップ抵抗器に分離する処理工程の一例を示す図解図である。

[図60]図60は、第2参考例の他の実施形態にかかるチップ抵抗器の縦断面図である。

[図61]図61は、第2参考例のさらに他の実施形態にかかるチップ抵抗器の縦断面図である。

[図62]図62は、第2参考例のさらに他の実施形態にかかるチップ抵抗器の平面図である。

[図63]図63は、第2参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図64]図64は、筐体b202の内部に收容された電子回路アセンブリb210の構成を示す図解的な平面図である。

[図65]図65(A)は、第3参考例の一実施形態に係るチップ抵抗器c10の外観構成を示す図解的な斜視図であり、図65(B)は、チップ抵抗器c10が基板上に実装された状態を示す側面図である。

[図66]図66は、チップ抵抗器c10の平面図であり、第1接続電極c12、第2接続電極c13および抵抗回路網c14の配置関係ならびに抵抗回路網c14の平面視の構成を示す図である。

[図67A]図67Aは、図66に示す抵抗回路網c14の一部分を拡大して描いた平面図である。

[図67B]図67Bは、抵抗回路網c14における抵抗体Rの構成を説明するために描いた長さ方向の縦断面図である。

[図67C]図67Cは、抵抗回路網c14における抵抗体Rの構成を説明するために描いた幅方向の縦断面図である。

[図68]図68は、抵抗膜ラインc20および導体膜c21の電気的特徴を回路記号および電気回路図で示した図である。

[図69]図69(A)は、図66に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズ膜Fを含む領域の部分拡大平面図であり、図69(B)は、図69(A)のB-Bに沿う断面構造を示す図である。

[図70]図70は、図66に示す抵抗回路網c14における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配列関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図71]図71は、抵抗回路網c14の電気回路図である。

[図72]図72は、チップ抵抗器c30の平面図であり、第1接続電極c12、第2接続電極c13および抵抗回路網c14の配置関係ならびに抵抗回路網c14の平面視の構成を示す図である。

[図73]図73は、図72に示す抵抗回路網c14における複数種類の抵抗単位体を接続する接続用導体膜Cおよびヒューズ膜Fの配置関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図74]図74は、抵抗回路網c14の電気回路図である。

[図75]図75(A)(B)は、図74に示す電気回路の変形例を示す電気回路図である。

[図76]図76は、第3参考例のさらに他の実施形態に係る抵抗回路網c14の電気回路図である。

[図77]図77は、具体的な抵抗値を表示したチップ抵抗器における抵抗回路網の構成例を示す電気回路図である。

[図78]図78は、第3参考例のさらに他の実施形態に係るチップ抵抗器90の要部構造を説明するための図解的な平面図である。

[図79]図79は、チップ抵抗器c10の製造工程の一例を示すフロー図である。

[図80]図80は、ヒューズ膜Fの溶断工程とその後に形成するパッシベーション膜c22および樹脂膜c23を示す図解的な断面図である。

[図81]図8 1は、基板から個々のチップ抵抗器に分離する処理工程を示す図解図である。

[図82]図8 2は、基板からチップ抵抗器が切り出されることを説明する図解図である。

[図83]図8 3は、第3参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図84]図8 4は、筐体c 2 0 2の内部に収容された電子回路アセンブリc 2 1 0の構成を示す図解的な平面図である。

[図85A]図8 5 Aは、第4参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図である。

[図85B]図8 5 Bは、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。

[図85C]図8 5 Cは、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の短手方向に沿って切断したときの模式的な断面図である。

[図85D]図8 5 Dは、実装基板に実装された状態のチップ抵抗器を素子形成面側から見た模式的な平面図である。

[図85E]図8 5 Eは、チップ抵抗器が多層基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。

[図86]図8 6は、チップ抵抗器の平面図であり、第1接続電極、第2接続電極および素子の配置関係ならびに素子の平面視の構成を示す図である。

[図87A]図8 7 Aは、図8 6に示す素子の一部分を拡大して描いた平面図である。

[図87B]図8 7 Bは、素子における抵抗体の構成を説明するために描いた図8 7 AのB-Bに沿う長さ方向の縦断面図である。

[図87C]図8 7 Cは、素子における抵抗体の構成を説明するために描いた図8

7 A の C - C に沿う幅方向の縦断面図である。

[図88]図 8 8 は、抵抗体膜ラインおよび配線膜の電気的特徴を回路記号および電気回路図で示した図である。

[図89]図 8 9 (a) は、図 8 6 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 8 9 (b) は、図 8 9 (a) の B - B に沿う断面構造を示す図である。

[図90]図 9 0 は、第 4 参考例の実施形態に係る素子の電気回路図である。

[図91]図 9 1 は、第 4 参考例の他の実施形態に係る素子の電気回路図である。

[図92]図 9 2 は、第 4 参考例のさらに他の実施形態に係る素子の電気回路図である。

[図93]図 9 3 は、チップ抵抗器の模式的な断面図である。

[図94A]図 9 4 A は、図 9 3 に示すチップ抵抗器の製造方法を示す図解的な断面図である。

[図94B]図 9 4 B は、図 9 4 A の次の工程を示す図解的な断面図である。

[図94C]図 9 4 C は、図 9 4 B の次の工程を示す図解的な断面図である。

[図94D]図 9 4 D は、図 9 4 C の次の工程を示す図解的な断面図である。

[図94E]図 9 4 E は、図 9 4 D の次の工程を示す図解的な断面図である。

[図94F]図 9 4 F は、図 9 4 E の次の工程を示す図解的な断面図である。

[図94G]図 9 4 G は、図 9 4 F の次の工程を示す図解的な断面図である。

[図95]図 9 5 は、図 9 4 B の工程において溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

[図96]図 9 6 は、第 1 接続電極および第 2 接続電極の製造工程を説明するための図である。

[図97]図 9 7 は、第 4 参考例の他の実施形態に係るチップコンデンサの平面図である。

[図98]図 9 8 は、図 9 7 の切断面線 X C V I I I - X C V I I I から見た断面図である。

[図99]図99は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図100]図100は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図101]図101は、第4参考例のさらに他の実施形態に係るチップダイオードの平面図である。

[図102]図102は、図101の切断面線C11-C11から見た断面図である。

[図103]図103は、図101の切断面線C111-C111から見た断面図である。

[図104]図104は、チップダイオードにおいて、カソード電極およびアノード電極ならびにその上に形成された構成を取り除いて、基板の素子形成面の構造を示す平面図である。

[図105]図105は、第4参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図106]図106は、スマートフォンの筐体の内部に收容された回路アセンブリの構成を示す図解的な平面図である。

[図107]図107(a)は、第5参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図であり、図107(b)は、チップ抵抗器が実装基板に実装された状態を示す模式的な断面図である。

[図108]図108は、チップ抵抗器の平面図であり、第1接続電極、第2接続電極および素子の配置関係ならびに素子の平面視の構成を示す図である。

[図109A]図109Aは、図108に示す素子の一部分を拡大して描いた平面図である。

[図109B]図109Bは、素子における抵抗体の構成を説明するために描いた図109AのB-Bに沿う長さ方向の縦断面図である。

[図109C]図109Cは、素子における抵抗体の構成を説明するために描いた図109AのC-Cに沿う幅方向の縦断面図である。

[図110]図110は、抵抗体膜ラインおよび配線膜の電気的特徴を回路記号および電気回路図で示した図である。

[図111]図111(a)は、図108に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図111(b)は、図111(a)のB-Bに沿う断面構造を示す図である。

[図112]図112は、第5参考例の実施形態に係る素子の電気回路図である。

[図113]図113は、第5参考例の他の実施形態に係る素子の電気回路図である。

[図114]図114は、第5参考例のさらに他の実施形態に係る素子の電気回路図である。

[図115]図115は、チップ抵抗器の模式的な断面図である。

[図116A]図116Aは、図115に示すチップ抵抗器の製造方法を示す図解的な断面図である。

[図116B]図116Bは、図116Aの次の工程を示す図解的な断面図である。
。

[図116C]図116Cは、図116Bの次の工程を示す図解的な断面図である。
。

[図116D]図116Dは、図116Cの次の工程を示す図解的な断面図である。
。

[図116E]図116Eは、図116Dの次の工程を示す図解的な断面図である。
。

[図116F]図116Fは、図116Eの次の工程を示す図解的な断面図である。
。

[図116G]図116Gは、図116Fの次の工程を示す図解的な断面図である。
。

[図116H]図116Hは、図116Gの次の工程を示す図解的な断面図である。
。

[図117]図117は、図116Bの工程において第1溝を形成するために用い

られるレジストパターンの一部の模式的な平面図である。

[図118]図 1 1 8 は、第 1 接続電極および第 2 接続電極の製造工程を説明するための図である。

[図119]図 1 1 9 は、完成したチップ抵抗器をエンボスキャリアテープに収容する様子を説明するための模式図である。

[図120]図 1 2 0 は、第 5 参考例における第 1 変形例に係るチップ抵抗器の模式的な断面図である。

[図121]図 1 2 1 は、第 5 参考例における第 2 変形例に係るチップ抵抗器の模式的な断面図である。

[図122]図 1 2 2 は、第 5 参考例における第 3 変形例に係るチップ抵抗器の模式的な断面図である。

[図123]図 1 2 3 は、第 5 参考例における第 4 変形例に係るチップ抵抗器の模式的な断面図である。

[図124]図 1 2 4 は、第 5 参考例における第 5 変形例に係るチップ抵抗器の模式的な断面図である。

[図125]図 1 2 5 は、第 5 参考例の他の実施形態に係るチップコンデンサの平面図である。

[図126]図 1 2 6 は、図 1 2 5 の切断面線 C X X V I - C X X V I から見た断面図である。

[図127]図 1 2 7 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図128]図 1 2 8 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図129]図 1 2 9 は、第 5 参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図130]図 1 3 0 は、スマートフォンの筐体の内部に収容された電子回路アセンブリの構成を示す図解的な平面図である。

[図131]図 1 3 1 (a) は、第 6 参考例の一実施形態に係るチップ抵抗器の構

成を説明するための模式的な斜視図であり、図 1 3 1 (b) は、チップ抵抗器が実装基板に実装された状態を示す模式的な断面図である。

[図132]図 1 3 2 は、チップ抵抗器の平面図であり、第 1 接続電極、第 2 接続電極および素子の配置関係ならびに素子の平面視の構成を示す図である。

[図133A]図 1 3 3 A は、図 1 3 2 に示す素子の一部分を拡大して描いた平面図である。

[図133B]図 1 3 3 B は、素子における抵抗体の構成を説明するために描いた図 1 3 3 A の B - B に沿う長さ方向の縦断面図である。

[図133C]図 1 3 3 C は、素子における抵抗体の構成を説明するために描いた図 1 3 3 A の C - C に沿う幅方向の縦断面図である。

[図134]図 1 3 4 は、抵抗体膜ラインおよび配線膜の電気的特徴を回路記号および電気回路図で示した図である。

[図135]図 1 3 5 (a) は、図 1 3 2 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 1 3 5 (b) は、図 1 3 5 (a) の B - B に沿う断面構造を示す図である。

[図136]図 1 3 6 は、第 6 参考例の実施形態に係る素子の電気回路図である。

[図137]図 1 3 7 は、第 6 参考例の他の実施形態に係る素子の電気回路図である。

[図138]図 1 3 8 は、第 6 参考例のさらに他の実施形態に係る素子の電気回路図である。

[図139]図 1 3 9 は、チップ抵抗器の模式的な断面図である。

[図140A]図 1 4 0 A は、図 1 3 9 に示すチップ抵抗器の製造方法を示す図解的な断面図である。

[図140B]図 1 4 0 B は、図 1 4 0 A の次の工程を示す図解的な断面図である。

[図140C]図 1 4 0 C は、図 1 4 0 B の次の工程を示す図解的な断面図である。

[図140D]図 1 4 0 D は、図 1 4 0 C の次の工程を示す図解的な断面図である。

。

[図140E]図140Eは、図140Dの次の工程を示す図解的な断面図である

。

[図140F]図140Fは、図140Eの次の工程を示す図解的な断面図である

。

[図140G]図140Gは、図140Fの次の工程を示す図解的な断面図である

。

[図140H]図140Hは、図140Gの次の工程を示す図解的な断面図である

。

[図141]図141は、図140Bの工程において第1溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

[図142]図142は、第1接続電極および第2接続電極の製造工程を説明するための図である。

[図143]図143は、完成したチップ抵抗器をエンボスキャリアテープに収容する様子を説明するための模式図である。

[図144]図144は、第6参考例における第1変形例に係るチップ抵抗器の模式的な断面図である。

[図145]図145は、第6参考例における第2変形例に係るチップ抵抗器の模式的な断面図である。

[図146]図146は、第6参考例における第3変形例に係るチップ抵抗器の模式的な断面図である。

[図147]図147は、第6参考例における第4変形例に係るチップ抵抗器の模式的な断面図である。

[図148]図148は、第6参考例における第5変形例に係るチップ抵抗器の模式的な断面図である。

[図149]図149は、第6参考例の他の実施形態に係るチップコンデンサの平面図である。

[図150]図150は、図149の切断面線C-L-C-Lから見た断面図である。

[図151]図151は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

[図152]図152は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

[図153]図153は、第6参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図154]図154は、スマートフォンの筐体の内部に収容された電子回路アセンブリの構成を示す図解的な平面図である。

[図155]図155(A)は、第7参考例の一実施形態に係るチップ抵抗器g10の外観構成を示す図解的な斜視図であり、図155(B)は、チップ抵抗器g10が基板上に実装された状態を示す側面図である。

[図156]図156は、チップ抵抗器g10の平面図であり、第1接続電極g12、第2接続電極g13および抵抗回路網g14の配置関係ならびに抵抗回路網g14の平面視の構成を示す図である。

[図157A]図157Aは、図156に示す抵抗回路網g14の一部分を拡大して描いた平面図である。

[図157B]図157Bは、抵抗回路網g14における抵抗体Rの構成を説明するために描いた長さ方向の縦断面図である。

[図157C]図157Cは、抵抗回路網g14における抵抗体Rの構成を説明するために描いた幅方向の縦断面図である。

[図158]図158は、抵抗膜ラインg20および導体膜g21の電氣的特徴を回路記号および電氣回路図で示した図である。

[図159]図159(A)は、図156に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズFを含む領域の部分拡大平面図であり、図159(B)は、図159(A)のB-Bに沿う断面構造を示す図である。

[図160]図160は、図156に示す抵抗回路網g14における複数種類の抵抗単位体を接続する接続用導体膜CおよびヒューズFの配列関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗単位体との接

続関係を図解的に示す図である。

[図161]図161は、抵抗回路網g14の電気回路図である。

[図162]図162は、チップ抵抗器g30の平面図であり、第1接続電極g12、第2接続電極g13および抵抗回路網g14の配置関係ならびに抵抗回路網g14の平面視の構成を示す図である。

[図163]図163は、図162に示す抵抗回路網g14における複数種類の抵抗単位体を接続する接続用導体膜CおよびヒューズFの配置関係と、その接続用導体膜CおよびヒューズFに接続された複数種類の抵抗単位体との接続関係を図解的に示す図である。

[図164]図164は、抵抗回路網g14の電気回路図である。

[図165]図165(A)(B)は、図164に示す電気回路の変形例を示す電気回路図である。

[図166]図166は、第7参考例のさらに他の実施形態に係る抵抗回路網g14の電気回路図である。

[図167]図167は、具体的な抵抗値を表示したチップ抵抗器における抵抗回路網の構成例を示す電気回路図である。

[図168]図168は、第7参考例のさらに他の実施形態に係るチップ抵抗器g90の要部構造を説明するための図解的な平面図である。

[図169]図169は、第7参考例の他の実施形態に係るチップ抵抗器の電極の配置構成(レイアウト)を表わす平面図である。

[図170]図170は、チップ抵抗器g10の製造工程の一例を示すフロー図である。

[図171]図171は、ヒューズ膜Fの溶断工程とその後に形成するパッシベーション膜g22および樹脂膜g23を示す図解的な断面図である。

[図172]図172は、基板から個々のチップ抵抗器に分離する処理工程を示す図解図である。

[図173]図173は、第7参考例の他の実施形態に係るチップコンデンサg301の平面図である。

[図174]図174は、チップコンデンサg301の断面図であって、図173の切断面線CLXXIⅤ-CLXXIⅤから見た切断面図である。

[図175]図175は、チップコンデンサg301の内部の電氣的構成を示す回路図である。

[図176]図176は、チップコンデンサg301の製造工程の一例を説明するための流れ図である。

[図177A]図177Aは、チップコンデンサg301の製造工程の一工程を示す図である。

[図177B]図177Bは、チップコンデンサg301の製造工程の一工程を示す図である。

[図177C]図177Cは、チップコンデンサg301の製造工程の一工程を示す図である。第7参考例のさらに他の実施形態に係るチップ抵抗器g90の要部構造を説明するための図解的な平面図である。

[図178]図178は、第7参考例の他の一実施形態に係るチップダイオードg401の斜視図である。

[図179]図179は、第7参考例の他の一実施形態に係るチップダイオードg401の平面図である。

[図180]図180は、図179のCLXXX-CLXXX線でとった断面図である。

[図181]図181は、図179のCLXXXI-CLXXXIでとった断面図である。

[図182]図182は、カソード電極g403およびアノード電極g404ならびにその上に形成された構成を取り除いて、半導体基板g402の表面（素子形成面g402a）の構造を示す平面図である。

[図183]図183は、チップダイオードg401の内部の電氣的構造を示す電気回路図である。

[図184]図184は、チップダイオードg401の製造工程の一例を説明するための工程図である。

[図185A]図185Aは、図184の製造工程途中の構成を示す断面図であり、図180に対応する切断面を示す。

[図185B]図185Bは、図184の製造工程途中の構成を示す断面図であり、図180に対応する切断面を示す。

[図186]図186は、第7参考例の一実施形態に係る回路アセンブリの構成例を示す図解的な斜視図である。

[図187]図187は、第7参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。

[図188]図188は、筐体g202の内部に收容された電子回路アセンブリg210の構成を示す図解的な平面図である。

発明を実施するための形態

[0022] 以下には、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1(A)は、この発明の一実施形態に係るチップ抵抗器10の外観構成を示す図解的な斜視図であり、図1(B)は、チップ抵抗器10が基板上に実装された状態を示す側面図である。図1(A)を参照して、この発明の一実施形態に係るチップ抵抗器10は、基板11上に形成された第1接続電極12と、第2接続電極13と、抵抗回路網14とを備えている。基板11は、平面視略長方形の直方体形状で、一例として、長辺方向の長さ $L=0.3\text{ mm}$ 、短辺方向の幅 $W=0.15\text{ mm}$ 、厚み $T=0.1\text{ mm}$ 程度の大きさの微少なチップである。基板11は、平面視で角が面取りされた角ラウンド形状であってもよい。基板は、たとえばシリコン、ガラス、セラミック等で形成することができる。以下の実施形態では、基板11がシリコン基板の場合を例にとって説明する。

[0023] チップ抵抗器10は、図21に示すように、半導体ウエハ（シリコンウエハ）上に格子状に多数個のチップ抵抗器10が形成され、半導体ウエハ（シリコンウエハ）が切断されて個々のチップ抵抗器10に分離されることにより得られる。シリコン基板11上において、第1接続電極12はシリコン基板11の一方短辺111に沿って設けられた短辺111方向に長手の矩形電

極である。第2接続電極13は、シリコン基板11上の他方短辺112に沿って設けられた短辺112方向に長手の矩形電極である。抵抗回路網14は、シリコン基板11上の第1接続電極12と第2接続電極13とで挟まれた中央領域（回路形成面または素子形成面）に設けられている。そして、抵抗回路網14の一端側は第1接続電極12に電氣的に接続されており、抵抗回路網14の他端側は第2接続電極13に電氣的に接続されている。これら第1接続電極12、第2接続電極13および抵抗回路網14は、たとえば一例として、シリコン基板11上に半導体製造プロセスを用いて設けることができる。換言すれば、半導体装置を製造するための装置、設備を使用してディスプレイナチップ抵抗器10を製造することができる。特に、後述するフォトリソグラフィプロセスを用いることにより、微細で正確なレイアウトパターンの抵抗回路網14を形成することができる。

[0024] 第1接続電極12および第2接続電極13は、それぞれ、外部接続電極として機能する。チップ抵抗器10が回路基板15に実装された状態においては、図1（B）に示すように、第1接続電極12および第2接続電極13が、それぞれ、回路基板15の回路（図示せず）と半田により電氣的かつ機械的に接続される。この実施形態では、外部接続電極として機能する第1接続電極12および第2接続電極13は、金（Au）または銅（Cu）で形成されており、その接続端である表面には、予め半田層が設けられている。このため、実装時に半田印刷の必要がなく、実装の容易なチップ抵抗器となっている。

[0025] 図2は、チップ抵抗器10の平面図であり、第1接続電極12、第2接続電極13および抵抗回路網14の配置関係ならびに抵抗回路網14の平面視の構成（レイアウトパターン）が示されている。図2を参照して、チップ抵抗器10は、シリコン基板上面の一方短辺111に長辺が沿うように配置された平面視略矩形をした第1接続電極12と、シリコン基板上面の他方短辺112に長辺が沿うように配置された平面視略矩形をした第2接続電極13と、第1接続電極12および第2接続電極13間の平面視矩形の領域に設け

られた抵抗回路網 14 とを含んでいる。

[0026] 抵抗回路網 14 には、シリコン基板 11 上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R（図 2 の例では、行方向（シリコン基板の長手方向）に沿って 8 個の単位抵抗体 R が配列され、列方向（シリコン基板の幅方向）に沿って 4 4 個の単位抵抗体 R が配列され、合計 3 5 2 個の単位抵抗体 R を含む構成）を有している。そして、これら多数個の単位抵抗体 R の 1 ～ 6 4 個の所定の個数が（導体で形成された配線膜で）電氣的に接続されて、接続された単位抵抗体 R の数に応じた複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は導体膜 C（導体で形成された配線膜）で所定の態様に接続されている。

[0027] さらに、抵抗回路を抵抗回路網 14 に電氣的に組み込んだり、または、抵抗回路網 14 から電氣的に分離するために溶断可能な複数のヒューズ膜 F（導体で形成された配線膜）が設けられている。複数のヒューズ膜 F は、第 2 接続電極 13 の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ膜 F および接続用導体膜 C が隣接するように配列され、その配列方向が直線状になるように配置されている。

[0028] 図 3 A は、図 2 に示す抵抗回路網 14 の一部分を拡大して描いた平面図であり、図 3 B および図 3 C は、それぞれ、抵抗回路網 14 における単位抵抗体 R の構造を説明するために描いた長さ方向の縦断面図および幅方向の縦断面図である。図 3 A、図 3 B および図 3 C を参照して、単位抵抗体 R の構成について説明をする。基板としてのシリコン基板 11 の上面には絶縁層（ SiO_2 ）19 が形成され、絶縁層 19 上に抵抗体膜 20 が配置されている。抵抗体膜 20 は、 TiN 、 TiON または TiSiON により形成される。この抵抗体膜 20 は、第 1 接続電極 12 と第 2 接続電極 13 との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ライン 20 は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ライン 20 上には、導体膜片 21 としてのアルミニウム膜が積層されている。各導体膜片 21 は、抵抗体膜ライン 20 上に、ライ

ン方向に一定間隔 R を開けて積層されている。

[0029] この構成の抵抗体膜ライン 20 および導体膜片 21 の電気的特徴を回路記号で示すと、図 4 の通りである。すなわち、図 4 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン 20 部分が、それぞれ、一定の抵抗値 r の単位抵抗体 R を形成している。導体膜片 21 が積層された領域は、当該導体膜片 21 で抵抗体膜ライン 20 が短絡されている。よって、図 4 (B) に示す抵抗 r の単位抵抗体 R の直列接続からなる抵抗回路が形成されている。

[0030] また、隣接する抵抗体膜ライン 20 同士は抵抗体膜ライン 20 および導体膜片 21 で接続されているから、図 3 A に示す抵抗回路網は、図 4 (C) に示す抵抗回路を構成している。図 3 B および図 3 C に示す図解的な断面図において、参照番号 11 はシリコン基板、19 は絶縁層としての二酸化シリコン SiO_2 層、20 は絶縁層 19 上に形成された TiN 、 TiON または TiSiON の抵抗体膜、21 はアルミニウム (Al) の配線膜、22 は保護膜としての SiN 膜、23 は保護層としてのポリイミド層を示している。

[0031] なお、かかる構成の抵抗回路網 14 の製造プロセスについては、後に詳述する。この実施形態では、シリコン基板上 11 に形成された抵抗回路網 14 に含まれる単位抵抗体 R は、抵抗体膜ライン 20 と、抵抗体膜ライン 20 上に、ライン方向に一定間隔をあけて積層された複数の導体膜片 21 とを含み、導体膜片 21 が積層されていない一定間隔 R 部分の抵抗体膜ライン 20 が、1 個の単位抵抗体 R を構成している。単位抵抗体 R を構成している抵抗体膜ライン 20 は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基づき、シリコン基板 11 上にマトリックス状に配列された多数個の単位抵抗体 R は、等しい抵抗値を有している。

[0032] 抵抗体膜ライン 20 上に積層された導体膜片 21 は、単位抵抗体 R を形成するとともに、複数個の単位抵抗体 R を接続して抵抗回路を構成するための接続用配線膜の役目も果たしている。図 5 (A) は、図 2 に示すチップ抵抗器 10 の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡

大平面図であり、図5（B）は、図5（A）のB－Bに沿う断面構造を示す図である。

[0033] 図5（A）（B）に示すように、ヒューズ膜Fも、抵抗体膜20上に積層された配線膜21により形成されている。すなわち、単位抵抗体Rを形成する抵抗体膜ライン20上に積層された導体膜片21と同じレイヤーに、導体膜片21と同じ金属材料であるアルミニウム（Al）により形成されている。なお、導体膜片21は、前述したように、抵抗回路を形成するために、複数の単位抵抗体Rを電氣的に接続する接続用導体膜Cとしても用いられている。

[0034] つまり、抵抗体膜20上に積層された同一レイヤーにおいて、単位抵抗体R形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網14を構成するための接続用配線膜、ヒューズ膜、ならびに抵抗回路網14を第1接続電極12および第2接続電極13に接続するための配線膜が、同一の金属材料（たとえばアルミニウム）を用いて、同じ製造プロセス（たとえばスパッタリングおよびフォトリソグラフィプロセス）によって形成されている。これにより、このチップ抵抗器10の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗体膜20とのアライメント性も向上する。

[0035] 図6は、図2に示す抵抗回路網14における複数種類の抵抗回路を接続する接続用導体膜Cおよびヒューズ膜Fの配列関係と、その接続用導体膜Cおよびヒューズ膜Fに接続された複数種類の抵抗回路との接続関係を図解的に示す図である。図6を参照して、第1接続電極12には、抵抗回路網14に含まれる基準抵抗回路R8の一端が接続されている。基準抵抗回路R8は、8個の単位抵抗体Rの直列接続からなり、その他端はヒューズ膜F1に接続されている。

[0036] ヒューズ膜F1と接続用導体膜C2とには、64個の単位抵抗体Rの直列接続からなる抵抗回路R64の一端および他端が接続されている。接続用導体膜C2とヒューズ膜F4とには、32個の単

位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。 ヒューズ膜 F 4 と接続用導体膜 C 5 とには、 3 2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。

[0037] 接続用導体膜 C 5 とヒューズ膜 F 6 とには、 1 6 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 6 の一端および他端が接続されている。 ヒューズ膜 F 7 および接続用導体膜 C 9 には、 8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。 接続用導体膜 C 9 およびヒューズ膜 F 1 0 には、 4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。

[0038] ヒューズ膜 F 1 1 および接続用導体膜 C 1 2 には、 2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。 接続用導体膜 C 1 2 およびヒューズ膜 F 1 3 には、 1 個の単位抵抗体 R からなる抵抗回路 R 1 の一端および他端が接続されている。 ヒューズ膜 F 1 3 および接続用導体膜 C 1 5 には、 2 個の単位抵抗体 R の並列接続からなる抵抗回路 R / 2 の一端および他端が接続されている。

[0039] 接続用導体膜 C 1 5 およびヒューズ膜 F 1 6 には、 4 個の単位抵抗体 R の並列接続からなる抵抗回路 R / 4 の一端および他端が接続されている。 ヒューズ膜 F 1 6 および接続用導体膜 C 1 8 には、 8 個の単位抵抗体 R の並列接続からなる抵抗回路 R / 8 の一端および他端が接続されている。 接続用導体膜 C 1 8 およびヒューズ膜 F 1 9 には、 1 6 個の単位抵抗体 R の並列接続からなる抵抗回路 R / 1 6 の一端および他端が接続されている。

[0040] ヒューズ膜 F 1 9 および接続用導体膜 C 2 2 には、 3 2 個の単位抵抗体 R の並列接続からなる抵抗回路 R / 3 2 が接続されている。 複数のヒューズ膜 F および接続用導体膜 C は、それぞれ、ヒューズ膜 F 1、接続用導体膜 C 2、ヒューズ膜 F 3、ヒューズ膜 F 4、接続用導体膜 C 5、ヒューズ膜 F 6、ヒューズ膜 F 7、接続用導体膜 C 8、接続用導体膜 C 9、ヒューズ膜 F 1 0、ヒューズ膜 F 1 1、接続用導体膜 C 1 2、ヒューズ膜 F 1 3、ヒューズ膜

F 1 4、接続用導体膜 C 1 5、ヒューズ膜 F 1 6、ヒューズ膜 F 1 7、接続用導体膜 C 1 8、ヒューズ膜 F 1 9、ヒューズ膜 F 2 0、接続用導体膜 C 2 1、接続用導体膜 C 2 2 が、直線状に配置されて直列に接続されている。各ヒューズ膜 F が溶断されると、ヒューズ膜 F に隣接接続された接続用導体膜 C との間の電氣的接続が遮断される構成である。

[0041] この構成を、電気回路図で示すと図 7 の通りである。すなわち、全てのヒューズ膜 F が溶断されていない状態では、抵抗回路網 1 4 は、第 1 接続電極 1 2 および第 2 接続電極 1 3 間に設けられた 8 個の単位抵抗体 R の直列接続からなる基準抵抗回路 R 8（抵抗値 $8r$ ）の抵抗回路を構成している。たとえば、1 個の単位抵抗体 R の抵抗値 r を $r = 80 \Omega$ とすれば、 $8r = 640 \Omega$ の抵抗回路により、第 1 接続電極 1 2 および第 2 接続電極 1 3 が接続されたチップ抵抗器 1 0 が構成されている。

[0042] そして、基準抵抗回路 R 8 以外の複数種類の抵抗回路には、それぞれ、ヒューズ膜 F が並列的に接続され、各ヒューズ膜 F によりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路 R 8 には、1 2 種類 1 3 個の抵抗回路 R 6 4 ~ R / 3 2 が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ膜 F により短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網 1 4 に組み込まれてはいない。

[0043] この実施形態に係るチップ抵抗器 1 0 は、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザー光で溶断する。それにより、並列的に接続されたヒューズ膜 F が溶断された抵抗回路は、抵抗回路網 1 4 に組み込まれることになる。よって、抵抗回路網 1 4 の全体の抵抗値を、溶断されたヒューズ膜 F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

[0044] 換言すれば、この実施形態に係るチップ抵抗器 1 0 は、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路（たとえば、F 1、F 4、F 1 3 が溶断されると、抵抗回路 R 6

4、R32、R1の直列接続)を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網14の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器10とすることができる。

[0045] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体Rが、直列に1個、2個、4個、8個、16個、32個、および64個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体Rが並列に2個、4個、8個、16個、および32個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズ膜Fで短絡された状態で直列に接続されている。よって、ヒューズ膜Fを選択的に溶断することにより、抵抗回路網14全体の抵抗値を、小さな抵抗値から大きな抵抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

[0046] 図8は、この発明の他の実施形態に係るチップ抵抗器30の平面図であり、第1接続電極12、第2接続電極13および抵抗回路網4の配置関係ならびに抵抗回路網14の平面視の構成が示されている。チップ抵抗器30が、前述したチップ抵抗器10と異なるところは、抵抗回路網14における単位抵抗体Rの接続態様である。

[0047] すなわち、チップ抵抗器30の抵抗回路網14には、シリコン基板上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R(図8の構成では、行方向(シリコン基板の長手方向)に沿って8個の単位抵抗体Rが配列され、列方向(シリコン基板の幅方向)に沿って44個の単位抵抗体Rが配列され、合計352個の単位抵抗体Rを含む構成)を有している。そして、これら多数個の単位抵抗体Rの1~128個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ膜Fにより並列態様で接続されている。複数のヒューズ膜Fは、第2接続電極13の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ膜Fが溶

断されると、ヒューズ膜に接続された抵抗回路が抵抗回路網 14 から電氣的に分離される構成である。

[0048] なお、抵抗回路網 14 を構成する多数個の単位抵抗体 R の構造や、接続用導体膜、ヒューズ膜 F の構造は、先に説明したチップ抵抗器 10 における対応する部位の構造と同様であるから、ここでの説明については省略する。 図 9 は、図 8 に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ膜 F の配列関係ならびにヒューズ膜 F に接続された複数種類の抵抗回路の接続関係を図解的に示す図である。

[0049] 図 9 を参照して、第 1 接続電極 12 には、抵抗回路網 14 に含まれる基準抵抗回路 R / 16 の一端が接続されている。基準抵抗回路 R / 16 は、16 個の単位抵抗体 R の並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜 C に接続されている。 ヒューズ膜 F 1 と接続用導体膜 C とには、128 個の単位抵抗体 R の直列接続からなる抵抗回路 R 128 の一端および他端が接続されている。

[0050] ヒューズ膜 F 5 と接続用導体膜 C とには、64 個の単位抵抗体 R の直列接続からなる抵抗回路 R 64 の一端および他端が接続されている。 抵抗膜 F 6 と接続用導体膜 C とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 32 の一端および他端が接続されている。 ヒューズ膜 F 7 と接続用導体膜 C とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R 16 の一端および他端が接続されている。

[0051] ヒューズ膜 F 8 と接続用導体膜 C とには、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。 ヒューズ膜 F 9 と接続用導体膜 C とには、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。 ヒューズ膜 F 10 と接続用導体膜 C とには、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。

[0052] ヒューズ膜 F 11 と接続用導体膜 C とには、1 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 の一端および他端が接続されている。 ヒューズ膜 F

12と接続用導体膜Cとには、2個の単位抵抗体Rの並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。ヒューズ膜F13と接続用導体膜Cとには、4個の単位抵抗体Rの並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。

[0053] ヒューズ膜F14、F15、F16は電氣的に接続されており、これらヒューズ膜F14、F15、F16と接続用導体Cとには、8個の単位抵抗体Rの並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。ヒューズ膜F17、F18、F19、F20、F21は電氣的に接続されており、これらヒューズ膜F17～F21と接続用導体膜Cとには、16個の単位抵抗体Rの並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。

[0054] ヒューズ膜Fは、ヒューズ膜F1～F21の21個備えられていて、これらは全て第2接続電極13に接続されている。かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズ膜Fが溶断されると、そのヒューズ膜Fに一端が接続された抵抗回路は、抵抗回路網14から電氣的に切り離される。

[0055] 図9の構成、すなわちチップ抵抗器30に備えられた抵抗回路網14の構成を、電気回路図で示すと図10の通りである。全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網14は、第1接続電極14および第2接続電極13間に、基準抵抗回路 $R/16$ と、12種類の抵抗回路 $R/16$ 、 $R/8$ 、 $R/4$ 、 $R/2$ 、 $R1$ 、 $R2$ 、 $R4$ 、 $R8$ 、 $R16$ 、 $R32$ 、 $R64$ 、 $R128$ の並列接続回路との直列接続回路を構成している。

[0056] そして、基準抵抗回路 $R/16$ 以外の12種類の抵抗回路には、それぞれ、ヒューズ膜Fが直列に接続されている。よって、この抵抗回路網14を有するチップ抵抗器30では、要求される抵抗値に応じて、ヒューズ膜Fを選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズ膜Fに対応する抵抗回路（ヒューズ膜Fが直列に接続された抵抗回路）は、抵抗回路網14から電氣的に分離され、チップ抵抗器10の抵抗値を調整することができ

る。

[0057] 換言すれば、この実施形態に係るチップ抵抗器 30 も、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 14 の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 30 とすることができる。

[0058] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、64 個および 128 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 14 全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値に設定することができる。

[0059] 図 11 は、この発明の他の実施形態

としてのチップコンデンサの平面図であり、図 12 はその断面図であって、図 11 の切断面線 XII-XII から見た切断面が示されている。さらに、図 13 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。チップコンデンサ 1 は、基板 2 と、基板 2 上に配置された第 1 外部電極 3 と、同じく基板 2 上に配置された第 2 外部電極 4 とを備えている。基板 2 は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。矩形形状は、例えば、0.3 mm × 0.15 mm 程度の寸法である。基板 2 の長手方向両端部に第 1 外部電極 3 および第 2 外部電極 4 がそれぞれ配置されている。第 1 外部電極 3 および第 2 外部電極 4 は、この実施形態では、基板 2 の短手方向に延びたほぼ矩形の平面形状を有し、基板 2 の角に対応する各 2 箇所面に面取り部を有している。基板 2 上には、第 1 外部電極 3 および第 2 外部電極 4 の間のキャパシタ配置領域 5 内に、複数のキャパシタ要

素C 1～C 9が配置されている。複数のキャパシタ要素C 1～C 9は、複数のヒューズユニット7を介してそれぞれ第1外部電極3に電氣的に接続されている。

[0060] 図1 2および図1 3に示されているように、基板2の表面には絶縁膜8が形成されていて、絶縁膜8の表面に下部電極膜5 1が形成されている。下部電極膜5 1は、キャパシタ配置領域5のほぼ全域にわたっていると同時に、第2外部電極4の直下の領域にまで延びて形成されている。より具体的には、下部電極膜5 1は、キャパシタ要素C 1～C 9の共通の下部電極として機能するキャパシタ電極領域5 1 Aと、外部電極引き出しのためのパッド領域5 1 Bとを有している。キャパシタ電極領域5 1 Aがキャパシタ配置領域5に位置していて、パッド領域5 1 Bが第2外部電極4の直下に位置している。

[0061] キャパシタ配置領域5において下部電極膜5 1（キャパシタ電極領域5 1 A）を覆うように容量膜（誘電体膜）5 2が形成されている。容量膜5 2は、キャパシタ電極領域5 1 Aの全域にわたって連続しており、この実施形態では、さらに第1外部電極3の直下の領域にまで延び、キャパシタ配置領域5外の絶縁膜8を覆っている。容量膜5 2の上には、上部電極膜5 3が形成されている。図1では、明瞭化のために、上部電極膜5 3に細ドットを付して示してある。上部電極膜5 3は、キャパシタ配置領域5に位置するキャパシタ電極領域5 3 Aと、第1外部電極3の直下に位置するパッド領域5 3 Bと、パッド領域5 3 Bとキャパシタ電極領域5 3 Aとの間に配置されたヒューズ領域5 3 Cとを有している。

[0062] キャパシタ電極領域5 3 Aにおいて、上部電極膜5 3は、複数の電極膜部分1 3 1～1 3 9に分割されている。この実施形態では、各電極膜部分1 3 1～1 3 9は、いずれも矩形形状に形成されていて、ヒューズ領域5 3 Cから第2外部電極4に向かって帯状に延びている。複数の電極膜部分1 3 1～1 3 9は、複数種類の対向面積で、容量膜5 2を挟んで下部電極膜5 1に対向している。より具体的には、電極膜部分1 3 1～1 3 9の下部電極膜5 1に

対する対向面積は、 $1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128$ となるように定められていてもよい。すなわち、複数の電極膜部分 $131 \sim 139$ は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 $131 \sim 138$ （または $131 \sim 137$ ， 139 ）を含む。これによって、各電極膜部分 $131 \sim 139$ と容量膜 12 を挟んで対向する下部電極膜 51 によってそれぞれ構成される複数のキャパシタ要素 $C1 \sim C9$ は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 $131 \sim 139$ の対向面積の比が前述の通りである場合、キャパシタ要素 $C1 \sim C9$ の容量値の比は、当該対向面積の比と等しく、 $1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128$ となる。すなわち、複数のキャパシタ要素 $C1 \sim C9$ は、公比が 2 の等比数列をなすように容量値が設定された複数のキャパシタ要素 $C1 \sim C8$ （または $C1 \sim C7$ ， $C9$ ）を含むことになる。

[0063] この実施形態では、電極膜部分 $131 \sim 135$ は、幅が等しく、長さの比を $1 : 2 : 4 : 8 : 16$ に設定した帯状に形成されている。また、電極膜部分 135 ， 136 ， 137 ， 138 ， 139 は、長さが等しく、幅の比を $1 : 2 : 4 : 8 : 8$ に設定した帯状に形成されている。電極膜部分 $135 \sim 139$ は、キャパシタ配置領域 5 の第 1 外部電極 3 側の端縁から第 2 外部電極 4 側の端縁までの範囲に渡って延びて形成されており、電極膜部分 $131 \sim 134$ は、それよりも短く形成されている。

[0064] パッド領域 $53B$ は、第 1 外部電極 3 とほぼ相似形に形成されており、基板 2 の角部に対応する 2 つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域 $53B$ の一つの長辺（基板 2 の周縁に対して内方側の長辺）に沿ってヒューズ領域 $53C$ が配置されている。ヒューズ領域 $53C$ は、パッド領域 $53B$ の前記 1 つの長辺に沿って配列された複数のヒューズユニット 7 を含む。ヒューズユニット 7 は、上部電極膜 53 のパッド領域 $53B$ と同じ材料で一体的に形成されている。複数の電極膜部分 $131 \sim 139$ は、 1 つまたは複数個のヒューズユニット 7 と一体的に形成されていて、そ

これらのヒューズユニット7を介してパッド領域53Bに接続され、このパッド領域53Bを介して第1外部電極3に電氣的に接続されている。面積の比較的小さな電極膜部分131～136は、一つのヒューズユニット7によってパッド領域53Bに接続されており、面積の比較的大きな電極膜部分137～139は複数個のヒューズユニット7を介してパッド領域53Bに接続されている。全てのヒューズユニット7が用いられる必要はなく、この実施形態では、一部のヒューズユニット7は未使用である。

[0065] ヒューズユニット7は、パッド領域53Bとの接続のための第1幅広部7Aと電極膜部分131～139との接続のための第2幅広部7Bと、第1および第2幅広部7A、7Bの間を接続する幅狭部7Cとを含む。幅狭部7Cは、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分131～139のうち不要な電極膜部分をヒューズユニット7の切断によって第1および第2外部電極3、4から電氣的に切り離すことができる。

[0066] 図11および図13では図示を省略したが、図12に表れている通り、上部電極膜53の表面を含むチップコンデンサ1の表面はパッシベーション膜9によって覆われている。パッシベーション膜9は、たとえば窒化膜からなっていて、チップコンデンサ1の上面のみならず、基板2の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜9の上には、ポリイミド樹脂等からなる樹脂膜50が形成されている。樹脂膜50は、チップコンデンサ1の上面を覆い、さらに基板2の側面に至って、当該側面上のパッシベーション膜9を覆うように形成されている。

[0067] パッシベーション膜9および樹脂膜50は、チップコンデンサ1の表面を保護する保護膜である。これらには、第1外部電極3および第2外部電極4に対応する領域にパッド開口26、27がそれぞれ形成されている。パッド開口26、27はそれぞれ上部電極膜53のパッド領域53Bの一部の領域、下部電極膜51のパッド領域51Bの一部の領域を露出させるようにパッシベーション膜9および樹脂膜50を貫通している。さらに、この実施形態で

は、第2外部電極4に対応したパッド開口27は、容量膜52をも貫通している。

[0068] パッド開口26, 27には、第1外部電極3および第2外部電極4がそれぞれ埋め込まれている。これにより、第1外部電極3は上部電極膜53のパッド領域53Bに接合しており、第2外部電極4は下部電極膜51のパッド領域51Bに接合している。第1および第2外部電極3, 4は、樹脂膜50の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ1をフリップチップ接合することができる。

[0069] 図14は、チップコンデンサ1の内部の電氣的構成を示す回路図である。第1外部電極3と第2外部電極4との間に複数のキャパシタ要素C1～C9が並列に接続されている。各キャパシタ要素C1～C9と第1外部電極3との間には、一つまたは複数のヒューズユニット7でそれぞれ構成されたヒューズF1～F9が直列に介装されている。ヒューズF1～F9が全て接続されているときは、チップコンデンサ1の容量値は、キャパシタ要素C1～C9の容量値の総和に等しい。複数のヒューズF1～F9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ1の容量値が減少する。

[0070] そこで、パッド領域51B, 53Bの間の容量値（キャパシタ要素C1～C9の総容量値）を測定し、その後に所望の容量値に応じてヒューズF1～F9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C1～C8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0071] たとえば、キャパシタ要素C1～C9の容量値は次のように定められていてもよい。

$$C1 = 0.03125 \text{ pF}$$

$$C2 = 0$$

0.0625 pF $C3 = 0.125 \text{ pF}$ $C4 =$
 0.25 pF $C5 = 0.5 \text{ pF}$ $C6 = 1 \text{ pF}$
 $C7 = 2 \text{ pF}$ $C8 = 4 \text{ pF}$ C
 $9 = 4 \text{ pF}$ この場合、 0.03125 pF の最小合わせ込み精度でチップ
 コンデンサ1の容量を微調整できる。また、ヒューズF1～F9から切断す
 べきヒューズを適切に選択することで、 $0.1 \text{ pF} \sim 10 \text{ pF}$ の間の任意の
 容量値のチップコンデンサ1を提供することができる。

[0072] 以上のように、この実施形態によれば、第1外部電極3および第2外部電極4の間に、ヒューズF1～F9によって切り離し可能な複数のキャパシタ要素C1～C9が設けられている。キャパシタ要素C1～C9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF1～F9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ1を提供できる。

[0073] チップコンデンサ1の各部の詳細について以下に説明を加える。基板2は、たとえば平面視において $0.3 \text{ mm} \times 0.15 \text{ mm}$ 、 $0.4 \text{ mm} \times 0.2 \text{ mm}$ 、または $0.2 \text{ mm} \times 0.1 \text{ mm}$ などの矩形形状（好ましくは、 $0.4 \text{ mm} \times 0.2 \text{ mm}$ 以下の大きさ）を有していてもよい。キャパシタ配置領域5は、概ね、基板2の短辺の長さに相当する一辺を有する正方形領域となる。基板2の厚さは、 $150 \mu\text{m}$ 程度であってもよい。基板2は、たとえば、裏面側（キャパシタ要素C1～C9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板2の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0074] 絶縁膜8は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、 $500 \text{ \AA} \sim 2000 \text{ \AA}$ 程度であってもよい。下部電極膜51は、導電性膜、と

くに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜51は、スパッタ法によって形成することができる。上部電極膜53も同様に、導電性膜、とくに金属膜で構成することが好まし

く、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜53は、スパッタ法によって形成することができる。上部電極膜53のキャパシタ電極領域53Aを電極膜部分131～139に分割し、かつヒューズ領域53Cを複数のヒューズユニット7に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0075] 容量膜52は、たとえば窒化シリコン膜で構成することができ、その膜厚は500Å～2000Å（たとえば1000Å）とすることができる。容量膜52は、プラズマCVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。パッシベーション膜9は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、8000Å程度とされてもよい。樹脂膜50は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0076] 図15は、この発明のさらに他の実施形態に係るチップコンデンサ31の構成を説明するための平面図である。図15において、前述の図11に示された各部と対応する部分には同一の参照符号を付して示す。前述の実施形態に係るチップコンデンサ1では、上部電極膜53のキャパシタ電極領域53Aがそれぞれ帯状の電極膜部分131～139に分割されている。この場合、図11に示すように、キャパシタ配置領域5内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板2上の限られた領域を有効に活用することができない。

[0077] そこで、図15に示す実施形態では、複数の電極膜部分131～139がL字形の電極膜部分141～149に分割されている。これによって、たとえば、図15の構成における電極膜部分149は、図11の構成の電極膜部分139の1.5倍の面積で下部電極膜51に対向することができる。よって

、図 11 の第 1 の実施形態において電極膜部分 139 に対応したキャパシタ要素 C9 が 4 pF の容量を有しているとすれば、この実施形態における電極膜部分 149 を用いることで、キャパシタ要素 C9 は 6 pF の容量を有することができる。これにより、キャパシタ配置領域 5 内を有効に活用して、より広い範囲でチップコンデンサ 1 の容量値を設定することが可能となる。

[0078] なお、この実施形態においても、寄生容量の影響を受けないようにするため、基板 2 は、 $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する半導体により形成されている。図 16 は、この発明のさらに他の実施形態に係るチップコンデンサ 41 の構成を説明するための分解斜視図であり、前述の実施形態の説明において用いた図 13 と同様にチップコンデンサ 41 の各部が表されている。

[0079] この実施形態では、上部電極膜 53 のキャパシタ電極領域 53A がキャパシタ配置領域 5 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 51 のキャパシタ電極領域 51A が複数の電極膜部分 151 ~ 159 に分割されている。電極膜部分 151 ~ 159 は、図 11 に示す実施形態における電極膜部分 131 ~ 139 と同様の形状および面積比に形成されてもよいし、図 15 に示す実施形態における電極膜部分 141 ~ 149 と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分 151 ~ 159 と、容量膜 52 と、上部電極膜 53 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

[0080] 下部電極膜 51 は、さらに、キャパシタ電極領域 51A とパッド領域 51B との間にヒューズ領域 51C を有している。ヒューズ領域 51C には、先の実施形態のヒューズユニット 7 と同様の複数のヒューズユニット 47 がパッド領域 51B に沿って一列に配列されている。各電極膜部分 151 ~ 159 は、一つまたは複数のヒューズユニット 47 を介してパッド領域 51B に接続されている。

[0081] このような構成によっても、電極膜部分 151 ~ 159 が互いに異なる対向

面積で上部電極膜 53 に対向しており、これらはヒューズユニット 47 を切断することによって個別に切り離すことができる。したがって、先の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 151 ~ 159 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で上部電極膜 53 に対向するように形成しておくことで、先の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0082] なお、この実施形態においても、寄生容量の影響を受けないようにするため、基板 2 は、 $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する半導体により形成されている。図 17 は、この発明の特徴である外部接続電極の構成の一例を示す図解的な断面図であり、たとえば図 1 ~ 5 を参照して説明したチップ抵抗器 10 に適用された外部接続電極の構成が、図解的な部分縦断面図によって示されている。

[0083] 図 17 を参照して、シリコン基板 11 上には絶縁層 (SiO_2) 19 が形成され、絶縁層 19 上に抵抗体膜 20 が配置されている。抵抗体膜 20 は、 TiN 、 TiON または TiSiON により形成されている。そして抵抗体膜 20 上におけるパッド領域 11A には、アルミニウム系金属、たとえばアルミニウムで形成された配線膜 21 が積層されている。抵抗体膜 20 および配線膜 21 が形成された基板 11 の上面は、たとえば窒化シリコン (SiN) で形成されたパッシベーション膜 22 で覆われており、さらにその上部は、たとえばポリイミドにより形成された保護層としての樹脂膜 23 で覆われている。樹脂膜 23 は、パッシベーション膜 22 の上面のみならず、基板 11 の側方にまで回り込むように上面および側面を覆っている。

[0084] 外部接続電極としてのたとえば第 1 接続電極 12 は、次のようにして形成される。まず、樹脂膜 23 に対して、第 1 接続電極 12 の開口に対応した領域に対する露光が行われ、その後現像工程を行うことにより、フォトリソグラフィによる樹脂膜 23 のパターニングが行われる。これにより、樹脂膜 23 の第 1 接続電極 12 のためのパッド開口 12A が形成される。その後、樹

脂膜 2 3 を硬化するための熱処理（ポリイミドキュア）が行われ、熱処理によりポリイミド膜（樹脂膜） 2 3 が安定化される。次に、第 1 接続電極 1 2 を形成すべき位置に貫通孔 1 2 A を有するポリイミド膜 2 3 をマスクとして、パッシベーション膜 2 2 のエッチングが行われる。これにより、配線膜 2 1 を第 1 接続電極 1 2 のパッド領域 1 1 A において露出させるパッド開口 1 2 B が形成される。パッシベーション膜 2 2 のエッチングは、反応性イオンエッチング（R I E）によって行われてもよい。

[0085] 次に、パッド開口 1 2 B、1 2 A 内に、たとえば無電解めっき法によって、外部接続電極としての第 1 接続電極 1 2 を成長させる。パッド開口 1 2 B、1 2 A 内での外部接続電極 1 2 の形成は、まず、パッド領域 1 1 A において露出している配線膜 2 1 上にニッケル層 1 2 1 が形成され、ニッケル層 1 2 1 上にパラジウム層 1 2 2 が形成され、さらにその上に金層が形成されるようにして、多層積層構造膜とするのが好ましい。ニッケル層 1 2 1 はアルミニウム系金属で形成された配線膜 2 1 との密着性の向上に寄与し、パラジウム層 1 2 2 はその上部に積層される金層 1 2 3 とアルミニウム系金属膜で形成された配線膜 2 1 との相互拡散を抑制する拡散防止層として機能する。第 1 接続電極 1 2 をこのように N i、P d、A u の 3 層構造または多層構造とすることにより、良好な接続電極とすることができる。

[0086] この発明に係る外部接続電極の特徴は、さらに、金層 1 2 3 の上面（外部接続電極の外部接続端）にはんだ層 1 2 4 が設けられていることである。はんだ層 1 2 4 は、たとえば素子表面部をはんだ槽にディップ（浸漬）することにより積層することができる。はんだ層 1 2 4 は、金層 1 2 3 の表面にのみ積層されるように、たとえば金層 1 2 3 の上面が、樹脂層（ポリイミド層） 2 3 の上面とほぼ面一としてもよい。あるいは、金層 1 2 3 の上面が、樹脂層（ポリイミド層） 2 3 の上面よりもやや窪んでいる状態であってもよい。また、金層 1 2 3 が樹脂層（ポリイミド層） 2 3 の上面からわずかに突出する状態（図 1 7 に示す状態）であっても構わない。

[0087] いずれにしろ、外部接続電極（第 1 接続電極） 1 2 の接続端面にはんだ層 1

24 を設けることにより、チップ抵抗器 10 を実装する際に、実装のためのはんだ印刷が不要になり、チップ抵抗器 10 を容易に実装できるという利点がある。また、実装時にはんだ印刷を施す場合に比べて、はんだの使用量が少なく、はんだの節約ができる。さらには、はんだ印刷により付着するはんだフィレット（はんだ層の拡がり）を減らすことができ、微小なチップ抵抗器 10 を良好に実装することができる。

[0088] 図 18 は、チップ抵抗器 10 に適用された他の外部接続電極構造を示す図解的な部分断面図である。図 18 において、図 17 と同一または対応する部分には、同一の符号が付されている。図 18 に示す外部接続電極の特徴は、パッド開口 12 B、12 A 内に露出した配線膜 21 上に銅（Cu）を材料とした電極層 125 が形成されていることである。銅層 125 は、パッド開口 12 B、12 A 中に、たとえば無電解めっきにより形成される。そしてこの銅層 125 の上にはんだ層 124 が積層されている。

[0089] 銅層 125 は、この実施形態では、パッド開口 12 B、12 A の途中まで設けられており、パッド開口 12 B、12 A 内を全て埋め尽くしてはいない。銅層 125 の上面にはんだ層 124 が積層され、はんだ層 124 は、樹脂層（ポリイミド層）23 の上面からやや突出する状態に盛り上がっている。かかる構成であっても、チップ抵抗器 10 の回路を良好に外部回路と接続するための外部接続電極構造を得ることができる。しかも、実装時にはんだ印刷工程を省略して、チップ抵抗器を容易に実装することのできる構造とすることができ。

[0090] 図 19 は、この発明の一実施形態に係る外部接続電極がチップコンデンサ 1 に適用された場合の構成を説明する図解的な部分断面図である。図 19 において、基板 2 の上には絶縁膜 8 が形成されており、その上にはたとえば下部電極膜 51 が形成されている。そして基板 2 の上面はパッシベーション膜 9 により覆われるとともに、その上はさらに樹脂膜 50 で覆われている。

[0091] かかる構成において、外部接続電極としての第 2 外部電極 4 は、次のように形成される。第 2 外部電極 4 を形成すべき位置に貫通孔を有するレジストパ

ターンが、パッシベーション膜 9 上に形成される。このレジストパターンをマスクとしてパッシベーション膜 9 のエッチングが行われる。それによって、下部電極膜 5 1 をパッド領域 5 1 B において露出させるパッド開口 2 7 が形成される。パッシベーション膜 9 のエッチングは、反応性イオンエッチングによって行われてもよい。

[0092] 次いで、全面に樹脂膜 5 0 が塗布される。樹脂膜 5 0 としては、感光性のポリイミドが用いられる。樹脂膜 5 0 に対して、パッド開口 2 7 に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜 5 0 のパターニングを行うことができる。これにより、樹脂膜 5 0 およびパッシベーション膜 9 を貫通したパッド開口 2 7 が形成される。その後、樹脂膜 5 0 を硬化するための熱処理（キュア処理）が行われる。そして、パッド開口 2 7 内に、たとえば無電解めっき法によって、第 2 外部電極 4 が成長される。

[0093] 第 2 外部電極 4 は、図 1 7 で説明したチップ抵抗器 1 0 における外部接続電極と同様、たとえば下部電極膜 5 1 に接するニッケル層 1 2 1 と、ニッケル層 1 2 1 上に積層したパラジウム層 1 2 2 と、パラジウム層 1 2 2 上に積層した金層 1 2 3 とを有する多層積層構造膜であることが好ましい。第 2 外部電極 4 には、さらに、金層 1 2 3 の上（接続端面）に、はんだ層 1 2 4 が設けられている。はんだ層 1 2 4 は、たとえば素子表面部をはんだ槽にディップ（浸漬）することにより積層される。

[0094] このように、チップコンデンサ 1 においても、外部接続電極である第 2 外部電極 4 の接続端面にはんだ層 1 2 4 を積層することにより、チップコンデンサ 1 の実装時にはんだ印刷を不要にし、実装工程を容易に行えるチップコンデンサとすることができる。また、実装時にはんだ印刷を施す場合に比べて、はんだの使用量が少なく、はんだの節約ができる。さらには、はんだ印刷により付着するはんだフィレット（はんだ層の拡がり）を減らすことができ、微小なチップコンデンサ 1 を良好に実装することができる。

[0095] なお、以上の説明は、チップコンデンサ 1 の第 2 外部電極 4 を取り上げて説

明したが、第 1 外部電極 3 の構造も同様で、第 2 外部電極 4 と同時に作られる。図 20 は、チップコンデンサ 1 に適用した他の外部接続電極の構成例を示す部分縦断面図である。図 20 において、図 19 と同一部分には同一番号が付されている。図 20 に示す外部接続電極（第 2 外部電極 4）の特徴は、図 18 で説明した構造と同様である。すなわち、パッド開口 27 に露出した下部電極膜 51 上に、たとえば無電解めっきにより銅（Cu）からなる銅層 125 が形成されている。銅層 125 は、パッド開口 27 の途中部まで充填するように形成されている。そしてその上面にはんだ層 124 が積層されている。

[0096] この構成によっても、前述した図 18 に示す実施形態と同様、実装のし易い外部接続電極構造とすることができる。以上、この発明の実施形態として、チップ抵抗器およびチップコンデンサについて説明したが、この発明は、チップ抵抗器およびチップコンデンサ以外のチップ部品に対しても適用することが可能である。

[0097] たとえば、他のチップ部品の例として、チップインダクタを例示することができる。チップインダクタは、たとえば基板上に多層配線構造を有し、多層配線構造内にインダクタ（コイル）およびそれに関連する配線を有する部品で、多層配線構造内の任意のインダクタがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。かかるチップインダクタにおいても、この発明による外部接続電極の構造を採用することにより、実装が容易で、取り扱い易いチップインダクタ（チップ部品）とすることができる。

[0098] さらに他のチップ部品の例として、チップダイオードを例示することもできる。チップダイオードは、たとえば基板上に多層配線構造を有し、多層配線構造内に複数のダイオードおよびそれに関連する配線を有する部品で、多層配線構造内の任意のダイオードがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。回路に組み込むダイオードを選択することにより、チップダイオードの整流特性を変更したり、調整す

ることができる。また、チップダイオードの電圧降下特性(抵抗値)を設定できる。さらに、ダイオードがLED(ライトエミッティングダイオード)であるチップLEDの場合、回路に組み込むLEDを選択し、発光色を選べるチップLEDとすることができる。このようなチップダイオード、チップLEDに対しても、この発明の外部接続電極の構造を採用することができ、それによって、実装が容易で、取り扱い易いチップダイオード、チップLEDといったチップ部品とすることができる。

[0099] その他、特許請求の範囲に記載された事項の範囲内で種々の設計変更を施すことが可能である。＜第1参考例に係る発明＞(1) 第1参考例に係る発明の特徴 たとえば、第1参考例に係る発明の特徴は、以下のA1～A20である。(A1) チップ部品本体と、前記チップ部品本体の表面に形成された電極パッドと、前記チップ部品本体の表面を覆い、前記電極パッドを底面で露出させるコンタクト孔を有する保護膜と、前記コンタクト孔を介して前記電極パッドに電氣的に接続され、電極パッドの表面に垂直な方向から見た平面視で前記コンタクト孔の縁部全周において前記保護膜の表面に延びて前記電極パッドとの接触領域よりも外方に張り出した張出し部を有する外部接続電極とを含むことを特徴とする、チップ部品。

[0100] この構成によれば、チップ部品において、外部接続電極の構造を工夫することにより、チップ部品の信頼性の向上を図ることができる。特に、外部接続電極が保護膜表面にオーバーラップされるように形成されており、チップ部品の耐湿性を向上させ、かつ、チップ部品の表面から露出する外部接続電極の表面積が増加して、チップ部品の実装強度が向上する。さらに、外部接続電極は、外圧に対する強度も向上している。その結果、チップ部品、特に片面に一对の電極が設けられたフリップチップに対して良好な構造とすることができる。(A2) 前記保護膜が、前記コンタクト孔の縁部に、前記接触領域から外方へと拡がる傾斜面を有しており、前記電極の張出し部が前記傾斜面に接していることを特徴とする、A1に記載のチップ部品。

[0101] この構成によれば、保護膜の傾斜面と外部接続電極の張出部とが接しており

、保護膜に沿って強固に支持された外部接続電極とすることができる。（A 3）前記保護膜が、パッシベーション膜と、前記パッシベーション膜上に積層された樹脂膜とを含み、前記コンタクト孔が、前記パッシベーション膜および前記樹脂膜を貫通して形成されており、前記樹脂膜が、前記パッシベーション膜の前記コンタクト孔に臨む内縁よりも内方に張り出して、前記パッシベーション膜と前記樹脂膜との界面に沿う段差が形成されていることを特徴とする、A 1 または A 2 に記載のチップ部品。

[0102] この構成によれば、外部接続電極が設けられる保護膜のコンタクト孔は、その内周面において段差部を備えているから、コンタクト孔に設けられた外部接続電極がコンタクト孔内で強固に固定され、耐湿性の向上や外圧に対する強度アップを実現することができる。（A 4）前記電極が凸湾曲面状の頂面を有していることを特徴とする、A 1 ～ A 3 のいずれか一項に記載のチップ部品。

[0103] この構成によれば、外部接続電極の表面は張出部を有するとともに凸湾曲面状の頂面を有しているので、外部接続電極の表面積が増加して、チップ部品の実装強度を向上させることができる。（A 5）前記チップ部品本体上に形成された複数の素子要素と、前記チップ部品本体上に設けられ、前記複数の素子要素をそれぞれ前記外部接続電極に切断可能に接続する複数のヒューズとをさらに含むことを特徴とする、A 1 ～ A 4 のいずれか一項に記載のチップ部品。

[0104] この構成によれば、同一の基本設計で種々の値に対応でき、しかも A 1 ～ A 4 に記載の効果を有するチップ部品とすることができる。（A 6）前記素子要素が、前記チップ部品本体上に形成された抵抗体膜と、前記抵抗体膜に接するように積層された配線膜とを有する抵抗体であることを特徴とする、A 5 に記載のチップ部品。

[0105] この構成によれば、チップ部品としてチップ抵抗器を提供することができる。（A 7）前記素子要素が、前記チップ部品本体上に形成された容量膜と、前記容量膜に接する電極膜とを有するキャパシタ要素であることを特徴とす

る、A 5 に記載のチップ部品。この構成によれば、チップ部品としてチップコンデンサを提供することができる。（A 8）前記素子要素が、前記チップ部品本体上に形成されたインダクタ（コイル）およびそれに関連する配線を含むことを特徴とする、A 5 記載のチップ部品。

[0106] この構成によれば、チップ部品としてチップインダクタを提供することができる。（A 9）前記素子要素が、前記チップ部品本体上に形成された接合構造を有する複数のダイオードを含むことを特徴とする、A 5 記載のチップ部品。この構成によれば、チップ部品としてチップダイオードを提供することができる。（A 10）前記複数のダイオードが、LEDを含むことを特徴とする、A 9 記載のチップ部品。

[0107] この構成によれば、チップ部品としてチップLEDを提供することができる。（A 11）チップ部品本体の表面に電極パッドを形成する工程と、前記チップ部品本体の表面を覆う保護膜を形成する工程と、前記電極パッドを底面で露出させるコンタクト孔を前記保護膜に形成する工程と、前記コンタクト孔を介して前記電極パッドに電氣的に接続され、前記コンタクト孔の縁部全周において前記保護膜の表面に延びて前記電極パッドとの接触領域よりも外方に張り出した張出し部を有する電極を形成する工程とを含むことを特徴とする、チップ部品の製造方法。

[0108] この構成によれば、A 1 記載の構成および効果を備えたチップ部品を製造することができる。（A 12）前記保護膜を熱処理することによって、前記コンタクト孔の縁部に、前記接触領域から外方へと広がる傾斜面を形成する工程をさらに含み、前記張出し部が前記傾斜面に接するように前記電極が形成されることを特徴とする、A 11 に記載のチップ部品の製造方法。

[0109] この構成によれば、A 2 記載の構成および効果を有するチップ部品を製造することができる。（A 13）前記保護膜を形成する工程が、パッシベーション膜を形成する工程と、前記パッシベーション膜上に樹脂膜を積層する工程とを含み、前記コンタクト孔を形成する工程が、前記パッシベーション膜および前記樹脂膜を貫通するように前記コンタクト孔を形成する工程であり、

前記パッシベーション膜の前記コンタクト孔に臨む内縁が、前記樹脂膜の下でサイドエッチングされることにより、前記樹脂膜の前記コンタクト孔に臨む内縁よりも外方に後退して、前記パッシベーション膜と前記樹脂膜との界面に沿う段差が形成されることを特徴とする、A 1 1 または A 1 2 に記載のチップ部品の製造方法。

[0110] この構成によれば、A 3 記載の構成および効果を有するチップ部品を製造することができる。(A 1 4) 前記電極が、凸湾曲面状の頂面を有するように形成されることを特徴とする、A 1 1 ~ A 1 3 のいずれか一項に記載のチップ部品の製造方法である。この構成によれば、A 4 記載の構成および効果を有するチップ部品を製造することができる。(A 1 5) 前記チップ部品本体上に複数の素子要素を形成する工程と、前記チップ部品本体上に、前記複数の素子要素をそれぞれ前記外部接続電極に切断可能に接続する複数のヒューズを形成する工程とをさらに含むことを特徴とする、A 1 1 ~ A 1 4 のいずれか一項に記載のチップ部品の製造方法。

[0111] この構成によれば、A 6 記載の構成および効果を有するチップ部品を製造することができる。(A 1 6) 前記素子要素を形成する工程が、前記チップ部品本体上に抵抗体膜を形成する工程と、前記抵抗体膜に接するように積層された配線膜を形成する工程とを含み、前記素子要素が、前記抵抗体膜および前記配線膜を含む抵抗体であることを特徴とする、A 1 5 に記載のチップ部品の製造方法。

[0112] この構成によれば、A 6 記載の構成および効果を有するチップ部品としてのチップ抵抗器を製造することができる。(A 1 7) 前記素子要素を形成する工程が、前記チップ部品本体上に容量膜を形成する工程と、前記容量膜に接する電極膜を形成する工程とを含み、前記素子要素がキャパシタ要素であることを特徴とする、A 1 5 に記載のチップ部品の製造方法。

[0113] この構成によれば、A 7 記載の構成および効果を有するチップ部品としてのチップコンデンサを製造することができる。(A 1 8) 前記素子要素を形成する工程が、前記チップ部品本体上にインダクタおよびそれに関連する配線

膜を形成する工程とを含み、前記素子要素が、コイル要素であることを特徴とする、A 1 5 に記載のチップ部品の製造方法。この構成によれば、A 8 記載の構成および効果を有するチップ部品としてのチップインダクタを製造することができる。（A 1 9）前記素子要素を形成する工程が、前記チップ部品本体上に接合構造を形成する工程を含み、前記素子要素がダイオード要素であることを特徴とする、A 1 5 に記載のチップ部品の製造方法。

[0114] この構成によれば、A 9 記載の構成および効果を有するチップ部品としてのチップダイオードを製造することができる。（A 2 0）前記素子要素を形成する工程が、前記チップ部品本体上に接合構造を形成する工程を含み、前記素子要素がLED要素であることを特徴とする、A 1 5 に記載のチップ部品の製造方法。

[0115] この構成によれば、A 1 0 記載の構成および効果を有するチップ部品としてのチップLEDを製造することができる。（2）第1参考例に係る発明の実施形態 以下には、第1参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図22～図40で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

[0116] 図22（A）は、第1参考例の一実施形態に係るチップ抵抗器a 1 0の外観構成を示す図解的な斜視図であり、図22（B）は、チップ抵抗器a 1 0が基板上に実装された状態を示す側面図である。図22（A）を参照して、第1参考例の一実施形態に係るチップ抵抗器a 1 0は、基板a 1 1上に形成された第1接続電極a 1 2と、第2接続電極a 1 3と、抵抗回路網a 1 4とを備えている。基板a 1 1は、平面視略長方形の直方体形状で、一例として、長辺方向の長さ $L=0.3\text{ mm}$ 、短辺方向の幅 $W=0.15\text{ mm}$ 、厚み $T=0.1\text{ mm}$ 程度の大きさの微少なチップである。基板a 1 1は、平面視で角が面取りされた角ラウンド形状であってもよい。基板は、たとえばシリコン、ガラス、セラミック等で形成することができる。以下の実施形態では、基板a 1 1がシリコン基板の場合を例にとって説明する。

[0117] チップ抵抗器 a 1 0 は、図 4 0 に示すように、半導体ウエハ（シリコンウエハ）上に格子状に多数個のチップ抵抗器 a 1 0 が形成され、半導体ウエハ（シリコンウエハ）が切断されて個々のチップ抵抗器 a 1 0 に分離されることにより得られる。シリコン基板 a 1 1 上において、第 1 接続電極 a 1 2 はシリコン基板 a 1 1 の一方短辺 a 1 1 1 に沿って設けられた短辺 a 1 1 1 方向に長手の矩形電極である。第 2 接続電極 a 1 3 は、シリコン基板 a 1 1 上の他方短辺 a 1 1 2 に沿って設けられた短辺 a 1 1 2 方向に長手の矩形電極である。抵抗回路網 a 1 4 は、シリコン基板 a 1 1 上の第 1 接続電極 a 1 2 と第 2 接続電極 a 1 3 とで挟まれた中央領域（回路形成面または素子形成面）に設けられている。そして、抵抗回路網 a 1 4 の一端側は第 1 接続電極 a 1 2 に電氣的に接続されており、抵抗回路網 a 1 4 の他端側は第 2 接続電極 a 1 3 に電氣的に接続されている。これら第 1 接続電極 a 1 2、第 2 接続電極 a 1 3 および抵抗回路網 a 1 4 は、たとえば一例として、シリコン基板 a 1 1 上に半導体製造プロセスを用いて設けることができる。換言すれば、半導体装置を製造するための装置、設備を使用してディスクリットなチップ抵抗器 a 1 0 を製造することができる。特に、後述するフォトリソグラフィプロセスを用いることにより、微細で正確なレイアウトパターンの抵抗回路網 a 1 4 を形成することができる。

[0118] 第 1 接続電極 a 1 2 および第 2 接続電極 a 1 3 は、それぞれ、外部接続電極として機能する。チップ抵抗器 a 1 0 が回路基板 a 1 5 に実装された状態においては、図 2 2（B）に示すように、第 1 接続電極 a 1 2 および第 2 接続電極 a 1 3 が、それぞれ、回路基板 a 1 5 の回路（図示せず）と半田により電氣的かつ機械的に接続される。この実施形態では、外部接続電極として機能する第 1 接続電極 a 1 2 および第 2 接続電極 a 1 3 は、金（Au）または銅（Cu）で形成されている。

[0119] 図 2 3 は、チップ抵抗器 a 1 0 の平面図であり、第 1 接続電極 a 1 2、第 2 接続電極 a 1 3 および抵抗回路網 a 1 4 の配置関係ならびに抵抗回路網 a 1 4 の平面視の構成（レイアウトパターン）が示されている。図 2 3 を参照

して、チップ抵抗器 $a10$ は、シリコン基板上面の一方短辺 $a111$ に長辺が沿うように配置された平面視略矩形をした第1接続電極 $a12$ と、シリコン基板上面の他方短辺 $a112$ に長辺が沿うように配置された平面視略矩形をした第2接続電極 $a13$ と、第1接続電極 $a12$ および第2接続電極 $a13$ 間の平面視矩形の領域に設けられた抵抗回路網 $a14$ とを含んでいる。

[0120] 抵抗回路網 $a14$ には、シリコン基板 $a11$ 上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R (図23の例では、行方向(シリコン基板の長手方向)に沿って8個の単位抵抗体 R が配列され、列方向(シリコン基板の幅方向)に沿って44個の単位抵抗体 R が配列され、合計352個の単位抵抗体 R を含む構成)を有している。そして、これら多数個の単位抵抗体 R の1~64個の所定の個数が(導体で形成された配線膜で)電氣的に接続されて、接続された単位抵抗体 R の数に応じた複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は導体膜 C (導体で形成された配線膜)で所定の態様に接続されている。

[0121] さらに、抵抗回路を抵抗回路網 $a14$ に電氣的に組み込んだり、または、抵抗回路網 $a14$ から電氣的に分離するために溶断可能な複数のヒューズ膜 F (導体で形成された配線膜)が設けられている。複数のヒューズ膜 F は、第2接続電極 $a13$ の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ膜 F および接続用導体膜 C が隣接するように配列され、その配列方向が直線状になるように配置されている。

[0122] 図24Aは、図23に示す抵抗回路網 $a14$ の一部分を拡大して描いた平面図であり、図24Bおよび図24Cは、それぞれ、抵抗回路網 $a14$ における単位抵抗体 R の構造を説明するために描いた長さ方向の縦断面図および幅方向の縦断面図である。図24A、図24Bおよび図24Cを参照して、単位抵抗体 R の構成について説明をする。

[0123] 基板としてのシリコン基板 $a11$ の上面には絶縁層 (SiO_2) $a19$ が形成され、絶縁層 $a19$ 上に抵抗体膜 $a20$ が配置されている。抵抗体膜 $a20$

は、 TiN 、 $TiON$ または $TiSiON$ により形成される。この抵抗体膜 $a20$ は、第1接続電極 $a12$ と第2接続電極 $a13$ との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ライン $a20$ は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ライン $a20$ 上には、導体膜片 $a21$ としてのアルミニウム膜が積層されている。各導体膜片 $a21$ は、抵抗体膜ライン $a20$ 上に、ライン方向に一定間隔 R を開けて積層されている。

[0124] この構成の抵抗体膜ライン $a20$ および導体膜片 $a21$ の電気的特徴を回路記号で示すと、図25の通りである。すなわち、図25（A）に示すように、所定間隔 R の領域の抵抗体膜ライン $a20$ 部分が、それぞれ、一定の抵抗値 r の単位抵抗体 R を形成している。導体膜片 $a21$ が積層された領域は、当該導体膜片 $a21$ で抵抗体膜ライン $a20$ が短絡されている。よって、図25（B）に示す抵抗 r の単位抵抗体 R の直列接続からなる抵抗回路が形成されている。

[0125] また、隣接する抵抗体膜ライン $a20$ 同士は抵抗体膜ライン $a20$ および導体膜片 $a21$ で接続されているから、図24Aに示す抵抗回路網は、図25（C）に示す抵抗回路を構成している。図24Bおよび図24Cに示す図解的な断面図において、参照番号 $a11$ はシリコン基板、 $a19$ は絶縁層としての二酸化シリコン SiO_2 層、 $a20$ は絶縁層 $a19$ 上に形成された TiN 、 $TiON$ または $TiSiON$ の抵抗体膜、 $a21$ はアルミニウム（ Al ）の配線膜、 $a22$ は保護膜としての SiN 膜、 $a23$ は保護層としてのポリイミド層を示している。

[0126] なお、かかる構成の抵抗回路網 $a14$ の製造プロセスについては、後に詳述する。この実施形態では、シリコン基板上 11 に形成された抵抗回路網 $a14$ に含まれる単位抵抗体 R は、抵抗体膜ライン $a20$ と、抵抗体膜ライン $a20$ 上に、ライン方向に一定間隔をあけて積層された複数の導体膜片 $a21$ とを含み、導体膜片 $a21$ が積層されていない一定間隔 R 部分の抵抗体膜ライン $a20$ が、1個の単位抵抗体 R を構成している。単位抵抗体 R を構成

している抵抗体膜ライン a 2 0 は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基づき、シリコン基板 a 1 1 上にマトリックス状に配列された多数個の単位抵抗体 R は、等しい抵抗値を有している。

[0127] 抵抗体膜ライン a 2 0 上に積層された導体膜片 a 2 1 は、単位抵抗体 R を形成するとともに、複数個の単位抵抗体 R を接続して抵抗回路を構成するための接続用配線膜の役目も果たしている。図 2 6 (A) は、図 2 3 に示すチップ抵抗器 a 1 0 の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡大平面図であり、図 2 6 (B) は、図 2 6 (A) の B-B に沿う断面構造を示す図である。

[0128] 図 2 6 (A) (B) に示すように、ヒューズ膜 F も、抵抗体膜 a 2 0 上に積層された配線膜 a 2 1 により形成されている。すなわち、単位抵抗体 R を形成する抵抗体膜ライン a 2 0 上に積層された導体膜片 a 2 1 と同じレイヤーに、導体膜片 a 2 1 と同じ金属材料であるアルミニウム (A 1) により形成されている。なお、導体膜片 a 2 1 は、前述したように、抵抗回路を形成するために、複数個の単位抵抗体 R を電氣的に接続する接続用導体膜 C としても用いられている。

[0129] つまり、抵抗体膜 a 2 0 上に積層された同一レイヤーにおいて、単位抵抗体 R 形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網 a 1 4 を構成するための接続用配線膜、ヒューズ膜、ならびに抵抗回路網 a 1 4 を第 1 接続電極 a 1 2 および第 2 接続電極 a 1 3 に接続するための配線膜が、同一の金属材料（たとえばアルミニウム）を用いて、同じ製造プロセス（たとえばスパッタリングおよびフォトリソグラフィプロセス）によって形成されている。これにより、このチップ抵抗器 a 1 0 の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗体膜 a 2 0 とのアライメント性も向上する。

[0130] 図 2 7 は、図 2 3 に示す抵抗回路網 a 1 4 における複数種類の抵抗回路を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜

Cおよびヒューズ膜Fに接続された複数種類の抵抗回路との接続関係を図解的に示す図である。図27を参照して、第1接続電極a12には、抵抗回路網a14に含まれる基準抵抗回路R8の一端が接続されている。基準抵抗回路R8は、8個の単位抵抗体Rの直列接続からなり、その他端はヒューズ膜F1に接続されている。

[0131] ヒューズ膜F1と接続用導体膜C2とには、64個の単位抵抗体Rの直列接続からなる抵抗回路R64の一端および他端が接続されている。接続用導体膜C2とヒューズ膜F4とには、32個の単位抵抗体Rの直列接続からなる抵抗回路R32の一端および他端が接続されている。ヒューズ膜F4と接続用導体膜C5とには、32個の単位抵抗体Rの直列接続からなる抵抗回路R32の一端および他端が接続されている。

[0132] 接続用導体膜C5とヒューズ膜F6とには、16個の単位抵抗体Rの直列接続からなる抵抗回路R16の一端および他端が接続されている。ヒューズ膜F7および接続用導体膜C9には、8個の単位抵抗体Rの直列接続からなる抵抗回路R8の一端および他端が接続されている。接続用導体膜C9およびヒューズ膜F10には、4個の単位抵抗体Rの直列接続からなる抵抗回路R4の一端および他端が接続されている。

[0133] ヒューズ膜F11および接続用導体膜C12には、2個の単位抵抗体Rの直列接続からなる抵抗回路R2の一端および他端が接続されている。接続用導体膜C12およびヒューズ膜F13には、1個の単位抵抗体Rからなる抵抗回路R1の一端および他端が接続されている。ヒューズ膜F13および接続用導体膜C15には、2個の単位抵抗体Rの並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。

[0134] 接続用導体膜C15およびヒューズ膜F16には、4個の単位抵抗体Rの並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。ヒューズ膜F16および接続用導体膜C18には、8個の単位抵抗体Rの並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。接続用導

体膜C 1 8およびヒューズ膜F 1 9には、1 6個の単位抵抗体Rの並列接続からなる抵抗回路R / 1 6の一端および他端が接続されている。

[0135] ヒューズ膜F 1 9および接続用導体膜C 2 2には、3 2個の単位抵抗体Rの並列接続からなる抵抗回路R / 3 2が接続されている。複数のヒューズ膜Fおよび接続用導体膜Cは、それぞれ、ヒューズ膜F 1、接続用導体膜C 2、ヒューズ膜F 3、ヒューズ膜F 4、接続用導体膜C 5、ヒューズ膜F 6、ヒューズ膜F 7、接続用導体膜C 8、接続用導体膜C 9、ヒューズ膜F 1 0、ヒューズ膜F 1 1、接続用導体膜C 1 2、ヒューズ膜F 1 3、ヒューズ膜F 1 4、接続用導体膜C 1 5、ヒューズ膜F 1 6、ヒューズ膜F 1 7、接続用導体膜C 1 8、ヒューズ膜F 1 9、ヒューズ膜F 2 0、接続用導体膜C 2 1、接続用導体膜C 2 2が、直線状に配置されて直列に接続されている。各ヒューズ膜Fが溶断されると、ヒューズ膜Fに隣接接続された接続用導体膜Cとの間の電氣的接続が遮断される構成である。

[0136] この構成を、電気回路図で示すと図2 8の通りである。すなわち、全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網a 1 4は、第1接続電極a 1 2および第2接続電極a 1 3間に設けられた8個の単位抵抗体Rの直列接続からなる基準抵抗回路R 8（抵抗値8 r）の抵抗回路を構成している。たとえば、1個の単位抵抗体Rの抵抗値rを $r = 80 \Omega$ とすれば、 $8 r = 640 \Omega$ の抵抗回路により、第1接続電極a 1 2および第2接続電極a 1 3が接続されたチップ抵抗器a 1 0が構成されている。

[0137] そして、基準抵抗回路R 8以外の複数種類の抵抗回路には、それぞれ、ヒューズ膜Fが並列的に接続され、各ヒューズ膜Fによりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路R 8には、1 2種類1 3個の抵抗回路R 6 4 ~ R / 3 2が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ膜Fにより短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網a 1 4に組み込まれてはいない。

[0138] この実施形態に係るチップ抵抗器a 1 0は、要求される抵抗値に応じて、ヒ

ヒューズ膜Fを選択的に、たとえばレーザー光で溶断する。それにより、並列的に接続されたヒューズ膜Fが溶断された抵抗回路は、抵抗回路網a 1 4に組み込まれることになる。よって、抵抗回路網a 1 4の全体の抵抗値を、溶断されたヒューズ膜Fに対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

[0139] 換言すれば、この実施形態に係るチップ抵抗器a 1 0は、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路（たとえば、F 1、F 4、F 1 3が溶断されると、抵抗回路R 6 4、R 3 2、R 1の直列接続）を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網a 1 4の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器a 1 0とすることができる。

[0140] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体Rが、直列に1個、2個、4個、8個、16個、32個、および64個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体Rが並列に2個、4個、8個、16個、および32個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズ膜Fで短絡された状態で直列に接続されている。よって、ヒューズ膜Fを選択的に溶断することにより、抵抗回路網a 1 4全体の抵抗値を、小さな抵抗値から大きな抵抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

[0141] 図29は、第1参考例の他の実施形態に係るチップ抵抗器a 3 0の平面図であり、第1接続電極a 1 2、第2接続電極a 1 3および抵抗回路網4の配置関係ならびに抵抗回路網a 1 4の平面視の構成が示されている。チップ抵抗器a 3 0が、前述したチップ抵抗器a 1 0と異なるところは、抵抗回路網a 1 4における単位抵抗体Rの接続態様である。

[0142] すなわち、チップ抵抗器a 3 0の抵抗回路網a 1 4には、シリコン基板上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R（

図 29 の構成では、行方向（シリコン基板の長手方向）に沿って 8 個の単位抵抗体 R が配列され、列方向（シリコン基板の幅方向）に沿って 44 個の単位抵抗体 R が配列され、合計 352 個の単位抵抗体 R を含む構成）を有している。そして、これら多数個の単位抵抗体 R の 1 ～ 128 個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ膜 F により並列態様で接続されている。複数のヒューズ膜 F は、第 2 接続電極 a13 の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ膜 F が溶断されると、ヒューズ膜に接続された抵抗回路が抵抗回路網 a14 から電氣的に分離される構成である。

[0143] なお、抵抗回路網 a14 を構成する多数個の単位抵抗体 R の構造や、接続用導体膜、ヒューズ膜 F の構造は、先に説明したチップ抵抗器 a10 における対応する部位の構造と同様であるから、ここでの説明については省略する。

図 30 は、図 29 に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ膜 F の配列関係ならびにヒューズ膜 F に接続された複数種類の抵抗回路の接続関係を図解的に示す図である。

[0144] 図 30 を参照して、第 1 接続電極 a12 には、抵抗回路網 a14 に含まれる基準抵抗回路 R/16 の一端が接続されている。基準抵抗回路 R/16 は、16 個の単位抵抗体 R の並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜 C に接続されている。ヒューズ膜 F1 と接続用導体膜 C とには、128 個の単位抵抗体 R の直列接続からなる抵抗回路 R128 の一端および他端が接続されている。

[0145] ヒューズ膜 F5 と接続用導体膜 C とには、64 個の単位抵抗体 R の直列接続からなる抵抗回路 R64 の一端および他端が接続されている。抵抗膜 F6 と接続用導体膜 C とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R32 の一端および他端が接続されている。ヒューズ膜 F7 と接続用導体膜 C とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R16 の一端および他端が接続されている。

- [0146] ヒューズ膜 F 8 と接続用導体膜 C とには、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。ヒューズ膜 F 9 と接続用導体膜 C とには、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。ヒューズ膜 F 10 と接続用導体膜 C とには、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。
- [0147] ヒューズ膜 F 11 と接続用導体膜 C とには、1 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 の一端および他端が接続されている。ヒューズ膜 F 12 と接続用導体膜 C とには、2 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。ヒューズ膜 F 13 と接続用導体膜 C とには、4 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。
- [0148] ヒューズ膜 F 14、F 15、F 16 は電氣的に接続されており、これらヒューズ膜 F 14、F 15、F 16 と接続用導体 C とには、8 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。ヒューズ膜 F 17、F 18、F 19、F 20、F 21 は電氣的に接続されており、これらヒューズ膜 F 17～F 21 と接続用導体膜 C とには、16 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。
- [0149] ヒューズ膜 F は、ヒューズ膜 F 1～F 21 の 21 個備えられていて、これらは全て第 2 接続電極 a 13 に接続されている。かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズ膜 F が溶断されると、そのヒューズ膜 F に一端が接続された抵抗回路は、抵抗回路網 a 14 から電氣的に切り離される。
- [0150] 図 30 の構成、すなわちチップ抵抗器 a 30 に備えられた抵抗回路網 a 14 の構成を、電気回路図で示すと図 31 の通りである。全てのヒューズ膜 F が溶断されていない状態では、抵抗回路網 a 14 は、第 1 接続電極 a 14 および第 2 接続電極 a 13 間に、基準抵抗回路 $R/16$ と、12 種類の抵抗回路

$R/16$ 、 $R/8$ 、 $R/4$ 、 $R/2$ 、 $R1$ 、 $R2$ 、 $R4$ 、 $R8$ 、 $R16$ 、 $R32$ 、 $R64$ 、 $R128$ の並列接続回路との直列接続回路を構成している。

[0151] そして、基準抵抗回路 $R/16$ 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ膜 F が直列に接続されている。よって、この抵抗回路網 $a14$ を有するチップ抵抗器 $a30$ では、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズ膜 F に対応する抵抗回路（ヒューズ膜 F が直列に接続された抵抗回路）は、抵抗回路網 $a14$ から電氣的に分離され、チップ抵抗器 $a10$ の抵抗値を調整することができる。

[0152] 換言すれば、この実施形態に係るチップ抵抗器 $a30$ も、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 $a14$ の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 $a30$ とすることができる。

[0153] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、64 個および 128 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 $a14$ 全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値に設定することができる。

[0154] 図 32 は、第 1 参考例の他の実施形態としてのチップコンデンサの平面図であり、図 33 はその断面図であって、図 32 の切断面線 $XXXIII-XXXII$ から見た切断面が示されている。さらに、図 34 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。チップコンデンサ $a1$ は

、基板 a 2 と、基板 a 2 上に配置された第 1 外部電極 a 3 と、同じく基板 a 2 上に配置された第 2 外部電極 a 4 とを備えている。基板 a 2 は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。矩形形状は、例えば、0.3 mm×0.15 mm 程度の寸法である。基板 a 2 の長手方向両端部に第 1 外部電極 a 3 および第 2 外部電極 a 4 がそれぞれ配置されている。第 1 外部電極 a 3 および第 2 外部電極 a 4 は、この実施形態では、基板 a 2 の短手方向に延びたほぼ矩形の平面形状を有し、基板 a 2 の角に対応する各 2 箇所面に面取り部を有している。基板 a 2 上には、第 1 外部電極 a 3 および第 2 外部電極 a 4 の間のキャパシタ配置領域 a 5 内に、複数のキャパシタ要素 C 1 ～C 9 が配置されている。複数のキャパシタ要素 C 1 ～C 9 は、複数のヒューズユニット a 7 を介してそれぞれ第 1 外部電極 a 3 に電氣的に接続されている。

[0155] 図 3 3 および図 3 4 に示されているように、基板 a 2 の表面には絶縁膜 a 8 が形成されていて、絶縁膜 a 8 の表面に下部電極膜 a 5 1 が形成されている。下部電極膜 a 5 1 は、キャパシタ配置領域 a 5 のほぼ全域にわたっていると同時に、第 2 外部電極 a 4 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 a 5 1 は、キャパシタ要素 C 1 ～C 9 の共通の下部電極として機能するキャパシタ電極領域 a 5 1 A と、外部電極引き出しのためのパッド領域 a 5 1 B とを有している。キャパシタ電極領域 a 5 1 A がキャパシタ配置領域 a 5 に位置していて、パッド領域 a 5 1 B が第 2 外部電極 a 4 の直下に位置している。

[0156] キャパシタ配置領域 a 5 において下部電極膜 a 5 1 (キャパシタ電極領域 a 5 1 A) を覆うように容量膜 (誘電体膜) a 5 2 が形成されている。容量膜 a 5 2 は、キャパシタ電極領域 a 5 1 A の全域にわたって連続しており、この実施形態では、さらに第 1 外部電極 a 3 の直下の領域にまで延び、キャパシタ配置領域 a 5 外の絶縁膜 a 8 を覆っている。容量膜 a 5 2 の上には、上部電極膜 a 5 3 が形成されている。図 2 2 では、明瞭化のために、上部電極膜 a 5 3 に細ドットを付して示してある。上部電極膜 a 5 3 は、キャパシ

タ配置領域 a 5 に位置するキャパシタ電極領域 a 5 3 A と、第 1 外部電極 a 3 の直下に位置するパッド領域 a 5 3 B と、パッド領域 a 5 3 B とキャパシタ電極領域 a 5 3 A との間に配置されたヒューズ領域 a 5 3 C とを有している。

[0157] キャパシタ電極領域 a 5 3 A において、上部電極膜 a 5 3 は、複数の電極膜部分 a 1 3 1 ~ a 1 3 9 に分割されている。この実施形態では、各電極膜部分 a 1 3 1 ~ a 1 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 a 5 3 C から第 2 外部電極 a 4 に向かって帯状に延びている。複数の電極膜部分 a 1 3 1 ~ a 1 3 9 は、複数種類の対向面積で、容量膜 a 5 2 を挟んで下部電極膜 a 5 1 に対向している。より具体的には、電極膜部分 a 1 3 1 ~ a 1 3 9 の下部電極膜 a 5 1 に対する対向面積は、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となるように定められていてもよい。すなわち、複数の電極膜部分 a 1 3 1 ~ a 1 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 a 1 3 1 ~ a 1 3 8 (または a 1 3 1 ~ a 1 3 7, a 1 3 9) を含む。これによって、各電極膜部分 a 1 3 1 ~ a 1 3 9 と容量膜 1 2 を挟んで対向する下部電極膜 a 5 1 とによってそれぞれ構成される複数のキャパシタ要素 C 1 ~ C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 a 1 3 1 ~ a 1 3 9 の対向面積の比が前述の通りである場合、キャパシタ要素 C 1 ~ C 9 の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となる。すなわち、複数のキャパシタ要素 C 1 ~ C 9 は、公比が 2 の等比数列をなすように容量値が設定された複数のキャパシタ要素 C 1 ~ C 8 (または C 1 ~ C 7, C 9) を含むことになる。

[0158] この実施形態では、電極膜部分 a 1 3 1 ~ a 1 3 5 は、幅が等しく、長さの比を 1 : 2 : 4 : 8 : 16 に設定した帯状に形成されている。また、電極膜部分 a 1 3 5, a 1 3 6, a 1 3 7, a 1 3 8, a 1 3 9 は、長さが等しく、幅の比を 1 : 2 : 4 : 8 : 8 に設定した帯状に形成されている。電極膜部

分 a 1 3 5 ~ a 1 3 9 は、キャパシタ配置領域 a 5 の第 1 外部電極 a 3 側の端縁から第 2 外部電極 a 4 側の端縁までの範囲に渡って延びて形成されており、電極膜部分 a 1 3 1 ~ a 1 3 4 は、それよりも短く形成されている。

[0159] パッド領域 a 5 3 B は、第 1 外部電極 a 3 とほぼ相似形に形成されており、基板 a 2 の角部に対応する 2 つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域 a 5 3 B の一つの長辺（基板 a 2 の周縁に対して内方側の長辺）に沿ってヒューズ領域 a 5 3 C が配置されている。ヒューズ領域 a 5 3 C は、パッド領域 a 5 3 B の前記 1 つの長辺に沿って配列された複数のヒューズユニット a 7 を含む。ヒューズユニット a 7 は、上部電極膜 a 5 3 のパッド領域 a 5 3 B と同じ材料で一体的に形成されている。複数の電極膜部分 a 1 3 1 ~ a 1 3 9 は、1 つまたは複数個のヒューズユニット a 7 と一体的に形成されていて、それらのヒューズユニット a 7 を介してパッド領域 a 5 3 B に接続され、このパッド領域 a 5 3 B を介して第 1 外部電極 a 3 に電氣的に接続されている。面積の比較的小さな電極膜部分 a 1 3 1 ~ a 1 3 6 は、一つのヒューズユニット a 7 によってパッド領域 a 5 3 B に接続されており、面積の比較的大きな電極膜部分 1 3 7 ~ a 1 3 9 は複数個のヒューズユニット a 7 を介してパッド領域 a 5 3 B に接続されている。全てのヒューズユニット a 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット a 7 は未使用である。

[0160] ヒューズユニット a 7 は、パッド領域 a 5 3 B との接続のための第 1 幅広部 a 7 A と電極膜部分 a 1 3 1 ~ a 1 3 9 との接続のための第 2 幅広部 a 7 B と、第 1 および第 2 幅広部 a 7 A, a 7 B の間を接続する幅狭部 a 7 C とを含む。幅狭部 a 7 C は、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分 a 1 3 1 ~ a 1 3 9 のうち不要な電極膜部分をヒューズユニット a 7 の切断によって第 1 および第 2 外部電極 a 3, a 4 から電氣的に切り離すことができる。

[0161] 図 3 2 および図 3 4 では図示を省略したが、図 3 3 に表れている通り、上部電極膜 a 5 3 の表面を含むチップコンデンサ a 1 の表面はパッシベーション

膜 a 9 によって覆われている。パッシベーション膜 a 9 は、たとえば窒化膜からなっていて、チップコンデンサ a 1 の上面のみならず、基板 a 2 の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜 a 9 の上には、ポリイミド樹脂等からなる樹脂膜 a 5 0 が形成されている。樹脂膜 a 5 0 は、チップコンデンサ a 1 の上面を覆い、さらに基板 a 2 の側面に至って、当該側面上のパッシベーション膜 a 9 を覆うように形成されている。

[0162] パッシベーション膜 a 9 および樹脂膜 a 5 0 は、チップコンデンサ a 1 の表面を保護する保護膜である。これらには、第 1 外部電極 a 3 および第 2 外部電極 a 4 に対応する領域にパッド開口 a 2 6, a 2 7 がそれぞれ形成されている。パッド開口 a 2 6, a 2 7 はそれぞれ上部電極膜 a 5 3 のパッド領域 a 5 3 B の一部の領域、下部電極膜 a 5 1 のパッド領域 a 5 1 B の一部の領域を露出させるようにパッシベーション膜 a 9 および樹脂膜 a 5 0 を貫通している。さらに、この実施形態では、第 2 外部電極 a 4 に対応したパッド開口 a 2 7 は、容量膜 a 5 2 をも貫通している。

[0163] パッド開口 a 2 6, a 2 7 には、第 1 外部電極 a 3 および第 2 外部電極 a 4 がそれぞれ埋め込まれている。これにより、第 1 外部電極 a 3 は上部電極膜 a 5 3 のパッド領域 a 5 3 B に接合しており、第 2 外部電極 a 4 は下部電極膜 a 5 1 のパッド領域 a 5 1 B に接合している。第 1 および第 2 外部電極 a 3, a 4 は、樹脂膜 a 5 0 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ a 1 をフリップチップ接合することができる。

[0164] 図 3 5 は、チップコンデンサ a 1 の内部の電氣的構成を示す回路図である。第 1 外部電極 a 3 と第 2 外部電極 a 4 との間に複数のキャパシタ要素 C 1 ~ C 9 が並列に接続されている。各キャパシタ要素 C 1 ~ C 9 と第 1 外部電極 a 3 との間には、一つまたは複数のヒューズユニット a 7 でそれぞれ構成されたヒューズ F 1 ~ F 9 が直列に介装されている。ヒューズ F 1 ~ F 9 が全て接続されているときは、チップコンデンサ a 1 の容量値は、キャパシタ

要素C 1～C 9の容量値の総和に等しい。複数のヒューズF 1～F 9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサa 1の容量値が減少する。

[0165] そこで、パッド領域a 5 1 B, a 5 3 Bの間の容量値（キャパシタ要素C 1～C 9の総容量値）を測定し、その後に所望の容量値に応じてヒューズF 1～F 9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C 1～C 8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C 1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0166] たとえば、キャパシタ要素C 1～C 9の容量値は次のように定められていてもよい。

C 1 = 0. 03125 p F	C 2 = 0	
. 0625 p F	C 3 = 0. 125 p F	C 4 =
0. 25 p F	C 5 = 0. 5 p F	C 6 = 1 p F
C 7 = 2 p F	C 8 = 4 p F	C
9 = 4 p F		

この場合、0. 03125 p Fの最小合わせ込み精度でチップコンデンサa 1の容量を微調整できる。また、ヒューズF 1～F 9から切断すべきヒューズを適切に選択することで、0. 1 p F～10 p Fの間の任意の容量値のチップコンデンサa 1を提供することができる。

[0167] 以上のように、この実施形態によれば、第1外部電極a 3および第2外部電極a 4の間に、ヒューズF 1～F 9によって切り離し可能な複数のキャパシタ要素C 1～C 9が設けられている。キャパシタ要素C 1～C 9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF 1～F 9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所

望の容量値に正確に合わせ込むことができるチップコンデンサ a 1 を提供できる。

[0168] チップコンデンサ a 1 の各部の詳細について以下に説明を加える。 基板 a 2 は、たとえば平面視において 0.3 mm×0.15 mm、0.4 mm×0.2 mm、または 0.2 mm×0.1 mm などの矩形形状（好ましくは、0.4 mm×0.2 mm 以下の大きさ）を有していてもよい。キャパシタ配置領域 a 5 は、概ね、基板 a 2 の短辺の長さに相当する一辺を有する正方形領域となる。基板 a 2 の厚さは、150 μm 程度であってもよい。基板 a 2 は、たとえば、裏面側（キャパシタ要素 C 1～C 9 が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板 a 2 の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0169] 絶縁膜 a 8 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å～2000 Å 程度であってもよい。 下部電極膜 a 5 1 は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜 a 5 1 は、スパッタ法によって形成することができる。上部電極膜 a 5 3 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 a 5 3 は、スパッタ法によって形成することができる。上部電極膜 a 5 3 のキャパシタ電極領域 a 5 3 A を電極膜部分 a 1 3 1～a 1 3 9 に分割し、かつヒューズ領域 a 5 3 C を複数のヒューズユニット a 7 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0170] 容量膜 a 5 2 は、たとえば窒化シリコン膜で構成することができ、その膜厚は 500 Å～2000 Å（たとえば 1000 Å）とすることができる。容量膜 a 5 2 は、プラズマ CVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。 パッシベーション膜 a 9 は、たとえば窒化シリコン膜で構成することができ、た

例えばプラズマCVD法によって形成できる。その膜厚は、8000 Å程度とされてもよい。樹脂膜a50は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0171] 図36は、第1参考例のさらに他の実施形態に係るチップコンデンサa31の構成を説明するための平面図である。図36において、前述の図32に示された各部と対応する部分には同一の参照符号を付して示す。 前述の実施形態に係るチップコンデンサa1では、上部電極膜a53のキャパシタ電極領域a53Aがそれぞれ帯状の電極膜部分a131～a139に分割されている。この場合、図32に示すように、キャパシタ配置領域a5内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板a2上の限られた領域を有効に活用することができない。

[0172] そこで、図36に示す実施形態では、複数の電極膜部分a131～a139がL字形の電極膜部分a141～a149に分割されている。これによって、たとえば、図36の構成における電極膜部分a149は、図32の構成の電極膜部分a139の1.5倍の面積で下部電極膜a51に対向することができる。よって、図32の第1の実施形態において電極膜部分a139に対応したキャパシタ要素C9が4 pFの容量を有しているとすれば、この実施形態における電極膜部分a149を用いることで、キャパシタ要素C9は6 pFの容量を有することができる。これにより、キャパシタ配置領域a5内を有効に活用して、より広い範囲でチップコンデンサa1の容量値を設定することが可能となる。

[0173] なお、この実施形態においても、寄生容量の影響を受けないようにするため、基板a2は、100 Ω・cm以上の比抵抗を有する半導体により形成されている。 図37は、第1参考例のさらに他の実施形態に係るチップコンデンサa41の構成を説明するための分解斜視図であり、前述の実施形態の説明において用いた図34と同様にチップコンデンサa41の各部が表されている。

[0174] この実施形態では、上部電極膜a53のキャパシタ電極領域a53Aがキャ

パシタ配置領域 a 5 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 a 5 1 のキャパシタ電極領域 a 5 1 A が複数の電極膜部分 a 1 5 1 ~ a 1 5 9 に分割されている。電極膜部分 a 1 5 1 ~ a 1 5 9 は、図 3 2 に示す実施形態における電極膜部分 a 1 3 1 ~ a 1 3 9 と同様の形状および面積比に形成されてもよいし、図 3 6 に示す実施形態における電極膜部分 a 1 4 1 ~ a 1 4 9 と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分 a 1 5 1 ~ a 1 5 9 と、容量膜 a 5 2 と、上部電極膜 a 5 3 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

[0175] 下部電極膜 a 5 1 は、さらに、キャパシタ電極領域 a 5 1 A とパッド領域 a 5 1 B との間にヒューズ領域 a 5 1 C を有している。ヒューズ領域 a 5 1 C には、先の実施形態のヒューズユニット a 7 と同様の複数のヒューズユニット 4 7 がパッド領域 a 5 1 B に沿って一列に配列されている。各電極膜部分 a 1 5 1 ~ a 1 5 9 は、一つまたは複数のヒューズユニット 4 7 を介してパッド領域 a 5 1 B に接続されている。

[0176] このような構成によっても、電極膜部分 a 1 5 1 ~ a 1 5 9 が互いに異なる対向面積で上部電極膜 a 5 3 に対向しており、これらはヒューズユニット a 4 7 を切断することによって個別に切り離すことができる。したがって、先の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 1 5 1 ~ 1 5 9 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で上部電極膜 a 5 3 に対向するように形成しておくことで、先の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

[0177] なお、この実施形態においても、寄生容量の影響を受けないようにするため、基板 a 2 は、 $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する半導体により形成されている。図 3 8 は、第 1 参考例の特徴である外部接続電極の構成の一例を

説明するための図であり、(A)はチップ抵抗器a10の部分平面図で、切断箇所B-Bを示す図、(B)は(A)におけるB-Bに沿う切断部分の図解的な部分縦断面図である。

[0178] たとえば図22～5を参照して説明したチップ抵抗器a10は、半導体ウエハ(シリコンウエハ)上に格子状に多数個のチップ抵抗器a10が形成され、スクライブライン100に沿って切断されて個々のチップ抵抗器a10に分離される。チップ抵抗器a10におけるB-Bに沿う第1接続電極a12部分の部分縦断面図は、図38(B)に示す構成である。

[0179] 図38(B)を参照して、シリコン基板a11上には絶縁層(SiO₂)a19が形成され、絶縁層a19上に抵抗体膜a20が配置されている。抵抗体膜a20は、TiN、TiONまたはTiSiONにより形成されている。そして抵抗体膜a20上におけるパッド領域a11Aには、アルミニウム系金属、たとえばアルミニウム(Al)で形成された配線膜a21が積層されている。抵抗体膜a20および配線膜a21が形成された基板a11の上面は、たとえば窒化シリコン(SiN)で形成されたパッシベーション膜a22で覆われており、さらにその上部は、たとえばポリイミドにより形成された保護層としての樹脂膜a23で覆われている。

[0180] 外部接続電極としての第1接続電極a12は、次のようにして形成される。

まず、樹脂層a23に対して、第1接続電極の開口(コンタクト孔)に対応した領域に対する露光が行われ、その後現像工程を行うことにより、フォトリソグラフィによる樹脂膜a23のパターニングが行われる。これにより、樹脂膜a23の第1接続電極a12のためのコンタクト孔としてのパッド開口a12Aが形成される。その後、樹脂膜a23を硬化するための熱処理(ポリイミドキュア)が行われ、熱処理によりポリイミド膜(樹脂膜)a23が安定化される。また、この熱処理により、樹脂膜a23はその上部が縮み、パッド開口a12Aは、上方に向かって開口径が広がるように、上方に向かって斜めに傾斜した開口となる。

[0181] 次に、第1接続電極a12を形成すべき位置にコンタクト孔(パッド開口)

a 1 2 Aを有するポリイミド膜 a 2 3をマスクとして、パッシベーション膜 a 2 2のエッチングが行われる。これにより、配線膜 a 2 1を第1 接続電極 a 1 2のパッド領域 a 1 1 Aにおいて露出させるコンタクト孔としてのパッド開口 a 1 2 Bが形成される。パッド開口 a 1 2 Bはコンタクト孔の一部を構成するものであり、当該パッド開口 a 1 2 Bを形成するためのエッチングは、反応性イオンエッチング（R I E）によって行われてもよい。ポリイミド膜 a 2 3をマスクとして、パッシベーション膜 a 2 2のエッチングが行われ、パッド開口 a 1 2 Bが形成される結果、樹脂膜 a 2 3とパッシベーション膜 a 2 2との界面に沿う段差が形成される。すなわち、パッシベーション膜 a 2 2は、樹脂膜 a 2 3との界面において、樹脂膜 a 2 3の内径よりも内径が広がるようにエッチングされる。その結果、樹脂膜 a 2 3は、その内周面下方部において、パッシベーション膜 a 2 2の内周面 2 2 aよりも内方に張り出した段差部 a 2 3 aを有することになる。

[0182] 次に、コンタクト孔としてのパッド開口 a 1 2 B、a 1 2 A内に、たとえば無電解めっき法によって、外部接続電極としての第1 接続電極 a 1 2を成長させる。パッド開口 a 1 2 B、a 1 2 A内での外部接続電極 a 1 2の形成は、まず、パッド領域 a 1 1 Aにおいて露出している配線膜 a 2 1上にニッケル層 a 1 2 1が形成され、ニッケル層 a 1 2 1上にパラジウム層 a 1 2 2が形成され、さらにその上に金層が形成されるようにして、多層積層構造膜とするのが好ましい。ニッケル層 a 1 2 1はアルミニウム系金属で形成された配線膜 a 2 1との密着性の向上に寄与し、パラジウム層 a 1 2 2はその上部に積層される金層 a 1 2 3とアルミニウム系金属膜で形成された配線膜 a 2 1との相互拡散を抑制する拡散防止層として機能する。第1 接続電極 a 1 2をこのようにNi、Pd、Auの3層構造または多層構造とすることにより、より良好な外部接続電極とすることができる。

[0183] 第1 参考例に係る外部接続電極（第1 接続電極 a 1 2）の特徴は、パッド開口 a 1 2 B、a 1 2 A内に外部接続電極を構成する金属層が充填されており、上方に向かって内径が広がったコンタクト孔としてのパッド開口 a 1 2 A

に沿って金層 a 1 2 3 の外周側面が密着していることである。パッド領域 a 1 1 A を配線膜 a 2 1 の表面に垂直な方向から見た平面視において、パッド開口 a 1 2 A の縁部全周において、保護膜 a 2 3 の表面に延びてパッド領域 a 1 1 A における配線膜 a 2 1 の上面露出領域よりも外方へ張り出した張出部 a 1 2 3 a を有している。張出部 a 1 2 3 a は、コンタクト孔であるパッド開口 a 1 2 A の縁部全周において外方へ張り出している。

[0184] この結果、第 1 接続電極 a 1 2 の金層 a 1 2 3 は、パッド開口 a 1 2 A の傾斜面と密着しており、パッド開口 a 1 2 A と金層 a 1 2 3 との密着面積が増加している。このため、外部接続電極としての第 1 接続電極 a 1 2 は、保護膜 a 2 3 との密着性に優れ、金層 a 1 2 3 とパッド開口 a 1 2 A との隙間を通じて水分がパッド領域 a 1 1 A 内へ侵入しにくく、チップ抵抗器 a 1 0 の耐湿性が向上する。また、チップ抵抗器 a 1 0 の樹脂層 2 3 表面から露出する第 1 接続電極 a 1 2 の表面積が増加するので、第 1 接続電極 a 1 2 は外圧に対する強度が向上する。これにより、チップ抵抗器 a 1 0 をフリップチップとして良好な構造とすることができる。

[0185] さらに、第 1 接続電極 a 1 2 の上面（金層 a 1 2 3 の上面）は凸湾曲形状に膨らんでおり、実装時の接触面積の増加が図られている。また、コンタクト孔としてのパッド開口 a 1 2 B、a 1 2 A 内には、段差 a 2 3 a が形成されており、この段差 a 2 3 a により第 1 接続電極 a 1 2 を構成する金属層とパッド開口 a 1 2 B、a 1 2 A との結合性が向上されている。

[0186] 図 3 9 は、第 1 参考例の一実施形態に係る外部接続電極がチップコンデンサ a 1 に適用された場合の構成を説明する図解的な部分断面図である。図 3 9 において、基板 a 2 の上には絶縁膜 a 8 が形成されており、その上にはたとえば下部電極膜 a 5 1 が形成されている。そして基板 a 2 の上面はパッシベーション膜 a 9 により覆われるとともに、その上はさらに樹脂膜 a 5 0 で覆われている。

[0187] かかる構成において、外部接続電極としての第 2 外部電極 a 4 は、次のように、チップ抵抗器 a 1 0 に開口（コンタクト孔）を形成する場合と同様の工程

で形成される。まず、樹脂膜 a 5 0 に対して、第 2 外部電極 a 4 の開口(コンタクト孔)に対応した領域に対する露光が行われ、その後現像工程を行うことにより、フォトリソグラフィによる樹脂膜 a 5 0 のパターニングが行われる。これにより、樹脂膜 a 5 0 の第 2 外部電極 a 4 のためのコンタクト孔としてのパッド開口 a 2 7 A が形成される。その後、樹脂膜 a 5 0 を硬化するための熱処理(ポリイミドキュア)が行われ、熱処理によりポリイミド膜(樹脂膜) 5 0 が安定化される。また、この熱処理により、樹脂膜 a 5 0 はその上部が縮み、パッド開口 a 2 7 A は、上方に向かって開口径が広がるように、上方に向かって斜めに傾斜した開口となる。

[0188] 次に、第 2 外部電極 a 4 を形成すべき位置にコンタクト孔(パッド開口) a 2 7 A を有するポリイミド膜 a 5 0 をマスクとして、パッシベーション膜 a 9 のエッチングが行われる。これにより、下部電極膜 a 5 1 を第 2 外部電極 a 4 のパッド領域 a 5 1 A において露出させるコンタクト孔としてのパッド開口 a 2 7 B が

形成される。パッド開口 a 2 7 B はコンタクト孔の一部を構成するものであり、当該パッド開口 a 2 7 B を形成するためのエッチングは、反応性イオンエッチング(R I E)によって行われてもよい。ポリイミド膜 a 5 0 をマスクとして、パッシベーション膜 a 9 のエッチングが行われ、パッド開口 a 2 7 B が形成される結果、樹脂膜 a 5 0 とパッシベーション膜 a 9 との界面に沿う段差が形成される。すなわち、パッシベーション膜 a 9 は、樹脂膜 a 5 0 との界面において、樹脂膜 a 5 0 の内径よりも内径が広がるようにエッチングされる。その結果、樹脂膜 a 5 0 は、その内周面下方部において、パッシベーション膜 a 9 の内周面 a 2 7 B よりも内方に張り出した段差部 a 2 3 a を有することになる。

[0189] そして、コンタクト孔としてのパッド開口 a 2 7 B、a 2 7 A 内に、たとえば無電解めっき法によって、第 2 外部電極 a 4 が成長される。第 2 外部電極 a 4 は、図 3 8 (B) で説明したチップ抵抗器 a 1 0 における外部電極と同様、たとえば下部電極膜 a 5 1 に接するニッケル層 a 1 2 1 と、ニッケル

層 a 1 2 1 上に積層したパラジウム層 a 1 2 2 と、パラジウム層 a 1 2 2 上に積層した金層とを有する多層積層構造膜であることが好ましい。

[0190] 第2外部電極 a 4 も、上方に向かって内径が大きくなるように形成されたコンタクト孔としてのパッド開口 a 2 7 B、a 2 7 A 内に充填され、樹脂層 5 0 の傾斜面に密着し、平面視において下部電極膜 a 5 1 の露出領域よりも外方へ張り出した張出部 a 1 2 3 a を有する外部接続電極となっている。また、第2外部電極 a 4 は上方へ凸湾曲した上面を有している。これにより、外部接続電極としての第2外部電極の耐湿性の向上、外圧に対する強度の向上等を実現できる。

[0191] 以上、第1参考例の実施形態として、チップ抵抗器およびチップコンデンサについて説明したが、第1参考例は、チップ抵抗器およびチップコンデンサ以外のチップ部品に対しても適用することが可能である。たとえば、他のチップ部品の例として、チップインダクタを例示することができる。チップインダクタは、たとえば基板上に多層配線構造を有し、多層配線構造内にインダクタ（コイル）およびそれに関連する配線を有する部品で、多層配線構造内の任意のインダクタがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。かかるチップインダクタにおいても、第1参考例による外部接続電極の構造を採用することにより、耐湿性に優れ、外圧に対する強度アップが図れ、取り扱い易いチップインダクタ（チップ部品）とすることができる。

[0192] さらに他のチップ部品の例として、チップダイオードを例示することもできる。チップダイオードは、たとえば基板上に多層配線構造を有し、多層配線構造内に複数のダイオードおよびそれに関連する配線を有する部品で、多層配線構造内の任意のダイオードがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。回路に組み込むダイオードを選択することにより、チップダイオードの整流特性を変更したり、調整することができる。また、チップダイオードの電圧降下特性（抵抗値）を設定できる。さらに、ダイオードがLED（ライトエミティングダイオード）であ

るチップLEDの場合、回路に組み込むLEDを選択し、発光色を選べるチップLEDとすることができる。このようなチップダイオード、チップLEDに対して、第1参考例の外部接続電極の構造を採用することができ、それによって、耐湿性に優れ、外圧に対する強度アップが図れ、取り扱い易いチップダイオード、チップLEDといったチップ部品とすることができる。

＜第2参考例に係る発明＞（1）第2参考例に係る発明の特徴 たとえば、第2参考例に係る発明の特徴は、以下のB1～B13である。（B1）基板と、前記基板上に形成されたアルミニウム系金属からなる抵抗体膜と、前記基板上に間隔を開けて設けられ、前記抵抗体膜に異なる位置で接続された一対の電極と、前記一対の電極を露出させた状態で前記抵抗体膜を覆う保護膜と、を含むことを特徴とする、チップ抵抗器。

[0193] この構成によれば、アルミニウム系金属からなる抵抗体膜は、フォトリソグラフィを適用して微細パターンに形成することができる。従って、元基板上に設定した複数の微細なチップ抵抗器領域内に抵抗体膜を形成し、チップ抵抗器領域の境界で元基板を切断することによって、微小サイズのチップ抵抗器を量産することができる。ただし、アルミニウム系金属は、耐水性が低いので、第2参考例では、抵抗体膜を保護膜で覆っている。これにより、小型で信頼性の高いチップ抵抗器を実現でき、電子機器等の小型化に寄与できる。（B2）前記アルミニウム系金属が、Al、AlSi、AlSiCu、およびAlCuから選択した一種以上を含む、B1に記載のチップ抵抗器。

[0194] この構成によれば、アルミニウム系金属が、Al、AlSi、AlSiCu、およびAlCuから選択した1種以上の金属であるから、保護膜形成の際の熱処理（350℃～450℃）に耐えられ、信頼性の高いチップ抵抗器を実現できる。また、上述のアルミニウム系金属は、既存の装置を利用して加工することができ、新規な製造設備を用いることなく、第2参考例のチップ抵抗器を作製することができる。（B3）前記保護膜が、前記抵抗体膜に接する窒化膜と、前記窒化膜に積層された樹脂膜とを含むことを特徴とする、B1またはB2に記載のチップ抵抗器。

- [0195] この構成によれば、保護膜が、少なくとも窒化膜および樹脂膜の2層構造であるから、耐水性、耐傷性、耐応力強度の向上したチップ抵抗器とすることができる。なお、保護膜は、上記構成以外に、窒化膜／酸化膜／樹脂膜の3層構造とすることもできる。(B4) 前記樹脂膜が、ポリイミド膜を含むことを特徴とする、B3に記載のチップ抵抗器。
- [0196] この構成によれば、樹脂膜はポリイミド膜を含むため、耐傷性および耐応力強度の向上を確実に実現することができる。(B5) 前記一对の電極の間の抵抗値が50 mΩ以下であることを特徴とする、B1～B4のいずれか一項に記載のチップ抵抗器。この構成によれば、一对の電極間の抵抗体膜の抵抗値が50 mΩ以下であるから、いわゆるジャンパー抵抗として利用できるチップ抵抗器を実現できる。(B6) 平面視における外形が、直交する2辺がそれぞれ0.4 mm以下および0.2 mm以下の長方形である、B1～B5のいずれか一項に記載のチップ抵抗器。
- [0197] この構成によれば、微小サイズで、ある程度の電流に耐え得るチップ抵抗器、特にジャンパー抵抗を提供することができる。(B7) 前記抵抗体膜の膜厚は0.5～3.0 μmの厚みを含むことを特徴とする、B1～B6のいずれか一項に記載のチップ抵抗器。この構成によれば、微小サイズの基板上において、所望の抵抗値の抵抗体膜を得ることができる。(B8) 前記抵抗体膜は、前記基板の一表面ほぼ全面に亘って形成された一枚の膜体を含み、かつ、その外周縁部は前記基板の表面の外周縁部よりも内側になるように、前記基板の表面の外周縁部と一定の間隔を開けて前記一表面上に形成されていることを特徴とする、B1～B7のいずれか一項に記載のチップ抵抗器。
- [0198] この構成によれば、抵抗体膜の側面を保護膜で覆って耐水性および耐腐食性を向上させることができ、かつ、元基板から個々のチップ抵抗器に分離する際に、その分離のためのエッチングマージンを確保することができる。(B9) 前記基板は、シリコン、ガラス、セラミックのいずれかを含むことを特徴とする、B1～B8のいずれか一項に記載のチップ抵抗器。

- [0199] この構成によれば、種々の絶縁基板を利用して微小なチップ抵抗器を提供することができる。（B 1 0）前記基板の表面に形成された絶縁膜としての酸化膜をさらに含み、前記抵抗体膜が前記酸化膜上に形成されていることを特徴とする、B 1 ～B 9 のいずれか一項に記載のチップ抵抗器。
- [0200] この構成によれば、基板の種類にかかわらず、酸化膜によって基板から抵抗体膜が絶縁されていて、かつ抵抗体膜パターニングのためのエッチングを酸化膜で停止でき、所望の特性のチップ抵抗器を得ることができる。（B 1 1）実装基板と、前記実装基板に実装されたB 1 ～B 1 0 のいずれか一項に記載のチップ抵抗器と、を含むことを特徴とする、回路アセンブリ。
- [0201] この構成によれば、小型の回路アセンブリとすることができる。（B 1 2）前記実装基板に、前記チップ抵抗器がジャンパー抵抗として実装されていることを特徴とする、B 1 1 に記載の回路アセンブリ。この構成によれば、小型の回路アセンブリとすることができる。（B 1 3）筐体と、前記筐体に收容されたB 1 1 または1 2 に記載の回路アセンブリと、を含むことを特徴とする、電子機器。
- [0202] この構成によれば、小型で高性能な電子機器を提供できる。（2）第2 参考例に係る発明の実施形態 以下には、第2 参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図4 1 ～図6 4 で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。
- [0203] 図4 1 は、第2 参考例の一実施形態に係るチップ抵抗器b 1 の斜視図である。図4 2 は、第2 参考例の一実施形態に係るチップ抵抗器b 1 の平面図である。図4 3 は、図4 2 のX L I I I - X L I I I に沿う、チップ抵抗器b 1 の縦断面図である。図4 1 ～図4 3 を参照して、第2 参考例の一実施形態に係るチップ抵抗器b 1 は、基板b 2 と、基板b 2 上に形成されたアルミニウム系金属からなる抵抗体膜b 3 と、基板b 2 上に間隔をあけて、かつ抵抗体膜と電氣的に接続して設けられた一对の電極b 4、b 5 と、一对の電極b 4、b 5 を露出させた状態で抵抗体膜b 3 を覆う保護膜b 6 とを含んでいる。

。

[0204] 基板 1 は、平面視略長方形の直方体形状で、一例として、長辺方向の長さ $L = 0.4 \text{ mm}$ 、短辺方向の幅 $W = 0.2 \text{ mm}$ 、厚み $T = 0.1 \sim 0.15 \text{ mm}$ 程度の大きさの微小なチップである。基板 b 2 の長さ L および幅 W は、上記の寸法以下であってもよい。例えば、より好ましくは、基板 b 2 は、 $L = 0.3 \text{ mm}$ 、幅 $W = 0.15 \text{ mm}$ 程度の微小寸法であってもよい。

[0205] 基板 b 2 は、平面視で四隅の角が面取りされた角ラウンド形状となってもよい。基板 b 2 は、たとえばシリコン、ガラス、セラミック等で形成することができる。以下の実施形態では、基板 b 2 がシリコンの場合を例にとって説明する。基板 b 2 は、その厚みを $80 \sim 150 \mu\text{m}$ とすることができ、基板 b 2 の表面には基板 b 2 をその上層領域と絶縁するための絶縁膜としての酸化膜 (SiO_2 膜) 7 が形成されている。酸化膜 b 7 は、厚みが $0.3 \sim 2.5 \mu\text{m}$ であってもよい。

[0206] 酸化膜 b 7 の上には、抵抗膜 b 3 が積層されている。抵抗膜 b 3 は、アルミニウム系金属によって形成されており、その厚みは $0.5 \sim 3.0 \mu\text{m}$ であってもよい。また、抵抗膜 b 3 の比抵抗 R_s は、 $R_s = 8 \text{ m}\Omega/\square \sim 40 \text{ m}\Omega/\square$ であってもよい。抵抗膜 b 3 は、 Al 、 AlSi 、 AlSiCu 、および AlCu から選択した 1 種以上の金属により形成されているのが望ましい。

[0207] 抵抗膜 b 3 は、この実施形態では、基板 b 2 の上面に、酸化膜 b 7 を介して全面にわたって形成されており、1 枚の膜体となっている。また、抵抗膜 b 3 は、その外周縁部が、基板 b 2 (酸化膜 b 7) の外周縁部に対して一定寸法内方へ入り込んでいる。言い換えれば、平面視において、抵抗膜 b 3 の輪郭は、基板 b 2 (酸化膜 b 7) の輪郭に比べて一回り小さくされており、抵抗膜 b 3 の外周縁部の外側に酸化膜 b 7 が存在している。このようにしたのは、後述するように、抵抗膜 b 3 の周囲を保護膜 b 6 ですっぽりと覆ってしまうためである。

[0208] 抵抗膜 b 3 の上には、第 1 電極 b 4 および第 2 電極 b 5 という一対の電極

が、抵抗体膜 b 3 に異なる位置で接続するように設けられている。より具体的には

、第 1 電極 b 4 は、基板 b 2 の一方短辺に沿って設けられ、一方短辺方向に長手の平面視略矩形の電極である。第 2 電極 b 5 は、基板 b 2 の他方短辺に沿って設けられ、短辺方向に長手の平面視略矩形の電極である。第 1 電極 b 4 と第 2 電極 b 5 とは、平面視においてその間隔 L 1 が、 $L 1 = 100 \sim 220 \mu m$ であってもよい。

[0209] なお、図 6 2 に示すように、電極 b 4、b 5 の配置位置および形状を変更することもできる。すなわち、図 6 2 に示すチップ抵抗器 b 1 0 は、上記の構成に変えて、第 1 電極 b 4 を基板 b 2 の一方長辺に沿って設け、一方長辺方向に長手の平面視略矩形の長手電極 b 4 とし、第 2 電極 b 5 を、基板 b 2 の他方長辺に沿って設け、長辺方向に長手の平面視略矩形の長手電極 b 5 としている。この場合、第 1 電極 b 4 と第 2 電極 b 5 とは、平面視においてその間隔が短くなり、第 1 電極 b 4 と第 2 電極 b 5 との間をつなぐ抵抗体膜 b 3 の抵抗値を下げるができる。また、電極 b 4、b 5 の表面接触面積が大きくなり、チップ抵抗器の実装強度が向上するという利点も生じる。

[0210] 第 1 電極 b 4、第 2 電極 b 5 は、いずれも、抵抗体膜 b 3 側から上方へ向かって、ニッケル (Ni) 層 b 1 1 - パラジウム (Pd) 層 b 1 2 - 金 (Au) 層 b 1 3 が順に積層された 3 種の金属の積層構造であってもよく、この場合において、たとえば Ni 層 b 1 1 は $3 \sim 15 \mu m$ 、Pd 層 b 1 2 は $0.25 \mu m$ 以下、Au 層 b 1 3 は $0.1 \mu m$ 以下の厚みであってもよい。第 1 電極 b 4、第 2 電極 b 5 を上述の積層構造とすることにより、チップ抵抗器 b 1 をフリップチップとして基板に実装する際に、実装基板への接合強度の向上、および、耐腐食性の向上を図れる。

[0211] 抵抗体膜 b 3 の上面および外周縁は保護膜 b 6 で覆われている。保護膜 b 6 は、電極 b 4、5 の上面を露出させた状態で、抵抗体膜 b 3 の外周縁部および上面を覆うように積層され、かつ、電極 b 4、b 5 の周囲を覆っている。

この実施形態では、保護膜 b 6 は、2 層構造とされている。抵抗体膜 b 3

に接する下層の保護膜 b 6 は、窒化膜 b 6 1 で形成されている。窒化膜 b 6 1 は、抵抗体膜 b 3 の上面および外周縁部をすっぽりと覆っている。窒化膜 b 6 1 の厚みは、0.3～2.5 μm であってもよい。窒化膜 b 6 1 の上にはポリイミド膜 b 6 2 が積層されている。ポリイミド膜 b 6 2 の厚みは2～5 μm であってもよい。

[0212] なお、この実施形態では、ポリイミド膜 b 6 2 は、窒化膜 b 6 1 の上面に積層されており、窒化膜 b 6 1 の外周縁、すなわち抵抗体膜 b 3 の外周縁部を覆っていない。しかし、この構成に変え、図 60 に示すように、ポリイミド膜 b 6 2 が抵抗体膜 b 3 の外周縁部を覆うように、ポリイミド膜 b 6 2 を設けてもよい。保護膜 b 6 を、窒化膜 b 6 1 およびポリイミド膜 b 6 2 の2層構造とすることにより、窒化膜 b 6 1 は耐水性が高く、抵抗体膜 b 3 を水による劣化から良好に保護できるという利点がある。また、ポリイミド膜 b 6 2 は、耐傷性、耐応力強度に優れており、基板 b 2 の上面側からの物理的な傷に対する耐性に優れたチップ抵抗器 b 1 とすることができる。

[0213] この実施形態に係るチップ抵抗器 b 1 は、フリップチップとして基板へ実装した際に、電極 b 4、b 5 間の抵抗値が50 m Ω 以下であり、いわゆるジャンパー抵抗として利用することができる。図 44 は、上述したチップ抵抗器 b 1 の製造工程の一例を示すフロー図である。また、図 45～図 56 は、チップ抵抗器 b 1 の製造工程の一工程を表す縦断面図である。次に、このフロー図の製造工程に従って、また、図 45～56 を参照しつつ、チップ抵抗器 b 1 の製造方法について詳細に説明をする。

[0214] ステップ S 1：まず、基板 b 2（より詳細には、チップ抵抗器 b 1 が個片化される前の元基板）が所定の処理室に配置され、その表面に、たとえば熱酸化法によって、酸化膜 b 7 としての二酸化シリコン（SiO₂）層が形成される（図 45）。ステップ S 2：次に、たとえばスパッタ法によって、アルミニウム系金属、好ましくは Al、AlSi、AlSiCu、および AlCu から選択した1種以上のアルミニウム系金属材料により、抵抗体膜 b 3 が酸化膜 b 7 の表面全域に積層形成される。積層形成された抵抗体膜 b 3 の膜

厚は、前述したように0.5～3.0 μ m程度とされてもよい（図46）。

[0215] ステップS3：次に、フォトリソグラフィプロセスを用い、抵抗体膜b3の表面にレジストパターンR1が形成される（第1レジストパターンの形成）。このレジストパターンR1は、酸化膜b7の外周縁部上に積層された抵抗体膜b3を除去すべく、抵抗体膜b3の上面ほぼ全体（抵抗体膜b3の外周縁部を除く全域）を覆うパターンとされる（図47）。

[0216] ステップS4：そして、第1エッチング工程が行われる。すなわち、ステップS3で形成された第1レジストパターンをマスクとして、抵抗体膜b3の外周縁部が、たとえば反応性イオンエッチング（RIE）により、エッチングされる。そして、エッチング後に第1レジストパターンは剥離される。抵抗体膜b3の外周縁部のエッチングは、RIEではなく、ウェットエッチングによっても行うことができる（図48）。

[0217] ステップS5：次いで、基板b2の上に形成された抵抗体膜b3の全表面およびその外周縁部を覆うように、たとえば窒化膜（SiN膜）b61が形成される。窒化膜b61の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚0.3～2.5 μ m程度の窒化膜が形成されてもよい（図49）。ステップS6：次いで、窒化膜b61の表面全面に樹脂膜b62が塗布される。樹脂膜b62としては、たとえば感光性のポリイミドが用いられる（図50）。

[0218] なお、このステップS6で樹脂膜b62が塗布される前に、窒化膜b61の表面を覆うように酸化膜が形成され、その酸化膜の上に樹脂膜が塗布されてもよい。ステップS7：樹脂膜（ポリイミド膜）62に対して、第1、第2電極b4、b5の開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜b62のパターニングを行う。これにより、樹脂膜b62に第1電極b4および第2電極b5のためのパッド開口b40、b50が形成される（図51）。

[0219] ステップS8：その後、樹脂膜b62を硬化するための熱処理（ポリイミド

キュア）が行われ、熱処理によりポリイミド膜 b 6 2 が安定化される。熱処理は、たとえば 170℃～700℃程度の温度で行ってもよい。その結果、抵抗膜 b 3 の特性が安定するというメリットもある。 ステップ S 9：次に、第 1 電極 b 4 および第 2 電極 b 5 を形成すべき位置に貫通孔 4 0、5 0 を有するポリイミド膜 b 6 2 をマスクとして窒化膜 b 6 1 のエッチングが行われる。それによって、抵抗膜 b 3 を第 1 電極 b 4 の領域および第 2 電極 b 5 の領域において露出させるパッド開口 b 4 0、b 5 0 が完成する。窒化膜 b 6 1 のエッチングは、反応性イオンエッチング（R I E）によって行われてもよい（図 5 2）。

[0220] ステップ S 1 0：2つのパッド開口内に、たとえば無電解めっき法によって、一对の電極である第 1 電極 b 4 および第 2 電極 b 5 を成長させる。第 1 電極 b 4 および第 2 電極 b 5 は、下方主要部をニッケルにより形成し、その最表面部にパラジウムおよび金を薄く表面層として積層するのが好ましい。電極 b 4、b 5 をかかる構成とすることにより、チップ抵抗器 b 1 の基板への接合強度の向上および耐腐食性の向上を図ることができるからである（図 5 3）。

[0221] ステップ S 1 1：その後、基板表面（元基板の表面）に配列形成された多数個（たとえば 50 万个）の各チップ抵抗器 b 1 を個々のチップ抵抗器 b 1 に分離するために、フォトリソグラフィによって第 2 のレジストパターンが形成される。レジスト膜は元基板の表面において、各チップ抵抗器 b 1 を保護すべく設けられ、各チップ抵抗器 b 1 間がエッチングされるように形成される。

[0222] ステップ S 1 2：そしてプラズマダイシングが実行される。プラズマダイシングは、第 2 レジストパターン R 2 をマスクとしたエッチングであり、元基板 b 2 の表面から所定深さの溝が、各チップ抵抗器 b 1 間に形成される。その後レジスト膜が剥離される（図 5 4、5 5）。 ステップ S 1 3：そして、たとえば図 5 6 に示すように、表面に保護テープ b 1 0 0 が貼着される。

[0223] ステップS 1 4 : 次いで、元基板 b 2 の裏面研削が行われて、チップ抵抗器 b 1 は個々のチップ抵抗器 b 1 に分離される（図 5 5、5 6、5 7）。 ステップS 1 5 : そして、図 5 8 に示すように、裏面側にキャリアテープ（熱発泡シート） b 1 1 0 が貼られて、個々のチップ抵抗器 b 1 に分離された多数個のチップ抵抗器 b 1 は、キャリアテープ b 1 1 0 上に配列された状態で保持される。一方で、表面に貼着された保護テープ b 1 0 0 は取り除かれる（図 5 8、5 9）。

[0224] ステップS 1 6 : 熱発泡シート b 1 1 0 は、加熱されることによりその内部に含まれる熱発泡粒子 b 1 0 1 が膨らみ、それによりキャリアテープ b 1 1 0 表面に接着されている各チップ抵抗器 b 1 はキャリアテープ b 1 1 0 から剥離されて個々に分離される。 図 6 1 は、第 2 参考例の他の実施形態にかかるチップ抵抗器の縦断面図である。図 6 1 に示すチップ抵抗器 b 1 は、保護膜 b 6 が、窒化膜 b 6 1、酸化膜 b 6 3 および樹脂膜（たとえばポリイミド膜） b 6 2 の三層構成となっている。その他の構成は、先に説明したチップ抵抗器 b 1 の構成と同様である。

[0225] 図 6 3 は、第 2 参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。 スマートフォン b 2 0 1 は、扁平な直方体形状の筐体 b 2 0 2 の内部に電子部品を収納して構成されている。筐体 b 2 0 2 は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が 4 つの側面で結合されている。筐体 b 2 0 2 の一つの主面には、液晶パネルや有機 E L パネル等で構成された表示パネル b 2 0 3 の表示面が露出している。表示パネル b 2 0 3 の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0226] 表示パネル b 2 0 3 は、筐体 b 2 0 2 の一つの主面の大部分を占める長方形形状に形成されている。表示パネル b 2 0 3 の一つの短辺に沿うように、操作ボタン b 2 0 4 が配置されている。この実施形態では、複数（3 つ）の操作ボタン b 2 0 4 が表示パネル b 2 0 3 の短辺に沿って配列されている。使用者は、操作ボタン b 2 0 4 およびタッチパネルを操作することによって、

スマートフォンb201に対する操作を行い、必要な機能呼び出して実行させることができる。

[0227] 表示パネルb203の別の一つの短辺の近傍には、スピーカb205が配置されている。スピーカb205は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタンb204の近くには、筐体b202の一つの側面にマイクロフォンb206が配置されている。マイクロフォンb206は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0228] 図64は、筐体b202の内部に收容された電子回路アセンブリb210の構成を示す図解的な平面図である。電子回路アセンブリb210は、配線基板b211と、配線基板b211の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子(IC)b212-b220と、複数のチップ部品とを含む。複数のICは、伝送処理ICb212、ワンセグTV受信ICb213、GPS受信ICb214、FMチューナICb215、電源ICb216、フラッシュメモリb217、マイクロコンピュータb218、電源ICb219およびベースバンドICb220を含む。複数のチップ部品は、チップインダクタb221, b225, b235、チップ抵抗器b222, b224, b233、チップキャパシタb227, b230, b234、およびチップダイオードb228, b231を含む。これらチップ部品は、第2参考例に係る構成のものを用いることができる。

[0229] 伝送処理ICb212は、表示パネルb203に対する表示制御信号を生成し、かつ表示パネルb203の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネルb203との接続のために、伝送処理ICb212には、フレキシブル配線b209が接続されている。

ワンセグTV受信ICb213は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電

子回路を内蔵している。ワンセグTV受信IC b 2 1 3の近傍には、複数のチップインダクタ b 2 2 1と、複数のチップ抵抗器 b 2 2 2とが配置されている。ワンセグTV受信IC b 2 1 3、チップインダクタ b 2 2 1およびチップ抵抗器 b 2 2 2は、ワンセグ放送受信回路 2 2 3を構成している。チップインダクタ b 2 2 1およびチップ抵抗器 b 2 2 2は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 b 2 2 3に高精度な回路定数を与える。

[0230] GPS受信IC b 2 1 4は、GPS衛星からの電波を受信してスマートフォン b 2 0 1の位置情報を出力する電子回路を内蔵している。FMチューナIC b 2 1 5は、その近傍において配線基板 b 2 1 1に実装された複数のチップ抵抗器 b 2 2 4および複数のチップインダクタ b 2 2 5とともに、FM放送受信回路 2 2 6を構成している。チップ抵抗器 b 2 2 4およびチップインダクタ b 2 2 5は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路 b 2 2 6に高精度な回路定数を与える。

[0231] 電源IC b 2 1 6の近傍には、複数のチップキャパシタ b 2 2 7および複数のチップダイオード b 2 2 8が配線基板 b 2 1 1の実装面に実装されている。電源IC b 2 1 6は、チップキャパシタ b 2 2 7およびチップダイオード b 2 2 8とともに、電源回路 2 2 9を構成している。フラッシュメモリ b 2 1 7は、オペレーティングシステムプログラム、スマートフォン b 2 0 1の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

[0232] マイクロコンピュータ b 2 1 8は、CPU、ROMおよびRAMを内蔵しており、各種の演算処理を実行することにより、スマートフォン b 2 0 1の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ b 2 1 8の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。電源IC b 2 1 9の近くには、複数のチップキャパシタ b 2 3 0および複数のチップダイオード b 2 3 1が配線基板 b 2 1 1の実装面に実装されている。電源IC b 2 1 9は

、チップキャパシタ b 2 3 0 およびチップダイオード b 2 3 1 とともに、電源回路 b 2 3 2 を構成している。

[0233] ベースバンド IC b 2 2 0 の近くには、複数のチップ抵抗器 b 2 3 3、複数のチップキャパシタ b 2 3 4、および複数のチップインダクタ b 2 3 5 が、配線基板 b 2 1 1 の実装面に実装されている。ベースバンド IC b 2 2 0 は、チップ抵抗器 b 2 3 3、チップキャパシタ b 2 3 4 およびチップインダクタ b 2 3 5 とともに、ベースバンド通信回路 b 2 3 6 を構成している。ベースバンド通信回路 b 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

[0234] このような構成によって、電源回路 b 2 2 9、b 2 3 2 によって適切に調整された電力が、伝送処理 IC b 2 1 2、GPS 受信 IC b 2 1 4、ワンセグ放送受信回路 b 2 2 3、FM 放送受信回路 b 2 2 6、ベースバンド通信回路 b 2 3 6、フラッシュメモリ b 2 1 7 およびマイクロコンピュータ b 2 1 8 に供給される。マイクロコンピュータ b 2 1 8 は、伝送処理 IC b 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 IC b 2 1 2 から表示パネル b 2 0 3 に表示制御信号を出力して表示パネル b 2 0 3 に各種の表示を行わせる。

[0235] タッチパネルまたは操作ボタン b 2 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 b 2 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル b 2 0 3 に出力し、受信された音声をスピーカ b 2 0 5 から音響化させるための演算処理が、マイクロコンピュータ b 2 1 8 によって実行される。また、スマートフォン b 2 0 1 の位置情報が必要とされるときには、マイクロコンピュータ b 2 1 8 は、GPS 受信 IC b 2 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0236] さらに、タッチパネルまたは操作ボタン b 2 0 4 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ b 2 1 8 は、FM 放送受信回路 b 2 2 6 を起動し、受信された音声をスピーカ b 2 0 5 から出力させるた

めの演算処理を実行する。フラッシュメモリ b 2 1 7 は、通信によって取得したデータの記憶や、マイクロコンピュータ b 2 1 8 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ b 2 1 8 は、必要に応じて、フラッシュメモリ b 2 1 7 に対してデータを書き込み、またフラッシュメモリ b 2 1 7 からデータを読み出す。

[0237] 電話通信またはデータ通信の機能は、ベースバンド通信回路 b 2 3 6 によって実現される。マイクロコンピュータ b 2 1 8 は、ベースバンド通信回路 b 2 3 6 を制御して、音声またはデータを送受信するための処理を行う。＜第 3 参考例に係る発明＞（１）第 3 参考例に係る発明の特徴 たとえば、第 3 参考例に係る発明の特徴は、以下の C 1 ～C 1 5 である。（C 1）互いに対向する一对の長辺および互いに対向する一对の短辺を有する矩形の基板と、前記基板上に、前記一对の長辺に沿ってそれぞれ設けられた一对の電極と、前記基板上に形成された抵抗膜および当該抵抗膜に接するように積層された配線膜をそれぞれ有し、前記一对の電極の間に形成された複数の抵抗体と、前記一对の電極の間に形成され、前記複数の抵抗体をそれぞれ接続する切断可能な複数のヒューズとを含むことを特徴とする、チップ抵抗器。

[0238] この構成によれば、小サイズでも電極面積を大きくして放熱効率を高めることができる。すなわち、小サイズでも正確な抵抗値を実現でき、かつ放熱効率が良いので、抵抗体の温度特性に起因する抵抗値の変動を抑制できる。よって、正確な抵抗値で小サイズのチップ抵抗値を実現できる。従来構造では、小型化したときに、チップ抵抗器が高温になるので、過酷な温度サイクルに晒されるおそれがあり、それによって、温度サイクル耐性が悪くなるおそれがある。さらに、チップ抵抗器が高温となることによって、実装配線基板との間の半田が溶け出すおそれがあり、半田接合信頼性が悪くなるおそれがある。これらの問題は、いずれも、第 3 参考例によって解決される。（C 2）前記一对の電極は、前記一对の長辺の全長に亘って、長辺に沿ってそれぞれ形成されている事を特徴とする、C 1 に記載のチップ抵抗器。

- [0239] この構成によれば、基板の長手方向に沿って一对の電極が形成されており、しかも、各電極は基板の長辺全長に亘って伸びており、電極面積を大きくして、放熱特性のさらなる向上を図れる。(C 3) 前記長辺の長さが0.4 mm以下であり、前記短辺の長さが0.2 mm以下であることを特徴とする、C 1 またはC 2 に記載のチップ抵抗器。
- [0240] この構成によれば、小型のチップ抵抗器において、大きな電極を形成でき、正確な抵抗値で小サイズのチップ抵抗値を実現できる。(C 4) 前記一对の電極の間の抵抗値が、 $20\text{ m}\Omega \sim 100\text{ }\Omega$ であることを特徴とする、C 1 ～C 3 のいずれか一項に記載のチップ抵抗器。この構成によれば、特に、低抵抗のチップ抵抗器での特性向上を実現できる。(C 5) 前記基板上において、前記一对の電極のうちの第1 接続電極は基板の一方長辺に沿って設けられ、長辺方向に長手の矩形電極であり、第2 接続電極は、基板の他方長辺に沿って設けられ、長辺方向に長手の矩形電極であることを特徴とする、C 1 ～C 4 のいずれか一項に記載のチップ抵抗器。
- [0241] この構成によれば、電極面積を大きくして放熱効率を高めることができる。(C 6) 前記一对の接続電極が、基板の一对の長辺に沿って形成され、基板上の第1 接続電極c 1 2 と第2 接続電極c 1 3 とで挟まれた中央領域に抵抗回路網が設けられていることを特徴とする、C 1 ～C 5 のいずれか一項に記載のチップ抵抗器。この構成によれば、放熱効率が良いので、抵抗体の温度特性に起因する抵抗値の変動を抑制できる。(C 7) 互いに対向する一对の長辺および互いに対向する一对の短辺を有する矩形の基板と、前記基板上に、前記一对の長辺に沿ってそれぞれ設けられた一对の電極と、前記基板上に形成された配線膜をそれぞれ有する複数の機能素子と、前記複数の機能素子の前記配線膜と一体化した配線膜を有し、前記複数の機能素子を前記電極にそれぞれ接続する切断可能な複数のヒューズとを含むことを特徴とする、チップ部品。
- [0242] この構成によれば、小サイズでも電極面積を大きくして放熱効率を高めることができる。すなわち、小サイズでも放熱効率が良いので、機能素子の温度

特性に起因する性能変動を抑制できる。よって、正確な特性で小サイズのチップ部品を実現できる。（C 8）前記機能素子が、前記基板上に形成された抵抗膜および前記抵抗膜に接するように積層された配線膜を有する抵抗体を含み、前記チップ部品がチップ抵抗器であることを特徴とする、C 7 記載のチップ部品。

[0243] この構成によれば、上記の作用効果を有するチップ抵抗器とすることができる。（C 9）前記機能素子が、前記基板上に形成された容量膜および前記容量膜に接続された系配線膜を有するキャパシタ素子を含み、前記チップ部品がチップコンデンサであることを特徴とする、C 7 記載のチップ部品。この構成によれば、上記の作用効果を有するチップコンデンサとすることができる。（C 10）前記機能素子が、前記基板上に形成されたコイル形成膜および前記コイル形成膜に接続された配線膜を有するコイル素子を含み、前記チップ部品がチップインダクタであることを特徴とする、C 7 記載のチップ部品。

[0244] この構成によれば、上記の作用効果を有するチップインダクタとすることができる。（C 11）前記機能素子が、前記基板上に形成された接合構造部および前記接合構造部に接続された配線膜を有する単方向導電性素子を含み、前記チップ部品がチップダイオードであることを特徴とする、C 7 記載のチップ部品。この構成によれば、上記の作用効果を有するチップダイオードとすることができる。（C 12）前記ヒューズの前記配線膜と一体化した配線膜からなる電極パッドをさらに含み、前記電極パッドに前記電極が接していることを特徴とする、C 7～C 11のいずれか一項に記載のチップ部品。

[0245] この構成によれば、電極の設置が容易にでき、微細な基板に正確に電極が配置されたチップ部品とすることができる。（C 13）少なくとも一つの前記ヒューズが切断されており、当該ヒューズの切断部を覆うように前記基板上に形成された絶縁性の保護膜をさらに含むことを特徴とする、C 7～C 12のいずれか一項に記載のチップ部品。

[0246] この構成によれば、切断されたヒューズは絶縁性の保護膜で覆われており、耐水性の向上したチップ部品とすることができる。（C 1 4）前記一对の電極は、前記一对の長辺の全長に亘って、長辺に沿ってそれぞれ形成されていることを特徴とする、C 7～C 1 3のいずれか一項に記載のチップ部品。

この構成によれば、機能素子配置およびヒューズ配置を極めて細かなパターンで正確に作れ、特性値が安定したチップ部品を作ることができる。また、同一設計による多種類の特性値への対応が可能なチップ部品を製造することができる。（C 1 5）前記長辺の長さが0.4 mm以下であり、前記短辺の長さが0.2 mm以下であることを特徴とする、C 7～C 1 4のいずれか一項に記載のチップ部品。

[0247] この構成によれば、電極パッドのパターニングにおいて電極の配置位置が定まり、小型でかつ電極の配置位置が正確で、実装し易いチップ部品を製造することができる。（2）第3参考例に係る発明の実施形態 以下には、第3参考例の実施の形態を、添付図面を参照して詳細に説明する。以下の実施形態では、チップ部品の一例としてのチップ抵抗器を用いて具体的に説明する。なお、図65～図84で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

[0248] 図65（A）は、第3参考例の一実施形態に係るチップ抵抗器c 1 0の外観構成を示す図解的な斜視図であり、図65（B）は、チップ抵抗器c 1 0が基板上に実装された状態を示す側面図である。図65（A）を参照して、第3参考例の一実施形態に係るチップ抵抗器c 1 0は、基板c 1 1上に形成された第1接続電極c 1 2と、第2接続電極c 1 3と、抵抗回路網c 1 4とを備えている。基板c 1 1は、平面視略長方形の直方体形状で、一例として、長辺方向の長さL=0.3 mm、短辺方向の幅W=0.15 mm、厚みT=0.1 mm程度の大きさの微少なチップである。基板c 1 1は、平面視で角が面取りされた角ラウンド形状であってもよい。基板は、たとえばシリコン、ガラス、セラミック等で形成することができる。以下の実施形態では

、基板 c 1 1 がシリコン基板の場合を例にとって説明する。

[0249] チップ抵抗器 c 1 0 は、図 8 2 に示すように、基板上に格子状に多数個のチップ抵抗器 c 1 0 が形成され、基板が切断されて個々のチップ抵抗器 c 1 0 に分離されることにより得られる。基板 c 1 1 上において、第 1 接続電極 c 1 2 は基板 c 1 1 の一方長辺 c 1 1 1 に沿って設けられ、長辺 c 1 1 1 方向に長手の矩形電極である。第 2 接続電極 c 1 3 は、基板 c 1 1 上の他方長辺 c 1 1 2 に沿って設けられ、長辺 c 1 1 2 方向に長手の矩形電極である。この実施形態の特徴は、このように一对の接続電極が、基板 c 1 1 の一对の長辺 c 1 1 1、1 1 2 に沿って形成されていることである。抵抗回路網 c 1 4 は、基板 c 1 1 上の第 1 接続電極 c 1 2 と第 2 接続電極 c 1 3 とで挟まれた中央領域（回路形成面または素子形成面）に設けられている。そして、抵抗回路網 c 1 4 の一端側は第 1 接続電極 c 1 2 に電氣的に接続されており、抵抗回路網 c 1 4 の他端側は第 2 接続電極 c 1 3 に電氣的に接続されている。これら第 1 接続電極 c 1 2、第 2 接続電極 c 1 3 および抵抗回路網 c 1 4 は、たとえば一例として、基板 c 1 1 上に微細加工プロセスを用いて設けることができる。特に、後述するフォトリソグラフィプロセスを用いることにより、微細で正確なレイアウトパターンの抵抗回路網 c 1 4 を形成することができる。

[0250] 第 1 接続電極 c 1 2 および第 2 接続電極 c 1 3 は、それぞれ、外部接続電極として機能する。チップ抵抗器 c 1 0 が回路基板 c 1 5 に実装された状態においては、図 6 5 (B) に示すように、第 1 接続電極 c 1 2 および第 2 接続電極 c 1 3 が、それぞれ、回路基板 c 1 5 の回路（図示せず）と半田により電氣的かつ機械的に接続される。なお、外部接続電極として機能する第 1 接続電極 c 1 2 および第 2 接続電極 c 1 3 は、半田濡れ性の向上および信頼性の向上のために、少なくとも表面領域を金 (Au) で形成するか、または表面に金メッキを施すことが望ましい。

[0251] 図 6 6 は、チップ抵抗器 c 1 0 の平面図であり、第 1 接続電極 c 1 2、第 2 接続電極 c 1 3 および抵抗回路網 c 1 4 の配置関係ならびに抵抗回路網 c 1

4の平面視の構成（レイアウトパターン）が示されている。図66を参照して、チップ抵抗器c10は、基板c11上面の一方長辺c111に長辺が沿うように配置された平面視が長手で略矩形をした第1接続電極c12と、基板c11上面の他方長辺c112に長辺が沿うように配置された平面視が長手で略矩形をした第2接続電極c13と、第1接続電極c12および第2接続電極c13間の平面視矩形の領域に設けられた抵抗回路網c14とを含んでいる。

[0252] 抵抗回路網c14には、基板c11上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R（図66の例では、列方向（基板c11の幅（短手）方向）に沿って8個の単位抵抗体Rが配列され、行方向（基板c11の長手方向）に沿って44個の単位抵抗体Rが配列され、合計352個の単位抵抗体Rを含む構成）を有している。そして、これら多数個の単位抵抗体Rの1～64個の所定の個数が導体膜C（導体膜Cは、好ましくはAl、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属で形成された配線膜）で電氣的に接続されて、接続された単位抵抗体Rの数に応じた複数種類の抵抗回路が形成されている。

[0253] さらに、抵抗回路を抵抗回路網c14に電氣的に組み込んだり、または、抵抗回路網c14から電氣的に分離するために溶断可能な複数のヒューズ膜F（好ましくは、導体膜Cと同じ材料であるAl、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成された配線膜であり、以下、「ヒューズ」ともいう）が設けられている。複数のヒューズ膜Fは、第2接続電極c13の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ膜Fおよび接続用導体膜Cが隣接するように配列され、その配列方向が直線状になるように配置されている。

[0254] 図67Aは、図66に示す抵抗回路網c14の一部分を拡大して描いた平面図であり、図67Bおよび図67Cは、それぞれ、抵抗回路網c14における単位抵抗体Rの構造を説明するために描いた長さ方向の縦断面図および幅

方向の縦断面図である。図67A、図67Bおよび図67Cを参照して、単位抵抗体Rの構成について説明をする。

[0255] 基板c11の上面には絶縁層(SiO_2)c19が形成され、絶縁層c19上に抵抗体膜c20が配置されている。抵抗体膜c20は、抵抗体膜c20は、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、Ta₂SiO₅、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料からなる。抵抗体膜c20をこのような材料で形成することにより、フォトリソグラフィによる微細加工が可能になる。また、温度特性の影響により抵抗値が変化しにくい、正確な抵抗値のチップ抵抗器を作ることができる。この抵抗体膜c20は、第1接続電極c12と第2接続電極c13との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ラインc20は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ラインc20上には、導体膜片c21としてのたとえばアルミニウム膜が積層されている。各導体膜片c21は、抵抗体膜ラインc20上に、ライン方向に一定間隔Rを開けて積層されている。

[0256] この構成の抵抗体膜ラインc20および導体膜片c21の電気的特徴を回路記号で示すと、図68の通りである。すなわち、図68(A)に示すように、所定間隔Rの領域の抵抗体膜ラインc20部分が、それぞれ、一定の抵抗値rの単位抵抗体Rを形成している。導体膜片c21が積層された領域は、当該導体膜片c21で抵抗体膜ラインc20が短絡されている。よって、図68(B)に示す抵抗rの単位抵抗体Rの直列接続からなる抵抗回路が形成されている。

[0257] また、隣接する抵抗体膜ラインc20同士は抵抗体膜ラインc20および導体膜片c21で接続されているから、図67Aに示す抵抗回路網は、図68(C)に示す抵抗回路を構成している。図67Bおよび図67Cに示す図解的な断面図において、参照番号c11はシリコン基板、c19は絶縁層としての二酸化シリコン SiO_2 層、c20は絶縁層c19上に形成された抵抗

体膜、c 2 1 はアルミニウム (Al) の配線膜、c 2 2 は保護膜としての SiN 膜、c 2 3 は保護層としてのポリイミド層を示している。

[0258] 抵抗体膜 c 2 0 の材質は、上記のとおり、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、および TiSiON からなる群から選択した 1 種以上を含む材料からなる。また、抵抗体膜 c 2 0 の膜厚は、300 Å ~ 1 μm であることが望ましい。抵抗体膜 c 2 0 の膜厚をこの範囲とすれば、抵抗体膜 c 2 0 の温度係数を 50 ppm/°C ~ 200 ppm/°C に実現でき、温度特性の影響を受けにくいチップ抵抗器となるからである。

[0259] なお、抵抗体膜 c 2 0 の温度係数は、1000 ppm/°C 未満であれば、実用上良好なチップ抵抗器を得られる。さらに、抵抗体膜 c 2 0 は、1 μm ~ 1.5 μm の線幅を有する線状要素を含む構造であることが望ましい。抵抗回路の微細化と良好な温度特性とを両立できるからである。配線膜 c 2 1 は、Al に換え、AlSi、AlSiCu、または AlCu などのアルミニウム系金属膜で形成されてもよい。配線膜 c 2 1 (ヒューズ膜 F を含む) をこのようにアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。

[0260] なお、かかる構成の抵抗回路網 c 1 4 の製造プロセスについては、後に詳述する。この実施形態では、基板上 1 1 に形成された抵抗回路網 c 1 4 に含まれる単位抵抗体 R は、抵抗体膜ライン c 2 0 と、抵抗体膜ライン c 2 0 上に、ライン方向に一定間隔をあけて積層された複数の導体膜片 c 2 1 とを含み、導体膜片 c 2 1 が積層されていない一定間隔 R 部分の抵抗体膜ライン c 2 0 が、1 個の単位抵抗体 R を構成している。単位抵抗体 R を構成している抵抗体膜ライン c 2 0 は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基づき、シリコン基板 c 1 1 上にマトリックス状に配列された多数個の単位抵抗体 R は、等しい抵抗値を有している。

[0261] 抵抗体膜ライン c 2 0 上に積層された導体膜片 c 2 1 は、単位抵抗体 R を形

成するとともに、複数個の単位抵抗体 R を接続して抵抗回路を構成するための接続用配線膜の役目も果たしている。図 69 (A) は、図 66 に示すチップ抵抗器 c 10 の平面図の一部分を拡大して描いたヒューズ膜 F を含む領域の部分拡大平面図であり、図 69 (B) は、図 69 (A) の B-B に沿う断面構造を示す図である。

[0262] 図 69 (A) (B) に示すように、ヒューズ膜 F も、抵抗体膜 c 20 上に積層された配線膜 c 21 により形成されている。すなわち、単位抵抗体 R を形成する抵抗体膜ライン c 20 上に積層された導体膜片 c 21 と同じレイヤーに、導体膜片 c 21 と同じ金属材料であるアルミニウム (A1) により形成されている。なお、導体膜片 c 21 は、前述したように、抵抗回路を形成するために、複数個の単位抵抗体 R を電氣的に接続する接続用導体膜 C としても用いられている。

[0263] つまり、抵抗体膜 c 20 上に積層された同一レイヤーにおいて、単位抵抗体 R 形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網 c 14 を構成するための接続用配線膜、ヒューズ膜、ならびに抵抗回路網 c 14 を第 1 接続電極 c 12 および第 2 接続電極 c 13 に接続するための配線膜が、同一のアルミニウム系金属材料（たとえばアルミニウム）を用いて、同じ製造プロセス（たとえばスパッタリングおよびフォトリソグラフィプロセス）によって形成されている。これにより、このチップ抵抗器 c 10 の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗体膜 c 20 とのアライメント性も向上する。

[0264] 図 70 は、図 66 に示す抵抗回路網 c 14 における複数種類の抵抗回路を接続する接続用導体膜 C およびヒューズ膜 F の配列関係と、その接続用導体膜 C およびヒューズ膜 F に接続された複数種類の抵抗回路との接続関係を図解的に示す図である。

図 70 を参照して、第 1 接続電極 c 12 には、抵抗回路網 c 14 に含まれる基準抵抗回路 R 8 の一端が接続されている。基準抵抗回路 R 8 は、8 個の単位抵抗体 R の直列接続からなり、その他端はヒューズ膜 F 1 に接続されてい

る。

- [0265] ヒューズ膜 F 1 と接続用導体膜 C 2 とには、64 個の単位抵抗体 R の直列接続からなる抵抗回路 R 64 の一端および他端が接続されている。接続用導体膜 C 2 とヒューズ膜 F 4 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 32 の一端および他端が接続されている。ヒューズ膜 F 4 と接続用導体膜 C 5 とには、32 個の単位抵抗体 R の直列接続からなる抵抗回路 R 32 の一端および他端が接続されている。
- [0266] 接続用導体膜 C 5 とヒューズ膜 F 6 とには、16 個の単位抵抗体 R の直列接続からなる抵抗回路 R 16 の一端および他端が接続されている。ヒューズ膜 F 7 および接続用導体膜 C 9 には、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。接続用導体膜 C 9 およびヒューズ膜 F 10 には、4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 4 の一端および他端が接続されている。
- [0267] ヒューズ膜 F 11 および接続用導体膜 C 12 には、2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 2 の一端および他端が接続されている。接続用導体膜 C 12 およびヒューズ膜 F 13 には、1 個の単位抵抗体 R からなる抵抗回路 R 1 の一端および他端が接続されている。ヒューズ膜 F 13 および接続用導体膜 C 15 には、2 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。
- [0268] 接続用導体膜 C 15 およびヒューズ膜 F 16 には、4 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。ヒューズ膜 F 16 および接続用導体膜 C 18 には、8 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。接続用導体膜 C 18 およびヒューズ膜 F 19 には、16 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。
- [0269] ヒューズ膜 F 19 および接続用導体膜 C 22 には、32 個の単位抵抗体 R の並列接続からなる抵抗回路 $R/32$ が接続されている。複数のヒューズ膜 F および接続用導体膜 C は、それぞれ、ヒューズ膜 F 1、接続用導体膜 C 2

、ヒューズ膜F 3、ヒューズ膜F 4、接続用導体膜C 5、ヒューズ膜F 6、ヒューズ膜F 7、接続用導体膜C 8、接続用導体膜C 9、ヒューズ膜F 10、ヒューズ膜F 11、接続用導体膜C 12、ヒューズ膜F 13、ヒューズ膜F 14、接続用導体膜C 15、ヒューズ膜F 16、ヒューズ膜F 17、接続用導体膜C 18、ヒューズ膜F 19、ヒューズ膜F 20、接続用導体膜C 21、接続用導体膜C 22が、直線状に配置されて直列に接続されている。各ヒューズ膜Fが溶断されると、ヒューズ膜Fに隣接接続された接続用導体膜Cとの間の電氣的接続が遮断される構成である。

[0270] この構成を、電気回路図で示すと図71の通りである。すなわち、全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網c 14は、第1接続電極c 12および第2接続電極c 13間に設けられた8個の単位抵抗体Rの直列接続からなる基準抵抗回路R 8（抵抗値 $8r$ ）の抵抗回路を構成している。たとえば、1個の単位抵抗体Rの抵抗値 r を $r = 80\Omega$ とすれば、 $8r = 640\Omega$ の抵抗回路により、第1接続電極c 12および第2接続電極c 13が接続されたチップ抵抗器c 10が構成されている。

[0271] そして、基準抵抗回路R 8以外の複数種類の抵抗回路には、それぞれ、ヒューズ膜Fが並列的に接続され、各ヒューズ膜Fによりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路R 8には、12種類13個の抵抗回路R 64～R / 32が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ膜Fにより短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網c 14に組み込まれてはいない。

[0272] この実施形態に係るチップ抵抗器c 10は、要求される抵抗値に応じて、ヒューズ膜Fを選択的に、たとえばレーザー光で溶断する。それにより、並列的に接続されたヒューズ膜Fが溶断された抵抗回路は、抵抗回路網c 14に組み込まれることになる。よって、抵抗回路網c 14の全体の抵抗値を、溶断されたヒューズ膜Fに対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

[0273] 換言すれば、この実施形態に係るチップ抵抗器 c 1 0 は、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路（たとえば、F 1、F 4、F 1 3 が溶断されると、抵抗回路 R 6 4、R 3 2、R 1 の直列接続）を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 c 1 4 の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 c 1 0 とすることができる。

[0274] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、1 6 個、3 2 個、および 6 4 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、1 6 個、および 3 2 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズ膜 F で短絡された状態で直列に接続されている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 c 1 4 全体の抵抗値を、小さな抵抗値から大きな抵抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

[0275] 図 7 2 は、第 3 参考例の他の実施形態に係るチップ抵抗器 c 3 0 の平面図であり、第 1 接続電極 c 1 2、第 2 接続電極 c 1 3 および抵抗回路網 4 の配置関係ならびに抵抗回路網 c 1 4 の平面視の構成が示されている。この実施形態においても、基板 c 1 1 の一対の長辺沿いに、第 1 接続電極 c 1 2 および第 2 接続電極 c 1 3 が設けられている。

[0276] チップ抵抗器 c 3 0 が、前述したチップ抵抗器 c 1 0 と異なるところは、抵抗回路網 c 1 4 における単位抵抗体 R の接続態様である。すなわち、チップ抵抗器 c 3 0 の抵抗回路網 c 1 4 には、基板 c 1 1 上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体 R（図 7 2 の構成では、列方向（基板 c 1 1 の短手（幅）方向）に沿って 8 個の単位抵抗体 R が配列され、行方向（基板 c 1 1 の長手方向）に沿って 4 4 個の単位抵抗体 R が配列され、合計 3 5 2 個の単位抵抗体 R を含む構成）を有している。そして

、これら多数個の単位抵抗体 R の 1 ～ 1 2 8 個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ膜 F により並列態様で接続されている。複数のヒューズ膜 F は、第 2 接続電極 c 1 3 の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ膜 F が溶断されると、ヒューズ膜に接続された抵抗回路が抵抗回路網 c 1 4 から電氣的に分離される構成である。

[0277] なお、抵抗回路網 c 1 4 を構成する多数個の単位抵抗体 R の材質および構造や、接続用導体膜、ヒューズ膜 F の材質および構造は、先に説明したチップ抵抗器 c 1 0 における対応する部位の構造と同様であるから、ここでの説明については省略する。 図 7 3 は、図 7 2 に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ膜 F の配列関係ならびにヒューズ膜 F に接続された複数種類の抵抗回路の接続関係を図解的に示す図である。

[0278] 図 7 3 を参照して、第 1 接続電極 c 1 2 には、抵抗回路網 c 1 4 に含まれる基準抵抗回路 R / 1 6 の一端が接続されている。基準抵抗回路 R / 1 6 は、1 6 個の単位抵抗体 R の並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜 C に接続されている。 ヒューズ膜 F 1 と接続用導体膜 C とには、1 2 8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 2 8 の一端および他端が接続されている。

[0279] ヒューズ膜 F 5 と接続用導体膜 C とには、6 4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 6 4 の一端および他端が接続されている。 抵抗膜 F 6 と接続用導体膜 C とには、3 2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。 ヒューズ膜 F 7 と接続用導体膜 C とには、1 6 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 6 の一端および他端が接続されている。

[0280] ヒューズ膜 F 8 と接続用導体膜 C とには、8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 8 の一端および他端が接続されている。 ヒューズ膜 F 9

と接続用導体膜Cとには、4個の単位抵抗体Rの直列接続からなる抵抗回路R4の一端および他端が接続されている。ヒューズ膜F10と接続用導体膜Cとには、2個の単位抵抗体Rの直列接続からなる抵抗回路R2の一端および他端が接続されている。

[0281] ヒューズ膜F11と接続用導体膜Cとには、1個の単位抵抗体Rの直列接続からなる抵抗回路R1の一端および他端が接続されている。ヒューズ膜F12と接続用導体膜Cとには、2個の単位抵抗体Rの並列接続からなる抵抗回路R/2の一端および他端が接続されている。ヒューズ膜F13と接続用導体膜Cとには、4個の単位抵抗体Rの並列接続からなる抵抗回路R/4の一端および他端が接続されている。

[0282] ヒューズ膜F14、F15、F16は電氣的に接続されており、これらヒューズ膜F14、F15、F16と接続用導体Cとには、8個の単位抵抗体Rの並列接続からなる抵抗回路R/8の一端および他端が接続されている。ヒューズ膜F17、F18、F19、F20、F21は電氣的に接続されており、これらヒューズ膜F17～F21と接続用導体膜Cとには、16個の単位抵抗体Rの並列接続からなる抵抗回路R/16の一端および他端が接続されている。

[0283] ヒューズ膜Fは、ヒューズ膜F1～F21の21個備えられていて、これらは全て第2接続電極c13に接続されている。かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズ膜Fが溶断されると、そのヒューズ膜Fに一端が接続された抵抗回路は、抵抗回路網c14から電氣的に切り離される。

[0284] 図73の構成、すなわちチップ抵抗器c30に備えられた抵抗回路網c14の構成を、電気回路図で示すと図74の通りである。全てのヒューズ膜Fが溶断されていない状態では、抵抗回路網c14は、第1接続電極c14および第2接続電極c13間に、基準抵抗回路R/16と、12種類の抵抗回路R/16、R/8、R/4、R/2、R1、R2、R4、R8、R16、R32、R64、R128の並列接続回路との直列接続回路を構成している。

[0285] そして、基準抵抗回路 $R/16$ 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ膜 F が直列に接続されている。よって、この抵抗回路網 c 14 を有するチップ抵抗器 c 30 では、要求される抵抗値に応じて、ヒューズ膜 F を選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズ膜 F に対応する抵抗回路（ヒューズ膜 F が直列に接続された抵抗回路）は、抵抗回路網 c 14 から電氣的に分離され、チップ抵抗器 c 10 の抵抗値を調整することができる。

[0286] 換言すれば、この実施形態に係るチップ抵抗器 c 30 も、複数種類の抵抗回路に対応して設けられたヒューズ膜を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 c 14 の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 c 30 とすることができる。

[0287] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、64 個および 128 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。よって、ヒューズ膜 F を選択的に溶断することにより、抵抗回路網 c 14 全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値に設定することができる。

[0288] なお、図 7 4 に示す電気回路においては、基準抵抗回路 $R/16$ および、並列接続された抵抗回路のうち、抵抗値の小さな抵抗回路には、過電流が流れる傾向があり、抵抗設定時に、抵抗に流せる定格電流を大きく設計しなければならない。そこで、電流を分散させるために、図 7 4 に示す電気回路を、図 7 5 (A) に示す電気回路構成となるように、抵抗回路網の接続構造を変更してもよい。すなわち、基準抵抗回路 $R/16$ を無くし、かつ、並列接

続される抵抗回路は、最小の抵抗値を r とし、抵抗値 r の抵抗単位体 R_1 を複数組並列に接続した構成 c_{140} を含む回路に変えるのである。

[0289] 図 7 5 (B) は、具体的な抵抗値を示した電気回路図であり、 $80\ \Omega$ の単位抵抗体とヒューズ膜 F との直列接続を複数組並列に接続した構成 c_{140} を含む回路とされている。これにより、流れる電流の分散を図ることができる。図 7 6 は、第 3 参考例のさらに他の実施形態に係るチップ抵抗器に備えられる抵抗回路網 c_{14} の回路構成を電気回路図で示した図である。図 7 6 に示す抵抗回路網 c_{14} の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。

[0290] 直列接続される複数種類の抵抗回路には、先の実施形態と同様、各抵抗回路毎に、並列にヒューズ膜 F が接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズ膜 F で短絡状態とされている。従って、ヒューズ膜 F を溶断すると、そのヒューズ膜 F で短絡されていた抵抗回路が、抵抗回路網 c_{14} に電氣的に組み込まれることになる。一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズ膜 F が接続されている。従って、ヒューズ膜 F を溶断することにより、ヒューズ膜 F が直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

[0291] かかる構成とすれば、たとえば、 $1\text{ k}\ \Omega$ 以下の小抵抗は並列接続側で作し、 $1\text{ k}\ \Omega$ 以上の抵抗回路を直列接続側で作ることができる。よって、数 Ω の小抵抗から数 $M\ \Omega$ の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗回路網 c_{14} を用いて作ることができる。また、より精度良く抵抗値を設定する場合は、要求抵抗値に近い直列接続側抵抗回路のヒューズ膜を予めカットしておけば、細かな抵抗値の調整を並列接続側の抵抗回路のヒューズ膜を溶断することにより行うことができ、所望の抵抗値への合わせ込みの精度が上がる。

[0292] 図 7 7 は、 $10\ \Omega \sim 1\text{ M}\ \Omega$ の抵抗値を有するチップ抵抗器における抵抗回路

網 c 1 4 の具体的な構成例を示す電気回路図である。 図 7 7 に示す抵抗回路網 c 1 4 も、ヒューズ膜 F で短絡された複数種類の抵抗回路の直列接続と、ヒューズ膜 F が直列接続された複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっている。

[0293] 図 7 7 の抵抗回路によれば、並列接続側において、 $10 \sim 1 \text{ k} \Omega$ の任意の抵抗値を、精度 1 % 以内で設定できる。また、直列接続側の回路で、 $1 \text{ k} \sim 1 \text{ M} \Omega$ の任意の抵抗値を精度 1 % 以内で設定できる。直列接続側の回路を使用する場合は、所望の抵抗値に近い抵抗回路のヒューズ膜 F を予め溶断し、所望の抵抗値に合わせ込んでおくことで、より精度良く抵抗値を設定できるという利点がある。

[0294] なお、ヒューズ膜 F は、接続用導体膜 C と同一のレイヤーを用いる場合のみを説明したが、接続用導電膜 C 部分は、その上に更に別の導体膜を積層するようにし、導体膜の抵抗値を下げるようにしてもよい。また、抵抗体膜をなくして、接続用導体膜 C のみとしても良い。なお、この場合であっても、ヒューズ膜 F の上に導体膜を積層しなければ、ヒューズ膜 F の溶断性が悪くなることはない。

[0295] 図 7 8 は、第 3 参考例のさらに他の実施形態に係るチップ抵抗器 9 0 の要部構造を説明するための図解的な平面図である。たとえば、前述したチップ抵抗器 c 1 0 (図 6 5、図 6 6 参照) や、チップ抵抗器 c 3 0 (図 7 2 参照) では、抵抗回路を構成する抵抗体膜ライン c 2 0 と導体膜片 c 2 1 の関係を平面視で表わすと、図 7 8 (A) に示す構成になっている。すなわち、図 7 8 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン c 2 0 部分が、一定の抵抗値 r の単位抵抗体 R を形成している。そして単位抵抗体 R の両側には導体膜片 c 2 1 が積層され、当該導体膜片 c 2 1 で抵抗体膜ライン c 2 0 が短絡されている。

[0296] ここで、前述したチップ抵抗器 c 1 0 およびチップ抵抗器 c 3 0 では、単位抵抗体 R を形成している抵抗体膜ライン c 2 0 部分の長さは、たとえば $12 \mu\text{m}$ であり、抵抗体膜ライン c 2 0 の幅は、たとえば $1.5 \mu\text{m}$ であり、単

位抵抗（シート抵抗）は $10\ \Omega/\square$ である。このため、単位抵抗体 R の抵抗値 r は、 $r = 80\ \Omega$ である。ところで、たとえば図 65、図 66 に示すチップ抵抗器 c 10 において、抵抗回路網 c 14 の配置領域を拡げることなく、抵抗回路網 c 14 の抵抗値を高めて、チップ抵抗器 c 10 の高抵抗化を図りたいといった要望がある。

[0297] そこで、この実施形態に係るチップ抵抗器 90 では、抵抗回路網 c 14 のレイアウトを変更するとともに、抵抗回路網に含まれる抵抗回路を構成する単位抵抗体を、平面視において、図 78 (B) に示す形状および大きさとした。図 78 (B) を参照して、抵抗体膜ライン c 20 は、幅 $1.5\ \mu\text{m}$ で直線状に延びるライン状の抵抗体膜ライン c 20 を含む。そして、抵抗体膜ライン c 20 において、所定間隔 R' の抵抗体膜ライン c 20 部分が、一定の抵抗値 r' の単位抵抗体 R' を形成している。単位抵抗体 R' の長さは、たとえば $17\ \mu\text{m}$ にする。こうすれば、単位抵抗体 R' の抵抗値 r' は、図 78 (A) に示す単位抵抗体 R に比べて、ほぼ 2 倍の $r' = 160\ \Omega$ の単位抵抗体とすることができる。

[0298] また、抵抗体膜ライン c 20 上に積層される導体膜片 c 21 の長さは、図 78 (A) に示すものにおいても、(B) に示すものにおいても、同じ長さで構成することができる。それゆえ、抵抗回路網 c 14 に含まれる抵抗回路を構成する各単位抵抗体 R' のレイアウトパターンを変更し、単位抵抗体 R' が直列状に接続できるレイアウトパターンとすることにより、チップ抵抗器 90 は高抵抗化が実現されたものとなる。

[0299] 図 79 は、図 65 ~ 71 を参照して説明したチップ抵抗器 c 10 の製造工程の一例を示すフロー図である。次に、このフロー図の製造工程に従って、かつ、必要に応じて図 65 ~ 71 を参照しつつ、チップ抵抗器 c 10 の製造方法について詳細に説明をする。ステップ S1 : まず、基板 c 11（実際には個々のチップ抵抗器 c 10 に切り分けられる前のシリコンウエハ（図 81 参照））が所定の処理室に配置され、その表面に、たとえば熱酸化法によって、絶縁層 c 19 としての二酸化シリコン (SiO_2) 層が形成される。

- [0300] ステップS2：次に、たとえばスパッタ法によって、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料、たとえばTiN、TiONまたはTiSiONの抵抗膜c20が絶縁層c19の表面全域に形成される。ステップS3：次に、たとえばスパッタ法によって、抵抗膜c20の表面全域にたとえばアルミニウム（Al）の配線膜c21が積層形成される。積層された抵抗膜c20および配線膜c21の2層の膜の合計膜厚は8000Å程度とされてもよい。配線膜c21は、Alに換え、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成されてもよい。配線膜c21を、Al、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。
- [0301] ステップS4：次に、フォトリソグラフィプロセスを用い、配線膜c21の表面に、抵抗回路網c14の平面視の構成（導体膜Cおよびヒューズ膜Fを含むレイアウトパターン）に対応したレジストパターンが形成される（第1レジストパターンの形成）。ステップS5：そして、第1エッチング工程が行われる。すなわち、ステップS4で形成された第1レジストパターンをマスクとして、抵抗膜c20および配線膜c21という積層された2層膜が、たとえば反応性イオンエッチング（RIE）によりエッチングされる。そして、エッチング後に第1レジストパターンは剥離される。
- [0302] ステップS6：再び、フォトリソグラフィプロセスを用いて、第2レジストパターンが形成される。ステップS6で形成される第2レジストパターンは、抵抗膜c20上に積層された配線膜c21を選択的に除去して、単位抵抗R（図66で細いドットを付して示す領域）を形成するためのパターンである。ステップS7：ステップS6で形成された第2レジストパターンをマスクとして、たとえばウェットエッチングにより、配線膜c21のみが選択的にエッチングされる（第2エッチング工程）。エッチング後、第2レジストパターンが剥離される。これにより、図66に示した抵抗回路網c1

4のレイアウトパターンが得られる。

[0303] ステップS8：この段階で、基板表面に形成された抵抗回路網c14の抵抗値（回路網c14全体の抵抗値）が測定される。この測定は、たとえばマルチプローブピンを図66に示す第1接続電極c12とつながる側の抵抗回路網c14の端部と、第2接続電極c13につながる側のヒューズ膜および抵抗回路網c14の端部とに接触させて測定する。この測定により、製造された抵抗回路網c14の初期状態における良否が判定できる。

[0304] ステップS9：次いで、基板c11の上に形成された抵抗回路網c14の全面を覆うように、たとえば窒化膜からなるカバー膜c22aが形成される。カバー膜c22aは、窒化膜（SiN膜）に換え、酸化膜（SiO₂膜）であってもよい。このカバー膜c22aの形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜（SiN膜）が形成されてもよい。カバー膜c22aは、パターニングされた配線膜c21、抵抗体膜c20およびヒューズ膜Fを覆う。

[0305] ステップS10：この状態から、ヒューズ膜Fを選択的に溶断して、チップ抵抗器c10を所望の抵抗値に合わせ込むためのレーザートリミングが行われる。すなわち、図80（A）に示すように、ステップS8で行われた全抵抗値測定の測定結果に応じて選択されたヒューズ膜Fにレーザー光を当てて、そのヒューズ膜Fおよびその下に位置する抵抗体膜c20が溶断される。これにより、ヒューズ膜Fで短絡されていた対応する抵抗回路が抵抗回路網c14中に組み込まれ、抵抗回路網c14の抵抗値を所望の抵抗値に合わせ込むことができる。ヒューズ膜Fにレーザー光を当てるとき、カバー膜c22aの働きによって、ヒューズ膜Fの近傍にレーザー光のエネルギーが蓄積され、それによって、ヒューズ膜Fおよびその下層の抵抗体膜c20が溶断する。

[0306] ステップS11：次に、図80（B）に示すように、たとえばプラズマCVD法によって、カバー膜c22a上に窒化シリコン膜が堆積され、パッシベーション膜c22が形成される。前述のカバー膜c22aは、最終形態にお

いて、パッシベーション膜 c 2 2 と一体化し、このパッシベーション膜 c 2 2 の一部を構成する。ヒューズ膜 F およびその下層の抵抗体膜 c 2 0 の切断後に形成されたパッシベーション膜 c 2 2 は、ヒューズ膜 F およびその下層の抵抗体膜 c 2 0 の溶断の際に同時に破壊されたカバー膜 c 2 2 a の開口 2 2 b 内に入り込み、ヒューズ膜 F およびその下層の抵抗体膜 c 2 0 の切断面を保護する。従って、パッシベーション膜 c 2 2 は、ヒューズ膜 F の切断箇所に異物が入り込んだり水分が進入したりすることを防ぐ。パッシベーション膜 c 2 2 は、全体で、たとえば 1 0 0 0 ~ 2 0 0 0 0 Å 程度の厚みであればよく、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。また、上述のように、パッシベーション膜 c 2 2 はシリコン酸化膜であってもよい。

[0307] ステップ S 1 2 : 次いで、図 8 0 (C) に示すように、全面に樹脂膜 c 2 3 が塗布される。樹脂膜 c 2 3 としては、たとえば感光性のポリイミドの塗布膜 c 2 3 が用いられる。 ステップ S 1 3 : この樹脂膜 c 2 3 に対して、前記第 1 接続電極 c 1 2 、第 2 接続電極 c 1 3 の開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる。これにより、樹脂膜 c 2 3 に第 1 接続電極 c 1 2 および第 2 接続電極 c 1 3 のためのパッド開口が形成される。

[0308] ステップ S 1 4 : その後、樹脂膜 c 2 3 を硬化するための熱処理（ポリイミドキュア）が行われ、熱処理によりポリイミド膜 c 2 3 が安定化される。熱処理は、例えば 1 7 0 ° C ~ 7 0 0 ° C 程度の温度で行ってもよい。その結果、抵抗体（抵抗体膜 c 2 0 およびパターニングされた配線膜 c 2 1 ）の特性が安定するというメリットもある。 ステップ S 1 5 : 次に、第 1 接続電極 c 1 2 および第 2 接続電極 c 1 3 を形成すべき位置に貫通孔を有するポリイミド膜 c 2 3 をマスクとしてパッシベーション膜 c 2 2 のエッチングが行われる。それによって、配線膜 c 2 1 を第 1 接続電極 c 1 2 の領域および第 2 接続電極 c 1 3 の領域において露出させるパッド開口が形成される。パッシベ

ション膜 c 2 2 のエッチングは、反応性イオンエッチング (R I E) によって行われてもよい。

[0309] ステップ S 1 6 : 2 つのパッド開口から露出した配線膜 c 2 1 にマルチプローブピンが接触され、チップ抵抗器の抵抗値が所望の抵抗値になっていることを確認するための抵抗値測定 (アフター測定) が行われる。このように、アフター測定を行うこと、換言すれば、最初の測定 (イニシャル測定) → ヒューズ膜 F の溶断 (レーザーリペア) → アフター測定という一連の処理を行うことで、チップ抵抗器 c 1 0 に対するトリミング処理能力が大幅に向上する。

[0310] ステップ S 1 7 : 2 つのパッド開口内に、たとえば無電解めっき法によって、外部接続電極としての第 1 接続電極 c 1 2 および第 2 接続電極 c 1 3 を成長させる。 ステップ S 1 8 : その後、ウエハ表面に配列形成された多数個 (たとえば 5 0 万個) の各チップ抵抗器を個々のチップ抵抗器 c 1 0 に分離するために、フォトリソグラフィによって第 3 のレジストパターンが形成される。レジスト膜はウエハの表面において、たとえば図 8 2 における各チップ抵抗器 c 1 0 を保護すべく設けられ、各チップ抵抗器 c 1 0 間がエッチングされるように形成される。

[0311] ステップ S 1 9 : そしてプラズマダイシングが実行される。プラズマダイシングは、第 3 レジストパターンをマスクとしたエッチングであり、基板であるシリコンウエハの表面から所定深さの溝が、各チップ抵抗器 c 1 0 の間に形成される。その後レジスト膜が剥離される。 ステップ S 2 0 : そして、たとえば図 8 1 (A) に示すように、表面に保護テープ c 1 0 0 が貼着される。

[0312] ステップ S 2 1 : 次いで、シリコンウエハの裏面研削が行われて、チップ抵抗器は個々のチップ抵抗器 c 1 0 に分離される (図 8 1 (A) (B))。 ステップ S 2 2 : そして、図 8 1 (C) に示すように、裏面側にキャリアテープ (熱発泡シート) c 2 0 0 が貼られて、個々のチップ抵抗器に分離された多数個のチップ抵抗器 c 1 0 は、キャリアテープ c 2 0 0 上に配列された

状態で保持される。一方で、表面に貼着された保護テープは取り除かれる（図 8 1（D））。

[0313] ステップ S 2 3：熱発泡シート c 2 0 0 は、加熱されることによりその内部に含まれる熱発泡粒子 c 2 0 1 が膨らみ、それによりキャリアテープ c 2 0 0 表面に接着されている各チップ抵抗器 c 1 0 はキャリアテープ c 2 0 0 から剥離されて個々に分離される（図 8 1（E）（F））。以上、第 3 参考例の実施形態として、チップ抵抗器を用いて説明したが、第 3 参考例は、チップ抵抗器以外のチップ部品に対しても適用することが可能である。

[0314] たとえば、他のチップ部品の例としてチップコンデンサを例示できる。チップコンデンサは、基板と、基板上に配置された第 1 外部電極と、同じく基板上に配置された第 2 外部電極とを備えている。そして、第 1 外部電極および第 2 外部電極の間にキャパシタ配置領域が設けられ、機能素子としての複数のキャパシタ要素が配置されている。複数のキャパシタ要素は、複数のヒューズを介してそれぞれ第 1 外部電極に電氣的に接続されている。

[0315] かかるチップコンデンサにおいても、第 3 参考例を適用し、基板表面の短手方向両側に、基板の長手方向に沿って第 1 外部電極および第 2 外部電極を配置することにより、表記の課題を解決できる。さらに、他のチップ部品の例として、チップインダクタを例示することができる。チップインダクタは、たとえば基板上に多層配線構造を有し、多層配線構造内にインダクタ（コイル）およびそれに関連する配線を有する部品で、多層配線構造内の任意のインダクタがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。かかるチップインダクタにおいても、第 3 参考例による外部接続電極の構造、すなわち、基板表面の短手方向両側に、基板の長手方向に沿って、それぞれ、外部接続電極を配置することにより、表記の課題を解決できる。

[0316] さらに他のチップ部品の例として、チップダイオードを例示することもできる。チップダイオードは、たとえば基板上に多層配線構造を有し、多層配線構造内に複数のダイオードおよびそれに関連する配線を有する部品で、多層

配線構造内の任意のダイオードがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものである。回路に組み込むダイオードを選択することにより、チップダイオードの整流特性を変更したり、調整することができる。また、チップダイオードの電圧降下特性(抵抗値)を設定できる。さらに、ダイオードがLED(ライトエミッティングダイオード)であるチップLEDの場合、回路に組み込むLEDを選択し、発光色を選べるチップLEDとすることができる。このようなチップダイオード、チップLEDに対しても、第3参考例による外部接続電極の構造、すなわち、基板表面の短手方向両側に、基板の長手方向に沿って、それぞれ、外部接続電極を配置することにより、表記の課題を解決できる。そして、それによって、小型で高性能の、取り扱い易いチップダイオード、チップLEDといったチップ部品とすることができる。

[0317] 図83は、第3参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォンc201は、扁平な直方体形状の筐体c202の内部に電子部品を収納して構成されている。筐体c202は表側および裏側に長形状の一对の主面を有しており、その一对の主面が4つの側面で結合されている。筐体c202の一つの主面には、液晶パネルや有機ELパネル等で構成された表示パネルc203の表示面が露出している。表示パネルc203の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0318] 表示パネルc203は、筐体c202の一つの主面の大部分を占める長形状に形成されている。表示パネルc203の一つの短辺に沿うように、操作ボタンc204が配置されている。この実施形態では、複数(3つ)の操作ボタンc204が表示パネルc203の短辺に沿って配列されている。使用者は、操作ボタンc204およびタッチパネルを操作することによって、スマートフォンc201に対する操作を行い、必要な機能呼び出して実行させることができる。

[0319] 表示パネルc203の別の一つの短辺の近傍には、スピーカc205が配置

されている。スピーカ c 2 0 5 は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン c 2 0 4 の近くには、筐体 c 2 0 2 の一つの側面にマイクロフォン c 2 0 6 が配置されている。マイクロフォン c 2 0 6 は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0320] 図 8 4 は、筐体 c 2 0 2 の内部に收容された電子回路アセンブリ c 2 1 0 の構成を示す図解的な平面図である。電子回路アセンブリ c 2 1 0 は、配線基板 c 2 1 1 と、配線基板 c 2 1 1 の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子 (I C) c 2 1 2 - c 2 2 0 と、複数のチップ部品とを含む。複数の I C は、伝送処理 I C c 2 1 2、ワンセグ T V 受信 I C c 2 1 3、G P S 受信 I C c 2 1 4、F M チューナ I C c 2 1 5、電源 I C c 2 1 6、フラッシュメモリ c 2 1 7、マイクロコンピュータ c 2 1 8、電源 I C c 2 1 9 およびベースバンド I C c 2 2 0 を含む。複数のチップ部品は、チップインダクタ c 2 2 1、c 2 2 5、c 2 3 5、チップ抵抗器 c 2 2 2、c 2 2 4、c 2 3 3、チップキャパシタ c 2 2 7、c 2 3 0、c 2 3 4、およびチップダイオード c 2 2 8、c 2 3 1 を含む。これらチップ部品は、第 3 参考例に係る構成のものをを用いることができる。

[0321] 伝送処理 I C c 2 1 2 は、表示パネル c 2 0 3 に対する表示制御信号を生成し、かつ表示パネル c 2 0 3 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル c 2 0 3 との接続のために、伝送処理 I C c 2 1 2 には、フレキシブル配線 c 2 0 9 が接続されている。

ワンセグ T V 受信 I C c 2 1 3 は、ワンセグ放送 (携帯機器を受信対象とする地上デジタルテレビ放送) の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグ T V 受信 I C c 2 1 3 の近傍には、複数のチップインダクタ c 2 2 1 と、複数のチップ抵抗器 c 2 2 2 とが配置されている。ワンセグ T V 受信 I C c 2 1 3、チップインダクタ c 2 2 1 およびチップ抵抗器 c 2 2 2 は、ワンセグ放送受信回路 c 2 2 3 を構成している。チ

チップインダクタ c 2 2 1 およびチップ抵抗器 c 2 2 2 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 c 2 2 3 に高精度な回路定数を与える。

[0322] GPS 受信 IC c 2 1 4 は、GPS 衛星からの電波を受信してスマートフォン c 2 0 1 の位置情報を出力する電子回路を内蔵している。FM チューナ IC c 2 1 5 は、その近傍において配線基板 c 2 1 1 に実装された複数のチップ抵抗器 c 2 2 4 および複数のチップインダクタ c 2 2 5 とともに、FM 放送受信回路 c 2 2 6 を構成している。チップ抵抗器 c 2 2 4 およびチップインダクタ c 2 2 5 は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM 放送受信回路 c 2 2 6 に高精度な回路定数を与える。

[0323] 電源 IC c 2 1 6 の近傍には、複数のチップキャパシタ c 2 2 7 および複数のチップダイオード c 2 2 8 が配線基板 c 2 1 1 の実装面に実装されている。電源 IC c 2 1 6 は、チップキャパシタ c 2 2 7 およびチップダイオード c 2 2 8 とともに、電源回路 c 2 2 9 を構成している。フラッシュメモリ c 2 1 7 は、オペレーティングシステムプログラム、スマートフォン c 2 0 1 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

[0324] マイクロコンピュータ c 2 1 8 は、CPU、ROM および RAM を内蔵しており、各種の演算処理を実行することにより、スマートフォン c 2 0 1 の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ c 2 1 8 の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。電源 IC c 2 1 9 の近くには、複数のチップキャパシタ c 2 3 0 および複数のチップダイオード c 2 3 1 が配線基板 c 2 1 1 の実装面に実装されている。電源 IC c 2 1 9 は、チップキャパシタ c 2 3 0 およびチップダイオード c 2 3 1 とともに、電源回路 c 2 3 2 を構成している。

- [0325] ベースバンド I C c 2 2 0 の近くには、複数のチップ抵抗器 c 2 3 3、複数のチップキャパシタ c 2 3 4、および複数のチップインダクタ c 2 3 5 が、配線基板 c 2 1 1 の実装面に実装されている。ベースバンド I C c 2 2 0 は、チップ抵抗器 c 2 3 3、チップキャパシタ c 2 3 4 およびチップインダクタ c 2 3 5 とともに、ベースバンド通信回路 c 2 3 6 を構成している。ベースバンド通信回路 c 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。
- [0326] このような構成によって、電源回路 c 2 2 9、c 2 3 2 によって適切に調整された電力が、伝送処理 I C c 2 1 2、GPS 受信 I C c 2 1 4、ワンセグ放送受信回路 c 2 2 3、FM 放送受信回路 c 2 2 6、ベースバンド通信回路 c 2 3 6、フラッシュメモリ c 2 1 7 およびマイクロコンピュータ c 2 1 8 に供給される。マイクロコンピュータ c 2 1 8 は、伝送処理 I C c 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 I C c 2 1 2 から表示パネル c 2 0 3 に表示制御信号を出力して表示パネル c 2 0 3 に各種の表示を行わせる。
- [0327] タッチパネルまたは操作ボタン c 2 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 c 2 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル c 2 0 3 に出力し、受信された音声をスピーカ c 2 0 5 から音響化させるための演算処理が、マイクロコンピュータ c 2 1 8 によって実行される。また、スマートフォン c 2 0 1 の位置情報が必要とされるときには、マイクロコンピュータ c 2 1 8 は、GPS 受信 I C c 2 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。
- [0328] さらに、タッチパネルまたは操作ボタン c 2 0 4 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ c 2 1 8 は、FM 放送受信回路 c 2 2 6 を起動し、受信された音声をスピーカ c 2 0 5 から出力させるための演算処理を実行する。フラッシュメモリ c 2 1 7 は、通信によって取得したデータの記憶や、マイクロコンピュータ c 2 1 8 の演算や、タッチパ

ネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ c 2 1 8 は、必要に応じて、フラッシュメモリ c 2 1 7 に対してデータを書き込み、またフラッシュメモリ c 2 1 7 からデータを読み出す。

[0329] 電話通信またはデータ通信の機能は、ベースバンド通信回路 c 2 3 6 によって実現される。マイクロコンピュータ c 2 1 8 は、ベースバンド通信回路 c 2 3 6 を制御して、音声またはデータを送受信するための処理を行う。＜第 4 参考例に係る発明＞（１）第 4 参考例に係る発明の特徴 たとえば、第 4 参考例に係る発明の特徴は、以下の D 1 ～D 1 8 である。（D 1）2つの電極が互いに間隔を開けて基板上に形成され、かつ前記基板の周縁部から間隔を開けて一つの表面に配置された、チップ部品。

[0330] この構成によれば、チップ部品において、各電極が基板の周縁部から内方に離れて配置されているので、チップ部品を実装基板に実装する際、各電極と実装基板のランドとを接合した半田は、基板の周縁部から内方に配置され、当該周縁部の外にはみ出さないか、はみ出したとしても、はみ出し量が少ない。その結果、実装基板におけるチップ部品の実質的な実装面積を小さく抑えることができる。つまり、このチップ部品は、小さな実装面積で実装基板上に実装することができる。（D 2）前記一つの表面以外の表面に電極を有していない、D 1 に記載のチップ部品。

[0331] この構成によれば、電極は、チップ部品の片面（前記一つの表面）だけに設けられていることから、チップ部品において当該片面以外の表面は、電極（凹凸）がない平坦面となる。よって、たとえば自動実装機の吸着ノズルをチップ部品に吸着して移動させる場合に、当該平坦面に吸着ノズルを吸着させることができる。これによって、吸着ノズルをチップ部品に確実に吸着させ、チップ部品を途中で吸着ノズルから脱落させることなく確実に搬送できる。（D 3）前記基板上に形成され前記 2つの電極の間に接続された抵抗体を含むチップ抵抗器である、D 1 または D 2 に記載のチップ部品。

[0332] この構成によれば、このチップ抵抗器は、小さな実装面積で実装基板上に実

装することができる。(D4) 複数の前記抵抗体と、前記基板上に設けられ、前記複数の抵抗体をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含む、D3に記載のチップ部品。

[0333] この構成によれば、このチップ部品(チップ抵抗器)では、一つまたは複数のヒューズを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体を組み合わせることによって、様々な抵抗値のチップ抵抗器を共通の設計で実現することができる。(D5) 前記基板上に形成され前記2つの電極の間に接続されたキャパシタ素子を含むチップコンデンサである、D1またはD2に記載のチップ部品。

[0334] この構成によれば、このチップコンデンサは、小さな実装面積で実装基板上に実装することができる。(D6) 前記キャパシタ素子を構成する複数の前記キャパシタ要素と、前記基板上に設けられ、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含む、D5に記載のチップ部品。

[0335] この構成によれば、このチップ部品(チップコンデンサ)では、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。(D7) 前記基板上に形成され前記2つの電極の間に接続されたダイオード素子を含むチップダイオードである、D1またはD2に記載のチップ部品。

[0336] この構成によれば、このチップオードは、小さな実装面積で実装基板上に実装することができる。(D8) 前記ダイオード素子を構成する複数のダイオード要素と、前記基板上に設けられ、前記複数のダイオード要素をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含む、D7に記載のチップ部品。

[0337] この構成によれば、このチップ部品(チップダイオード)では、一つまたは

複数のヒューズを選択して切断することにより、複数のダイオード要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップダイオードを共通の設計で実現することができる。（D 9）前記基板上に形成され前記2つの電極の間に接続されたインダクタ素子を含むチップインダクタである、D 1またはD 2に記載のチップ部品。

[0338] この構成によれば、このチップインダクタは、小さな実装面積で実装基板上に実装することができる。（D 10）前記インダクタ素子を構成する複数のインダクタ要素と、前記基板上に設けられ、前記複数のインダクタ要素をそれぞれ切り離し可能に前記電極に接続する複数のヒューズとをさらに含む、D 9に記載のチップ部品。

[0339] この構成によれば、このチップ部品（チップインダクタ）では、一つまたは複数のヒューズを選択して切断することにより、複数のインダクタ要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップインダクタを共通の設計で実現することができる。（D 11）前記電極が、Ni層と、Au層とを含み、前記Au層が最表面に露出している、D 1～D 10のいずれか一項に記載のチップ部品。

[0340] この構成によれば、電極では、Ni層の表面がAu層によって覆われているので、Ni層が酸化することを防止できる。（D 12）前記電極が、前記Ni層と前記Au層との間に介装されたPd層をさらに含む、D 11に記載のチップ部品。この構成によれば、電極では、Au層を薄くすることによってAu層に貫通孔（ピンホール）ができてしまっても、Ni層とAu層との間に介装されたPd層が当該貫通孔を塞いでいるので、当該貫通孔からNi層が外部に露出されて酸化することを防止できる。（D 13）D 1～D 12のいずれか一項に記載のチップ部品と、前記チップ部品の一つの表面に対向する実装面に、前記2つの電極に半田接合された2つのランドを有する実装基板とを含む、回路アセンブリ。

[0341] この構成によれば、この回路アセンブリでは、小さな実装面積で実装基板にチップ部品を実装することができる。（D 14）前記実装面の法線方向から

見たときに、前記半田が前記チップ部品の範囲内に収まっている、D 1 3に記載の回路アセンブリ。この構成によれば、半田は、確実に基板の周縁部の外にはみ出さない。その結果、実装基板におけるチップ部品の実質的な実装面積を確実に小さく抑えることができる。(D 1 5) 前記実装基板である第1実装基板と、前記第1実装基板に積層され、前記チップ部品を収容する開口を有する第2実装基板とをさらに含む、D 1 3またはD 1 4に記載の回路アセンブリ。

[0342] この構成によれば、この回路アセンブリでは、第1実装基板および第2実装基板によって多層基板を構成することができ、小さな実装面積で多層基板にチップ部品を実装することができる。(D 1 6) 前記第2実装基板に積層され、前記第2実装基板の開口を塞ぐ第3実装基板をさらに含む、D 1 5に記載の回路アセンブリ。

[0343] この構成によれば、この回路アセンブリでは、第1実装基板、第2実装基板および第3実装基板によって多層基板を構成することができ、小さな実装面積で多層基板にチップ部品を実装することができる。(D 1 7) 電子機器は、以上のチップ部品を備えていることが好ましい。(D 1 8) 電子機器は、以上の回路アセンブリを備えていることが好ましい。(2) 第4参考例に係る発明の実施形態 以下では、第4参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図85～図106で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

[0344] 図85Aは、第4参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図である。このチップ抵抗器d 1は、微小なチップ部品であり、図85Aに示すように、直方体形状をなしている。チップ抵抗器d 1の平面形状は、直交する二辺(長辺d 8 1、短辺d 8 2)がそれぞれ0.4mm以下、0.2mm以下の矩形である。好ましくは、チップ抵抗器d 1の寸法に関し、長さL(長辺d 8 1の長さ)が約0.3mmであり、幅W(短辺d 8 2の長さ)が約0.15mmであり、厚さTが約0.1mmであ

る。

[0345] このチップ抵抗器 d 1 は、基板上に多数個のチップ抵抗器 d 1 を格子状に形成してから当該基板に溝を形成した後、裏面研磨（または当該基板を溝で分断）して個々のチップ抵抗器 d 1 に分離することによって得られる。チップ抵抗器 d 1 は、チップ抵抗器 d 1 の本体を構成する基板 d 2 と、外部接続電極となる第 1 接続電極 d 3 および第 2 接続電極 d 4 と、第 1 接続電極 d 3 および第 2 接続電極 d 4 によって外部接続される素子 d 5 とを主に備えている。

[0346] 基板 d 2 は、略直方体のチップ形状である。基板 d 2 において図 8 5 A における上面をなす一つの表面は、素子形成面 d 2 A である。素子形成面 d 2 A は、基板 d 2 において素子 d 5 が形成される表面であり、略長方形形状である。基板 d 2 の

厚さ方向において素子形成面 d 2 A とは反対側の面は、裏面 d 2 B である。素子形成面 d 2 A と裏面 d 2 B とは、ほぼ同寸法かつ同形状であり、互いに平行である。素子形成面 d 2 A における一对の長辺 d 8 1 および短辺 d 8 2 によって区画された矩形状の縁を、周縁部 d 8 5 ということにし、裏面 d 2 B における一对の長辺 d 8 1 および短辺 d 8 2 によって区画された矩形状の縁を、周縁部 d 9 0 ということにする。素子形成面 d 2 A（裏面 d 2 B）に直交する法線方向から見ると、周縁部 d 8 5 と周縁部 d 9 0 とは、重なっている（後述する図 8 5 D 参照）。

[0347] 基板 d 2 は、素子形成面 d 2 A および裏面 d 2 B 以外の表面として、複数の側面（側面 d 2 C、側面 d 2 D、側面 d 2 E および側面 d 2 F）を有している。当該複数の側面は、素子形成面 d 2 A および裏面 d 2 B のそれぞれに交差（詳しくは、直交）して延びて、素子形成面 d 2 A および裏面 d 2 B の間を繋いでいる。側面 d 2 C は、素子形成面 d 2 A および裏面 d 2 B における長手方向一方側（図 8 5 A における左手前側）の短辺 d 8 2 間に架設されていて、側面 d 2 D は、素子形成面 d 2 A および裏面 d 2 B における長手方向他方側（図 8 5 A における右奥側）の短辺 d 8 2 間に架設されている。側

面 d 2 C および側面 d 2 D は、当該長手方向における基板 d 2 の両端面である。側面 d 2 E は、素子形成面 d 2 A および裏面 d 2 B における短手方向一方側（図 8 5 A における左奥側）の長辺 d 8 1 間に架設されていて、側面 d 2 F は、素子形成面 d 2 A および裏面 d 2 B における短手方向他方側（図 8 5 A における右手前側）の長辺 d 8 1 間に架設されている。側面 d 2 E および側面 d 2 F は、当該短手方向における基板 d 2 の両端面である。側面 d 2 C および側面 d 2 D のそれぞれは、側面 d 2 E および側面 d 2 F のそれぞれと交差（詳しくは、直交）している。そのため、素子形成面 d 2 A ～側面 d 2 F において隣り合うもの同士が直角を成している。

[0348] 基板 d 2 では、素子形成面 d 2 A および側面 d 2 C ～ d 2 F のそれぞれの全域がパッシベーション膜 d 2 3 で覆われている。そのため、厳密には、図 8 5 A では、素子形成面 d 2 A および側面 d 2 C ～ d 2 F のそれぞれの全域は、パッシベーション膜 d 2 3 の内側（裏側）に位置していて、外部に露出されていない。さらに、チップ抵抗器 d 1 は、樹脂膜 d 2 4 を有している。樹脂膜 d 2 4 は、素子形成面 d 2 A 上のパッシベーション膜 d 2 3 の全域（周縁部 d 8 5 およびその内側領域）を覆っている。パッシベーション膜 d 2 3 および樹脂膜 d 2 4 については、以降で詳説する。

[0349] 第 1 接続電極 d 3 および第 2 接続電極 d 4 は、基板 d 2 の素子形成面 d 2 A 上において周縁部 d 8 5 よりも内側の領域（周縁部 d 8 5 から間隔を開けた位置）に形成されていて、素子形成面 d 2 A 上の樹脂膜 d 2 4 から部分的に露出されている。換言すれば、樹脂膜 d 2 4 は、第 1 接続電極 d 3 および第 2 接続電極 d 4 を露出させるように素子形成面 d 2 A（厳密には素子形成面 d 2 A 上のパッシベーション膜 d 2 3）を覆っている。第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれは、たとえば、Ni（ニッケル）、Pd（パラジウム）およびAu（金）をこの順番で素子形成面 d 2 A 上に積層することによって構成されている。第 1 接続電極 d 3 および第 2 接続電極 d 4 は、素子形成面 d 2 A の長手方向に互いに間隔を開けて配置されており、素子形成面 d 2 A の短手方向において長手の長方形状である。図 8 5 A では、素

子形成面 d 2 A において、側面 d 2 C 寄りの位置に第 1 接続電極 d 3 が設けられ、側面 d 2 D 寄りの位置に第 2 接続電極 d 4 が設けられている。

[0350] 第 1 接続電極 d 3 および第 2 接続電極 d 4 は、前述した法線方向から見た平面視において、ほぼ同寸法かつ同形状である。第 1 接続電極 d 3 は、平面視における 4 辺をなす 1 対の長辺 d 3 A および短辺 d 3 B を有している。長辺 d 3 A と短辺 d 3 B とは平面視において直交している。第 2 接続電極 d 4 は、平面視における 4 辺をなす 1 対の長辺 d 4 A および短辺 d 4 B を有している。長辺 d 4 A と短辺 d 4 B とは平面視において直交している。長辺 d 3 A および長辺 d 4 A は、基板 d 2 の短辺 d 8 2 と平行に延びていて、短辺 d 3 B および短辺 d 4 B は、基板 d 2 の長辺 d 8 1 と平行に延びている。第 1 接続電極 d 3 の表面は、長辺 d 3 A 側の両端部において基板 d 2 側へ湾曲している。第 2 接続電極 d 4 の表面も、長辺 d 4 A 側の両端部において基板 d 2 側へ湾曲している。

[0351] 平面視において、第 1 接続電極 d 3 における 1 対の長辺 d 3 A のうち、基板 d 2 の素子形成面 d 2 A の周縁部 d 8 5 に最も近い長辺 d 3 A（図 8 5 A では左手前側の長辺 d 3 A）の全域は、最寄りの周縁部 d 8 5（短辺 d 8 2）から、基板 d 2 の長手方向における距離 G だけ基板 d 2 の内方へ離れている。第 2 接続電極 d 4 における 1 対の長辺 d 4 A のうち、基板 d 2 の素子形成面 d 2 A の周縁部 d 8 5 に最も近い長辺 d 4 A（図 8 5 A では右奥側の長辺 d 4 A）の全域も、平面視において、最寄りの周縁部 d 8 5（短辺 d 8 2）から、基板 d 2 の長手方向における距離 G だけ基板 d 2 の内方へ離れている。距離 G は、たとえば、 $5\ \mu\text{m}$ である。

[0352] 平面視において、第 1 接続電極 d 3 の各短辺 d 3 B の全域は、最寄りの周縁部 d 8 5（長辺 d 8 1）から、基板 d 2 の短手方向における距離 K だけ基板 d 2 の内方へ離れている。第 2 接続電極 d 4 の各短辺 d 4 B の全域も、平面視において、最寄りの周縁部 d 8 5（長辺 d 8 1）から、基板 d 2 の短手方向における距離 K だけ基板 d 2 の内方へ離れている。距離 K は、たとえば、 $5\ \mu\text{m}$ である。

[0353] この実施形態では、距離Gおよび距離Kがいずれも5 μ mで等しいので、第1接続電極d3および第2接続電極d4のそれぞれが、平面視において、周縁部d85から等しい距離だけ基板d2の内方へ離れている。ただし、距離Gおよび距離Kのそれぞれは、任意に変更可能である。そして、チップ抵抗器d1は、第1接続電極d3および第2接続電極d4が形成された素子形成面d2A以外の表面（つまり、裏面d2Bおよび側面d2C～d2F）に電極を有していない。

[0354] 素子d5は、回路素子であって、基板d2の素子形成面d2Aにおける第1接続電極d3と第2接続電極d4との間の領域に形成されていて、パッシベーション膜d23および樹脂膜d24によって上から被覆されている。この実施形態の素子d5は、抵抗d56である。抵抗d56は、等しい抵抗値を有する複数個の（単位）抵抗体Rを素子形成面d2A上でマトリックス状に配列した回路網によって構成されている。抵抗体Rは、TiN（窒化チタン）、TiON（酸化窒化チタン）またはTiSiONからなる。素子d5は、後述する配線膜d22に電氣的に接続されていて、配線膜d22を介して第1接続電極d3と第2接続電極d4とに電氣的に接続されている。つまり、素子d5は、基板d2上に形成され、第1接続電極d3および第2接続電極d4の間に接続されている。

[0355] 図85Bは、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。図85Cは、チップ抵抗器が実装基板に実装された状態の回路アセンブリをチップ抵抗器の短手方向に沿って切断したときの模式的な断面図である。なお、図85Bおよび図85Cでは、要部のみ、断面で示している。

[0356] 図85Bに示すように、チップ抵抗器d1は、実装基板d9に実装される。この状態におけるチップ抵抗器d1および実装基板d9は、回路アセンブリd100を構成している。図85Bにおける実装基板d9の上面は、実装面d9Aである。実装面d9Aには、実装基板d9の内部回路（図示せず）に接続された一対（2つ）のランドd88が形成されている。各ランドd88

は、たとえば、Cuからなる。各ランドd 8 8の表面には、半田d 1 3が当該表面から突出するように設けられている。

[0357] チップ抵抗器d 1を実装基板d 9に実装する場合、自動実装機（図示せず）の吸着ノズルd 9 1をチップ抵抗器d 1の裏面d 2 Bに吸着してから吸着ノズルd 9 1を動かすことによって、チップ抵抗器d 1を搬送する。このとき、吸着ノズルd 9 1は、裏面d 2 Bの長手方向における略中央部分に吸着する。前述したように、第1接続電極d 3および第2接続電極d 4は、チップ抵抗器d 1の片面（素子形成面d 2 A）だけに設けられていることから、チップ抵抗器d 1において素子形成面d 2 A以外の表面d 2 B～d 2 F（特に、裏面d 2 B）は、電極（凹凸）がない平坦面となる。よって、吸着ノズルd 9 1をチップ抵抗器d 1に吸着して移動させる場合に、平坦な裏面d 2 Bに吸着ノズルd 9 1を吸着させることができる。換言すれば、平坦な裏面d 2 Bであれば、吸着ノズルd 9 1が吸着できる部分のマージンを増やすことができる。これによって、吸着ノズルd 9 1をチップ抵抗器d 1に確実に吸着させ、チップ抵抗器d 1を途中で吸着ノズルd 9 1から脱落させることなく確実に搬送できる。

[0358] そして、チップ抵抗器d 1を吸着した吸着ノズルd 9 1を実装基板d 9まで移動させる。このとき、チップ抵抗器d 1の素子形成面d 2 Aと実装基板d 9の実装面d 9 Aとが互いに対向する。この状態で、吸着ノズルd 9 1を移動させて実装基板d 9に押し付け、チップ抵抗器d 1において、第1接続電極d 3を一方のランドd 8 8の半田d 1 3に接触させ、第2接続電極d 4を他方のランドd 8 8の半田d 1 3に接触させる。次いで、半田d 1 3を加熱すると、半田d 1 3が溶融する。その後、半田d 1 3が冷却されて固まると、第1接続電極d 3と当該一方のランドd 8 8とが半田d 1 3を介して接合し、第2接続電極d 4と当該他方のランドd 8 8とが半田d 1 3を介して接合する。つまり、2つのランドd 8 8のそれぞれが、第1接続電極d 3および第2接続電極d 4において対応する電極に半田接合される。これにより、実装基板d 9へのチップ抵抗器d 1の実装（フリップチップ接続）が完了し

て、回路アセンブリ d 100 が完成する。なお、外部接続電極として機能する第 1 接続電極 d 3 および第 2 接続電極 d 4 は、半田濡れ性の向上および信頼性の向上のために、金 (Au) で形成するか、または、後述するように表面に金メッキを施すことが望ましい。

[0359] 完成状態の回路アセンブリ d 100 では、チップ抵抗器 d 1 の素子形成面 d 2 A と実装基板 d 9 の実装面 d 9 A とが、隙間を隔てて対向しつつ、平行に延びている (図 85 C も参照)。当該隙間の寸法は、第 1 接続電極 d 3 または第 2 接続電極 d 4 において素子形成面 d 2 A から突き出た部分の厚みと半田 d 13 の厚さとの合計に相当する。図 85 D は、実装基板に実装された状態のチップ抵抗器を素子形成面側から見た模式的な平面図である。図 85 D に示すように、実装面 d 9 A (素子形成面 d 2 A) の法線方向 (これらの面に直交する方向) から回路アセンブリ d 100 (厳密には、チップ抵抗器 d 1 と実装基板 d 9 との接合部分) を見てみるとする。この場合、第 1 接続電極 d 3 と一方のランド d 88 とを接合する半田 d 13 は、第 1 接続電極 d 3 の輪郭 (前述した長辺 d 3 A および短辺 d 3 B) の外に若干はみ出ているものの、チップ抵抗器 d 1 の範囲内 (基板 d 2 の周縁部 d 85 の内側) に収まっている。同様に、第 2 接続電極 d 4 と他方のランド d 88 とを接合する半田 d 13 も、第 2 接続電極 d 4 の輪郭 (前述した長辺 d 4 A および短辺 d 4 B) の外に若干はみ出ているものの、チップ抵抗器 d 1 の範囲内 (基板 d 2 の周縁部 d 85 の内側) に収まっている。

[0360] このように、チップ抵抗器 d 1 では、第 1 接続電極 d 3 および第 2 接続電極 d 4 が基板 d 2 の周縁部 d 85 から内方に離れて配置されている。そのため、第 1 接続電極 d 3 および第 2 接続電極 d 4 とランド d 88 とを接合した半田 d 13 は、基板 d 2 の周縁部 d 85 から内方に配置されることとなり、半田フィレットとして周縁部 d 85 の外にはみ出さないか、はみ出したとしても、そのはみ出し量が小さい。その結果、実装基板 d 9 におけるチップ抵抗器 d

1 の実質的な実装面積を小さく抑えることができる。つまり、このチップ抵

抵抗器 d 1 は、小さな実装面積で実装基板 d 9 上に実装することができ、回路アセンブリ d 1 0 0 では、小さな実装面積で実装基板 d 9 上にチップ抵抗器 d 1 を実装することができる。そのため、複数のチップ抵抗器 d 1 を隣り合わせて実装する場合には、隣り合うチップ抵抗器 d 1 の間隔を縮めることができるので、チップ抵抗器 d 1 の高密度実装が可能になる。

[0361] 図 8 5 E は、チップ抵抗器が多層基板に実装された状態の回路アセンブリをチップ抵抗器の長手方向に沿って切断したときの模式的な断面図である。

今までは、1つの実装基板 d 9 にチップ抵抗器 d 1 が実装された回路アセンブリ d 1 0 0 について説明したが（図 8 5 B 参照）、図 8 5 E に示すように、いわゆる多層基板にチップ抵抗器 d 1 が実装された回路アセンブリ d 1 0 0 もありえる。その場合、回路アセンブリ d 1 0 0 は、前述した実装基板 d 9 である第 1 実装基板 d 9 と、第 2 実装基板 d 1 5 とを含んでいる。第 1 実装基板 d 9 および第 2 実装基板 d 1 5 が多層基板を構成している。

[0362] 第 1 実装基板 d 9 の実装面 d 9 A には、前述した 1 対のランド d 8 8 が互いに間隔を隔てて形成されている。各ランド d 8 8 において相手のランド d 8 8 に最も近い端部の表面には、前述した半田 d 1 3 が設けられている。第 2 実装基板 1 5 は、ランド d 8 8 を介して第 1 実装基板 d 9 上に積層されている。第 2 実装基板 1 5 には、第 2 実装基板 1 5 を肉厚方向に貫通する開口 1 5 A が形成されている。開口 1 5 A は、チップ抵抗器 d 1 を収容し得る大きさを有している。開口 1 5 A には、1 対のランド d 8 8 の両方の半田 d 1 3 が露出されている。このような回路アセンブリ d 1 0 0 において、チップ抵抗器 d 1 は、第 2 実装基板 1 5 の開口 1 5 A に完全に収容されて状態で、第 1 実装基板 d 9 に対して実装されている。

[0363] また、多層基板を有する回路アセンブリ d 1 0 0 は、第 1 実装基板 d 9 および第 2 実装基板 d 1 5 の他に、第 3 実装基板 d 1 6 をさらに含んでもよい。第 3 実装基板 d 1 6 は、第 2 実装基板 d 1 5 上に積層されており、開口 1 5 A を第 1 実装基板 d 9 側とは反対側から塞いでいる。これにより、開口 1 5 A 内のチップ抵抗器 d 1 は、密閉された状態になる。

[0364] このように、この回路アセンブリ d 1 0 0 では、第 1 実装基板 d 9 および第 2 実装基板 d 1 5（必要に応じて第 3 実装基板 d 1 6 も）によって多層基板を構成することができ、小さな実装面積で多層基板にチップ抵抗器 d 1 を実装することができる。次に、チップ抵抗器 d 1 における他の構成を主に説明する。図 8 6 は、チップ抵抗器の平面図であり、第 1 接続電極、第 2 接続電極および素子の配置関係ならびに素子の平面視の構成（レイアウトパターン）を示す図である。

[0365] 図 8 6 を参照して、素子 d 5 は、抵抗回路網となっている。具体的に、素子 d 5 は、行方向（基板 d 2 の長手方向）に沿って配列された 8 個の抵抗体 R と、列方向（基板 d 2 の幅方向）に沿って配列された 4 4 個の抵抗体 R とで構成された合計 3 5 2 個の抵抗体 R を有している。これらの抵抗体 R は、素子 d 5 の抵抗回路網を構成する複数の素子要素である。

[0366] これら多数個の抵抗体 R が 1 個～6 4 個の所定個数毎にまとめられて電氣的に接続されることによって、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、導体膜 D（導体で形成された配線膜）で所定の態様に接続されている。さらに、基板 d 2 の素子形成面 d 2 A には、抵抗回路を素子 d 5 に対して電氣的に組み込んだり、または、素子 d 5 から電氣的に分離したりするために切断（溶断）可能な複数のヒューズ F が設けられている。複数のヒューズ F および導体膜 D は、第 1 接続電極 d 3 の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ F および導体膜 D が隣接するように配置され、その配列方向が直線状になっている。複数のヒューズ F は、複数種類の抵抗回路（抵抗回路毎の複数の抵抗体 R）を第 1 接続電極 d 3 に対してそれぞれ切断可能（切り離し可能）に接続している。

[0367] 図 8 7 A は、図 8 6 に示す素子の一部分を拡大して描いた平面図である。図 8 7 B は、素子における抵抗体の構成を説明するために描いた図 8 7 A の B－B に沿う長さ方向の縦断面図である。図 8 7 C は、素子における抵抗体の構成を説明するために描いた図 8 7 A の C－C に沿う幅方向の縦断面図であ

る。図87A、図87Bおよび図87Cを参照して、抵抗体Rの構成について説明をする。

- [0368] チップ抵抗器d1は、前述した配線膜d22、パッシベーション膜d23および樹脂膜d24の他に、絶縁層d20と抵抗体膜d21とをさらに備えている（図87Bおよび図87C参照）。絶縁層d20、抵抗体膜d21、配線膜d22、パッシベーション膜d23および樹脂膜d24は、基板d2（素子形成面d2A）上に形成されている。絶縁層d20は、SiO₂（酸化シリコン）からなる。絶縁層d20は、基板d2の素子形成面d2Aの全域を覆っている。絶縁層d20の厚さは、約10000Åである。
- [0369] 抵抗体膜d21は、絶縁層d20上に形成されている。抵抗体膜d21は、TiN、TiONまたはTiSiONにより形成されている。抵抗体膜d21の厚さは、約2000Åである。抵抗体膜d21は、第1接続電極d3と第2接続電極d4との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ラインd21A」という）を構成していて、抵抗体膜ラインd21Aは、ライン方向に所定の位置で切断されている場合がある（図87A参照）。
- [0370] 抵抗体膜ラインd21A上には、配線膜d22が積層されている。配線膜d22は、Al（アルミニウム）またはアルミニウムとCu（銅）との合金（AlCu合金）からなる。配線膜d22の厚さは、約8000Åである。配線膜d22は、抵抗体膜ラインd21A上に、ライン方向に一定間隔Rを開けて積層されていて、抵抗体膜ラインd21Aに接している。
- [0371] この構成の抵抗体膜ラインd21Aおよび配線膜d22の電気的特徴を回路記号で示すと、図88の通りである。すなわち、図88（a）に示すように、所定間隔Rの領域の抵抗体膜ラインd21A部分が、それぞれ、一定の抵抗値rを有する1つの抵抗体Rを形成している。そして、配線膜d22が積層された領域では、配線膜d22が隣り合う抵抗体R同士を電氣的に接続することによって、当該配線膜d22で抵抗体膜ラインd21Aが短絡されている。よって、図88（b）に示す抵抗rの抵抗体Rの直列接続からなる

抵抗回路が形成されている。

[0372] また、隣接する抵抗体膜ライン d 2 1 A 同士は抵抗体膜 d 2 1 および配線膜 d 2 2 で接続されているから、図 8 7 A に示す素子 d 5 の抵抗回路網は、図 8 8 (c) に示す（前述した抵抗体 R の単位抵抗からなる）抵抗回路を構成している。このように、抵抗体膜 d 2 1 および配線膜 d 2 2 は、抵抗体 R や抵抗回路（つまり素子 d 5）を構成している。そして、各抵抗体 R は、抵抗体膜ライン d 2 1 A（抵抗体膜 d 2 1）と、抵抗体膜ライン d 2 1 A 上にライン方向に一定間隔をあけて積層された複数の配線膜 d 2 2 とを含み、配線膜 d 2 2 が積層されていない一定間隔 R 部分の抵抗体膜ライン d 2 1 A が、1 個の抵抗体 R を構成している。抵抗体 R を構成している部分における抵抗体膜ライン d 2 1 A は、その形状および大きさが全て等しい。よって、基板 d 2 上にマトリックス状に配列された多数個の抵抗体 R は、等しい抵抗値を有している。

[0373] また、抵抗体膜ライン d 2 1 A 上に積層された配線膜 d 2 2 は、抵抗体 R を形成するとともに、複数個の抵抗体 R を接続して抵抗回路を構成するための導体膜 D の役目も果たしている（図 8 6 参照）。図 8 9 (a) は、図 8 6 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 8 9 (b) は、図 8 9 (a) の B-B に沿う断面構造を示す図である。

[0374] 図 8 9 (a) および (b) に示すように、前述したヒューズ F および導体膜 D も、抵抗体 R を形成する抵抗体膜 d 2 1 上に積層された配線膜 d 2 2 により形成されている。すなわち、抵抗体 R を形成する抵抗体膜ライン d 2 1 A 上に積層された配線膜 d 2 2 と同じレイヤーに、配線膜 d 2 2 と同じ金属材料である A l または A l C u 合金によってヒューズ F および導体膜 D が形成されている。なお、配線膜 d 2 2 は、前述したように、抵抗回路を形成するために、複数個の抵抗体 R を電氣的に接続する導体膜 D としても用いられている。

[0375] つまり、抵抗体膜 d 2 1 上に積層された同一レイヤーにおいて、抵抗体 R を

形成するための配線膜や、ヒューズFや、導体膜Dや、さらには、素子d 5を第1 接続電極d 3および第2 接続電極d 4に接続するための配線膜が、配線膜d 2 2として、同一の金属材料（A lまたはA l C u合金）を用いて形成されている。なお、ヒューズFを配線膜d 2 2と異ならせている（区別している）のは、ヒューズFが切断しやすいように細く形成されていること、および、ヒューズFの周囲に他の回路要素が存在しないように配置されていることによるからである。

[0376] ここで、配線膜d 2 2において、ヒューズFが配置された領域を、トリミング対象領域Xということにする（図8 6および図8 9（a）参照）。トリミング対象領域Xは、第1 接続電極d 3の内側辺沿いの直線状領域であって、トリミング対象領域Xには、ヒューズFだけでなく、導体膜Dも配置されている。また、トリミング対象領域Xの配線膜d 2 2の下方にも抵抗体膜d 2 1が形成されている（図8 9（b）参照）。そして、ヒューズFは、配線膜d 2 2において、トリミング対象領域X以外の部分よりも配線間距離が大きい（周囲から離れた）配線である。

[0377] なお、ヒューズFは、配線膜d 2 2の一部だけでなく、抵抗体R（抵抗体膜d 2 1）の一部と抵抗体膜d 2 1上の配線膜d 2 2の一部とのまとまり（ヒューズ素子）を指していてもよい。また、ヒューズFは、導体膜Dと同一のレイヤーを用いる場合のみを説明したが、導体膜Dでは、その上に更に別の導体膜を積層するようにし、導体膜D全体の抵抗値を下げるようにしてもよい。なお、この場合であっても、ヒューズFの上に導体膜を積層しなければ、ヒューズFの溶断性が悪くなることはない。

[0378] 図9 0は、第4 参考例の実施形態に係る素子の電気回路図である。図9 0を参照して、素子d 5は、基準抵抗回路R 8と、抵抗回路R 6 4、2つの抵抗回路R 3 2、抵抗回路R 1 6、抵抗回路R 8、抵抗回路R 4、抵抗回路R 2、抵抗回路R 1、抵抗回路R / 2、抵抗回路R / 4、抵抗回路R / 8、抵抗回路R / 1 6、抵抗回路R / 3 2とを第1 接続電極d 3からこの順番で直列接続することによって構成されている。基準抵抗回路R 8および抵抗回路

R 6 4 ~ R 2 のそれぞれは、自身の末尾の数（R 6 4 の場合には「6 4」）と同数の抵抗体 R を直列接続することで構成されている。抵抗回路 R 1 は、1 つの抵抗体 R で構成されている。抵抗回路 R / 2 ~ R / 3 2 のそれぞれは、自身の末尾の数（R / 3 2 の場合には「3 2」）と同数の抵抗体 R を並列接続することで構成されている。抵抗回路の末尾の数の意味については、後述する図 9 1 および図 9 2 においても同じである。

[0379] そして、基準抵抗回路 R 8 以外の抵抗回路 R 6 4 ~ 抵抗回路 R / 3 2 のそれぞれに対して、ヒューズ F が 1 つずつ並列的に接続されている。ヒューズ F 同士は、直接または導体膜 D（図 8 9（a）参照）を介して直列に接続されている。図 9 0 に示すように全てのヒューズ F が溶断されていない状態では、素子 d 5 は、第 1 接続電極 d 3 および第 2 接続電極 d 4 間に設けられた 8 個の抵抗体 R の直列接続からなる基準抵抗回路 R 8 の抵抗回路を構成している。たとえば、1 個の抵抗体 R の抵抗値 r を $r = 8 \Omega$ とすれば、 $8 r = 64 \Omega$ の抵抗回路（基準抵抗回路 R 8）により第 1 接続電極 d 3 および第 2 接続電極 d 4 が接続されたチップ抵抗器 d 1 が構成されている。

[0380] また、全てのヒューズ F が溶断されていない状態では、基準抵抗回路 R 8 以外の複数種類の抵抗回路は、短絡された状態となっている。つまり、基準抵抗回路 R 8 には、1 2 種類 1 3 個の抵抗回路 R 6 4 ~ R / 3 2 が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ F により短絡されているので、電氣的に見ると、各抵抗回路は素子 d 5 に組み込まれてはいない。

[0381] この実施形態に係るチップ抵抗器 d 1 では、要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズ F が溶断された抵抗回路は、素子 d 5 に組み込まれることになる。よって、素子 d 5 の全体の抵抗値を、溶断されたヒューズ F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値とすることができる。

[0382] 特に、複数種類の抵抗回路は、等しい抵抗値を有する抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個…と、公比が 2 となる等比数列的に抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の抵抗体 R が並列に 2 個、4 個、8 個、16 個…と、公比が 2 となる等比数列的に抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。そのため、ヒューズ F （前述したヒューズ素子も含む）を選択的に溶断することにより、素子 d_5 （抵抗 d_{56} ）全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値となるように調整して、チップ抵抗器 d_1 において所望の値の抵抗を発生させることができる。

[0383] 図 9 1 は、第 4 参考例の他の実施形態に係る素子の電気回路図である。図 9 0 に示すように基準抵抗回路 R_8 および抵抗回路 $R_{64} \sim$ 抵抗回路 R_{32} を直列接続して素子 d_5 を構成する代わりに、図 9 1 に示すように素子 d_5 を構成してもかまわない。詳しくは、第 1 接続電極 d_3 および第 2 接続電極 d_4 の間で、基準抵抗回路 R_{16} と、12 種類の抵抗回路 R_{16} 、 R_8 、 R_4 、 R_2 、 R_1 、 R_2 、 R_4 、 R_8 、 R_{16} 、 R_{32} 、 R_{64} 、 R_{128} の並列接続回路との直列接続回路によって素子 d_5 を構成してもよい。

[0384] この場合、基準抵抗回路 R_{16} 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ F が直列に接続されている。全てのヒューズ F が溶断されていない状態では、各抵抗回路は素子 d_5 に対して電氣的に組み込まれている。要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザ光で溶断すれば、溶断されたヒューズ F に対応する抵抗回路（ヒューズ F が直列に接続された抵抗回路）は、素子 d_5 から電氣的に分離されるので、チップ抵抗器 d_1 全体の抵抗値を調整することができる。

[0385] 図 9 2 は、第 4 参考例のさらに他の実施形態に係る素子の電気回路図である。図 9 2 に示す素子 d_5 の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。直列接続される複数種類の抵抗回路には、先の実施形態と同様、

抵抗回路毎に、並列にヒューズFが接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズFで短絡状態とされている。従って、ヒューズFを溶断すると、その溶断されるヒューズFで短絡されていた抵抗回路が、素子d 5に電氣的に組み込まれることになる。

[0386] 一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズFが接続されている。従って、ヒューズFを溶断することにより、溶断されたヒューズFが直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。かかる構成とすれば、たとえば、1 k Ω 以下の小抵抗は並列接続側で作り、1 k Ω 以上の抵抗回路を直列接続側で作れば、数 Ω の小抵抗から数M Ω の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗の回路網を用いて作ることができる。つまりチップ抵抗器d 1では、一つまたは複数のヒューズFを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体Rを組み合わせることによって、様々な抵抗値のチップ抵抗器d 1を共通の設計で実現することができる。

[0387] 以上のように、このチップ抵抗器d 1では、トリミング対象領域Xにおいて、複数の抵抗体R（抵抗回路）の接続状態が変更可能である。図9 3は、チップ抵抗器の模式的な断面図である。次に、図9 3を参照して、チップ抵抗器d 1についてさらに詳しく説明する。なお、説明の便宜上、図9 3では、前述した素子d 5については簡略化して示しているとともに、基板d 2以外の各要素にはハッチングを付している。

[0388] ここでは、前述したパッシベーション膜d 2 3および樹脂膜d 2 4について説明する。パッシベーション膜d 2 3は、たとえばSiN（窒化シリコン）からなり、その厚さは、1 0 0 0 Å～5 0 0 0 Å（ここでは、約3 0 0 0 Å）である。パッシベーション膜d 2 3は、素子形成面d 2 Aおよび側面d 2 C～d 2 Fのそれぞれにおける全域に亘って設けられている。素子形成面d 2 A上のパッシベーション膜d 2 3は、抵抗体膜d 2 1および抵抗体膜d 2 1上の各配線膜d 2 2（つまり、素子d 5）を表面（図9 3の上側）から

被覆していて、素子 d 5 における各抵抗体 R の上面を覆っている。そのため、パッシベーション膜 d 2 3 は、前述したトリミング対象領域 X における配線膜 d 2 2 も覆っている（図 8 9（b）参照）。また、パッシベーション膜 d 2 3 は、素子 d 5（配線膜 d 2 2 および抵抗体膜 d 2 1）に接しており、抵抗体膜 d 2 1 以外の領域では絶縁層 d 2 0 にも接している。これにより、素子形成面 d 2 A 上のパッシベーション膜 d 2 3 は、素子形成面 d 2 A 全域を覆って素子 d 5 および絶縁層 d 2 0 を保護する保護膜として機能している。また、素子形成面 d 2 A では、パッシベーション膜 d 2 3 によって、抵抗体 R 間における配線膜 d 2 2 以外での短絡（隣り合う抵抗体膜ライン d 2 1 A 間における短絡）が防止されている。

[0389] 一方、側面 d 2 C～d 2 F のそれぞれに設けられたパッシベーション膜 d 2 3 は、側面 d 2 C～d 2 F のそれぞれを保護する保護層として機能している。側面 d 2 C～d 2 F のそれぞれと素子形成面 d 2 A との境界は、前述した周縁部 d 8 5 であるが、パッシベーション膜 d 2 3 は、当該境界（周縁部 d 8 5）も覆っている。パッシベーション膜 d 2 3 において、周縁部 d 8 5 を覆っている部分（周縁部 d 8 5 に重なっている部分）を端部 2 3 A ということにする。なお、パッシベーション膜 d 2 3 は極めて薄い膜なので、本実施形態では、側面 d 2 C～d 2 F のそれぞれを覆うパッシベーション膜 d 2 3 を、基板 d 2 の一部とみなすことにする。そのため、側面 d 2 C～d 2 F のそれぞれを覆うパッシベーション膜 d 2 3 を、側面 d 2 C～d 2 F そのものとみなすことにしている。

[0390] 樹脂膜 d 2 4 は、パッシベーション膜 d 2 3 とともにチップ抵抗器 d 1 の素子形成面 d 2 A を保護するものであり、ポリイミド等の樹脂からなる。樹脂膜 d 2 4 の厚みは、約 5 μ m である。樹脂膜 d 2 4 は、素子形成面 d 2 A 上のパッシベーション膜 d 2 3 の表面（パッシベーション膜 d 2 3 に被覆された抵抗体膜 d 2 1 および配線膜 d 2 2 も含む）の全域を被覆している。そのため、樹脂膜 d 2 4 の周縁部は、平面視において、パッシベーション膜 d 2 3 の端部 2 3 A（素子形成面 d 2 A の周縁部 d 8 5）と一致している。

[0391] 樹脂膜 d 2 4 において、平面視で離れた 2 つの位置には、開口 d 2 5 が 1 つずつ形成されている。各開口 d 2 5 は、樹脂膜 d 2 4 およびパッシベーション膜 d 2 3 を、それぞれの厚さ方向において連続して貫通する貫通孔である。そのため、開口 d 2 5 は、樹脂膜 d 2 4 だけでなくパッシベーション膜 d 2 3 にも形成されている。各開口 d 2 5 からは、配線膜 d 2 2 の一部が露出されている。配線膜 d 2 2 において各開口 d 2 5 から露出された部分は、外部接続用のパッド領域 d 2 2 A となっている。

[0392] 2 つの開口 d 2 5 のうち、一方の開口 d 2 5 は、第 1 接続電極 d 3 によって埋め尽くされ、他方の開口 d 2 5 は、第 2 接続電極 d 4 によって埋め尽くされている。ここで、第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれは、N i 層 d 3 3、P d 層 d 3 4 および A u 層 d 3 5 を素子形成面 d 2 A 側からこの順で有している。そのため、第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれにおいて、N i 層 d 3 3 と A u 層 d 3 5 との間に P d 層 d 3 4 が介装されている。第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれにおいて、N i 層 d 3 3 は各接続電極の大部分を占めており、P d 層 d 3 4 および A u 層 d 3 5 は、N i 層 d 3 3 に比べて格段に薄く形成されている。N i 層 d 3 3 は、チップ抵抗器 d 1 が実装基板 d 9 に実装された際に（図 8 5 B および図 8 5 C 参照）、各開口 d 2 5 のパッド領域 d 2 2 A における配線膜 d 2 2 の A 1 と、前述した半田 d 1 3 とを中継する役割を有している。

[0393] このように、第 1 接続電極 d 3 および第 2 接続電極 d 4 では、N i 層 d 3 3 の表面が A u 層 d 3 5 によって覆われているので、N i 層 d 3 3 が酸化することを防止できる。また、第 1 接続電極 d 3 および第 2 接続電極 d 4 では、A u 層 d 3 5 を薄くすることによって A u 層 d 3 5 に貫通孔（ピンホール）ができてしまっても、N i 層 d 3 3 と A u 層 d 3 5 との間に介装された P d 層 d 3 4 が当該貫通孔を塞いでいるので、当該貫通孔から N i 層 d 3 3 が外部に露出されて酸化することを防止できる。

[0394] そして、第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれでは、A u 層

d 3 5 が、最表面に露出しており、樹脂膜 d 2 4 の開口 d 2 5 から外部を臨んでいる。第 1 接続電極 d 3 は、一方の開口 d 2 5 を介して、この開口 d 2 5 におけるパッド領域 d 2 2 A において配線膜 d 2 2 に対して電氣的に接続されている。第 2 接続電極 d 4 は、他方の開口 d 2 5 を介して、この開口 d 2 5 におけるパッド領域 d 2 2 A において配線膜 d 2 2 に対して電氣的に接続されている。第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれでは、Ni 層 d 3 3 がパッド領域 d 2 2 A に対して接続されている。これにより、第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれは、素子 d 5 に対して電氣的に接続されている。ここで、配線膜 d 2 2 は、抵抗体 R のもとまり（抵抗 d 5 6）、第 1 接続電極 d 3 および第 2 接続電極 d 4 のそれぞれに接続された配線を形成している。

[0395] このように、開口 d 2 5 が形成された樹脂膜 d 2 4 およびパッシベーション膜 d 2 3 は、開口 d 2 5 から第 1 接続電極 d 3 および第 2 接続電極 d 4 を露出させた状態で素子形成面 d 2 A を覆っている。そのため、樹脂膜 d 2 4 の表面において開口 d 2 5 からはみ出した第 1 接続電極 d 3 および第 2 接続電極 d 4 を介して、チップ抵抗器 d 1 と実装基板 d 9 との間における電氣的接続を達成することができる（図 8 5 B および図 8 5 C 参照）。

[0396] 図 9 4 A ～ 図 9 4 G は、図 9 3 に示すチップ抵抗器の製造方法を示す図解的な断面図である。まず、図 9 4 A に示すように、基板 d 2 の元となる基板 d 3 0 を用意する。この場合、基板 d 3 0 の表面 d 3 0 A は、基板 d 2 の素子形成面 d 2 A であり、基板 d 3 0 の裏面 d 3 0 B は、基板 d 2 の裏面 d 2 B である。

[0397] そして、基板 d 3 0 の表面 d 3 0 A を熱酸化して、表面 d 3 0 A に SiO_2 等からなる絶縁層 d 2 0 を形成し、絶縁層 d 2 0 上に素子 d 5（抵抗体 R および抵抗体 R に接続された配線膜 d 2 2）を形成する。具体的には、スパッタリングにより、まず、絶縁層 d 2 0 の上に TiN 、 TiON または TiSiON の抵抗体膜 d 2 1 を全面に形成し、さらに、抵抗体膜 d 2 1 に接するように抵抗体膜 d 2 1 の上にアルミニウム（Al）の配線膜 d 2 2 を積層する

。その後、フォトリソグラフィプロセスを用い、たとえばRIE（Reactive Ion Etching：反応性イオンエッチング）等のドライエッチングにより抵抗体膜d21および配線膜d

22を選択的に除去してパターニングし、図87Aに示すように、平面視で、抵抗体膜d21が積層された一定幅の抵抗体膜ラインd21Aが一定間隔をあけて列方向に配列される構成を得る。このとき、部分的に抵抗体膜ラインd21Aおよび配線膜d22が切断された領域も形成されるとともに、前述したトリミング対象領域XにおいてヒューズFおよび導体膜Dが形成される（図86参照）。続いて、たとえばウェットエッチングにより抵抗体膜ラインd21Aの上に積層された配線膜d22を選択的に除去する。この結果、抵抗体膜ラインd21A上に一定間隔Rをあけて配線膜d22が積層された構成の素子d5が得られる。この際、抵抗体膜d21および配線膜d22が目標寸法で形成されたか否かを確かめるために、素子d5全体の抵抗値を測定してもよい。

[0398] 図94Aを参照して、素子d5は、1枚の基板d30に形成するチップ抵抗器d1の数に応じて、基板d30の表面d30A上における多数の箇所に形成される。基板d30において素子d5（前述した抵抗d56）が形成された1つの領域をチップ部品領域Yという、基板d30の表面d30Aには、抵抗d56をそれぞれ有する複数のチップ部品領域Y（つまり、素子d5）が形成（設定）される。1つのチップ部品領域Yは、完成した1つのチップ抵抗器d1（図93参照）を平面視したものと一致する。そして、基板d30の表面d30Aにおいて、隣り合うチップ部品領域Yの間の領域を、境界領域Zということにする。境界領域Zは、帯状をなして、平面視で格子状に延びている。境界領域Zによって区画された1つの格子の中にチップ部品領域Yが1つ配置されている。境界領域Zの幅は、 $1\mu\text{m}\sim 60\mu\text{m}$ （たとえば $20\mu\text{m}$ ）と極めて狭いので、基板d30では多くのチップ部品領域Yを確保でき、結果としてチップ抵抗器d1の大量生産が可能になる。

[0399] 次いで、図94Aに示すように、CVD（Chemical Vapor Deposition：化学

的気相成長）法によって、SiNからなる絶縁膜d45を、基板d30の表面d30Aの全域に亘って形成する。絶縁膜d45は、絶縁層d20および絶縁層d20上の素子d5（抵抗体膜d21や配線膜d22）を全て覆っていて、これらに接している。そのため、絶縁膜d45は、前述したトリミング対象領域X（図86参照）における配線膜d22も覆っている。また、絶縁膜d45は、基板d30の表面d30Aにおいて全域に亘って形成されることから、表面d30Aにおいて、トリミング対象領域X以外の領域にまで延びて形成される。これにより、絶縁膜d45は、表面d30A（表面d30A上の素子d5も含む）全域を保護する保護膜となる。

[0400] 次いで、図94Bに示すように、絶縁膜d45を全て覆うように、基板d30の表面d30Aの全域に亘ってレジストパターンd41を形成する。レジストパターンd41には、開口d42が形成されている。図95は、図94Bの工程において溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

[0401] 図95を参照して、レジストパターンd41の開口d42は、多数のチップ抵抗器d1（換言すれば、前述したチップ部品領域Y）を行列状（格子状でもある）に配置した場合において平面視で隣り合うチップ抵抗器d1の輪郭の間の領域（図95においてハッチングを付した部分であり、換言すれば、境界領域Z）に一致（対応）している。そのため、開口d42の全体形状は、互いに直交する直線部分d42Aおよびd42Bを複数有する格子状になっている。

[0402] レジストパターンd41では、開口d42において互いに直交する直線部分d42Aおよびd42Bは、互いに直交した状態を保ちながら（湾曲することなく）つながっている。そのため、直線部分d42Aおよびd42Bの交差部分d43は、平面視で略90°をなすように尖っている。図94Bを参照して、レジストパターンd41をマスクとするプラズマエッチングにより、絶縁膜d45、絶縁層d20および基板d30のそれぞれを選択的に除去する。これにより、隣り合う素子d5（チップ部品領域Y）の間の境界領

域Zにおいて基板d30の材料が除去される。その結果、平面視においてレジストパターンd41の開口d42と一致する位置（境界領域Z）には、絶縁膜d45および絶縁層d20を貫通して基板d30の表面d30Aから基板d30の厚さ途中まで到達する所定深さの溝d44が形成される。溝d44は、互いに対向する1対の側壁d44Aと、当該1対の側壁d44Aの下端（基板d30の裏面d30B側の端）の間を結ぶ底壁d44Bとによって区画されている。基板d30の表面d30Aを基準とした溝d44の深さは約100 μ mであり、溝d44の幅（対向する側壁d44Aの間隔）は約20 μ mであって、深さ方向全域に渡って一定である。

[0403] 基板d30における溝d44の全体形状は、平面視でレジストパターンd41の開口d42（図95参照）と一致する格子状になっている。そして、基板d30の表面d30Aでは、各素子d5が形成されたチップ部品領域Yのまわりを溝d44における矩形枠体部分（境界領域Z）が取り囲んでいる。基板d30において素子d5が形成された部分は、チップ抵抗器d1の半製品d50である。基板d30の表面d30Aでは、溝d44に取り囲まれたチップ部品領域Yに半製品d50が1つずつ位置していて、これらの半製品d50は、行列状に整列配置されている。このように溝d44を形成することによって、基板d30を複数のチップ部品領域Y毎の基板d2に分離する。

[0404] 図94Bに示すように溝d44が形成された後、レジストパターンd41を除去し、図94Cに示すようにマスクd65を用いたエッチングによって、絶縁膜d45を選択的に除去する。マスクd65では、絶縁膜d45において平面視で各パッド領域d22A（図93参照）に一致する部分に、開口d66が形成されている。これにより、エッチングによって、絶縁膜d45において開口d66と一致する部分が除去され、当該部分には、開口d25が形成される。これにより、絶縁膜d45は、開口d25において各パッド領域d22Aを露出させるように形成されたことになる。1つの半製品d50につき、開口d25は2つ形成される。

[0405] 各半製品 d 5 0 において、絶縁膜 d 4 5 に 2 つの開口 d 2 5 を形成した後に、抵抗測定装置（図示せず）のプローブ d 7 0 を各開口 d 2 5 のパッド領域 d 2 2 A に接触させて、素子 d 5 の全体の抵抗値を検出する。そして、絶縁膜 d 4 5 越しにレーザ光（図示せず）を任意のヒューズ F（図 8 6 参照）に照射することによって、前述したトリミング対象領域 X の配線膜 d 2 2 をレーザ光でトリミングして、当該ヒューズ F を溶断する。このようにして、必要な抵抗値となるようにヒューズ F を溶断（トリミング）することによって、前述したように、半製品 d 5 0（換言すれば、チップ抵抗器 d 1）全体の抵抗値を調整できる。このとき、絶縁膜 d 4 5 が素子 d 5 を覆うカバー膜となっているので、溶断の際に生じた破片などが素子 d 5 に付着して短絡が生じることを防止できる。また、絶縁膜 d 4 5 がヒューズ F（抵抗体膜 d 2 1）を覆っていることから、レーザ光のエネルギーをヒューズ F に蓄えてヒューズ F を確実に溶断することができる。

[0406] その後、CVD 法によって絶縁膜 d 4 5 上に SiN を形成し、絶縁膜 d 4 5 を厚くする。このとき、図 9 4 D に示すように、溝 d 4 4 の内周面（前述した側壁 d 4 4 A の区画面 4 4 C や底壁 d 4 4 B の上面）の全域にも絶縁膜 d 4 5 が形成される。最終的な絶縁膜 d 4 5（図 9 4 D に示された状態）は、 $1000\text{ \AA} \sim 5000\text{ \AA}$ （ここでは、約 $3000\text{ \AA}$ ）の厚さを有している。このとき、絶縁膜 d 4 5 の一部は、各開口 d 2 5 に入り込んで開口 d 2 5 を塞いでいる。

[0407] その後、ポリイミドからなる感光性樹脂の液体を、基板 d 3 0 に対して、絶縁膜 d 4 5 の上からスプレー塗布して、図 9 4 D に示すように感光性樹脂の樹脂膜 d 4 6 を形成する。この際、当該液体が溝 d 4 4 内に入り込まないように、平面視で溝 d 4 4 だけを覆うパターンを有するマスク（図示せず）越しに、当該液体が基板 d 3 0 に対して塗布される。その結果、当該液状の感光性樹脂は、基板 d 3 0 上だけに形成され、基板 d 3 0 上において、樹脂膜 d 4 6 となる。表面 d 3 0 A 上の樹脂膜 d 4 6 の表面は、表面 d 3 0 A に沿って平坦になっている。

[0408] なお、当該液体が溝 d 4 4 内に入り込んでいないので、溝 d 4 4 内には、樹脂膜 d 4 6 が形成されていない。また、感光性樹脂の液体をスプレー塗布する以外に、当該液体をスピン塗布したり、感光性樹脂からなるシートを基板 d 3 0 の表面 d 3 0 A に貼り付けたりすることによって、樹脂膜 d 4 6 を形成してもよい。次いで、樹脂膜 d 4 6 に熱処理（キュア処理）を施す。これにより、樹脂膜 d 4 6 の厚みが熱収縮するとともに、樹脂膜 d 4 6 が硬化して膜質が安定する。

[0409] 次いで、図 9 4 E に示すように、樹脂膜 d 4 6 をパターニングし、表面 d 3 0 A 上の樹脂膜 d 4 6 において平面視で配線膜 d 2 2 の各パッド領域 d 2 2 A（開口 d 2 5）と一致する部分を選択的に除去する。具体的には、平面視で各パッド領域 d 2 2 A に整合（一致）するパターンの開口 d 6 1 が形成されたマスク d 6 2 を用いて、樹脂膜 d 4 6 を、当該パターンで露光して現像する。これにより、各パッド領域 d 2 2 A の上方で樹脂膜 d 4 6 が分離される。次いで、図示しないマスクを用いた R I E によって各パッド領域 d 2 2 A 上の絶縁膜 d 4 5 が除去されることで、各開口 d 2 5 が開放されてパッド領域 d 2 2 A が露出される。

[0410] 次いで、無電解めっきによって、N i、P d および A u を積層することで構成された N i / P d / A u 積層膜を各開口 d 2 5 におけるパッド領域 d 2 2 A 上に形成することによって、図 9 4 F に示すように、パッド領域 d 2 2 A 上に第 1 接続電極 d 3 および第 2 接続電極 d 4 を形成する。図 9 6 は、第 1 接続電極および第 2 接続電極の製造工程を説明するための図である。

[0411] 詳しくは、図 9 6 を参照して、まず、パッド領域 d 2 2 A の表面が浄化されることで、当該表面の有機物（炭素のしみ等のスマットや油脂性の汚れも含む）が除去（脱脂）される（ステップ S 1）。次いで、当該表面の酸化膜が除去される（ステップ S 2）。次いで、当該表面においてジンケート処理が実施されて、当該表面における（配線膜 d 2 2 の）A l が Z n に置換される（ステップ S 3）。次いで、当該表面上の Z n が硝酸等で剥離されて、パッド領域 d 2 2 A では、新しい A l が露出される（ステップ S 4）。

[0412] 次いで、パッド領域 d 2 2 A をめっき液に浸けることによって、パッド領域 d 2 2 A における新しい A 1 の表面に N i めっきが施される。これにより、めっき液中の N i が化学的に還元析出されて、当該表面に N i 層 d 3 3 が形成される（ステップ S 5）。次いで、N i 層 d 3 3 を別のめっき液に浸けることによって、当該 N i 層 d 3 3 の表面に P d めっきが施される。これにより、めっき液中の P d が化学的に還元析出されて、当該 N i 層 d 3 3 の表面に P d 層 d 3 4 が形成される（ステップ S 6）。

[0413] 次いで、P d 層 d 3 4 をさらに別のめっき液に浸けることによって、当該 P d 層 d 3 4 の表面に A u めっきが施される。これにより、めっき液中の A u が化学的に還元析出されて、当該 P d 層 d 3 4 の表面に A u 層 d 3 5 が形成される（ステップ S 7）。これによって、第 1 接続電極 d 3 および第 2 接続電極 d 4 が形成され、形成後の第 1 接続電極 d 3 および第 2 接続電極 d 4 を乾燥させると（ステップ S 8）、第 1 接続電極 d 3 および第 2 接続電極 d 4 の製造工程が完了する。なお、前後するステップの間には、半製品 d 5 0 を水で洗浄する工程が適宜実施される。また、ジンケート処理は複数回実施されてもよい。

[0414] 図 9 4 F では、各半製品 d 5 0 において第 1 接続電極 d 3 および第 2 接続電極 d 4 が形成された後の状態を示している。以上のように、第 1 接続電極 d 3 および第 2 接続電極 d 4 を無電解めっきによって形成するので、第 1 接続電極 d 3 および第 2 接続電極 d 4 を電解めっきによって形成する場合に比べて、第 1 接続電極 d 3 および第 2 接続電極 d 4 についての形成工程の工程数（たとえば、電解めっきで必要となるリソグラフィ工程やレジストマスクの剥離工程等）を削減してチップ抵抗器 d 1 の生産性を向上できる。さらに、無電解めっきの場合には、電解めっきで必要とされるレジストマスクが不要であることから、レジストマスクの位置ずれによる第 1 接続電極 d 3 および第 2 接続電極 d 4 についての形成位置にずれが生じないので、第 1 接続電極 d 3 および第 2 接続電極 d 4 の形成位置精度を向上して歩留まりを向上できる。

- [0415] このように第1接続電極d3および第2接続電極d4が形成されてから、第1接続電極d3および第2接続電極d4間での通電検査が行われた後に、基板d30が裏面d30Bから研削される。具体的には、溝d44を形成した後に、図94Gに示すように、PET（ポリエチレンテレフタレート）からなる薄板状であって粘着面d72を有する支持テープd71が、粘着面d72において、各半製品d50における第1接続電極d3および第2接続電極d4側（つまり、表面d30A）に貼着される。これにより、各半製品d50が支持テープd71に支持される。ここで、支持テープd71として、たとえば、ラミネートテープを用いることができる。
- [0416] 各半製品d50が支持テープd71に支持された状態で、基板d30を裏面d30B側から研削する。研削によって、溝d44の底壁d44B（図94F参照）の上面に達するまで基板d30が薄型化されると、隣り合う半製品d50を連結するものがなくなるので、溝d44を境界として基板d30が分割され、半製品d50が個別に分離してチップ抵抗器d1の完成品となる。つまり、溝d44（換言すれば、境界領域Z）において基板d30が切断（分断）され、これによって、個々のチップ抵抗器d1が切り出される。なお、基板d30を裏面d30B側から溝d44の底壁d44Bまでエッチングすることによってチップ抵抗器d1を切り出しても構わない。
- [0417] 完成した各チップ抵抗器d1では、溝d44の側壁d44Aの区画面44Cをなしていた部分が、基板d2の側面d2C～d2Fのいずれかとなり、裏面d30Bが裏面d2Bとなる。つまり、前述したようにエッチングによって溝d44を形成する工程（図94B参照）は、側面d2C～d2Fを形成する工程に含まれる。また、絶縁膜d45がパッシベーション膜d23となり、分離した樹脂膜d46が樹脂膜d24となる。
- [0418] 以上のように、溝d44を形成してから基板d30を裏面d30B側から研削すれば、基板d30に形成された複数のチップ部品領域Yを一斉に個々のチップ抵抗器d1（チップ部品）に分割できる（複数のチップ抵抗器d1の個片を一度に得ることができる）。よって、複数のチップ抵抗器d1の製造

時間の短縮によってチップ抵抗器 d 1 の生産性の向上を図ることができる。

[0419] なお、完成したチップ抵抗器 d 1 における基板 d 2 の裏面 d 2 B を研磨やエッチングすることによって鏡面化して裏面 d 2 B を綺麗にしてもよい。以上、第 4 参考例の実施形態について説明してきたが、第 4 参考例はさらに他の形態で実施することもできる。たとえば、第 4 参考例のチップ部品の一例として、前述した実施形態では、チップ抵抗器 d 1 を開示したが、第 4 参考例は、チップコンデンサやチップダイオードやチップインダクタといったチップ部品にも適用できる。以下では、チップコンデンサおよびチップダイオードについて、この順に説明する。

[0420] 図 9 7 は、第 4 参考例の他の実施形態に係るチップコンデンサの平面図である。図 9 8 は、図 9 7 の切断面線 X C V I I I - X C V I I I から見た断面図である。図 9 9 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。これから述べるチップコンデンサ d 1 0 1 において、前述したチップ抵抗器 d 1 で説明した部分と対応する部分には、同一の参照符号を付し、当該部分についての詳しい説明を省略する。チップコンデンサ d 1 0 1 において、チップ抵抗器 d 1 で説明した部分と同一の参照符号が付された部分は、特に言及しない限り、チップ抵抗器 d 1 で説明した部分と同じ構成を有していて、チップ抵抗器 d 1 で説明した部分（特に、第 1 接続電極 d 3 および第 2 接続電極 d 4 に関する部分について）と同じ作用効果を奏することができる。

[0421] 図 9 7 を参照して、チップコンデンサ d 1 0 1 は、チップ抵抗器 d 1 と同様に、基板 d 2 と、基板 d 2 上（基板 d 2 の素子形成面 d 2 A 側）に配置された第 1 接続電極 d 3 と、同じく基板 d 2 上に配置された第 2 接続電極 d 4 とを備えている。基板 d 2 は、この実施形態では、平面視において矩形形状を有している。基板 d 2 の長手方向両端部に第 1 接続電極 d 3 および第 2 接続電極 d 4 がそれぞれ配置されている。第 1 接続電極 d 3 および第 2 接続電極 d 4 は、この実施形態では、基板 d 2 の短手方向に延びたほぼ矩形の平面形

状を有している。チップコンデンサ d 1 0 1 では、チップ抵抗器 d 1 と同様に、第 1 接続電極 d 3 および第 2 接続電極 d 4 が、基板 d 2 の素子形成面 d 2 A において周縁部 d 8 5 から間隔を開けて配置されている。そのため、チップコンデンサ d 1 0 1 が実装基板 d 9 に実装された回路アセンブリ d 1 0 0 (図 8 5 B ~ 図 8 5 E 参照) では、チップ抵抗器 d 1 の場合と同様に、小さな実装面積で実装基板 d 9 上にチップコンデンサ d 1 0 1 を実装することができる。つまり、チップコンデンサ d 1 0 1 は、小さな実装面積で実装基板 d 9 上に実装することができる。

[0422] 基板 d 2 の素子形成面 d 2 A には、第 1 接続電極 d 3 および第 2 接続電極 d 4 の間のキャパシタ配置領域 d 1 0 5 内に、複数のキャパシタ要素 C 1 ~ C 9 が形成されている。複数のキャパシタ要素 C 1 ~ C 9 は、前述した素子 d 5 (ここでは、キャパシタ素子) を構成する複数の素子要素であり、第 1 接続電極 d 3 および第 2 接続電極 d 4 の間に接続されている。詳しくは、複数のキャパシタ要素 C 1 ~ C 9 は、複数のヒューズユニット d 1 0 7 (前述したヒューズ F に相当する) を介してそれぞれ第 2 接続電極 d 4 に対して切り離し可能となるよう電氣的に接続されている。

[0423] 図 9 8 および図 9 9 に示されているように、基板 d 2 の素子形成面 d 2 A には絶縁層 d 2 0 が形成されていて、絶縁層 d 2 0 の表面に下部電極膜 d 1 1 1 が形成されている。下部電極膜 d 1 1 1 は、キャパシタ配置領域 d 1 0 5 のほぼ全域にわたっている。さらに、下部電極膜 d 1 1 1 は、第 1 接続電極 d 3 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 d 1 1 1 は、キャパシタ配置領域 d 1 0 5 においてキャパシタ要素 C 1 ~ C 9 の共通の下部電極として機能するキャパシタ電極領域 d 1 1 1 A と、第 1 接続電極 d 3 の直下に配置される外部電極引き出しのためのパッド領域 d 1 1 1 B とを有している。キャパシタ電極領域 d 1 1 1 A がキャパシタ配置領域 d 1 0 5 に位置していて、パッド領域 d 1 1 1 B が第 1 接続電極 d 3 の直下に位置して第 1 接続電極 d 3 に接触している。

[0424] キャパシタ配置領域 d 1 0 5 において下部電極膜 d 1 1 1 (キャパシタ電極

領域 d 1 1 1 A) を覆って接するように容量膜 (誘電体膜) d 1 1 2 が形成されている。容量膜 d 1 1 2 は、キャパシタ電極領域 d 1 1 1 A (キャパシタ配置領域 d 1 0 5) の全域にわたって形成されている。容量膜 d 1 1 2 は、この実施形態では、さらにキャパシタ配置領域 d 1 0 5 外の絶縁層 d 2 0 を覆っている。

[0425] 容量膜 d 1 1 2 の上には、上部電極膜 d 1 1 3 が形成されている。図 9 7 では、明瞭化のために、上部電極膜 d 1 1 3 を着色して示してある。上部電極膜 d 1 1 3 は、キャパシタ配置領域 d 1 0 5 に位置するキャパシタ電極領域 d 1 1 3 A と、第 2 接続電極 d 4 の直下に位置して第 2 接続電極 d 4 に接触するパッド領域 d 1 1 3 B と、キャパシタ電極領域 d 1 1 3 A とパッド領域 d 1 1 3 B との間に配置されたヒューズ領域 d 1 1 3 C とを有している。

[0426] キャパシタ電極領域 d 1 1 3 A において、上部電極膜 d 1 1 3 は、複数の電極膜部分 (上部電極膜部分) d 1 3 1 ~ d 1 3 9 に分割 (分離) されている。この実施形態では、各電極膜部分 d 1 3 1 ~ d 1 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 d 1 1 3 C から第 1 接続電極 d 3 に向かって帯状に延びている。複数の電極膜部分 d 1 3 1 ~ d 1 3 9 は、複数種類の対向面積で、容量膜 d 1 1 2 を挟んで (容量膜 d 1 1 2 に接しつつ) 下部電極膜 d 1 1 1 に対向している。より具体的には、電極膜部分 d 1 3 1 ~ d 1 3 9 の下部電極膜 d 1 1 1 に対する対向面積は、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となるように定められていてもよい。すなわち、複数の電極膜部分 d 1 3 1 ~ d 1 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 d 1 3 1 ~ d 1 3 8 (または d 1 3 1 ~ d 1 3 7, d 1 3 9) を含む。これによって、各電極膜部分 d 1 3 1 ~ d 1 3 9 と容量膜 d 1 1 2 を挟んで対向する下部電極膜 d 1 1 1 とによってそれぞれ構成される複数のキャパシタ要素 C 1 ~ C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 d 1 3 1 ~ d 1 3 9 の対向面積の比が前述の通りである場合、キャパシタ要素 C 1 ~ C 9 の容量値の比は

、当該対向面積の比と等しく、 $1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128$ となる。すなわち、複数のキャパシタ要素 $C1 \sim C9$ は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素 $C1 \sim C8$ （または $C1 \sim C7$ ， $C9$ ）を含むことになる。

[0427] この実施形態では、電極膜部分 $d131 \sim d135$ は、幅が等しく、長さの比を $1 : 2 : 4 : 8 : 16$ に設定した帯状に形成されている。また、電極膜部分 $d135$ ， $d136$ ， $d137$ ， $d138$ ， $d139$ は、長さが等しく、幅の比を $1 : 2 : 4 : 8 : 8$ に設定した帯状に形成されている。電極膜部分 $d135 \sim d139$ は、キャパシタ配置領域 $d105$ の第2接続電極 $d4$ 側の端縁から第1接続電極 $d3$ 側の端縁までの範囲に渡って延びて形成されており、電極膜部分 $d131 \sim d134$ は、それよりも短く形成されている。

[0428] パッド領域 $d113B$ は、第2接続電極 $d4$ とほぼ相似形に形成されており、ほぼ矩形の平面形状を有している。図98に示すように、パッド領域 $d113B$ における上部電極膜 $d113$ は、第2接続電極 $d4$ に接している。ヒューズ領域 $d113C$ は、基板 $d2$ 上において、パッド領域 $d113B$ の一つの長辺（基板 $d2$ の周縁に対して内方側の長辺）に沿って配置されている。ヒューズ領域 $d113C$ は、パッド領域 $d113B$ の前記一つの長辺に沿って配列された複数のヒューズユニット $d107$ を含む。

[0429] ヒューズユニット $d107$ は、上部電極膜 $d113$ のパッド領域 $d113B$ と同じ材料で一体的に形成されている。複数の電極膜部分 $d131 \sim d139$ は、1つまたは複数個のヒューズユニット $d107$ と一体的に形成されていて、それらのヒューズユニット $d107$ を介してパッド領域 $d113B$ に接続され、このパッド領域 $d113B$ を介して第2接続電極 $d4$ に電氣的に接続されている。図97に示すように、面積の比較的小さな電極膜部分 $d131 \sim d136$ は、一つのヒューズユニット $d107$ によってパッド領域 $d113B$ に接続されており、面積の比較的大きな電極膜部分 $d137 \sim d139$ は複数個のヒューズユニット $d107$ を介してパッド領域 $d113B$ に

接続されている。全てのヒューズユニット d 1 0 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット d 1 0 7 は未使用である。

[0430] ヒューズユニット d 1 0 7 は、パッド領域 d 1 1 3 B との接続のための第 1 幅広部 d 1 0 7 A と、電極膜部分 d 1 3 1 ~ d 1 3 9 との接続のための第 2 幅広部 d 1 0 7 B と、第 1 および第 2 幅広部 d 1 0 7 A, 7 B の間を接続する幅狭部 d 1 0 7 C とを含む。幅狭部 d 1 0 7 C は、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分 d 1 3 1 ~ d 1 3 9 のうち不要な電極膜部分を、ヒューズユニット d 1 0 7 の切断によって第 1 および第 2 接続電極 d 3, d 4 から電氣的に切り離すことができる。

[0431] 図 9 7 および図 9 9 では図示を省略したが、図 9 8 に表れている通り、上部電極膜 d 1 1 3 の表面を含むチップコンデンサ d 1 0 1 の表面は、前述したパッシベーション膜 d 2 3 によって覆われている。パッシベーション膜 d 2 3 は、たとえば窒化膜からなっていて、チップコンデンサ d 1 0 1 の上面のみならず、基板 d 2 の側面 d 2 C ~ d 2 F まで延びて、側面 d 2 C ~ d 2 F の全域をも覆うように形成されている。さらに、パッシベーション膜 d 2 3 の上には、前述した樹脂膜 d 2 4 が形成されている。樹脂膜 d 2 4 は、素子形成面 d 2 A を覆っている。

[0432] パッシベーション膜 d 2 3 および樹脂膜 d 2 4 は、チップコンデンサ d 1 0 1 の表面を保護する保護膜である。これらには、第 1 接続電極 d 3 および第 2 接続電極 d 4 に対応する領域に、前述した開口 d 2 5 がそれぞれ形成されている。開口 d 2 5 はそれぞれ下部電極膜 d 1 1 1 のパッド領域 d 1 1 1 B の一部の領域、上部電極膜 d 1 1 3 のパッド領域 d 1 1 3 B の一部の領域を露出させるようにパッシベーション膜 d 2 3 および樹脂膜 d 2 4 を貫通している。さらに、この実施形態では、第 1 接続電極 d 3 に対応した開口 d 2 5 は、容量膜 d 1 1 2 をも貫通している。

[0433] 開口 d 2 5 には、第 1 接続電極 d 3 および第 2 接続電極 d 4 がそれぞれ埋め込まれている。これにより、第 1 接続電極 d 3 は下部電極膜 d 1 1 1 のパッ

ド領域 d 1 1 1 B に接合しており、第 2 接続電極 d 4 は上部電極膜 d 1 1 3 のパッド領域 d 1 1 3 B に接合している。第 1 および第 2 外部電極 d 3, d 4 は、樹脂膜 d 2 4 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ d 1 0 1 をフリップチップ接合することができる。

[0434] 図 1 0 0 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。第 1 接続電極 d 3 と第 2 接続電極 d 4 との間に複数のキャパシタ要素 C 1 ~ C 9 が並列に接続されている。各キャパシタ要素 C 1 ~ C 9 と第 2 接続電極 d 4 との間には、一つまたは複数のヒューズユニット d 1 0 7 でそれぞれ構成されたヒューズ F 1 ~ F 9 が直列に介装されている。

[0435] ヒューズ F 1 ~ F 9 が全て接続されているときは、チップコンデンサ d 1 0 1 の容量値は、キャパシタ要素 C 1 ~ C 9 の容量値の総和に等しい。複数のヒューズ F 1 ~ F 9 から選択した 1 つまたは 2 つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ d 1 0 1 の容量値が減少する。

[0436] そこで、パッド領域 d 1 1 1 B, d 1 1 3 B の間の容量値（キャパシタ要素 C 1 ~ C 9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F 1 ~ F 9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C 1 ~ C 8 の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C 1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0437] たとえば、キャパシタ要素 C 1 ~ C 9 の容量値は次のように定められていてもよい。

$$\begin{array}{lll}
 C 1 = 0.03125 \text{ pF} & & C 2 = 0.0625 \text{ pF} \\
 C 3 = 0.125 \text{ pF} & & C 4 = 0.25 \text{ pF} \\
 C 5 = 0.5 \text{ pF} & & C 6 = 1 \text{ pF}
 \end{array}$$

$$C7 = 2 \text{ pF}$$

$$C8 = 4 \text{ pF}$$

C

9 = 4 pF この場合、0.03125 pFの最小合わせ込み精度でチップコンデンサd101の容量を微調整できる。また、ヒューズF1～F9から切断すべきヒューズを適切に選択することで、10 pF～18 pFの間の任意の容量値のチップコンデンサd101を提供することができる。

[0438] 以上のように、この実施形態によれば、第1接続電極d3および第2接続電極d4の間に、ヒューズF1～F9によって切り離し可能な複数のキャパシタ要素C1～C9が設けられている。キャパシタ要素C1～C9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF1～F9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサd101を共通の設計で実現することができる。

[0439] チップコンデンサd101の各部の詳細について以下に説明を加える。 図97を参照して、基板d2は、たとえば平面視において0.3 mm×0.15 mm、0.4 mm×0.2 mmなどの矩形形状（好ましくは、0.4 mm×0.2 mm以下の大きさ）を有していてもよい。キャパシタ配置領域d105は、概ね、基板d2の短辺の長さに相当する一辺を有する正方形領域となる。基板d2の厚さは、150 μm程度であってもよい。図98を参照して、基板d2は、たとえば、裏面側（キャパシタ要素C1～C9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板d2の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0440] 絶縁層d20は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å～2000 Å程度であってもよい。 下部電極膜d111は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であっ

てもよい。アルミニウム膜からなる下部電極膜 d 1 1 1 は、スパッタ法によって形成することができる。上部電極膜 d 1 1 3 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 d 1 1 3 は、スパッタ法によって形成することができる。上部電極膜 d 1 1 3 のキャパシタ電極領域 d 1 1 3 A を電極膜部分 d 1 3 1 ~ d 1 3 9 に分割し、さらに、ヒューズ領域 d 1 1 3 C を複数のヒューズユニット d 1 0 7 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0441] 容量膜 d 1 1 2 は、たとえば窒化シリコン膜で構成することができ、その膜厚は 5 0 0 Å ~ 2 0 0 0 Å (たとえば 1 0 0 0 Å) とすることができる。容量膜 d 1 1 2 は、プラズマ C V D (化学的気相成長) によって形成された窒化シリコン膜であってもよい。パッシベーション膜 d 2 3 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ C V D 法によって形成できる。その膜厚は、8 0 0 0 Å 程度とされてもよい。樹脂膜 d 2 4 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0442] 第 1 および第 2 接続電極 d 3, d 4 は、たとえば、下部電極膜 d 1 1 1 または上部電極膜 d 1 1 3 に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法(より具体的には無電解めっき法)で形成することができる。ニッケル層は下部電極膜 d 1 1 1 または上部電極膜 d 1 1 3 に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第 1 および第 2 接続電極 d 3, d 4 の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0443] このようなチップコンデンサ d 1 0 1 の製造工程は、素子 d 5 を形成した後のチップ抵抗器 d 1 の製造工程と同じである。チップコンデンサ d 1 0 1 において素子 d 5 (キャパシタ素子)を形成する場合には、まず、前述した基板 d 3 0 (基板 d 2)の表面に、熱酸化法および/または C V D 法によって、酸化膜(たとえば酸化シリコン膜)からなる絶縁層 d 2 0 が形成される

。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜 d 1 1 1 が絶縁層 d 2 0 の表面全域に形成される。下部電極膜 d 1 1 1 の膜厚は 8 0 0 0 Å 程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜 d 1 1 1 の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図 9 7 等にしたパターンの下部電極膜 d 1 1 1 が得られる。下部電極膜 d 1 1 1 のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0444] 次に、たとえばプラズマ C V D 法によって、窒化シリコン膜等からなる容量膜 d 1 1 2 が、下部電極膜 d 1 1 1 上に形成される。下部電極膜 d 1 1 1 が形成されていない領域では、絶縁層 d 2 0 の表面に容量膜 d 1 1 2 が形成されることになる。次いで、その容量膜 d 1 1 2 の上に、上部電極膜 d 1 1 3 が形成される。上部電極膜 d 1 1 3 は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8 0 0 0 Å 程度とされてもよい。次いで、上部電極膜 d 1 1 3 の表面に上部電極膜 d 1 1 3 の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される。このレジストパターンをマスクとしたエッチングにより、上部電極膜 d 1 1 3 が、最終形状（図 9 7 等参照）にパターニングされる。それによって、上部電極膜 d 1 1 3 は、キャパシタ電極領域 d 1 1 3 A に複数の電極膜部分 d 1 3 1 ~ d 1 3 9 に分割された部分を有し、ヒューズ領域 d 1 1 3 C に複数のヒューズユニット d 1 0 7 を有し、それらのヒューズユニット d 1 0 7 に接続されたパッド領域 d 1 1 3 B を有するパターンに整形される。上部電極膜 d 1 1 3 のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0445] 以上によって、チップコンデンサ d 1 0 1 における素子 d 5（キャパシタ要素 C 1 ~ C 9 やヒューズユニット d 1 0 7）が形成される。素子 d 5 が形成された後に、プラズマ C V D 法によって絶縁膜 d 4 5 が、素子 d 5（上部電

極膜 d 1 1 3、上部電極膜 d 1 1 3 が形成されていない領域における容量膜 d 1 1 2) を全て覆うように形成される (図 9 4 A 参照)。その後は、溝 d 4 4 が形成されてから (図 9 4 B 参照)、開口 d 2 5 が形成される (図 9 4 C 参照)。そして、開口 d 2 5 から露出された上部電極膜 d 1 1 3 のパッド領域 d 1 1 3 B と下部電極膜 d 1 1 1 のパッド領域 d 1 1 1 B とにプローブ d 7 0 を押し当てて、複数のキャパシタ要素 C 1 ~ C 9 の総容量値が測定される (図 9 4 C 参照)。この測定された総容量値に基づき、目的とするチップコンデンサ d 1 0 1 の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される。

[0446] この状態から、ヒューズユニット d 1 0 7 を溶断するためのレーザトリミングが行われる。すなわち、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット d 1 0 7 にレーザ光を当てて、そのヒューズユニット d 1 0 7 の幅狭部 d 1 0 7 C (図 9 7 参照) が溶断される。これにより、対応するキャパシタ要素がパッド領域 d 1 1 3 B から切り離される。ヒューズユニット d 1 0 7 にレーザ光を当てるとき、カバー膜である絶縁膜 d 4 5 の働きによって、ヒューズユニット d 1 0 7 の近傍にレーザ光のエネルギーが蓄積され、それによって、ヒューズユニット d 1 0 7 が溶断する。これにより、チップコンデンサ d 1 0 1 の容量値を確実に目的の容量値とすることができる。

[0447] 次に、たとえばプラズマ C V D 法によって、カバー膜 (絶縁膜 d 4 5) 上に窒化シ

リコン膜が堆積させられ、パッシベーション膜 d 2 3 が形成される。前述のカバー膜は最終形態において、パッシベーション膜 d 2 3 と一体化し、このパッシベーション膜 d 2 3 の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜 d 2 3 は、ヒューズ溶断の際に同時に破壊されたカバー膜の開口内に入り込み、ヒューズユニット d 1 0 7 の切断面を覆って保護する。したがって、パッシベーション膜 d 2 3 は、ヒューズユニット d 1 0 7 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。これ

により、信頼性の高いチップコンデンサ d 1 0 1 を製造することができる。
パッシベーション膜 d 2 3 は、全体で、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。

[0448] 次に、前述した樹脂膜 d 4 6 が形成される（図 9 4 D 参照）。その後、樹脂膜 d 4 6 やパッシベーション膜 d 2 3 によって塞がれていた開口 d 2 5 が開放され（図 9 4 E 参照）、開口 d 2 5 内に、たとえば無電解めっき法によって、第 1 接続電極 d 3 および第 2 接続電極 d 4 が成長させられる（図 9 4 F 参照）。その後、チップ抵抗器 d 1 の場合と同じように、基板 d 3 0 を裏面 d 3 0 B から研削すると（図 9 4 G 参照）、チップコンデンサ d 1 0 1 の個片を切り出すことができる。

[0449] フトリソグラフィ工程を利用した上部電極膜 d 1 1 3 のパターニングでは、微小面積の電極膜部分 d 1 3 1 ~ d 1 3 9 を精度良く形成することができる、さらに微細なパターンのヒューズユニット d 1 0 7 を形成することができる。そして、上部電極膜 d 1 1 3 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ d 1 0 1 を得ることができる。

[0450] 次に、チップダイオードについて説明する。図 1 0 1 は、第 4 参考例のさらに他の実施形態に係るチップダイオードの平面図である。図 1 0 2 は、図 1 0 1 の切断面線 C 1 1 - C 1 1 から見た断面図である。図 1 0 3 は、図 1 0 1 の切断面線 C 1 1 1 - C 1 1 1 から見た断面図である。これから述べるチップダイオード d 1 5 1 において、前述したチップ抵抗器 d 1 やチップコンデンサ d 1 0 1 で説明した部分と対応する部分には、同一の参照符号を付し、当該部分についての詳しい説明を省略する。チップダイオード d 1 5 1 において、チップ抵抗器 d 1 やチップコンデンサ d 1 0 1 で説明した部分と同一の参照符号が付された部分は、特に言及しない限り、チップ抵抗器 d 1 やチップコンデンサ d 1 0 1 で説明した部分と同じ構成を有していて、チップ抵抗器 d 1 やチップコンデンサ d 1 0 1 で説明した部分（特に、第 1 接

続電極 d 3 および第 2 接続電極 d 4 に関する部分について)と同じ作用効果を奏することができる。

[0451] 図 101 を参照して、チップダイオード d 151 は、チップ抵抗器 d 1 やチップコンデンサ d 101 と同様に、基板 d 2 を備えている。基板 d 2 は、p⁺型の半導体基板(たとえばシリコン基板)である。基板 d 2 は、平面視において矩形に形成されている。さらに、チップダイオード d 151 は、基板 d 2 上に形成されたカソード電極 d 153、アノード電極 d 154 および複数のダイオードセル D i 1 ~ D i 4 も備えている。カソード電極 d 153 およびアノード電極 d 154 は、これらの複数のダイオードセル D i 1 ~ D i 4 を並列に接続している。ダイオードセル D i 1 ~ D i 4 は、素子 d 5 (ここでは、ダイオード素子)を構成する複数のダイオード要素である。

[0452] 基板 d 2 の両端部に、カソード電極 d 153 との接続のためのカソードパッド d 155 と、アノード電極 d 154 との接続のためのアノードパッド d 156 とが配置されている。これらのパッド d 155, d 156 の間に、ダイオードセル領域 d 157 が設けられている。カソードパッド d 155 上に、前述した第 1 接続電極 d 3 が形成され、アノードパッド d 156 上に、前述した第 2 接続電極 d 4 が形成されている。前述した素子 d 5 (ダイオードセル D i 1 ~ D i 4 のまとまり)は、カソード電極 d 153 およびアノード電極 d 154 を介して、第 1 接続電極 d 3 および第 2 接続電極 d 4 の間に接続されている。

[0453] ダイオードセル領域 d 157 は、この実施形態では、矩形に形成されている。ダイオードセル領域 d 157 内に、複数のダイオードセル D i 1 ~ D i 4 が配置されている。複数のダイオード D i 1 ~ D i 4 は、この実施形態では 4 個設けられており、基板 d 2 の長手方向および短手方向に沿って、マトリックス状に等間隔で二次元配列されている。図 104 は、チップダイオードにおいて、カソード電極およびアノード電極ならびにその上に形成された構成を取り除いて、基板の素子形成面の構造を示す平面図である。図 104 を参照して、ダイオードセル D i 1 ~ D i 4 の各領域内には、それぞれ、p⁺

型の基板 d 2 の表層領域に n⁺型領域 d 1 6 0 が形成されている。n⁺型領域 d 1 6 0 は、個々のダイオードセル毎に分離されている。これにより、ダイオードセル D i 1 ~ D i 4 は、ダイオードセル毎に分離された p n 接合領域 d 1 6 1 をそれぞれ有している。

[0454] 複数のダイオードセル D i 1 ~ D i 4 は、この実施形態では等しい大きさおよび等しい形状、具体的には矩形形状に形成されており、各ダイオードセルの矩形領域内に、多角形状の n⁺型領域 d 1 6 0 が形成されている。この実施形態では、n⁺型領域 d 1 6 0 は、正八角形に形成されており、ダイオードセル D i 1 ~ D i 4 の矩形領域を形成する 4 辺にそれぞれ沿う 4 つの辺と、ダイオードセル D i 1 ~ D i 4 の矩形領域の 4 つの角部にそれぞれ対向する別の 4 つの辺とを有している。基板 d 2 の表層領域には、さらに、n⁺型領域 d 1 6 0 から所定の間隔を空けて分離された状態で p⁺型領域 d 1 6 2 が形成されている。p⁺型領域 d 1 6 2 は、ダイオードセル領域 d 1 5 7 内において、カソード電極 d 1 5 3 が配置される領域を回避したパターンに形成されている（図 1 0 2 参照）。

[0455] 図 1 0 2 および図 1 0 3 に示されているように、基板 d 2 の表面には、前述した絶縁層 d 2 0（図 1 0 1 では図示省略）が形成されている。絶縁層 d 2 0 には、ダイオードセル D i 1 ~ D i 4 のそれぞれの n⁺型領域 d 1 6 0 の表面を露出させるコンタクト孔 d 1 6 6 と、p⁺型領域 d 1 6 2 を露出させるコンタクト孔 d 1 6 7 とが形成されている。絶縁層 d 2 0 の表面には、カソード電極 d 1 5 3 およびアノード電極 d 1 5 4 が形成されている。カソード電極 d 1 5 3 は、絶縁層 d 2 0 の表面からコンタクト孔 d 1 6 6 内に入り込み、このコンタクト孔 d 1 6 6 内でダイオードセル D i 1 ~ D i 4 の各 n⁺型領域 d 1 6 0 にオーミック接触している。アノード電極 d 1 5 4 は、絶縁層 d 2 0 の表面からコンタクト孔 d 1 6 7 の内方へと延びており、コンタクト孔 d 1 6 7 内で p⁺型領域 d 1 6 2 にオーミック接触している。カソード電極 d 1 5 3 およびアノード電極 d 1 5 4 は、この実施形態では、同じ材料からなる電極膜からなっている。

- [0456] 当該電極膜としては、Ti膜を下層としAl膜を上層としたTi/Al積層膜や、AlCu膜を適用できる。その他、AlSi膜を電極膜として用いることもできる。AlSi膜を用いると、基板d2の表面にp⁺型領域d162を設けることなく、アノード電極d154を基板d2にオーミック接触させることができる。したがって、p⁺型領域d162を形成するための工程を省くことができる。
- [0457] カソード電極d153およびアノード電極d154の間は、スリットd168によって分離されている。図101を参照して、この実施形態では、スリットd168は、ダイオードセルDi1～Di4のn⁺型領域d160を縁取るように、n⁺型領域d160の平面形状と整合する枠形状（すなわち正八角形枠状）に形成されている。それに応じて、カソード電極d153は、n⁺型領域d160の形状に整合する平面形状（すなわち正八角形形状）のセル接合部d153aを各ダイオードセルDi1～Di4の領域に有し、当該セル接合部d153aの間が直線状の架橋部d153bによって連絡されており、さらに、直線状の別の架橋部d153cによってカソードパッドd155の直下に形成された大きな矩形形状の外部接続部d153dへと接続されている。一方、アノード電極d154は、ほぼ一定の幅のスリットd168に対応した間隔を開けて、カソード電極d153を取り囲むように、絶縁層d20の表面に形成されていて、アノードパッドd156の直下の矩形領域へ延びて一体的に形成されている。
- [0458] 図102を参照して、カソード電極d153およびアノード電極d154は、前述したパッシベーション膜d23（図101では図示省略）によって覆われており、さらにパッシベーション膜d23の上にはポリイミド等の樹脂膜d24が形成されている。パッシベーション膜d23および樹脂膜d24を貫通するように、カソードパッドd155を露出させる開口d25と、アノードパッドd156を露出させる開口d25とが形成されている。さらに、カソードパッドd155を露出させる開口d25には、前述した第1接続電極d3が埋め込まれていて、アノードパッドd156を露出させる開口d

25には、前述した第2接続電極d4が埋め込まれている。第1接続電極d3および第2接続電極d4は、樹脂膜d24の表面から突出している。チップダイオードd151では、チップ抵抗器d1やチップコンデンサd101と同様に、第1接続電極d3および第2接続電極d4が、基板d2の素子形成面d2Aにおいて周縁部d85から間隔を開けて配置されている。そのため、チップダイオードd151が実装基板d9に実装された回路アセンブリd100（図85B～図85E）では、チップ抵抗器d1やチップコンデンサd101の場合と同様に、小さな実装面積で実装基板d9上にチップダイオードd151を実装することができる。つまり、チップダイオードd151は、小さな実装面積で実装基板d9上に実装することができる。

[0459] 各ダイオードセルD_i1～D_i4では、p型の基板d2とn⁺型領域d160との間にpn接合領域d161が形成されており、したがって、それぞれpn接合ダイオードが形成されている。そして、複数のダイオードセルD_i1～D_i4のn⁺型領域d160がカソード電極d153に共通に接続され、ダイオードセルD_i1～D_i4の共通のp型領域であるp⁺型の基板d2がp⁺型領域d162を介してアノード電極d154に共通に接続されている。これによって、基板d2上に形成された複数のダイオードセルD_i1～D_i4は、すべて並列に接続されている。

[0460] ダイオードセルD_i1～D_i4によってそれぞれ構成されるpn接合ダイオードは、カソード側がカソード電極d153によって共通接続され、アノード側がアノード電極d154によって共通接続されることによって、全て並列に接続されており、これによって、全体として1つのダイオードとして機能する。この実施形態の構成によれば、チップダイオードd151は複数のダイオードセルD_i1～D_i4を有しており、各ダイオードセルD_i1～D_i4がpn接合領域d161を有している。pn接合領域d161は、ダイオードセルD_i1～D_i4毎に分離されている。そのため、チップダイオードd151は、pn接合領域d161の周囲長、すなわち、基板d2におけるn⁺型領域d160の周囲長の合計（総延長）が長くなる。これにより、

p n 接合領域 d 1 6 1 の近傍における電界の集中を回避し、その分散を図ることができるので、E S D (electrostatic discharge) 耐量の向上を図ることができる。すなわち、チップダイオード d 1 5 1 を小型に形成する場合であっても、p n 接合領域 d 1 6 1 の総周囲長を大きくすることができるから、チップダイオード d 1 5 1 の小型化と E S D 耐量の確保とを両立することができる。

[0461] チップダイオード d 1 5 1 の製造工程を概説すれば、次の通りである。 まず、p⁺型基板 d 2 の表面に、熱酸化膜等の絶縁層 d 2 0 が形成され、その上にレジストマスクを形成する。このレジストマスクを介する n 型不純物（たとえば燐）のイオン注入または拡散によって、n⁺型領域 d 1 6 0 が形成される。さらに、p⁺型領域 d 1 6 2 に整合する開口を有する別のレジストマスクが形成され、このレジストマスクを介する p 型不純物（たとえば砒素）のイオン注入または拡散によって、p⁺型領域 d 1 6 2 が形成される。レジストマスクを剥離し、必要に応じて絶縁層 d 2 0 を厚膜化（たとえば C V D により厚膜化）した後、コンタクト孔 d 1 6 6, d 1 6 7 に整合する開口を有するさらに別のレジストマスクが絶縁層 d 2 0 の上に形成される。このレジストマスクを介するエッチングによって、絶縁層 d 2 0 にコンタクト孔 d 1 6 6, d 1 6 7 が形成される。

[0462] 次いで、たとえばスパッタリングによって、カソード電極 d 1 5 3 およびアノード電極 d 1 5 4 を構成する電極膜が絶縁層 d 2 0 上に形成される。そして、この電極膜上に、スリット d 1 6 8 に対応する開口パターンを有するレジスト膜が形成され、このレジスト膜を介するエッチングによって、電極膜にスリット d 1 6 8 が形成される。これにより、前記電極膜がカソード電極 d 1 5 3 およびアノード電極 d 1 5 4 に分離される。

[0463] 次いで、レジスト膜を剥離した後、たとえば C V D 法によって窒化膜等のパッシベーション膜 d 2 3 が形成され、さらにポリイミド等を塗布することにより樹脂膜 d 2 4 が形成される。そして、これらのパッシベーション膜 d 2 3 および樹脂膜 d 2 4 に対して、フォトリソグラフィを利用したエッチング

を施すことにより、1対の開口d 2 5が形成される。その後、一方の開口d 2 5に第1接続電極d 3が形成され、他方の開口d 2 5に第2接続電極d 4が形成される。こうして、前述の構造のチップダイオードd 1 5 1を得ることができる。

[0464] なお、チップダイオードd 1 5 1では、4個のダイオードセルD iが基板d 2上に形成された例を示したけれども、基板d 2上に2個または3個のダイオードセルD iが形成されていてもよく、4個以上のダイオードセルD iが形成されていてもよい。また、このチップダイオードd 1 5 1では、基板d 2上に、前述した複数のヒューズF（架橋部d 1 5 3 b, d 1 5 3 cがヒューズFとして用いられる）が設けられていて、各ダイオードセルD iが、第1接続電極d 3および第2接続電極d 4に対して、ヒューズFを介して切り離し可能に接続されていてもよい。この場合、チップダイオードd 1 5 1では、一つまたは複数のヒューズFを選択して切断することにより、複数のダイオードセルD i 1～D i 4の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップダイオードd 1 5 1を共通の設計で実現することができる。

[0465] 以上、第4参考例のチップ部品（チップ抵抗器d 1やチップコンデンサd 1 0 1やチップダイオードd 1 5 1）について説明してきたが、第4参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、チップ抵抗器d 1の場合、複数の抵抗回路が公比 r （ $0 < r$ 、 $r \neq 1$ ）= 2の等比数列をなす抵抗値を有する複数の抵抗回路を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、チップコンデンサd 1 0 1の場合にも、キャパシタ要素が公比 r （ $0 < r$ 、 $r \neq 1$ ）= 2の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。

[0466] また、チップ抵抗器d 1やチップコンデンサd 1 0 1では、基板d 2の表面に絶縁層d 2 0が形成されているが、基板d 2が絶縁性の基板であれば、絶縁層d 2 0を省くこともできる。また、チップコンデンサd 1 0 1では、

上部電極膜 d 1 1 3 だけが複数の電極膜部分に分割されている構成を示したが、下部電極膜 d 1 1 1 だけが複数の電極膜部分に分割されていたり、上部電極膜 d 1 1 3 および下部電極膜 d 1 1 1 が両方とも複数の電極膜部分に分割されていたりしてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。また、前述したチップコンデンサ d 1 0 1 では、上部電極膜 d 1 1 3 および下部電極膜 d 1 1 1 を有する 1 層のキャパシタ構造が形成されているが、上部電極膜 d 1 1 3 上に、容量膜を介して別の電極膜を積層することで、複数のキャパシタ構造が積層されてもよい。

[0467] チップコンデンサ d 1 0 1 では、また、基板 d 2 として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜 d 1 1 2 を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。また、第 4 参考例を、チップインダクタに適用した場合、当該チップインダクタにおいて前述した基板 d 2 上に形成された素子 d 5 は、複数のインダクタ要素（素子要素）を含んだインダクタ素子を含み、第 1 接続電極 d 3 および第 2 接続電極 d 4 の間に接続されている。素子 d 5 は、前述した多層基板の多層配線中に設けられ、配線膜 d 2 2 によって形成されている。また、チップインダクタでは、基板 d 2 上に、前述した複数のヒューズ F が設けられていて、各インダクタ要素が、第 1 接続電極 d 3 および第 2 接続電極 d 4 に対して、ヒューズ F を介して切り離し可能に接続されている。

[0468] この場合、チップインダクタでは、一つまたは複数のヒューズ F を選択して切断することにより、複数のインダクタ要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップインダクタを共通の設計で実現することができる。また、このチップインダクタでは、チップ抵抗器 d 1 やチップコンデンサ d 1 0 1 やチップダイオード d 1 5 1 と同様に、第 1 接続電極 d 3 および第 2 接続電極 d 4 が、基板 d 2 の素子形

成面 d 2 A において周縁部 d 8 5 から間隔を開けて配置されている。そのため、チップインダクタが実装基板 d 9 に実装された回路アセンブリ d 1 0 0 (図 8 5 B ~ 図 8 5 E) でも、小さな実装面積で実装基板 d 9 上にチップインダクタを実装することができる。つまり、チップインダクタは、小さな実装面積で実装基板 d 9 上に実装することができる。

[0469] また、前述した第 1 接続電極 d 3 および第 2 接続電極 d 4 において、N i 層 d 3 3 と A u 層 d 3 5 との間に介装されていた P d 層 d 3 4 を省略することもできる。N i 層 d 3 3 と A u 層 d 3 5 との接着性が良好なので、A u 層 d 3 5 に前述したピンホールができないのであれば、P d 層 d 3 4 を省略しても構わない。図 1 0 5 は、第 4 参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン d 2 0 1 は、扁平な直方体形状の筐体 d 2 0 2 の内部に電子部品を収納して構成されている。筐体 d 2 0 2 は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が 4 つの側面で結合されている。筐体 d 2 0 2 の一つの主面には、液晶パネルや有機 E L パネル等で構成された表示パネル d 2 0 3 の表示面が露出している。表示パネル d 2 0 3 の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0470] 表示パネル d 2 0 3 は、筐体 d 2 0 2 の一つの主面の大部分を占める長方形形状に形成されている。表示パネル d 2 0 3 の一つの短辺に沿うように、操作ボタン d 2 0 4 が配置されている。この実施形態では、複数 (3 つ) の操作ボタン d 2 0 4 が表示パネル d 2 0 3 の短辺に沿って配列されている。使用者は、操作ボタン d 2 0 4 およびタッチパネルを操作することによって、スマートフォン d 2 0 1 に対する操作を行い、必要な機能呼び出して実行させることができる。

[0471] 表示パネル d 2 0 3 の別の一つの短辺の近傍には、スピーカ d 2 0 5 が配置されている。スピーカ d 2 0 5 は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。

一方、操作ボタン d 2 0 4 の近くには、筐体 d 2 0 2 の一つの側面にマイクロフォン d 2 0 6 が配置されている。マイクロフォン d 2 0 6 は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0472] 図 1 0 6 は、筐体 d 2 0 2 の内部に収容された回路アセンブリ d 1 0 0 の構成を示す図解的な平面図である。回路アセンブリ d 1 0 0 は、前述した実装基板 d 9（前述した多層基板であってもよい）と、実装基板 d 9 の実装面 d 9 A に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（IC）d 2 1 2 - d 2 2 0 と、複数のチップ部品とを含む。複数の IC は、伝送処理 IC d 2 1 2、ワンセグ TV 受信 IC d 2 1 3、GPS 受信 IC d 2 1 4、FM チューナ IC d 2 1 5、電源 IC d 2 1 6、フラッシュメモリ d 2 1 7、マイクロコンピュータ d 2 1 8、電源 IC d 2 1 9 およびベースバンド IC d 2 2 0 を含む。複数のチップ部品（第 4 参考例のチップ部品に相当する）は、チップインダクタ d 2 2 1、d 2 2 5、d 2 3 5、チップ抵抗器 d 2 2 2、d 2 2 4、d 2 3 3、チップキャパシタ d 2 2 7、d 2 3 0、d 2 3 4、およびチップダイオード d 2 2 8、d 2 3 1 を含む。

[0473] 伝送処理 IC d 2 1 2 は、表示パネル d 2 0 3 に対する表示制御信号を生成し、かつ表示パネル d 2 0 3 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル d 2 0 3 との接続のために、伝送処理 IC d 2 1 2 には、フレキシブル配線 2 0 9 が接続されている。ワンセグ TV 受信 IC d 2 1 3 は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグ TV 受信 IC d 2 1 3 の近傍には、複数のチップインダクタ d 2 2 1 と、複数のチップ抵抗器 d 2 2 2 とが配置されている。ワンセグ TV 受信 IC d 2 1 3、チップインダクタ d 2 2 1 およびチップ抵抗器 d 2 2 2 は、ワンセグ放送受信回路 d 2 2 3 を構成している。チップインダクタ d 2 2 1 およびチップ抵抗器 d 2 2 2 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 d 2 2

3に高精度な回路定数を与える。

- [0474] GPS受信IC d 2 1 4は、GPS衛星からの電波を受信してスマートフォン d 2 0 1の位置情報を出力する電子回路を内蔵している。FMチューナIC d 2 1 5は、その近傍において実装基板 d 9に実装された複数のチップ抵抗器 d 2 2 4および複数のチップインダクタ d 2 2 5とともに、FM放送受信回路 d 2 2 6を構成している。チップ抵抗器 d 2 2 4およびチップインダクタ d 2 2 5は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路 d 2 2 6に高精度な回路定数を与える。
- [0475] 電源IC d 2 1 6の近傍には、複数のチップキャパシタ d 2 2 7および複数のチップダイオード d 2 2 8が実装基板 d 9の実装面に実装されている。電源IC d 2 1 6は、チップキャパシタ d 2 2 7およびチップダイオード d 2 2 8とともに、電源回路 d 2 2 9を構成している。フラッシュメモリ d 2 1 7は、オペレーティングシステムプログラム、スマートフォン d 2 0 1の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。
- [0476] マイクロコンピュータ d 2 1 8は、CPU、ROMおよびRAMを内蔵しており、各種の演算処理を実行することにより、スマートフォン d 2 0 1の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ d 2 1 8の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。電源IC d 2 1 9の近くには、複数のチップキャパシタ d 2 3 0および複数のチップダイオード d 2 3 1が実装基板 d 9の実装面に実装されている。電源IC d 2 1 9は、チップキャパシタ d 2 3 0およびチップダイオード d 2 3 1とともに、電源回路 d 2 3 2を構成している。
- [0477] ベースバンドIC d 2 2 0の近くには、複数のチップ抵抗器 d 2 3 3、複数のチップキャパシタ d 2 3 4、および複数のチップインダクタ d 2 3 5が、実装基板 d 9の実装面 d 9 Aに実装されている。ベースバンドIC d 2 2 0は、チップ抵抗器 d 2 3 3、チップキャパシタ d 2 3 4およびチップインダ

クタ d 2 3 5 とともに、ベースバンド通信回路 d 2 3 6 を構成している。ベースバンド通信回路 d 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

[0478] このような構成によって、電源回路 d 2 2 9、d 2 3 2 によって適切に調整された電力が、伝送処理 IC d 2 1 2、GPS 受信 IC d 2 1 4、ワンセグ放送受信回路 d 2 2 3、FM 放送受信回路 d 2 2 6、ベースバンド通信回路 d 2 3 6、フラッシュメモリ d 2 1 7 およびマイクロコンピュータ d 2 1 8 に供給される。マイクロコンピュータ d 2 1 8 は、伝送処理 IC d 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 IC d 2 1 2 から表示パネル d 2 0 3 に表示制御信号を出力して表示パネル d 2 0 3 に各種の表示を行わせる。

[0479] タッチパネルまたは操作ボタン d 2 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 d 2 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル d 2 0 3 に出力し、受信された音声をスピーカ d 2 0 5 から音響化させるための演算処理が、マイクロコンピュータ d 2 1 8 によって実行される。また、スマートフォン d 2 0 1 の位置情報が必要とされるときには、マイクロコンピュータ d 2 1 8 は、GPS 受信 IC d 2 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0480] さらに、タッチパネルまたは操作ボタン d 2 0 4 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ d 2 1 8 は、FM 放送受信回路 d 2 2 6 を起動し、受信された音声をスピーカ d 2 0 5 から出力させるための演算処理を実行する。フラッシュメモリ d 2 1 7 は、通信によって取得したデータの記憶や、マイクロコンピュータ d 2 1 8 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ d 2 1 8 は、必要に応じて、フラッシュメモリ d 2 1 7 に対してデータを書き込み、またフラッシュメモリ d 2 1 7 からデータを読み出す。

[0481] 電話通信またはデータ通信の機能は、ベースバンド通信回路 d 2 3 6 によって実現される。マイクロコンピュータ d 2 1 8 は、ベースバンド通信回路 d 2 3 6 を制御して、音声またはデータを送受信するための処理を行う。＜第 5 参考例に係る発明＞（１）第 5 参考例に係る発明の特徴 たとえば、第 5 参考例に係る発明の特徴は、以下の E 1 ～E 1 3 である。（E 1）基板上に複数の素子要素を含む素子を形成する工程と、前記複数の素子要素をそれぞれ切り離し可能に外部接続電極に接続するための複数のヒューズを形成する工程と、前記基板上に前記素子を外部接続するための前記外部接続電極を無電解めっきによって形成する工程とを含む、チップ部品の製造方法。

[0482] この方法によれば、外部接続電極を無電解めっきによって形成するので、外部接続電極を電解めっきによって形成する場合に比べて、電極形成工程の工程数を削減してチップ部品の生産性を向上できる。さらに、無電解めっきの場合には、電解めっきで必要とされるレジストマスクが不要であることから、レジストマスクの位置ずれによる電極形成位置のずれが生じないので、電極の形成位置精度を向上して歩留まりを向上できる。また、この方法によれば、一つまたは複数のヒューズを選択して切断することにより、素子における複数の素子要素の組み合わせパターンを任意のパターンとすることができるので、素子の電気的特性が様々なチップ部品を共通の設計で実現することができる。（E 2）前記外部接続電極が、N i 層と、A u 層とを含み、前記 A u 層が最表面に露出している、E 1 に記載のチップ部品の製造方法。

[0483] この方法によれば、無電解めっきによって、N i 層を形成し、N i 層上に A u 層を形成することで、外部接続電極を形成することができる。そして、このような外部接続電極では、N i 層の表面が A u 層によって覆われているので、N i 層が酸化することを防止できる。（E 3）前記外部接続電極が、前記 N i 層と前記 A u 層との間に介装された P d 層をさらに含む、E 2 に記載のチップ部品の製造方法。

[0484] この方法によれば、無電解めっきによって、N i 層を形成し、N i 層上に P d 層を形成し、P d 層上に A u 層を形成することで、外部接続電極を形成す

ることができる。そして、このような外部接続電極では、Au層を薄くすることによってAu層に貫通孔（ピンホール）ができてしまっても、Ni層とAu層との間に介装されたPd層が当該貫通孔を塞いでいるので、当該貫通孔からNi層が外部に露出されて酸化することを防止できる。（E4）前記素子要素が抵抗体であり、前記チップ部品がチップ抵抗器である、E1に記載のチップ部品の製造方法。

[0485] この方法によれば、このチップ部品（チップ抵抗器）では、一つまたは複数のヒューズを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体を組み合わせることによって、様々な抵抗値のチップ抵抗器を共通の設計で実現することができる。（E5）前記抵抗体を形成する工程が、前記基板の表面上に抵抗体膜を形成する工程と、前記抵抗体膜に接するように配線膜を形成する工程と、前記抵抗体膜および前記配線膜をパターニングすることにより複数の前記抵抗体を形成する工程とを含む、E4に記載のチップ部品の製造方法。

[0486] この方法によれば、抵抗体膜において隣り合う配線膜の間の部分が抵抗体となるので、抵抗体膜に配線膜を積層して抵抗体膜および配線膜をパターニングするだけで複数の抵抗体を簡易に形成することができる。（E6）前記抵抗体膜および前記配線膜をパターニングする工程において、前記ヒューズが形成される、E5に記載のチップ部品の製造方法。

[0487] この方法によれば、抵抗体膜および配線膜をパターニングすることによって、複数の抵抗体とともにヒューズも一括して形成することができる。（E7）前記配線膜が、前記外部接続電極を形成すべきパッドを含み、前記パッド上に前記外部接続電極が形成される、E6に記載のチップ部品の製造方法。

この方法によれば、配線膜のパッドを無電解めっきすることによって当該パッド上に外部接続電極を形成することができる。（E8）前記素子要素がキャパシタ要素であり、前記チップ部品がチップコンデンサである、E1に記載のチップ部品の製造方法。

- [0488] この方法によれば、このチップ部品（チップコンデンサ）では、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。（E 9）前記キャパシタ要素を形成する工程が、前記基板の表面上に容量膜を形成する工程と、前記容量膜に接する電極膜を形成する工程と、前記電極膜を複数の電極膜部分に分割することにより、前記複数の電極膜部分に対応した複数のキャパシタ要素を形成する工程とを含む、E 8に記載のチップ部品の製造方法。
- [0489] この方法によれば、電極膜部分の数に応じた複数のキャパシタ要素を形成することができる。（E 10）前記電極膜が、前記外部接続電極を形成すべきパッドを含み、前記パッド上に前記外部接続電極が形成される、E 9に記載のチップ部品の製造方法。この方法によれば、電極膜のパッドを無電解めっきすることによって当該パッド上に外部接続電極を形成することができる。（E 11）前記基板上に前記素子を覆い、前記パッドを露出させる保護膜を形成する工程をさらに含み、前記保護膜から露出されたパッド上に前記外部接続電極が形成される、E 7またはE 10に記載のチップ部品の製造方法。
- [0490] この方法によれば、保護膜から露出されたパッドを無電解めっきすることによって、当該パッド上だけに外部接続電極を形成することができる。（E 12）前記素子要素がインダクタ要素であり、前記チップ部品がチップインダクタである、E 1に記載のチップ部品の製造方法。この方法によれば、このチップ部品（チップインダクタ）では、一つまたは複数のヒューズを選択して切断することにより、複数のインダクタ要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップインダクタを共通の設計で実現することができる。（E 13）前記素子要素がダイオード要素であり、前記チップ部品がチップダイオードである、E 1に記載のチップ部品の製造方法。

[0491] この方法によれば、このチップ部品（チップダイオード）では、一つまたは複数のヒューズを選択して切断することにより、複数のダイオード要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップダイオードを共通の設計で実現することができる。（２）第５参考例に係る発明の実施形態 以下では、第５参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図１０７～図１３０で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

[0492] 図１０７（ａ）は、第５参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図であり、図１０７（ｂ）は、チップ抵抗器が実装基板に実装された状態を示す模式的な断面図である。このチップ抵抗器 $e1$ は、微小なチップ部品であり、図１０７（ａ）に示すように、直方体形状をなしている。チップ抵抗器 $e1$ の平面形状は、矩形である。チップ抵抗器 $e1$ の寸法に関し、たとえば、長さ L （長辺 $e81$ の長さ）が約 0.6 mm であり、幅 W （短辺 $e82$ の長さ）が約 0.3 mm であり、厚さ T が約 0.2 mm である。

[0493] このチップ抵抗器 $e1$ は、基板上に多数個のチップ抵抗器 $e1$ を格子状に形成してから当該基板に溝を形成した後、裏面研磨（または当該基板を溝で分断）して個々のチップ抵抗器 $e1$ に分離することによって得られる。チップ抵抗器 $e1$ は、チップ抵抗器 $e1$ の本体を構成する基板 $e2$ と、一对の外部接続電極となる第１接続電極 $e3$ および第２接続電極 $e4$ と、第１接続電極 $e3$ および第２接続電極 $e4$ によって外部接続される素子 $e5$ とを主に備えている。

[0494] 基板 $e2$ は、略直方体のチップ形状である。基板 $e2$ において、図１０７（ａ）における上面は、表面 $e2A$ である。表面 $e2A$ は、基板 $e2$ において素子 $e5$ が形成される面（素子形成面）であり、略長方形形状である。基板 $e2$ の厚さ方向において表面 $e2A$ とは反対側の面は、裏面 $e2B$ である。表面 $e2A$ と裏面 $e2B$ とは、ほぼ同形状であり、互いに平行である。ただし

、裏面 e 2 B は、表面 e 2 A よりも大きい。そのため、表面 e 2 A に直交する方向から見た平面視において、表面 e 2 A は、裏面 e 2 B の内側におさまる。表面 e 2 A における一对の長辺 e 8 1 および短辺 e 8 2 によって区画された矩形状の端縁を、縁部 e 8 5 ということにし、裏面 e 2 B における一对の長辺 e 8 1 および短辺 e 8 2 によって区画された矩形状の端縁を、縁部 e 9 0 ということにする。

[0495] 基板 e 2 は、表面 e 2 A および裏面 e 2 B 以外に、複数の側面（側面 e 2 C、側面 e 2 D、側

面 e 2 E および側面 e 2 F）を有している。当該複数の側面は、表面 e 2 A および裏面 e 2 B のそれぞれに交差（詳しくは、直交）して延びて、表面 e 2 A および裏面 e 2 B の間を繋いでいる。側面 e 2 C は、表面 e 2 A および裏面 e 2 B における長手方向一方側（図 107（a）における左手前側）の短辺 e 8 2 間に架設されていて、側面 e 2 D は、表面 e 2 A および裏面 e 2 B における長手方向他方側（図 107（a）における右奥側）の短辺 e 8 2 間に架設されている。側面 e 2 C および側面 e 2 D は、当該長手方向における基板 e 2 の両端面である。側面 e 2 E は、表面 e 2 A および裏面 e 2 B における短手方向一方側（図 107（a）における左奥側）の長辺 e 8 1 間に架設されていて、側面 e 2 F は、表面 e 2 A および裏面 e 2 B における短手方向他方側（図 107（a）における右手前側）の長辺 e 8 1 間に架設されている。側面 e 2 E および側面 e 2 F は、当該短手方向における基板 e 2 の両端面である。側面 e 2 C および側面 e 2 D のそれぞれは、側面 e 2 E および側面 e 2 F のそれぞれと交差（詳しくは、直交）している。

[0496] 以上により、表面 e 2 A ～側面 e 2 F において隣り合うもの同士は、略直角を成している。側面 e 2 C、側面 e 2 D、側面 e 2 E および側面 e 2 F のそれぞれ（以下では、「各側面」ということにする）は、表面 e 2 A 側の粗面領域 S と、裏面 e 2 B 側の筋状パターン領域 P とを有している。各側面は、粗面領域 S では、図 107（a）の細かいドットで示したように、不規則パターンのざらざらした粗面になっている。各側面は、筋状パターン領域 P

では、後述するダイシングソーの研削跡をなす多数の筋（ソーマーク）Vが規則的なパターンで残っている。このように、各側面に粗面領域Sおよび筋状パターン領域Pが存在するのは、チップ抵抗器e 1の製造工程によるからであり、詳しくは、追って説明する。

[0497] 各側面において、粗面領域Sは、表面e 2 A側の略半分を占めていて、筋状パターン領域Pは、裏面e 2 B側の略半分を占めている。各側面において、筋状パターン領域Pが粗面領域Sよりも基板e 2の外方（平面視における基板e 2の外側）にはみ出ており、これにより、粗面領域Sと筋状パターン領域Pとの間に、段差Nが形成されている。段差Nは、粗面領域Sの下端縁と筋状パターン領域Pの上端縁との間をつないで表面e 2 Aおよび裏面e 2 Bと平行に延びている。各側面の段差Nはつながっていて、全体として、平面視で表面e 2 Aの縁部e 8 5と裏面e 2 Bの縁部e 9 0との間に位置する矩形枠体状をなしている。

[0498] このように各側面に段差Nが設けられているので、前述したように、裏面e 2 Bは、表面e 2 Aよりも大きい。基板e 2では、表面e 2 Aおよび側面e 2 C～e 2 Fのそれぞれの全域（各側面では粗面領域Sおよび筋状パターン領域Pの両方）がパッシベーション膜e 2 3で覆われている。そのため、厳密には、図107（a）では、表面e 2 Aおよび側面e 2 C～e 2 Fのそれぞれの全域は、パッシベーション膜e 2 3の内側（裏側）に位置していて、外部に露出されていない。ここで、パッシベーション膜e 2 3において、表面e 2 Aを覆う部分を表面被覆部e 2 3 Aといい、側面e 2 C～e 2 Fのそれぞれを覆う部分を側面被覆部e 2 3 Bということにする。

[0499] さらに、チップ抵抗器e 1は、樹脂膜e 2 4を有している。樹脂膜e 2 4は、パッシベーション膜e 2 3上に形成されており、表面e 2 Aの全域を少なくとも覆う保護膜（保護樹脂膜）である。パッシベーション膜e 2 3および樹脂膜e 2 4については、以降で詳説する。第1接続電極e 3および第2接続電極e 4は、基板e 2の表面e 2 A上において縁部e 8 5よりも内側の領域に形成されていて、表面e 2 A上の樹脂膜e 2 4から部分的に露出さ

れている。換言すれば、樹脂膜 e 2 4 は、第 1 接続電極 e 3 および第 2 接続電極 e 4 を露出させるように表面 e 2 A（厳密には表面 e 2 A 上のパッシベーション膜 e 2 3）を覆っている。第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれは、たとえば、Ni（ニッケル）、Pd（パラジウム）および Au（金）をこの順番で表面 e 2 A 上に積層することによって構成されている。第 1 接続電極 e 3 および第 2 接続電極 e 4 は、表面 e 2 A の長手方向に間隔を隔てて配置されており、表面 e 2 A の短手方向において長手である。図 107（a）では、表面 e 2 A において、側面 e 2 C 寄りの位置に第 1 接続電極 e 3 が設けられ、側面 e 2 D 寄りの位置に第 2 接続電極 e 4 が設けられている。

[0500] 素子 e 5 は、素子回路網であって、基板 e 2 上（表面 e 2 A 上）、詳しくは、基板 e 2 の表面 e 2 A における第 1 接続電極 e 3 と第 2 接続電極 e 4 との間の領域に形成されていて、パッシベーション膜 e 2 3（表面被覆部 e 2 3 A）および樹脂膜 e 2 4 によって上から被覆されている。この実施形態の素子 e 5 は、抵抗 e 5 6 である。抵抗 e 5 6 は、等しい抵抗値を有する複数個の（単位）抵抗 R を表面 e 2 A 上でマトリックス状に配列した抵抗回路網によって構成されている。各抵抗 R は、TiN（窒化チタン）、TiON（酸化窒化チタン）または TiSiON からなる。素子 e 5 は、後述する配線膜 e 2 2 に電氣的に接続されていて、配線膜 e 2 2 を介して第 1 接続電極 e 3 と第 2 接続電極 e 4 とに電氣的に接続されている。

[0501] 図 107（b）に示すように、第 1 接続電極 e 3 および第 2 接続電極 e 4 を実装基板 e 9 に対向させて、半田 e 1 3 によって、実装基板 e 9 における 1 対の接続端子 e 8 8 に対して電氣的かつ機械的に接続する。これによって、チップ抵抗器 e 1 を実装基板 e 9 に実装（フリップチップ接続）することができる。なお、外部接続電極として機能する第 1 接続電極 e 3 および第 2 接続電極 e 4 は、半田濡れ性の向上および信頼性の向上のために、金（Au）で形成するか、または表面に金メッキを施すことが望ましい。

[0502] 図 108 は、チップ抵抗器の平面図であり、第 1 接続電極、第 2 接続電極お

よび素子の配置関係ならびに素子の平面視の構成（レイアウトパターン）を示す図である。図108を参照して、抵抗回路網である素子e5は、行方向（基板e2の長手方向）に沿って配列された8個の抵抗体Rと、列方向（基板e2の幅方向）に沿って配列された44個の抵抗体Rとで構成された合計352個の抵抗体Rを有している。これらの抵抗体Rは、素子e5の抵抗回路網を構成する複数の素子要素である。

[0503] これら多数個の抵抗体Rが1個～64個の所定個数毎にまとめられて電氣的に接続されることによって、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、導体膜D（導体で形成された配線膜）で所定の態様に接続されている。さらに、基板e2の表面e2Aには、抵抗回路を素子e5に対して電氣的に組み込んだり、または、素子e5から電氣的に分離したりするために切断（溶断）可能な複数のヒューズ（ヒューズ）Fが設けられている。複数のヒューズFおよび導体膜Dは、第2接続電極e3の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズFおよび導体膜Dが隣接するように配置され、その配列方向が直線状になっている。複数のヒューズFは、複数種類の抵抗回路（抵抗回路毎の複数の抵抗体R）のそれぞれを第2接続電極e3に対して切断可能（切り離し可能）に接続している。

[0504] 図109Aは、図108に示す素子の一部分を拡大して描いた平面図である。図109Bは、素子における抵抗体の構成を説明するために描いた図109AのB-Bに沿う長さ方向の縦断面図である。図109Cは、素子における抵抗体の構成を説明するために描いた図109AのC-Cに沿う幅方向の縦断面図である。図109A、図109Bおよび図109Cを参照して、抵抗体Rの構成について説明をする。

[0505] チップ抵抗器e1は、前述した配線膜e22、パッシベーション膜e23および樹脂膜e24の他に、絶縁層e20と抵抗体膜e21とをさらに備えている（図109Bおよび図109C参照）。絶縁層e20、抵抗体膜e21、配線膜e22、パッシベーション膜e23および樹脂膜e24は、基板e

2（表面e2A）上に形成されている。絶縁層e20は、 SiO_2 （酸化シリコン）からなる。絶縁層e20は、基板e2の表面e2Aの全域を覆っている。絶縁層e20の厚さは、約10000Åである。

[0506] 抵抗体膜e21は、絶縁層e20上に形成されている。抵抗体膜e21は、 TiN 、 TiON または TiSiON により形成されている。抵抗体膜e21の厚さは、約2000Åである。抵抗体膜e21は、第1接続電極e3と第2接続電極e4との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ラインe21A」という）を構成していて、抵抗体膜ラインe21Aは、ライン方向に所定の位置で切断されている場合がある（図109A参照）。

[0507] 抵抗体膜ラインe21A上には、配線膜e22が積層されている。配線膜e22は、 Al （アルミニウム）またはアルミニウムと Cu （銅）との合金（ AlCu 合金）からなる。配線膜e22の厚さは、約8000Åである。配線膜e22は、抵抗体膜ラインe21A上に、ライン方向に一定間隔Rを開けて積層されていて、抵抗体膜ラインe21Aに接している。

[0508] この構成の抵抗体膜ラインe21Aおよび配線膜e22の電気的特徴を回路記号で示すと、図110の通りである。すなわち、図110（a）に示すように、所定間隔Rの領域の抵抗体膜ラインe21A部分が、それぞれ、一定の抵抗値rを有する1つの抵抗体Rを形成している。そして、配線膜e22が積層された領域では、配線膜e22が隣り合う抵抗体R同士を電氣的に接続することによって、当該配線膜e22で抵抗体膜ラインe21Aが短絡されている。よって、図110（b）に示す抵抗rの抵抗体Rの直列接続からなる抵抗回路が形成されている。

[0509] また、隣接する抵抗体膜ラインe21A同士は抵抗体膜e21および配線膜e22で接続されているから、図109Aに示す素子e5の抵抗回路網は、図110（c）に示す（前述した抵抗体Rの単位抵抗からなる）抵抗回路を構成している。このように、抵抗体膜e21および配線膜e22は、抵抗体Rや抵抗回路（つまり素子e5）を構成している。そして、各抵抗体Rは、

抵抗体膜ライン e 2 1 A（抵抗体膜 e 2 1）と、抵抗体膜ライン e 2 1 A 上にライン方向に一定間隔をあけて積層された複数の配線膜 e 2 2 とを含み、配線膜 e 2 2 が積層されていない一定間隔 R 部分の抵抗体膜ライン e 2 1 A が、1 個の抵抗体 R を構成している。抵抗体 R を構成している部分における抵抗体膜ライン e 2 1 A は、その形状および大きさが全て等しい。よって、基板 e 2 上にマトリックス状に配列された多数個の抵抗体 R は、等しい抵抗値を有している。

[0510] また、抵抗体膜ライン e 2 1 A 上に積層された配線膜 e 2 2 は、抵抗体 R を形成するとともに、複数個の抵抗体 R を接続して抵抗回路を構成するための導体膜 D の役目も果たしている（図 1 0 8 参照）。図 1 1 1（a）は、図 1 0 8 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 1 1 1（b）は、図 1 1 1（a）の B-B に沿う断面構造を示す図である。

[0511] 図 1 1 1（a）および（b）に示すように、前述したヒューズ F および導体膜 D も、抵抗体 R を形成する抵抗体膜 e 2 1 上に積層された配線膜 e 2 2 により形成されている。すなわち、抵抗体 R を形成する抵抗体膜ライン e 2 1 A 上に積層された配線膜 e 2 2 と同じレイヤーに、配線膜 e 2 2 と同じ金属材料である A l または A l C u 合金によってヒューズ F および導体膜 D が形成されている。なお、配線膜 e 2 2 は、前述したように、抵抗回路を形成するために、複数個の抵抗体 R を電氣的に接続する導体膜 D としても用いられている。

[0512] つまり、抵抗体膜 e 2 1 上に積層された同一レイヤーにおいて、抵抗体 R を形成するための配線膜や、ヒューズ F や、導体膜 D や、さらには、素子 e 5 を第 1 接続電極 e 3 および第 2 接続電極 e 4 に接続するための配線膜が、配線膜 e 2 2 として、同一の金属材料（A l または A l C u 合金）を用いて形成されている。なお、ヒューズ F を配線膜 e 2 2 と異ならせている（区別している）のは、ヒューズ F が切断しやすいように細く形成されていること、および、ヒューズ F の周囲に他の回路要素が存在しない

ように配置されていることによるからである。

[0513] ここで、配線膜 e 2 2 において、ヒューズ F が配置された領域を、トリミング対象領域 X ということにする（図 1 0 8 および図 1 1 1 (a) 参照）。トリミング対象領域 X は、第 2 接続電極 e 3 の内側辺沿いの直線状領域であって、トリミング対象領域 X には、ヒューズ F だけでなく、導体膜 D も配置されている。また、トリミング対象領域 X の配線膜 e 2 2 の下方にも抵抗体膜 e 2 1 が形成されている（図 1 1 1 (b) 参照）。そして、ヒューズ F は、配線膜 e 2 2 において、トリミング対象領域 X 以外の部分よりも配線間距離が大きい（周囲から離れた）配線である。

[0514] なお、ヒューズ F は、配線膜 e 2 2 の一部だけでなく、抵抗体 R（抵抗体膜 e 2 1）の一部と抵抗体膜 e 2 1 上の配線膜 e 2 2 の一部とのまとまり（ヒューズ素子）を指していてもよい。また、ヒューズ F は、導体膜 D と同一のレイヤーを用いる場合のみを説明したが、導体膜 D では、その上に更に別の導体膜を積層するようにし、導体膜 D 全体の抵抗値を下げるようにしてもよい。なお、この場合であっても、ヒューズ F の上に導体膜を積層しなければ、ヒューズ F の溶断性が悪くなることはない。

[0515] 図 1 1 2 は、第 5 参考例の実施形態に係る素子の電気回路図である。図 1 1 2 を参照して、素子 e 5 は、基準抵抗回路 R 8 と、抵抗回路 R 6 4、2 つの抵抗回路 R 3 2、抵抗回路 R 1 6、抵抗回路 R 8、抵抗回路 R 4、抵抗回路 R 2、抵抗回路 R 1、抵抗回路 R / 2、抵抗回路 R / 4、抵抗回路 R / 8、抵抗回路 R / 1 6、抵抗回路 R / 3 2 とを第 1 接続電極 e 3 からこの順番で直列接続することによって構成されている。基準抵抗回路 R 8 および抵抗回路 R 6 4 ~ R 2 のそれぞれは、自身の末尾の数（R 6 4 の場合には「6 4」）と同数の抵抗体 R を直列接続することで構成されている。抵抗回路 R 1 は、1 つの抵抗体 R で構成されている。抵抗回路 R / 2 ~ R / 3 2 のそれぞれは、自身の末尾の数（R / 3 2 の場合には「3 2」）と同数の抵抗体 R を並列接続することで構成されている。抵抗回路の末尾の数の意味については、後述する図 1 1 3 および図 1 1 4 においても同じである。

- [0516] そして、基準抵抗回路 R 8 以外の抵抗回路 R 6 4 ~ 抵抗回路 R / 3 2 のそれぞれに対して、ヒューズ F が 1 つずつ並列的に接続されている。ヒューズ F 同士は、直接または導体膜 D (図 1 1 1 (a) 参照) を介して直列に接続されている。図 1 1 2 に示すように全てのヒューズ F が溶断されていない状態では、素子 e 5 は、第 1 接続電極 e 3 および第 2 接続電極 e 4 間に設けられた 8 個の抵抗体 R の直列接続からなる基準抵抗回路 R 8 の抵抗回路を構成している。たとえば、1 個の抵抗体 R の抵抗値 r を $r = 8 \Omega$ とすれば、 $8 r = 64 \Omega$ の抵抗回路 (基準抵抗回路 R 8) により第 1 接続電極 e 3 および第 2 接続電極 e 4 が接続されたチップ抵抗器 e 1 が構成されている。
- [0517] また、全てのヒューズ F が溶断されていない状態では、基準抵抗回路 R 8 以外の複数種類の抵抗回路は、短絡された状態となっている。つまり、基準抵抗回路 R 8 には、12 種類 13 個の抵抗回路 R 6 4 ~ R / 3 2 が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ F により短絡されているので、電氣的に見ると、各抵抗回路は素子 e 5 に組み込まれてはいない。
- [0518] この実施形態に係るチップ抵抗器 e 1 では、要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズ F が溶断された抵抗回路は、素子 e 5 に組み込まれることになる。よって、素子 e 5 の全体の抵抗値を、溶断されたヒューズ F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値とすることができる。
- [0519] 特に、複数種類の抵抗回路は、等しい抵抗値を有する抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個...と、公比が 2 となる等比数列的に抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の抵抗体 R が並列に 2 個、4 個、8 個、16 個...と、公比が 2 となる等比数列的に抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。そのため、ヒューズ F (前述したヒューズ素子も含む) を選択的に溶断することにより、素子 e 5 (抵抗 e 5 6) 全体の抵抗値を

、細かく、かつデジタル的に、任意の抵抗値となるように調整して、チップ抵抗器 e 1 において所望の値の抵抗を発生させることができる。

[0520] 図 1 1 3 は、第 5 参考例の他の実施形態に係る素子の電気回路図である。

図 1 1 2 に示すように基準抵抗回路 R 8 および抵抗回路 R 6 4 ~ 抵抗回路 R / 3 2 を直列接続して素子 e 5 を構成する代わりに、図 1 1 3 に示すように素子 e 5 を構成してもかまわない。詳しくは、第 1 接続電極 e 3 および第 2 接続電極 e 4 の間で、基準抵抗回路 R / 1 6 と、12 種類の抵抗回路 R / 1 6、R / 8、R / 4、R / 2、R 1、R 2、R 4、R 8、R 1 6、R 3 2、R 6 4、R 1 2 8 の並列接続回路との直列接続回路によって素子 e 5 を構成してもよい。

[0521] この場合、基準抵抗回路 R / 1 6 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ F が直列に接続されている。全てのヒューズ F が溶断されていない状態では、各抵抗回路は素子 e 5 に対して電氣的に組み込まれている。要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザ光で溶断すれば、溶断されたヒューズ F に対応する抵抗回路（ヒューズ F が直列に接続された抵抗回路）は、素子 e 5 から電氣的に分離されるので、チップ抵抗器 e 1 全体の抵抗値を調整することができる。

[0522] 図 1 1 4 は、第 5 参考例のさらに他の実施形態に係る素子の電気回路図である。図 1 1 4 に示す素子 e 5 の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。直列接続される複数種類の抵抗回路には、先の実施形態と同様、抵抗回路毎に、並列にヒューズ F が接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズ F で短絡状態とされている。従って、ヒューズ F を溶断すると、その溶断されるヒューズ F で短絡されていた抵抗回路が、素子 e 5 に電氣的に組み込まれることになる。

[0523] 一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズ F が接続されている。従って、ヒューズ F を溶断することにより、溶断されたヒューズ F が直列に接続されている抵抗回路を、抵抗回路の並列接続から

電氣的に切り離すことができる。かかる構成とすれば、たとえば、 $1\text{ k}\Omega$ 以下の小抵抗は並列接続側で作り、 $1\text{ k}\Omega$ 以上の抵抗回路を直列接続側で作れば、数 Ω の小抵抗から数 $\text{M}\Omega$ の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗の回路網を用いて作ることができる。つまり、チップ抵抗器e 1では、一つまたは複数のヒューズFを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体Rを組み合わせることによって、様々な抵抗値のチップ抵抗器e 1を共通の設計で実現することができる。

[0524] 以上のように、このチップ抵抗器e 1では、トリミング対象領域Xにおいて、複数の抵抗体R（抵抗回路）の接続状態が変更可能である。図115は、チップ抵抗器の模式的な断面図である。次に、図115を参照して、チップ抵抗器e 1についてさらに詳しく説明する。なお、説明の便宜上、図115では、前述した素子e 5については簡略化して示しているとともに、基板e 2以外の各要素にはハッチングを付している。

[0525] ここでは、前述したパッシベーション膜e 23および樹脂膜e 24について説明する。パッシベーション膜e 23は、たとえばSiN（窒化シリコン）からなり、その厚さは、 $1000\text{ \AA} \sim 5000\text{ \AA}$ （ここでは、約 $3000\text{ \AA}$ ）である。パッシベーション膜e 23は、前述したように、表面e 2Aの全域に亘って設けられた表面被覆部e 23Aと、側面e 2C～e 2Fのそれぞれにおける全域に亘って設けられた側面被覆部e 23Bとを含む。表面被覆部e 23Aは、抵抗体膜e 21および抵抗体膜e 21上の各配線膜e 22（つまり、素子e 5）を表面（図115の上側）から被覆していて、素子e 5における各抵抗体Rの上面を覆っている。そのため、表面被覆部e 23Aは、前述したトリミング対象領域Xにおける配線膜e 22も覆っている（図111（b）参照）。また、表面被覆部e 23Aは、素子e 5（配線膜e 22および抵抗体膜e 21）に接しており、抵抗体膜e 21以外の領域では絶縁層e 20にも接している。これにより、表面被覆部e 23Aは、表面e 2

A全域を覆って素子e 5および絶縁層e 20を保護する保護膜として機能している。また、表面e 2 Aでは、表面被覆部e 23 Aによって、抵抗体R間における配線膜e 22以外での短絡（隣り合う抵抗体膜ラインe 21 A間における短絡）が防止されている。

[0526] 一方、側面e 2 C～e 2 Fのそれぞれに設けられた側面被覆部e 23 Bは、側面e 2 C～e 2 Fのそれぞれを保護する保護層として機能している。側面被覆部e 23 Bは、側面e 2 C～e 2 Fのそれぞれにおいて、粗面領域Sおよび筋状パターン領域Pを全て覆っており、粗面領域Sと筋状パターン領域Pとの間の段差Nも漏れなく覆っている。また、側面e 2 C～e 2 Fのそれぞれと表面e 2 Aとの境界は、前述した縁部e 85であるが、パッシベーション膜e 23は、当該境界（縁部e 85）も覆っている。パッシベーション膜e 23において、縁部e 85を覆っている部分（縁部e 85に重なっている部分）を端部e 23 Cということにする。

[0527] 樹脂膜e 24は、パッシベーション膜e 23とともにチップ抵抗器e 1の表面e 2 Aを保護するものであり、ポリイミド等の樹脂からなる。樹脂膜e 24は、平面視における表面e 2 Aにおいて第1接続電極e 3および第2接続電極e 4以外の領域を全て覆うように、パッシベーション膜e 23の表面被覆部e 23 A（前述した端部e 23 Cも含む）上に形成されている。そのため、樹脂膜e 24は、表面e 2 A上の表面被覆部e 23 Aの表面（表面被覆部e 23 Aに被覆された素子e 5やヒューズFも含む）の全域を被覆している。一方で、樹脂膜e 24は、側面e 2 C～e 2 Fを覆っていない。そのため、樹脂膜e 24の外周における縁e 24 Aは、平面視において側面被覆部e 23 Bと整合しており、縁e 24 Aにおける樹脂膜e 24の側端面e 24 Bは、側面被覆部e 23 B（厳密には、各側面の粗面領域Sにおける側面被覆部e 23 B）と面一となって、基板e 2の厚さ方向に延びている。樹脂膜e 24の表面e 24 Cは、基板e 2の表面e 2 Aと平行となるように平坦に延びている。チップ抵抗器e 1における基板e 2の表面e 2 A側に応力がかった場合に、樹脂膜e 24の表面e 24 C（特に、第1接続電極e 3と第

2 接続電極 e 4 との間の領域の表面 e 2 4 C) が、応力分散面として機能して、当該応力を分散する。

[0528] また、樹脂膜 e 2 4 において、平面視で離れた 2 つの位置には、開口 e 2 5 が 1 つずつ形成されている。各開口 e 2 5 は、樹脂膜 e 2 4 およびパッシベーション膜 e 2 3 (表面被覆部 e 2 3 A) を、それぞれの厚さ方向において連続して貫通する貫通孔である。そのため、開口 e 2 5 は、樹脂膜 e 2 4 だけでなくパッシベーション膜 e 2 3 にも形成されている。各開口 e 2 5 から、配線膜 e 2 2 の一部が露出されている。配線膜 e 2 2 において各開口 e 2 5 から露出された部分は、外部接続用のパッド領域 e 2 2 A (パッド) となっている。各開口 e 2 5 は、表面被覆部 e 2 3 A では、表面被覆部 e 2 3 A の厚さ方向 (基板 e 2 の厚さ方向と同じ) に沿って延びていて、樹脂膜 e 2 4 では、表面被覆部 e 2 3 A 側から樹脂膜 e 2 4 の表面 e 2 4 C に向かうのに従って基板 e 2 の長手方向 (図 1 1 5 における左右方向) に徐々に広がっている。そのため、樹脂膜 e 2 4 において開口 e 2 5 を区画する区画面 e 2 4 D は、基板 e 2 の厚さ方向に対して交差する傾斜面になっている。なお、樹脂膜 e 2 4 において各開口 e 2 5 を縁取る部分には、開口 e 2 5 を前記長手方向から区画する 1 対の区画面 e 2 4 D が存在するが、これらの区画面 e 2 4 D の間隔は、表面被覆部 e 2 3 A 側から樹脂膜 e 2 4 の表面 e 2 4 C に向かうのに従って次第に広がっている。また、樹脂膜 e 2 4 において各開口 e 2 5 を縁取る部分には、開口 e 2 5 を基板 e 2 の短手方向から区画する別の 1 対の区画面 e 2 4 D が存在するが (図 1 1 5 にはあらわれていない)、これらの区画面 e 2 4 D の間隔も、表面被覆部 e 2 3 A 側から樹脂膜 e 2 4 の表面 e 2 4 C に向かうのに従って次第に広がっていてもよい。

[0529] 2 つの開口 e 2 5 のうち、一方の開口 e 2 5 は、第 1 接続電極 e 3 によって埋め尽くされ、他方の開口 e 2 5 は、第 2 接続電極 e 4 によって埋め尽くされている。第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれは、樹脂膜 e 2 4 の表面 e 2 4 C に向かって広がる開口 e 2 5 に応じて、樹脂膜 e 2 4

の表面 e 2 4 C に向かって広がっている。そのため、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれの縦断面（基板 e 2 の長手方向および厚さ方向に沿う平面で切断したときの切断面）は、基板 e 2 の表面 e 2 A 側に上底を有して樹脂膜 e 2 4 の表面 e 2 4 C 側に下底を有する台形状をなしている。また、当該下底が第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれにおける表面 e 3 A, e 4 A となるのだが、表面 e 3 A, e 4 A のそれぞれでは、開口 e 2 5 側の端部が基板 e 2 の表面 e 2 A 側へ湾曲している。なお、開口 e 2 5 が樹脂膜 e 2 4 の表面 e 2 4 C に向かって広がっていない場合（開口 e 2 5 を区画する区画面 e 2 4 D が基板 e 2 の厚さ方向に延びている）には、表面 e 3 A, e 4 A のそれぞれは、開口 e 2 5 側の端部を含む全ての領域において、基板 e 2 の表面 e 2 A に沿った平坦面になる。

[0530] また、前述したように、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれは、Ni、Pd および Au をこの順番で表面 e 2 A 上に積層することによって構成されているので、Ni 層 e 3 3、Pd 層 e 3 4 および Au 層 e 3 5 を表面 e 2 A 側からこの順で有している。そのため、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれにおいて、Ni 層 e 3 3 と Au 層 e 3 5 との間に Pd 層 e 3 4 が介装されている。第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれにおいて、Ni 層 e 3 3 は各接続電極の大部分を占めており、Pd 層 e 3 4 および Au 層 e 3 5 は、Ni 層 e 3 3 に比べて格段に薄く形成されている。Ni 層 e 3 3 は、チップ抵抗器 e 1 が実装基板 e 9 に実装された際に（図 107（b）参照）、各開口 e 2 5 のパッド領域 e 2 2 A における配線膜 e 2 2 の A 1 と、前述した半田 e 1 3 とを中継する役割を有している。

[0531] 第 1 接続電極 e 3 および第 2 接続電極 e 4 では、Ni 層 e 3 3 の表面が、Pd 層 e 3 4 を介して Au 層 e 3 5 によって覆われているので、Ni 層 e 3 3 が酸化することを防止できる。また、Au 層 e 3 5 を薄くすることによって Au 層 e 3 5 に貫通孔（ピンホール）ができてしまっても、Ni 層 e 3 3 と Au 層 e 3 5 との間に介装された Pd 層 e 3 4 が当該貫通孔を塞いでいるの

で、当該貫通孔からNi層e33が外部に露出されて酸化することを防止できる。

[0532] そして、第1接続電極e3および第2接続電極e4のそれぞれでは、Au層e35が、表面e3A、e4Aとして、最表面に露出しており、樹脂膜e24の表面e24Aにおいて開口e25から外部を臨んでいる。第1接続電極e3は、一方の開口e25を介して、この開口e25におけるパッド領域e22Aにおいて配線膜e22に対して電氣的に接続されている。第2接続電極e4は、他方の開口e25を介して、この開口e25におけるパッド領域e22Aにおいて配線膜e22に対して電氣的に接続されている。第1接続電極e3および第2接続電極e4のそれぞれでは、Ni層e33がパッド領域e22Aに対して接続されている。これにより、第1接続電極e3および第2接続電極e4のそれぞれは、素子e5に対して電氣的に接続されている。ここで、配線膜e22は、抵抗体Rのまとまり（抵抗e56）、第1接続電極e3および第2接続電極e4のそれぞれに接続された配線を形成している。

[0533] このように、開口e25が形成された樹脂膜e24およびパッシベーション膜e23は、開口e25から第1接続電極e3および第2接続電極e4を露出させた状態で表面e2Aを覆っている。そのため、樹脂膜e24の表面e24Cにおいて開口e25に露出された第1接続電極e3および第2接続電極e4を介して、チップ抵抗器e1と実装基板e9との間における電氣的接続を達成することができる（図107（b）参照）。

[0534] ここで、樹脂膜e24の厚み、つまり、基板e2の表面e2Aからの樹脂膜e24の表面e24Cまでの高さHは、第1接続電極e3および第2接続電極e4のそれぞれの（表面e2Aからの）高さJ以上である。図115では、第1の実施形態として、高さHと高さJとは同じになっていて、樹脂膜e24の表面e24Cと、第1接続電極e3および第2接続電極e4のそれぞれの表面e3A、e4Aとが面一になっている。

[0535] 図116A～図116Hは、図115に示すチップ抵抗器の製造方法を示す

図解的な断面図である。まず、図116Aに示すように、基板e2の元となる基板e30を用意する。この場合、基板e30の表面e30Aは、基板e2の表面e2Aであり、基板e30の裏面e30Bは、基板e2の裏面e2Bである。

[0536] そして、基板e30の表面e30Aを熱酸化して、表面e30Aに SiO_2 等からなる絶縁層e20を形成し、絶縁層e20上に素子e5（抵抗体Rおよび抵抗体Rに接続された配線膜e22）を形成する。具体的には、スパッタリングにより、まず、絶縁層e20の上にTiN、TiONまたはTiSiONの抵抗体膜e21を全面に形成し、さらに、抵抗体膜e21に接するように抵抗体膜e21の上にアルミニウム（Al）の配線膜e22を積層する。その後、フォトリソグラフィプロセスを用い、たとえばRIE（Reactive Ion Etching：反応性イオンエッチング）等のドライエッチングにより抵抗体膜e21および配線膜e22を選択的に除去してパターニングし、図109Aに示すように、平面視で、抵抗体膜e21が積層された一定幅の抵抗体膜ラインe21Aが一定間隔をあけて列方向に配列される構成を得る。このとき、部分的に抵抗体膜ラインe21Aおよび配線膜e22が切断された領域も形成されるとともに、前述したトリミング対象領域XにおいてヒューズFおよび導体膜Dが形成される（図108参照）。続いて、たとえばウェットエッチングにより抵抗体膜ラインe21Aの上に積層された配線膜e22を選択的に除去してパターニングする。この結果、抵抗体膜ラインe21A上に一定間隔Rをあけて配線膜e22が積層された構成の素子e5（換言すれば複数の抵抗体R）が得られる。このように、抵抗体膜e21に配線膜e22を積層して抵抗体膜e21および配線膜e22をパターニングするだけで、複数の抵抗体RとともにヒューズFも一括して簡易に形成することができる。なお、抵抗体膜e21および配線膜e22が目標寸法で形成されたか否かを確かめるために、素子e5全体の抵抗値を測定してもよい。

[0537] 図116Aを参照して、素子e5は、1枚の基板e30に形成するチップ抵抗器e1の数に応じて、基板e30の表面e30A上における多数の箇所に

形成される。基板 e 3 0 において（１つの）素子 e 5（前述した抵抗 e 5 6）が形成された１つの領域をチップ部品領域 Y というと、基板 e 3 0 の表面 e 3 0 A 上には、抵抗 e 5 6 をそれぞれ有する複数のチップ部品領域 Y（つまり、素子 e 5）が形成（設定）される。１つのチップ部品領域 Y は、完成した１つのチップ抵抗器 e 1（図 1 1 5 参照）を平面視したものと一致する。そして、基板 e 3 0 の表面 e 3 0 A において、隣り合うチップ部品領域 Y の間の領域を、境界領域 Z ということにする。境界領域 Z は、帯状をなして、平面視で格子状に延びている。境界領域 Z によって区画された１つの格子の中にチップ部品領域 Y が１つ配置されている。境界領域 Z の幅は、 $1\mu\text{m}\sim 60\mu\text{m}$ （たとえば $20\mu\text{m}$ ）と極めて狭いので、基板 e 3 0 では多くのチップ部品領域 Y を確保でき、結果としてチップ抵抗器 e 1 の大量生産が可能になる。

[0538] 次いで、図 1 1 6 A に示すように、CVD（Chemical Vapor Deposition：化学的気相成長）法によって、SiN からなる絶縁膜 e 4 5 を、基板 e 3 0 の表面 e 3 0 A の全域に亘って形成する。絶縁膜 e 4 5 は、絶縁層 e 2 0 および絶縁層 e 2 0 上の素子 e 5（抵抗体膜 e 2 1 や配線膜 e 2 2）を全て覆っていて、これらに接している。そのため、絶縁膜 e 4 5 は、前述したトリミング対象領域 X（図 1 0 8 参照）における配線膜 e 2 2 も覆っている。また、絶縁膜 e 4 5 は、基板 e 3 0 の表面 e 3 0 A において全域に亘って形成されることから、表面 e 3 0 A において、トリミング対象領域 X 以外の領域にまで延びて形成される。これにより、絶縁膜 e 4 5 は、表面 e 3 0 A（表面 e 3 0 A 上の素子 e 5 も含む）全域を保護する保護膜となる。

[0539] 次いで、図 1 1 6 B に示すように、絶縁膜 e 4 5 を全て覆うように、基板 e 3 0 の表面 e 3 0 A の全域に亘ってレジストパターン e 4 1 を形成する。レジストパターン e 4 1 には、開口 e 4 2 が形成されている。図 1 1 7 は、図 1 1 6 B の工程において第 1 溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

[0540] 図 1 1 7 を参照して、レジストパターン e 4 1 の開口 e 4 2 は、多数のチッ

チップ抵抗器 e 1（換言すれば、前述したチップ部品領域 Y）を行列状（格子状でもある）に配置した場合において平面視で隣り合うチップ抵抗器 e 1 の輪郭の間の領域（図 1 1 7 においてハッチングを付した部分であり、換言すれば、境界領域 Z）に一致（対応）している。そのため、開口 e 4 2 の全体形状は、互いに直交する直線部分 e 4 2 A および e 4 2 B を複数有する格子状になっている。

[0541] レジストパターン e 4 1 では、開口 e 4 2 において互いに直交する直線部分 e 4 2 A および e 4 2 B は、互いに直交した状態を保ちながら（湾曲することなく）つながっている。そのため、直線部分 e 4 2 A および e 4 2 B の交差部分 e 4 3 は、平面視で略 90° をなすように尖っている。図 1 1 6 B を参照して、レジストパターン e 4 1 をマスクとするプラズマエッチングにより、絶縁膜 e 4 5、絶縁層 e 2 0 および基板 e 3 0 のそれぞれを選択的に除去する。これにより、隣り合う素子 e 5（チップ部品領域 Y）の間の境界領域 Z において基板 e 3 0 の材料がエッチング（除去）される。その結果、平面視においてレジストパターン e 4 1 の開口 e 4 2 と一致する位置（境界領域 Z）には、絶縁膜 e 4 5 および絶縁層 e 2 0 を貫通して基板 e 3 0 の表面 e 3 0 A から基板 e 3 0 の厚さ途中まで到達する所定深さの第 1 溝 e 4 4 が形成される。第 1 溝 e 4 4 は、互いに対向する 1 対の側面 e 4 4 A と、当該 1 対の側面 e 4 4 A の下端（基板 e 3 0 の裏面 e 3 0 B 側の端）の間を結ぶ底面 e 4 4 B とによって区画されている。基板 e 3 0 の表面 e 3 0 A を基準とした第 1 溝 e 4 4 の深さは、完成したチップ抵抗器 e 1 の厚さ T（図 1 0 7（a）参照）の半分程度であり、第 1 溝 e 4 4 の幅（対向する側面 e 4 4 A の間隔）M は、20 μ m 前後であって、深さ方向全域に亘って一定になっている。エッチングの中でも、特にプラズマエッチングを用いることによって、第 1 溝 e 4 4 を高精度に形成することができる。

[0542] 基板 e 3 0 における第 1 溝 e 4 4 の全体形状は、平面視でレジストパターン e 4 1 の開口 e 4 2（図 1 1 7 参照）と一致する格子状になっている。そして、基板 e 3 0 の表面 e 3 0 A では、各素子 e 5 が形成されたチップ部品

領域Yのまわりを第1溝e44における矩形枠体部分（境界領域Z）が取り囲んでいる。基板e30において素子e5が形成された部分は、チップ抵抗器e1の半製品e50である。基板e30の表面e30Aでは、第1溝e44に取り囲まれたチップ部品領域Yに半製品e50が1つずつ位置していて、これらの半製品e50は、行列状に整列配置されている。

[0543] 図116Bに示すように第1溝e44が形成された後、レジストパターンe41が除去され、図116Cに示すように、ダイシングソーe47を有するダイシングマシン（図示せず）が稼動される。ダイシングソーe47は、円板形状の砥石であって、その周端面に切断歯部が形成されている。ダイシングソーe47の幅Q（厚み）は、第1溝e44の幅Mよりも小さい。ここで、第1溝e44の中央位置（互いに対向する1対の側面e44Aから等距離にある位置）に、ダイシングラインUが設定される。ダイシングソーe47は、その厚さ方向における中央位置47Aが平面視でダイシングラインUに一致した状態で、第1溝e44内をダイシングラインUに沿って移動し、その際、第1溝e44の底面e44Bから基板e30を削る。ダイシングソーe47の移動が完了すると、基板e30には、第1溝e44の底面e44Bから掘り下がった所定深さの第2溝e48が形成される。

[0544] 第2溝e48は、第1溝e44の底面e44Bから連続して、所定深さで基板e30の裏面e30B側へ窪んでいる。第2溝e48は、互いに対向する1対の側面e48Aと、当該1対の側面e48Aの下端（基板e30の裏面e30B側の端）の間を結ぶ底面e48Bとによって区画されている。第1溝e44の底面e44Bを基準とした第2溝e48の深さは、完成したチップ抵抗器e1の厚さTの半分程度であり、第2溝e48の幅（対向する側面e48Aの間隔）は、ダイシングソーe47の幅Qと同じであって、深さ方向全域に亘って一定になっている。第1溝e44および第2溝e48において、基板e30の厚さ方向に隣り合う側面e44Aと側面e48Aとの間には、当該厚さ方向に直交する方向（基板e30の表面e30Aに沿う方向）に延びる段差e49が形成されている。そのため、連続している第1溝e4

4 および第2溝 e 4 8 のまともりは、裏面 e 3 0 B 側へ向けて細くなる凸状になっている。側面 e 4 4 A が、完成したチップ抵抗器 e 1 における各側面（側面 e 2 C ～ e 2 F のそれぞれ）の粗面領域 S となり、側面 e 4 8 A が、チップ抵抗器 e 1 における各側面の筋状パターン領域 P となり、段差 e 4 9 が、チップ抵抗器 e 1 における各側面の段差 N となる。

[0545] ここで、エッチングによって第1溝 e 4 4 を形成することによって、各側面 e 4 4 A および底面 e 4 4 B は、不規則パターンのざらざらした粗面になっている。一方、ダイシングソー e 4 7 によって第2溝 e 4 8 を形成することによって、各側面 e 4 8 A には、ダイシングソー e 4 7 の研削跡をなす多数の筋が規則的なパターンで残っている。この筋は、側面 e 4 8 A をエッチングしたとしても完全に消すことができず、完成したチップ抵抗器 e 1 では、前述した筋 V となる（図 1 0 7 （a）参照）。

[0546] 次に、図 1 1 6 D に示すようにマスク e 6 5 を用いたエッチングによって、絶縁膜 e 4 5 を選択的に除去する。マスク e 6 5 では、絶縁膜 e 4 5 において平面視で各パッド領域 e 2 2 A （図 1 1 5 参照）に一致する部分に、開 e 口 6 6 が形成されている。これにより、エッチングによって、絶縁膜 e 4 5 において開 e 口 6 6 と一致する部分が除去され、当該部分には、開口 e 2 5 が形成される。これにより、絶縁膜 e 4 5 は、開口 e 2 5 において各パッド領域 e 2 2 A を露出させるように形成されたことになる。1つの半製品 e 5 0 につき、開口 e 2 5 は2つ形成される。

[0547] 各半製品 e 5 0 において、絶縁膜 e 4 5 に2つの開口 e 2 5 を形成した後に、抵抗測定装置（図示せず）のプロープ e 7 0 を各開口 e 2 5 のパッド領域 e 2 2 A に接触させて、素子 e 5 の全体の抵抗値を検出する。そして、絶縁膜 e 4 5 越しにレーザ光（図示せず）を任意のヒューズ F （図 1 0 8 参照）に照射することによって、前述したトリミング対象領域 X の配線膜 e 2 2 をレーザ光でトリミングして、当該ヒューズ F を溶断する。このようにして、必要な抵抗値となるようにヒューズ F を溶断（トリミング）することによって、前述したように、半製品 e 5 0 （換言すれば、チップ抵抗器 e 1 ）全体

の抵抗値を調整できる。このとき、絶縁膜 e 4 5 が素子 e 5 を覆うカバー膜となっているので、溶断の際に生じた破片などが素子 e 5 に付着して短絡が生じることを防止できる。また、絶縁膜 e 4 5 がヒューズ F（抵抗体膜 e 2 1）を覆っていることから、レーザ光のエネルギーをヒューズ F に蓄えてヒューズ F を確実に溶断することができる。

[0548] その後、CVD法によって絶縁膜 e 4 5 上に SiN を形成し、絶縁膜 e 4 5 を厚くする。このとき、図 1 1 6 E に示すように、第 1 溝 e 4 4 および第 2 溝 e 4 8 の内周面（前述した側面 e 4 4 A、底面 e 4 4 B、側面 e 4 8 A および底面 e 4 8 B）の全域にも絶縁膜 e 4 5 が形成される。そのため、絶縁膜 e 4 5 は、前述した段差 e 4 9 上にも形成されている。第 1 溝 e 4 4 および第 2 溝 e 4 8 のそれぞれの内周面における絶縁膜 e 4 5（図 1 1 6 E に示された状態の絶縁膜 e 4 5）は、1000 Å～5000 Å（ここでは、約 3000 Å）の厚さを有している。このとき、絶縁膜 e 4 5 の一部は、各開口 e 2 5 に入り込んで開口 e 2 5 を塞いでいる。

[0549] その後、ポリイミドからなる感光性樹脂の液体を、基板 e 3 0 に対して、絶縁膜 e 4 5 の上からスプレー塗布して、図 1 1 6 E に示すように感光性樹脂の樹脂膜 e 4 6 を形成する。この際、当該液体が第 1 溝 e 4 4 および第 2 溝 e 4 8 内に入り込まないように、平面視で第 1 溝 e 4 4 および第 2 溝 e 4 8 だけを覆うパターンを有するマスク（図示せず）越しに、当該液体が基板 e 3 0 に対して塗布される。その結果、当該液状の感光性樹脂は、基板 e 3 0 上だけに形成され、基板 e 3 0 上において、樹脂膜 e 4 6（樹脂膜）となる。表面 e 3 0 A 上の樹脂膜 e 4 6 の表面 e 4 6 A は、表面 e 3 0 A に沿って平坦になっている。

[0550] なお、当該液体が第 1 溝 e 4 4 および第 2 溝 e 4 8 内に入り込んでいないので、第 1 溝 e 4 4 および第 2 溝 e 4 8 内には、樹脂膜 e 4 6 が形成されていない。また、感光性樹脂の液体をスプレー塗布する以外に、当該液体をスピン塗布したり、感光性樹脂からなるシートを基板 e 3 0 の表面 e 3 0 A に貼り付けたりすることによって、樹脂膜 e 4 6 を形成してもよい。

[0551] 次いで、樹脂膜 e 4 6 に熱処理（キュア処理）を施す。これにより、樹脂膜 e 4 6 の厚みが熱収縮するとともに、樹脂膜 e 4 6 が硬化して膜質が安定する。次いで、図 1 1 6 F に示すように、樹脂膜 e 4 6 をパターニングし、表面 e 3 0 A 上の樹脂膜 e 4 6 において平面視で配線膜 e 2 2 の各パッド領域 e 2 2 A（開口 e 2 5）と一致する部分を選択的に除去する。具体的には、平面視で各パッド領域 e 2 2 A に整合（一致）するパターンの開口 e 6 1 が形成されたマスク e 6 2 を用いて、樹脂膜 e 4 6 を、当該パターンで露光して現像する。これにより、各パッド領域 e 2 2 A の上方で樹脂膜 e 4 6 が分離されて開口 e 2 5 が形成される。この際、樹脂膜 e 4 6 において開口 e 2 5 を縁取っている部分が熱収縮し、当該部分において開口 e 2 5 を区画する区画面 e 4 6 B は、基板 e 3 0 の厚さ方向に対して交差する傾斜面になる。これによって、開口 e 2 5 は、前述したように、樹脂膜 e 4 6 の表面 e 4 6 A（樹脂膜 e 2 4 の表面 e 2 4 C になる）に向かうのに従って広がった状態になる。

[0552] 次いで、図示しないマスクを用いた R I E によって各パッド領域 e 2 2 A 上の絶縁膜 e 4 5 が除去されることで、各開口 e 2 5 が開放されてパッド領域 e 2 2 A が露出される。次いで、無電解めっきによって、N i、P d および A u を積層することで構成された N i / P d / A u 積層膜を各開口 e 2 5 におけるパッド領域 e 2 2 A 上に形成することによって、図 1 1 6 G に示すように、パッド領域 e 2 2 A 上に第 1 接続電極 e 3 および第 2 接続電極 e 4 を形成する。

[0553] 図 1 1 8 は、第 1 接続電極および第 2 接続電極の製造工程を説明するための図である。詳しくは、図 1 1 8 を参照して、まず、パッド領域 e 2 2 A の表面が浄化されることで、当該表面の有機物（炭素のしみ等のスマットや油脂性の汚れも含む）が除去（脱脂）される（ステップ S 1）。次いで、当該表面の酸化膜が除去される（ステップ S 2）。次いで、当該表面においてジケート処理が実施されて、当該表面における（配線膜 e 2 2 の）A l が Z n に置換される（ステップ S 3）。次いで、当該表面上の Z n が硝酸等で剥

離されて、パッド領域 e 2 2 A では、新しい A l が露出される（ステップ S 4）。

[0554] 次いで、パッド領域 e 2 2 A をめっき液に浸けることによって、パッド領域 e 2 2 A における新しい A l の表面に N i めっきが施される。これにより、めっき液中の N i が化学的に還元析出されて、当該表面に N i 層 e 3 3 が形成される（ステップ S 5）。次いで、N i 層 e 3 3 を別のめっき液に浸けることによって、当該 N i 層 e 3 3 の表面に P d めっきが施される。これにより、めっき液中の P d が化学的に還元析出されて、当該 N i 層 e 3 3 の表面に P d 層 e 3 4 が形成される（ステップ S 6）。

[0555] 次いで、P d 層 e 3 4 をさらに別のめっき液に浸けることによって、当該 P d 層 e 3 4 の表面に A u めっきが施される。これにより、めっき液中の A u が化学的に還元析出されて、当該 P d 層 e 3 4 の表面に A u 層 e 3 5 が形成される（ステップ S 7）。これによって、第 1 接続電極 e 3 および第 2 接続電極 e 4 が形成され、形成後の第 1 接続電極 e 3 および第 2 接続電極 e 4 を乾燥させると（ステップ S 8）、第 1 接続電極 e 3 および第 2 接続電極 e 4 の製造工程が完了する。なお、前後するステップの間には、半製品 e 5 0 を水で洗浄する工程が適宜実施される。また、ジンケート処理は複数回実施されてもよい。

[0556] 図 1 1 6 G では、各半製品 e 5 0 において第 1 接続電極 e 3 および第 2 接続電極 e 4 が形成された後の状態を示している。第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれでは、表面 e 3 A、e 4 A が、樹脂膜 e 4 6 の表面 e 4 6 A と面一になっている。また、樹脂膜 e 4 6 において開口 e 2 5 を区画する区画面 e 4 6 B が前述したように傾斜しているのに応じて、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれでは、表面 e 3 A、e 4 A において開口 e 2 5 の縁側の端部が、基板 e 3 0 の裏面 e 3 0 B 側へ湾曲している。そのため、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれでは、N i 層 e 3 3、P d 層 e 3 4 および A u 層 e 3 5 のそれぞれにおける開口 e 2 5 の縁側の端部が、基板 e 3 0 の裏面 e 3 0 B 側へ湾曲している。

[0557] 以上のように、第1接続電極e3および第2接続電極e4を無電解めっきによって形成するので、第1接続電極e3および第2接続電極e4を電解めっきによって形成する場合に比べて、第1接続電極e3および第2接続電極e4についての形成工程の工程数（たとえば、電解めっきで必要となるリソグラフィ工程やレジストマスクの剥離工程等）を削減してチップ抵抗器e1の生産性を向上できる。さらに、無電解めっきの場合には、電解めっきで必要とされるレジストマスクが不要であることから、レジストマスクの位置ずれによる第1接続電極e3および第2接続電極e4についての形成位置にずれが生じないので、第1接続電極e3および第2接続電極e4の形成位置精度を向上して歩留まりを向上できる。また、樹脂膜e24から露出されたパッド領域e22Aを無電解めっきすることによって、当該パッド領域e22A上だけに

第1接続電極e3および第2接続電極e4を形成することができる。

[0558] また、電解めっきの場合には、めっき液にNiやSnが含有されている場合が一般的である。そのため、第1接続電極e3および第2接続電極e4の表面e3A、e4Aに残ったSnが酸化されることによって、第1接続電極e3および第2接続電極e4と実装基板e9の接続端子e88（図107（b）参照）との接続不良が生じ得るが、無電解めっきを用いる第5参考例では、そのような問題はない。

[0559] このように第1接続電極e3および第2接続電極e4が形成されてから、第1接続電極e3および第2接続電極e4間での通電検査が行われた後に、基板e30が裏面e30Bから研削される。具体的には、図116Hに示すように、PET（ポリエチレンテレフタレート）からなる薄板状であって粘着面e72を有する支持テープe71が、粘着面e72において、各半製品e50における第1接続電極e3および第2接続電極e4側（つまり、表面e30A）に貼着される。これにより、各半製品e50が支持テープe71に支持される。ここで、支持テープe71として、たとえば、ラミネートテープを用いることができる。

[0560] 各半製品 e 5 0 が支持テープ e 7 1 に支持された状態で、基板 e 3 0 を裏面 e 3 0 B 側から研削する。研削によって、裏面 e 3 0 B が第 2 溝 e 4 8 の底面 e 4 8 B (図 1 1 6 G 参照) に到達するまで基板 e 3 0 が薄型化されると、隣り合う半製品 e 5 0 を連結するものがなくなるので、第 1 溝 e 4 4 および第 2 溝 e 4 8 を境界として基板 e 3 0 が分割され、半製品 e 5 0 が個別に分離してチップ抵抗器 e 1 の完成品となる。つまり、第 1 溝 e 4 4 および第 2 溝 e 4 8 (換言すれば、境界領域 Z) において基板 e 3 0 が切断 (分断) され、これによって、個々のチップ抵抗器 e 1 が切り出される。裏面 e 3 0 B を研削した後の基板 e 3 0 (基板 e 2) の厚さは、 $150\mu\text{m} \sim 400\mu\text{m}$ ($150\mu\text{m}$ 以上 $400\mu\text{m}$ 以下) である。

[0561] 完成した各チップ抵抗器 e 1 では、第 1 溝 e 4 4 の側面 e 4 4 A をなしていた部分が、基板 e 2 の側面 e 2 C ~ e 2 F のいずれかの粗面領域 S となり、第 2 溝 e 4 8 の側面 e 4 8 A をなしていた部分が、基板 e 2 の側面 e 2 C ~ e 2 F のいずれかの筋状パターン領域 P となり、側面 e 4 4 A と側面 e 4 8 A との間の段差 e 4 9 が、前述した段差 N となる。そして、完成した各チップ抵抗器 e 1 では、裏面 e 3 0 B が裏面 e 2 B となる。つまり、前述したように第 1 溝 e 4 4 および第 2 溝 e 4 8 を形成する工程 (図 1 1 6 B および図 1 1 6 C 参照) は、側面 e 2 C ~ e 2 F を形成する工程に含まれる。また、絶縁膜 e 4 5 がパッシベーション膜 e 2 3 となり、樹脂膜 e 4 6 が樹脂膜 e 2 4 となる。

[0562] たとえば、エッチングによって形成された第 1 溝 e 4 4 (図 1 1 6 B 参照) の深さが一様でなくでも、ダイシングソー e 4 7 によって第 2 溝 e 4 8 を形成すれば (図 1 1 6 C 参照)、第 1 溝 e 4 4 および第 2 溝 e 4 8 の全体の深さ (基板 e 3 0 の表面 e 3 0 A から第 2 溝 e 4 8 の底までの深さ) は一様になる。そのため、基板 e 3 0 の裏面 e 3 0 B を研削してチップ抵抗器 e 1 を個片化するとき、基板 e 3 0 から分離されるまでのチップ抵抗器 e 1 間の時間差を少なくして各チップ抵抗器 e 1 をほぼ同時に基板 e 3 0 から分離することができる。これにより、先に分離されたチップ抵抗器 e 1 が基板 e 3

0と衝突を繰り返すことによってチップ抵抗器e 1にチッピングが生じるといった不具合を抑制できる。また、チップ抵抗器e 1の表面e 2 A側の角部（コーナー部e 1 1）は、エッチングで形成された第1溝e 4 4によって区画されているので、コーナー部e 1 1では、ダイシングソーe 4 7によって区画される場合と比べて、チッピングが生じにくい。以上の結果、チップ抵抗器e 1の個片化に際してチッピングを抑制でき、かつ個片化不良が生じることを回避できる。つまり、チップ抵抗器e 1の表面e 2 A側におけるコーナー部e 1 1（図107（a）参照）における形状のコントロールが可能となる。また、第1溝e 4 4および第2溝e 4 8の両方をエッチングによって形成する場合に比べて、チップ抵抗器e 1の個片化にかかる時間を短縮して、チップ抵抗器e 1の生産性を向上することもできる。

[0563] 特に、個片化されたチップ抵抗器e 1における基板e 2の厚さが $150\mu\text{m}$ ～ $400\mu\text{m}$ と比較的大きい場合には、エッチングだけで基板e 30の表面e 30 Aから第2溝e 4 8の底面e 4 8 Bまで到達する溝（図116 C参照）を形成するのは困難であるし、時間がかかる。しかし、このような場合であっても、エッチングおよびダイシングソーe 4 7によるダイシングを併用して第1溝e 4 4および第2溝e 4 8を形成してから基板e 30の裏面e 30 Bを研削することによって、チップ抵抗器e 1の個片化にかかる時間を短縮できる。よって、チップ抵抗器e 1の生産性を向上することができる。

[0564] また、ダイシングによって第2溝e 4 8を基板e 30の裏面e 30 Bまで到達させてしまうと（第2溝e 4 8が基板e 30を貫通するようにすると）、完成したチップ抵抗器e 1では、裏面e 2 Bと側面e 2 C～e 2 Fとのコーナー部にチッピングが生じ得る。しかし、第5参考例のように第2溝e 4 8が裏面e 30 Bまで到達しないようにハーフダイシングしてから（図116 C参照）、裏面e 30 Bを研磨すれば、裏面e 2 Bと側面e 2 C～e 2 Fとのコーナー部にチッピングが生じにくい。

[0565] また、エッチングだけで基板e 30の表面e 30 Aから第2溝e 4 8の底面e 4 8 Bまで到達する溝を形成すると、エッチングレートのばらつきによっ

て、完成後の溝の側面は基板 e 2 の厚さ方向に沿わず、溝の断面が矩形状になりにくい。つまり、溝の側面にばらつきが生じる。しかし、第 5 参考例のようにエッチングおよびダイシングを併用することによって、エッチングだけの場合に比べて、第 1 溝 e 4 4 および第 2 溝 e 4 8 の全体の溝側面（側面 e 4 4 A および側面 e 4 8 A のそれぞれ）におけるばらつきを低減して、当該溝側面を基板 e 2 の厚さ方向に沿わせることができる。

[0566] また、ダイシングソー e 4 7 の幅 Q が第 1 溝 e 4 4 の幅 M よりも小さいので、ダイシングソー e 4 7 によって形成された第 2 溝 e 4 8 の幅 Q は、第 1 溝 e 4 4 の幅 M よりも小さくなり、第 2 溝 e 4 8 は、第 1 溝 e 4 4 の内側に位置する（図 1 1 6 C 参照）。そのため、ダイシングソー e 4 7 によって第 2 溝 e 4 8 を形成するときに、ダイシングソー e 4 7 が第 1 溝 e 4 4 の幅を広げてしまうことはない。よって、第 1 溝 e 4 4 によって区画されるはずのチップ抵抗器 e 1 の表面 e 2 A 側のコーナー部 e 1 1 がダイシングソー e 4 7 によって区画されてしまってコーナー部 e 1 1 にチップングが生じることを確実に抑制できる。

[0567] なお、第 2 溝 e 4 8 を形成してから裏面 e 3 0 B を研削することでチップ抵抗器 e 1 を個片化しているが、第 2 溝 e 4 8 を形成する前に、裏面 e 3 0 B を先に研削しておいてから、第 2 溝 e 4 8 をダイシングで形成してもよい。また、基板 e 3 0 を裏面 e 3 0 B 側から第 2 溝 e 4 8 の底面 e 4 8 B までエッチングすることによってチップ抵抗器 e 1 を切り出すことも想定される。

[0568] 以上のように、第 1 溝 e 4 4 および第 2 溝 e 4 8 を形成してから基板 e 3 0 を裏面 e 3 0 B 側から研削すれば、基板 e 3 0 に形成された複数のチップ部品領域 Y を一斉に個々のチップ抵抗器 e 1（チップ部品）に分割できる（複数のチップ抵抗器 e 1 の個片を一度に得ることができる）。よって、複数のチップ抵抗器 e 1 の製造時間の短縮によってチップ抵抗器 e 1 の生産性の向上を図ることができる。ちなみに、直径が 8 インチの基板 e 3 0 を用いると 50 万個程度のチップ抵抗器 e 1 を切り出すことができる。

[0569] つまり、チップ抵抗器 e 1 のチップサイズが小さくても、このように先に第 1 溝 e 4 4 および第 2 溝 e 4 8 を形成しておいてから基板 e 3 0 を裏面 e 3 0 B から研削することによって、チップ抵抗器 e 1 を一度に個片化することができる。また、エッチングによって第 1 溝 e 4 4 を高精度に形成できるので、個々のチップ抵抗器 e 1 において第 1 溝 e 4 4 によって区画された側面 e 2 C ~ e 2 F の粗面領域 S 側では、外形寸法精度の向上を図ることができる。特に、プラズマエッチングを用いれば、第 1 溝 e 4 4 を一層高精度に形成できる。また、レジストパターン e 4 1 (図 1 1 7 参照) に応じて、第 1 溝 e 4 4 の間隔を微細化できるので、隣り合う第 1 溝 e 4 4 の間に形成されるチップ抵抗器 e 1 の小型化を図ることができる。また、エッチングの場合には、チップ抵抗器 e 1 の側面 e 2 C ~ e 2 F の粗面領域 S において隣り合うもの同士のコーナー部 e 1 1 (図 1 0 7 (a) 参照) にチップングが生じることを低減でき、チップ抵抗器 e 1 の外観の向上を図ることができる。

[0570] なお、完成したチップ抵抗器 e 1 における基板 e 2 の裏面 e 2 B を研磨やエッチングすることによって鏡面化して裏面 e 2 B を綺麗にしてもよい。図 1 1 6 H に示すように完成したチップ抵抗器 e 1 は、支持テープ e 7 1 から引き剥がされた後に、所定のスペースまで搬送されて当該スペースで保管される。チップ抵抗器 e 1 を実装基板 e 9 (図 1 0 7 (b) 参照) に実装する場合、自動実装機の吸着ノズル e 9 1 (図 1 0 7 (b) 参照) にチップ抵抗器 e 1 の裏面 e 2 B を吸着してから吸着ノズル e 9 1 を動かすことによって、チップ抵抗器 e 1 を搬送する。このとき、吸着ノズル e 9 1 は、裏面 e 2 B の長手方向における略中央部分に吸着する。そして、図 1 0 7 (b) を参照して、チップ抵抗器 e 1 を吸着した吸着ノズル e 9 1 を実装基板 e 9 まで移動させる。実装基板 e 9 には、チップ抵抗器 e 1 の第 1 接続電極 e 3 および第 2 接続電極 e 4 に応じて、前述した 1 対の接続端子 e 8 8 が設けられている。接続端子 e 8 8 は、たとえば、Cu からなる。各接続端子 e 8 8 の表面には、半田 e 1 3 が当該表面から突出するように設けられている。

[0571] そこで、吸着ノズル e 9 1 を移動させて実装基板 e 9 に押し付けることで、チップ抵抗器 e 1 において、第 1 接続電極 e 3 を一方の接続端子 e 8 8 の半田 e 1 3 に接触させ、第 2 接続電極 e 4 を他方の接続端子 e 8 8 の半田 e 1 3 に接触させる。この状態で、半田 e 1 3 を加熱すると、半田 e 1 3 が熔融する。その後、半田 e 1 3 が冷却されて固まると、第 1 接続電極 e 3 と当該一方の接続端子 e 8 8 とが半田 e 1 3 を介して接合し、第 2 接続電極 e 4 と当該他方の接続端子 e 8 8 とが半田 e 1 3 を介して接合し、実装基板 e 9 へのチップ抵抗器 e 1 の実装が完了する。

[0572] 図 1 1 9 は、完成したチップ抵抗器をエンボスキャリアテープに收容する様子を説明するための模式図である。一方、図 1 1 6 H に示すように完成したチップ抵抗器 e 1 を、図 1 1 9 に示すエンボスキャリアテープ e 9 2 に收容する場合もある。エンボスキャリアテープ e 9 2 は、たとえば、ポリカーボネート樹脂等で形成されたテープ（帯状体）である。エンボスキャリアテープ e 9 2 には、多数のポケット e 9 3 が、エンボスキャリアテープ e 9 2 の長手方向に並ぶように形成されている。各ポケット e 9 3 は、エンボスキャリアテープ e 9 2 の一方の面（裏面）へ窪む凹状の空間として区画されている。

[0573] 完成したチップ抵抗器 e 1（図 1 1 6 H 参照）をエンボスキャリアテープ e 9 2 に收容する場合、搬送装置の吸着ノズル e 9 1（図 1 0 7（b）参照）にチップ抵抗器 e 1 の裏面 e 2 B（長手方向における略中央部分）を吸着してから吸着ノズル e 9 1 を動かすことによって、チップ抵抗器 e 1 を支持テープ e 7 1 から引き剥がす。そして、吸着ノズル e 9 1 をエンボスキャリアテープ e 9 2 のポケット e 9 3 に対向する位置まで移動させる。このとき、吸着ノズル e 9 1 に吸着されたチップ抵抗器 e 1 では、表面 e 2 A 側の第 1 接続電極 e 3 および第 2 接続電極 e 4 および樹脂膜 e 2 4 がポケット e 9 3 に対向している。

[0574] ここで、チップ抵抗器 e 1 をエンボスキャリアテープ e 9 2 に收容する場合、エンボスキャリア

テープ e 9 2 は、平坦な支持台 e 9 5 の上に載せられている。吸着ノズル e 9 1 をポケット e 9 3 側へ移動させて（太線矢印参照）、表面 e 2 A 側がポケット e 9 3 に対向した姿勢にあるチップ抵抗器 e 1 を、ポケット e 9 3 内へ収容する。そして、チップ抵抗器 e 1 の表面 e 2 A 側がポケット e 9 3 の底 e 9 3 A に接触すると、エンボスキャリアテープ e 9 2 に対するチップ抵抗器 e 1 の収容が完了する。吸着ノズル e 9 1 を移動させることでチップ抵抗器 e 1 の表面 e 2 A 側をポケット e 9 3 の底 e 9 3 A に接触させるとき、表面 e 2 A 側の第 1 接続電極 e 3 および第 2 接続電極 e 4 および樹脂膜 e 2 4 は、支持台 e 9 5 によって支持された底 e 9 3 A に対して押し付けられる。

[0575] エンボスキャリアテープ e 9 2 に対するチップ抵抗器 e 1 の収容が完了してから、エンボスキャリアテープ e 9 2 の表面には、剥離カバー e 9 4 が貼り付けられ、各ポケット e 9 3 の内部が剥離カバー e 9 4 によって密閉される。これにより、各ポケット e 9 3 内に異物が侵入することが防止される。エンボスキャリアテープ e 9 2 からチップ抵抗器 e 1 を取り出す場合には、剥離カバー e 9 4 がエンボスキャリアテープ e 9 2 から剥がされてポケット e 9 3 が開放される。その後、自動実装機によって、ポケット e 9 3 からチップ抵抗器 e 1 が取り出されて、前述したように実装される。

[0576] このようにチップ抵抗器 e 1 を実装する場合や、チップ抵抗器 e 1 をエンボスキャリアテープ e 9 2 に収容する場合や、さらにはチップ抵抗器 e 1 に対して応力試験を行う場合において、チップ抵抗器 e 1 の裏面 e 2 B（長手方向における略中央部分）に力をかけて第 1 接続電極 e 3 および第 2 接続電極 e 4 を何か（「被接触部」ということにする）に押し付けようとする、基板 e 2 の表面 e 2 A に応力が作用する。なお、当該被接触部とは、チップ抵抗器 e 1 を実装する場合には、実装基板 e 9 であり、チップ抵抗器 e 1 をエンボスキャリアテープ e 9 2 へ収容する時には、支持台 e 9 5 によって支持されたポケット e 9 3 の底 e 9 3 A であり、応力試験時には、応力を受けるチップ抵抗器 e 1 を支える支持面である。

[0577] この場合において、基板 e 2 の表面 e 2 A における樹脂膜 e 2 4 の高さ H (図 1 1 5 参照) が、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれの高さ J (図 1 1 5 参照) 未満であって、第 1 接続電極 e 3 および第 2 接続電極 e 4 の表面 e 3 A, e 4 A が基板 e 2 の表面 e 2 A から最も突出している (つまり、樹脂膜 e 2 4 が薄い) チップ抵抗器 e 1 が考えられる (後述する 図 1 2 0 参照)。このようなチップ抵抗器 e 1 は、表面 e 2 A 側では、前述した被接触部に対して第 1 接続電極 e 3 および第 2 接続電極 e 4 だけで接触 (2 点接触) するので、チップ抵抗器 e 1 にかかる応力は、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれと基板 e 2 との接合部に集中する。これによって、チップ抵抗器 e 1 の電気的特性が悪化する虞がある。さらには、当該応力によって、チップ抵抗器 e 1 内 (特に、基板 e 2 の長手方向における略中央部分) に歪みが生じ、ひどい場合には当該略中央部分を起点として基板 e 2 が割れてしまう虞がある。

[0578] しかしながら、第 5 参考例では、前述したように、樹脂膜 e 2 4 の高さ H は、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれの高さ J 以上となるように、樹脂膜 e 2 4 が厚くなっている (図 1 1 5 参照)。よって、チップ抵抗器 e 1 にかかる応力は、第 1 接続電極 e 3 および第 2 接続電極 e 4 だけでなく樹脂膜 e 2 4 によっても受け止められる。つまり、チップ抵抗器 e 1 において応力を受ける部分の面積を増大させることができるので、チップ抵抗器 e 1 にかかる応力を分散できる。これにより、チップ抵抗器 e 1 において第 1 接続電極 e 3 および第 2 接続電極 e 4 に対する応力の集中を抑制できる。特に、樹脂膜 e 2 4 の表面 e 2 4 C によって、チップ抵抗器 e 1 にかかる応力をより効果的に分散できる。これにより、チップ抵抗器 e 1 に対する応力の集中を一層抑制できるので、チップ抵抗器 e 1 の強度向上を図ることができる。その結果、実装時や耐久試験時やエンボスキャリアテープ e 9 2 への収容時におけるチップ抵抗器 e 1 の破壊を抑制できる。その結果、実装やエンボスキャリアテープ e 9 2 への収容における歩留まりを向上させることができ、さらに、チップ抵抗器 e 1 が壊れにくいことからチップ抵抗器 e

1 の取扱い性を向上させることもできる。

[0579] 次に、チップ抵抗器 e 1 の変形例について説明する。図 1 2 0～図 1 2 4 は、第 1～第 5 変形例に係るチップ抵抗器の模式的な断面図である。第 1～第 5 変形例において、これまでチップ抵抗器 e 1 で説明した部分と対応する部分には、同一の参照符号を付し、当該部分についての詳しい説明を省略する。第 1 接続電極 e 3 および第 2 接続電極 e 4 に関し、図 1 1 5 では、第 1 接続電極 e 3 の表面 e 3 A および第 2 接続電極 e 4 の表面 e 4 A が、樹脂膜 e 2 4 の表面 e 2 4 C と面一になっている。実装時等にチップ抵抗器 e 1 にかかる応力を分散することを考慮しないのであれば、図 1 2 0 に示す第 1 変形例のように、第 1 接続電極 e 3 の表面 e 3 A および第 2 接続電極 e 4 の表面 e 4 A は、基板 e 2 の表面 e 2 A から離れる方向（図 1 2 0 では上方）へ向けて樹脂膜 e 2 4 の表面 e 2 4 C よりも突出していてもよい。このとき、樹脂膜 e 2 4 の高さ H は、第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれの高さ J よりも低くなる。

[0580] 逆に、図 1 1 5 の場合よりも、実装時等にチップ抵抗器 e 1 にかかる応力を分散したいのであれば、図 1 2 1 に示す第 2 変形例のように、樹脂膜 e 2 4 の高さ H を第 1 接続電極 e 3 および第 2 接続電極 e 4 のそれぞれの高さ J よりも高くするとよい。これにより、樹脂膜 e 2 4 が厚くなって、第 1 接続電極 e 3 の表面 e 3 A および第 2 接続電極 e 4 の表面 e 4 A が、樹脂膜 e 2 4 の表面 e 2 4 C よりも、基板 e 2 の表面 e 2 A 側（図 1 2 0 では下方）へずれる。この場合には、第 1 接続電極 e 3 および第 2 接続電極 e 4 が、樹脂膜 e 2 4 の表面 e 2 4 C よりも基板 e 2 側へ埋没した状態になっているので、前述した第 1 接続電極 e 3 および第 2 接続電極 e 4 における 2 点接触自体が発生しない。そのため、チップ抵抗器 e 1 に対する応力の集中を一層抑制できる。ただし、第 2 変形例のチップ抵抗器 e 1 を実装基板 e 9 に実装する場合には、実装基板 e 9 の各接続端子 e 8 8 上の半田 e 1 3 を、第 1 接続電極 e 3 の表面 e 3 A および第 2 接続電極 e 4 の表面 e 4 A に届くように厚くしておいて、第 1 接続電極 e 3 および第 2 接続電極 e 4 と半田 e 1 3 との接続

不良を予防しておく必要がある（図１０７（ｂ）参照）。

[0581] また、基板 e 2 の表面 e 2 A 上の絶縁層 e 2 0 では、その端面 e 2 0 A（平面視で表面 e 2 A の縁部 e 8 5 と一致する部分）が、基板 e 2 の厚さ方向（図１１５、図１２０および図１２１では上下方向）に延びているが、図１２２～図１２４に示すように、傾斜していてもよい。詳しくは、絶縁層 e 2 0 の端面 e 2 0 A は、基板 e 2 の表面 e 2 A から絶縁層 e 2 0 の表面へ近付くのに従って基板 e 2 の内方へ向かうように傾斜している。このような端面 e 2 0 A に応じて、パッシベーション膜 e 2 3 において当該端面 e 2 0 A を覆っている部分（前述した端部 e 2 3 C）も、端面 e 2 0 A に沿って傾斜している。

[0582] 図１２２～図１２４に示す第３～第５変形例のチップ抵抗器 e 1 では、樹脂膜 e 2 4 の縁 e 2 4 A の位置に違いがある。まず、図１２２に示す第３変形例のチップ抵抗器 e 1 は、絶縁層 e 2 0 の端面 e 2 0 A およびパッシベーション膜 e 2 3 の端部 e 2 3 C が傾斜している点以外では、図１１５のチップ抵抗器 e 1 と同じである。そのため、平面視において、樹脂膜 e 2 4 の縁 e 2 4 A は、パッシベーション膜 e 2 3 の側面被覆部 e 2 3 B と整合して、側面被覆部 e 2 3 B の厚み分だけ、基板 e 2 の表面 e 2 A の縁部 e 8 5（基板 e 2 の表面 e 2 A 側の端縁）よりも外側に位置している。このように縁 e 2 4 A を側面被覆部 e 2 3 B と整合させれば、前述した樹脂膜 e 4 6 を形成するために感光性樹脂の液体をスプレー塗布する際において（図１１６ E 参照）、図示しないマスクを用いて当該液体が第１溝 e 4 4 および第２溝 e 4 8 内に入り込まないようにしておく必要がある。または、当該液体が第１溝 e 4 4 および第２溝 e 4 8 内に入り込んだとしても、その後に樹脂膜 e 4 6 をパターンニングする際に（図１１６ F 参照）、マスク e 6 2 において平面視で第１溝 e 4 4 および第２溝 e 4 8 と一致する部分にも開口 e 6 1 を形成しておくといよい。そうすれば、樹脂膜 e 4 6 のパターンニングによって、第１溝 e 4 4 および第２溝 e 4 8 内の樹脂膜 e 4 6 を除去し、樹脂膜 e 2 4 の縁 e 2 4 A を側面被覆部 e 2 3 B と整合させることができる。

[0583] ここで、樹脂膜 e 2 4 は、樹脂製であることから、衝撃によりクラックが生じるおそれが少ない。そのため、樹脂膜 e 2 4 が、基板 e 2 の表面 e 2 A（特に、素子 e 5 およびヒューズ F）と、基板 e 2 の表面 e 2 A の縁部 e 8 5 とを衝撃から確実に保護できるので、耐衝撃性に優れたチップ抵抗器 e 1 を提供することができる。一方、図 1 2 3 に示す第 4 変形例のチップ抵抗器 e 1 では、平面視において、樹脂膜 e 2 4 の縁 e 2 4 A は、パッシベーション膜 e 2 3 の側面被覆部 e 2 3 B と整合しておらず、側面被覆部 e 2 3 B よりも内方、詳しくは、基板 e 2 の表面 e 2 A の縁部 e 8 5 よりも基板 e 2 の内方に後退している。この場合にも、樹脂膜 e 2 4 が、基板 e 2 の表面 e 2 A（特に、素子 e 5 およびヒューズ F）を衝撃から確実に保護できるので、耐衝撃性に優れたチップ抵抗器 e 1 を提供することができる。樹脂膜 e 2 4 の縁 e 2 4 A を基板 e 2 の内方に後退させるためには、樹脂膜 e 4 6 をパターンニングする際に、マスク e 6 2 において平面視で基板 e 2（基板 e 3 0）の縁部 e 8 5 と重なる部分にも開口 e 6 1 を形成しておくとい（図 1 1 6 F 参照）。そうすれば、樹脂膜 e 4 6 のパターンニングによって、平面視で基板 e 2（基板 e 3 0）の縁部 e 8 5 と重なる領域の樹脂膜 e 4 6 を除去し、結果として、樹脂膜 e 2 4 の縁 e 2 4 A を基板 e 2 の内方に後退させることができる。

[0584] そして、図 1 2 4 に示す第 5 変形例のチップ抵抗器 e 1 では、平面視において、樹脂膜 e 2 4 の縁 e 2 4 A は、パッシベーション膜 e 2 3 の側面被覆部 e 2 3 B と整合していない。詳しくは、樹脂膜 e 2 4 は、側面被覆部 e 2 3 B よりも外方に張り出していて、側面被覆部 e 2 3 B の全域を外から覆っている。つまり、第 5 変形例では、樹脂膜 e 2 4 は、パッシベーション膜 e 2 3 の表面被覆部 e 2 3 A および側面被覆部 e 2 3 B の両方を覆っている。この場合、樹脂膜 e 2 4 が、基板 e 2 の表面 e 2 A（特に、素子 e 5 およびヒューズ F）と、基板 e 2 の側面 e 2 C ～ e 2 F とを衝撃から確実に保護できるので、耐衝撃性に優れたチップ抵抗器 e 1 を提供することができる。樹脂膜 e 2 4 が表面被覆部 e 2 3 A および側面被覆部 e 2 3 B の両方を覆いたい

のであれば、前述した樹脂膜 e 4 6 を形成するために感光性樹脂の液体をスプレー塗布する際において（図 1 1 6 E 参照）、当該液体が第 1 溝 e 4 4 および第 2 溝 e 4 8 内に入り込んで側面被覆部 e 2 3 B に付着するようにすればよい。なお、前述したように当該液体をスピン塗布する場合には、当該液体が膜状にならずに第 1 溝 e 4 4 および第 2 溝 e 4 8 を完全に埋めてしまうので好ましくない。一方、感光性樹脂からなるシートを基板 e 3 0 の表面 e 3 0 A に貼り付けたりすることで樹脂膜 e 4 6 を形成する場合には、当該シートは第 1 溝 e 4 4 および第 2 溝 e 4 8 内に入り込めないから、側面被覆部 e 2 3 B の全域を覆うことができないので好ましくない。よって、樹脂膜 e 2 4 が表面被覆部 e 2 3 A および側面被覆部 e 2 3 B の両方を覆うためには、感光性樹脂の液体をスプレー塗布するのが有効である。

[0585] 以上、第 5 参考例の実施形態について説明してきたが、第 5 参考例はさらに他の形態で実施することもできる。たとえば、第 5 参考例のチップ部品の一例として、前述した実施形態では、チップ抵抗器 e 1 を開示したが、第 5 参考例は、チップコンデンサやチップインダクタやチップダイオードといったチップ部品にも適用できる。以下では、チップコンデンサについて説明する。

[0586] 図 1 2 5 は、第 5 参考例の他の実施形態に係るチップコンデンサの平面図である。図 1 2 6 は、図 1 2 5 の切断面線 C X X V I - C X X V I から見た断面図である。図 1 2 7 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。これから述べるチップコンデンサ e 1 0 1 において、前述したチップ抵抗器 e 1 で説明した部分と対応する部分には、同一の参照符号を付し、当該部分についての詳しい説明を省略する。チップコンデンサ e 1 0 1 において、チップ抵抗器 e 1 で説明した部分と同一の参照符号が付された部分は、特に言及しない限り、チップ抵抗器 e 1 で説明した部分と同じ構成を有していて、チップ抵抗器 e 1 で説明した部分と同じ作用効果を奏することができる。

[0587] 図 1 2 5 を参照して、チップコンデンサ e 1 0 1 は、チップ抵抗器 e 1 と同

様に、基板 e 2 と、基板 e 2 上（基板 e 2 の表面 e 2 A 側）に配置された第 1 接続電極 e 3 と、同じく基板 e 2 上に配置された第 2 接続電極 e 4 とを備えている。基板 e 2 は、この実施形態では、平面視において矩形形状を有している。基板 e 2 の長手方向両端部に第 1 接続電極 e 3 および第 2 接続電極 e 4 がそれぞれ配置されている。第 1 接続電極 e 3 および第 2 接続電極 e 4 は、この実施形態では、基板 e 2 の短手方向に延びたほぼ矩形の平面形状を有している。基板 e 2 の表面 e 2 A には、第 1 接続電極 e 3 および第 2 接続電極 e 4 の間のキャパシタ配置領域 e 105 内に、複数のキャパシタ要素 C 1 ～ C 9 が配置されている。複数のキャパシタ要素 C 1 ～ C 9 は、前述した素子 e 5 を構成する複数の素子要素（キャパシタ素子）であり、複数のヒューズユニット e 107（前述したヒューズ F に相当する）を介してそれぞれ第 2 接続電極 e 4 に対して切り離し可能となるように電氣的に接続されている。これらのキャパシタ要素 C 1 ～ C 9 によって構成された素子 e 5 は、キャパシタ回路網になっている。

[0588] 図 126 および図 127 に示されているように、基板 e 2 の表面 e 2 A には絶縁層 e 20 が形成されていて、絶縁層 e 20 の表面に下部電極膜 e 111 が形成されている。下部電極膜 e 111 は、キャパシタ配置領域 e 105 のほぼ全域にわたっている。さらに、下部電極膜 e 111 は、第 1 接続電極 e 3 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 e 111 は、キャパシタ配置領域 e 105 においてキャパシタ要素 C 1 ～ C 9 の共通の下部電極として機能するキャパシタ電極領域 e 111 A と、第 1 接続電極 e 3 の直下に配置される外部電極引き出しのためのパッド領域 e 111 B（パッド）とを有している。キャパシタ電極領域 e 111 A がキャパシタ配置領域 e 105 に位置していて、パッド領域 e 111 B が第 1 接続電極 e 3 の直下に位置して第 1 接続電極 e 3 に接触している。

[0589] キャパシタ配置領域 e 105 において下部電極膜 e 111（キャパシタ電極領域 e 111 A）を覆って接するように容量膜（誘電体膜） e 112 が形成されている。容量膜 e 112 は、キャパシタ電極領域 e 111 A（キャパシ

タ配置領域 e 1 0 5) の全域にわたって形成されている。容量膜 e 1 1 2 は、この実施形態では、さらにキャパシタ配置領域 e 1 0 5 外の絶縁層 e 2 0 を覆っている。

[0590] 容量膜 e 1 1 2 の上には、上部電極膜 e 1 1 3 が容量膜 e 1 1 2 に接するように形成されている。図 1 2 5 では、明瞭化のために、上部電極膜 e 1 1 3 を着色して示してある。上部電極膜 e 1 1 3 は、キャパシタ配置領域 e 1 0 5 に位置するキャパシタ電極領域 e 1 1 3 A と、第 2 接続電極 e 4 の直下に位置して第 2 接続電極 e 4 に接触するパッド領域 e 1 1 3 B (パッド) と、キャパシタ電極領域 e 1 1 3 A とパッド領域 e 1 1 3 B との間に配置されたヒューズ領域 e 1 1 3 C とを有している。

[0591] キャパシタ電極領域 e 1 1 3 A において、上部電極膜 e 1 1 3 は、複数の電極膜部分 (上部電極膜部分) e 1 3 1 ~ e 1 3 9 に分割 (分離) されている。この実施形態では、各電極膜部分 e 1 3 1 ~ e 1 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 e 1 1 3 C から第 1 接続電極 e 3 に向かって帯状に延びている。複数の電極膜部分 e 1 3 1 ~ e 1 3 9 は、複数種類の対向面積で、容量膜 e 1 1 2 を挟んで (容量膜 e 1 1 2 に接しつつ) 下部電極膜 e 1 1 1 に対向している。より具体的には、電極膜部分 e 1 3 1 ~ e 1 3 9 の下部電極膜 e 1 1 1 に対する対向面積は、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となるように定められていてもよい。すなわち、複数の電極膜部分 e 1 3 1 ~ e 1 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 e 1 3 1 ~ 1 3 8 (または e 1 3 1 ~ e 1 3 7, e 1 3 9) を含む。これによって、各電極膜部分 e 1 3 1 ~ e 1 3 9 と容量膜 e 1 1 2 を挟んで対向する下部電極膜 e 1 1 1 と容量膜 e 1 1 2 とによってそれぞれ構成される複数のキャパシタ要素 C 1 ~ C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 e 1 3 1 ~ e 1 3 9 の対向面積の比が前述の通りである場合、キャパシタ要素 C 1 ~ C 9 の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 16 : 32

: 64 : 128 : 128 となる。すなわち、複数のキャパシタ要素 C 1 ~ C 9 は、公比が 2 の等比数列をなすように容量値が設定された複数のキャパシタ要素 C 1 ~ C 8 (または C 1 ~ C 7, C 9) を含むことになる。

[0592] この実施形態では、電極膜部分 e 131 ~ 135 は、幅が等しく、長さの比を 1 : 2 : 4 : 8 : 16 に設定した帯状に形成されている。また、電極膜部分 e 135, e 136, e 137, e 138, e 139 は、長さが等しく、幅の比を 1 : 2 : 4 : 8 : 8 に設定した帯状に形成されている。電極膜部分 e 135 ~ e 139 は、キャパシタ配置領域 e 105 の第 2 接続電極 e 4 側の端縁から第 1 接続電極 e 3 側の端縁までの範囲に渡って延びて形成されており、電極膜部分 e 131 ~ e 134 は、それよりも短く形成されている。

[0593] パッド領域 e 113 B は、第 2 接続電極 e 4 とほぼ相似形に形成されており、ほぼ矩形の平面形状を有している。図 126 に示すように、パッド領域 e 113 B における上部電極膜 e 113 は、第 2 接続電極 e 4 に接している。

ヒューズ領域 e 113 C は、パッド領域 e 113 B の一つの長辺 (基板 e 2 の周縁に対して内方側の長辺) に沿って配置されている。ヒューズ領域 e 113 C は、パッド領域 e 113 B の前記 1 つの長辺に沿って配列された複数のヒューズユニット e 107 を含む。

[0594] ヒューズユニット e 107 は、上部電極膜 e 113 のパッド領域 e 113 B と同じ材料で一体的に形成されている。複数の電極膜部分 e 131 ~ e 139 は、1 つまたは複数個のヒューズユニット e 107 と一体的に形成されていて、それらのヒューズユニット e 107 を介してパッド領域 e 113 B に接続され、このパッド領域 e 113 B を介して第 2 接続電極 e 4 に電氣的に接続されている。図 125 に示すように、面積の比較的小さな電極膜部分 e 131 ~ 136 は、一つのヒューズユニット e 107 によってパッド領域 e 113 B に接続されており、面積の比較的大きな電極膜部分 e 137 ~ e 139 は複数個のヒューズユニット e 107 を介してパッド領域 e 113 B に接続されている。全てのヒューズユニット e 107 が用いられる必要はなく

、この実施形態では、一部のヒューズユニット e 1 0 7 は未使用である。

[0595] ヒューズユニット e 1 0 7 は、パッド領域 e 1 1 3 B との接続のための第 1 幅広部 e 1 0 7 A と、電極膜部分 e 1 3 1 ~ e 1 3 9 との接続のための第 2 幅広部 e 1 0 7 B と、第 1 および第 2 幅広部 e 1 0 7 A, 7 B の間を接続する幅狭部 e 1 0 7 C とを含む。幅狭部 e 1 0 7 C は、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分 e 1 3 1 ~ e 1 3 9 のうち不要な電極膜部分を、ヒューズユニット e 1 0 7 の切断によって第 1 および第 2 接続電極 e 3, e 4 から電氣的に切り離すことができる。

[0596] 図 1 2 5 および図 1 2 7 では図示を省略したが、図 1 2 6 に表れている通り、上部電極膜 e 1 1 3 の表面を含むチップコンデンサ e 1 0 1 の表面は、前述したパッシベーション膜 e 2 3 によって覆われている。パッシベーション膜 e 2 3 は、たとえば窒化膜からなっていて、チップコンデンサ e 1 0 1 の上面のみならず、基板 e 2 の側面 e 2 C ~ e 2 F まで延びて、側面 e 2 C ~ e 2 F の全域をも覆うように形成されている。さらに、パッシベーション膜 e 2 3 の上には、前述した樹脂膜 e 2 4 が形成されている。

[0597] パッシベーション膜 e 2 3 および樹脂膜 e 2 4 は、チップコンデンサ e 1 0 1 の表面を保護する保護膜である。これらには、第 1 接続電極 e 3 および第 2 接続電極 e 4 に対応する領域に、前述した開口 e 2 5 がそれぞれ形成されている。開口 e 2 5 はそれぞれ下部電極膜 e 1 1 1 のパッド領域 e 1 1 1 B の一部の領域、上部電極膜 e 1 1 3 のパッド領域 e 1 1 3 B の一部の領域を露出させるようにパッシベーション膜 e 2 3 および樹脂膜 e 2 4 を貫通している。さらに、この実施形態では、第 1 接続電極 e 3 に対応した開口 e 2 5 は、容量膜 e 1 1 2 をも貫通している。

[0598] 開口 e 2 5 には、第 1 接続電極 e 3 および第 2 接続電極 e 4 がそれぞれ埋め込まれている。これにより、第 1 接続電極 e 3 は下部電極膜 e 1 1 1 のパッド領域 e 1 1 1 B に接合しており、第 2 接続電極 e 4 は上部電極膜 e 1 1 3 のパッド領域 e 1 1 3 B に接合している。この実施形態では、第 1 および第

2 外部電極 e 3, e 4 は、それぞれの表面 e 3 A, e 4 A が樹脂膜 e 2 4 の表面 e 2 4 A と略面一になるように形成されている。チップ抵抗器 e 1 と同様に、実装基板 e 9 に対してチップコンデンサ e 1 0 1 をフリップチップ接合することができる。

[0599] 図 1 2 8 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。第 1 接続電極 e 3 と第 2 接続電極 e 4 との間に複数のキャパシタ要素 C 1 ~ C 9 が並列に接続されている。各キャパシタ要素 C 1 ~ C 9 と第 2 接続電極 e 4 との間には、一つまたは複数のヒューズユニット e 1 0 7 でそれぞれ構成されたヒューズ F 1 ~ F 9 が直列に介装されている。

[0600] ヒューズ F 1 ~ F 9 が全て接続されているときは、チップコンデンサ e 1 0 1 の容量値は、キャパシタ要素 C 1 ~ C 9 の容量値の総和に等しい。複数のヒューズ F 1 ~ F 9 から選択した 1 つまたは 2 つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ e 1 0 1 の容量値が減少する。

[0601] そこで、パッド領域 e 1 1 1 B, e 1 1 3 B の間の容量値（キャパシタ要素 C 1 ~ C 9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F 1 ~ F 9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C 1 ~ C 8 の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C 1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0602] たとえば、キャパシタ要素 C 1 ~ C 9 の容量値は次のように定められていてもよい。

$$\begin{array}{lll}
 C 1 = 0.03125 \text{ pF} & & C 2 = 0.0625 \text{ pF} \\
 C 3 = 0.125 \text{ pF} & & C 4 = 0.25 \text{ pF} \\
 C 5 = 0.5 \text{ pF} & & C 6 = 1 \text{ pF} \\
 C 7 = 2 \text{ pF} & & C 8 = 4 \text{ pF} & C 9 = 8 \text{ pF}
 \end{array}$$

9 = 4 pF この場合、0.03125 pFの最小合わせ込み精度でチップコンデンサe101の容量を微調整できる。また、ヒューズF1～F9から切断すべきヒューズを適切に選択することで、10 pF～18 pFの間の任意の容量値のチップコンデンサe101を提供することができる。

[0603] 以上のように、この実施形態によれば、第1接続電極e3および第2接続電極e4の間に、ヒューズF1～F9によって切り離し可能な複数のキャパシタ要素C1～C9が設けられている。キャパシタ要素C1～C9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF1～F9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサe101を共通の設計で実現することができる。

[0604] チップコンデンサe101の各部の詳細について以下に説明を加える。 図125を参照して、基板e2は、たとえば平面視において0.3 mm×0.15 mm、0.4 mm×0.2 mmなどの矩形形状（好ましくは、0.4 mm×0.2 mm以下の大きさ）を有していてもよい。キャパシタ配置領域e105は、概ね、基板e2の短辺の長さに相当する一辺を有する正方形領域となる。基板e2の厚さは、150 μm程度であってもよい。図126を参照して、基板e2は、たとえば、裏面側（キャパシタ要素C1～C9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板e2の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0605] 絶縁層e20は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å～2000 Å程度であってもよい。 下部電極膜e111は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であっ

てもよい。アルミニウム膜からなる下部電極膜 e 1 1 1 は、スパッタ法によって形成することができる。上部電極膜 e 1 1 3 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 e 1 1 3 は、スパッタ法によって形成することができる。上部電極膜 e 1 1 3 のキャパシタ電極領域 e 1 1 3 A を電極膜部分 e 1 3 1 ~ e 1 3 9 に分割し、さらに、ヒューズ領域 e 1 1 3 C を複数のヒューズユニット e 1 0 7 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0606] 容量膜 e 1 1 2 は、たとえば窒化シリコン膜で構成することができ、その膜厚は 5 0 0 Å ~ 2 0 0 0 Å (たとえば 1 0 0 0 Å) とすることができる。容量膜 e 1 1 2 は、プラズマ C V D (化学的気相成長) によって形成された窒化シリコン膜であってもよい。パッシベーション膜 e 2 3 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ C V D 法によって形成できる。その膜厚は、8 0 0 0 Å 程度とされてもよい。樹脂膜 e 2 4 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0607] 第 1 および第 2 接続電極 e 3, e 4 は、たとえば、下部電極膜 e 1 1 1 または上部電極膜 e 1 1 3 に接する N i 層 e 3 3 と、この N i 層 e 3 3 上に積層した P d 層 e 3 4 と、その P d 層 e 3 4 上に積層した A u 層 e 3 5 とを積層した積層構造膜からなってもよく、たとえば、無電解めっき法で形成することができる。N i 層 e 3 3 は下部電極膜 e 1 1 1 または上部電極膜 e 1 1 3 に対する密着性の向上に寄与し、P d 層 e 3 4 は上部電極膜または下部電極膜の材料と第 1 および第 2 接続電極 e 3, e 4 の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0608] このようなチップコンデンサ e 1 0 1 の製造工程は、素子 e 5 を形成した後のチップ抵抗器 e 1 の製造工程と同じである。チップコンデンサ e 1 0 1 において素子 e 5 (キャパシタ素子) を形成する場合には、まず、前述した基板 e 3 0 (基板 e 2) の表面に、熱酸化法および／または C V D 法によって、酸化膜 (たとえば酸化シリコン膜) からなる絶縁層 e 2 0 が形成される

。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜 e 1 1 1 が絶縁層 e 2 0 の表面全域に形成される。下部電極膜 e 1 1 1 の膜厚は 8 0 0 0 Å 程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜 e 1 1 1 の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図 1 2 5 等にしたパターンの下部電極膜 e 1 1 1 が得られる。下部電極膜 e 1 1 1 のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0609] 次に、たとえばプラズマ C V D 法によって、窒化シリコン膜等からなる容量膜 e 1 1 2 が、下部電極膜 e 1 1 1 上に形成される。下部電極膜 e 1 1 1 が形成されていない領域では、絶縁層 e 2 0 の表面に容量膜 e 1 1 2 が形成されることになる。次いで、その容量膜 e 1 1 2 の上に、上部電極膜 e 1 1 3 が形成される。上部電極膜 e 1 1 3 は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8 0 0 0 Å 程度とされてもよい。次いで、上部電極膜 e 1 1 3 の表面に上部電極膜 e 1 1 3 の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される。このレジストパターンをマスクとしたエッチングにより、上部電極膜 e 1 1 3 が、最終形状（図 1 2 5 等参照）にパターニングされる。それによって、上部電極膜 e 1 1 3 は、キャパシタ電極領域 e 1 1 3 A に複数の電極膜部分 e 1 3 1 ~ e 1 3 9 に分割された部分を有し、ヒューズ領域 e 1 1 3 C に複数のヒューズユニット e 1 0 7 を有し、それらのヒューズユニット e 1 0 7 に接続されたパッド領域 e 1 1 3 B を有するパターンに整形される。上部電極膜 e 1 1 3 が分割されることによって、電極膜部分 e 1 3 1 ~ e 1 3 9 の数に応じた複数のキャパシタ要素 C 1 ~ C 9 を形成することができる。上部電極膜 e 1 1 3 のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0610] 以上によって、チップコンデンサ e 1 0 1 における素子 e 5 （キャパシタ要

素C 1～C 9やヒューズユニットe 1 0 7) が形成される。素子e 5 が形成された後に、プラズマC V D法によって絶縁膜e 4 5が、素子e 5 (上部電極膜e 1 1 3、上部電極膜e 1 1 3が形成されていない領域における容量膜e 1 1 2) を全て覆うように形成される(図1 1 6 A参照)。その後は、第1溝e 4 4および第2溝e 4 8が形成されてから(図1 1 6 Bおよび図1 1 6 C参照)、開口e 2 5が形成される(図1 1 6 D参照)。そして、開口e 2 5から露出された上部電極膜e 1 1 3のパッド領域e 1 1 3 Bと下部電極膜e 1 1 1のパッド領域e 1 1 1 Bとにプローブe 7 0を押し当てて、複数のキャパシタ要素C 0～C 9の総容量値が測定される(図1 1 6 D参照)。この測定された総容量値に基づき、目的とするチップコンデンサe 1 0 1の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される。

[0611] この状態から、ヒューズユニットe 1 0 7を溶断するためのレーザトリミングが行われる。すなわち、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニットe 1 0 7にレーザ光を当てて、そのヒューズユニットe 1 0 7の幅狭部e 1 0 7 C (図1 2 5参照) が溶断される。これにより、対応するキャパシタ要素がパッド領域e 1 1 3 Bから切り離される。ヒューズユニットe 1 0 7にレーザ光を当てるとき、カバー膜である絶縁膜e 4 5の働きによって、ヒューズユニットe 1 0 7の近傍にレーザ光のエネルギーが蓄積され、それによって、ヒューズユニットe 1 0 7が溶断する。これにより、チップコンデンサe 1 0 1の容量値を確実に目的の容量値とすることができる。

[0612] 次に、たとえばプラズマC V D法によって、カバー膜(絶縁膜e 4 5)上に窒化シリコン膜が堆積させられ、パッシベーション膜e 2 3が形成される。前述のカバー膜は最終形態において、パッシベーション膜e 2 3と一体化し、このパッシベーション膜e 2 3の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜e 2 3は、ヒューズ溶断の際に同時に破壊されたカバー膜の開口内に入り込み、ヒューズユニットe 1 0 7の切断面を覆っ

て保護する。したがって、パッシベーション膜 e 2 3 は、ヒューズユニット e 1 0 7 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。これにより、信頼性の高いチップコンデンサ e 1 0 1 を製造することができる。パッシベーション膜 e 2 3 は、全体で、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。

[0613] 次に、前述した樹脂膜 e 4 6 が形成される（図 1 1 6 E 参照）。その後、樹脂膜 e 4 6 やパッシベーション膜 e 2 3 によって塞がれていた開口 e 2 5 が開放され（図 1 1 6 F 参照）、パッド領域 e 1 1 1 B およびパッド領域 e 1 1 3 B が、開口 e 2 5 を介して樹脂膜 e 4 6（樹脂膜 e 2 4）から露出される。その後、開口 e 2 5 において樹脂膜 e 4 6 から露出されたパッド領域 e 1 1 1 B 上およびパッド領域 e 1 1 3 B 上に、たとえば無電解めっき法によって、第 1 接続電極 e 3 および第 2 接続電極 e 4 が形成される（図 1 1 6 G 参照）。

[0614] その後、チップ抵抗器 e 1 の場合と同じように、基板 e 3 0 を裏面 e 3 0 B から研削すると（図 1 1 6 H 参照）、チップコンデンサ e 1 0 1 の個片を切り出すことができる。フォトリソグラフィ工程を利用した上部電極膜 e 1 1 3 のパターニングでは、微小面積の電極膜部分 e 1 3 1 ~ e 1 3 9 を精度良く形成することができ、さらに微細なパターンのヒューズユニット e 1 0 7 を形成することができる。そして、上部電極膜 e 1 1 3 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ e 1 0 1 を得ることができる。つまり、このチップコンデンサ e 1 0 1 では、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、容量値の異なる複数のキャパシタ要素 C 1 ~ C 9 を組み合わせることによって、様々な容量値のチップコンデンサ e 1 0 1 を共通の設計で実現することができる。

[0615] 以上、第 5 参考例のチップ部品（チップ抵抗器 e 1 やチップコンデンサ e 1

01) について説明してきたが、第5参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、チップ抵抗器 e 1 の場合、複数の抵抗回路が公比 r ($0 < r, r \neq 1$) = 2 の等比数列をなす抵抗値を有する複数の抵抗回路を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。また、チップコンデンサ e 101 の場合にも、キャパシタ要素が公比 r ($0 < r, r \neq 1$) = 2 の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。

[0616] また、チップ抵抗器 e 1 やチップコンデンサ e 101 では、基板 e 2 の表面に絶縁層 e 20 が形成されているが、基板 e 2 が絶縁性の基板であれば、絶縁層 e 20 を省くこともできる。また、チップコンデンサ e 101 では、上部電極膜 e 113 だけが複数の電極膜部分に分割されている構成を示したが、下部電極膜 e 111 だけが複数の電極膜部分に分割されていたり、上部電極膜 e 113 および下部電極膜 e 111 が両方とも複数の電極膜部分に分割されていたりしてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。また、前述したチップコンデンサ e 101 では、上部電極膜 e 113 および下部電極膜 e 111 を有する 1 層のキャパシタ構造が形成されているが、上部電極膜 e 113 上に、容量膜を介して別の電極膜を積層することで、複数のキャパシタ構造が積層されてもよい。

[0617] チップコンデンサ e 101 では、また、基板 e 2 として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜 e 112 を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。また、第5参考例を、チップインダクタに適用した場合、当該チップインダクタにおいて前述した基板 e 2 上に形成された素子 e 5 は、複数のインダクタ要素（素子要素）を含んだインダクタ回路網（インダクタ素子）を含む。この場合、素子 e 5 は、基板 e 2 の表面 e 2

A上に形成された多層配線中に設けられていて、配線膜e 2 2によって形成されている。このチップインダクタでは、一つまたは複数のヒューズFを選択して切断することにより、インダクタ回路網における複数のインダクタ要素の組み合わせパターンを任意のパターンとすることができるので、インダクタ回路網の電気的特性が様々なチップインダクタを共通の設計で実現することができる。

[0618] そして、第5参考例を、チップダイオードに適用した場合、当該チップダイオードにおいて前述した基板e 2上に形成された素子e 5は、複数のダイオード要素（素子要素）を含んだダイオード回路網（ダイオード素子）を含む。ダイオード素子は基板e 2に形成されている。このチップダイオードでは、一つまたは複数のヒューズFを選択して切断することにより、ダイオード回路網における複数のダイオード要素の組み合わせパターンを任意のパターンとすることができるので、ダイオード回路網の電気的特性が様々なチップダイオードを共通の設計で実現することができる。

[0619] チップインダクタおよびチップダイオードのいずれにおいても、チップ抵抗器e 1やチップコンデンサe 1 0 1の場合と同じ作用効果を奏することができる。また、前述した第1接続電極e 3および第2接続電極e 4において、Ni層e 3 3とAu層e 3 5との間に介装されていたPd層e 3 4を省略することもできる。Ni層e 3 3とAu層e 3 5との接着性が良好なので、Au層e 3 5に前述したピンホールができないのであれば、Pd層e 3 4を省略しても構わない。

[0620] また、前述したようにエッチングによって第1溝e 4 4を形成する際に用いるレジストパターンe 4 1の開口e 4 2の交差部分4 3（図1 1 7参照）をラウンド形状にしておけば、完成したチップ部品では、基板e 2の表面e 2 A側のコーナー部（粗面領域Sにおけるコーナー部）1 1をラウンド状に成形することができる。また、チップ抵抗器e 1において説明した変形例1～5（図1 2 0～図1 2 4）の構成は、チップコンデンサe 1 0 1、チップインダクタおよびチップダイオードのいずれにおいても適用可能である。

- [0621] 図129は、第5参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォンe201は、扁平な直方体形状の筐体e202の内部に電子部品を収納して構成されている。筐体e202は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が4つの側面で結合されている。筐体e202の一つの主面には、液晶パネルや有機ELパネル等で構成された表示パネルe203の表示面が露出している。表示パネルe203の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。
- [0622] 表示パネルe203は、筐体e202の一つの主面の大部分を占める長方形形状に形成されている。表示パネルe203の一つの短辺に沿うように、操作ボタンe204が配置されている。この実施形態では、複数（3つ）の操作ボタンe204が表示パネルe203の短辺に沿って配列されている。使用者は、操作ボタンe204およびタッチパネルを操作することによって、スマートフォンe201に対する操作を行い、必要な機能呼び出して実行させることができる。
- [0623] 表示パネルe203の別の一つの短辺の近傍には、スピーカe205が配置されている。スピーカe205は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタンe204の近くには、筐体e202の一つの側面にマイクロフォンe206が配置されている。マイクロフォンe206は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。
- [0624] 図130は、筐体e202の内部に收容された電子回路アセンブリe210の構成を示す図解的な平面図である。電子回路アセンブリe210は、配線基板e211と、配線基板e211の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（IC）e212-e220と、複数のチップ部品とを含む。複数のICは、伝送処理ICe212、ワンセグTV受信ICe213、GPS受信ICe214、FMチューナICe2

15、電源IC e216、フラッシュメモリ e217、マイクロコンピュータ e218、電源IC e219およびベースバンドIC e220を含む。複数のチップ部品（第5参考例のチップ部品に相当する）は、チップインダクタ e221, e225, e235、チップ抵抗器 e222, e224, e233、チップキャパシタ e227, e230, e234、およびチップダイオード e228, e231を含む。

[0625] 伝送処理IC e212は、表示パネル e203に対する表示制御信号を生成し、かつ表示パネル e203の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル e203との接続のために、伝送処理IC e212には、フレキシブル配線 e209が接続されている。

ワンセグTV受信IC e213は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグTV受信IC e213の近傍には、複数のチップインダクタ e221と、複数のチップ抵抗器 e222とが配置されている。ワンセグTV受信IC e213、チップインダクタ e221およびチップ抵抗器 e222は、ワンセグ放送受信回路 e223を構成している。チップインダクタ e221およびチップ抵抗器 e222は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 e223に高精度な回路定数を与える。

[0626] GPS受信IC e214は、GPS衛星からの電波を受信してスマートフォン e201の位置情報を出力する電子回路を内蔵している。FMチューナIC e215は、その近傍において配線基板 e211に実装された複数のチップ抵抗器 e224および複数のチップインダクタ e225とともに、FM放送受信回路 e226を構成している。チップ抵抗器 e224およびチップインダクタ e225は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路 e226に高精度な回路定数を与える。

[0627] 電源IC e216の近傍には、複数のチップキャパシタ e227および複数

のチップダイオード e 2 2 8 が配線基板 e 2 1 1 の実装面に実装されている。電源 I C e 2 1 6 は、チップキャパシタ e 2 2 7 およびチップダイオード e 2 2 8 とともに、電源回路 e 2 2 9 を構成している。フラッシュメモリ e 2 1 7 は、オペレーティングシステムプログラム、スマートフォン e 2 0 1 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

[0628] マイクロコンピュータ e 2 1 8 は、CPU、ROM および RAM を内蔵しており、各種の演算処理を実行することにより、スマートフォン e 2 0 1 の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ e 2 1 8 の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。電源 I C e 2 1 9 の近くには、複数のチップキャパシタ e 2 3 0 および複数のチップダイオード e 2 3 1 が配線基板 e 2 1 1 の実装面に実装されている。電源 I C e 2 1 9 は、チップキャパシタ e 2 3 0 およびチップダイオード e 2 3 1 とともに、電源回路 e 2 3 2 を構成している。

[0629] ベースバンド I C e 2 2 0 の近くには、複数のチップ抵抗器 e 2 3 3、複数のチップキャパシタ e 2 3 4、および複数のチップインダクタ e 2 3 5 が、配線基板 e 2 1 1 の実装面に実装されている。ベースバンド I C e 2 2 0 は、チップ抵抗器 e 2 3 3、チップキャパシタ e 2 3 4 およびチップインダクタ e 2 3 5 とともに、ベースバンド通信回路 e 2 3 6 を構成している。ベースバンド通信回路 e 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

[0630] このような構成によって、電源回路 e 2 2 9、e 2 3 2 によって適切に調整された電力が、伝送処理 I C e 2 1 2、GPS 受信 I C e 2 1 4、ワンセグ放送受信回路 e 2 2 3、FM 放送受信回路 e 2 2 6、ベースバンド通信回路 e 2 3 6、フラッシュメモリ e 2 1 7 およびマイクロコンピュータ e 2 1 8 に供給される。マイクロコンピュータ e 2 1 8 は、伝送処理 I C e 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 I C e 2 1

2から表示パネルe 2 0 3に表示制御信号を出力して表示パネルe 2 0 3に各種の表示を行わせる。

[0631] タッチパネルまたは操作ボタンe 2 0 4の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路e 2 2 3の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネルe 2 0 3に出力し、受信された音声をスピーカe 2 0 5から音響化させるための演算処理が、マイクロコンピュータe 2 1 8によって実行される。また、スマートフォンe 2 0 1の位置情報が必要とされるときには、マイクロコンピュータe 2 1 8は、GPS受信ICe 2 1 4が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0632] さらに、タッチパネルまたは操作ボタンe 2 0 4の操作によってFM放送受信指令が入力されると、マイクロコンピュータe 2 1 8は、FM放送受信回路e 2 2 6を起動し、受信された音声をスピーカe 2 0 5から出力させるための演算処理を実行する。フラッシュメモリe 2 1 7は、通信によって取得したデータの記憶や、マイクロコンピュータe 2 1 8の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータe 2 1 8は、必要に応じて、フラッシュメモリe 2 1 7に対してデータを書き込み、またフラッシュメモリe 2 1 7からデータを読み出す。

[0633] 電話通信またはデータ通信の機能は、ベースバンド通信回路e 2 3 6によって実現される。マイクロコンピュータe 2 1 8は、ベースバンド通信回路e 2 3 6を制御して、音声またはデータを送受信するための処理を行う。＜第6参考例に係る発明＞（1）第6参考例に係る発明の特徴 たとえば、第6参考例に係る発明の特徴は、以下のF 1～F 1 5である。（F 1）基板上に形成された素子と、前記素子を外部接続するために前記基板上に形成された外部接続電極と、前記基板上に形成され、前記素子を覆い、前記外部接続電極を露出させる保護樹脂膜とを含み、前記保護樹脂膜の表面の前記基板の表面からの高さが、前記外部接続電極の前記基板の表面からの高さ以上である

、チップ部品。

[0634] この構成によれば、チップ部品を実装する場合や、チップ部品に対して応力試験を行う場合において、チップ部品における外部接続電極側を何かに押し付けようとしても、その際にチップ部品にかかる応力は、外部接続電極だけでなく保護樹脂膜によっても受け止められる。つまり、チップ部品において応力を受ける部分の面積を増大させることができるので、チップ部品にかかる応力を分散できる。これにより、チップ部品に対する応力の集中を抑制できる。(F 2) 一对の前記外部接続電極を含み、前記保護樹脂膜が、前記一对の外部接続電極の間に配置され、平坦な応力分散面を有している、F 1 に記載のチップ部品。

[0635] この構成によれば、保護樹脂膜の応力分散面によって、チップ部品にかかる応力をより効果的に分散できる。これにより、チップ部品に対する応力の集中を一層抑制できる。(F 3) 前記素子が複数の素子要素を含み、前記基板上に設けられ、前記複数の素子要素をそれぞれ切り離し可能に前記外部接続電極に接続する複数のヒューズをさらに含む、F 1 または F 2 に記載のチップ部品。

[0636] この構成によれば、このチップ部品では、一つまたは複数のヒューズを選択して切断することにより、素子における複数の素子要素の組み合わせパターンを任意のパターンとすることができるので、素子の電気的特性が様々なチップ部品を共通の設計で実現することができる。(F 4) 前記素子要素が抵抗体であり、前記チップ部品がチップ抵抗器である、F 3 に記載のチップ部品。

[0637] この構成によれば、このチップ部品(チップ抵抗器)では、一つまたは複数のヒューズを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体を組み合わせることによって、様々な抵抗値のチップ抵抗器を共通の設計で実現することができる。(F 5) 前記素子要素がキャパシタ要素であり、前記チップ部品がチップコンデンサである、F 3 に記載のチップ部品。

- [0638] この構成によれば、このチップ部品（チップコンデンサ）では、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。（F 6）前記素子要素がインダクタ要素であり、前記チップ部品がチップインダクタである、F 3に記載のチップ部品。
- [0639] この構成によれば、このチップ部品（チップインダクタ）では、一つまたは複数のヒューズを選択して切断することにより、複数のインダクタ要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップインダクタを共通の設計で実現することができる。（F 7）前記素子要素がダイオード要素であり、前記チップ部品がチップダイオードである、F 3に記載のチップ部品。
- [0640] この構成によれば、このチップ部品（チップダイオード）では、一つまたは複数のヒューズを選択して切断することにより、複数のダイオード要素の組み合わせパターンを任意のパターンとすることができるので、電気的特性が様々なチップダイオードを共通の設計で実現することができる。（F 8）前記保護樹脂膜は、ポリイミドからなることが好ましい。（F 9）前記保護樹脂膜には、前記保護樹脂膜を厚さ方向に貫通し、前記外部接続電極が配置される開口が形成されている、F 1～F 8のいずれか一項に記載のチップ部品。
- [0641] この場合、保護樹脂膜では、開口から、外部接続電極を露出させることができる。（F 10）前記開口は、前記保護樹脂膜の表面に向かうのに従って広がっていてもよい。（F 11）前記外部接続電極の表面では、端部が基板の表面側へ湾曲している。（F 12）前記外部接続電極は、Ni層と、Au層とを含み、前記Au層が最表面に露出している、F 1～F 11のいずれか一項に記載のチップ部品。
- [0642] この場合、外部接続電極では、Ni層の表面がAu層によって覆われている

ので、Ni層が酸化することを防止できる。(F13) 前記外部接続電極が、前記Ni層と前記Au層との間に介装されたPd層をさらに含む、F12に記載のチップ部品。この場合、外部接続電極では、Au層を薄くすることによってAu層に貫通孔(ピンホール)ができてしまっても、Ni層とAu層との間に介装されたPd層が当該貫通孔を塞いでいるので、当該貫通孔からNi層が外部に露出されて酸化することを防止できる。(F14) 前記基板と前記保護樹脂膜との間に配置され、前記基板の表面を覆うパッシベーション膜をさらに含んでもよい。(F15) 前記パッシベーション膜は、前記基板の側面を覆っていてもよい。(2) 第6参考例に係る発明の実施形態 以下では、第6参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図131～図154で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

[0643] 図131(a)は、第6参考例の一実施形態に係るチップ抵抗器の構成を説明するための模式的な斜視図であり、図131(b)は、チップ抵抗器が実装基板に実装された状態を示す模式的な断面図である。このチップ抵抗器f1は、微小なチップ部品であり、図131(a)に示すように、直方体形状をなしている。チップ抵抗器f1の平面形状は、矩形である。チップ抵抗器f1の寸法に関し、たとえば、長さL(長辺f81の長さ)が約0.6mmであり、幅W(短辺f82の長さ)が約0.3mmであり、厚さTが約0.2mmである。

[0644] このチップ抵抗器f1は、基板上に多数個のチップ抵抗器f1を格子状に形成してから当該基板に溝を形成した後、裏面研磨(または当該基板を溝で分断)して個々のチップ抵抗器f1に分離することによって得られる。チップ抵抗器f1は、チップ抵抗器f1の本体を構成する基板f2と、一对の外部接続電極となる第1接続電極f3および第2接続電極f4と、第1接続電極f3および第2接続電極f4によって外部接続される素子f5とを主に備えている。

[0645] 基板 f 2 は、略直方体のチップ形状である。基板 f 2 において、図 1 3 1 (a) における上面は、表面 f 2 A である。表面 f 2 A は、基板 f 2 において素子 f 5 が形成される面（素子形成面）であり、略長方形形状である。基板 f 2 の厚さ方向において表面 f 2 A とは反対側の面は、裏面 f 2 B である。表面 f 2 A と裏面 f 2 B とは、ほぼ同形状であり、互いに平行である。ただし、裏面 f 2 B は、表面 f 2 A よりも大きい。そのため、表面 f 2 A に直交する方向から見た平面視において、表面 f 2 A は、裏面 f 2 B の内側におさまる。表面 f 2 A における一对の長辺 f 8 1 および短辺 f 8 2 によって区画された矩形状の端縁を、縁部 f 8 5 ということにし、裏面 f 2 B における一对の長辺 f 8 1 および短辺 f 8 2 によって区画された矩形状の端縁を、縁部 f 9 0 ということにする。

[0646] 基板 f 2 は、表面 f 2 A および裏面 f 2 B 以外に、複数の側面（側面 f 2 C、側面 f 2 D、側面 f 2 E および側面 f 2 F）を有している。当該複数の側面は、表面 f 2 A および裏面 f 2 B のそれぞれに交差（詳しくは、直交）して延びて、表面 f 2 A および裏面 f 2 B の間を繋いでいる。側面 f 2 C は、表面 f 2 A および裏面 f 2 B における長手方向一方側（図 1 3 1 (a) における左手前側）の短辺 f 8 2 間に架設されていて、側面 f 2 D は、表面 f 2 A および裏面 f 2 B における長手方向他方側（図 1 3 1 (a) における右奥側）の短辺 f 8 2 間に架設されている。側面 f 2 C および側面 f 2 D は、当該長手方向における基板 f 2 の両端面である。側面 f 2 E は、表面 f 2 A および裏面 f 2 B における短手方向一方側（図 1 3 1 (a) における左奥側）の長辺 f 8 1 間に架設されていて、側面 f 2 F は、表面 f 2 A および裏面 f 2 B における短手方向他方側（図 1 3 1 (a) における右手前側）の長辺 f 8 1 間に架設されている。側面 f 2 E および側面 f 2 F は、当該短手方向における基板 f 2 の両端面である。側面 f 2 C および側面 f 2 D のそれぞれは、側面 f 2 E および側面 f 2 F のそれぞれと交差（詳しくは、直交）している。

[0647] 以上により、表面 f 2 A ～側面 f 2 F において隣り合うもの同士は、略直角

を成している。側面 f 2 C、側面 f 2 D、側面 f 2 E および側面 f 2 F のそれぞれ（以下では、「各側面」ということにする）は、表面 f 2 A 側の粗面領域 S と、裏面 f 2 B 側の筋状パターン領域 P とを有している。各側面は、粗面領域 S では、図 1 3 1 (a) の細かいドットで示したように、不規則パターンのざらざらした粗面になっている。各側面は、筋状パターン領域 P では、後述するダイシングソーの研削跡をなす多数の筋（ソーマーク）V が規則的なパターンで残っている。このように、各側面に粗面領域 S および筋状パターン領域 P が存在するのは、チップ抵抗器 f 1 の製造工程によるからであり、詳しくは、追って説明する。

[0648] 各側面において、粗面領域 S は、表面 f 2 A 側の略半分を占めていて、筋状パターン領域 P は、裏面 f 2 B 側の略半分を占めている。各側面において、筋状パターン領域 P が粗面領域 S よりも基板 f 2 の外方（平面視における基板 f 2 の外側）にはみ出しており、これにより、粗面領域 S と筋状パターン領域 P との間に、段差 N が形成されている。段差 N は、粗面領域 S の下端縁と筋状パターン領域 P の上端縁との間をつないで表面 f 2 A および裏面 f 2 B と平行に延びている。各側面の段差 N はつながっていて、全体として、平面視で表面 f 2 A の縁部 f 8 5 と裏面 f 2 B の縁部 f 9 0 との間に位置する矩形枠体状をなしている。

[0649] このように各側面に段差 N が設けられているので、前述したように、裏面 f 2 B は、表面 f 2 A よりも大きい。基板 f 2 では、表面 f 2 A および側面 f 2 C ~ f 2 F のそれぞれの全域（各側面では粗面領域 S および筋状パターン領域 P の両方）がパッシベーション膜 f 2 3 で覆われている。そのため、厳密には、図 1 3 1 (a) では、表面 f 2 A および側面 f 2 C ~ f 2 F のそれぞれの全域は、パッシベーション膜 f 2 3 の内側（裏側）に位置していて、外部に露出されていない。ここで、パッシベーション膜 f 2 3 において、表面 f 2 A を覆う部分を表面被覆部 f 2 3 A といい、側面 f 2 C ~ f 2 F のそれぞれを覆う部分を側面被覆部 f 2 3 B ということにする。

[0650] さらに、チップ抵抗器 f 1 は、樹脂膜 f 2 4 を有している。樹脂膜 f 2 4 は

、パッシベーション膜 f 2 3 上に形成されており、表面 f 2 A の全域を少なくとも覆う保護膜（保護樹脂膜）である。パッシベーション膜 f 2 3 および樹脂膜 f 2 4 については、以降で詳説する。第 1 接続電極 f 3 および第 2 接続電極 f 4 は、基板 f 2 の表面 f 2 A 上において縁部 f 8 5 よりも内側の領域に形成されていて、表面 f 2 A 上の樹脂膜 f 2 4 から部分的に露出されている。換言すれば、樹脂膜 f 2 4 は、第 1 接続電極 f 3 および第 2 接続電極 f 4 を露出させるように表面 f 2 A（厳密には表面 f 2 A 上のパッシベーション膜 f 2 3）を覆っている。第 1 接続電極 f 3 および第 2 接続電極 f 4 のそれぞれは、たとえば、Ni（ニッケル）、Pd（パラジウム）および Au（金）をこの順番で表面 f 2 A 上に積層することによって構成されている。第 1 接続電極 f 3 および第 2 接続電極 f 4 は、表面 f 2 A の長手方向に間隔を隔てて配置されており、表面 f 2 A の短手方向において長手である。図 1 3 1（a）では、表面 f 2 A において、側面 f 2 C 寄りの位置に第 1 接続電極 f 3 が設けられ、側面 f 2 D 寄りの位置に第 2 接続電極 f 4 が設けられている。

[0651] 素子 f 5 は、素子回路網であって、基板 f 2 上（表面 f 2 A 上）、詳しくは、基板 f 2 の表面 f 2 A における第 1 接続電極 f 3 と第 2 接続電極 f 4 との間の領域に形成されていて、パッシベーション膜 f 2 3（表面被覆部 f 2 3 A）および樹脂膜 f 2 4 によって上から被覆されている。この実施形態の素子 f 5 は、抵抗 f 5 6 である。抵抗 f 5 6 は、等しい抵抗値を有する複数個の（単位）抵抗 R を表面 f 2 A 上でマトリックス状に配列した抵抗回路網によって構成されている。各抵抗 R は、TiN（窒化チタン）、TiON（酸化窒化チタン）または TiSiON からなる。素子 f 5 は、後述する配線膜 f 2 2 に電氣的に接続されていて、配線膜 f 2 2 を介して第 1 接続電極 f 3 と第 2 接続電極 f 4 とに電氣的に接続されている。

[0652] 図 1 3 1（b）に示すように、第 1 接続電極 f 3 および第 2 接続電極 f 4 を実装基板 f 9 に対向させて、半田 f 1 3 によって、実装基板 f 9 における 1

対の接続端子 f 8 8 に対して電気的かつ機械的に接続する。これによって、チップ抵抗器 f 1 を実装基板 f 9 に実装（フリップチップ接続）することができる。なお、外部接続電極として機能する第 1 接続電極 f 3 および第 2 接続電極 f 4 は、半田濡れ性の向上および信頼性の向上のために、金（Au）で形成するか、または表面に金メッキを施すことが望ましい。

[0653] 図 1 3 2 は、チップ抵抗器の平面図であり、第 1 接続電極、第 2 接続電極および素子の配置関係ならびに素子の平面視の構成（レイアウトパターン）を示す図である。図 1 3 2 を参照して、抵抗回路網である素子 f 5 は、行方向（基板 f 2 の長手方向）に沿って配列された 8 個の抵抗体 R と、列方向（基板 f 2 の幅方向）に沿って配列された 4 4 個の抵抗体 R とで構成された合計 3 5 2 個の抵抗体 R を有している。これらの抵抗体 R は、素子 f 5 の抵抗回路網を構成する複数の素子要素である。

[0654] これら多数個の抵抗体 R が 1 個～6 4 個の所定個数毎にまとめられて電気的に接続されることによって、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、導体膜 D（導体で形成された配線膜）で所定の態様に接続されている。さらに、基板 f 2 の表面 f 2 A には、抵抗回路を素子 f 5 に対して電気的に組み込んだり、または、素子 f 5 から電気的に分離したりするために切断（溶断）可能な複数のヒューズ（ヒューズ）F が設けられている。複数のヒューズ F および導体膜 D は、第 2 接続電極 f 3 の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズ F および導体膜 D が隣接するように配置され、その配列方向が直線状になっている。複数のヒューズ F は、複数種類の抵抗回路（抵抗回路毎の複数の抵抗体 R）のそれぞれを第 2 接続電極 f 3 に対して切断可能（切り離し可能）に接続している。

[0655] 図 1 3 3 A は、図 1 3 2 に示す素子の一部分を拡大して描いた平面図である。図 1 3 3 B は、素子における抵抗体の構成を説明するために描いた図 1 3 3 A の B－B に沿う長さ方向の縦断面図である。図 1 3 3 C は、素子における抵抗体の構成を説明するために描いた図 1 3 3 A の C－C に沿う幅方向の

縦断面図である。 図 1 3 3 A、図 1 3 3 B および 図 1 3 3 C を参照して、抵抗体 R の構成について説明をする。

- [0656] チップ抵抗器 f 1 は、前述した配線膜 f 2 2、パッシベーション膜 f 2 3 および樹脂膜 f 2 4 の他に、絶縁層 f 2 0 と抵抗体膜 f 2 1 とをさらに備えている（図 1 3 3 B および 図 1 3 3 C 参照）。絶縁層 f 2 0、抵抗体膜 f 2 1、配線膜 f 2 2、パッシベーション膜 f 2 3 および樹脂膜 f 2 4 は、基板 f 2（表面 f 2 A）上に形成されている。絶縁層 f 2 0 は、 SiO_2 （酸化シリコン）からなる。絶縁層 f 2 0 は、基板 f 2 の表面 f 2 A の全域を覆っている。絶縁層 f 2 0 の厚さは、約 1 0 0 0 0 Å である。
- [0657] 抵抗体膜 f 2 1 は、絶縁層 f 2 0 上に形成されている。抵抗体膜 f 2 1 は、 TiN 、 TiON または TiSiON により形成されている。抵抗体膜 f 2 1 の厚さは、約 2 0 0 0 Å である。抵抗体膜 f 2 1 は、第 1 接続電極 f 3 と第 2 接続電極 f 4 との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン f 2 1 A」という）を構成していて、抵抗体膜ライン f 2 1 A は、ライン方向に所定の位置で切断されている場合がある（図 1 3 3 A 参照）。
- [0658] 抵抗体膜ライン f 2 1 A 上には、配線膜 f 2 2 が積層されている。配線膜 f 2 2 は、 Al （アルミニウム）またはアルミニウムと Cu （銅）との合金（ AlCu 合金）からなる。配線膜 f 2 2 の厚さは、約 8 0 0 0 Å である。配線膜 f 2 2 は、抵抗体膜ライン f 2 1 A 上に、ライン方向に一定間隔 R を開けて積層されていて、抵抗体膜ライン f 2 1 A に接している。
- [0659] この構成の抵抗体膜ライン f 2 1 A および配線膜 f 2 2 の電気的特徴を回路記号で示すと、図 1 3 4 の通りである。すなわち、図 1 3 4（a）に示すように、所定間隔 R の領域の抵抗体膜ライン f 2 1 A 部分が、それぞれ、一定の抵抗値 r を有する 1 つの抵抗体 R を形成している。そして、配線膜 f 2 2 が積層された領域では、配線膜 f 2 2 が隣り合う抵抗体 R 同士を電氣的に接続することによって、当該配線膜 f 2 2 で抵抗体膜ライン f 2 1 A が短絡されている。よって、図 1 3 4（b）に示す抵抗 r の抵抗体 R の直列接続か

らなる抵抗回路が形成されている。

[0660] また、隣接する抵抗体膜ライン f 2 1 A 同士は抵抗体膜 f 2 1 および配線膜 f 2 2 で接続されているから、図 1 3 3 A に示す素子 f 5 の抵抗回路網は、図 1 3 4 (c) に示す（前述した抵抗体 R の単位抵抗からなる）抵抗回路を構成している。このように、抵抗体膜 f 2 1 および配線膜 f 2 2 は、抵抗体 R や抵抗回路（つまり素子 f 5）を構成している。そして、各抵抗体 R は、抵抗体膜ライン f 2 1 A（抵抗体膜 f 2 1）と、抵抗体膜ライン f 2 1 A 上にライン方向に一定間隔をあけて積層された複数の配線膜 f 2 2 とを含み、配線膜 f 2 2 が積層されていない一定間隔 R 部分の抵抗体膜ライン f 2 1 A が、1 個の抵抗体 R を構成している。抵抗体 R を構成している部分における抵抗体膜ライン f 2 1 A は、その形状および大きさが全て等しい。よって、基板 f 2 上にマトリックス状に配列された多数個の抵抗体 R は、等しい抵抗値を有している。

[0661] また、抵抗体膜ライン f 2 1 A 上に積層された配線膜 f 2 2 は、抵抗体 R を形成するとともに、複数個の抵抗体 R を接続して抵抗回路を構成するための導体膜 D の役目も果たしている（図 1 3 2 参照）。図 1 3 5 (a) は、図 1 3 2 に示すチップ抵抗器の平面図の一部分を拡大して描いたヒューズを含む領域の部分拡大平面図であり、図 1 3 5 (b) は、図 1 3 5 (a) の B-B に沿う断面構造を示す図である。

[0662] 図 1 3 5 (a) および (b) に示すように、前述したヒューズ F および導体膜 D も、抵抗体 R を形成する抵抗体膜 f 2 1 上に積層された配線膜 f 2 2 により形成されている。すなわち、抵抗体 R を形成する抵抗体膜ライン f 2 1 A 上に積層された配線膜 f 2 2 と同じレイヤーに、配線膜 f 2 2 と同じ金属材料である A l または A l C u 合金によってヒューズ F および導体膜 D が形成されている。なお、配線膜 f 2 2 は、前述したように、抵抗回路を形成するために、複数個の抵抗体 R を電氣的に接続する導体膜 D としても用いられている。

[0663] つまり、抵抗体膜 f 2 1 上に積層された同一レイヤーにおいて、抵抗体 R を

形成するための配線膜や、ヒューズFや、導体膜Dや、さらには、素子f5を第1接続電極f3および第2接続電極f4に接続するための配線膜が、配線膜f22として、同一の金属材料（AlまたはAlCu合金）を用いて形成されている。なお、ヒューズFを配線膜f22と異ならせている（区別している）のは、ヒューズFが切断しやすいように細く形成されていること、および、ヒューズFの周囲に他の回路要素が存在しないように配置されていることによるからである。

[0664] ここで、配線膜f22において、ヒューズFが配置された領域を、トリミング対象領域Xということにする（図132および図135（a）参照）。トリミング対象領域Xは、第2接続電極f3の内側辺沿いの直線状領域であって、トリミング対象領域Xには、ヒューズFだけでなく、導体膜Dも配置されている。また、トリミング対象領域Xの配線膜f22の下方にも抵抗体膜f21が形成されている（図135（b）参照）。そして、ヒューズFは、配線膜f22において、トリミング対象領域X以外の部分よりも配線間距離が大きい（周囲から離れた）配線である。

[0665] なお、ヒューズFは、配線膜f22の一部だけでなく、抵抗体R（抵抗体膜f21）の一部と抵抗体膜f21上の配線膜f22の一部とのまとまり（ヒューズ素子）を指していてもよい。また、ヒューズFは、導体膜Dと同一のレイヤーを用いる場合のみを説明したが、導体膜Dでは、その上に更に別の導体膜を積層するようにし、導体膜D全体の抵抗値を下げるようにしてもよい。なお、この場合であっても、ヒューズFの上に導体膜を積層しなければ、ヒューズFの溶断性が悪くなることはない。

[0666] 図136は、第6参考例の実施形態に係る素子の電気回路図である。図136を参照して、素子f5は、基準抵抗回路R8と、抵抗回路R64、2つの抵抗回路R32、抵抗回路R16、抵抗回路R8、抵抗回路R4、抵抗回路R2、抵抗回路R1、抵抗回路R/2、抵抗回路R/4、抵抗回路R/8、抵抗回路R/16、抵抗回路R/32とを第1接続電極f3からこの順番で直列接続することによって構成されている。基準抵抗回路R8および抵抗

回路 $R_{64} \sim R_2$ のそれぞれは、自身の末尾の数（ R_{64} の場合には「64」）と同数の抵抗体 R を直列接続することで構成されている。抵抗回路 R_1 は、1つの抵抗体 R で構成されている。抵抗回路 $R/2 \sim R/32$ のそれぞれは、自身の末尾の数（ $R/32$ の場合には「32」）と同数の抵抗体 R を並列接続することで構成されている。抵抗回路の末尾の数の意味については、後述する図137および図138においても同じである。

[0667] そして、基準抵抗回路 R_8 以外の抵抗回路 $R_{64} \sim R/32$ のそれぞれに対して、ヒューズ F が1つずつ並列的に接続されている。ヒューズ F 同士は、直接または導体膜 D （図135（a）参照）を介して直列に接続されている。図136に示すように全てのヒューズ F が溶断されていない状態では、素子 f_5 は、第1接続電極 f_3 および第2接続電極 f_4 間に設けられた8個の抵抗体 R の直列接続からなる基準抵抗回路 R_8 の抵抗回路を構成している。たとえば、1個の抵抗体 R の抵抗値 r を $r = 8 \Omega$ とすれば、 $8r = 64 \Omega$ の抵抗回路（基準抵抗回路 R_8 ）により第1接続電極 f_3 および第2接続電極 f_4 が接続されたチップ抵抗器 f_1 が構成されている。

[0668] また、全てのヒューズ F が溶断されていない状態では、基準抵抗回路 R_8 以外の複数種類の抵抗回路は、短絡された状態となっている。つまり、基準抵抗回路 R_8 には、12種類13個の抵抗回路 $R_{64} \sim R/32$ が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズ F により短絡されているので、電氣的に見ると、各抵抗回路は素子 f_5 に組み込まれてはいない。

[0669] この実施形態に係るチップ抵抗器 f_1 では、要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザ光で溶断する。それにより、並列的に接続されたヒューズ F が溶断された抵抗回路は、素子 f_5 に組み込まれることになる。よって、素子 f_5 の全体の抵抗値を、溶断されたヒューズ F に対応する抵抗回路が直列に接続されて組み込まれた抵抗値とすることができる。

[0670] 特に、複数種類の抵抗回路は、等しい抵抗値を有する抵抗体 R が、直列に1

個、2個、4個、8個、16個、32個…と、公比が2となる等比数列的に抵抗値Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の抵抗値Rが並列に2個、4個、8個、16個…と、公比が2となる等比数列的に抵抗値Rの個数が増加されて接続された複数種類の並列抵抗回路を備えている。そのため、ヒューズF（前述したヒューズ素子も含む）を選択的に溶断することにより、素子f5（抵抗f56）全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値となるように調整して、チップ抵抗器f1において所望の値の抵抗を発生させることができる。

[0671] 図137は、第6参考例の他の実施形態に係る素子の電気回路図である。

図136に示すように基準抵抗回路R8および抵抗回路R64～抵抗回路R/32を直列接続して素子f5を構成する代わりに、図137に示すように素子f5を構成してもかまわない。詳しくは、第1接続電極f3および第2接続電極f4の間で、基準抵抗回路R/16と、12種類の抵抗回路R/16、R/8、R/4、R/2、R1、R2、R4、R8、R16、R32、R64、R128の並列接続回路との直列接続回路によって素子f5を構成してもよい。

[0672] この場合、基準抵抗回路R/16以外の12種類の抵抗回路には、それぞれ、ヒューズFが直列に接続されている。全てのヒューズFが溶断されていない状態では、各抵抗回路は素子f5に対して電氣的に組み込まれている。要求される抵抗値に応じて、ヒューズFを選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズFに対応する抵抗回路（ヒューズFが直列に接続された抵抗回路）は、素子f5から電氣的に分離されるので、チップ抵抗器f1全体の抵抗値を調整することができる。

[0673] 図138は、第6参考例のさらに他の実施形態に係る素子の電気回路図である。図138に示す素子f5の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。直列接続される複数種類の抵抗回路には、先の実施形態と同様、抵抗回路毎に、並列にヒューズFが接続されていて、直列接続された複

数種類の抵抗回路は、全てヒューズFで短絡状態とされている。従って、ヒューズFを溶断すると、その溶断されるヒューズFで短絡されていた抵抗回路が、素子f 5に電氣的に組み込まれることになる。

[0674] 一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズFが接続されている。従って、ヒューズFを溶断することにより、溶断されたヒューズFが直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。かかる構成とすれば、たとえば、1 k Ω 以下の小抵抗は並列接続側で作し、1 k Ω 以上の抵抗回路を直列接続側で作れば、数 Ω の小抵抗から数M Ω の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗の回路網を用いて作ることができる。つまり、チップ抵抗器f 1では、一つまたは複数のヒューズFを選択して切断することにより、複数種類の抵抗値に、容易にかつ速やかに対応することができる。換言すれば、抵抗値の異なる複数の抵抗体Rを組み合わせることによって、様々な抵抗値のチップ抵抗器f 1を共通の設計で実現することができる。

[0675] 以上のように、このチップ抵抗器f 1では、トリミング対象領域Xにおいて、複数の抵抗体R（抵抗回路）の接続状態が変更可能である。図139は、チップ抵抗器の模式的な断面図である。次に、図139を参照して、チップ抵抗器f 1についてさらに詳しく説明する。なお、説明の便宜上、図139では、前述した素子f 5については簡略化して示しているとともに、基板f 2以外の各要素にはハッチングを付している。

[0676] ここでは、前述したパッシベーション膜f 23および樹脂膜f 24について説明する。パッシベーション膜f 23は、たとえばSiN（窒化シリコン）からなり、その厚さは、1000 Å～5000 Å（ここでは、約3000 Å）である。パッシベーション膜f 23は、前述したように、表面f 2Aの全域に亘って設けられた表面被覆部f 23Aと、側面f 2C～f 2Fのそれぞれにおける全域に亘って設けられた側面被覆部f 23Bとを含む。表面被覆部f 23Aは、抵抗体膜f 21および抵抗体膜f 21上の各配線膜f 22

(つまり、素子 f 5) を表面 (図 1 3 9 の上側) から被覆していて、素子 f 5 における各抗体 R の上面を覆っている。そのため、表面被覆部 f 2 3 A は、前述したトリミング対象領域 X における配線膜 f 2 2 も覆っている (図 1 3 5 (b) 参照)。また、表面被覆部 f 2 3 A は、素子 f 5 (配線膜 f 2 2 および抗体膜 f 2 1) に接しており、抗体膜 f 2 1 以外の領域では絶縁層 f 2 0 にも接している。これにより、表面被覆部 f 2 3 A は、表面 f 2 A 全域を覆って素子 f 5 および絶縁層 f 2 0 を保護する保護膜として機能している。また、表面 f 2 A では、表面被覆部 f 2 3 A によって、抗体 R 間における配線膜 f 2 2 以外での短絡 (隣り合う抗体膜ライン f 2 1 A 間における短絡) が防止されている。

[0677] 一方、側面 f 2 C ~ f 2 F のそれぞれに設けられた側面被覆部 f 2 3 B は、側面 f 2 C ~ f 2 F のそれぞれを保護する保護層として機能している。側面被覆部 f 2 3 B は、側面 f 2 C ~ f 2 F のそれぞれにおいて、粗面領域 S および筋状パターン領域 P を全て覆っており、粗面領域 S と筋状パターン領域 P との間の段差 N も漏れなく覆っている。また、側面 f 2 C ~ f 2 F のそれぞれと表面 f 2 A との境界は、前述した縁部 f 8 5 であるが、パッシベーション膜 f 2 3 は、当該境界 (縁部 f 8 5) も覆っている。パッシベーション膜 f 2 3 において、縁部 f 8 5 を覆っている部分 (縁部 f 8 5 に重なっている部分) を端部 f 2 3 C ということにする。

[0678] 樹脂膜 f 2 4 は、パッシベーション膜 f 2 3 とともにチップ抵抗器 f 1 の表面 f 2 A を保護するものであり、ポリイミド等の樹脂からなる。樹脂膜 f 2 4 は、平面視における表面 f 2 A において第 1 接続電極 f 3 および第 2 接続電極 f 4 以外の領域を全て覆うように、パッシベーション膜 f 2 3 の表面被覆部 f 2 3 A (前述した端部 f 2 3 C も含む) 上に形成されている。そのため、樹脂膜 f 2 4 は、表面 f 2 A 上の表面被覆部 f 2 3 A の表面 (表面被覆部 f 2 3 A に被覆された素子 f 5 やヒューズ F も含む) の全域を被覆している。一方で、樹脂膜 f 2 4 は、側面 f 2 C ~ f 2 F を覆っていない。そのため、樹脂膜 f 2 4 の外周における縁 2 4 A は、平面視において側面被覆部 f

23Bと整合しており、縁24Aにおける樹脂膜f24の側端面f24Bは、側面被覆部f23B（厳密には、各側面の粗面領域Sにおける側面被覆部f23B）と面一となって、基板f2の厚さ方向に延びている。樹脂膜f24の表面f24Cは、基板f2の表面f2Aと平行となるように平坦に延びている。チップ抵抗器f1における基板f2の表面f2A側に応力がかかった場合に、樹脂膜f24の表面f24C（特に、第1接続電極f3と第2接続電極f4との間の領域の表面f24C）が、応力分散面として機能して、当該応力を分散する。

[0679] また、樹脂膜f24において、平面視で離れた2つの位置には、開口f25が1つずつ形成されている。各開口f25は、樹脂膜f24およびパッシベーション膜f23（表面被覆部f23A）を、それぞれの厚さ方向において連続して貫通する貫通孔である。そのため、開口f25は、樹脂膜f24だけでなくパッシベーション膜f23にも形成されている。各開口f25からは、配線膜f22の一部が露出されている。配線膜f22において各開口f25から露出された部分は、外部接続用のパッド領域f22A（パッド）となっている。各開口f25は、表面被覆部f23Aでは、表面被覆部f23Aの厚さ方向（基板f2の厚さ方向と同じ）に沿って延びていて、樹脂膜f24では、表面被覆部f23A側から樹脂膜f24の表面f24Cに向かうのに従って基板f2の長手方向（図139における左右方向）に徐々に広がっている。そのため、樹脂膜f24において開口f25を区画する区画面f24Dは、基板f2の厚さ方向に対して交差する傾斜面になっている。なお、樹脂膜f24において各開口f25を縁取る部分には、開口f25を前記長手方向から区画する1対の区画面f24Dが存在するが、これらの区画面f24Dの間隔は、表面被覆部f23A側から樹脂膜f24の表面f24Cに向かうのに従って次第に広がっている。また、樹脂膜f24において各開口f25を縁取る部分には、開口f25を基板f2の短手方向から区画する別の1対の区画面f24Dが存在するが（図139にはあらわれていない）、これらの区画面f24Dの間隔も、表面被覆部f23A側から樹脂膜f2

4の表面f 2 4 Cに向かうのに従って次第に広がっていてもよい。

[0680] 2つの開口f 2 5のうち、一方の開口f 2 5は、第1接続電極f 3によって埋め尽くされ、他方の開口f 2 5は、第2接続電極f 4によって埋め尽くされている。第1接続電極f 3および第2接続電極f 4のそれぞれは、樹脂膜f 2 4の表面f 2 4 Cに向かって広がる開口f 2 5に応じて、樹脂膜f 2 4の表面f 2 4 Cに向かって広がっている。そのため、第1接続電極f 3および第2接続電極f 4のそれぞれの縦断面（基板f 2の長手方向および厚さ方向に沿う平面で切断したときの切断面）は、基板f 2の表面f 2 A側に上底を有して樹脂膜f 2 4の表面f 2 4 C側に下底を有する台形状をなしている。また、当該下底が第1接続電極f 3および第2接続電極f 4のそれぞれにおける表面f 3 A、f 4 Aとなるのだが、表面f 3 A、f 4 Aのそれぞれでは、開口f 2 5側の端部が基板f 2の表面f 2 A側へ湾曲している。なお、開口f 2 5が樹脂膜f 2 4の表面f 2 4 Cに向かって広がっていない場合（開口f 2 5を区画する区画面f 2 4 Dが基板f 2の厚さ方向に延びている）には、表面f 3 A、f 4 Aのそれぞれは、開口f 2 5側の端部を含む全ての領域において、基板f 2の表面f 2 Aに沿った平坦面になる。

[0681] また、前述したように、第1接続電極f 3および第2接続電極f 4のそれぞれは、Ni、PdおよびAuをこの順番で表面f 2 A上に積層することによって構成されているので、Ni層f 3 3、Pd層f 3 4およびAu層f 3 5を表面f 2 A側からこの順で有している。そのため、第1接続電極f 3および第2接続電極f 4のそれぞれにおいて、Ni層f 3 3とAu層f 3 5との間にPd層f 3 4が介装されている。第1接続電極f 3および第2接続電極f 4のそれぞれにおいて、Ni層f 3 3は各接続電極の大部分を占めており、Pd層f 3 4およびAu層f 3 5は、Ni層f 3 3に比べて格段に薄く形成されている。Ni層f 3 3は、チップ抵抗器f 1が実装基板f 9に実装された際に（図1 3 1（b）参照）、各開口f 2 5のパッド領域f 2 2 Aにおける配線膜f 2 2のA 1と、前述した半田f 1 3とを中継する役割を有している。

[0682] 第1接続電極 f 3 および第2接続電極 f 4 では、Ni 層 f 3 3 の表面が、Pd 層 f 3 4 を介してAu 層 f 3 5 によって覆われているので、Ni 層 f 3 3 が酸化することを防止できる。また、Au 層 f 3 5 を薄くすることによってAu 層 f 3 5 に貫通孔（ピンホール）ができてしまっても、Ni 層 f 3 3 とAu 層 f 3 5 との間に介装されたPd 層 f 3 4 が当該貫通孔を塞いでいるので、当該貫通孔からNi 層 f 3 3 が外部に露出されて酸化することを防止できる。

[0683] そして、第1接続電極 f 3 および第2接続電極 f 4 のそれぞれでは、Au 層 f 3 5 が、表面 f 3 A、f 4 Aとして、最表面に露出しており、樹脂膜 f 2 4 の表面 f 2 4 Aにおいて開口 f 2 5 から外部を臨んでいる。第1接続電極 f 3 は、一方の開口 f 2 5 を介して、この開口 f 2 5 におけるパッド領域 f 2 2 Aにおいて配線膜 f 2 2 に対して電氣的に接続されている。第2接続電極 f 4 は、他方の開口 f 2 5 を介して、この開口 f 2 5 におけるパッド領域 f 2 2 Aにおいて配線膜 f 2 2 に対して電氣的に接続されている。第1接続電極 f 3 および第2接続電極 f 4 のそれぞれでは、Ni 層 f 3 3 がパッド領域 f 2 2 Aに対して接続されている。これにより、第1接続電極 f 3 および第2接続電極 f 4 のそれぞれは、素子 f 5 に対して電氣的に接続されている。ここで、配線膜 f 2 2 は、抵抗体 R のまとまり（抵抗 f 5 6）、第1接続電極 f 3 および第2接続電極 f 4 のそれぞれに接続された配線を形成している。

[0684] このように、開口 f 2 5 が形成された樹脂膜 f 2 4 およびパッシベーション膜 f 2 3 は、開口 f 2 5 から第1接続電極 f 3 および第2接続電極 f 4 を露出させた状態で表面 f 2 Aを覆っている。そのため、樹脂膜 f 2 4 の表面 f 2 4 Cにおいて開口 f 2 5 に露出された第1接続電極 f 3 および第2接続電極 f 4 を介して、チップ抵抗器 f 1 と実装基板 f 9 との間における電氣的接続を達成することができる（図131（b）参照）。

[0685] ここで、樹脂膜 f 2 4 の厚み、つまり、基板 f 2 の表面 f 2 Aからの樹脂膜 f 2 4 の表面 f 2 4 Cまでの高さHは、第1接続

電極 f 3 および第 2 接続電極 f 4 のそれぞれの（表面 f 2 A からの）高さ J 以上である。図 1 3 9 では、第 1 の実施形態として、高さ H と高さ J とは同じになっていて、樹脂膜 f 2 4 の表面 f 2 4 C と、第 1 接続電極 f 3 および第 2 接続電極 f 4 のそれぞれの表面 f 3 A, f 4 A とが面一になっている。

[0686] 図 1 4 0 A ~ 図 1 4 0 H は、図 1 3 9 に示すチップ抵抗器の製造方法を示す図解的な断面図である。まず、図 1 4 0 A に示すように、基板 f 2 の元となる基板 f 3 0 を用意する。この場合、基板 f 3 0 の表面 f 3 0 A は、基板 f 2 の表面 f 2 A であり、基板 f 3 0 の裏面 f 3 0 B は、基板 f 2 の裏面 f 2 B である。

[0687] そして、基板 f 3 0 の表面 f 3 0 A を熱酸化して、表面 f 3 0 A に SiO_2 等からなる絶縁層 f 2 0 を形成し、絶縁層 f 2 0 上に素子 f 5（抵抗体 R および抵抗体 R に接続された配線膜 f 2 2）を形成する。具体的には、スパッタリングにより、まず、絶縁層 f 2 0 の上に TiN 、 TiON または TiSiON の抵抗体膜 f 2 1 を全面に形成し、さらに、抵抗体膜 f 2 1 に接するように抵抗体膜 f 2 1 の上にアルミニウム（Al）の配線膜 f 2 2 を積層する。その後、フォトリソグラフィプロセスを用い、たとえば RIE（Reactive Ion Etching：反応性イオンエッチング）等のドライエッチングにより抵抗体膜 f 2 1 および配線膜 f 2 2 を選択的に除去してパターニングし、図 1 3 3 A に示すように、平面視で、抵抗体膜 f 2 1 が積層された一定幅の抵抗体膜ライン f 2 1 A が一定間隔をあけて列方向に配列される構成を得る。このとき、部分的に抵抗体膜ライン f 2 1 A および配線膜 f 2 2 が切断された領域も形成されるとともに、前述したトリミング対象領域 X においてヒューズ F および導体膜 D が形成される（図 1 3 2 参照）。続いて、たとえばウェットエッチングにより抵抗体膜ライン f 2 1 A の上に積層された配線膜 f 2 2 を選択的に除去してパターニングする。この結果、抵抗体膜ライン f 2 1 A 上に一定間隔 R をあけて配線膜 f 2 2 が積層された構成の素子 f 5（換言すれば複数の抵抗体 R）が得られる。このように、抵抗体膜 f 2 1 に配線膜 f 2

2を積層して抵抗膜f21および配線膜f22をパターニングするだけで、複数の抵抗RとともにヒューズFも一括して簡易に形成することができる。なお、抵抗膜f21および配線膜f22が目標寸法で形成されたか否かを確認するために、素子f5全体の抵抗値を測定してもよい。

[0688] 図140Aを参照して、素子f5は、1枚の基板f30に形成するチップ抵抗器f1の数に応じて、基板f30の表面f30A上における多数の箇所に形成される。基板f30において(1つの)素子f5(前述した抵抗f56)が形成された1つの領域をチップ部品領域Yという、基板f30の表面f30A上には、抵抗f56をそれぞれ有する複数のチップ部品領域Y(つまり、素子f5)が形成(設定)される。1つのチップ部品領域Yは、完成した1つのチップ抵抗器f1(図139参照)を平面視したものと一致する。そして、基板f30の表面f30Aにおいて、隣り合うチップ部品領域Yの間の領域を、境界領域Zということにする。境界領域Zは、帯状をなして、平面視で格子状に延びている。境界領域Zによって区画された1つの格子の中にチップ部品領域Yが1つ配置されている。境界領域Zの幅は、 $1\mu\text{m}\sim 60\mu\text{m}$ (たとえば $20\mu\text{m}$)と極めて狭いので、基板f30では多くのチップ部品領域Yを確保でき、結果としてチップ抵抗器f1の大量生産が可能になる。

[0689] 次いで、図140Aに示すように、CVD(Chemical Vapor Deposition: 化学的気相成長)法によって、SiNからなる絶縁膜f45を、基板f30の表面f30Aの全域に亘って形成する。絶縁膜f45は、絶縁層f20および絶縁層f20上の素子f5(抵抗膜f21や配線膜f22)を全て覆っていて、これらに接している。そのため、絶縁膜f45は、前述したトリミング対象領域X(図132参照)における配線膜f22も覆っている。また、絶縁膜f45は、基板f30の表面f30Aにおいて全域に亘って形成されることから、表面f30Aにおいて、トリミング対象領域X以外の領域にまで延びて形成される。これにより、絶縁膜f45は、表面f30A(表面f30A上の素子f5も含む)全域を保護する保護膜となる。

[0690] 次いで、図140Bに示すように、絶縁膜f45を全て覆うように、基板f30の表面f30Aの全域に亘ってレジストパターンf41を形成する。レジストパターンf41には、開口f42が形成されている。図141は、図140Bの工程において第1溝を形成するために用いられるレジストパターンの一部の模式的な平面図である。

[0691] 図141を参照して、レジストパターンf41の開口f42は、多数のチップ抵抗器f1（換言すれば、前述したチップ部品領域Y）を行列状（格子状でもある）に配置した場合において平面視で隣り合うチップ抵抗器f1の輪郭の間の領域（図141においてハッチングを付した部分であり、換言すれば、境界領域Z）に一致（対応）している。そのため、開口f42の全体形状は、互いに直交する直線部分f42Aおよびf42Bを複数有する格子状になっている。

[0692] レジストパターンf41では、開口f42において互いに直交する直線部分f42Aおよびf42Bは、互いに直交した状態を保ちながら（湾曲することなく）つながっている。そのため、直線部分f42Aおよびf42Bの交差部分f43は、平面視で略90°をなすように尖っている。図140Bを参照して、レジストパターンf41をマスクとするプラズマエッチングにより、絶縁膜f45、絶縁層f20および基板f30のそれぞれを選択的に除去する。これにより、隣り合う素子f5（チップ部品領域Y）の間の境界領域Zにおいて基板f30の材料がエッチング（除去）される。その結果、平面視においてレジストパターンf41の開口f42と一致する位置（境界領域Z）には、絶縁膜f45および絶縁層f20を貫通して基板f30の表面f30Aから基板f30の厚さ途中まで到達する所定深さの第1溝f44が形成される。第1溝f44は、互に対向する1対の側面f44Aと、当該1対の側面f44Aの下端（基板f30の裏面f30B側の端）の間を結ぶ底面f44Bとによって区画されている。基板f30の表面f30Aを基準とした第1溝f44の深さは、完成したチップ抵抗器f1の厚さT（図131（a）参照）の半分程度であり、第1溝f44の幅（対向する側面f4

4 Aの間隔) Mは、20 μ m前後であって、深さ方向全域に亘って一定になっている。エッチングの中でも、特にプラズマエッチングを用いることによって、第1溝f 4 4を高精度に形成することができる。

[0693] 基板f 3 0における第1溝f 4 4の全体形状は、平面視でレジストパターンf 4 1の開口f 4 2 (図1 4 1参照)と一致する格子状になっている。そして、基板f 3 0の表面f 3 0 Aでは、各素子f 5が形成されたチップ部品領域Yのまわりを第1溝f 4 4における矩形枠体部分(境界領域Z)が取り囲んでいる。基板f 3 0において素子f 5が形成された部分は、チップ抵抗器f 1の半製品f 5 0である。基板f 3 0の表面f 3 0 Aでは、第1溝f 4 4に取り囲まれたチップ部品領域Yに半製品f 5 0が1つずつ位置していて、これらの半製品f 5 0は、行列状に整列配置されている。

[0694] 図1 4 0 Bに示すように第1溝f 4 4が形成された後、レジストパターンf 4 1が除去され、図1 4 0 Cに示すように、ダイシングソーf 4 7を有するダイシングマシン(図示せず)が稼動される。ダイシングソーf 4 7は、円板形状の砥石であって、その周端面に切断歯部が形成されている。ダイシングソーf 4 7の幅Q(厚み)は、第1溝f 4 4の幅Mよりも小さい。ここで、第1溝f 4 4の中央位置(互いに対向する1対の側面f 4 4 Aから等距離にある位置)に、ダイシングラインUが設定される。ダイシングソーf 4 7は、その厚さ方向における中央位置4 7 Aが平面視でダイシングラインUに一致した状態で、第1溝f 4 4内をダイシングラインUに沿って移動し、その際、第1溝f 4 4の底面f 4 4 Bから基板f 3 0を削る。ダイシングソーf 4 7の移動が完了すると、基板f 3 0には、第1溝f 4 4の底面f 4 4 Bから掘り下がった所定深さの第2溝f 4 8が形成される。

[0695] 第2溝f 4 8は、第1溝f 4 4の底面f 4 4 Bから連続して、所定深さで基板f 3 0の裏面f 3 0 B側へ窪んでいる。第2溝f 4 8は、互いに対向する1対の側面f 4 8 Aと、当該1対の側面f 4 8 Aの下端(基板f 3 0の裏面f 3 0 B側の端)の間を結ぶ底面f 4 8 Bとによって区画されている。第1溝f 4 4の底面f 4 4 Bを基準とした第2溝f 4 8の深さは、完成したチッ

チップ抵抗器 f 1 の厚さ T の半分程度であり、第 2 溝 f 4 8 の幅（対向する側面 f 4 8 A の間隔）は、ダイシングソー f 4 7 の幅 Q と同じであって、深さ方向全域に亘って一定になっている。第 1 溝 f 4 4 および第 2 溝 f 4 8 において、基板 f 3 0 の厚さ方向に隣り合う側面 f 4 4 A と側面 f 4 8 A との間には、当該厚さ方向に直交する方向（基板 f 3 0 の表面 f 3 0 A に沿う方向）に延びる段差 f 4 9 が形成されている。そのため、連続している第 1 溝 f 4 4 および第 2 溝 f 4 8 のまともりは、裏面 f 3 0 B 側へ向けて細くなる凸状になっている。側面 f 4 4 A が、完成したチップ抵抗器 f 1 における各側面（側面 f 2 C ～ f 2 F のそれぞれ）の粗面領域 S となり、側面 f 4 8 A が、チップ抵抗器 f 1 における各側面の筋状パターン領域 P となり、段差 f 4 9 が、チップ抵抗器 f 1 における各側面の段差 N となる。

[0696] ここで、エッチングによって第 1 溝 f 4 4 を形成することによって、各側面 f 4 4 A および底面 f 4 4 B は、不規則パターンのざらざらした粗面になっている。一方、ダイシングソー f 4 7 によって第 2 溝 f 4 8 を形成することによって、各側面 f 4 8 A には、ダイシングソー f 4 7 の研削跡をなす多数の筋が規則的なパターンで残っている。この筋は、側面 f 4 8 A をエッチングしたとしても完全に消すことができず、完成したチップ抵抗器 f 1 では、前述した筋 V となる（図 1 3 1（a）参照）。

[0697] 次に、図 1 4 0 D に示すようにマスク f 6 5 を用いたエッチングによって、絶縁膜 f 4 5 を選択的に除去する。マスク f 6 5 では、絶縁膜 f 4 5 において平面視で各パッド領域 f 2 2 A（図 1 3 9 参照）に一致する部分に、開口 f 6 6 が形成されている。これにより、エッチングによって、絶縁膜 f 4 5 において開口 f 6 6 と一致する部分が除去され、当該部分には、開口 f 2 5 が形成される。これにより、絶縁膜 f 4 5 は、開口 f 2 5 において各パッド領域 f 2 2 A を露出させるように形成されたことになる。1 つの半製品 f 5 0 につき、開口 f 2 5 は 2 つ形成される。

[0698] 各半製品 f 5 0 において、絶縁膜 f 4 5 に 2 つの開口 f 2 5 を形成した後に、抵抗測定装置（図示せず）のプローブ f 7 0 を各開口 f 2 5 のパッド領域

f 2 2 Aに接触させて、素子 f 5 の全体の抵抗値を検出する。そして、絶縁膜 f 4 5 越しにレーザ光（図示せず）を任意のヒューズ F（図 1 3 2 参照）に照射することによって、前述したトリミング対象領域 X の配線膜 f 2 2 をレーザ光でトリミングして、当該ヒューズ F を溶断する。このようにして、必要な抵抗値となるようにヒューズ F を溶断（トリミング）することによって、前述したように、半製品 f 5 0（換言すれば、チップ抵抗器 f 1）全体の抵抗値を調整できる。このとき、絶縁膜 f 4 5 が素子 f 5 を覆うカバー膜となっているので、溶断の際に生じた破片などが素子 f 5 に付着して短絡が生じることを防止できる。また、絶縁膜 f 4 5 がヒューズ F（抵抗体膜 f 2 1）を覆っていることから、レーザ光のエネルギーをヒューズ F に蓄えてヒューズ F を確実に溶断することができる。

[0699] その後、CVD法によって絶縁膜 f 4 5 上に SiN を形成し、絶縁膜 f 4 5 を厚くする。このとき、図 1 4 0 E に示すように、第 1 溝 f 4 4 および第 2 溝 f 4 8 の内周面（前述した側面 f 4 4 A、底面 f 4 4 B、側面 f 4 8 A および底面 f 4 8 B）の全域にも絶縁膜 f 4 5 が形成される。そのため、絶縁膜 f 4 5 は、前述した段差 f 4 9 上にも形成されている。第 1 溝 f 4 4 および第 2 溝 f 4 8 のそれぞれの内周面における絶縁膜 f 4 5（図 1 4 0 E に示された状態の絶縁膜 f 4 5）は、1000 Å～5000 Å（ここでは、約 3000 Å）の厚さを有している。このとき、絶縁膜 f 4 5 の一部は、各開口 f 2 5 に入り込んで開口 f 2 5 を塞いでいる。

[0700] その後、ポリイミドからなる感光性樹脂の液体を、基板 f 3 0 に対して、絶縁膜 f 4 5 の上からスプレー塗布して、図 1 4 0 E に示すように感光性樹脂の樹脂膜 f 4 6 を形成する。この際、当該液体が第 1 溝 f 4 4 および第 2 溝 f 4 8 内に入り込まないように、平面視で第 1 溝 f 4 4 および第 2 溝 f 4 8 だけを覆うパターンを有するマスク（図示せず）越しに、当該液体が基板 f 3 0 に対して塗布される。その結果、当該液状の感光性樹脂は、基板 f 3 0 上だけに形成され、基板 f 3 0 上において、樹脂膜 f 4 6（樹脂膜）となる

。表面 f 3 0 A 上の樹脂膜 f 4 6 の表面 f 4 6 A は、表面 f 3 0 A に沿って平坦になっている。

[0701] なお、当該液体が第 1 溝 f 4 4 および第 2 溝 f 4 8 内に入り込んでいないので、第 1 溝 f 4 4 および第 2 溝 f 4 8 内には、樹脂膜 f 4 6 が形成されていない。また、感光性樹脂の液体をスプレー塗布する以外に、当該液体をスピンドット塗布したり、感光性樹脂からなるシートを基板 f 3 0 の表面 f 3 0 A に貼り付けたりすることによって、樹脂膜 f 4 6 を形成してもよい。

[0702] 次いで、樹脂膜 f 4 6 に熱処理（キュア処理）を施す。これにより、樹脂膜 f 4 6 の厚みが熱収縮するとともに、樹脂膜 f 4 6 が硬化して膜質が安定する。次いで、図 1 4 0 F に示すように、樹脂膜 f 4 6 をパターニングし、表面 f 3 0 A 上の樹脂膜 f 4 6 において平面視で配線膜 f 2 2 の各パッド領域 f 2 2 A（開口 f 2 5）と一致する部分を選択的に除去する。具体的には、平面視で各パッド領域 f 2 2 A に整合（一致）するパターンの開口 f 6 1 が形成されたマスク f 6 2 を用いて、樹脂膜 f 4 6 を、当該パターンで露光して現像する。これにより、各パッド領域 f 2 2 A の上方で樹脂膜 f 4 6 が分離されて開口 f 2 5 が形成される。この際、樹脂膜 f 4 6 において開口 f 2 5 を縁取っている部分が熱収縮し、当該部分において開口 f 2 5 を区画する区画面 f 4 6 B は、基板 f 3 0 の厚さ方向に対して交差する傾斜面になる。これによって、開口 f 2 5 は、前述したように、樹脂膜 f 4 6 の表面 f 4 6 A（樹脂膜 f 2 4 の表面 f 2 4 C になる）に向かうのに従って広がった状態になる。

[0703] 次いで、図示しないマスクを用いた R I E によって各パッド領域 f 2 2 A 上の絶縁膜 f 4 5 が除去されることで、各開口 f 2 5 が開放されてパッド領域 f 2 2 A が露出される。次いで、無電解めっきによって、Ni、Pd および Au を積層することで構成された Ni / Pd / Au 積層膜を各開口 f 2 5 におけるパッド領域 f 2 2 A 上に形成することによって、図 1 4 0 G に示すように、パッド領域 f 2 2 A 上に第 1 接続電極 f 3 および第 2 接続電極 f 4 を形成する。

[0704] 図 1 4 2 は、第 1 接続電極および第 2 接続電極の製造工程を説明するための図である。詳しくは、図 1 4 2 を参照して、まず、パッド領域 f 2 2 A の表面が浄化されることで、当該表面の有機物（炭素のしみ等のスマットや油脂性の汚れも含む）が除去（脱脂）される（ステップ S 1）。次いで、当該表面の酸化膜が除去される（ステップ S 2）。次いで、当該表面においてジンケート処理が実施されて、当該表面における（配線膜 f 2 2 の）A l が Z n に置換される（ステップ S 3）。次いで、当該表面上の Z n が硝酸等で剥離されて、パッド領域 f 2 2 A では、新しい A l が露出される（ステップ S 4）。

[0705] 次いで、パッド領域 f 2 2 A をめっき液に浸けることによって、パッド領域 f 2 2 A における新しい A l の表面に N i めっきが施される。これにより、めっき液中の N i が化学的に還元析出されて、当該表面に N i 層 f 3 3 が形成される（ステップ S 5）。次いで、N i 層 f 3 3 を別のめっき液に浸けることによって、当該 N i 層 f 3 3 の表面に P d めっきが施される。これにより、めっき液中の P d が化学的に還元析出されて、当該 N i 層 f 3 3 の表面に P d 層 f 3 4 が形成される（ステップ S 6）。

[0706] 次いで、P d 層 f 3 4 をさらに別のめっき液に浸けることによって、当該 P d 層 f 3 4 の表面に A u めっきが施される。これにより、めっき液中の A u が化学的に還元析出されて、当該 P d 層 f 3 4 の表面に A u 層 f 3 5 が形成される（ステップ S 7）。これによって、第 1 接続電極 f 3 および第 2 接続電極 f 4 が形成され、形成後の第 1 接続電極 f 3 および第 2 接続電極 f 4 を乾燥させると（ステップ S 8）、第 1 接続電極 f 3 および第 2 接続電極 f 4 の製造工程が完了する。なお、前後するステップの間には、半製品 f 5 0 を水で洗浄する工程が適宜実施される。また、ジンケート処理は複数回実施されてもよい。

[0707] 図 1 4 0 G では、各半製品 f 5 0 において第 1 接続電極 f 3 および第 2 接続電極 f 4 が形成された後の状態を示している。第 1 接続電極 f 3 および第 2 接続電極 f 4 のそれぞれでは、表面 f 3 A、f 4 A が、樹脂膜 f 4 6 の表面

f 4 6 Aと面一になっている。また、樹脂膜 f 4 6 において開口 f 2 5 を区画する区画面 f 4 6 B が前述したように傾斜しているのに応じて、第 1 接続電極 f 3 および第 2 接続電極 f 4 のそれぞれでは、表面 f 3 A, f 4 A において開口 f 2 5 の縁側の端部が、基板 f 3 0 の裏面 f 3 0 B 側へ湾曲している。そのため、第 1 接続電極 f 3 および第 2 接続電極 f 4 のそれぞれでは、Ni 層 f 3 3、Pd 層 f 3 4 および Au 層 f 3 5 のそれぞれにおける開口 f 2 5 の縁側の端部が、基板 f 3 0 の裏面 f 3 0 B 側へ湾曲している。

[0708] 以上のように、第 1 接続電極 f 3 および第 2 接続電極 f 4 を無電解めっきによって形成するので、第 1 接続電極 f 3 および第 2 接続電極 f 4 を電解めっきによって形成する場合に比べて、第 1 接続電極 f 3 および第 2 接続電極 f 4 についての形成工程の工程数（たとえば、電解めっきで必要となるリソグラフィ工程やレジストマスクの剥離工程等）を削減してチップ抵抗器 f 1 の生産性を向上できる。さらに、無電解めっきの場合には、電解めっきで必要とされるレジストマスクが不要であることから、レジストマスクの位置ずれによる第 1 接続電極 f 3 および第 2 接続電極 f 4 についての形成位置にずれが生じないので、第 1 接続電極 f 3 および第 2 接続電極 f 4 の形成位置精度を向上して歩留まりを向上できる。また、樹脂膜 f 2 4 から露出されたパッド領域 f 2 2 A を無電解めっきすることによって、当該パッド領域 f 2 2 A 上だけに第 1 接続電極 f 3 および第 2 接続電極 f 4 を形成することができる。

[0709] また、電解めっきの場合には、めっき液に Ni や Sn が含有されている場合が一般的である。そのため、第 1 接続電極 f 3 および第 2 接続電極 f 4 の表面 f 3 A, f 4 A に残った Sn が酸化されることによって、第 1 接続電極 f 3 および第 2 接続電極 f 4 と実装基板 f 9 の接続端子 f 8 8（図 1 3 1（b）参照）との接続不良が生じ得るが、無電解めっきを用いる第 6 参考例では、そのような問題はない。

[0710] このように第 1 接続電極 f 3 および第 2 接続電極 f 4 が形成されてから、第 1 接続電極 f 3 および第 2 接続電極 f 4 間での通電検査が行われた後に、基

板 f 3 0 が裏面 f 3 0 B から研削される。具体的には、図 1 4 0 H に示すように、P E T（ポリエチレンテレフタレート）からなる薄板状であって粘着面 f 7 2 を有する支持テープ f 7 1 が、粘着面 f 7 2 において、各半製品 f 5 0 における第 1 接続電極 f 3 および第 2 接続電極 f 4 側（つまり、表面 f 3 0 A）に貼着される。これにより、各半製品 f 5 0 が支持テープ f 7 1 に支持される。ここで、支持テープ f 7 1 として、たとえば、ラミネートテープを用いることができる。

[0711] 各半製品 f 5 0 が支持テープ f 7 1 に支持された状態で、基板 f 3 0 を裏面 f 3 0 B 側から研削する。研削によって、裏面 f 3 0 B が第 2 溝 f 4 8 の底面 f 4 8 B（図 1 4 0 G 参照）に到達するまで基板 f 3 0 が薄型化されると、隣り合う半製品 f 5 0 を連結するものがなくなるので、第 1 溝 f 4 4 および第 2 溝 f 4 8 を境界として基板 f 3 0 が分割され、半製品 f 5 0 が個別に分離してチップ抵抗器 f 1 の完成品となる。つまり、第 1 溝 f 4 4 および第 2 溝 f 4 8（換言すれば、境界領域 Z）において基板 f 3 0 が切断（分断）され、これによって、個々のチップ抵抗器 f 1 が切り出される。裏面 f 3 0 B を研削した後の基板 f 3 0（基板 f 2）の厚さは、 $150\mu\text{m} \sim 400\mu\text{m}$ （ $150\mu\text{m}$ 以上 $400\mu\text{m}$ 以下）である。

[0712] 完成した各チップ抵抗器 f 1 では、第 1 溝 f 4 4 の側面 f 4 4 A をなしていた部分が、基板 f 2 の側面 f 2 C ～ f 2 F のいずれかの粗面領域 S となり、第 2 溝 f 4 8 の側面 f 4 8 A をなしていた部分が、基板 f 2 の側面 f 2 C ～ f 2 F のいずれかの筋状パターン領域 P となり、側面 f 4 4 A と側面 f 4 8 A との間の段差 f 4 9 が、前述した段差 N となる。そして、完成した各チップ抵抗器 f 1 では、裏面 f 3 0 B が裏面 f 2 B となる。つまり、前述したように第 1 溝 f 4 4 および第 2 溝 f 4 8 を形成する工程（図 1 4 0 B および図 1 4 0 C 参照）は、側面 f 2 C ～ f 2 F を形成する工程に含まれる。また、絶縁膜 f 4 5 がパッシベーション膜 f 2 3 となり、樹脂膜 f 4 6 が樹脂膜 f 2 4 となる。

[0713] たとえば、エッチングによって形成された第 1 溝 f 4 4（図 1 4 0 B 参照）

の深さが一様でなくでも、ダイシングソー f 4 7 によって第 2 溝 f 4 8 を形成すれば（図 1 4 0 C 参照）、第 1 溝 f 4 4 および第 2 溝 f 4 8 の全体の深さ（基板 f 3 0 の表面 f 3 0 A から第 2 溝 f 4 8 の底までの深さ）は一様になる。そのため、基板 f 3 0 の裏面 f 3 0 B を研削してチップ抵抗器 f 1 を個片化するとき、基板 f 3 0 から分離されるまでのチップ抵抗器 f 1 間の時間差を少なくして各チップ抵抗器 f 1 をほぼ同時に基板 f 3 0 から分離することができる。これにより、先に分離されたチップ抵抗器 f 1 が基板 f 3 0 と衝突を繰り返すことによってチップ抵抗器 f 1 にチップングが生じるといった不具合を抑制できる。また、チップ抵抗器 f 1 の表面 f 2 A 側の角部（コーナー部 f 1 1）は、エッチングで形成された第 1 溝 f 4 4 によって区画されているので、コーナー部 f 1 1 では、ダイシングソー f 4 7 によって区画される場合と比べて、チップングが生じにくい。以上の結果、チップ抵抗器 f 1 の個片化に際してチップングを抑制でき、かつ個片化不良が生じることを回避できる。つまり、チップ抵抗器 f 1 の表面 f 2 A 側におけるコーナー部 f 1 1（図 1 3 1（a）参照）における形状のコントロールが可能となる。また、第 1 溝 f 4 4 および第 2 溝 f 4 8 の両方をエッチングによって形成する場合に比べて、チップ抵抗器 f 1 の個片化にかかる時間を短縮して、チップ抵抗器 f 1 の生産性を向上することもできる。

[0714] 特に、個片化されたチップ抵抗器 f 1 における基板 f 2 の厚さが $150\mu\text{m}$ ～ $400\mu\text{m}$ と比較的大きい場合には、エッチングだけで基板 f 3 0 の表面 f 3 0 A から第 2 溝 f 4 8 の底面 f 4 8 B まで到達する溝（図 1 4 0 C 参照）を形成するのは困難であるし、時間がかかる。しかし、このような場合であっても、エッチングおよびダイシングソー f 4 7 によるダイシングを併用して第 1 溝 f 4 4 および第 2 溝 f 4 8 を形成してから基板 f 3 0 の裏面 f 3 0 B を研削することによって、チップ抵抗器 f 1 の個片化にかかる時間を短縮できる。よって、チップ抵抗器 f 1 の生産性を向上することができる。

[0715] また、ダイシングによって第 2 溝 f 4 8 を基板 f 3 0 の裏面 f 3 0 B まで到達させてしまうと（第 2 溝 f 4 8 が基板 f 3 0 を貫通するようにすると）、

完成したチップ抵抗器 f 1 では、裏面 f 2 B と側面 f 2 C ~ f 2 F とのコーナー部にチッピングが生じ得る。しかし、第 6 参考例のように第 2 溝 f 4 8 が裏面 f 3 0 B ま

で到達しないようにハーフダイシングしてから（図 1 4 0 C 参照）、裏面 f 3 0 B を研磨すれば、裏面 f 2 B と側面 f 2 C ~ f 2 F とのコーナー部にチッピングが生じにくい。

[0716] また、エッチングだけで基板 f 3 0 の表面 f 3 0 A から第 2 溝 f 4 8 の底面 f 4 8 B まで到達する溝を形成すると、エッチングレートのばらつきによって、完成後の溝の側面は基板 f 2 の厚さ方向に沿わず、溝の断面が矩形状になりにくい。つまり、溝の側面にばらつきが生じる。しかし、第 6 参考例のようにエッチングおよびダイシングを併用することによって、エッチングだけの場合に比べて、第 1 溝 f 4 4 および第 2 溝 f 4 8 の全体の溝側面（側面 f 4 4 A および側面 f 4 8 A のそれぞれ）におけるばらつきを低減して、当該溝側面を基板 f 2 の厚さ方向に沿わせることができる。

[0717] また、ダイシングソー f 4 7 の幅 Q が第 1 溝 f 4 4 の幅 M よりも小さいので、ダイシングソー f 4 7 によって形成された第 2 溝 f 4 8 の幅 Q は、第 1 溝 f 4 4 の幅 M よりも小さくなり、第 2 溝 f 4 8 は、第 1 溝 f 4 4 の内側に位置する（図 1 4 0 C 参照）。そのため、ダイシングソー f 4 7 によって第 2 溝 f 4 8 を形成するときに、ダイシングソー f 4 7 が第 1 溝 f 4 4 の幅を広げてしまうことはない。よって、第 1 溝 f 4 4 によって区画されるはずのチップ抵抗器 f 1 の表面 f 2 A 側のコーナー部 f 1 1 がダイシングソー f 4 7 によって区画されてしまってコーナー部 f 1 1 にチッピングが生じることを確実に抑制できる。

[0718] なお、第 2 溝 f 4 8 を形成してから裏面 f 3 0 B を研削することでチップ抵抗器 f 1 を個片化しているが、第 2 溝 f 4 8 を形成する前に、裏面 f 3 0 B を先に研削しておいてから、第 2 溝 f 4 8 をダイシングで形成してもよい。また、基板 f 3 0 を裏面 f 3 0 B 側から第 2 溝 f 4 8 の底面 f 4 8 B までエッチングすることによってチップ抵抗器 f 1 を切り出すことも想定される。

[0719] 以上のように、第1溝f44および第2溝f48を形成してから基板f30を裏面f30B側から研削すれば、基板f30に形成された複数のチップ部品領域Yを一斉に個々のチップ抵抗器f1（チップ部品）に分割できる（複数のチップ抵抗器f1の個片を一度に得ることができる）。よって、複数のチップ抵抗器f1の製造時間の短縮によってチップ抵抗器f1の生産性の向上を図ることができる。ちなみに、直径が8インチの基板f30を用いると50万個程度のチップ抵抗器f1を切り出すことができる。

[0720] つまり、チップ抵抗器f1のチップサイズが小さくても、このように先に第1溝f44および第2溝f48を形成しておいてから基板f30を裏面f30Bから研削することによって、チップ抵抗器f1を一度に個片化することができる。また、エッチングによって第1溝f44を高精度に形成できるので、個々のチップ抵抗器f1において第1溝f44によって区画された側面f2C～f2Fの粗面領域S側では、外形寸法精度の向上を図ることができる。特に、プラズマエッチングを用いれば、第1溝f44を一層高精度に形成できる。また、レジストパターンf41（図141参照）に応じて、第1溝f44の間隔を微細化できるので、隣り合う第1溝f44の間に形成されるチップ抵抗器f1の小型化を図ることができる。また、エッチングの場合には、チップ抵抗器f1の側面f2C～f2Fの粗面領域Sにおいて隣り合うもの同士のコーナー部f11（図131（a）参照）にチップングが生じることを低減でき、チップ抵抗器f1の外観の向上を図ることができる。

[0721] なお、完成したチップ抵抗器f1における基板f2の裏面f2Bを研磨やエッチングすることによって鏡面化して裏面f2Bを綺麗にしてもよい。図140Hに示すように完成したチップ抵抗器f1は、支持テープf71から引き剥がされた後に、所定のスペースまで搬送されて当該スペースで保管される。チップ抵抗器f1を実装基板f9（図131（b）参照）に実装する場合、自動実装機の吸着ノズルf91（図131（b）参照）にチップ抵

抗器 f 1 の裏面 f 2 B を吸着してから吸着ノズル f 9 1 を動かすことによって、チップ抵抗器 f 1 を搬送する。このとき、吸着ノズル f 9 1 は、裏面 f 2 B の長手方向における略中央部分に吸着する。そして、図 1 3 1 (b) を参照して、チップ抵抗器 f 1 を吸着した吸着ノズル f 9 1 を実装基板 f 9 まで移動させる。実装基板 f 9 には、チップ抵抗器 f 1 の第 1 接続電極 f 3 および第 2 接続電極 f 4 に応じて、前述した 1 対の接続端子 f 8 8 が設けられている。接続端子 f 8 8 は、たとえば、Cu からなる。各接続端子 f 8 8 の表面には、半田 f 1 3 が当該表面から突出するように設けられている。

[0722] そこで、吸着ノズル f 9 1 を移動させて実装基板 f 9 に押し付けることで、チップ抵抗器 f 1 において、第 1 接続電極 f 3 を一方の接続端子 f 8 8 の半田 f 1 3 に接触させ、第 2 接続電極 f 4 を他方の接続端子 f 8 8 の半田 f 1 3 に接触させる。この状態で、半田 f 1 3 を加熱すると、半田 f 1 3 が熔融する。その後、半田 f 1 3 が冷却されて固まると、第 1 接続電極 f 3 と当該一方の接続端子 f 8 8 とが半田 f 1 3 を介して接合し、第 2 接続電極 f 4 と当該他方の接続端子 f 8 8 とが半田 f 1 3 を介して接合し、実装基板 f 9 へのチップ抵抗器 f 1 の実装が完了する。

[0723] 図 1 4 3 は、完成したチップ抵抗器をエンボスキャリアテープに收容する様子を説明するための模式図である。一方、図 1 4 0 H に示すように完成したチップ抵抗器 f 1 を、図 1 4 3 に示すエンボスキャリアテープ f 9 2 に收容する場合もある。エンボスキャリアテープ f 9 2 は、たとえば、ポリカーボネート樹脂等で形成されたテープ（帯状体）である。エンボスキャリアテープ f 9 2 には、多数のポケット f 9 3 が、エンボスキャリアテープ f 9 2 の長手方向に並ぶように形成されている。各ポケット f 9 3 は、エンボスキャリアテープ f 9 2 の一方の面（裏面）へ窪む凹状の空間として区画されている。

[0724] 完成したチップ抵抗器 f 1（図 1 4 0 H 参照）をエンボスキャリアテープ f 9 2 に收容する場合、搬送装置の吸着ノズル f 9 1（図 1 3 1 (b) 参照）にチップ抵抗器 f 1 の裏面 f 2 B（長手方向における略中央部分）を吸着し

てから吸着ノズル f 9 1 を動かすことによって、チップ抵抗器 f 1 を支持テープ f 7 1 から引き剥がす。そして、吸着ノズル f 9 1 をエンボスキャリアテープ f 9 2 のポケット f 9 3 に対向する位置まで移動させる。このとき、吸着ノズル f 9 1 に吸着されたチップ抵抗器 f 1 では、表面 f 2 A 側の第 1 接続電極 f 3 および第 2 接続電極 f 4 および樹脂膜 f 2 4 がポケット f 9 3 に対向している。

[0725] ここで、チップ抵抗器 f 1 をエンボスキャリアテープ f 9 2 に収容する場合、エンボスキャリアテープ f 9 2 は、平坦な支持台 f 9 5 の上に載せられている。吸着ノズル f 9 1 をポケット f 9 3 側へ移動させて（太線矢印参照）、表面 f 2 A 側がポケット f 9 3 に対向した姿勢にあるチップ抵抗器 f 1 を、ポケット f 9 3 内へ収容する。そして、チップ抵抗器 f 1 の表面 f 2 A 側がポケット f 9 3 の底 9 3 A に接触すると、エンボスキャリアテープ f 9 2 に対するチップ抵抗器 f 1 の収容が完了する。吸着ノズル f 9 1 を移動させることでチップ抵抗器 f 1 の表面 f 2 A 側をポケット f 9 3 の底 9 3 A に接触させるとき、表面 f 2 A 側の第 1 接続電極 f 3 および第 2 接続電極 f 4 および樹脂膜 f 2 4 は、支持台 f 9 5 によって支持された底 9 3 A に対して押し付けられる。

[0726] エンボスキャリアテープ f 9 2 に対するチップ抵抗器 f 1 の収容が完了してから、エンボスキャリアテープ f 9 2 の表面には、剥離カバー f 9 4 が貼り付けられ、各ポケット f 9 3 の内部が剥離カバー f 9 4 によって密閉される。これにより、各ポケット f 9 3 内に異物が侵入することが防止される。エンボスキャリアテープ f 9 2 からチップ抵抗器 f 1 を取り出す場合には、剥離カバー f 9 4 がエンボスキャリアテープ f 9 2 から剥がされてポケット f 9 3 が開放される。その後、自動実装機によって、ポケット f 9 3 からチップ抵抗器 f 1 が取り出されて、前述したように実装される。

[0727] このようにチップ抵抗器 f 1 を実装する場合や、チップ抵抗器 f 1 をエンボスキャリアテープ f 9 2 に収容する場合や、さらにはチップ抵抗器 f 1 に対して応力試験を行う場合において、チップ抵抗器 f 1 の裏面 f 2 B（長手方

向における略中央部分)に力をかけて第1接続電極f3および第2接続電極f4を何か(「被接触部」ということにする)に押し付けようとする、基板f2の表面f2Aに応力が作用する。なお、当該被接触部とは、チップ抵抗器f1を実装する場合には、実装基板f9であり、チップ抵抗器f1をエンボスキャリアテープf92へ収容する時には、支持台f95によって支持されたポケットf93の底93Aであり、応力試験時には、応力を受けるチップ抵抗器f1を支える支持面である。

[0728] この場合において、基板f2の表面f2Aにおける樹脂膜f24の高さH(図139参照)が、第1接続電極f3および第2接続電極f4のそれぞれの高さJ(図139参照)未満であって、第1接続電極f3および第2接続電極f4の表面f3A、f4Aが基板f2の表面f2Aから最も突出している(つまり、樹脂膜f24が薄い)チップ抵抗器f1が考えられる(後述する図144参照)。このようなチップ抵抗器f1は、表面f2A側では、前述した被接触部に対して第1接続電極f3および第2接続電極f4だけで接触(2点接触)するので、チップ抵抗器f1にかかる応力は、第1接続電極f3および第2接続電極f4のそれぞれと基板f2との接合部に集中する。これによって、チップ抵抗器f1の電気的特性が悪化する虞がある。さらには、当該応力によって、チップ抵抗器f1内(特に、基板f2の長手方向における略中央部分)に歪みが生じ、ひどい場合には当該略中央部分を起点として基板f2が割れてしまう虞がある。

[0729] しかしながら、第6参考例では、前述したように、樹脂膜f24の高さHは、第1接続電極f3および第2接続電極f4のそれぞれの高さJ以上となるように、樹脂膜f24が厚くなっている(図139参照)。よって、チップ抵抗器f1にかかる応力は、第1接続電極f3および第2接続電極f4だけでなく樹脂膜f24によっても受け止められる。つまり、チップ抵抗器f1において応力を受ける部分の面積を増大させることができるので、チップ抵抗器f1にかかる応力を分散できる。これにより、チップ抵抗器f1において第1接続電極f3および第2接続電極f4に対する応力の集中を抑制でき

る。特に、樹脂膜 f 2 4 の表面 f 2 4 C によって、チップ抵抗器 f 1 にかかる応力をより効果的に分散できる。これにより、チップ抵抗器 f 1 に対する応力の集中を一層抑制できるので、チップ抵抗器 f 1 の強度向上を図ることができる。その結果、実装時や耐久試験時やエンボスキャリアテープ f 9 2 への収容時におけるチップ抵抗器 f 1 の破壊を抑制できる。その結果、実装やエンボスキャリアテープ f 9 2 への収容における歩留まりを向上させることができ、さらに、チップ抵抗器 f 1 が壊れにくいことからチップ抵抗器 f 1 の取扱い性を向上させることもできる。

[0730] 次に、チップ抵抗器 f 1 の変形例について説明する。図 1 4 4 ~ 図 1 4 8 は、第 1 ~ 第 5 変形例に係るチップ抵抗器の模式的な断面図である。第 1 ~ 第 5 変形例において、これまでチップ抵抗器 f 1 で説明した部分と対応する部分には、同一の参照符号を付し、当該部分についての詳しい説明を省略する。第 1 接続電極 f 3 および第 2 接続電極 f 4 に関し、図 1 3 9 では、第 1 接続電極 f 3 の表面 f 3 A および第 2 接続電極 f 4 の表面 f 4 A が、樹脂膜 f 2 4 の表面 f 2 4 C と面一になっている。実装時等にチップ抵抗器 f 1 にかかる応力を分散することを考慮しないのであれば、図 1 4 4 に示す第 1 変形例のように、第 1 接続電極 f 3 の表面 f 3 A および第 2 接続電極 f 4 の表面 f 4 A は、基板 f 2 の表面 f 2 A から離れる方向（図 1 4 4 では上方）へ向けて樹脂膜 f 2 4 の表面 f 2 4 C よりも突出していてもよい。このとき、樹脂膜 f 2 4 の高さ H は、第 1 接続電極 f 3 および第 2 接続電極 f 4 のそれぞれの高さ J よりも低くなる。

[0731] 逆に、図 1 3 9 の場合よりも、実装時等にチップ抵抗器 f 1 にかかる応力を分散したいのであれば、図 1 4 5 に示す第 2 変形例のように、樹脂膜 f 2 4 の高さ H を第 1 接続電極 f 3 および第 2 接続電極 f 4 のそれぞれの高さ J よりも高くするとよい。これにより、樹脂膜 f 2 4 が厚くなって、第 1 接続電極 f 3 の表面 f 3 A および第 2 接続電極 f 4 の表面 f 4 A が、樹脂膜 f 2 4 の表面 f 2 4 C よりも、基板 f 2 の表面 f 2 A 側（図 1 4 4 では下方）へずれる。この場合には、第 1 接続電極 f 3 および第 2 接続電極 f 4 が、樹脂膜

f 2 4 の表面 f 2 4 C よりも基板 f 2 側へ埋没した状態になっているので、前述した第 1 接続電極 f 3 および第 2 接続電極 f 4 における 2 点接触自体が発生しない。そのため、チップ抵抗器 f 1 に対する応力の集中を一層抑制できる。ただし、第 2 変形例のチップ抵抗器 f 1 を実装基板 f 9 に実装する場合には、実装基板 f 9 の各接続端子 f 8 8 上の半田 f 1 3 を、第 1 接続電極 f 3 の表面 f 3 A および第 2 接続電極 f 4 の表面 f 4 A に届くように厚くしておいて、第 1 接続電極 f 3 および第 2 接続電極 f 4 と半田 f 1 3 との接続不良を予防しておく必要がある（図 1 3 1 (b) 参照）。

[0732] また、基板 f 2 の表面 f 2 A 上の絶縁層 f 2 0 では、その端面 f 2 0 A（平面視で表面 f 2 A の縁部 f 8 5 と一致する部分）が、基板 f 2 の厚さ方向（図 1 3 9、図 1 4 4 および図 1 4 5 では上下方向）に延びているが、図 1 4 6～図 1 4 8 に示すように、傾斜していてもよい。詳しくは、絶縁層 f 2 0 の端面 f 2 0 A は、基板 f 2 の表面 f 2 A から絶縁層 f 2 0 の表面へ近付くのに従って基板 f 2 の内方へ向かうように傾斜している。このような端面 f 2 0 A に応じて、パッシベーション膜 f 2 3 において当該端面 f 2 0 A を覆っている部分（前述した端部 f 2 3 C）も、端面 f 2 0 A に沿って傾斜している。

[0733] 図 1 4 6～図 1 4 8 に示す第 3～第 5 変形例のチップ抵抗器 f 1 では、樹脂膜 f 2 4 の縁 2 4 A の位置に違いがある。まず、図 1 4 6 に示す第 3 変形例のチップ抵抗器 f 1 は、絶縁層 f 2 0 の端面 f 2 0 A およびパッシベーション膜 f 2 3 の端部 f 2 3 C が傾斜している点以外では、図 1 3 9 のチップ抵抗器 f 1 と同じである。そのため、平面視において、樹脂膜 f 2 4 の縁 2 4 A は、パッシベーション膜 f 2 3 の側面被覆部 f 2 3 B と整合していて、側面被覆部 f 2 3 B の厚み分だけ、基板 f 2 の表面 f 2 A の縁部 f 8 5（基板 f 2 の表面 f 2 A 側の端縁）よりも外側に位置している。このように縁 2 4 A を側面被覆部 f 2 3 B と整合させれば、前述した樹脂膜 f 4 6 を形成するために感光性樹脂の液体をスプレー塗布する際において（図 1 4 0 E 参照）、図示しないマスクを用いて当該液体が第 1 溝 f 4 4 および第 2 溝 f

4 8 内に入り込まないようにしておく必要がある。または、当該液体が第 1 溝 f 4 4 および第 2 溝 f 4 8 内に入り込んだとしても、その後に樹脂膜 f 4 6 をパターニングする際に（図 1 4 0 F 参照）、マスク f 6 2 において平面視で第 1 溝 f 4 4 および第 2 溝 f 4 8 と一致する部分にも開口 f 6 1 を形成しておくといよい。そうすれば、樹脂膜 f 4 6 のパターニングによって、第 1 溝 f 4 4 および第 2 溝 f 4 8 内の樹脂膜 f 4 6 を除去し、樹脂膜 f 2 4 の縁 2 4 A を側面被覆部 f 2 3 B と整合させることができる。

[0734] ここで、樹脂膜 f 2 4 は、樹脂製であることから、衝撃によりクラックが生じるおそれが少ない。そのため、樹脂膜 f 2 4 が、基板 f 2 の表面 f 2 A（特に、素子 f 5 およびヒューズ F）と、基板 f 2 の表面 f 2 A の縁部 f 8 5 とを衝撃から確実に保護できるので、耐衝撃性に優れたチップ抵抗器 f 1 を提供することができる。一方、図 1 4 7 に示す第 4 変形例のチップ抵抗器 f 1 では、平面視において、樹脂膜 f 2 4 の縁 2 4 A は、パッシベーション膜 f 2 3 の側面被覆部 f 2 3 B と整合しておらず、側面被覆部 f 2 3 B よりも内方、詳しくは、基板 f 2 の表面 f 2 A の縁部 f 8 5 よりも基板 f 2 の内方に後退している。この場合にも、樹脂膜 f 2 4 が、基板 f 2 の表面 f 2 A（特に、素子 f 5 およびヒューズ F）を衝撃から確実に保護できるので、耐衝撃性に優れたチップ抵抗器 f 1 を提供することができる。樹脂膜 f 2 4 の縁 2 4 A を基板 f 2 の内方に後退させるためには、樹脂膜 f 4 6 をパターニングする際に、マスク f 6 2 において平面視で基板 f 2（基板 f 3 0）の縁部 f 8 5 と重なる部分にも開口 f 6 1 を形成しておくといよい（図 1 4 0 F 参照）。そうすれば、樹脂膜 f 4 6 のパターニングによって、平面視で基板 f 2（基板 f 3 0）の縁部 f 8 5 と重なる領域の樹脂膜 f 4 6 を除去し、結果として、樹脂膜 f 2 4 の縁 2 4 A を基板 f 2 の内方に後退させることができる。

[0735] そして、図 1 4 8 に示す第 5 変形例のチップ抵抗器 f 1 では、平面視において、樹脂膜 f 2 4 の縁 2 4 A は、パッシベーション膜 f 2 3 の側面被覆部 f 2 3 B と整合していない。詳しくは、樹脂膜 f 2 4 は、側面被覆部 f 2 3 B

よりも外方に張り出していて、側面被覆部 f 2 3 B の全域を外から覆っている。つまり、第 5 変形例では、樹脂膜 f 2 4 は、パッシベーション膜 f 2 3 の表面被覆部 f 2 3 A および側面被覆部 f 2 3 B の両方を覆っている。この場合、樹脂膜 f 2 4 が、基板 f 2 の表面 f 2 A（特に、素子 f 5 およびヒューズ F）と、基板 f 2 の側面 f 2 C ～ f 2 F とを衝撃から確実に保護できるので、耐衝撃性に優れたチップ抵抗器 f 1 を提供することができる。樹脂膜 f 2 4 が表面被覆部 f 2 3 A および側面被覆部 f 2 3 B の両方を覆いたいのであれば、前述した樹脂膜 f 4 6 を形成するために感光性樹脂の液体をスプレー塗布する際において（図 1 4 0 E 参照）、当該液体が第 1 溝 f 4 4 および第 2 溝 f 4 8 内に入り込んで側面被覆部 f 2 3 B に付着するようにすればよい。なお、前述したように当該液体をスピン塗布する場合には、当該液体が膜状にならずに第 1 溝 f 4 4 および第 2 溝 f 4 8 を完全に埋めてしまうので好ましくない。一方、感光性樹脂からなるシートを基板 f 3 0 の表面 f 3 0 A に貼り付けたりすることで樹脂膜 f 4 6 を形成する場合には、当該シートは第 1 溝 f 4 4 および第 2 溝 f 4 8 内に入り込めないから、側面被覆部 f 2 3 B の全域を覆うことができないので好ましくない。よって、樹脂膜 f 2 4 が表面被覆部 f 2 3 A および側面被覆部 f 2 3 B の両方を覆うためには、感光性樹脂の液体をスプレー塗布するのが有効である。

[0736] 以上、第 6 参考例の実施形態について説明してきたが、第 6 参考例はさらに他の形態で実施することもできる。たとえば、第 6 参考例のチップ部品の一例として、前述した実施形態では、チップ抵抗器 f 1 を開示したが、第 6 参考例は、チップコンデンサやチップインダクタやチップダイオードといったチップ部品にも適用できる。以下では、チップコンデンサについて説明する。

[0737] 図 1 4 9 は、第 6 参考例の他の実施形態に係るチップコンデンサの平面図である。図 1 5 0 は、図 1 4 9 の切断面線 C L - C L から見た断面図である。図 1 5 1 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。これから述べるチップコンデンサ f 1 0 1 において、前述したチ

チップ抵抗器 f 1 で説明した部分と対応する部分には、同一の参照符号を付し、当該部分についての詳しい説明を省略する。チップコンデンサ f 1 0 1 において、チップ抵抗器 f 1 で説明した部分と同一の参照符号が付された部分は、特に言及しない限り、チップ抵抗器 f 1 で説明した部分と同じ構成を有していて、チップ抵抗器 f 1 で説明した部分と同じ作用効果を奏することができる。

[0738] 図 1 4 9 を参照して、チップコンデンサ f 1 0 1 は、チップ抵抗器 f 1 と同様に、基板 f 2 と、基板 f 2 上（基板 f 2 の表面 f 2 A 側）に配置された第 1 接続電極 f 3 と、同じく基板 f 2 上に配置された第 2 接続電極 f 4 とを備えている。基板 f 2 は、この実施形態では、平面視において矩形形状を有している。基板 f 2 の長手方向両端部に第 1 接続電極 f 3 および第 2 接続電極 f 4 がそれぞれ配置されている。第 1 接続電極 f 3 および第 2 接続電極 f 4 は、この実施形態では、基板 f 2 の短手方向に延びたほぼ矩形の平面形状を有している。基板 f 2 の表面 f 2 A には、第 1 接続電極 f 3 および第 2 接続電極 f 4 の間のキャパシタ配置領域 f 1 0 5 内に、複数のキャパシタ要素 C 1 ～ C 9 が配置されている。複数のキャパシタ要素 C 1 ～ C 9 は、前述した素子 f 5 を構成する複数の素子要素（キャパシタ素子）であり、複数のヒューズユニット f 1 0 7（前述したヒューズ F に相当する）を介してそれぞれ第 2 接続電極 f 4 に対して切り離し可能となるように電氣的に接続されている。これらのキャパシタ要素 C 1 ～ C 9 によって構成された素子 f 5 は、キャパシタ回路網になっている。

[0739] 図 1 5 0 および図 1 5 1 に示されているように、基板 f 2 の表面 f 2 A には絶縁層 f 2 0 が形成されていて、絶縁層 f 2 0 の表面に下部電極膜 f 1 1 1 が形成されている。下部電極膜 f 1 1 1 は、キャパシタ配置領域 f 1 0 5 のほぼ全域にわたっている。さらに、下部電極膜 f 1 1 1 は、第 1 接続電極 f 3 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 f 1 1 1 は、キャパシタ配置領域 f 1 0 5 においてキャパシタ要素 C 1 ～ C 9 の共通の下部電極として機能するキャパシタ電極領域 f 1 1 1 A と、第 1

接続電極 f 3 の直下に配置される外部電極引き出しのためのパッド領域 f 1 1 1 B (パッド) とを有している。キャパシタ電極領域 f 1 1 1 A がキャパシタ配置領域 f 1 0 5 に位置していて、パッド領域 f 1 1 1 B が第 1 接続電極 f 3 の直下に位置して第 1 接続電極 f 3 に接触している。

[0740] キャパシタ配置領域 f 1 0 5 において下部電極膜 f 1 1 1 (キャパシタ電極領域 f 1 1 1 A) を覆って接するように容量膜 (誘電体膜) f 1 1 2 が形成されている。容量膜 f 1 1 2 は、キャパシタ電極領域 f 1 1 1 A (キャパシタ配置領域 f 1 0 5) の全域にわたって形成されている。容量膜 f 1 1 2 は、この実施形態では、さらにキャパシタ配置領域 f 1 0 5 外の絶縁層 f 2 0 を覆っている。

[0741] 容量膜 f 1 1 2 の上には、上部電極膜 f 1 1 3 が容量膜 f 1 1 2 に接するように形成されている。図 1 4 9 では、明瞭化のために、上部電極膜 f 1 1 3 を着色して示してある。上部電極膜 f 1 1 3 は、キャパシタ配置領域 f 1 0 5 に位置するキャパシタ電極領域 f 1 1 3 A と、第 2 接続電極 f 4 の直下に位置して第 2 接続電極 f 4 に接触するパッド領域 f 1 1 3 B (パッド) と、キャパシタ電極領域 f 1 1 3 A とパッド領域 f 1 1 3 B との間に配置されたヒューズ領域 f 1 1 3 C とを有している。

[0742] キャパシタ電極領域 f 1 1 3 A において、上部電極膜 f 1 1 3 は、複数の電極膜部分 (上部電極膜部分) f 1 3 1 ~ f 1 3 9 に分割 (分離) されている。この実施形態では、各電極膜部分 f 1 3 1 ~ f 1 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 f 1 1 3 C から第 1 接続電極 f 3 に向かって帯状に延びている。複数の電極膜部分 f 1 3 1 ~ f 1 3 9 は、複数種類の対向面積で、容量膜 f 1 1 2 を挟んで (容量膜 f 1 1 2 に接しつつ) 下部電極膜 f 1 1 1 に対向している。より具体的には、電極膜部分 f 1 3 1 ~ f 1 3 9 の下部電極膜 f 1 1 1 に対する対向面積は、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となるように定められていてもよい。すなわち、複数の電極膜部分 f 1 3 1 ~ f 1 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対

向面積を有する複数の電極膜部分 f 1 3 1 ~ f 1 3 8 (または f 1 3 1 ~ f 1 3 7, f 1 3 9) を含む。これによって、各電極膜部分 f 1 3 1 ~ f 1 3 9 と容量膜 f 1 1 2 を挟んで対向する下部電極膜 f 1 1 1 と容量膜 f 1 1 2 とによってそれぞれ構成される複数のキャパシタ要素 C 1 ~ C 9 は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分 f 1 3 1 ~ f 1 3 9 の対向面積の比が前

述の通りである場合、キャパシタ要素 C 1 ~ C 9 の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となる。すなわち、複数のキャパシタ要素 C 1 ~ C 9 は、公比が 2 の等比数列をなすように容量値が設定された複数のキャパシタ要素 C 1 ~ C 8 (または C 1 ~ C 7, C 9) を含むことになる。

[0743] この実施形態では、電極膜部分 f 1 3 1 ~ 1 3 5 は、幅が等しく、長さの比を 1 : 2 : 4 : 8 : 16 に設定した帯状に形成されている。また、電極膜部分 f 1 3 5, f 1 3 6, f 1 3 7, f 1 3 8, f 1 3 9 は、長さが等しく、幅の比を 1 : 2 : 4 : 8 : 8 に設定した帯状に形成されている。電極膜部分 f 1 3 5 ~ f 1 3 9 は、キャパシタ配置領域 f 1 0 5 の第 2 接続電極 f 4 側の端縁から第 1 接続電極 f 3 側の端縁までの範囲に渡って延びて形成されており、電極膜部分 f 1 3 1 ~ f 1 3 4 は、それよりも短く形成されている。

[0744] パッド領域 f 1 1 3 B は、第 2 接続電極 f 4 とほぼ相似形に形成されており、ほぼ矩形の平面形状を有している。図 1 5 0 に示すように、パッド領域 f 1 1 3 B における上部電極膜 f 1 1 3 は、第 2 接続電極 f 4 に接している。

ヒューズ領域 f 1 1 3 C は、パッド領域 f 1 1 3 B の一つの長辺 (基板 f 2 の周縁に対して内方側の長辺) に沿って配置されている。ヒューズ領域 f 1 1 3 C は、パッド領域 f 1 1 3 B の前記 1 つの長辺に沿って配列された複数のヒューズユニット f 1 0 7 を含む。

[0745] ヒューズユニット f 1 0 7 は、上部電極膜 f 1 1 3 のパッド領域 f 1 1 3 B と同じ材料で一体的に形成されている。複数の電極膜部分 f 1 3 1 ~ f 1 3

9は、1つまたは複数個のヒューズユニットf107と一体的に形成されていて、それらのヒューズユニットf107を介してパッド領域f113Bに接続され、このパッド領域f113Bを介して第2接続電極f4に電氣的に接続されている。図149に示すように、面積の比較的小さな電極膜部分f131～f136は、一つのヒューズユニットf107によってパッド領域f113Bに接続されており、面積の比較的大きな電極膜部分f137～f139は複数個のヒューズユニットf107を介してパッド領域f113Bに接続されている。全てのヒューズユニットf107が用いられる必要はなく、この実施形態では、一部のヒューズユニットf107は未使用である。

[0746] ヒューズユニットf107は、パッド領域f113Bとの接続のための第1幅広部f107Aと、電極膜部分f131～f139との接続のための第2幅広部f107Bと、第1および第2幅広部f107A、7Bの間を接続する幅狭部f107Cとを含む。幅狭部f107Cは、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分f131～f139のうち不要な電極膜部分を、ヒューズユニットf107の切断によって第1および第2接続電極f3、f4から電氣的に切り離すことができる。

[0747] 図149および図151では図示を省略したが、図150に表れている通り、上部電極膜f113の表面を含むチップコンデンサf101の表面は、前述したパッシベーション膜f23によって覆われている。パッシベーション膜f23は、たとえば窒化膜からなっていて、チップコンデンサf101の上面のみならず、基板f2の側面f2C～f2Fまで延びて、側面f2C～f2Fの全域をも覆うように形成されている。さらに、パッシベーション膜f23の上には、前述した樹脂膜f24が形成されている。

[0748] パッシベーション膜f23および樹脂膜f24は、チップコンデンサf101の表面を保護する保護膜である。これらには、第1接続電極f3および第2接続電極f4に対応する領域に、前述した開口f25がそれぞれ形成され

ている。開口 f 2 5 はそれぞれ下部電極膜 f 1 1 1 のパッド領域 f 1 1 1 B の一部の領域、上部電極膜 f 1 1 3 のパッド領域 f 1 1 3 B の一部の領域を露出させるようにパッシベーション膜 f 2 3 および樹脂膜 f 2 4 を貫通している。さらに、この実施形態では、第 1 接続電極 f 3 に対応した開口 f 2 5 は、容量膜 f 1 1 2 をも貫通している。

[0749] 開口 f 2 5 には、第 1 接続電極 f 3 および第 2 接続電極 f 4 がそれぞれ埋め込まれている。これにより、第 1 接続電極 f 3 は下部電極膜 f 1 1 1 のパッド領域 f 1 1 1 B に接合しており、第 2 接続電極 f 4 は上部電極膜 f 1 1 3 のパッド領域 f 1 1 3 B に接合している。この実施形態では、第 1 および第 2 外部電極 f 3, f 4 は、それぞれの表面 f 3 A, f 4 A が樹脂膜 f 2 4 の表面 f 2 4 A と略面一になるように形成されている。チップ抵抗器 f 1 と同様に、実装基板 f 9 に対してチップコンデンサ f 1 0 1 をフリップチップ接合することができる。

[0750] 図 1 5 2 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。第 1 接続電極 f 3 と第 2 接続電極 f 4 との間に複数のキャパシタ要素 C 1 ~ C 9 が並列に接続されている。各キャパシタ要素 C 1 ~ C 9 と第 2 接続電極 f 4 との間には、一つまたは複数のヒューズユニット f 1 0 7 でそれぞれ構成されたヒューズ F 1 ~ F 9 が直列に介装されている。

[0751] ヒューズ F 1 ~ F 9 が全て接続されているときは、チップコンデンサ f 1 0 1 の容量値は、キャパシタ要素 C 1 ~ C 9 の容量値の総和に等しい。複数のヒューズ F 1 ~ F 9 から選択した 1 つまたは 2 つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ f 1 0 1 の容量値が減少する。

[0752] そこで、パッド領域 f 1 1 1 B, f 1 1 3 B の間の容量値（キャパシタ要素 C 1 ~ C 9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F 1 ~ F 9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことがで

きる。とくに、キャパシタ要素C 1～C 8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C 1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

[0753] たとえば、キャパシタ要素C 1～C 9の容量値は次のように定められていてもよい。

$$\begin{array}{lll} C 1 = 0.03125 \text{ pF} & & C 2 = 0.0625 \text{ pF} \\ C 3 = 0.125 \text{ pF} & & C 4 = 0.25 \text{ pF} \\ C 5 = 0.5 \text{ pF} & & C 6 = 1 \text{ pF} \\ C 7 = 2 \text{ pF} & & C 8 = 4 \text{ pF} \\ C 9 = 4 \text{ pF} \end{array}$$

この場合、0.03125 pFの最小合わせ込み精度でチップコンデンサ f 101の容量を微調整できる。また、ヒューズF 1～F 9から切断すべきヒューズを適切に選択することで、10 pF～18 pFの間の任意の容量値のチップコンデンサ f 101を提供することができる。

[0754] 以上のように、この実施形態によれば、第1接続電極 f 3および第2接続電極 f 4の間に、ヒューズF 1～F 9によって切り離し可能な複数のキャパシタ要素C 1～C 9が設けられている。キャパシタ要素C 1～C 9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF 1～F 9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ f 101を共通の設計で実現することができる。

[0755] チップコンデンサ f 101の各部の詳細について以下に説明を加える。 図149を参照して、基板 f 2は、たとえば平面視において0.3 mm×0.15 mm、0.4 mm×0.2 mmなどの矩形形状（好ましくは、0.4 mm×0.2 mm以下の大きさ）を有していてもよい。キャパシタ配置領域 f 105は、概ね、基板 f 2の短辺の長さに相当する一辺を有する正方形領域となる。基板 f 2の厚さは、150 μm程度であってもよい。図150を参

照して、基板 f 2 は、たとえば、裏面側（キャパシタ要素 C 1 ～ C 9 が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板 f 2 の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0756] 絶縁層 f 2 0 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å ～ 2000 Å 程度であってもよい。下部電極膜 f 1 1 1 は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜 f 1 1 1 は、スパッタ法によって形成することができる。上部電極膜 f 1 1 3 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 f 1 1 3 は、スパッタ法によって形成することができる。上部電極膜 f 1 1 3 のキャパシタ電極領域 f 1 1 3 A を電極膜部分 f 1 3 1 ～ f 1 3 9 に分割し、さらに、ヒューズ領域 f 1 1 3 C を複数のヒューズユニット f 1 0 7 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0757] 容量膜 f 1 1 2 は、たとえば窒化シリコン膜で構成することができ、その膜厚は500 Å ～ 2000 Å（たとえば1000 Å）とすることができる。容量膜 f 1 1 2 は、プラズマ CVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。パッシベーション膜 f 2 3 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ CVD 法によって形成できる。その膜厚は、8000 Å 程度とされてもよい。樹脂膜 f 2 4 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0758] 第1および第2接続電極 f 3, f 4 は、たとえば、下部電極膜 f 1 1 1 または上部電極膜 f 1 1 3 に接する Ni 層 f 3 3 と、この Ni 層 f 3 3 上に積層した Pd 層 f 3 4 と、その Pd 層 f 3 4 上に積層した Au 層 f 3 5 とを積層した積層構造膜からなってもよく、たとえば、無電解めっき法で形成することができる。Ni 層 f 3 3 は下部電極膜 f 1 1 1 または上部電極膜 f 1

13に対する密着性の向上に寄与し、Pd層f34は上部電極膜または下部電極膜の材料と第1および第2接続電極f3, f4の最上層の金との相互拡散を抑制する拡散防止層として機能する。

[0759] このようなチップコンデンサf101の製造工程は、素子f5を形成した後のチップ抵抗器f1の製造工程と同じである。チップコンデンサf101において素子f5（キャパシタ素子）を形成する場合には、まず、前述した基板f30（基板f2）の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁層f20が形成される。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜f111が絶縁層f20の表面全域に形成される。下部電極膜f111の膜厚は8000Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜f111の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図149等にしたパターンの下部電極膜f111が得られる。下部電極膜f111のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0760] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜f112が、下部電極膜f111上に形成される。下部電極膜f111が形成されていない領域では、絶縁層f20の表面に容量膜f112が形成されることになる。次いで、その容量膜f112の上に、上部電極膜f113が形成される。上部電極膜f113は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000Å程度とされてもよい。次いで、上部電極膜f113の表面に上部電極膜f113の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される。このレジストパターンをマスクとしたエッチングにより、上部電極膜f113が、最終形状（図149等参照）にパターンニングされる。それによって、上部電極膜f113は、キャパシタ電極領域f113Aに複数の電極膜部分f131～f139に分割された部分を有し、ヒ

ューズ領域 f 1 1 3 C に複数のヒューズユニット f 1 0 7 を有し、それらのヒューズユニット f 1 0 7 に接続されたパッド領域 f 1 1 3 B を有するパターンに整形される。上部電極膜 f 1 1 3 が分割されることによって、電極膜部分 f 1 3 1 ～ f 1 3 9 の数に応じた複数のキャパシタ要素 C 1 ～ C 9 を形成することができる。上部電極膜 f 1 1 3 のパターニングのためのエッチングは、リン酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0761] 以上によって、チップコンデンサ f 1 0 1 における素子 f 5 (キャパシタ要素 C 1 ～ C 9 やヒューズユニット f 1 0 7) が形成される。素子 f 5 が形成された後に、プラズマ CVD 法によって絶縁膜 f 4 5 が、素子 f 5 (上部電極膜 f 1 1 3、上部電極膜 f 1 1 3 が形成されていない領域における容量膜 f 1 1 2) を全て覆うように形成される (図 1 4 0 A 参照)。その後は、第 1 溝 f 4 4 および第 2 溝 f 4 8 が形成されてから (図 1 4 0 B および図 1 4 0 C 参照)、開口 f 2 5 が形成される (図 1 4 0 D 参照)。そして、開口 f 2 5 から露出された上部電極膜 f 1 1 3 のパッド領域 f 1 1 3 B と下部電極膜 f 1 1 1 のパッド領域 f 1 1 1 B とにプローブ f 7 0 を押し当てて、複数のキャパシタ要素 C 0 ～ C 9 の総容量値が測定される (図 1 4 0 D 参照)。この測定された総容量値に基づき、目的とするチップコンデンサ f 1 0 1 の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される。

[0762] この状態から、ヒューズユニット f 1 0 7 を溶断するためのレーザトリミングが行われる。すなわち、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット f 1 0 7 にレーザ光を当てて、そのヒューズユニット f 1 0 7 の幅狭部 f 1 0 7 C (図 1 4 9 参照) が溶断される。これにより、対応するキャパシタ要素がパッド領域 f 1 1 3 B から切り離される。ヒューズユニット f 1 0 7 にレーザ光を当てるとき、カバー膜である絶縁膜 f 4 5 の働きによって、ヒューズユニット f 1 0 7 の近傍にレーザ光のエネルギーが蓄積され、それによって、ヒューズユニット f 1 0 7 が溶断す

る。これにより、チップコンデンサ f 1 0 1 の容量値を確実に目的の容量値とすることができる。

[0763] 次に、たとえばプラズマ C V D 法によって、カバー膜（絶縁膜 f 4 5）上に窒化シリコン膜が堆積させられ、パッシベーション膜 f 2 3 が形成される。前述のカバー膜は最終形態において、パッシベーション膜 f 2 3 と一体化し、このパッシベーション膜 f 2 3 の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜 f 2 3 は、ヒューズ溶断の際に同時に破壊されたカバー膜の開口内に入り込み、ヒューズユニット f 1 0 7 の切断面を覆って保護する。したがって、パッシベーション膜 f 2 3 は、ヒューズユニット f 1 0 7 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。これにより、信頼性の高いチップコンデンサ f 1 0 1 を製造することができる。パッシベーション膜 f 2 3 は、全体で、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。

[0764] 次に、前述した樹脂膜 f 4 6 が形成される（図 1 4 0 E 参照）。その後、樹脂膜 f 4 6 やパッシベーション膜 f 2 3 によって塞がれていた開口 f 2 5 が開放され（図 1 4 0 F 参照）、パッド領域 f 1 1 1 B およびパッド領域 f 1 1 3 B が、開口 f 2 5 を介して樹脂膜 f 4 6（樹脂膜 f 2 4）から露出される。その後、開口 f 2 5 において樹脂膜 f 4 6 から露出されたパッド領域 f 1 1 1 B 上およびパッド領域 f 1 1 3 B 上に、たとえば無電解めっき法によって、第 1 接続電極 f 3 および第 2 接続電極 f 4 が形成される（図 1 4 0 G 参照）。

[0765] その後、チップ抵抗器 f 1 の場合と同じように、基板 f 3 0 を裏面 f 3 0 B から研削すると（図 1 4 0 H 参照）、チップコンデンサ f 1 0 1 の個片を切り出すことができる。フォトリソグラフィ工程を利用した上部電極膜 f 1 1 3 のパターニングでは、微小面積の電極膜部分 f 1 3 1 ~ f 1 3 9 を精度良く形成することができ、さらに微細なパターンのヒューズユニット f 1 0 7 を形成することができる。そして、上部電極膜 f 1 1 3 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定

されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ f 1 0 1 を得ることができる。つまり、このチップコンデンサ f 1 0 1 では、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、容量値の異なる複数のキャパシタ要素 C 1 ~ C 9 を組み合わせることによって、様々な容量値のチップコンデンサ f 1 0 1 を共通の設計で実現することができる。

[0766] 以上、第 6 参考例のチップ部品（チップ抵抗器 f 1 やチップコンデンサ f 1 0 1）について説明してきたが、第 6 参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、チップ抵抗器 f 1 の場合、複数の抵抗回路が公比 r ($0 < r, r \neq 1$) = 2 の等比数列をなす抵抗値を有する複数の抵抗回路を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。また、チップコンデンサ f 1 0 1 の場合にも、キャパシタ要素が公比 r ($0 < r, r \neq 1$) = 2 の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。

[0767] また、チップ抵抗器 f 1 やチップコンデンサ f 1 0 1 では、基板 f 2 の表面に絶縁層 f 2 0 が形成されているが、基板 f 2 が絶縁性の基板であれば、絶縁層 f 2 0 を省くこともできる。また、チップコンデンサ f 1 0 1 では、上部電極膜 f 1 1 3 だけが複数の電極膜部分に分割されている構成を示したが、下部電極膜 f 1 1 1 だけが複数の電極膜部分に分割されていたり、上部電極膜 f 1 1 3 および下部電極膜 f 1 1 1 が両方とも複数の電極膜部分に分割されていたりしてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。また、前述したチップコンデンサ f 1 0 1 では、上部電極膜 f 1 1 3 および下部電極膜 f 1 1 1 を有する 1 層のキャパシタ構造が形成されているが、上部電極膜 f 1 1 3 上に、容量膜を介して別の電極膜を積層することで、

複数のキャパシタ構造が積層されてもよい。

[0768] チップコンデンサ f 1 0 1 では、また、基板 f 2 として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜 f 1 1 2 を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。また、第 6 参考例を、チップインダクタに適用した場合、当該チップインダクタにおいて前述した基板 f 2 上に形成された素子 f 5 は、複数のインダクタ要素（素子要素）を含んだインダクタ回路網（インダクタ素子）を含む。この場合、素子 f 5 は、基板 f 2 の表面 f 2 A 上に形成された多層配線中に設けられていて、配線膜 f 2 2 によって形成されている。このチップインダクタでは、一つまたは複数のヒューズ F を選択して切断することにより、インダクタ回路網における複数のインダクタ要素の組み合わせパターンを任意のパターンとすることができるので、インダクタ回路網の電気的特性が様々なチップインダクタを共通の設計で実現することができる。

[0769] そして、第 6 参考例を、チップダイオードに適用した場合、当該チップダイオードにおいて前述した基板 f 2 上に形成された素子 f 5 は、複数のダイオード要素（素子要素）を含んだダイオード回路網（ダイオード素子）を含む。ダイオード素子は基板 f 2 に形成されている。このチップダイオードでは、一つまたは複数のヒューズ F を選択して切断することにより、ダイオード回路網における複数のダイオード要素の組み合わせパターンを任意のパターンとすることができるので、ダイオード回路網の電気的特性が様々なチップダイオードを共通の設計で実現することができる。

[0770] チップインダクタおよびチップダイオードのいずれにおいても、チップ抵抗器 f 1 やチップコンデンサ f 1 0 1 の場合と同じ作用効果を奏することができる。また、前述した第 1 接続電極 f 3 および第 2 接続電極 f 4 において、N i 層 f 3 3 と A u 層 f 3 5 との間に介装されていた P d 層 f 3 4 を省略することもできる。N i 層 f 3 3 と A u 層 f 3 5 との接着性が良好なので、A u 層 f 3 5 に前述したピンホールができないのであれば、P d 層 f 3 4 を

省略しても構わない。

[0771] また、前述したようにエッチングによって第1溝 f 4 4 を形成する際に用いるレジストパターン f 4 1 の開口 f 4 2 の交差部分 f 4 3 （図1 4 1 参照）をラウンド形状にしておけば、完成したチップ部品では、基板 f 2 の表面 f 2 A 側のコーナー部（粗面領域 S におけるコーナー部） 1 1 をラウンド状に成形することができる。また、チップ抵抗器 f 1 において説明した変形例 1 ～ 5 （図1 4 4 ～図1 4 8）の構成は、チップコンデンサ f 1 0 1、チップインダクタおよびチップダイオードのいずれにおいても適用可能である。

[0772] 図1 5 3 は、第6 参考例のチップ部品が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォン f 2 0 1 は、扁平な直方体形状の筐体 f 2 0 2 の内部に電子部品を収納して構成されている。筐体 f 2 0 2 は表側および裏側に長形状の一对の主面を有しており、その一对の主面が4 つの側面で結合されている。筐体 f 2 0 2 の一つの主面には、液晶パネルや有機 E L パネル等で構成された表示パネル f 2 0 3 の表示面が露出している。表示パネル f 2 0 3 の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0773] 表示パネル f 2 0 3 は、筐体 f 2 0 2 の一つの主面の大部分を占める長形状に形成されている。表示パネル f 2 0 3 の一つの短辺に沿うように、操作ボタン f 2 0 4 が配置されている。この実施形態では、複数（3 つ）の操作ボタン f 2 0 4 が表示パネル f 2 0 3 の短辺に沿って配列されている。使用者は、操作ボタン f 2 0 4 およびタッチパネルを操作することによって、スマートフォン f 2 0 1 に対する操作を行い、必要な機能呼び出して実行させることができる。

[0774] 表示パネル f 2 0 3 の別の一つの短辺の近傍には、スピーカ f 2 0 5 が配置されている。スピーカ f 2 0 5 は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタン f 2 0 4 の近くには、筐体 f 2 0 2 の一つの側面にマイク

ロフォン f 2 0 6 が配置されている。マイクロフォン f 2 0 6 は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0775] 図 1 5 4 は、筐体 f 2 0 2 の内部に収容された電子回路アセンブリ f 2 1 0 の構成を示す図解的な平面図である。電子回路アセンブリ f 2 1 0 は、配線基板 f 2 1 1 と、配線基板 f 2 1 1 の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子 (IC) f 2 1 2 - f 2 2 0 と、複数のチップ部品とを含む。複数の IC は、伝送処理 IC f 2 1 2、ワンセグ TV 受信 IC f 2 1 3、GPS 受信 IC f 2 1 4、FM チューナ IC f 2 1 5、電源 IC f 2 1 6、フラッシュメモリ f 2 1 7、マイクロコンピュータ f 2 1 8、電源 IC f 2 1 9

およびベースバンド IC f 2 2 0 を含む。複数のチップ部品 (第 6 参考例のチップ部品に相当する) は、チップインダクタ f 2 2 1, f 2 2 5, f 2 3 5、チップ抵抗器 f 2 2 2, f 2 2 4, f 2 3 3、チップキャパシタ f 2 2 7, f 2 3 0, f 2 3 4、およびチップダイオード f 2 2 8, f 2 3 1 を含む。

[0776] 伝送処理 IC f 2 1 2 は、表示パネル f 2 0 3 に対する表示制御信号を生成し、かつ表示パネル f 2 0 3 の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネル f 2 0 3 との接続のために、伝送処理 IC f 2 1 2 には、フレキシブル配線 f 2 0 9 が接続されている。

ワンセグ TV 受信 IC f 2 1 3 は、ワンセグ放送 (携帯機器を受信対象とする地上デジタルテレビ放送) の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグ TV 受信 IC f 2 1 3 の近傍には、複数のチップインダクタ f 2 2 1 と、複数のチップ抵抗器 f 2 2 2 とが配置されている。ワンセグ TV 受信 IC f 2 1 3、チップインダクタ f 2 2 1 およびチップ抵抗器 f 2 2 2 は、ワンセグ放送受信回路 f 2 2 3 を構成している。チップインダクタ f 2 2 1 およびチップ抵抗器 f 2 2 2 は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路 f 2

23に高精度な回路定数を与える。

[0777] GPS受信IC f 2 1 4は、GPS衛星からの電波を受信してスマートフォン f 2 0 1の位置情報を出力する電子回路を内蔵している。FMチューナIC f 2 1 5は、その近傍において配線基板 f 2 1 1に実装された複数のチップ抵抗器 f 2 2 4および複数のチップインダクタ f 2 2 5とともに、FM放送受信回路 f 2 2 6を構成している。チップ抵抗器 f 2 2 4およびチップインダクタ f 2 2 5は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、FM放送受信回路 f 2 2 6に高精度な回路定数を与える。

[0778] 電源IC f 2 1 6の近傍には、複数のチップキャパシタ f 2 2 7および複数のチップダイオード f 2 2 8が配線基板 f 2 1 1の実装面に実装されている。電源IC f 2 1 6は、チップキャパシタ f 2 2 7およびチップダイオード f 2 2 8とともに、電源回路 f 2 2 9を構成している。フラッシュメモリ f 2 1 7は、オペレーティングシステムプログラム、スマートフォン f 2 0 1の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

[0779] マイクロコンピュータ f 2 1 8は、CPU、ROMおよびRAMを内蔵しており、各種の演算処理を実行することにより、スマートフォン f 2 0 1の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ f 2 1 8の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。電源IC f 2 1 9の近くには、複数のチップキャパシタ f 2 3 0および複数のチップダイオード f 2 3 1が配線基板 f 2 1 1の実装面に実装されている。電源IC f 2 1 9は、チップキャパシタ f 2 3 0およびチップダイオード f 2 3 1とともに、電源回路 f 2 3 2を構成している。

[0780] ベースバンドIC f 2 2 0の近くには、複数のチップ抵抗器 f 2 3 3、複数のチップキャパシタ f 2 3 4、および複数のチップインダクタ f 2 3 5が、配線基板 f 2 1 1の実装面に実装されている。ベースバンドIC f 2 2 0は

、チップ抵抗器 f 2 3 3、チップキャパシタ f 2 3 4 およびチップインダクタ f 2 3 5 とともに、ベースバンド通信回路 f 2 3 6 を構成している。ベースバンド通信回路 f 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

[0781] このような構成によって、電源回路 f 2 2 9、f 2 3 2 によって適切に調整された電力が、伝送処理 IC f 2 1 2、GPS 受信 IC f 2 1 4、ワンセグ放送受信回路 f 2 2 3、FM 放送受信回路 f 2 2 6、ベースバンド通信回路 f 2 3 6、フラッシュメモリ f 2 1 7 およびマイクロコンピュータ f 2 1 8 に供給される。マイクロコンピュータ f 2 1 8 は、伝送処理 IC f 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 IC f 2 1 2 から表示パネル f 2 0 3 に表示制御信号を出力して表示パネル f 2 0 3 に各種の表示を行わせる。

[0782] タッチパネルまたは操作ボタン f 2 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 f 2 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル f 2 0 3 に出力し、受信された音声をスピーカ f 2 0 5 から音響化させるための演算処理が、マイクロコンピュータ f 2 1 8 によって実行される。また、スマートフォン f 2 0 1 の位置情報が必要とされるときには、マイクロコンピュータ f 2 1 8 は、GPS 受信 IC f 2 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0783] さらに、タッチパネルまたは操作ボタン f 2 0 4 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ f 2 1 8 は、FM 放送受信回路 f 2 2 6 を起動し、受信された音声をスピーカ f 2 0 5 から出力させるための演算処理を実行する。フラッシュメモリ f 2 1 7 は、通信によって取得したデータの記憶や、マイクロコンピュータ f 2 1 8 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ f 2 1 8 は、必要に応じて、フラッシュメモリ f 2 1 7 に対してデータを書き込み、またフラッシュメモリ f 2 1 7 からデータを読

み出す。

[0784] 電話通信またはデータ通信の機能は、ベースバンド通信回路 f 2 3 6 によって実現される。マイクロコンピュータ f 2 1 8 は、ベースバンド通信回路 f 2 3 6 を制御して、音声またはデータを送受信するための処理を行う。＜第 7 参考例に係る発明＞（１）第 7 参考例に係る発明の特徴 たとえば、第 7 参考例に係る発明の特徴は、以下の G 1 ～G 1 8 である。（G 1）互いに対向する一对の長辺および互いに対向する一对の短辺を有する矩形の基板と、前記基板上に、前記一对の長辺のうちの第 1 長辺に沿って設けられた第 1 電極と、前記基板上に、前記一对の長辺のうちの第 2 長辺に沿って設けられた第 2 電極と、前記基板上に形成された抵抗体膜および前記抵抗体膜に接するように積層された配線膜を含み、前記第 1 電極および前記第 2 電極の間に形成された複数の抵抗回路と、前記第 1 電極および前記第 2 電極の間に形成され、前記複数の抵抗回路をそれぞれ接続する切断可能な複数のヒューズと、を含むことを特徴とする、チップ抵抗器。

[0785] この構成によれば、小サイズでも電極面積を大きくして放熱効率を高めることができる。そして、放熱効率が良いので、抵抗体の温度特性に起因する抵抗値の変動を抑制できる。よって、正確な抵抗値で小サイズのチップ抵抗値を実現できる。従来構造では、小型化したときに、チップ抵抗器が高温になるので、過酷な温度サイクルに晒されるおそれがあり、それによって、温度サイクル耐性が悪くなるおそれがある。さらに、チップ抵抗器が高温となることによって、実装配線基板との間の半田が溶け出すおそれがあり、半田接合信頼性が悪くなるおそれがある。これらの問題は、いずれも、第 7 参考例によって解決される。

[0786] また、低抵抗のチップ抵抗器を実現しやすい。なぜなら、複数の抵抗回路における抵抗体膜の幅を広くでき、かつ、長さを短くできるからである。（G 2）前記第 1 電極および前記第 2 電極のうちの少なくとも一方は、対応する前記長辺の全範囲に沿って形成されていることを特徴とする、G 1 に記載のチップ抵抗器。 この構成によれば、基板の長手方向に沿って一对の電極が

形成されており、しかも、各電極は基板の長辺全長に亘って伸びており、電極面積を大きくして、放熱特性のさらなる向上を図れる。(G 3) 前記第 1 電極および前記第 2 電極のうちの少なくとも一方は、対応する前記長辺の全範囲に沿って連続して形成されていることを特徴とする、G 2 に記載のチップ抵抗器。

[0787] この構成によれば、小型のチップ抵抗器において、大きな電極を形成でき、正確な抵抗値で小サイズのチップ抵抗値を実現できる。(G 4) 前記第 1 電極および前記第 2 電極のうちの少なくとも一方は、対応する前記長辺に沿って間隔を開けて配置された複数の電極部分を含むことを特徴とする、G 2 に記載のチップ抵抗器。(G 5) 前記第 1 電極が、前記第 1 長辺に沿って配置された電極部分を含み、前記第 2 電極が、前記第 2 長辺に沿って間隔を開けて配置された複数の電極部分を含み、前記第 1 電極および前記第 2 電極の前記各電極部分は、前記短辺に沿う方向に見て重なり部分を有しないように配置されていることを特徴とする、G 1 または G 2 に記載のチップ抵抗器。

[0788] G 4 および G 5 の構成によれば、第 1 電極および第 2 電極は、チップ抵抗器の短辺方向に対向するから、それらの間隔が短い。そのため、実装基板に半田接合したときに、第 1 および第 2 電極間を半田が短絡してしまう可能性がある。そこで、長辺方向に関して第 1 電極および第 2 電極の配置をずらすことによって、問題を解消している。(G 6) 前記長辺の長さが 0.4 mm 以下であり、前記短辺の長さが 0.2 mm 以下であることを特徴とする、G 1 ～G 5 のいずれか一項に記載のチップ抵抗器。

[0789] この構成によれば、小サイズでも電極面積を大きくして放熱効率を高めることができる。すなわち、小サイズでも放熱効率が良いので、機能素子の温度特性に起因する性能変動を抑制できる。よって、正確な特性で小サイズのチップ部品を実現できる。(G 7) 前記第 1 電極および第 2 電極間の抵抗値が、 $1\text{ m}\Omega \sim 1\text{ G}\Omega$ であることを特徴とする、G 1 ～G 6 のいずれか一項に記載のチップ抵抗器。

[0790] この構成によれば、低抵抗値で小型のチップ抵抗器を実現できる。(G 8)

互いに対向する一对の長辺および互いに対向する一对の短辺を有する矩形の基板と、前記基板上に、前記一对の長辺のうちの第1長辺に沿って設けられた第1電極と、前記基板上に、前記一对の長辺のうちの第2長辺に沿って設けられた第2電極と、前記第1電極および第2電極で挟まれた前記基板の表面領域に形成された機能素子とを含むことを特徴とする、チップ部品。(G9) 前記第1電極および前記第2電極のうちの少なくとも一方は、対応する前記長辺の全範囲に沿って形成されていることを特徴とする、G8に記載のチップ部品。(G10) 前記第1電極および前記第2電極のうちの少なくとも一方は、対応する前記長辺の全範囲に沿って連続して形成されていることを特徴とする、G9に記載のチップ部品。(G11) 前記第1電極および前記第2電極の間に形成され、前記複数の抵抗回路をそれぞれ接続する切断可能な複数のヒューズと、前記機能素子がダイオードを含み、前記チップ部品がチップダイオードであることを特徴とする、G8～G10のいずれか一項に記載のチップ部品。(G12) 前記機能素子がインダクタを含み、前記チップ部品がチップインダクタであることを特徴とする、G8～G10のいずれか一項に記載のチップ部品。(G13) 前記機能素子がコンデンサを含み、前記チップ部品がチップコンデンサであることを特徴とする、G8～G10のいずれか一項に記載のチップ部品。(G14) 前記第1電極および前記第2電極の間に形成され、前記機能素子を選択的に接続する切断可能な複数のヒューズを含むことを特徴とする、G8～G13のいずれか一項に記載のチップ部品。(G15) 前記長辺の長さが0.4mm以下であり、前記短辺の長さが0.2mm以下であることを特徴とする、G8～G14のいずれか一項に記載のチップ部品。

[0791] G8～G15の構成によれば、小サイズでも電極面積を大きくして放熱効率を高めることができる。そして、放熱効率が良いので、機能素子の温度特性に起因する変動を抑制でき、特性の向上したチップ部品を提供することができる。(G16) 実装基板と、前記実装基板に実装されたG1～7のいずれか一項に記載のチップ抵抗器またはG8～G15のいずれか一項に

記載のチップ部品と、を含むことを特徴とする、回路アッセンブリ。（G 1 7）前記実装基板が所定の曲げ方向に沿って曲げられるフレキシブル基板であり、前記フレキシブル基板の曲げ方向に直交する方向に前記一对の長辺に沿わせて前記チップ抵抗器またはチップ部品が前記実装基板に実装されていることを特徴とする、G 1 6に記載の回路アッセンブリ。

[0792] G 1 6およびG 1 7の構成によれば、チップ抵抗器やチップ部品は、電極面積が大きいため、実装基板との接合面積が大きく、実装基板に強固に接合できる。そのため、実装基板とチップ抵抗器やチップ部品との熱膨張係数の差が生じて、接合部が剥がれにくい。また、接合部間の距離が短いので、チップ抵抗器にかかる曲げ応力が小さく、チップ抵抗器やチップ部品の破損も生じにくい。とくに、実装基板の曲げ方向に直交するようにチップ抵抗器やチップ部品の長辺を配置したとき、実装基板からチップ抵抗器やチップ部品に加わる曲げ応力が最小となる。さらに、抵抗素子や機能素子から電極までの距離が短いから放熱経路が短く、かつ電極面積が大きいため放熱面積が大きい。したがって、温度サイクルによるダメージを受けにくく、熱ストレスの少ない回路アッセンブリを提供できる。（G 1 8）筐体と、前記筐体に収容されたG 1 6またはG 1 7に記載の回路アッセンブリと、を含むことを特徴とする、電子機器。

[0793] この構成によれば、小型で高性能な電子機器を提供できる。（2）第7参考例に係る発明の実施形態 以下には、第7参考例の実施の形態を、添付図面を参照して詳細に説明する。なお、図155～図188で示した符号は、これらの図面でのみ有効であり、他の実施形態に使用されていても、当該他の実施形態の符号と同じ要素を示すものではない。

[0794] （2-1）チップ抵抗器の実施形態の説明 図155（A）は、第7参考例の一実施形態に係るチップ抵抗器g 1 0の外観構成を示す図解的な斜視図であり、図155（B）は、チップ抵抗器g 1 0が基板上に実装された状態を示す側面図である。図155（A）を参照して、第7参考例の一実施形態に係るチップ抵抗器g 1 0は、基板g 1 1上に形成された第1接続電極g 1

2と、第2接続電極g 1 3と、抵抗回路網g 1 4とを備えている。基板g 1 1は、平面視略長方形の直方体形状で、一例として、長辺方向の長さL=0.3mm、短辺方向の幅W=0.15mm、厚みT=0.1mm程度の大きさの微少なチップである。基板g 1 1は、平面視で角が面取りされた角ラウンド形状であってもよい。基板は、たとえばシリコン、ガラス、セラミック等で形成することができる。以下の実施形態では、基板g 1 1がシリコン基板の場合を例にとって説明する。

[0795] 基板g 1 1上において、第1接続電極g 1 2は基板g 1 1の一方長辺g 1 1 1に沿って設けられ、長辺g 1 1 1方向に長手の矩形電極である。第2接続電極g 1 3は、基板g 1 1上の他方長辺g 1 1 2に沿って設けられ、長辺g 1 1 2方向に長手の矩形電極である。この実施形態の特徴は、このように一対の接続電極が、基板g 1 1の一対の長辺g 1 1 1、1 1 2に沿って形成されていることである。抵抗回路網g 1 4は、基板g 1 1上の第1接続電極g 1 2と第2接続電極g 1 3とで挟まれた中央領域（回路形成面または素子形成面）に設けられている。そして、抵抗回路網g 1 4の一端側は第1接続電極g 1 2に電氣的に接続されており、抵抗回路網g 1 4の他端側は第2接続電極g 1 3に電氣的に接続されている。これら第1接続電極g 1 2、第2接続電極g 1 3および抵抗回路網g 1 4は、たとえば一例として、基板g 1 1上に微細加工プロセスを用いて設けることができる。特に、後述するフォトリソグラフィプロセスを用いることにより、微細で正確なレイアウトパターンの抵抗回路網g 1 4を形成することができる。

[0796] 第1接続電極g 1 2および第2接続電極g 1 3は、それぞれ、外部接続電極として機能する。チップ抵抗器g 1 0が回路基板g 1 5に実装された状態においては、図155（B）に示すように、第1接続電極g 1 2および第2接続電極g 1 3が、それぞれ、回路基板g 1 5の回路（図示せず）と半田により電氣的かつ機械的に接続される。なお、外部接続電極として機能する第1接続電極g 1 2および第2接続電極g 1 3は、半田濡れ性の向上および信頼性の向上のために、少なくとも表面領域を金（Au）で形成するか、または表

面に金メッキを施すことが望ましい。

[0797] 図156は、チップ抵抗器g10の平面図であり、第1接続電極g12、第2接続電極g13および抵抗回路網g14の配置関係ならびに抵抗回路網g14の平面視の構成（レイアウトパターン）が示されている。図156を参照して、チップ抵抗器g10は、基板g11上面の一方長辺g111に長辺が沿うように配置された平面視が長手で略矩形をした第1接続電極g12と、基板g11上面の他方長辺g112に長辺が沿うように配置された平面視が長手で略矩形をした第2接続電極g13と、第1接続電極g12および第2接続電極g13間の平面視矩形の領域に設けられた抵抗回路網g14とを含んでいる。

[0798] 抵抗回路網g14には、基板g11上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R（図156の例では、行方向（基板g11の幅（短手）方向）に沿って8個の単位抵抗体Rが配列され、列方向（基板g11の長手方向）に沿って44個の単位抵抗体Rが配列され、合計352個の単位抵抗体Rを含む構成）を有している。そして、これら多数個の単位抵抗体Rの1～64個の所定の個数が導体膜C（導体膜Cは、好ましくはAl、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属で形成された配線膜）で電氣的に接続されて、接続された単位抵抗体Rの数に応じた複数種類の抵抗回路が形成されている。

[0799] さらに、抵抗回路を抵抗回路網g14に電氣的に組み込んだり、または、抵抗回路網g14から電氣的に分離するために溶断可能な複数のヒューズF（好ましくは、導体膜Cと同じ材料であるAl、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成された配線膜であり、以下、「ヒューズ」ともいう）が設けられている。複数のヒューズFは、第2接続電極g13の内側辺沿いに、配置領域が直線状になるように配列されている。より具体的には、複数のヒューズFおよび接続用導体膜、すなわち配線膜Cが隣接するように配列され、その配列方向が直線状になるように配置されている。

[0800] 図157Aは、図156に示す抵抗回路網g14の一部分を拡大して描いた平面図であり、図157Bおよび図157Cは、それぞれ、抵抗回路網g14における単位抵抗体Rの構造を説明するために描いた長さ方向の縦断面図および幅方向の縦断面図である。図157A、図157Bおよび図157Cを参照して、単位抵抗体Rの構成について説明をする。

[0801] 基板g11の上面には絶縁層(SiO₂)g19が形成され、絶縁層g19上に抵抗体膜g20が配置されている。抵抗体膜g20は、抵抗体膜g20は、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料からなる。抵抗体膜g20をこのような材料で形成することにより、フォトリソグラフィによる微細加工が可能になる。また、温度特性の影響により抵抗値が変化しにくい、正確な抵抗値のチップ抵抗器を作ることができる。この抵抗体膜g20は、第1接続電極g12と第2接続電極g13との間を平行に直線状に延びる複数本の抵抗体膜（以下「抵抗体膜ライン」という）とされており、抵抗体膜ラインg20は、ライン方向に所定の位置で切断されている場合がある。抵抗体膜ラインg20上には、導体膜片g21としてのたとえばアルミニウム膜が積層されている。各導体膜片g21は、抵抗体膜ラインg20上に、ライン方向に一定間隔Rを開けて積層されている。

[0802] この構成の抵抗体膜ラインg20および導体膜片g21の電気的特徴を回路記号で示すと、図158の通りである。すなわち、図158(A)に示すように、所定間隔Rの領域の抵抗体膜ラインg20部分が、それぞれ、一定の抵抗値rの単位抵抗体Rを形成している。導体膜片g21が積層された領域は、当該導体膜片g21で抵抗体膜ラインg20が短絡されている。よって、図158(B)に示す抵抗rの単位抵抗体Rの直列接続からなる抵抗回路が形成されている。

[0803] また、隣接する抵抗体膜ラインg20同士は抵抗体膜ラインg20および導体膜片g21で接続されているから、図157Aに示す抵抗回路網は、図1

58 (C) に示す抵抗回路を構成している。図157Bおよび図157Cに示す図解的な断面図において、参照番号g11は基板、g19は絶縁層としての二酸化シリコン SiO_2 層、g20は絶縁層g19上に形成された抵抗体膜、g21はアルミニウム (Al) の配線膜、g22は保護膜としてのSiN膜、g23は保護層としてのポリイミド層を示している。

[0804] 抵抗体膜g20の材質は、上記のとおり、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料からなる。また、抵抗体膜g20の膜厚は、300Å～1μmであることが望ましい。抵抗体膜g20の膜厚をこの範囲とすれば、抵抗体膜g20の温度係数を50ppm/°C～200ppm/°Cに実現でき、温度特性の影響を受けにくいチップ抵抗器となるからである。

[0805] なお、抵抗体膜g20の温度係数は、1000ppm/°C未満であれば、実用上良好なチップ抵抗器を得られる。さらに、抵抗体膜g20は、1μm～1.5μmの線幅を有する線状要素を含む構造であることが望ましい。抵抗回路の微細化と良好な温度特性とを両立できるからである。配線膜g21は、Alに換え、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成されてもよい。配線膜g21(ヒューズFを含む)をこのようにアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。

[0806] なお、かかる構成の抵抗回路網g14の製造プロセスについては、後に詳述する。この実施形態では、基板g11上に形成された抵抗回路網g14に含まれる単位抵抗体Rは、抵抗体膜ラインg20と、抵抗体膜ラインg20上に、ライン方向に一定間隔をあけて積層された複数の導体膜片g21とを含み、導体膜片g21が積層されていない一定間隔R部分の抵抗体膜ラインg20が、1個の単位抵抗体Rを構成している。単位抵抗体Rを構成している抵抗体膜ラインg20は、その形状および大きさが全て等しい。よって、基板上に作り込んだ同形同大の抵抗体膜は、ほぼ同値になるという特性に基

づき、基板 g 1 1 上にマトリックス状に配列された多数個の単位抵抗体 R は、等しい抵抗値を有している。

[0807] 抵抗体膜ライン g 2 0 上に積層された導体膜片 g 2 1 は、単位抵抗体 R を形成するとともに、複数個の単位抵抗体 R を接続して抵抗回路を構成するための接続用配線膜の役目も果たしている。図 1 5 9 (A) は、図 1 5 6 に示すチップ抵抗器 g 1 0 の平面図の一部分を拡大して描いたヒューズ F を含む領域の部分拡大平面図であり、図 1 5 9 (B) は、図 1 5 9 (A) の B-B に沿う断面構造を示す図である。

[0808] 図 1 5 9 (A) (B) に示すように、ヒューズ F も、抵抗体膜 g 2 0 上に積層された配線膜 g 2 1 により形成されている。すなわち、単位抵抗体 R を形成する抵抗体膜ライン g 2 0 上に積層された導体膜片 g 2 1 と同じレイヤーに、導体膜片 g 2 1 と同じ金属材料であるアルミニウム (A l) により形成されている。なお、導体膜片 g 2 1 は、前述したように、抵抗回路を形成するために、複数個の単位抵抗体 R を電氣的に接続する接続用導体膜 C としても用いられている。

[0809] つまり、抵抗体膜 g 2 0 上に積層

された同一レイヤーにおいて、単位抵抗体 R 形成用の配線膜、抵抗回路を形成するための接続用配線膜、抵抗回路網 g 1 4 を構成するための接続用配線膜、ヒューズ F、ならびに抵抗回路網 g 1 4 を第 1 接続電極 g 1 2 および第 2 接続電極 g 1 3 に接続するための配線膜が、同一のアルミニウム系金属材料 (たとえばアルミニウム) を用いて、同じ製造プロセス (たとえばスパッタリングおよびフォトリソグラフィプロセス) によって形成されている。これにより、このチップ抵抗器 g 1 0 の製造プロセスが簡略化され、また、各種配線膜を共通のマスクを利用して同時に形成できる。さらに、抵抗体膜 g 2 0 とのアライメント性も向上する。

[0810] 図 1 6 0 は、図 1 5 6 に示す抵抗回路網 g 1 4 における複数種類の抵抗回路を接続する接続用導体膜 C およびヒューズ F の配列関係と、その接続用導体膜 C およびヒューズ F に接続された複数種類の抵抗回路との接続関係を図解

的に示す図である。図160を参照して、第1接続電極g12には、抵抗回路網g14に含まれる基準抵抗回路R8の一端が接続されている。基準抵抗回路R8は、8個の単位抵抗体Rの直列接続からなり、その他端はヒューズF1に接続されている。

[0811] ヒューズF1と接続用導体膜C2とは、64個の単位抵抗体Rの直列接続からなる抵抗回路R64の一端および他端が接続されている。接続用導体膜C2とヒューズF4とは、32個の単位抵抗体Rの直列接続からなる抵抗回路R32の一端および他端が接続されている。ヒューズF4と接続用導体膜C5とは、32個の単位抵抗体Rの直列接続からなる抵抗回路R32の一端および他端が接続されている。

[0812] 接続用導体膜C5とヒューズF6とは、16個の単位抵抗体Rの直列接続からなる抵抗回路R16の一端および他端が接続されている。ヒューズF7および接続用導体膜C9には、8個の単位抵抗体Rの直列接続からなる抵抗回路R8の一端および他端が接続されている。接続用導体膜C9およびヒューズF10には、4個の単位抵抗体Rの直列接続からなる抵抗回路R4の一端および他端が接続されている。

[0813] ヒューズF11および接続用導体膜C12には、2個の単位抵抗体Rの直列接続からなる抵抗回路R2の一端および他端が接続されている。接続用導体膜C12およびヒューズF13には、1個の単位抵抗体Rからなる抵抗回路R1の一端および他端が接続されている。ヒューズF13および接続用導体膜C15には、2個の単位抵抗体Rの並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。

[0814] 接続用導体膜C15およびヒューズF16には、4個の単位抵抗体Rの並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。ヒューズF16および接続用導体膜C18には、8個の単位抵抗体Rの並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。接続用導体膜C18およびヒューズF19には、16個の単位抵抗体Rの並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。

[0815] ヒューズF 1 9および接続用導体膜C 2 2には、3 2個の単位抵抗体Rの並列接続からなる抵抗回路R / 3 2が接続されている。複数のヒューズFおよび接続用導体膜Cは、それぞれ、ヒューズF 1、接続用導体膜C 2、ヒューズF 3、ヒューズF 4、接続用導体膜C 5、ヒューズF 6、ヒューズF 7、接続用導体膜C 8、接続用導体膜C 9、ヒューズF 1 0、ヒューズF 1 1、接続用導体膜C 1 2、ヒューズF 1 3、ヒューズF 1 4、接続用導体膜C 1 5、ヒューズF 1 6、ヒューズF 1 7、接続用導体膜C 1 8、ヒューズF 1 9、ヒューズF 2 0、接続用導体膜C 2 1、接続用導体膜C 2 2が、直線状に配置されて直列に接続されている。各ヒューズFが溶断されると、ヒューズFに隣接接続された接続用導体膜Cとの間の電氣的接続が遮断される構成である。

[0816] この構成を、電気回路図で示すと図1 6 1の通りである。すなわち、全てのヒューズFが溶断されていない状態では、抵抗回路網g 1 4は、第1接続電極g 1 2および第2接続電極g 1 3間に設けられた8個の単位抵抗体Rの直列接続からなる基準抵抗回路R 8（抵抗値8 r）の抵抗回路を構成している。たとえば、1個の単位抵抗体Rの抵抗値rを $r = 80 \Omega$ とすれば、 $8 r = 640 \Omega$ の抵抗回路により、第1接続電極g 1 2および第2接続電極g 1 3が接続されたチップ抵抗器g 1 0が構成されている。

[0817] そして、基準抵抗回路R 8以外の複数種類の抵抗回路には、それぞれ、ヒューズFが並列的に接続され、各ヒューズFによりこれら複数種類の抵抗回路は短絡された状態となっている。つまり、基準抵抗回路R 8には、1 2種類1 3個の抵抗回路R 6 4 ~ R / 3 2が直列に接続されているが、各抵抗回路は、それぞれ並列に接続されたヒューズFにより短絡されているので、電氣的にみると、各抵抗回路は抵抗回路網g 1 4に組み込まれてはいない。

[0818] この実施形態に係るチップ抵抗器g 1 0は、要求される抵抗値に応じて、ヒューズFを選択的に、たとえばレーザー光で溶断する。それにより、並列的に接続されたヒューズFが溶断された抵抗回路は、抵抗回路網g 1 4に組み込まれることになる。よって、抵抗回路網g 1 4の全体の抵抗値を、溶断さ

れたヒューズFに対応する抵抗回路が直列に接続されて組み込まれた抵抗値を有する抵抗回路網とすることができる。

[0819] 換言すれば、この実施形態に係るチップ抵抗器g10は、複数種類の抵抗回路に対応して設けられたヒューズFを選択的に溶断することにより、複数種類の抵抗回路（たとえば、F1、F4、F13が溶断されると、抵抗回路R64、R32、R1の直列接続）を抵抗回路網に組み込むことができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網g14の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器g10とすることができる。

[0820] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体Rが、直列に1個、2個、4個、8個、16個、32個、および64個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体Rが並列に2個、4個、8個、16個、および32個と、等比数列的に単位抵抗体Rの個数が増加されて接続された複数種類の並列抵抗回路を備えている。そして、これらがヒューズFで短絡された状態で直列に接続されている。よって、ヒューズFを選択的に溶断することにより、抵抗回路網g14全体の抵抗値を、小さな抵抗値から大きな抵抗値まで、広範囲の間で、任意の抵抗値に設定することができる。

[0821] 図162は、第7参考例の他の実施形態に係るチップ抵抗器g30の平面図であり、第1接続電極g12、第2接続電極g13および抵抗回路網4の配置関係ならびに抵抗回路網g14の平面視の構成が示されている。この実施形態においても、基板g11の一对の長辺沿いに、第1接続電極g12および第2接続電極g13が設けられている。

[0822] チップ抵抗器g30が、前述したチップ抵抗器g10と異なるところは、抵抗回路網g14における単位抵抗体Rの接続態様である。すなわち、チップ抵抗器g30の抵抗回路網g14には、基板g11上にマトリックス状に配列された等しい抵抗値を有する多数個の単位抵抗体R（図162の構成では、行方向（基板g11の短手（幅）方向）に沿って8個の単位抵抗体Rが

配列され、列方向（基板 g 1 1 の長手方向）に沿って 4 4 個の単位抵抗体 R が配列され、合計 3 5 2 個の単位抵抗体 R を含む構成）を有している。そして、これら多数個の単位抵抗体 R の 1 ~ 1 2 8 個の所定個数が電氣的に接続されて、複数種類の抵抗回路が形成されている。形成された複数種類の抵抗回路は、回路網接続手段としての導体膜およびヒューズ F により並列態様で接続されている。複数のヒューズ F は、第 2 接続電極 g 1 3 の内側辺沿いに、配置領域が直線状になるように配列されており、ヒューズ F が溶断されると、ヒューズ F に接続された抵抗回路が抵抗回路網 g 1 4 から電氣的に分離される構成である。

[0823] なお、抵抗回路網 g 1 4 を構成する多数個の単位抵抗体 R の材質および構造や、接続用導体膜、ヒューズ F の材質および構造は、先に説明したチップ抵抗器 g 1 0 における対応する部位の構造と同様であるから、ここでの説明については省略する。 図 1 6 3 は、図 1 6 2 に示す抵抗回路網における複数種類の抵抗回路の接続態様と、それらを接続するヒューズ F の配列関係ならびにヒューズ F に接続された複数種類の抵抗回路の接続関係を図解的に示す図である。

[0824] 図 1 6 3 を参照して、第 1 接続電極 g 1 2 には、抵抗回路網 g 1 4 に含まれる基準抵抗回路 R / 1 6 の一端が接続されている。基準抵抗回路 R / 1 6 は、1 6 個の単位抵抗体 R の並列接続からなり、その他端は残りの抵抗回路が接続される接続用導体膜 C に接続されている。 ヒューズ F 1 と接続用導体膜 C とには、1 2 8 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 2 8 の一端および他端が接続されている。

[0825] ヒューズ F 5 と接続用導体膜 C とには、6 4 個の単位抵抗体 R の直列接続からなる抵抗回路 R 6 4 の一端および他端が接続されている。 抵抗膜 F 6 と接続用導体膜 C とには、3 2 個の単位抵抗体 R の直列接続からなる抵抗回路 R 3 2 の一端および他端が接続されている。 ヒューズ F 7 と接続用導体膜 C とには、1 6 個の単位抵抗体 R の直列接続からなる抵抗回路 R 1 6 の一端および他端が接続されている。

- [0826] ヒューズF 8と接続用導体膜Cとには、8個の単位抵抗体Rの直列接続からなる抵抗回路R 8の一端および他端が接続されている。 ヒューズF 9と接続用導体膜Cとには、4個の単位抵抗体Rの直列接続からなる抵抗回路R 4の一端および他端が接続されている。 ヒューズF 10と接続用導体膜Cとには、2個の単位抵抗体Rの直列接続からなる抵抗回路R 2の一端および他端が接続されている。
- [0827] ヒューズF 11と接続用導体膜Cとには、1個の単位抵抗体Rの直列接続からなる抵抗回路R 1の一端および他端が接続されている。 ヒューズF 12と接続用導体膜Cとには、2個の単位抵抗体Rの並列接続からなる抵抗回路 $R/2$ の一端および他端が接続されている。 ヒューズF 13と接続用導体膜Cとには、4個の単位抵抗体Rの並列接続からなる抵抗回路 $R/4$ の一端および他端が接続されている。
- [0828] ヒューズF 14、F 15、F 16は電氣的に接続されており、これらヒューズF 14、F 15、F 16と接続用導体Cとには、8個の単位抵抗体Rの並列接続からなる抵抗回路 $R/8$ の一端および他端が接続されている。 ヒューズF 17、F 18、F 19、F 20、F 21は電氣的に接続されており、これらヒューズF 17～F 21と接続用導体膜Cとには、16個の単位抵抗体Rの並列接続からなる抵抗回路 $R/16$ の一端および他端が接続されている。
- [0829] ヒューズFは、ヒューズF 1～F 21の21個備えられていて、これらは全て第2接続電極g 13に接続されている。 かかる構成であるから、抵抗回路の一端が接続されたいずれかのヒューズFが溶断されると、そのヒューズFに一端が接続された抵抗回路は、抵抗回路網g 14から電氣的に切り離される。
- [0830] 図163の構成、すなわちチップ抵抗器g 30に備えられた抵抗回路網g 14の構成を、電気回路図で示すと図164の通りである。全てのヒューズFが溶断されていない状態では、抵抗回路網g 14は、第1接続電極g 14および第2接続電極g 13間に、基準抵抗回路 $R/16$ と、12種類の抵抗回

路 $R/16$ 、 $R/8$ 、 $R/4$ 、 $R/2$ 、 $R1$ 、 $R2$ 、 $R4$ 、 $R8$ 、 $R16$ 、 $R32$ 、 $R64$ 、 $R128$ の並列接続回路との直列接続回路を構成している。

[0831] そして、基準抵抗回路 $R/16$ 以外の 12 種類の抵抗回路には、それぞれ、ヒューズ F が直列に接続されている。よって、この抵抗回路網 $g14$ を有するチップ抵抗器 $g30$ では、要求される抵抗値に応じて、ヒューズ F を選択的に、たとえばレーザー光で溶断すれば、溶断されたヒューズ F に対応する抵抗回路（ヒューズ F が直列に接続された抵抗回路）は、抵抗回路網 $g14$ から電氣的に分離され、チップ抵抗器 $g10$ の抵抗値を調整することができる。

[0832] 換言すれば、この実施形態に係るチップ抵抗器 $g30$ も、複数種類の抵抗回路に対応して設けられたヒューズ F を選択的に溶断することにより、複数種類の抵抗回路を抵抗回路網から電氣的に分離することができる。そして、複数種類の抵抗回路は、それぞれ、その抵抗値が決まっているので、いわばデジタル的に抵抗回路網 $g14$ の抵抗値を調整して、要求される抵抗値を有するチップ抵抗器 $g30$ とすることができる。

[0833] また、複数種類の抵抗回路は、等しい抵抗値を有する単位抵抗体 R が、直列に 1 個、2 個、4 個、8 個、16 個、32 個、64 個および 128 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の直列抵抗回路ならびに等しい抵抗値の単位抵抗体 R が並列に 2 個、4 個、8 個、16 個と、等比数列的に単位抵抗体 R の個数が増加されて接続された複数種類の並列抵抗回路を備えている。よって、ヒューズ F を選択的に溶断することにより、抵抗回路網 $g14$ 全体の抵抗値を、細かく、かつデジタル的に、任意の抵抗値に設定することができる。

[0834] なお、図 164 に示す電気回路においては、基準抵抗回路 $R/16$ および、並列接続された抵抗回路のうち、抵抗値の小さな抵抗回路には、過電流が流れる傾向があり、抵抗設定時に、抵抗に流せる定格電流を大きく設計しなければならない。そこで、電流を分散させるために、図 164 に示す電気回

路を、図 1 6 5 (A) に示す電気回路構成となるように、抵抗回路網の接続構造を変更してもよい。すなわち、基準抵抗回路 $R/16$ を無くし、かつ、並列接続される抵抗回路は、最小の抵抗値を r とし、抵抗値 r の抵抗単位体 $R1$ を複数組並列に接続した構成 $g140$ を含む回路に変えるのである。

[0835] 図 1 6 5 (B) は、具体的な抵抗値を示した電気回路図であり、 80Ω の単位抵抗体とヒューズ F との直列接続を複数組並列に接続した構成 $g140$ を含む回路とされている。これにより、流れる電流の分散を図ることができる。図 1 6 6 は、第 7 参考例のさらに他の実施形態に係るチップ抵抗器に備えられる抵抗回路網 $g14$ の回路構成を電気回路図で示した図である。図 1 6 6 に示す抵抗回路網 $g14$ の特徴は、複数種類の抵抗回路の直列接続と、複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっていることである。

[0836] 直列接続される複数種類の抵抗回路には、先の実施形態と同様、各抵抗回路毎に、並列にヒューズ F が接続されていて、直列接続された複数種類の抵抗回路は、全てヒューズ F で短絡状態とされている。従って、ヒューズ F を溶断すると、そのヒューズ F で短絡されていた抵抗回路が、抵抗回路網 $g14$ に電氣的に組み込まれることになる。一方、並列接続された複数種類の抵抗回路には、それぞれ、直列にヒューズ F が接続されている。従って、ヒューズ F を溶断することにより、ヒューズ F が直列に接続されている抵抗回路を、抵抗回路の並列接続から電氣的に切り離すことができる。

[0837] かかる構成とすれば、たとえば、 $1k\Omega$ 以下の小抵抗は並列接続側で作し、 $1k\Omega$ 以上の抵抗回路を直列接続側で作ることができる。よって、数 Ω の小抵抗から数 $M\Omega$ の大抵抗までの広範な範囲の抵抗回路を、等しい基本設計で構成した抵抗回路網 $g14$ を用いて作ることができる。また、より精度良く抵抗値を設定する場合は、要求抵抗値に近い直列接続側抵抗回路のヒューズ F を予めカットしておけば、細かな抵抗値の調整を並列接続側の抵抗回路のヒューズ F を溶断することにより行うことができ、所望の抵抗値への合わせ込みの精度が上がる。

[0838] 図 1 6 7 は、 $10\Omega \sim 1M\Omega$ の抵抗値を有するチップ抵抗器における抵抗回路網 g 1 4 の具体的な構成例を示す電気回路図である。図 1 6 7 に示す抵抗回路網 g 1 4 も、ヒューズ F で短絡された複数種類の抵抗回路の直列接続と、ヒューズ F が直列接続された複数種類の抵抗回路の並列接続とが直列に接続された回路構成となっている。

[0839] 図 1 6 7 の抵抗回路によれば、並列接続側において、 $10 \sim 1k\Omega$ の任意の抵抗値を、精度 1 %以内で設定できる。また、直列接続側の回路で、 $1k \sim 1M\Omega$ の任意の抵抗値を、精度 1 %以内で設定できる。直列接続側の回路を使用する場合は、所望の抵抗値に近い抵抗回路のヒューズ F を予め溶断し、所望の抵抗値に合わせ込んでおくことで、より精度良く抵抗値を設定できるという利点がある。

[0840] なお、ヒューズ F は、接続用導体膜 C と同一のレイヤーを用いる場合のみを説明したが、接続用導電膜 C 部分は、その上に更に別の導体膜を積層するようにし、導体膜の抵抗値を下げるようにしてもよい。また、抵抗体膜をなくして、接続用導体膜 C のみとしても良い。なお、この場合であっても、ヒューズ F の上に導体膜を積層しなければ、ヒューズ F の溶断性が悪くなることはない。

[0841] 図 1 6 8 は、第 7 参考例のさらに他の実施形態に係るチップ抵抗器 g 9 0 の要部構造を説明するための図解的な平面図である。たとえば、前述したチップ抵抗器 g 1 0 (図 1 5 5、図 1 5 6 参照)や、チップ抵抗器 g 3 0 (図 1 6 2 参照)では、抵抗回路を構成する抵抗体膜ライン g 2 0 と導体膜片 g 2 1 の関係を平面視で表わすと、図 1 6 8 (A) に示す構成になっている。すなわち、図 1 6 8 (A) に示すように、所定間隔 R の領域の抵抗体膜ライン g 2 0 部分が、一定の抵抗値 r の単位抵抗体 R を形成している。そして単位抵抗体 R の両側には導体膜片 g 2 1 が積層され、当該導体膜片 g 2 1 で抵抗体膜ライン g 2 0 が短絡されている。

[0842] ここで、前述したチップ抵抗器 g 1 0 およびチップ抵抗器 g 3 0 では、単位抵抗体 R を形成している抵抗体膜ライン g 2 0 部分の長さは、たとえば 1 2

μm であり、抵抗体膜ライン g 2 0 の幅は、たとえば $1.5\mu\text{m}$ であり、単位抵抗（シート抵抗）は $10\Omega/\square$ である。このため、単位抵抗体 R の抵抗値 r は、 $r = 80\Omega$ である。ところで、たとえば図 1 5 5、図 1 5 6 に示すチップ抵抗器 g 1 0 において、抵抗回路網 g 1 4 の配置領域を拡げることなく、抵抗回路網 g 1 4 の抵抗値を高めて、チップ抵抗器 g 1 0 の高抵抗化を図りたいといった要望がある。

[0843] そこで、この実施形態に係るチップ抵抗器 g 9 0 では、抵抗回路網 g 1 4 のレイアウトを変更するとともに、抵抗回路網に含まれる抵抗回路を構成する単位抵抗体を、平面視において、図 1 6 8 (B) に示す形状および大きさとした。図 1 6 8 (B) を参照して、抵抗体膜ライン g 2 0 は、幅 $1.5\mu\text{m}$ で直線状に延びるライン状の抵抗体膜ライン g 2 0 を含む。そして、抵抗体膜ライン g 2 0 において、所定間隔 R' の抵抗体膜ライン g 2 0 部分が、一定の抵抗値 r' の単位抵抗体 R' を形成している。単位抵抗体 R' の長さは、たとえば $17\mu\text{m}$ にする。こうすれば、単位抵抗体 R' の抵抗値 r' は、図 1 6 8 (A) に示す単位抵抗体 R に比べて、ほぼ 2 倍の $r' = 160\Omega$ の単位抵抗体とすることができる。

[0844] また、抵抗体膜ライン g 2 0 上に積層される導体膜片 g 2 1 の長さは、図 1 6 8 (A) に示すものにおいても、(B) に示すものにおいても、同じ長さで構成することができる。それゆえ、抵抗回路網 g 1 4 に含まれる抵抗回路を構成する各単位抵抗体 R' のレイアウトパターンを変更し、単位抵抗体 R' が直列状に接続できるレイアウトパターンとすることにより、チップ抵抗器 g 9 0 は高抵抗化が実現されたものとなる。

[0845] 図 1 6 9 は、第 7 参考例の他の実施形態に係るチップ抵抗器の電極の配置構成（レイアウト）を表わす平面図である。図 1 6 9 (A) に示すチップ抵抗器 g 4 0 は、基板 g 1 1 上において、基板 g 1 1 の一方長辺 g 1 1 1 に沿って設けられ、長辺 g 1 1 1 方向に長手の第 1 接続電極 g 1 2 を有する。また、基板 g 1 1 の他方長辺 g 1 1 2 に沿って設けられ、長辺 g 1 1 2 方向に長手の第 2 接続電極 g 1 3 を有する。基板 g 1 1 は、その幅 W が $300\mu\text{m}$

で、その長さ L が $150\mu\text{m}$ である。基板 $g11$ 上における第1接続電極 $g12$ および第2接続電極 $g13$ は、その幅 W が $300\mu\text{m}$ で、その長さが $50\mu\text{m}$ であるから、これら電極 $g12$ 、 $g13$ で挟まれた抵抗回路網形成領域 $g14$ は、その幅 W が $300\mu\text{m}$ 、その長さが $50\mu\text{m}$ の長細い領域となっている。そして、長さ／幅 (L/W) の割合は、 0.17 とされている。

[0846] この実施例のチップ抵抗器 $g40$ のように、基板 $g11$ 上において、3分の1の領域を抵抗回路網形成領域 $g14$ とし、残り3分の2の領域を、抵抗回路網形成領域 $g14$ を挟むように配置された長手の電極 $g12$ 、 $g13$ とすると、電極 $g12$ 、 $g13$ の表面積を大きくでき、電極 $g12$ 、 $g13$ と実装基板との接合面積を大きくできる。よって、熱ストレスに強いチップ抵抗器 $g40$ となる。

[0847] また、抵抗回路網形成領域 $g14$ を、電極 $g12$ 、 $g13$ に挟まれた細長い領域とすることにより、その領域の長さ L が短く、幅 W が広がる。このため、抵抗回路網形成領域 $g14$ に形成される抵抗体膜の幅を広く、かつ長さを短くすることができ、低抵抗のチップ抵抗器 $g40$ を実現することができる。図169(B)は、他の実施形態に係るチップ抵抗器 $g50$ の平面図である。このチップ抵抗器 $g50$ では、基板 $g11$ 上が長さ方向に3等分されて3つの領域に分けられている。第1の領域 $g201$ には、第1接続電極 $g12$ が設けられ、第2の領域 $g202$ は、抵抗回路網形成領域 $g14$ とされ、第3の領域 $g203$ には、第2接続電極 $g13A$ 、 $g13B$ が形成されている。

[0848] 第1接続電極 $g12$ は、基板 $g11$ の一方長辺 $g111$ に沿って設けられているが、一方長辺 $g111$ の全範囲にわたって設けられてはいない。一方長辺 $g111$ の中央部分を中心に延び、一方長辺 $g111$ の両端部分には第1接続電極 $g12$ は配置されていない。第2接続電極 $g13A$ 、 $g13B$ は、他方長辺 $g112$ に沿って設けられているが、他方長辺 $g112$ に沿って間隔をあけて配置された2つの電極部分 $g13A$ および $g13B$ を含んでいる。より具体的には、他方長辺 $g112$ の中央部分を除き、両端部分に沿っ

て延びる2つの電極部分 g 1 3 A および g 1 3 B を有する配置構造となっている。

[0849] また、第1接続電極 g 1 2 および第2接続電極 g 1 3 A、g 1 3 B を基板 g 1 1 の短辺方向に観察すると、第1接続電極 g 1 2 と第2接続電極 g 1 3 A、g 1 3 B とは、重なり部分を有さないように配置されている。電極 g 1 2、g 1 3 A、g 1 3 B をかかる配置構造としたことにより、チップ抵抗器 g 2 0 0 を実装基板にはんだ接合したときに、第1接続電極 g 1 2 および第2接続電極 g 1 3 A、g 1 3 B 間をはんだが短絡する可能性を回避できる。

[0850] 第7参考例に係るチップ抵抗器における電極の配置構造は、図169 (A) (B) に示すものに限定されない。たとえば、第1接続電極 g 1 2 を一方長辺 g 1 1 1 に沿って間隔をあけて配置された複数の電極部分を含む配置構造とし、第2接続電極 g 1 3 も、他方長辺 g 1 1 2 に沿って間隔をあけて配置された複数の電極部分を含む配置構造とする。そして、それら第1接続電極 g 1 2 の複数の電極部分と、第2接続電極 g 1 3 の複数の電極部分とが、短辺方向に見て、重なりを有しないように、つまり抵抗回路網形成領域 g 1 4 を挟んで対向しないように、互い違いに配置された構成としたものでもよい。

[0851] また、図169 (B) に示すチップ抵抗器 g 5 0 において、第1の領域 g 2 0 1 および第3の領域 g 2 0 3 における電極を設けていない領域に、抵抗回路網を配置した構成としてもよい。かかる構成の場合、抵抗回路網の配置領域が増え、抵抗値の選択範囲を増やすことができる。あるいは、より高抵抗のチップ抵抗器を実現し易いといったメリットがある。

[0852] 図170は、図155～161を参照して説明したチップ抵抗器 g 1 0 の製造工程の一例を示すフロー図である。次に、このフロー図の製造工程に従って、かつ、必要に応じて図155～161を参照しつつ、チップ抵抗器 g 1 0 の製造方法について詳細に説明をする。ステップ S 1 : まず、基板 g 1 1 が所定の処理室に配置され、その表面に、たとえば熱酸化法によって、絶縁層 g 1 9 としての二酸化シリコン (S i O 2) 層が形

成される。

[0853] ステップS2：次に、たとえばスパッタ法によって、NiCr、NiCrAl、NiCrSi、NiCrSiAl、Ta₂N、TaSiO₂、TiN、TiNO、およびTiSiONからなる群から選択した1種以上を含む材料、たとえばTiN、TiONまたはTiSiONの抵抗膜g20が絶縁層g19の表面全域に形成される。ステップS3：次に、たとえばスパッタ法によって、抵抗膜g20の表面全域にたとえばアルミニウム（Al）の配線膜g21が積層形成される。積層された抵抗膜g20および配線膜g21の2層の膜の合計膜厚は8000Å程度とされてもよい。配線膜g21は、Alに換え、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成されてもよい。配線膜g21を、Al、AlSi、AlSiCu、またはAlCuなどのアルミニウム系金属膜で形成することにより、プロセス加工精度の向上を図れる。

[0854] ステップS4：次に、フォトリソグラフィプロセスを用い、配線膜g21の表面に、抵抗回路網g14の平面視の構成（導体膜Cおよびヒューズ膜Fを含むレイアウトパターン）に対応したレジストパターンが形成される（第1レジストパターンの形成）。ステップS5：そして、第1エッチング工程が行われる。すなわち、ステップS4で形成された第1レジストパターンをマスクとして、抵抗膜g20および配線膜g21という積層された2層膜が、たとえば反応性イオンエッチング（RIE）によりエッチングされる。そして、エッチング後に第1レジストパターンは剥離される。

[0855] ステップS6：再び、フォトリソグラフィプロセスを用いて、第2レジストパターンが形成される。ステップS6で形成される第2レジストパターンは、抵抗膜g20上に積層された配線膜g21を選択的に除去して、単位抵抗R（図156で細いドットを付して示す領域）を形成するためのパターンである。ステップS7：ステップS6で形成された第2レジストパターンをマスクとして、たとえばウェットエッチングにより、配線膜g21のみが選択的にエッチングされる（第2エッチング工程）。エッチング後、第2

レジストパターンが剥離される。これにより、図 1 5 6 に示した抵抗回路網 g 1 4 のレイアウトパターンが得られる。

[0856] ステップ S 8 : この段階で、基板表面に形成された抵抗回路網 g 1 4 の抵抗値（回路網 g 1 4 全体の抵抗値）が測定される。この測定は、たとえばマルチプローブピンを図 1 5 6 に示す第 1 接続電極 g 1 2 とつながる側の抵抗回路網 g 1 4 の端部と、第 2 接続電極 g 1 3 につながる側のヒューズ膜および抵抗回路網 g 1 4 の端部とに接触させて測定する。この測定により、製造された抵抗回路網 g 1 4 の初期状態における良否が判定できる。

[0857] ステップ S 9 : 次いで、基板 g 1 1 の上に形成された抵抗回路網 g 1 4 の全面を覆うように、たとえば窒化膜からなるカバー膜 g 2 2 a が形成される。カバー膜 g 2 2 a は、窒化膜（S i N 膜）に換え、酸化膜（S i O₂ 膜）であってもよい。このカバー膜 g 2 2 a の形成は、プラズマ C V D 法によって行われてもよく、たとえば膜厚 3 0 0 0 Å 程度の窒化シリコン膜（S i N 膜）が形成されてもよい。カバー膜 g 2 2 a は、パターニングされた配線膜 g 2 1 、抵抗体膜 g 2 0 およびヒューズ F を覆う。

[0858] ステップ S 1 0 : この状態から、ヒューズ F を選択的に溶断して、チップ抵抗器 g 1 0 を所望の抵抗値に合わせ込むためのレーザートリミングが行われる。すなわち、図 1 7 1 （A）に示すように、ステップ S 8 で行われた全抵抗値測定の測定結果に応じて選択されたヒューズ F にレーザー光を当てて、そのヒューズ F およびその下に位置する抵抗体膜 g 2 0 が溶断される。これにより、ヒューズ F で短絡されていた対応する抵抗回路が抵抗回路網 g 1 4 中に組み込まれ、抵抗回路網 g 1 4 の抵抗値を所望の抵抗値に合わせ込むことができる。ヒューズ F にレーザー光を当てるとき、カバー膜 g 2 2 a の働きによって、ヒューズ F の近傍にレーザー光のエネルギーが蓄積され、それによって、ヒューズ F およびその下層の抵抗体膜 g 2 0 が溶断する。

[0859] ステップ S 1 1 : 次に、図 1 7 1 （B）に示すように、たとえばプラズマ C V D 法によって、カバー膜 g 2 2 a 上に窒化シリコン膜が堆積され、パッシベーション膜 g 2 2 が形成される。前述のカバー膜 g 2 2 a は、最終形態に

において、パッシベーション膜 g 2 2 と一体化し、このパッシベーション膜 g 2 2 の一部を構成する。ヒューズ F およびその下層の抵抗膜 g 2 0 の切断後に形成されたパッシベーション膜 g 2 2 は、ヒューズ F およびその下層の抵抗膜 g 2 0 の溶断の際に同時に破壊されたカバー膜 g 2 2 a の開口 2 2 b 内に入り込み、ヒューズ F およびその下層の抵抗膜 g 2 0 の切断面を保護する。従って、パッシベーション膜 g 2 2 は、ヒューズ F の切断箇所に異物が入り込んだり水分が進入したりすることを防ぐ。パッシベーション膜 g 2 2 は、全体で、たとえば 1000~2000 Å 程度の厚みであればよく、たとえば 800 Å 程度の膜厚を有するように形成されてもよい。

[0860] また、上述のように、パッシベーション膜 g 2 2 はシリコン酸化膜であってもよい。 ステップ S 1 2 : 次いで、図 1 7 1 (C) に示すように、全面に樹脂膜 g 2 3 が塗布される。樹脂膜 g 2 3 としては、たとえば感光性のポリイミドの塗布膜 g 2 3 が用いられる。 ステップ S 1 3 : この樹脂膜 g 2 3 に対して、前記第 1 接続電極 g 1 2、第 2 接続電極 g 1 3 の開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる。これにより、樹脂膜 g 2 3 に第 1 接続電極 g 1 2 および第 2 接続電極 g 1 3 のためのパッド開口が形成される。

[0861] ステップ S 1 4 : その後、樹脂膜 g 2 3 を硬化するための熱処理（ポリイミドキュア）が行われ、熱処理によりポリイミド膜 g 2 3 が安定化される。熱処理は、例えば 170℃~700℃程度の温度で行ってもよい。その結果、抵抗膜（抵抗膜 g 2 0 およびパターニングされた配線膜 g 2 1）の特性が安定するというメリットもある。 ステップ S 1 5 : 次に、第 1 接続電極 g 1 2 および第 2 接続電極 g 1 3 を形成すべき位置に貫通孔を有するポリイミド膜 g 2 3 をマスクとしてパッシベーション膜 g 2 2 のエッチングが行われる。それによって、配線膜 g 2 1 を第 1 接続電極 g 1 2 の領域および第 2 接続電極 g 1 3 の領域において露出させるパッド開口が形成される。パッシベーション膜 g 2 2 のエッチングは、反応性イオンエッチング（RIE）によっ

て行われてもよい。

- [0862] ステップS 1 6 : 2つのパッド開口から露出した配線膜 g 2 1 にマルチプローブピンが接触され、チップ抵抗器の抵抗値が所望の抵抗値になっていることを確認するための抵抗値測定（アフター測定）が行われる。このように、アフター測定を行うこと、換言すれば、最初の測定（イニシャル測定）→ヒューズFの溶断（レーザーリペア）→アフター測定という一連の処理を行うことで、チップ抵抗器 g 1 0 に対するトリミング処理能力が大幅に向上する。
- [0863] ステップS 1 7 : 2つのパッド開口内に、たとえば無電解めっき法によって、外部接続電極としての第1接続電極 g 1 2 および第2接続電極 g 1 3 を成長させる。 ステップS 1 8 : その後、基板表面に配列形成された多数個（たとえば50万個）の各チップ抵抗器を個々のチップ抵抗器 g 1 0 に分離するために、フォトリソグラフィによって第3のレジストパターンが形成される。レジスト膜は基板表面において、各チップ抵抗器 g 1 0 を保護すべく設けられ、各チップ抵抗器 g 1 0 間がエッチングされるように形成される。
- [0864] ステップS 1 9 : そしてプラズマダイシングが実行される。プラズマダイシングは、第3レジストパターンをマスクとしたエッチングであり、基板表面から所定深さの溝が、各チップ抵抗器 g 1 0 の間に形成される。その後レジスト膜が剥離される。 ステップS 2 0 : そして、たとえば図172（A）に示すように、表面に保護テープ100が貼着される。
- [0865] ステップS 2 1 : 次いで、基板の裏面研削が行われて、チップ抵抗器は個々のチップ抵抗器 g 1 0 に分離される（図172（A）（B））。 ステップS 2 2 : そして、図172（C）に示すように、裏面側にキャリアテープ（熱発泡シート） g 2 0 0 が貼られて、個々のチップ抵抗器に分離された多数個のチップ抵抗器 g 1 0 は、キャリアテープ g 2 0 0 上に配列された状態で保持される。一方で、表面に貼着された保護テープは取り除かれる（図172（D））。
- [0866] ステップS 2 3 : 熱発泡シート g 2 0 0 は、加熱されることによりその内部に含まれる熱発泡粒子201が膨らみ、それによりキャリアテープ g 2 0 0

表面に接着されている各チップ抵抗器 g 1 0 はキャリアテープ g 2 0 0 から剥離されて個々に分離される（図 1 7 2（E）（F））。（2-2）チップコンデンサの実施形態の説明 図 1 7 3 は、第 7 参考例の他の実施形態に係るチップコンデンサ g 3 0 1 の平面図であり、図 1 7 4 はその断面図であって、図 1 7 3 の切断面線 C L X X I V - C L X X I V から見た切断面が示されている。

- [0867] チップコンデンサ g 3 0 1 は、基板 g 3 0 2 と、基板 g 3 0 2 上に配置された第 1 外部電極 g 3 0 3 と、同じく基板 g 3 0 2 上に配置された第 2 外部電極 g 3 0 4 とを備えている。基板 g 3 0 2 は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。矩形形状は、例えば、0.3 mm × 0.15 mm 程度の寸法である。基板 g 3 0 2 の短手方向両端部に第 1 外部電極 g 3 0 3 および第 2 外部電極 g 3 0 4 がそれぞれ配置されている。第 1 外部電極 g 3 0 3 および第 2 外部電極 g 3 0 4 は、この実施形態では、基板 g 3 0 2 の長手方向に延びたほぼ矩形の長手平面形状を有し、基板 g 3 0 2 の角に対応する各 2 箇所面に面取り部を有している。
- [0868] つまり、チップコンデンサ g 3 0 1 においても、一对の長手電極 g 3 0 3、g 3 0 4 が備えられている。基板 g 3 0 2 上には、第 1 外部電極 g 3 0 3 および第 2 外部電極 g 3 0 4 の間のキャパシタ配置領域 g 3 0 5 内に、複数のキャパシタ要素 C 1 ~ C 9 が配置されている。複数のキャパシタ要素 C 1 ~ C 9 は、複数のヒューズユニット g 3 0 7 を介してそれぞれ第 1 外部電極 g 3 0 3 に電氣的に接続されている。
- [0869] 図 1 7 4 に示されているように、基板 g 3 0 2 の表面には絶縁膜 g 3 0 8 が形成されていて、絶縁膜 g 3 0 8 の表面に下部電極膜 g 3 1 1 が形成されている。下部電極膜 g 3 1 1 は、キャパシタ配置領域 g 3 0 5 のほぼ全域にわたっていると同時に、第 2 外部電極 g 3 0 4 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 g 3 1 1 は、キャパシタ要素 C 1 ~ C 9 の共通の下部電極として機能するキャパシタ電極領域 g 3 1 1 A と、外部電極引き出しのためのパッド領域 g 3 1 1 B とを有している。キャパシ

タ電極領域 g 3 1 1 A がキャパシタ配置領域 g 3 0 5 に位置していて、パッド領域 g 3 1 1 B が第 2 外部電極 g 3 0 4 の直下に位置している。

[0870] キャパシタ配置領域 g 3 0 5 において下部電極膜 g 3 1 1（キャパシタ電極領域 g 3 1 1 A）を覆うように容量膜（誘電体膜）g 3 1 2 が形成されている。容量膜 g 3 1 2 は、キャパシタ電極領域 g 3 1 1 A の全域にわたって連続しており、この実施形態では、さらに第 1 外部電極 g 3 0 3 の直下の領域にまで延び、キャパシタ配置領域 g 3 0 5 外の絶縁膜 g 3 0 8 を覆っている。

[0871] 容量膜 g 3 1 2 の上には、上部電極膜 g 3 1 3 が形成されている。図 1 7 3 では、明瞭化のために、上部電極膜 g 3 1 3 に細ドットを付して示してある。上部電極膜 g 3 1 3 は、キャパシタ配置領域 5 に位置するキャパシタ電極領域 g 3 1 3 A と、第 1 外部電極 g 3 0 3 の直下に位置するパッド領域 g 3 1 3 B と、パッド領域 g 3 1 3 B とキャパシタ電極領域 g 3 1 3 A との間に配置されたヒューズ領域 g 3 1 3 C とを有している。

[0872] キャパシタ電極領域 g 3 1 3 A において、上部電極膜 g 3 1 3 は、複数の電極膜部分 g 1 3 1 ~ 1 3 9 に分割されている。この実施形態では、各電極膜部分 g 1 3 1 ~ g 1 3 9 は、いずれも矩形形状に形成されていて、ヒューズ領域 g 3 1 3 C から第 2 外部電極 g 3 0 4 に向かって帯状に延びている。複数の電極膜部分 g 1 3 1 ~ g 1 3 9 は、複数種類の対向面積で、容量膜 g 3 1 2 を挟んで下部電極膜 g 3 1 1 に対向している。より具体的には、電極膜部分 g 1 3 1 ~ g 1 3 9 の下部電極膜 g 3 1 1 に対する対向面積は、1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 128 となるように定められていてもよい。すなわち、複数の電極膜部分 g 1 3 1 ~ g 1 3 9 は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が 2 の等比数列をなすように設定された対向面積を有する複数の電極膜部分 g 1 3 1 ~ g 1 3 8（または g 1 3 1 ~ g 1 3 7, g 1 3 9）を含む。これによって、各電極膜部分 g 1 3 1 ~ g 1 3 9 と容量膜 g 3 1 2 を挟んで対向する下部電極膜 g 3 1 1

とによってそれぞれ構成される複数のキャパシタ要素C 1～C 9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分g 1 3 1～g 1 3 9の対向面積の比が前述の通りである場合、キャパシタ要素C 1～C 9の容量値の比は、当該対向面積の比と等しく、1 : 2 : 4 : 8 : 1 6 : 3 2 : 6 4 : 1 2 8 : 1 2 8となる。すなわち、複数のキャパシタ要素C 1～C 9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C 1～C 8（またはC 1～C 7，C 9）を含むことになる。

[0873] この実施形態では、電極膜部分g 1 3 1～g 1 3 5は、幅が等しく、長さの比を1 : 2 : 4 : 8 : 1 6に設定した帯状に形成されている。また、電極膜部分g 1 3 5，g 1 3 6，g 1 3 7，g 1 3 8，g 1 3 9は、長さが等しく、幅の比を1 : 2 : 4 : 8 : 8に設定した帯状に形成されている。電極膜部分g 1 3 5～g 1 3 9は、キャパシタ配置領域g 3 0 5の第1外部電極g 3 0 3側の端縁から第2外部電極g 3 0 4側の端縁までの範囲に渡って延びて形成されており、電極膜部分g 1 3 1～g 1 3 4は、それよりも短く形成されている。

[0874] パッド領域g 3 1 3 Bは、第1外部電極g 3 とほぼ相似形に形成されており、基板g 3 0 2の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域g 3 1 3 Bの一つの長辺（基板g 3 0 2の周縁に対して内方側の長辺）に沿ってヒューズ領域g 3 1 3 Cが配置されている。ヒューズ領域g 3 1 3 Cは、パッド領域g 3 1 3 Bの前記1つの長辺に沿って配列された複数のヒューズユニットg 3 0 7を含む。ヒューズユニットg 3 0 7は、上部電極膜g 3 1 3のパッド領域g 3 1 3 Bと同じ材料で一体的に形成されている。複数の電極膜部分g 1 3 1～g 1 3 9は、1つまたは複数個のヒューズユニットg 3 0 7と一体的に形成されていて、それらのヒューズユニットg 3 0 7を介してパッド領域g 3 1 3 Bに接続され、このパッド領域g 3 1 3 Bを介して第1外部電極g 3 0 3に電氣的に接続されている。面積の比較的小さな電極膜部分g 1 3 1～g 1 3 6は、一つのヒューズユニットg 3 0 7によってパッド領域g 3 1 3 Bに接続されており、面

積の比較的大きな電極膜部分 g 1 3 7 ~ g 1 3 9 は複数個のヒューズユニット g 3 0 7 を介してパッド領域 g 3 1 3 B に接続されている。全てのヒューズユニット g 3 0 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット g 3 0 7 は未使用である。

[0875] ヒューズユニット g 3 0 7 は、パッド領域 g 3 1 3 B との接続のための第 1 幅広部 g 3 0 7 A と電極膜部分 g 1 3 1 ~ g 1 3 9 との接続のための第 2 幅広部 g 3 0 7 B と、第 1 および第 2 幅広部 g 3 0 7 A, g 3 0 7 B の間を接続する幅狭部 g 3 0 7 C とを含む。幅狭部 g 3 0 7 C は、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分 g 1 3 1 ~ 1 3 9 のうち不要な電極膜部分をヒューズユニット g 3 0 7 の切断によって第 1 および第 2 外部電極 g 3 0 3, g 3 0 4 から電氣的に切り離すことができる。

[0876] 図 1 7 3 では図示を省略したが、図 1 7 4 に表れている通り、上部電極膜 g 3 1 3 の表面を含むチップコンデンサ g 3 0 1 の表面はパッシベーション膜 g 3 0 9 によって覆われている。パッシベーション膜 g 3 0 9 は、たとえば窒化膜からなっていて、チップコンデンサ g 3 0 1 の上面のみならず、基板 g 3 0 2 の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜 g 3 0 9 の上には、ポリイミド樹脂等からなる樹脂膜 g 3 1 0 が形成されている。樹脂膜 g 3 1 0 は、チップコンデンサ g 3 0 1 の上面を覆い、さらに基板 g 3 0 2 の側面に至って、当該側面上のパッシベーション膜 g 3 0 9 を覆うように形成されている。

[0877] パッシベーション膜 g 3 0 9 および樹脂膜 g 3 1 0 は、チップコンデンサ g 3 0 1 の表面を保護する保護膜である。これらには、第 1 外部電極 g 3 0 3 および第 2 外部電極 g 3 0 4 に対応する領域にパッド開口 g 3 2 1, g 3 2 2 がそれぞれ形成されている。パッド開口 g 3 2 1, g 3 2 2 はそれぞれ上部電極膜 g 3 1 3 のパッド領域 g 3 1 3 B の一部の領域、下部電極膜 g 3 1 1 のパッド領域 g 3 1 1 B の一部の領域を露出させるようにパッシベーション膜 g 3 0 9 および樹脂膜 g 3 1 0 を貫通している。さらに、この実施形態

では、第2外部電極 g 3 0 4 に対応したパッド開口 g 3 2 2 は、容量膜 g 3 1 2 をも貫通している。

[0878] パッド開口 g 3 2 1, g 3 2 2 には、第1外部電極 g 3 0 3 および第2外部電極 g 3 0 4 がそれぞれ埋め込まれている。これにより、第1外部電極 g 3 0 3 は上部電極膜 g 3 1 3 のパッド領域 g 3 1 3 B に接合しており、第2外部電極 g 3 0 4 は下部電極膜 g 3 1 1 のパッド領域 g 3 1 1 B に接合している。第1および第2外部電極 g 3 0 3, g 3 0 4 は、樹脂膜 g 3 1 0 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ g 3 0 1 をフリップチップ接合することができる。

[0879] 図 1 7 5 は、チップコンデンサ g 3 0 1 の内部の電氣的構成を示す回路図である。第1外部電極 g 3 0 3 と第2外部電極 g 3 0 4 との間に複数のキャパシタ要素 C 1 ~ C 9 が並列に接続されている。各キャパシタ要素 C 1 ~ C 9 と第1外部電極 g 3 0 3 との間には、一つまたは複数のヒューズユニット g 3 0 7 でそれぞれ構成されたヒューズ F 1 ~ F 9 が直列に介装されている。

[0880] ヒューズ F 1 ~ F 9 が全て接続されているときは、チップコンデンサ g 3 0 1 の容量値は、キャパシタ要素 C 1 ~ C 9 の容量値の総和に等しい。複数のヒューズ F 1 ~ F 9 から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ g 3 0 1 の容量値が減少する。

[0881] そこで、パッド領域 g 3 1 1 B, g 3 1 3 B の間の容量値（キャパシタ要素 C 1 ~ C 9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F 1 ~ F 9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C 1 ~ C 8 の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C 1 の容量値に対応する精度で目標の容量値へと合わせ

込む微調整が可能である。

[0882] たとえば、キャパシタ要素C 1～C 9の容量値は次のように定められていてもよい。

$C 1 = 0.03125 \text{ pF}$	$C 2 = 0.0625 \text{ pF}$	
$C 3 = 0.125 \text{ pF}$	$C 4 = 0.25 \text{ pF}$	$C 5 = 0.5 \text{ pF}$
$C 6 = 1 \text{ pF}$	$C 7 = 2 \text{ pF}$	$C 8 = 4 \text{ pF}$
$C 9 = 4 \text{ pF}$		

この場合、0.03125 pFの最小合わせ込み精度でチップコンデンサg 301の容量を微調整できる。また、ヒューズF 1～F 9から切断すべきヒューズを適切に選択することで、0.1 pF～10 pFの間の任意の容量値のチップコンデンサg 301を提供することができる。

[0883] 以上のように、この実施形態によれば、第1外部電極g 303および第2外部電極g 304の間に、ヒューズF 1～F 9によって切り離し可能な複数のキャパシタ要素C 1～C 9が設けられている。キャパシタ要素C 1～C 9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF 1～F 9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサg 301を提供できる。

[0884] チップコンデンサg 301の各部の詳細について以下に説明を加える。基板g 302は、たとえば平面視において0.3 mm×0.15 mm、0.4 mm×0.2 mm、または0.2 mm×0.1 mmなどの矩形形状（好ましくは、0.4 mm×0.2 mm以下の大きさ）を有していてもよい。キャパシタ配置領域g 305は、概ね、基板g 302の長辺に沿って形成された一対の外部電極g 303、g 304に挟まれた長方形領域となる。基板g 302の厚さは、150 μm程度であってもよい。基板g 302は、たとえば、裏面側（キャパシタ要素C 1～C 9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板g 302の材料と

しては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

[0885] 絶縁膜 g 3 0 8 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å～2000 Å程度であってもよい。下部電極膜 g 3 1 1 は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜 g 3 1 1 は、スパッタ法によって形成することができる。上部電極膜 g 3 1 3 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 g 3 1 3 は、スパッタ法によって形成することができる。上部電極膜 g 3 1 3 のキャパシタ電極領域 g 3 1 3 A を電極膜部分 g 1 3 1 ～g 1 3 9 に分割し、かつヒューズ領域 g 3 1 3 C を複数のヒューズユニット g 3 0 7 に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

[0886] 容量膜 g 3 1 2 は、たとえば窒化シリコン膜で構成することができ、その膜厚は500 Å～2000 Å（たとえば1000 Å）とすることができる。容量膜 g 3 1 2 は、プラズマCVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。パッシベーション膜 g 3 0 9 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、8000 Å程度とされてもよい。樹脂膜 g 3 1 0 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

[0887] 第1および第2外部電極 g 3 0 3, g 3 0 4 は、たとえば、下部電極膜 g 3 1 1 または上部電極膜 g 3 1 3 に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は下部電極膜 g 3 1 1 または上部電極膜 g 3 1 3 に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極 g 3 0 3, g 3 0 4 の最上層の金との相互拡散を抑制する拡散防止層と

して機能する。

[0888] 図176は、チップコンデンサg301の製造工程の一例を説明するための流れ図である。基板g302として、比抵抗が $100\Omega\cdot\text{cm}$ 以上の半導体基板を準備する。次いで、基板g302の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜g308が形成される（ステップS1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜g311が絶縁膜g308の表面全域に形成される（ステップS2）。下部電極膜g311の膜厚は $8000\text{\AA}$ 程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜g311の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS3）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図173等にしたパターンの下部電極膜g311が得られる（ステップS4）。下部電極膜g311のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

[0889] 次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜g312が、下部電極膜g311上に形成される（ステップS5）。下部電極膜g311が形成されていない領域では、絶縁膜g308の表面に容量膜g312が形成されることになる。次いで、その容量膜g312の上に、上部電極膜g313が形成される（ステップS6）。上部電極膜g313は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、 $8000\text{\AA}$ 程度とされてもよい。次いで、上部電極膜g313の表面に上部電極膜g313の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS7）。このレジストパターンをマスクとしたエッチングにより、上部電極膜g313が、最終形状（図173等参照）にパターニングされる（ステップS8）。それによって、上部電極膜g313は、キャパシタ電極領域g313Aに複数の電極膜部分g131～g139を有し、ヒューズ領域g313Cに複数のヒューズユニットg307を有し、それらのヒューズユニットg307に接続された

パッド領域 g 3 1 3 B を有するパターンに整形される。上部電極膜 g 3 1 3 のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

[0890] この後、上部電極膜 g 3 1 3 のパッド領域 g 3 1 3 B と下部電極膜 g 3 1 1 のパッド領域 g 3 1 1 B とに検査用プローブを押し当てて、複数のキャパシタ要素 C 1 ～C 9 の総容量値が測定される（ステップ S 9）。この測定された総容量値に基づき、目的とするチップコンデンサ g 3 0 1 の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップ S 1 0）。

[0891] 次いで、図 1 7 7 A に示すように、基板 g 3 0 2 上の全面にたとえば窒化膜からなるカバー膜 g 3 2 6 が形成される（ステップ S 1 1）。このカバー膜 g 3 2 6 の形成は、プラズマ C V D 法によって行われてもよく、たとえば膜厚 3 0 0 0 Å 程度の窒化シリコン膜が形成されてもよい。カバー膜 g 3 2 6 は、パターニングされた上部電極膜 g 3 1 3 を覆い、上部電極膜 g 3 1 3 が形成されていない領域では容量膜 g 3 1 2 を覆う。カバー膜 g 3 2 6 は、ヒューズ領域 g 3 1 3 C においてはヒューズユニット g 3 0 7 を覆うことになる。

[0892] この状態から、ヒューズユニット g 3 0 7 を溶断するためのレーザトリミングが行われる（ステップ S 1 2）。すなわち、図 1 7 7 B に示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット g 3 0 7 にレーザ光 g 3 2 7 を当てて、そのヒューズユニット g 3 0 7 の幅狭部 g 3 0 7 C が溶断される。これにより、対応するキャパシタ要素がパッド領域 g 3 1 3 B から切り離される。ヒューズユニット g 3 0 7 にレーザ光 g 3 2 7 を当てるとき、カバー膜 g 3 2 6 の働きによって、ヒューズユニット g 3 0 7 の近傍にレーザ光 g 3 2 7 のエネルギーが蓄積され、それによって、ヒューズユニット g 3 0 7 が溶断する。

[0893] 次に、図 1 7 7 C に示すように、たとえばプラズマ C V D 法によって、カバ

一膜 g 3 2 6 上に窒化シリコン膜が堆積させられ、パッシベーション膜 g 3 0 9 が形成される（ステップ S 1 3）。前述のカバー膜 g 3 2 6 は最終形態において、パッシベーション膜 g 3 0 9 と一体化し、このパッシベーション膜 g 3 0 9 の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜 g 3 0 9 は、ヒューズ溶断の際に同時に破壊されたカバー膜 g 3 2 6 の開口内に入り込み、ヒューズユニット g 3 0 7 の切断面を保護する。したがって、パッシベーション膜 g 3 0 9 は、ヒューズユニット g 3 0 7 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜 g 3 0 9 は、全体で、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。

[0894] 次に、第 1 および第 2 外部電極 g 3 0 3, g 3 0 4 を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜 g 3 0 9 上に形成される（ステップ S 1 4）。このレジストパターンをマスクとしてパッシベーション膜 g 3 0 9 のエッチングが行われる。それによって、下部電極膜 g 3 1 1 をパッド領域 g 3 1 1 B において露出させるパッド開口と、上部電極膜 g 3 1 3 をパッド領域 g 3 1 3 B において露出させるパッド開口とが形成されることになる（ステップ S 1 5）。パッシベーション膜 g 3 0 9 のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜 g 3 0 9 のエッチングの際に、同じく窒化膜で形成されている容量膜 g 3 1 2 も開口することになり、それによって、下部電極膜 g 3 1 1 のパッド領域 g 3 1 1 B が露出することになる。

[0895] 次いで、全面に樹脂膜が塗布される（ステップ S 1 6）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップ S 1 7）。これにより、樹脂膜 g 3 1 0 およびパッシベーション膜 g 3 0 9 を貫通したパッド開口 g 3 2 1, g 3 2 2 が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（

ステップS 1 8)、さらに、パッド開口g 3 2 1, g 3 2 2内に、たとえば無電解めっき法によって、第1外部電極g 3 0 3および第2外部電極g 3 0 4が成長させられる(ステップS 1 9)。こうして、図1 7 3等を示す構造のチップコンデンサg 3 0 1が得られる。

[0896] フトリソグラフィ工程を利用した上部電極膜g 3 1 3のパターニングでは、微小面積の電極膜部分g 1 3 1～g 1 3 9を精度良く形成することができ、さらに微細なパターンのヒューズユニットg 3 0 7を形成することができる。そして、上部電極膜g 3 1 3のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサg 3 0 1を得ることができる。

[0897] そして、その後は、各チップコンデンサg 3 0 1が、元基板から分離され、個々のチップコンデンサg 3 0 1が得られる。(2-3) チップダイオードの実施形態の説明 図1 7 8は、第7参考例の他の一実施形態に係るチップダイオードg 4 0 1の斜視図であり、図1 7 9はその平面図であり、図1 8 0は、図1 7 9のCLXXX-CLXXX線でとった断面図である。さらに、図1 8 1は、図1 7 9のCLXXXI-CLXXXIでとった断面図である。

[0898] チップダイオードg 4 0 1は、p⁺型の半導体基板g 4 0 2(たとえばシリコン基板)と、半導体基板g 4 0 2に形成された複数のダイオードセルD 1～D 4と、これらの複数のダイオードセルD 1～D 4を並列に接続するカソード電極g 4 0 3およびアノード電極g 4 0 4とを含む。半導体基板g 4 0 2は、一对の主面g 4 0 2 a, g 4 0 2 bと、その一对の主面g 4 0 2 a, g 4 0 2 bと直交する複数の側面g 4 0 2 cとを含み、前記一对の主面g 4 0 2 a, g 4 0 2 bのうちの一方(主面g 4 0 2 a)が素子形成面とされている。以下、この主面g 4 0 2 aを「素子形成面g 4 0 2 a」という。素子形成面g 4 0 2 aは、平面視において矩形に形成されており、たとえば、長手方向の長さLが0.4 mm程度、短手方向の長さWが0.2 mm程度であつ

てもよい。また、チップダイオード g 4 0 1 の全体の厚さ T は 0. 1 mm 程度であってもよい。

[0899] 素子形成面 g 4 0 2 a の短手方向の両端部に、カソード電極 g 4 0 3 の外部接続電極 g 4 0 3 B と、アノード電極 g 4 0 4 の外部接続電極 g 4 0 4 B とが配置されている。これらの外部接続電極 g 4 0 3 B, g 4 0 4 B は、図示のように、素子形成面 g 4 0 2 a の長手方向に沿った長手電極とされていて、これら外部接続電極 g 4 0 3 B、g 4 0 4 B の間の素子形成面 g 4 0 2 a に、ダイオードセル領域 g 4 0 7 が設けられている。

[0900] 素子形成面 g 4 0 2 a の一つの長辺（この実施形態ではカソード側外部接続電極 g 4 0 3 B に近い長辺）に連なる一つの側面 g 4 0 2 c には、半導体基板 g 4 0 2 の厚さ方向に延びて切り欠かれた複数の凹部 7（たとえば最大 4 つの凹部）が形成されている。各凹部 7 は、この実施形態では、半導体基板 g 4 0 2 の厚さ方向の全域にわたって延びている。各凹部 7 は、平面視において、素子形成面 g 4 0 2 a の一短辺から内方に窪んでおり、この実施形態では、素子形成面 g 4 0 2 a の内方に向かって幅狭となる台形状を有している。むろん、この平面形状は一例であり、矩形形状であってもよいし、三角形形状であってもよいし、部分円状（たとえば円弧形状）等の凹湾曲形状であってもよい。

[0901] 凹部 7 は、チップダイオード g 4 0 1 の向き（チップ方向）を表す。より具体的には、凹部 7 は、カソード側外部接続電極 g 4 0 3 B の位置を表すカソードマークを提供している。これにより、チップダイオード g 4 0 1 の実装時に、その外観によって極性を把握できる構造となっている。また、凹部 7 は、チップコンデンサ g 4 0 1 の極性方向に加え、型名、製造年月日その他の情報を表示するための標印としても機能してもよい。

[0902] 半導体基板 g 4 0 2 は、4 つの側面 g 4 0 2 c のうち互いに隣接する一对の側面の交差部に対応する四隅に 4 つのコーナー部 g 4 0 9 を有している。この 4 つのコーナー部 g 4 0 9 は、この実施形態では、ラウンド形状に整形されている。コーナー部 g 4 0 9 は、素子形成面 g 4 0 2 a の法線方向から見

た平面視において、外側に凸の滑らかな湾曲面をなしている。これにより、チップダイオードg 4 0 1の製造工程や実装時におけるチップングを抑制できる構造となっている。

[0903] ダイオードセル領域g 4 0 7は、この実施形態では、矩形に形成されている。ダイオードセル領域g 4 0 7内に、複数のダイオードセルD 1～D 4が配置されている。複数のダイオードセルD 1～D 4は、この実施形態では4個設けられており、半導体基板g 4 0 2の長手方向および短手方向に沿って、マトリックス状に等間隔で二次元配列されている。図1 8 2は、カソード電極g 4 0 3およびアノード電極g 4 0 4ならびにその上に形成された構成を取り除いて、半導体基板g 4 0 2の表面（素子形成面g 4 0 2 a）の構造を示す平面図である。ダイオードセルD 1～D 4の各領域内には、それぞれ、p⁺型の半導体基板g 4 0 2の表層領域にn⁺型領域g 4 1 0が形成されている。n⁺型領域g 4 1 0は、個々のダイオードセル毎に分離されている。これにより、ダイオードセルD 1～D 4は、ダイオードセル毎に分離されたpn接合領域g 4 1 1をそれぞれ有している。

[0904] 複数のダイオードセルD 1～D 4は、この実施形態では等しい大きさおよび等しい形状、具体的には矩形形状に形成されており、各ダイオードセルの矩形領域内に、多角形状のn⁺型領域g 4 1 0が形成されている。この実施形態では、n⁺型領域g 4 1 0は、正八角形に形成されており、ダイオードセルD 1～D 4の矩形領域を形成する4辺にそれぞれ沿う4つの辺と、ダイオードセルD 1～D 4の矩形領域の4つの角部にそれぞれ対向する別の4つの辺とを有している。

[0905] 図1 8 0および図1 8 1に示されているように、半導体基板g 4 0 2の素子形成面g 4 0 2 aには、酸化膜等からなる絶縁膜g 4 1 5（図1 7 9では図示省略）が形成されている。絶縁膜g 4 1 5には、ダイオードセルD 1～D 4のそれぞれのn⁺型領域g 4 1 0の表面を露出させるコンタクト孔g 4 1 6（カソードコンタクト孔）と、素子形成面g 4 0 2 aを露出させるコンタクト孔g 4 1 7（アノードコンタクト孔）とが形成されている。絶縁膜g 4 1

5の表面には、カソード電極g403およびアノード電極g404が形成されている。カソード電極g403は、絶縁膜g415の表面に形成されたカソード電極膜g403Aと、カソード電極膜g403Aに接合された外部接続電極g403Bとを含む。カソード電極膜g403Aは、複数のダイオードセルD1, D3に接続された引き出し電極L1と、複数のダイオードD2, D4に接続された引き出し電極L2と、引き出し電極L1, L2（カソード引き出し電極）と一体的に形成されたカソードパッドg405とを有している。カソードパッドg405は、素子形成面g402aの一端部に矩形に形成されている。このカソードパッドg405に外部接続電極g403Bが接続されている。このようにして、外部接続電極g403Bは、引き出し電極L1, L2に共通に接続されている。カソードパッドg405および外部接続電極g403Bは、カソード電極g403の外部接続部（カソード外部接続部）を構成している。

[0906] アノード電極g404は、絶縁膜g415の表面に形成されたアノード電極膜g404Aと、アノード電極膜g404Aに接合された外部接続電極g404Bとを含む。アノード電極膜g404Aは、 p^+ 型半導体基板g402に接続されており、素子形成面g402aの一端部付近にアノードパッドg406を有している。アノードパッドg406は、アノード電極膜g404Aにおいて素子形成面g402aの一端部に配置された領域からなる。このアノードパッドg406に外部接続電極g404Bが接続されている。アノードパッドg406および外部接続電極g404Bは、アノード電極g404の外部接続部（アノード外部接続部）を構成している。アノード電極膜g404Aにおいて、アノードパッドg406以外の領域は、アノードコンタクト孔g417から引き出されたアノード引き出し電極である。

[0907] 引き出し電極L1は、絶縁膜g415の表面からダイオードセルD1, D3のコンタクト孔g416内に入り込み、各コンタクト孔g416内でダイオードセルD1, D3の各 n^+ 型領域g10にオーミック接触している。引き出し電極L1において、コンタクト孔g416内でダイオードセルD1, D3

に接続されている部分は、セル接続部C 1, C 3を構成している。同様に、引き出し電極L 2は、絶縁膜g 4 1 5の表面からダイオードセルD 2, D 4のコンタクト孔g 4 1 6内に入り込み、各コンタクト孔g 4 1 6内でダイオードセルD 2, D 4の各n⁺型領域g 4 1 0にオーミック接触している。引き出し電極L 2において、コンタクト孔g 4 1 6内でダイオードセルD 2, D 4に接続されている部分は、セル接続部C 2, C 4を構成している。アノード電極膜g 4 0 4 Aは、絶縁膜g 4 1 5の表面からコンタクト孔g 4 1 7の内方へと延びており、コンタクト孔g 4 1 7内でp⁺型の半導体基板g 4 0 2にオーミック接触している。カソード電極膜g 4 0 3 Aおよびアノード電極膜g 4 0 4 Aは、この実施形態では、同じ材料からなっている。

[0908] 電極膜としては、この実施形態では、A l S i膜を用いている。A l S i膜を用いると、半導体基板g 4 0 2の表面にp⁺型領域を設けることなく、アノード電極膜g 4 0 4 Aをp⁺型の半導体基板g 4 0 2にオーミック接触させることができる。すなわち、アノード電極膜g 4 0 4 Aをp⁺型の半導体基板g 4 0 2に直接接触させてオーミック接合を形成できる。したがって、p⁺型領域を形成するための工程を省くことができる。

[0909] カソード電極膜g 4 0 3 Aとアノード電極膜g 4 0 4 Aとの間は、スリットg 4 1 8によって分離されている。引き出し電極L 1は、ダイオードセルD 1からダイオードセルD 3を通してカソードパッドg 4 0 5に至る直線に沿って直線状に形成されている。同様に、引き出し電極L 2は、ダイオードセルD 2からダイオードセルD 4を通してカソードパッドg 4 0 5に至る直線に沿って直線状に形成されている。引き出し電極L 1, L 2は、n⁺型領域g 4 1 0からカソードパッドg 4 0 5まで間の至るところで一様な幅W 1, W 2をそれぞれ有しており、それらの幅W 1, W 2は、セル接続部C 1, C 2, C 3, C 4の幅よりも広い。セル接続部C 1~C 4の幅は、引き出し電極L 1, L 2の引き出し方向に直交する方向の長さによって定義される。引き出し電極L 1, L 2の先端部は、n⁺型領域g 4 1 0の平面形状と整合するように整形されている。引き出し電極L 1, L 2の基端部は、カソードパッド

g 4 0 5 に接続されている。スリット g 4 1 8 は、引き出し電極 L 1, L 2 を縁取るように形成されている。一方、アノード電極膜 g 4 0 4 A は、ほぼ一定の幅のスリット g 4 1 8 に対応した間隔を開けて、カソード電極膜 g 4 0 3 A を取り囲むように、絶縁膜 g 4 1 5 の表面に形成されている。アノード電極膜 g 4 0 4 A は、素子形成面 g 4 0 2 a の長手方向に沿って延びる櫛歯状部分と、矩形領域からなるアノードパッド g 4 0 6 とを一体的に有している。

[0910] カソード電極膜 g 4 0 3 A およびアノード電極膜 g 4 0 4 A は、たとえば窒化膜からなるパッシベーション膜 g 4 2 0 (図 1 7 9 では図示省略) によって覆われており、さらにパッシベーション膜 g 4 2 0 の上にはポリイミド等の樹脂膜 g 4 2 1 が形成されている。パッシベーション膜 g 4 2 0 および樹脂膜 g 4 2 1 を貫通するように、カソードパッド g 4 0 5 を露出させるパッド開口 g 4 2 2 と、アノードパッド g 4 0 6 を露出させるパッド開口 g 4 2 3 とが形成されている。パッド開口 g 4 2 2, g 4 2 3 に外部接続電極 g 4 0 3 B, g 4 0 4 B がそれぞれ埋め込まれている。パッシベーション膜 g 4 2 0 および樹脂膜 g 4 2 1 は、保護膜を構成しており、引き出し電極 L 1, L 2 および p n 接合領域 g 4 1 1 への水分の浸入を抑制または防止するとともに、外部からの衝撃等を吸収し、チップダイオード g 4 0 1 の耐久性の向上に寄与している。

[0911] 外部接続電極 g 4 0 3 B, g 4 0 4 B は、樹脂膜 g 4 2 1 の表面よりも低い位置 (半導体基板 g 4 0 2 に近い位置) に表面を有していてもよいし、樹脂膜 g 4 2 1 の表面から突出していて、樹脂膜 g 4 2 1 よりも高い位置 (半導体基板 g 4 0 2 から遠い位置) に表面を有していてもよい。図 1 8 0 には、外部接続電極 g 4 0 3 B, g 4 0 4 B が樹脂膜 g 4 2 1 の表面から突出している例を示す。外部接続電極 g 4 0 3 B, g 4 0 4 B は、たとえば、電極膜 g 4 0 3 A, g 4 0 4 A に接する N i 膜と、その上に形成された P d 膜と、その上に形成された A u 膜とを有する N i / P d / A u 積層膜からなってもよい。このような積層膜は、めっき法によって形成することができる。

[0912] 各ダイオードセルD1～D4では、p型の半導体基板g402とn⁺型領域g410との間にpn接合領域g411が形成されており、したがって、それぞれpn接合ダイオードが形成されている。そして、複数のダイオードセルD1～D4のn⁺型領域g410がカソード電極g403に共通に接続され、ダイオードセルD1～D4の共通のp型領域であるp⁺型の半導体基板g402がアノード電極g404に共通に接続されている。これによって、半導体基板g402上に形成された複数のダイオードセルD1～D4は、すべて並列に接続されている。

[0913] 図183は、チップダイオードg401の内部の電氣的構造を示す電気回路図である。ダイオードセルD1～D4によってそれぞれ構成されるpn接合ダイオードは、カソード側がカソード電極g403によって共通接続され、アノード側がアノード電極g404によって共通接続されることによって、全て並列に接続されており、これによって、全体として1つのダイオードとして機能する。

[0914] この実施形態の構成によれば、チップダイオードg401は複数のダイオードセルD1～D4を有しており、各ダイオードセルD1～D4がpn接合領域g411を有している。pn接合領域g411は、ダイオードセルD1～D4毎に分離されている。そのため、チップダイオードg401は、pn接合領域g411の周囲長、すなわち、半導体基板g402におけるn⁺型領域g410の周囲長の合計（総延長）が長くなる。これにより、pn接合領域g411の近傍における電界の集中を回避し、その分散を図ることができるので、ESD耐量の向上を図ることができる。すなわち、チップダイオードg401を小型に形成する場合であっても、pn接合領域g411の総周囲長を大きくすることができるから、チップダイオードg401の小型化とESD耐量の確保とを両立することができる。

[0915] この実施形態では、半導体基板g402のカソード側外部接続電極g403Bに近い長辺に陰極方向を表す凹部7が形成されているので、半導体基板g

402の裏面（素子形成面g402aとは反対側の主面）に、カソードマークを標印する必要がない。凹部7は、チップダイオードg401をウエハ（元基板）から切り出すための加工を行うときに同時に形成しておくことができる。また、チップダイオードg401のサイズが微小で、標印が困難な場合にも凹部7を形成して、カソードの方向を表示できる。したがって、標印のための工程を省くことができ、かつ微小サイズのチップダイオードg401に対してもカソードマークを付与できる。

[0916] 図184は、チップダイオードg401の製造工程の一例を説明するための工程図である。また、図185Aおよび図185Bは、図184の製造工程途中の構成を示す断面図であり、図180に対応する切断面を示す。まず、半導体基板g402の元基板としての p^+ 型半導体ウエハWが用意される。半導体ウエハWの表面は素子形成面であり、半導体基板g402の素子形成面g402aに対応している。素子形成面には、複数のチップダイオードg401に対応した複数のチップダイオード領域g401aが、マトリクス状に配列されて設定されている。隣接するチップダイオード領域g401aの間には、境界領域が設けられている。境界領域は、ほぼ一定の幅を有する帯状の領域であり、直交する二方向に延びて格子状に形成されている。半導体ウエハWに対して必要な工程を行った後に、境界領域に沿って半導体ウエハWを切り離すことにより、複数のチップダイオードg401が得られる。

[0917] 半導体ウエハWに対して実行される工程の一例は、次のとおりである。まず、 p^+ 型半導体ウエハWの素子形成面に、熱酸化膜やCVD酸化膜等の絶縁膜g415（たとえば8000Å～8600Åの厚さ）が形成され（S1）、その上にレジストマスクが形成される（S2）。このレジストマスクを用いたエッチングによって、 n^+ 型領域g410に対応する開口が絶縁膜g415に形成される（S3）。さらに、レジストマスクを剥離した後に、絶縁膜g415に形成された開口から露出する半導体ウエハWの表層部に n 型不純物が導入される（S4）。 n 型不純物の導入は、 n 型不純物としての燐を表面に堆積させる工程（いわゆるリンデポ）によって行われてもよいし、 n

型不純物イオン（たとえば燐イオン）の注入によって行われてもよい。リンデポとは、半導体ウエハWを拡散炉内に搬入し、拡散路内で POCl_3 ガスを流して行う熱処理によって、絶縁膜g415の開口内で露出する半導体ウエハWの表面に燐を堆積させる処理である。必要に応じて絶縁膜g415を厚膜化（たとえばCVD酸化膜形成により1200 Å程度厚膜化）した後（S5）、半導体ウエハWに導入された不純物イオンを活性化するための熱処理（ドライブ）が行われる（S6）。これにより、半導体ウエハWの表層部に n^+ 型領域g410が形成される。

[0918] 次いで、コンタクト孔g416、g417に整合する開口を有するさらに別のレジストマスクが絶縁膜g415の上に形成される（S7）。このレジストマスクを介するエッチングによって、絶縁膜g415にコンタクト孔g416、g417が形成される（S8）、その後、レジストマスクが剥離される。次いで、たとえばスパッタリングによって、カソード電極g403およびアノード電極g404を構成する電極膜が絶縁膜g415上に形成される（S9）。この実施形態では、AlSiからなる電極膜（たとえば厚さ10000 Å）が形成される。そして、この電極膜上に、スリットg418に対応する開口パターンを有する別のレジストマスクが形成され（S10）、このレジストマスクを介するエッチング（たとえば反応性イオンエッチング）によって、電極膜にスリットg418が形成される（S11）。スリットg418の幅は、3 μm程度であってもよい。これにより、前記電極膜が、カソード電極膜g403Aおよびアノード電極膜g404Aに分離される。

[0919] 次いで、レジスト膜を剥離した後、たとえばCVD法によって窒化膜等のパッシベーション膜g420が形成され（S12）、さらにポリイミド等を塗布することにより樹脂膜g421が形成される（S13）。たとえば、感光性を付与したポリイミドが塗布され、パッド開口g423、g424に対応するパターンで露光した後、そのポリイミド膜が現像される（ステップS14）。これにより、パッド開口g423、g424に対応した開口を有する

樹脂膜 g 4 2 1 が形成される。その後、必要に応じて、樹脂膜をキュアするための熱処理が行われる（S 1 5）。そして、樹脂膜 g 4 2 1 をマスクとしたドライエッチング（たとえば反応性イオンエッチング）によって、パッシベーション膜 g 4 2 0 にパッド開口 g 4 2 2, g 4 2 3 が形成される（S 1 6）。その後、パッド開口 g 4 2 2, g 4 2 3 内に外部接続電極 g 4 0 3 B, g 4 0 4 B が形成される（S 1 7）。外部接続電極 g 4 0 3 B, g 4 0 4 B の形成は、めっき（好ましくは無電解めっき）によって行うことができる。

[0920] 次いで、境界領域に整合する格子状の開口を有するレジストマスク g 8 3（図 1 8 5 A 参照）が形成される（S 1 8）。このレジストマスク g 8 3 を介してプラズマエッチングが行われ、それによって、図 1 8 5 A に示すように、半導体ウエハ W がその素子形成面から所定の深さまでエッチングされる。これによって、境界領域 g 8 に沿って、切断用の溝 g 8 1 が形成される（S 1 9）。レジストマスク g 8 3 が剥離された後、図 1 8 5 B に示すように、半導体ウエハ W が裏面 W b から、溝 g 8 1 の底部に到達するまで研削される（S 2 0）。これによって、複数のチップダイオード領域 g 4 0 1 a が個片化され、前述の構造のチップダイオード g 4 0 1 を得ることができる。

[0921] 以上、第 7 参考例の実施形態として、チップ抵抗器、チップコンデンサおよびチップダイオードについて説明したが、第 7 参考例は、チップ抵抗器、チップコンデンサおよびチップダイオード以外のチップ部品に対しても適用することが可能である。たとえば、他のチップ部品の例として、チップインダクタを例示することができる。チップインダクタは、たとえば基板上に多層配線構造を有し、多層配線構造内にインダクタ（コイル）およびそれに関連する配線を有する部品で、多層配線構造内の任意のインダクタがヒューズにより回路に組み込まれたり、回路から切り離されたりできる構成のものであり、一对の接続用電極が外部に露出している。かかるチップインダクタにおいても、接続用電極を、第 7 参考例による長手電極とすることにより、実装に適し、取り扱い易いチップインダクタ（チップ部品）とすることができる。

る。

[0922] 図 1 8 6 は、第 7 参考例の一実施形態に係る回路アセンブリの構成例を示す図解的な斜視図である。図 1 8 6 に示す回路アセンブリ g 9 0 は、フレキシブル基板 g 9 1 と、フレキシブル基板 g 9 1 上に実装されたチップ抵抗器 g 1 0 を含む。フレキシブル基板 g 9 1 は、矢印 A 1 方向に曲げられるように配置される。チップ抵抗器 g 1 0 は、フレキシブル基板 g 9 1 の曲げ方向 A 1 に直交する矢印 A 2 方向に、基板 g 1 1 の長辺を沿わせて実装されている。フレキシブル基板 g 9 は、矢印 A 2 方向には湾曲されない。よって、チップ抵抗器 g 1 0 の長辺方向に長手の第 1 接続電極 g 1 2 および第 2 接続電極 g 1 3 は、フレキシブル基板 g 9 1 の表面にはんだで強固に接合される。そして、チップ抵抗器 g 1 0 の長辺方向にはフレキシブル基板 g 9 1 には曲げが生じないので、チップ抵抗器 g 1 0 は、フレキシブル基板 g 9 1 から剥がれたり分離したりする恐れがない。

[0923] また、フレキシブル基板 g 9 に矢印 A 1 方向の曲げが加えられたとしても、この方向はチップ抵抗器 g 1 0 の短辺方向であり、その寸法が短い。よって、フレキシブル基板 g 9 1 の曲げ（湾曲）が実装されたチップ抵抗器 g 1 0 に与える悪影響は殆どない。フレキシブル基板 g 9 1 上に実装されたチップ抵抗器 g 1 0 は、第 1 接続電極 g 1 2 および第 2 接続電極 g 1 3 が基板 g 1 1 の短辺方向に対向しており、それらの間隔が短い。そのため、フレキシブル基板 g 9 1 が矢印 A 1 方向に曲げられたとしても、チップ抵抗器 g 1 0 にかかる曲げ応力が小さく、チップ抵抗器 g 1 0 の破損は生じにくい。

[0924] なお、上記のチップ抵抗器 g 1 0 の実装形態を、次のように変更してもよい。すなわち、フレキシブル基板上にチップ抵抗器 g 1 0 を実装する際、フレキシブル基板の曲げたくない方向と、チップ抵抗器 g 1 0 の接続電極の長手方向とを一致させてもよい。この場合は、実装したチップ抵抗器 g 1 0 の長手電極の作用により、フレキシブル基板が曲がりにくくなり、所期の目的が達成できるという効果がある。

[0925] 上記の説明は、フレキシブル基板へのチップ抵抗器 g 1 0 の実装を例にとつ

て説明したが、第7参考例の他のチップ部品、すなわちチップコンデンサ、チップダイオード、チップインダクタの場合の実装構造にも同様に適用できる。図187は、第7参考例のチップ抵抗器が用いられる電子機器の一例であるスマートフォンの外観を示す斜視図である。スマートフォンg201は、扁平な直方体形状の筐体g202の内部に電子部品を収納して構成されている。筐体g202は表側および裏側に長方形形状の一对の主面を有しており、その一对の主面が4つの側面で結合されている。筐体g202の一つの主面には、液晶パネルや有機ELパネル等で構成された表示パネルg203の表示面が露出している。表示パネルg203の表示面は、タッチパネルを構成しており、使用者に対する入力インターフェースを提供している。

[0926] 表示パネルg203は、筐体g202の一つの主面の大部分を占める長方形形状に形成されている。表示パネルg203の一つの短辺に沿うように、操作ボタンg204が配置されている。この実施形態では、複数（3つ）の操作ボタンg204が表示パネルg203の短辺に沿って配列されている。使用者は、操作ボタンg204およびタッチパネルを操作することによって、スマートフォンg201に対する操作を行い、必要な機能呼び出して実行させることができる。

[0927] 表示パネルg203の別の一つの短辺の近傍には、スピーカg205が配置されている。スピーカg205は、電話機能のための受話口を提供するとともに、音楽データ等を再生するための音響化ユニットとしても用いられる。一方、操作ボタンg204の近くには、筐体g202の一つの側面にマイクロフォンg206が配置されている。マイクロフォンg206は、電話機能のための送話口を提供するほか、録音用のマイクロフォンとして用いることもできる。

[0928] 図188は、筐体g202の内部に收容された電子回路アセンブリg210の構成を示す図解的な平面図である。電子回路アセンブリg210は、配線基板g211と、配線基板g211の実装面に実装された回路部品とを含む。複数の回路部品は、複数の集積回路素子（IC）g212－g220と

、複数のチップ部品とを含む。複数のＩＣは、伝送処理ＩＣｇ２１２、ワンセグＴＶ受信ＩＣｇ２１３、ＧＰＳ受信ＩＣｇ２１４、ＦＭチューナＩＣｇ２１５、電源ＩＣｇ２１６、フラッシュメモリｇ２１７、マイクロコンピュータｇ２１８、電源ＩＣｇ２１９およびベースバンドＩＣｇ２２０を含む。複数のチップ部品は、チップインダクタｇ２２１，ｇ２２５，ｇ２３５、チップ抵抗器ｇ２２２，ｇ２２４，ｇ２３３、チップキャパシタｇ２２７，ｇ２３０，ｇ２３４、およびチップダイオードｇ２２８，ｇ２３１を含む。これらチップ部品は、第７参考例に係る構成のものをを用いることができる。

[0929] 伝送処理ＩＣｇ２１２は、表示パネルｇ２０３に対する表示制御信号を生成し、かつ表示パネルｇ２０３の表面のタッチパネルからの入力信号を受信するための電子回路を内蔵している。表示パネルｇ２０３との接続のために、伝送処理ＩＣｇ２１２には、フレキシブル配線２０９が接続されている。ワンセグＴＶ受信ＩＣｇ２１３は、ワンセグ放送（携帯機器を受信対象とする地上デジタルテレビ放送）の電波を受信するための受信機を構成する電子回路を内蔵している。ワンセグＴＶ受信ＩＣｇ２１３の近傍には、複数のチップインダクタｇ２２１と、複数のチップ抵抗器ｇ２２２とが配置されている。ワンセグＴＶ受信ＩＣｇ２１３、チップインダクタｇ２２１およびチップ抵抗器ｇ２２２は、ワンセグ放送受信回路ｇ２２３を構成している。チップインダクタｇ２２１およびチップ抵抗器ｇ２２２は、正確に合わせ込まれたインダクタンスおよび抵抗をそれぞれ有し、ワンセグ放送受信回路ｇ２２３に高精度な回路定数を与える。

[0930] ＧＰＳ受信ＩＣｇ２１４は、ＧＰＳ衛星からの電波を受信してスマートフォンｇ２０１の位置情報を出力する電子回路を内蔵している。ＦＭチューナＩＣｇ２１５は、その近傍において配線基板ｇ２１１に実装された複数のチップ抵抗器ｇ２２４および複数のチップインダクタｇ２２５とともに、ＦＭ放送受信回路ｇ２２６を構成している。チップ抵抗器ｇ２２４およびチップインダクタｇ２２５は、正確に合わせ込まれた抵抗値およびインダクタンスをそれぞれ有し、ＦＭ放送受信回路ｇ２２６に高精度な回路定数を与える。

[0931] 電源 IC g 2 1 6 の近傍には、複数のチップキャパシタ g 2 2 7 および複数のチップダイオード g 2 2 8 が配線基板 g 2 1 1 の実装面に実装されている。電源 IC g 2 1 6 は、チップキャパシタ g 2 2 7 およびチップダイオード g 2 2 8 とともに、電源回路 g 2 2 9 を構成している。フラッシュメモリ g 2 1 7 は、オペレーティングシステムプログラム、スマートフォン g 2 0 1 の内部で生成されたデータ、通信機能によって外部から取得したデータおよびプログラムなどを記録するための記憶装置である。

[0932] マイクロコンピュータ g 2 1 8 は、CPU、ROM および RAM を内蔵しており、各種の演算処理を実行することにより、スマートフォン g 2 0 1 の複数の機能を実現する演算処理回路である。より具体的には、マイクロコンピュータ g 2 1 8 の働きにより、画像処理や各種アプリケーションプログラムのための演算処理が実現されるようになっている。

電源 IC g 2 1 9 の近くには、複数のチップキャパシタ g 2 3 0 および複数のチップダイオード g 2 3 1 が配線基板 g 2 1 1 の実装面に実装されている。電源 IC g 2 1 9 は、チップキャパシタ g 2 3 0 およびチップダイオード g 2 3 1 とともに、電源回路 g 2 3 2 を構成している。

[0933] ベースバンド IC g 2 2 0 の近くには、複数のチップ抵抗器 g 2 3 3、複数のチップキャパシタ g 2 3 4、および複数のチップインダクタ g 2 3 5 が、配線基板 g 2 1 1 の実装面に実装されている。ベースバンド IC g 2 2 0 は、チップ抵抗器 g 2 3 3、チップキャパシタ g 2 3 4 およびチップインダクタ g 2 3 5 とともに、ベースバンド通信回路 g 2 3 6 を構成している。ベースバンド通信回路 g 2 3 6 は、電話通信およびデータ通信のための通信機能を提供する。

[0934] このような構成によって、電源回路 g 2 2 9、2 3 2 によって適切に調整された電力が、伝送処理 IC g 2 1 2、GPS 受信 IC g 2 1 4、ワンセグ放送受信回路 g 2 2 3、FM 放送受信回路 g 2 2 6、ベースバンド通信回路 g 2 3 6、フラッシュメモリ g 2 1 7 およびマイクロコンピュータ g 2 1 8 に

供給される。マイクロコンピュータ g 2 1 8 は、伝送処理 I C g 2 1 2 を介して入力される入力信号に応答して演算処理を行い、伝送処理 I C g 2 1 2 から表示パネル g 2 0 3 に表示制御信号を出力して表示パネル g 2 0 3 に各種の表示を行わせる。

[0935] タッチパネルまたは操作ボタン g 2 0 4 の操作によってワンセグ放送の受信が指示されると、ワンセグ放送受信回路 g 2 2 3 の働きによってワンセグ放送が受信される。そして、受信された画像を表示パネル g 2 0 3 に出力し、受信された音声をスピーカ g 2 0 5 から音響化させるための演算処理が、マイクロコンピュータ g 2 1 8 によって実行される。また、スマートフォン g 2 0 1 の位置情報が必要とされるときには、マイクロコンピュータ g 2 1 8 は、GPS 受信 I C g 2 1 4 が出力する位置情報を取得し、その位置情報を用いた演算処理を実行する。

[0936] さらに、タッチパネルまたは操作ボタン g 2 0 4 の操作によって FM 放送受信指令が入力されると、マイクロコンピュータ g 2 1 8 は、FM 放送受信回路 g 2 2 6 を起動し、受信された音声をスピーカ g 2 0 5 から出力させるための演算処理を実行する。フラッシュメモリ g 2 1 7 は、通信によって取得したデータの記憶や、マイクロコンピュータ g 2 1 8 の演算や、タッチパネルからの入力によって作成されたデータを記憶するために用いられる。マイクロコンピュータ g 2 1 8 は、必要に応じて、フラッシュメモリ g 2 1 7 に対してデータを書き込み、またフラッシュメモリ g 2 1 7 からデータを読み出す。

[0937] 電話通信またはデータ通信の機能は、ベースバンド通信回路 g 2 3 6 によって実現される。マイクロコンピュータ g 2 1 8 は、ベースバンド通信回路 g 2 3 6 を制御して、音声またはデータを送受信するための処理を行う。

符号の説明

[0938] 1 0、3 0 チップ抵抗器 1 1 基板（シリコン基板） 1 2 第 1 接続電極（外部接続電極） 1 3 第 2 接続電極（外部接続電極） 1 4 抵抗回路網 2 0、1 0 3 抵抗体膜（抵抗体膜ライン） 2 1

導体膜（配線膜） F ヒューズ膜 C 接続用導体膜 C 1 ~
C 9 キャパシタ要素 F 1 ~ F 9 ヒューズ 1 チップコンデンサ
2 基板 3 第 1 外部電極 4 第 2 外部電極 5 キャパシタ配置領
域 7 ヒューズユニット 8 絶縁膜 9 パッシベーション膜 5 0
樹脂膜 5 1 下部電極膜 5 1 A キャパシタ電極領域 5 1 B パ
ッド領域 5 1 C ヒューズ領域 5 2 容量膜 5 3 上部電極膜
5 3 A キャパシタ電極領域 5 3 B パッド領域 5 3 C ヒューズ
領域 1 3 1 ~ 1 3 9 電極膜部分 1 4 1 ~ 1 4 9 電極膜部分 1 5 1
~ 1 5 9 電極膜部分 3 1 チップコンデンサ 4 1 チップコンデンサ
4 7 ヒューズユニット

請求の範囲

- [請求項1] 基板と、 前記基板上に形成された複数の素子要素を含む素子回路網と、 前記基板上に設けられ、前記素子回路網を外部接続するための外部接続電極と、 前記基板上に形成され、前記複数の素子要素と前記外部接続電極とを切り離し可能にそれぞれ接続する複数のヒューズと、 前記外部接続電極の外部接続端に形成されたはんだ層とを含むことを特徴とする、チップ部品。
- [請求項2] 前記素子回路網が、前記基板上に形成された複数の抵抗体を含む抵抗回路網を含み、 前記チップ部品がチップ抵抗器であることを特徴とする、請求項1記載のチップ部品。
- [請求項3] 前記抵抗体が、前記基板上に形成された抵抗体膜および前記抵抗体膜に積層された配線膜を含むことを特徴とする、請求項2に記載のチップ部品。
- [請求項4] 前記配線膜およびヒューズは、同一レイヤーに形成された導体膜であり、 前記外部接続電極が設けられる基板上にも、前記導体膜が設けられていることを特徴とする、請求項3記載のチップ部品。
- [請求項5] 前記素子回路網が、前記基板上に形成された複数のキャパシタ要素を含むキャパシタ回路網を含み、 前記チップ部品がチップコンデンサであることを特徴とする、請求項1に記載のチップ部品。
- [請求項6] 前記キャパシタ要素が、前記基板上に形成された容量膜と、前記容量膜を挟んで対向する下部電極および上部電極とを含み、 前記下部電極および前記上部電極が、分離された複数の電極膜部分を含み、 前記複数の電極膜部分が前記複数のヒューズにそれぞれ接続されていることを特徴とする、請求項5に記載のチップ部品。
- [請求項7] 前記下部電極または前記上部電極の一部は、前記外部電極が設けられる基板領域にも導体膜として設けられていることを特徴とする、請求項6に記載のチップ部品。
- [請求項8] 前記素子回路網が、前記基板上に形成されたインダクタ（コイル）お

よびそれに関連する配線を含み、 前記チップ部品がチップインダクタであることを特徴とする、請求項 1 記載のチップ部品。

[請求項9] 前記素子回路網が、前記基板上に形成された接合構造を有する複数のダイオードを含むダイオード回路網を含み、 前記チップ部品がチップダイオードであることを特徴とする、請求項 1 記載のチップ部品。

[請求項10] 前記複数のダイオードが、LEDを含むLED回路網であり、 前記チップ部品がチップLEDであることを特徴とする、請求項 9 記載のチップ部品。

[請求項11] 前記外部接続電極は、前記素子回路網の一部を形成する導体膜上に積層された導体材料により構成されていることを特徴とする、請求項 4 ～ 10 のいずれか一項に記載のチップ部品。

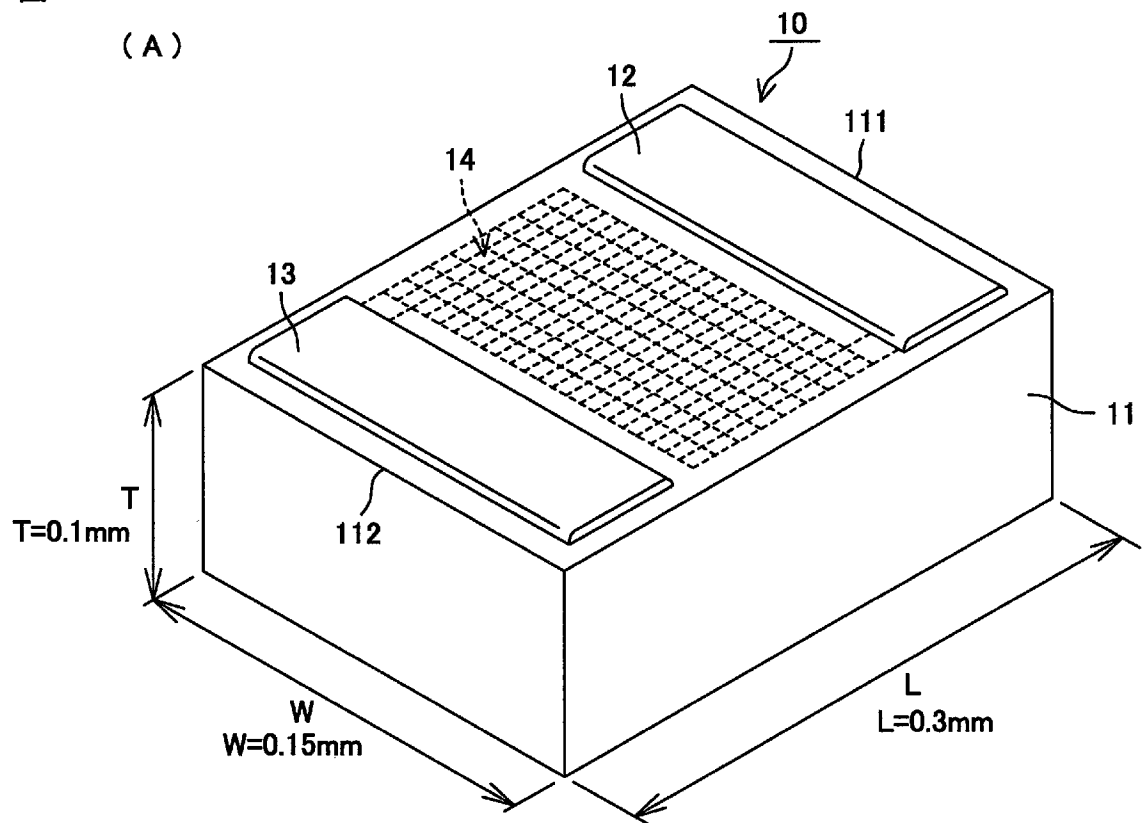
[請求項12] 前記導体材料は多層構造の導体材料膜を含むことを特徴とする、請求項 11 に記載のチップ部品。

[請求項13] 前記外部接続電極は、ニッケル層、パラジウム層、金層およびはんだ層を含むことを特徴とする、請求項 4 ～ 12 のいずれか一項に記載のチップ部品。

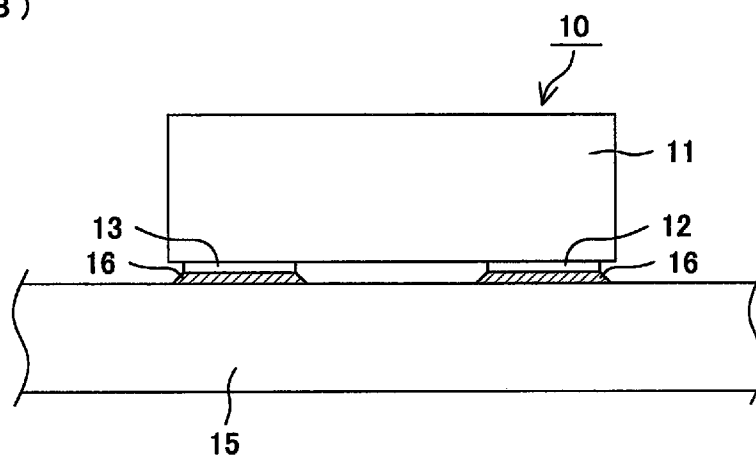
[請求項14] 前記外部接続電極は、銅層およびはんだ層を含むことを特徴とする、請求項 4 ～ 12 のいずれか一項に記載のチップ部品。

[図1]

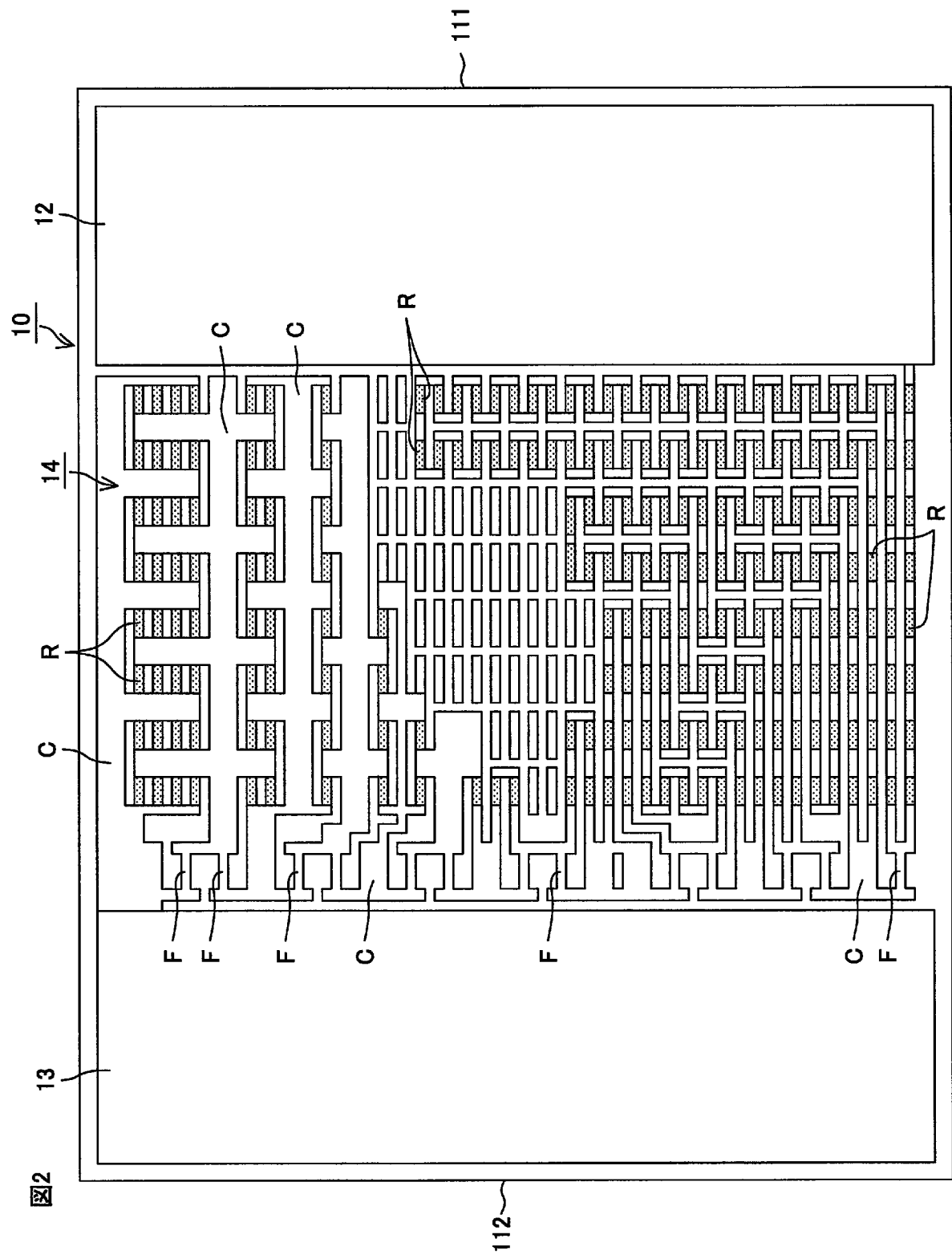
図1



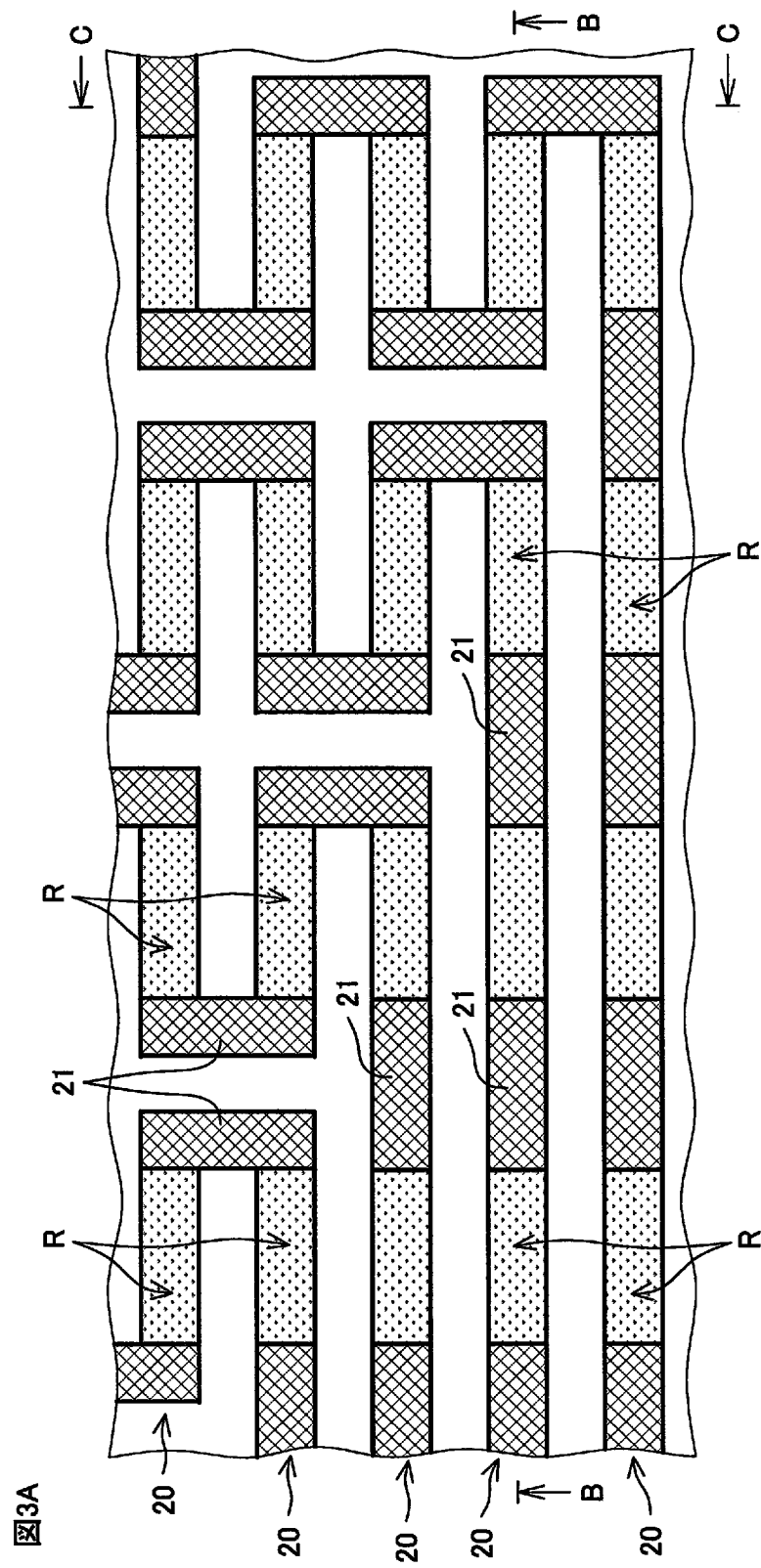
(B)



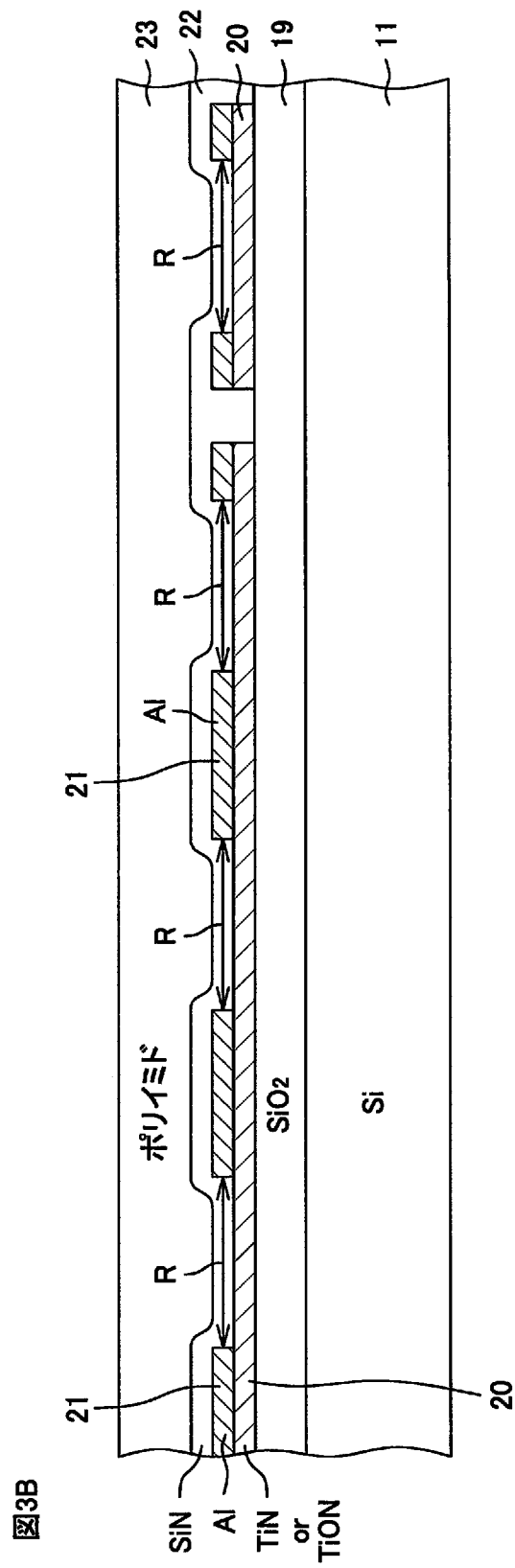
[図2]



[図3A]

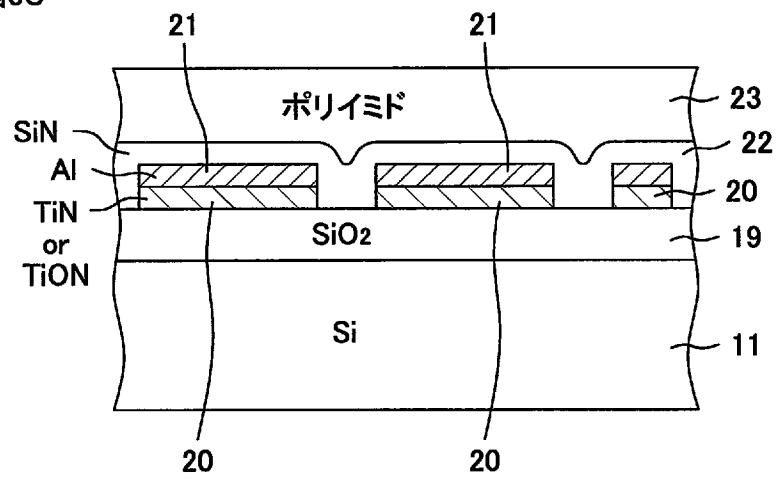


[図3B]



[図3C]

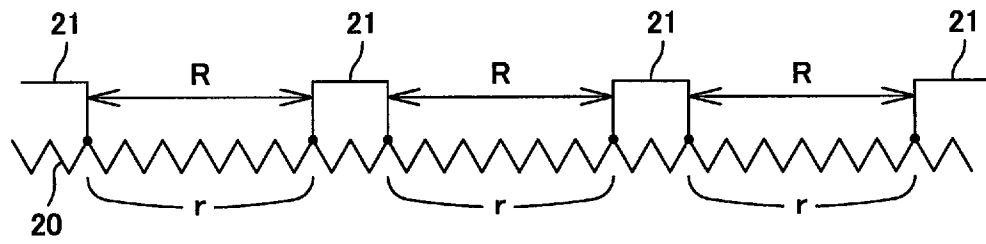
図3C



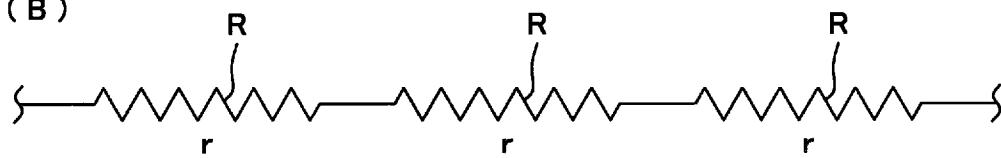
[図4]

図4

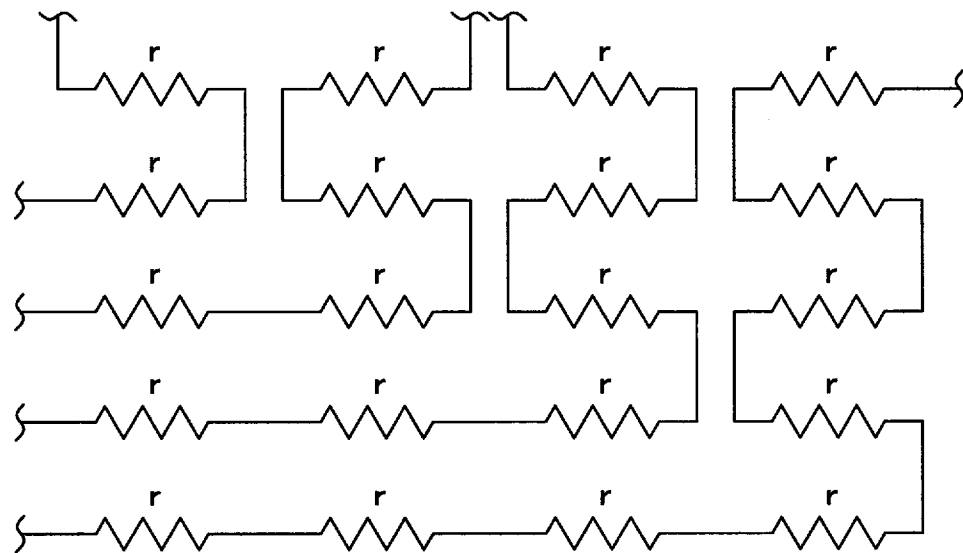
(A)



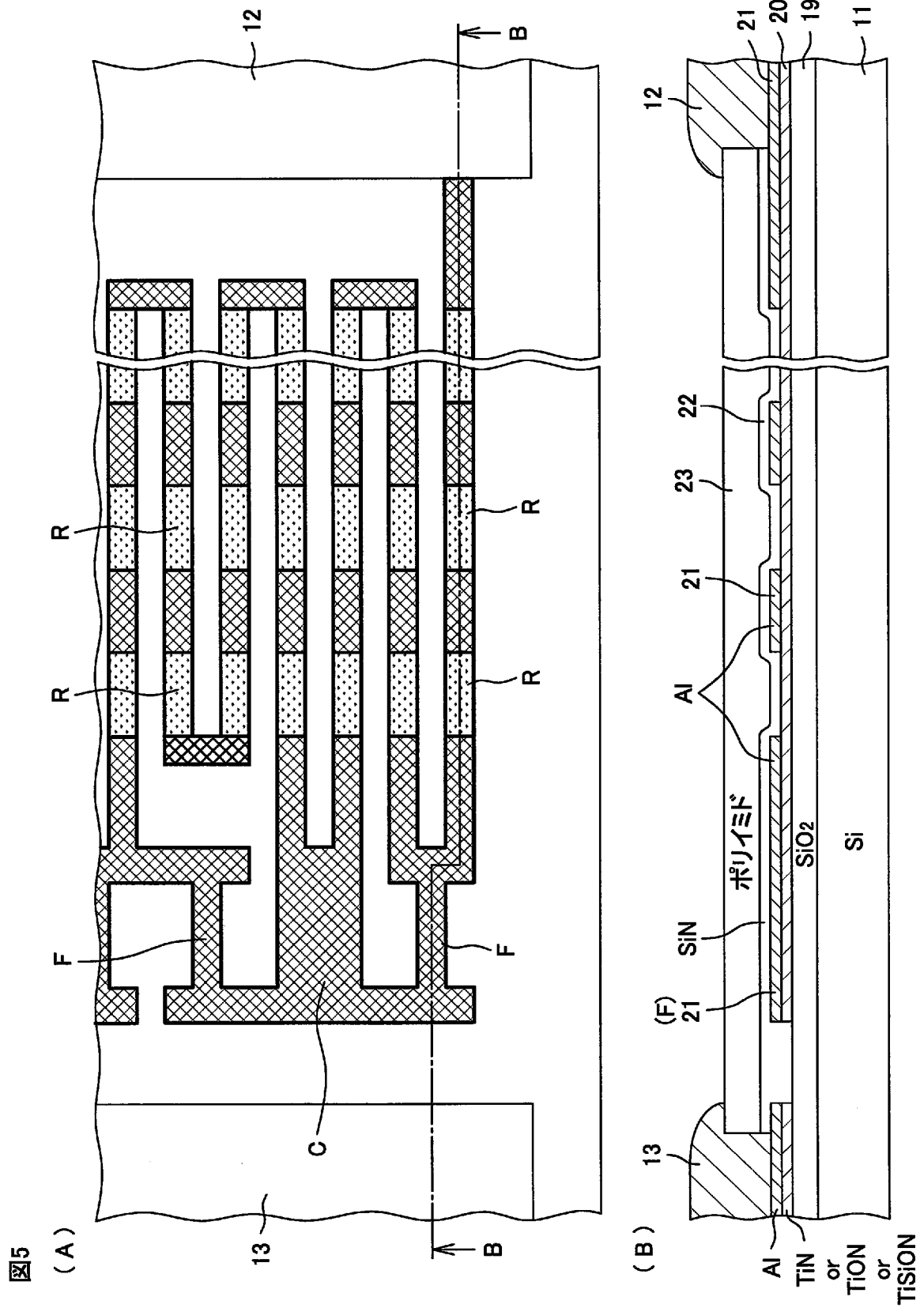
(B)



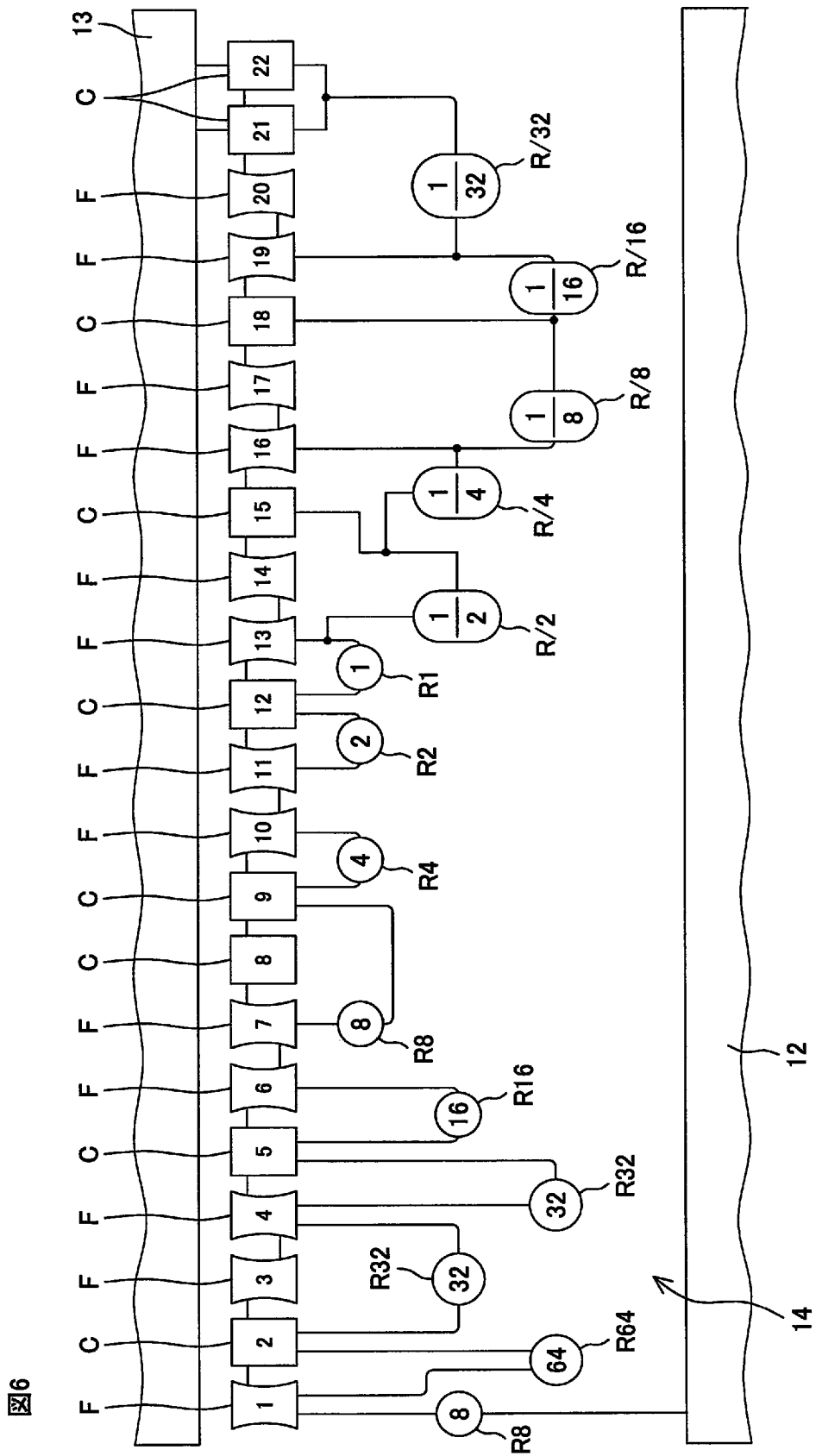
(C)



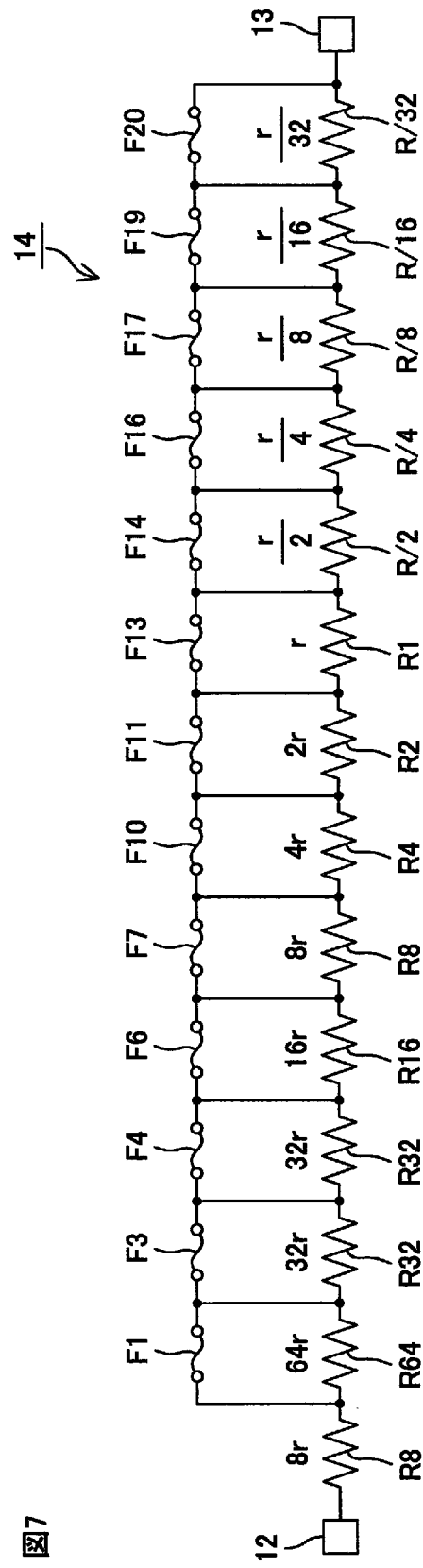
[図5]



[図6]



[図7]



[図8]

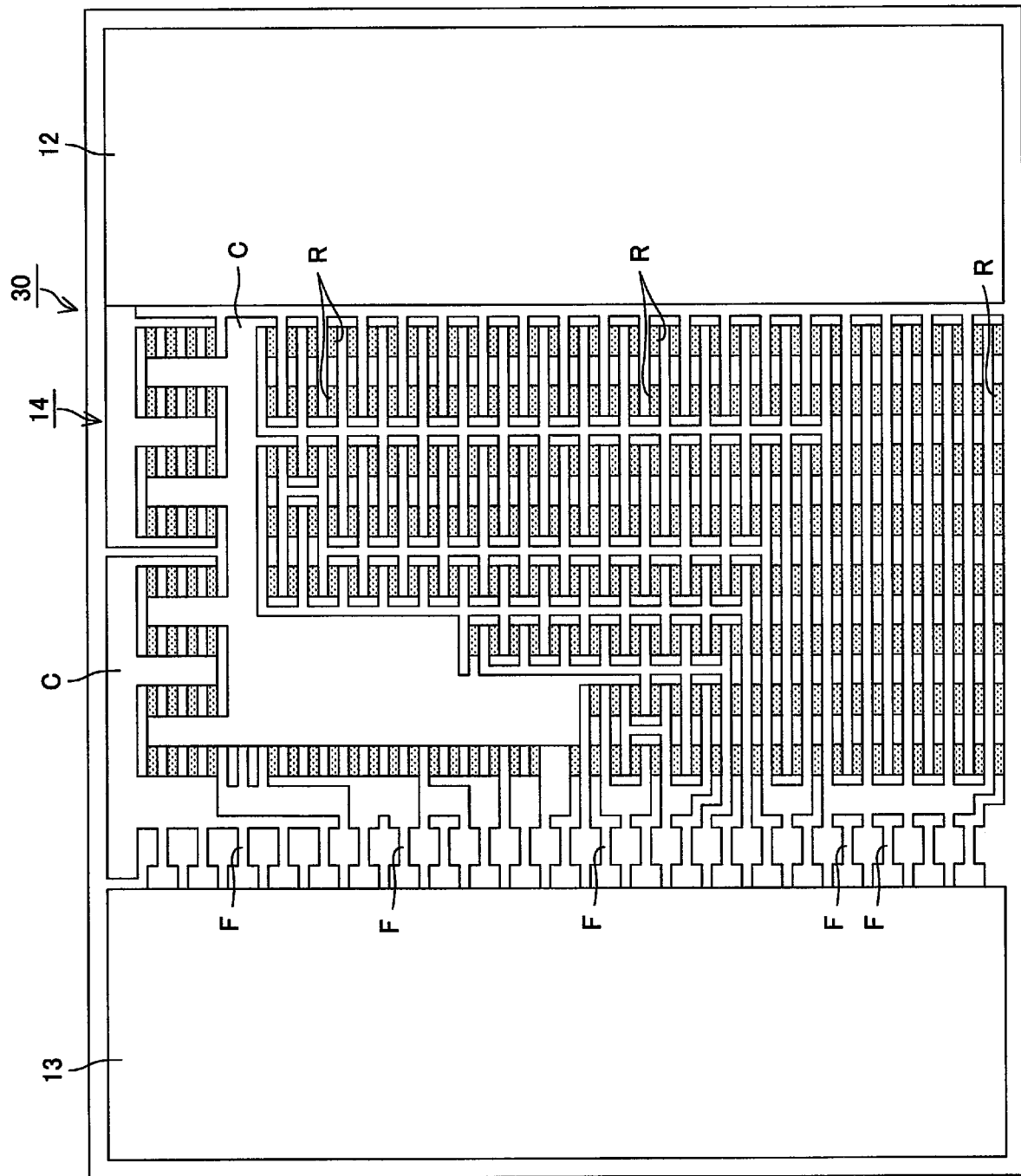
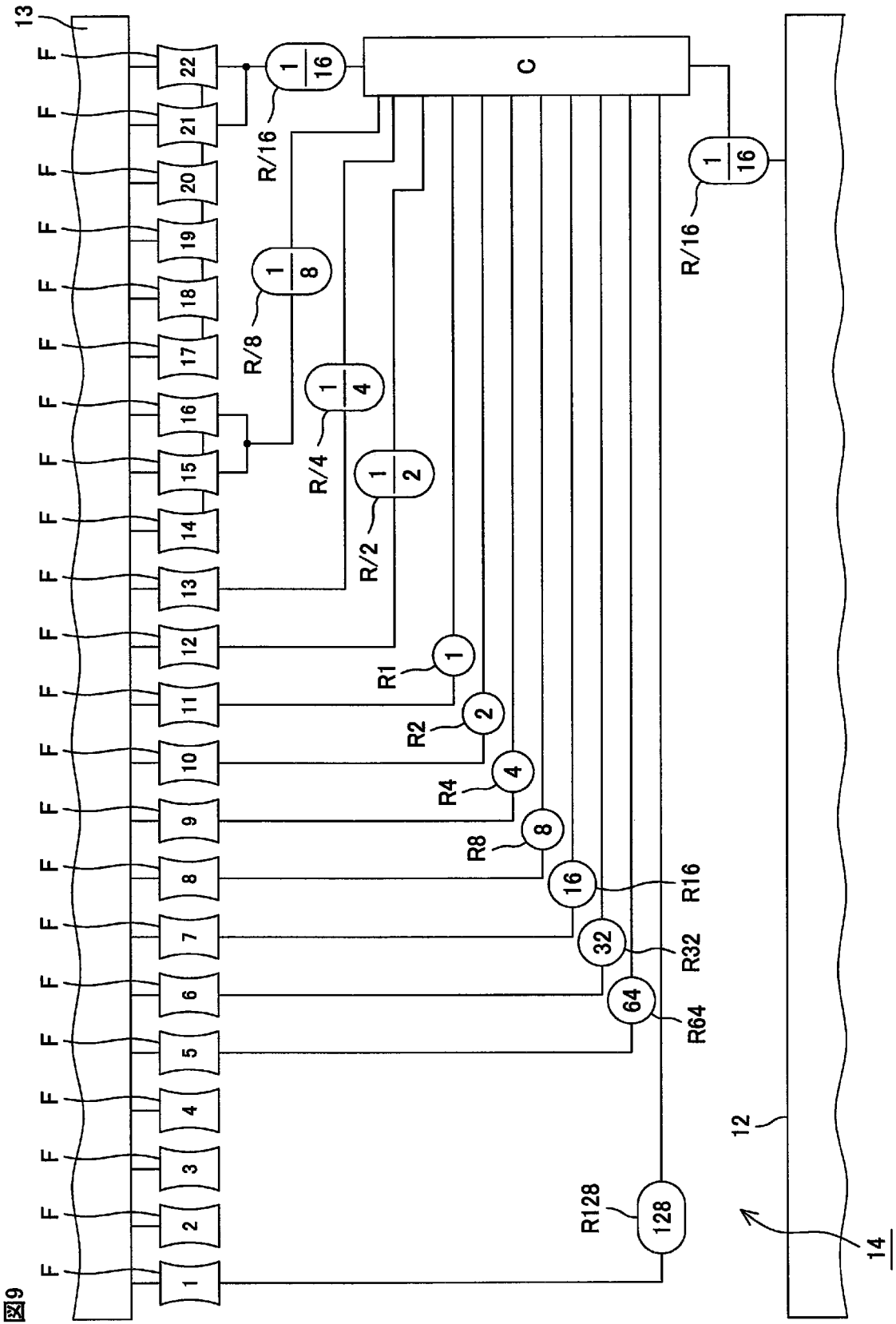


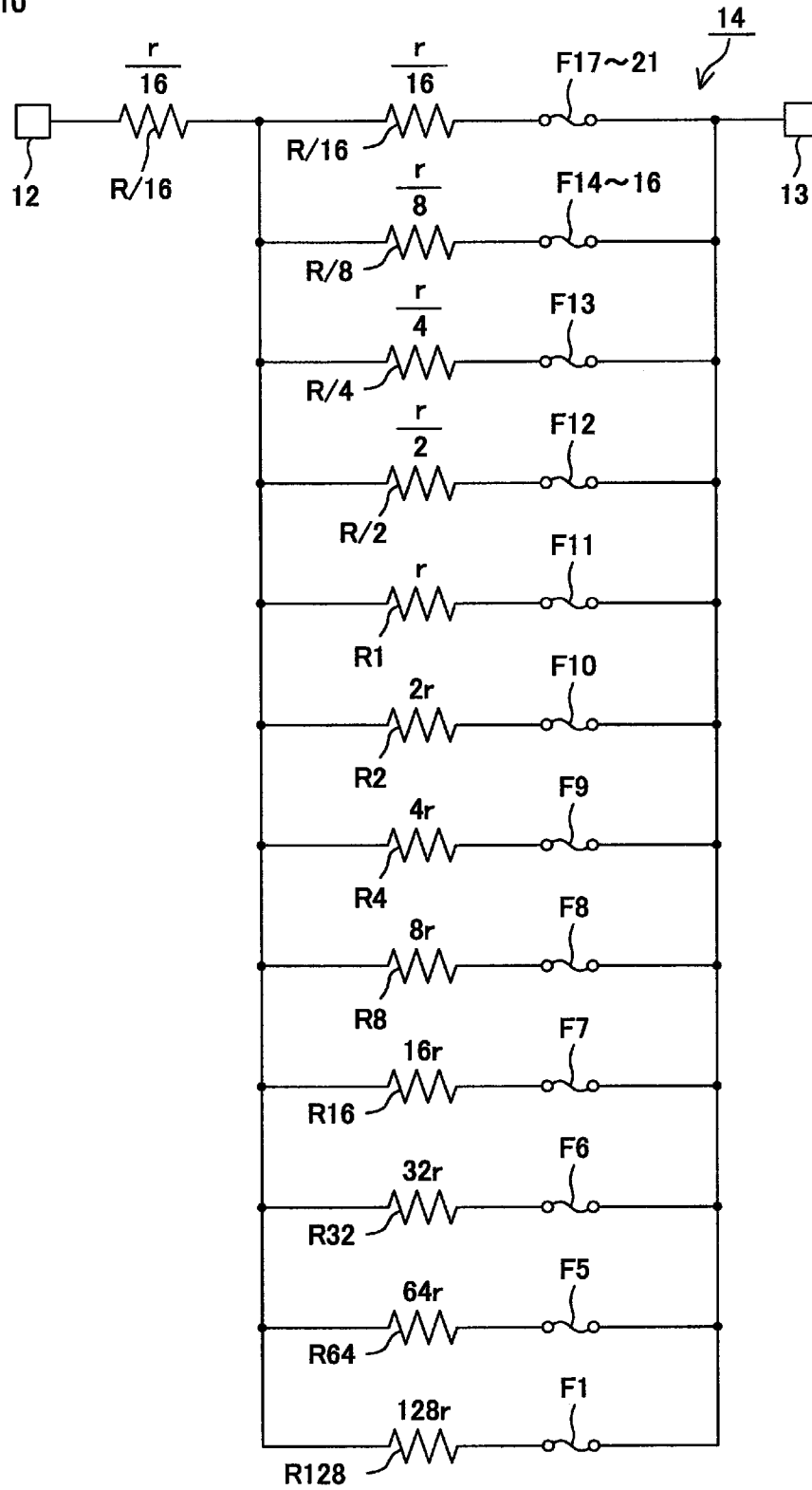
図8

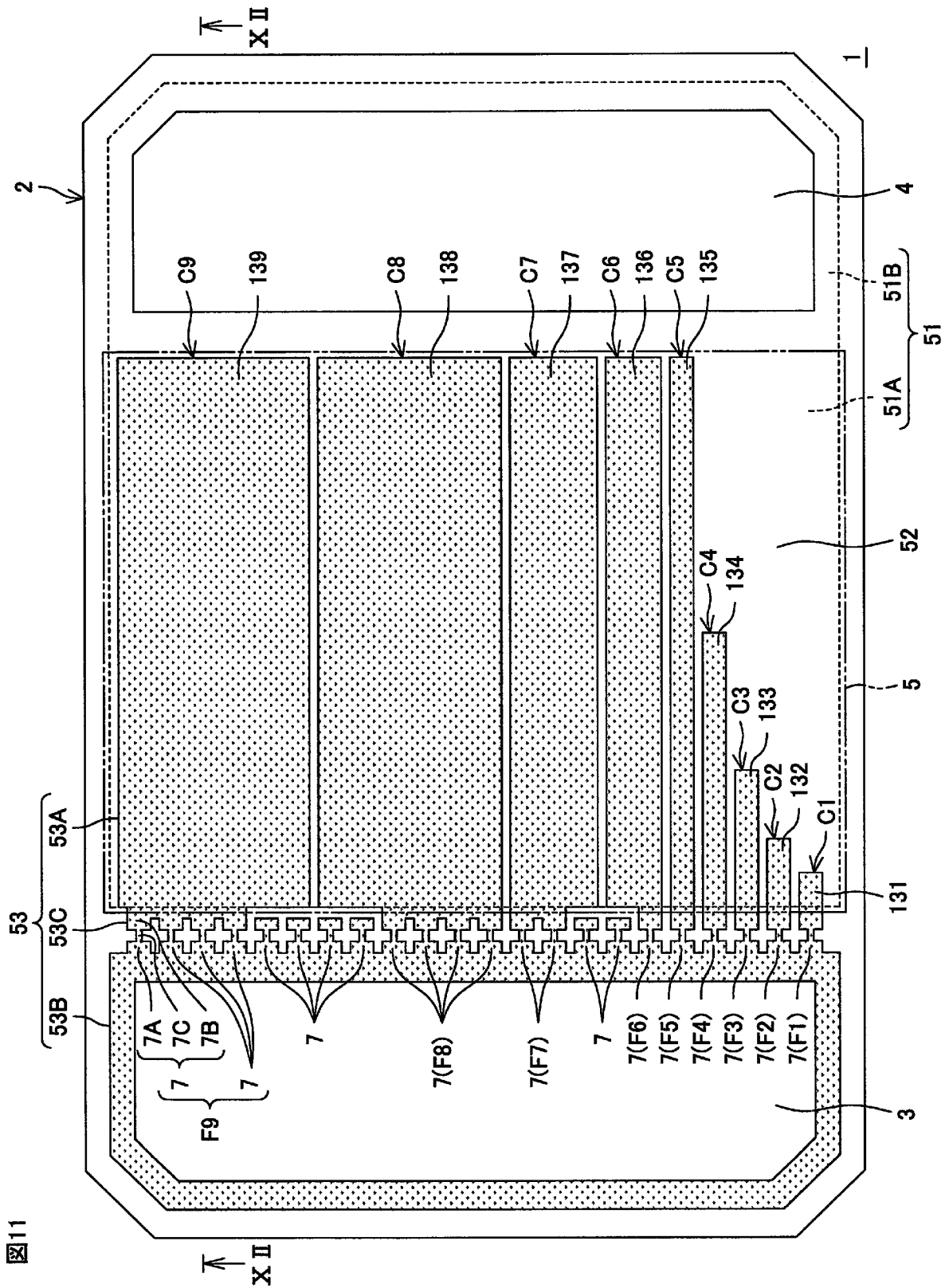
[図9]



[図10]

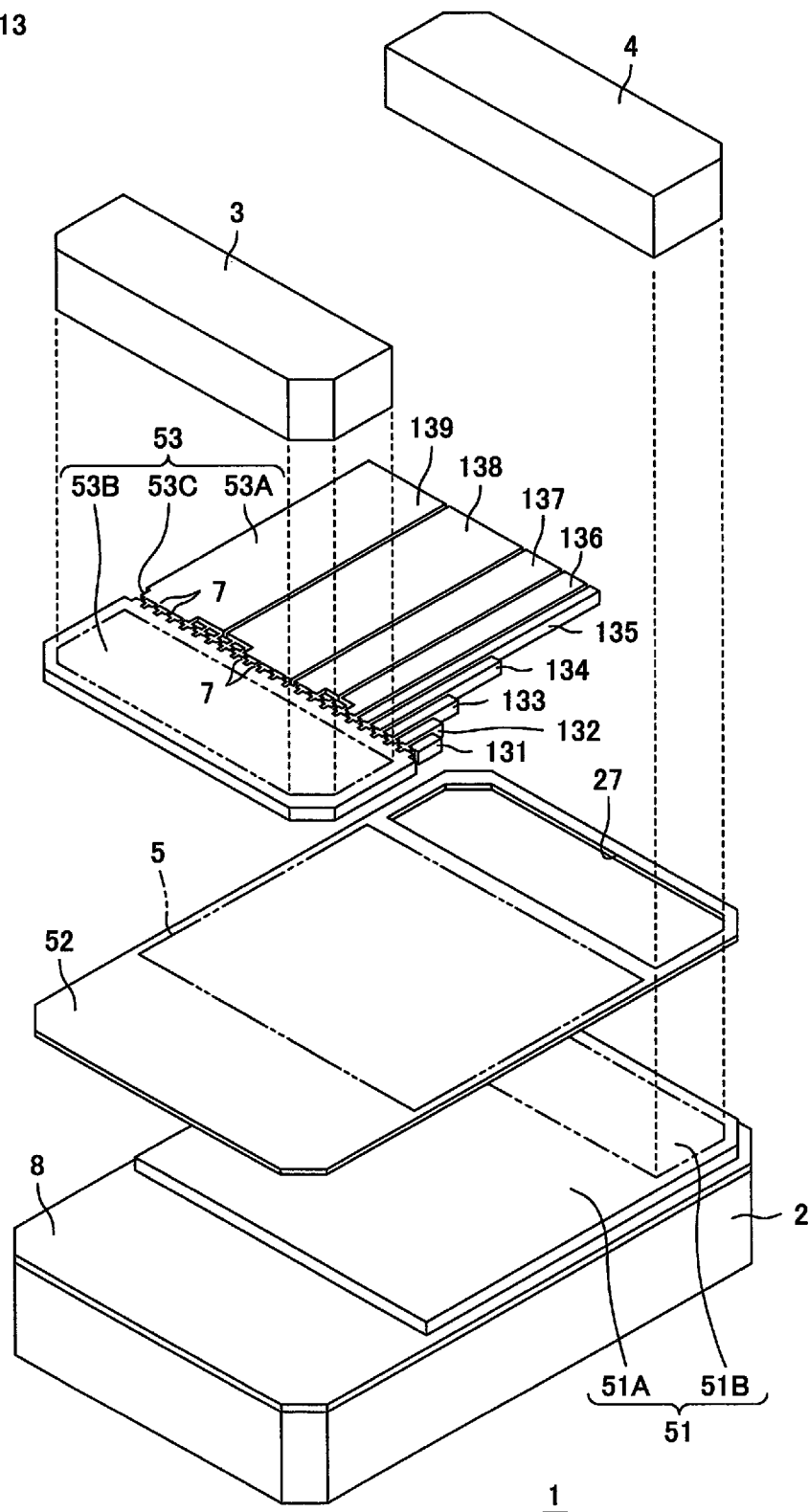
図10





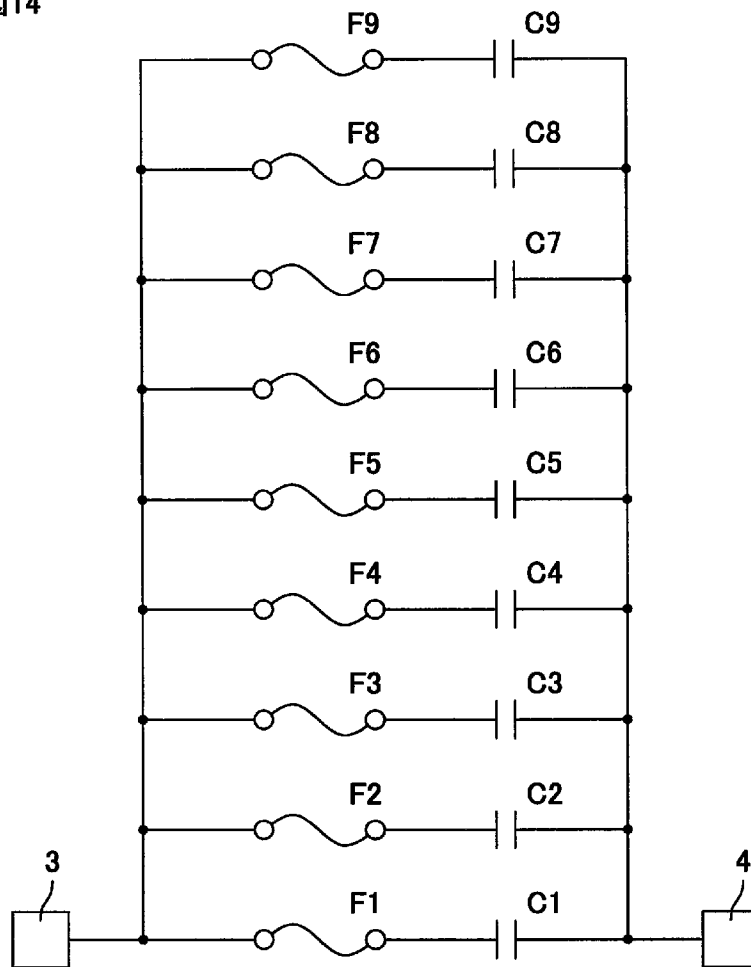
[図13]

図13

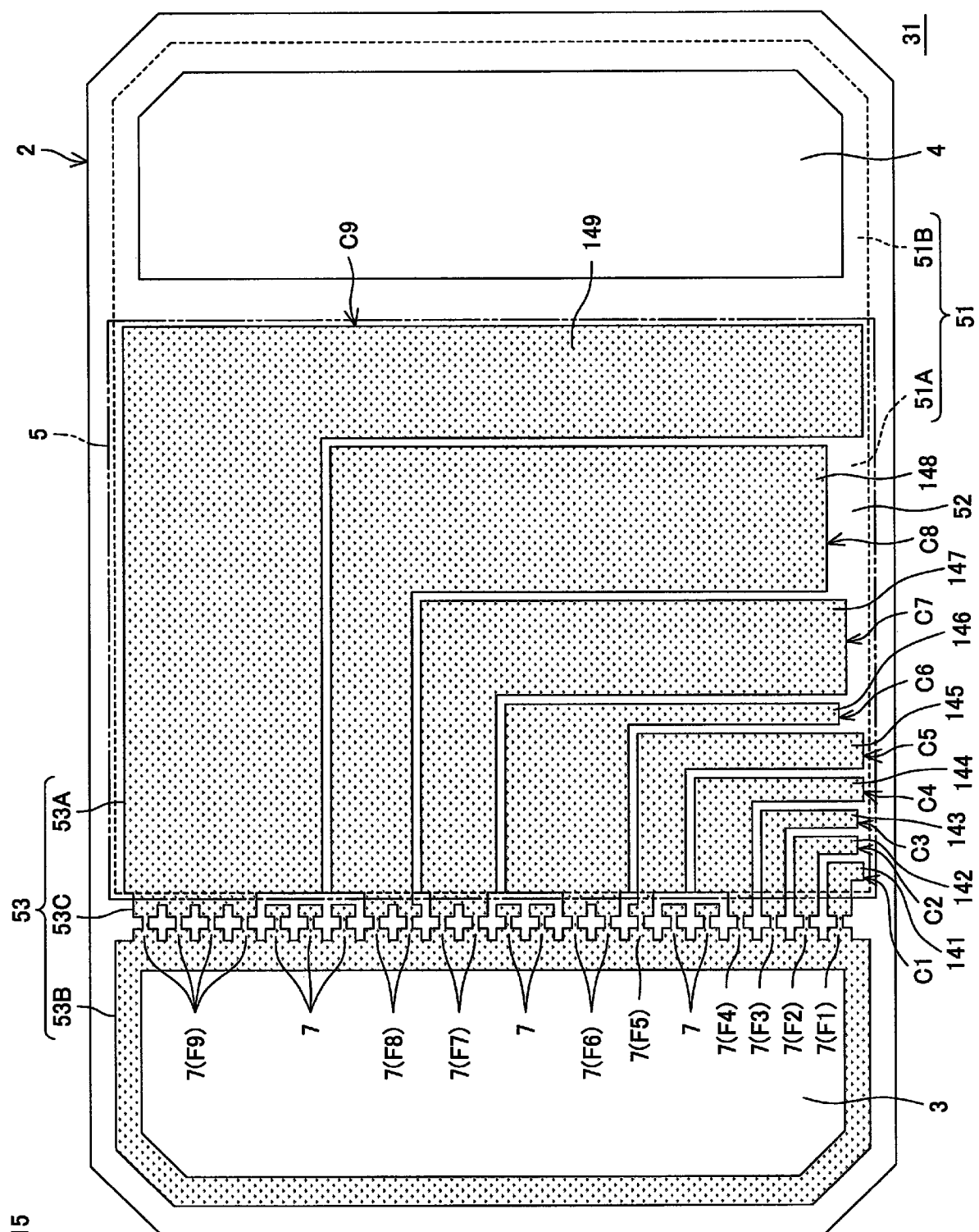


[図14]

図14

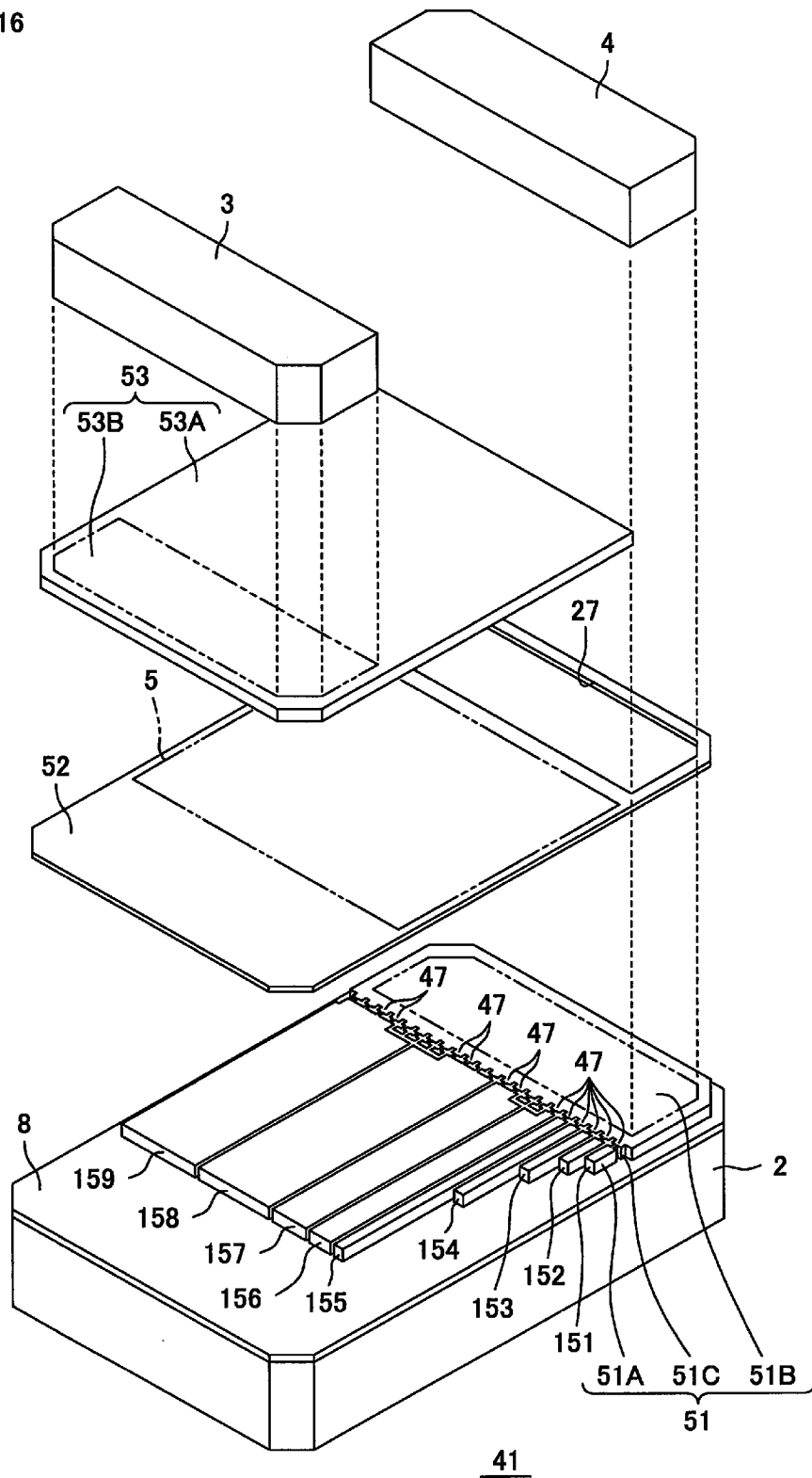


15



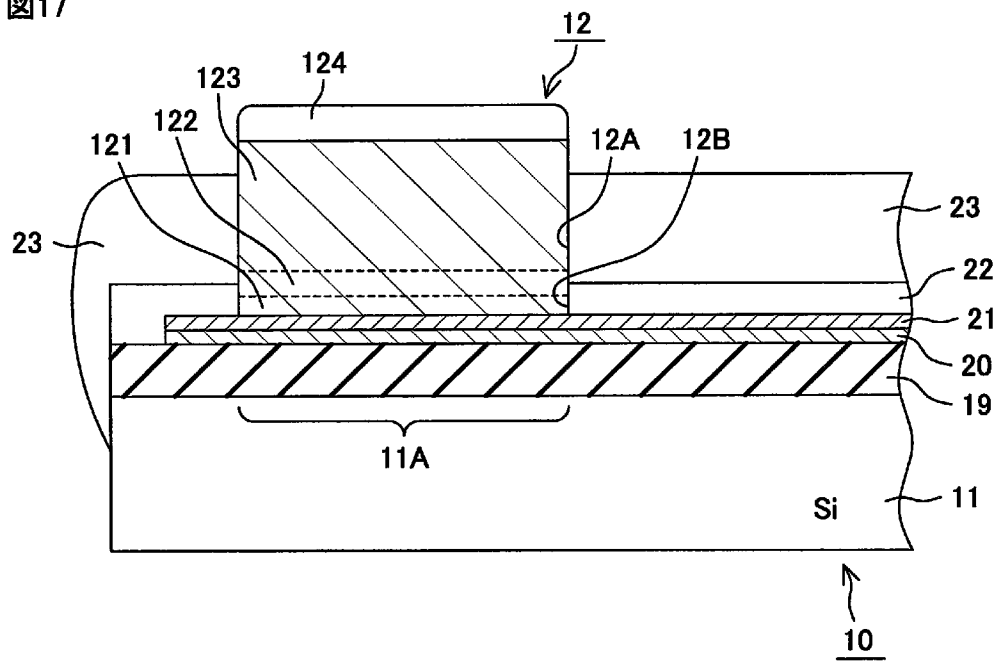
[図16]

図16



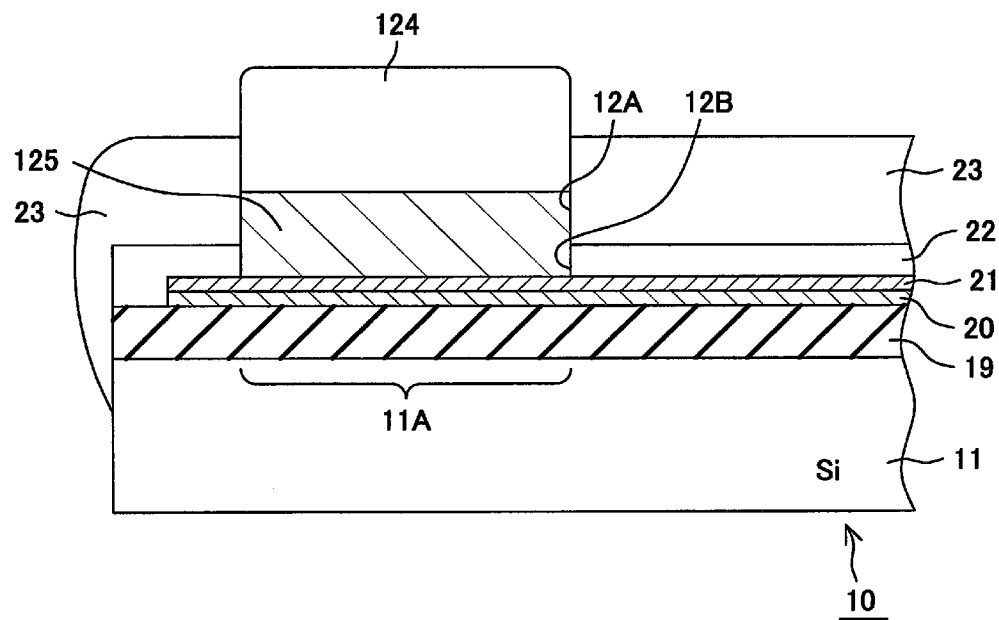
[図17]

図17



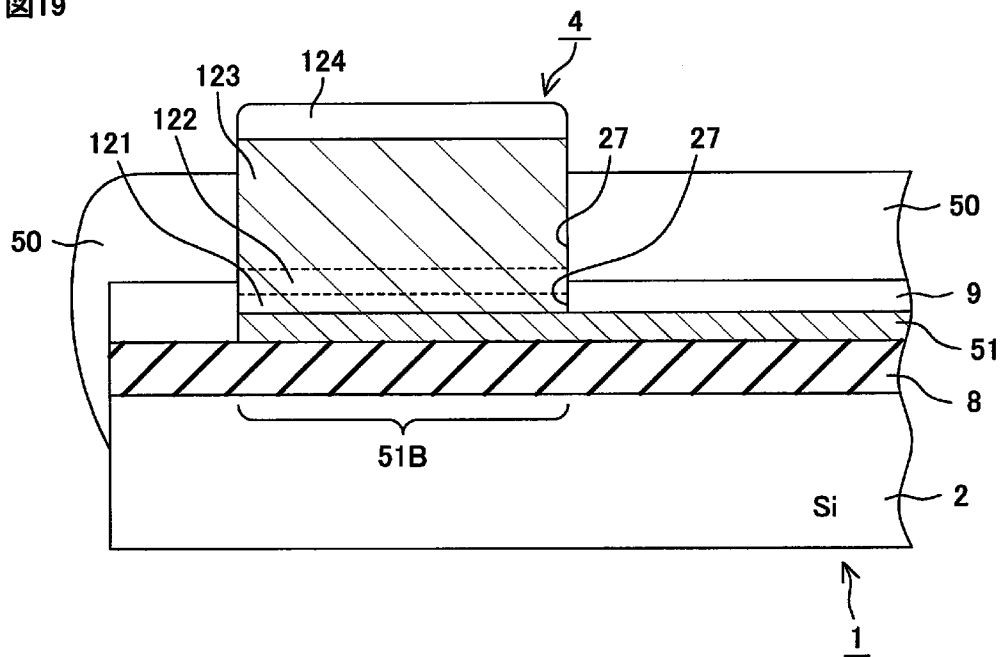
[図18]

図18



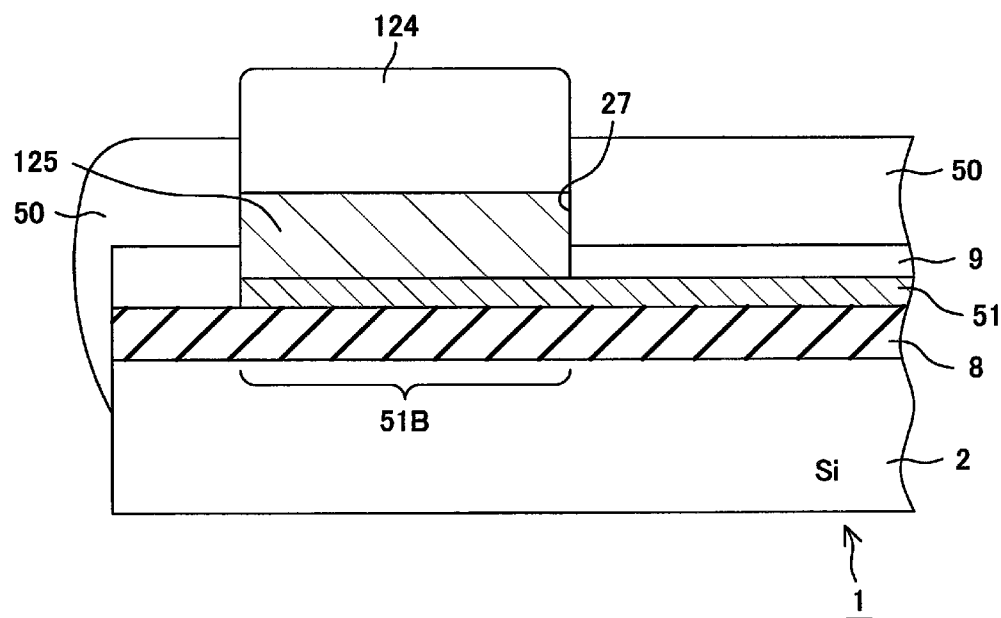
[図19]

図19



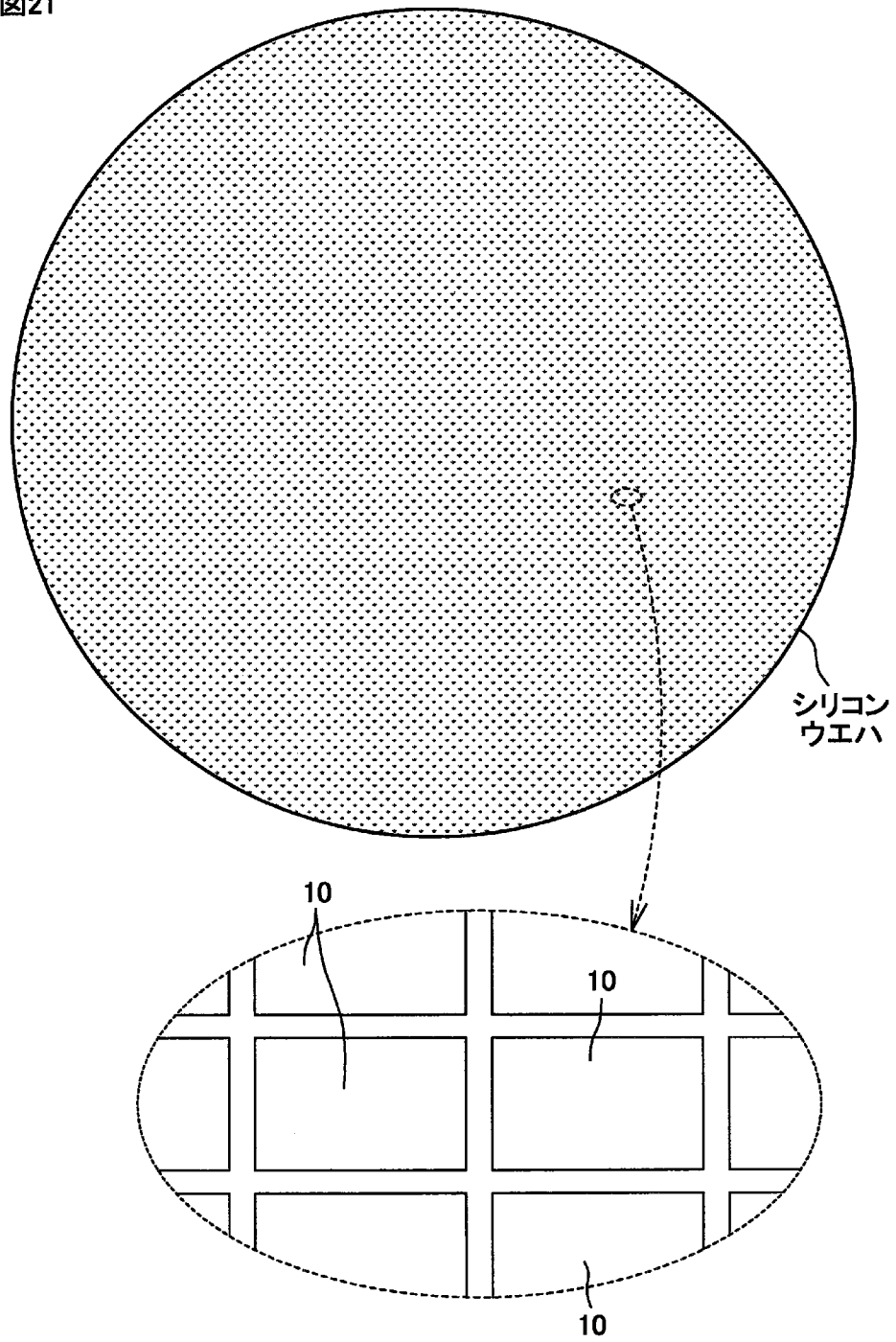
[図20]

図20



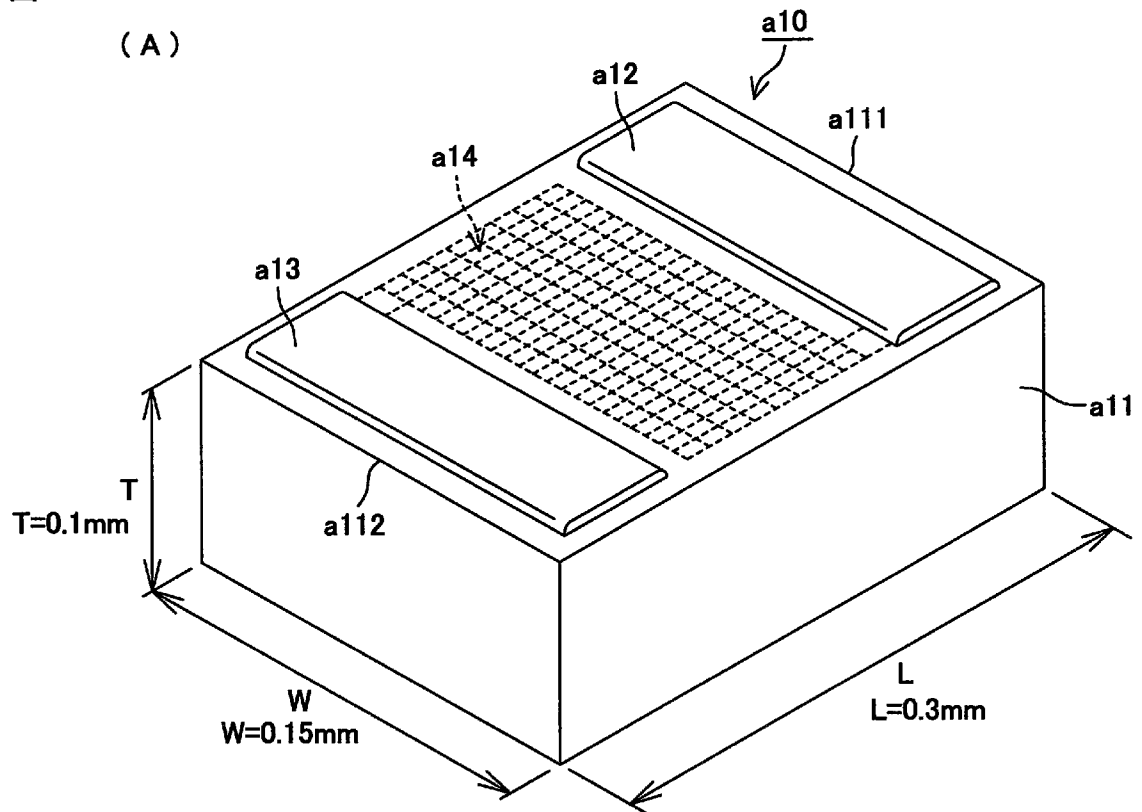
[図21]

図21

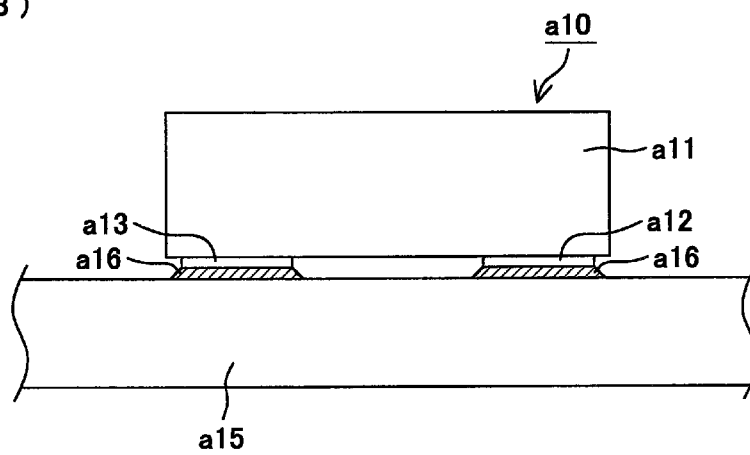


[図22]

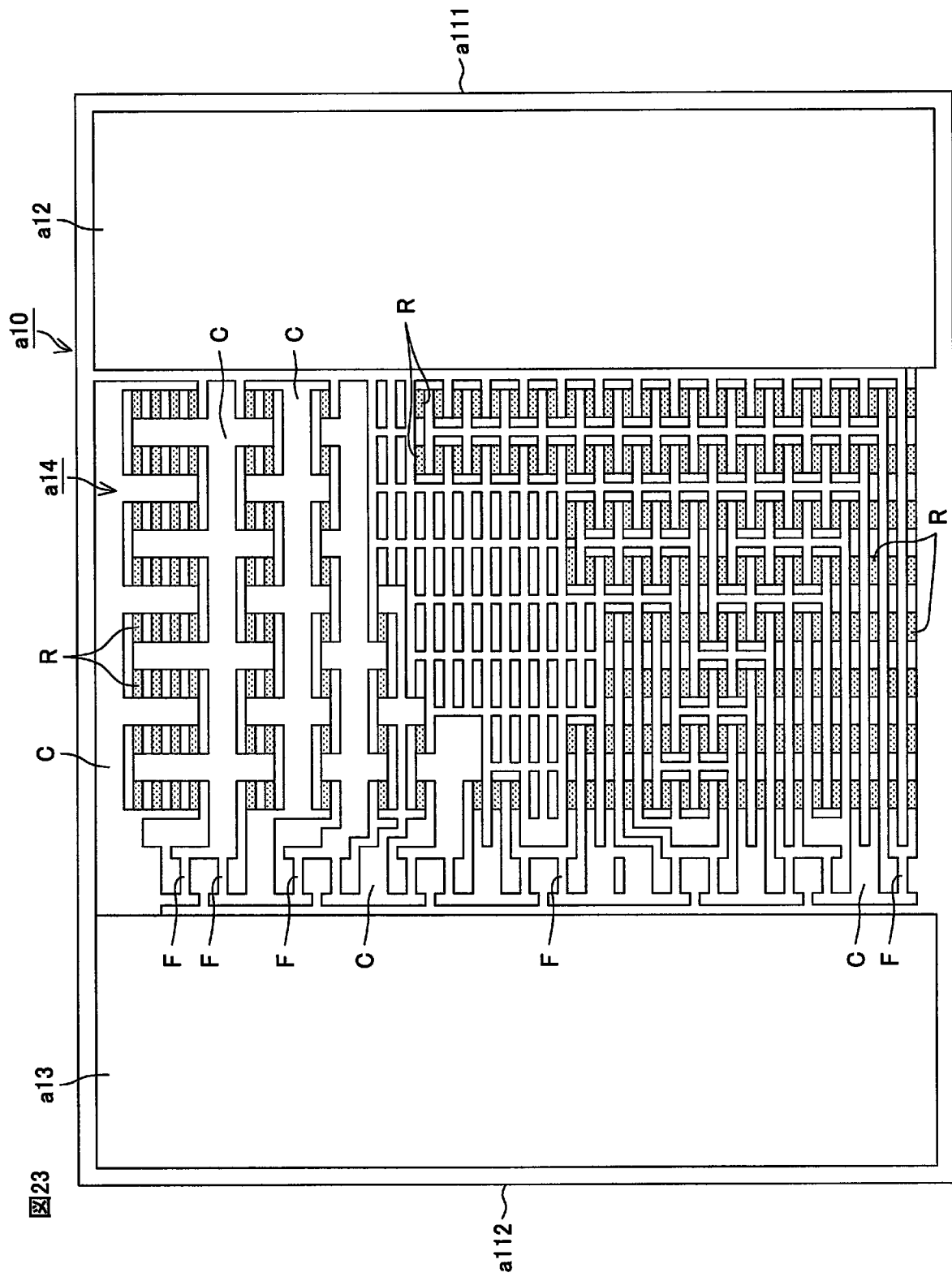
図22



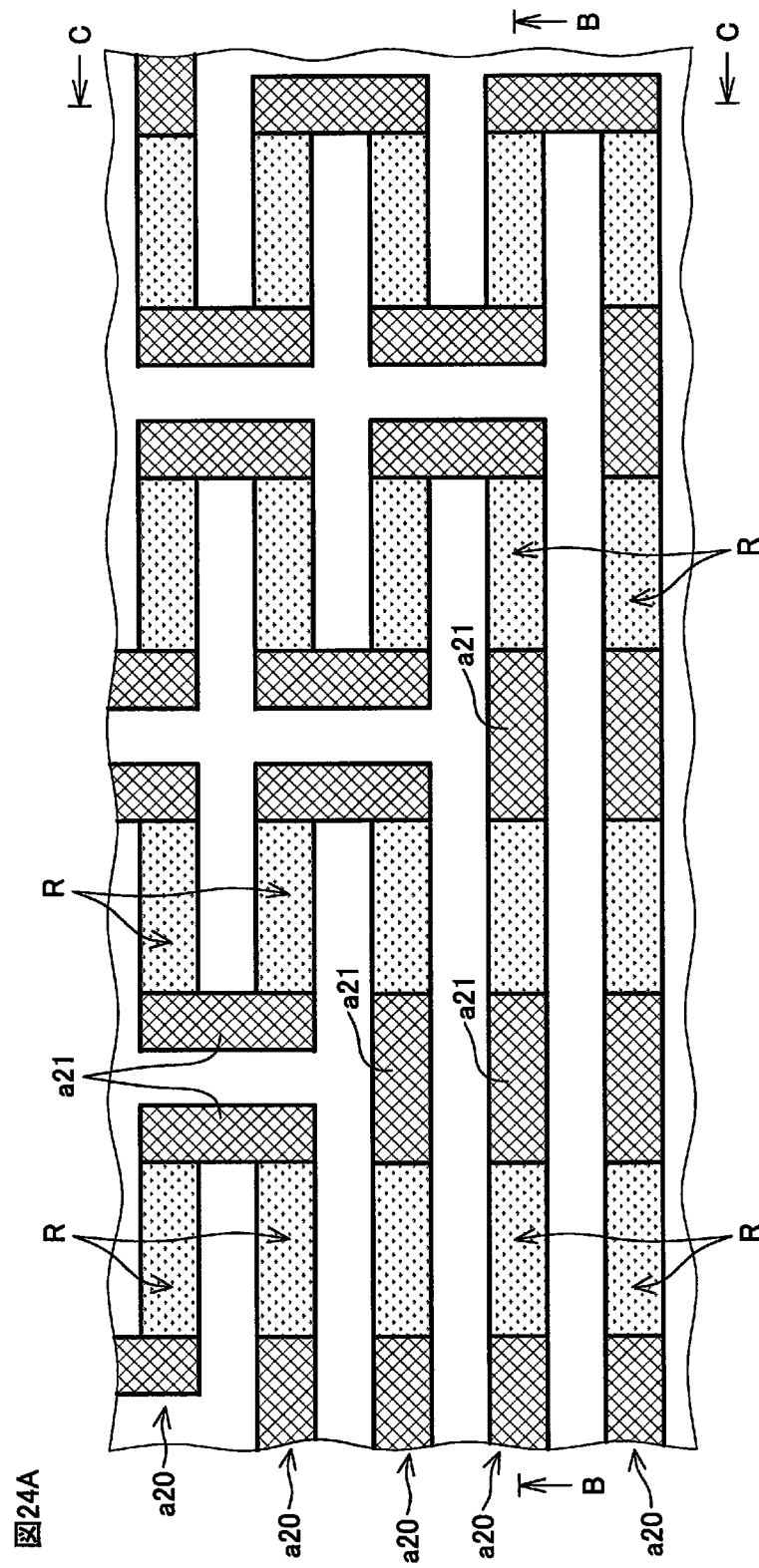
(B)



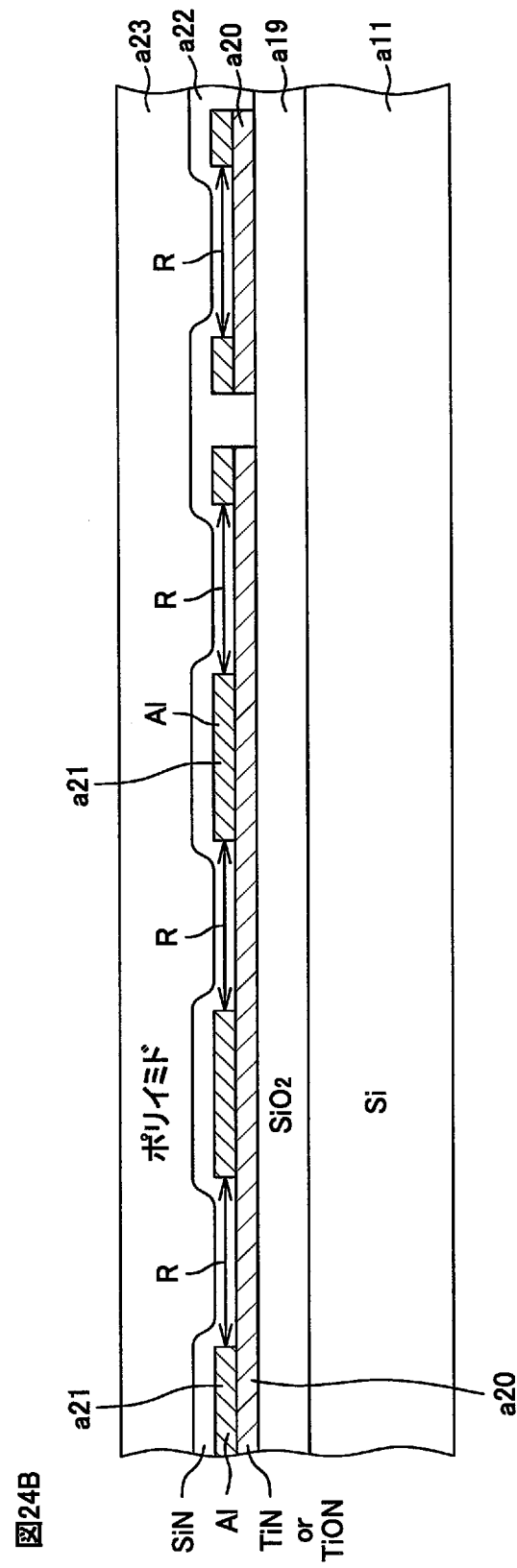
[図23]



[図24A]

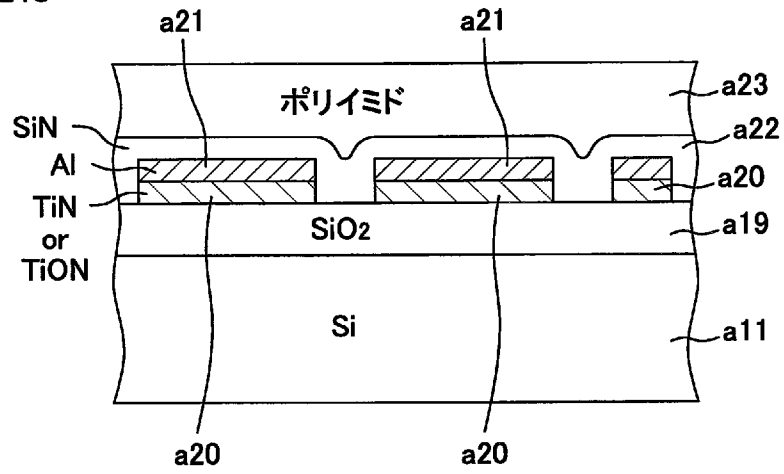


[図24B]



[図24C]

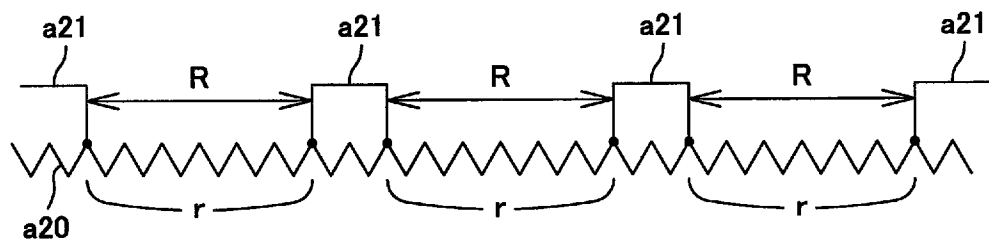
図24C



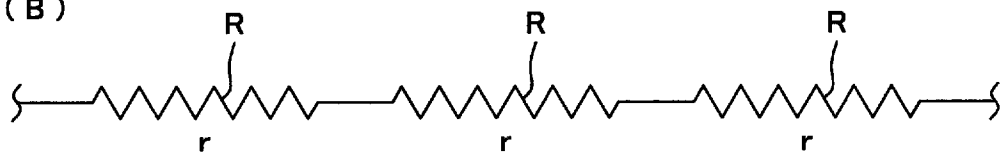
[図25]

図25

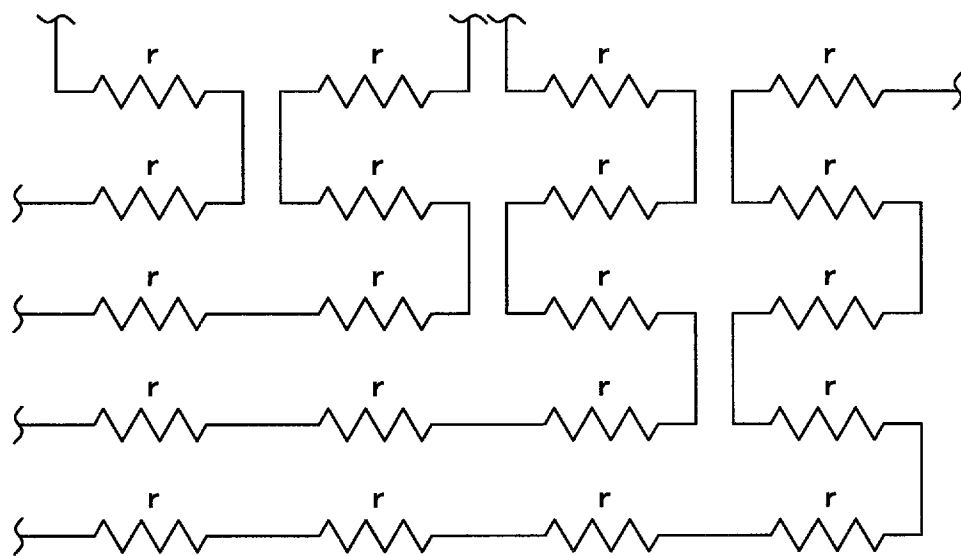
(A)



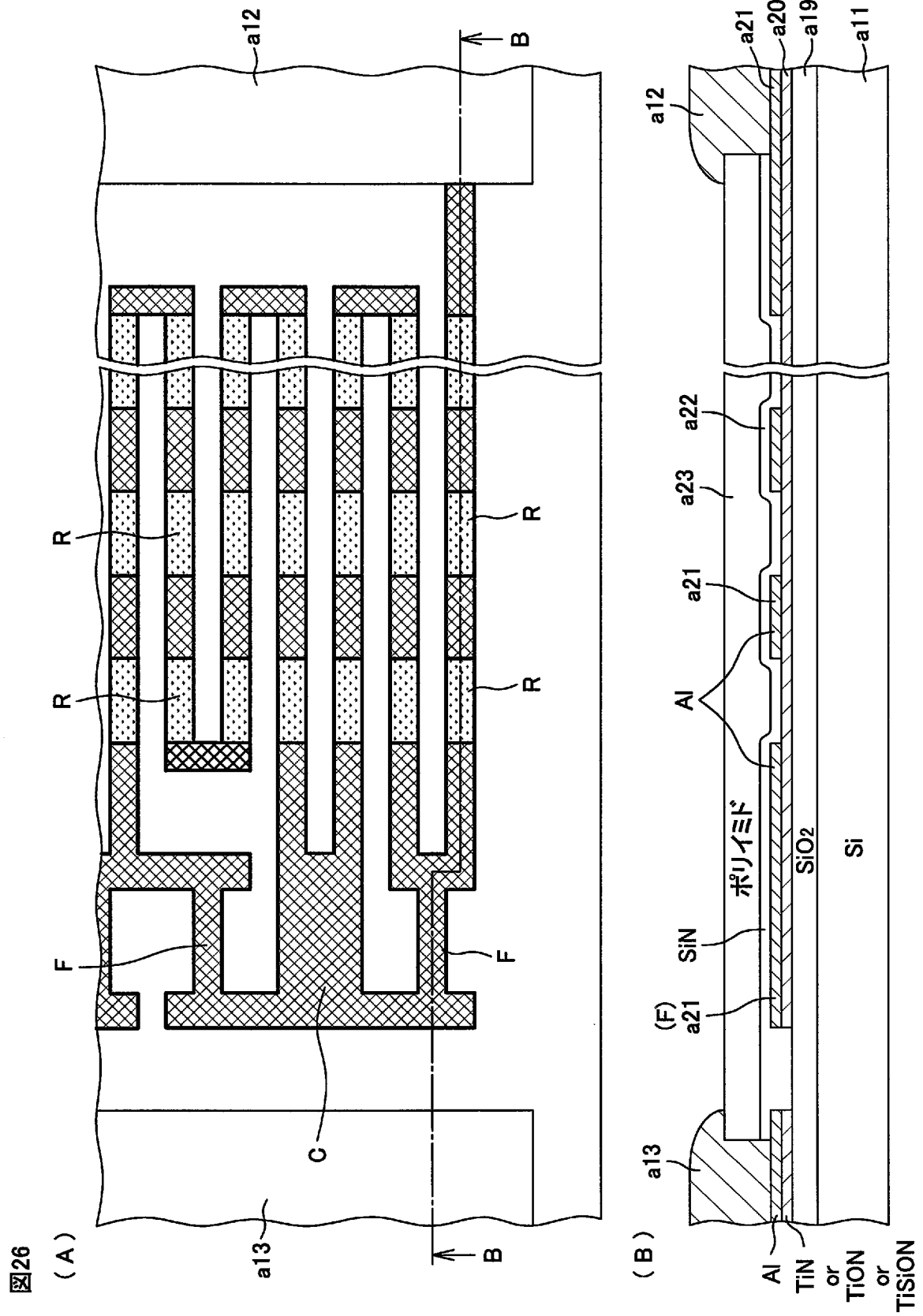
(B)



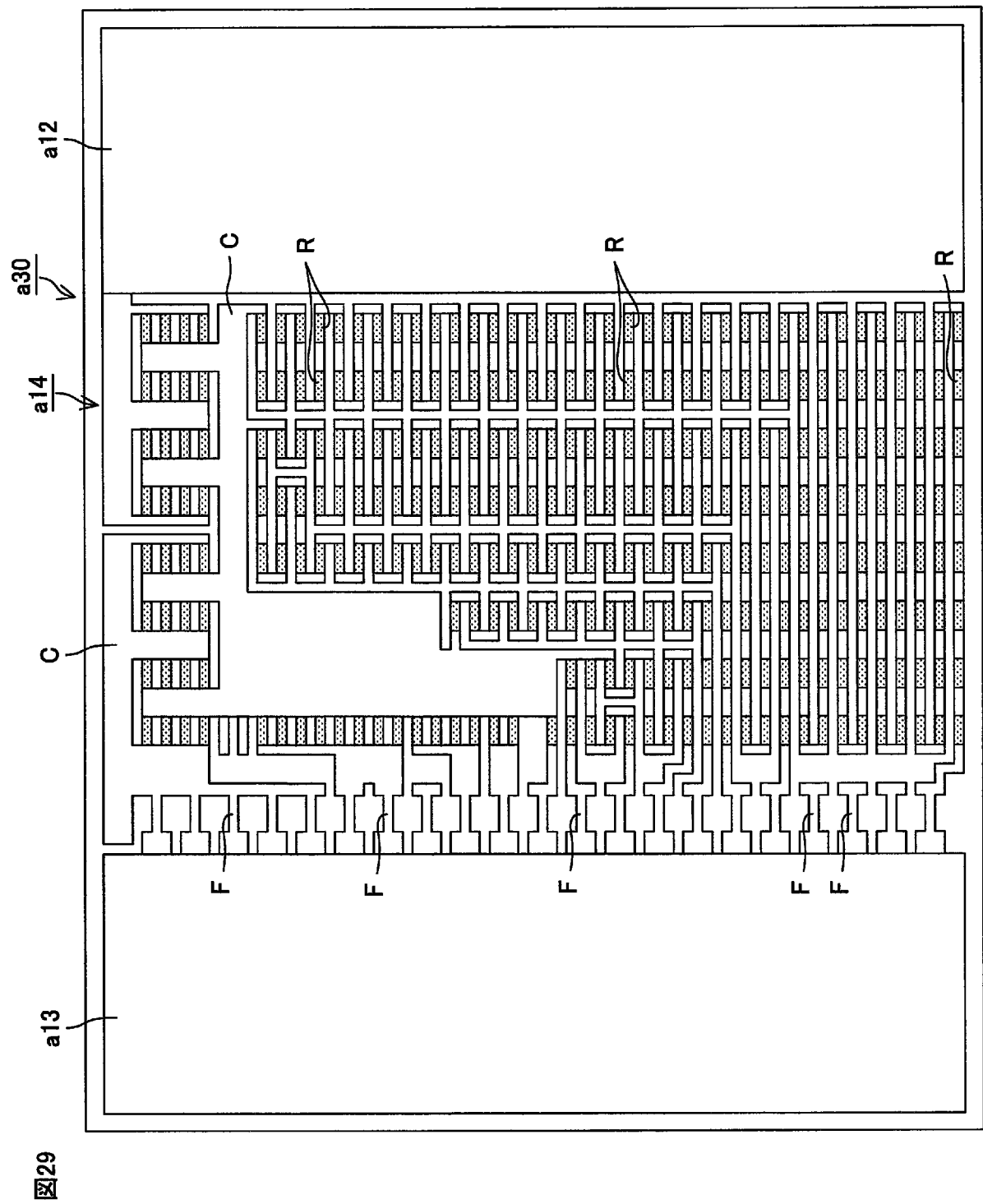
(C)



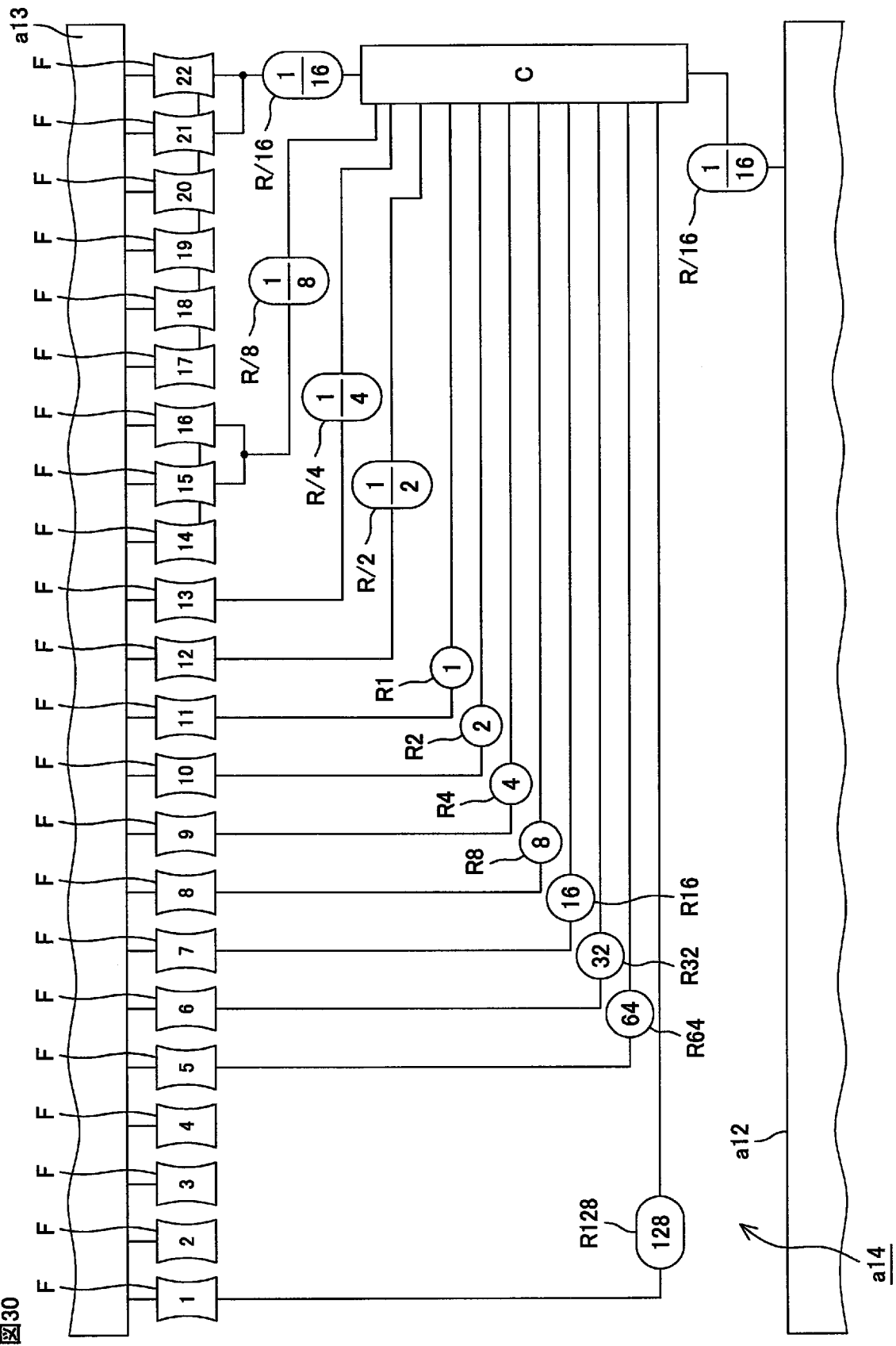
[図26]



[図29]

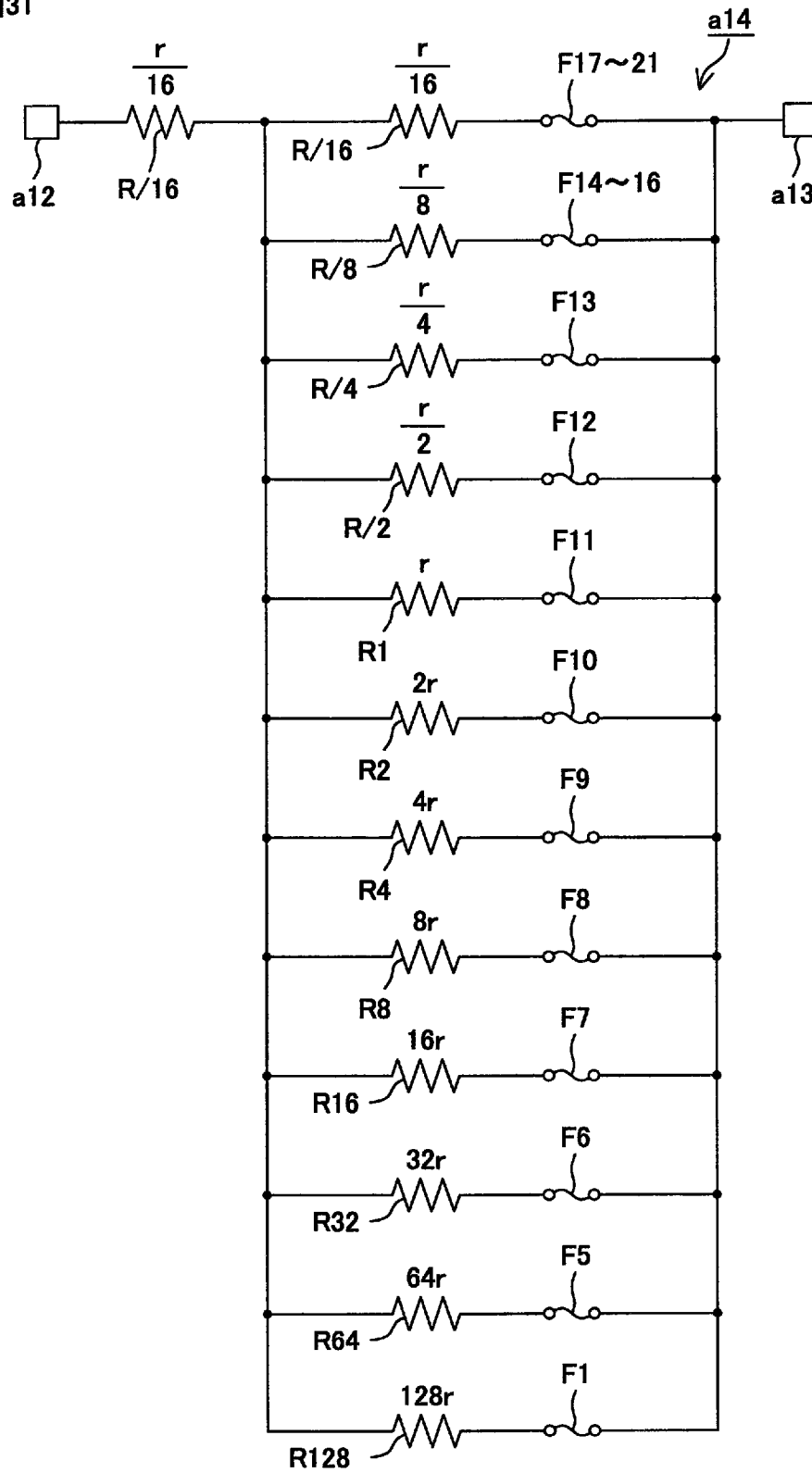


30

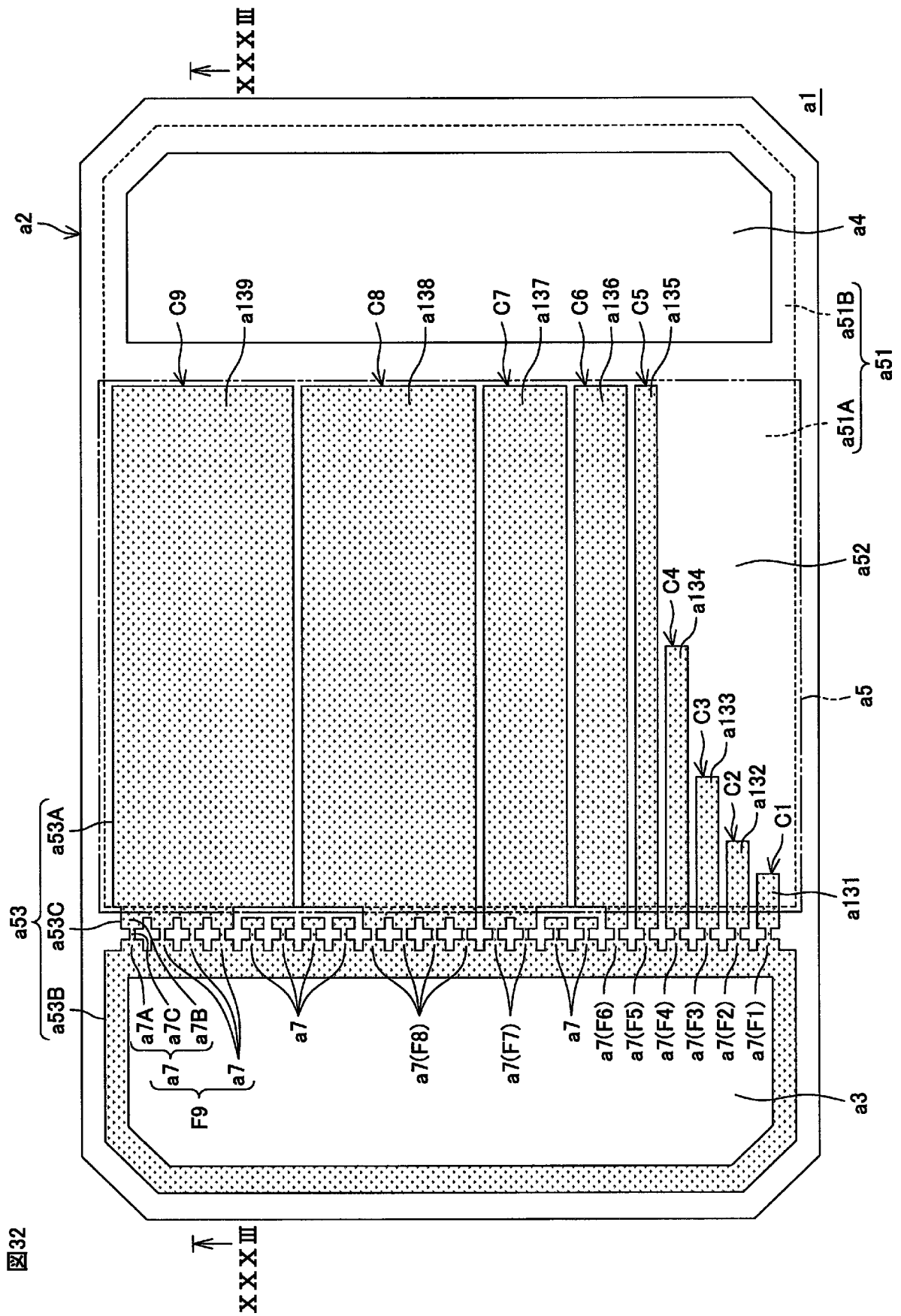


[図31]

図31

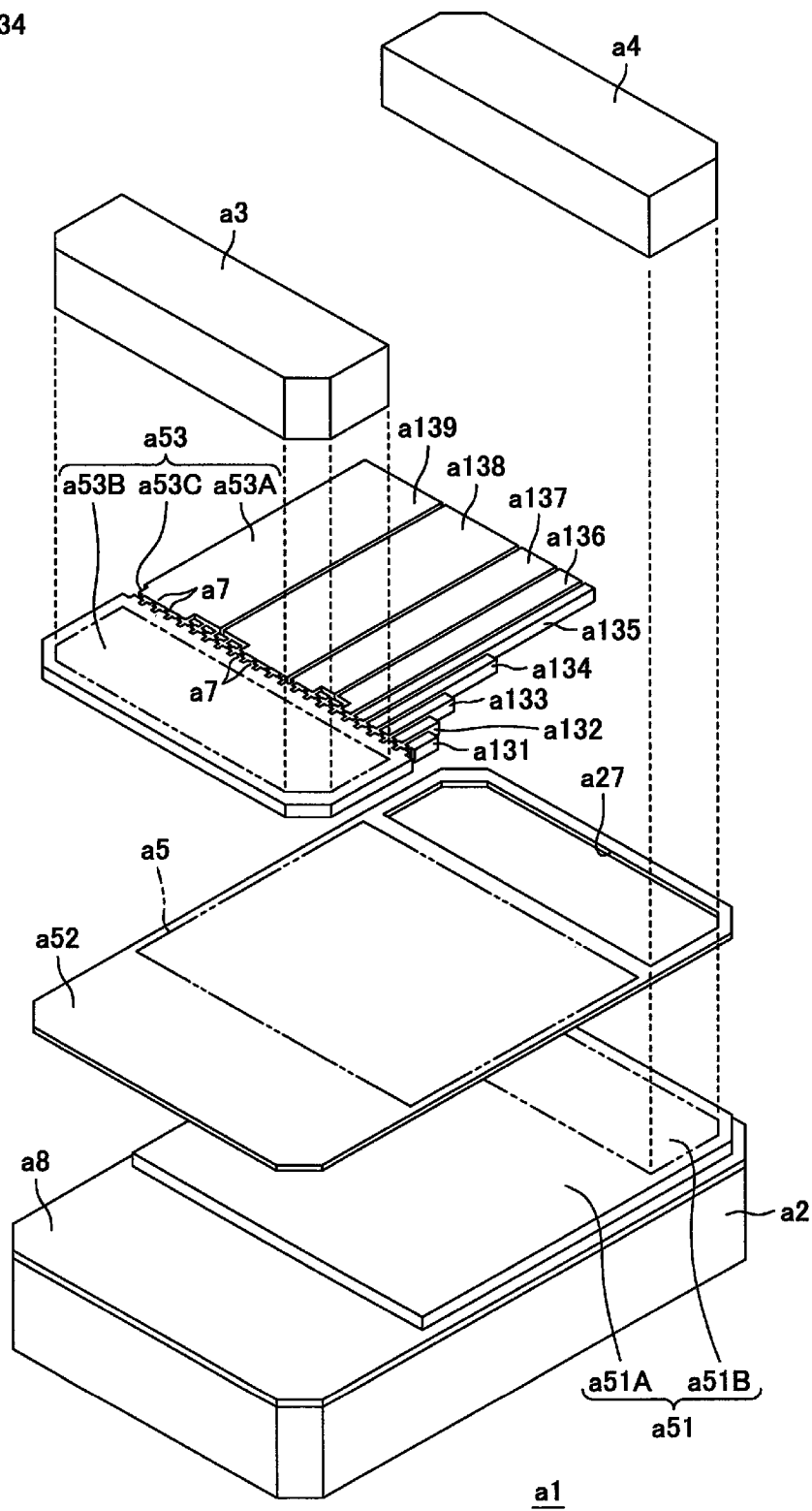


[図32]



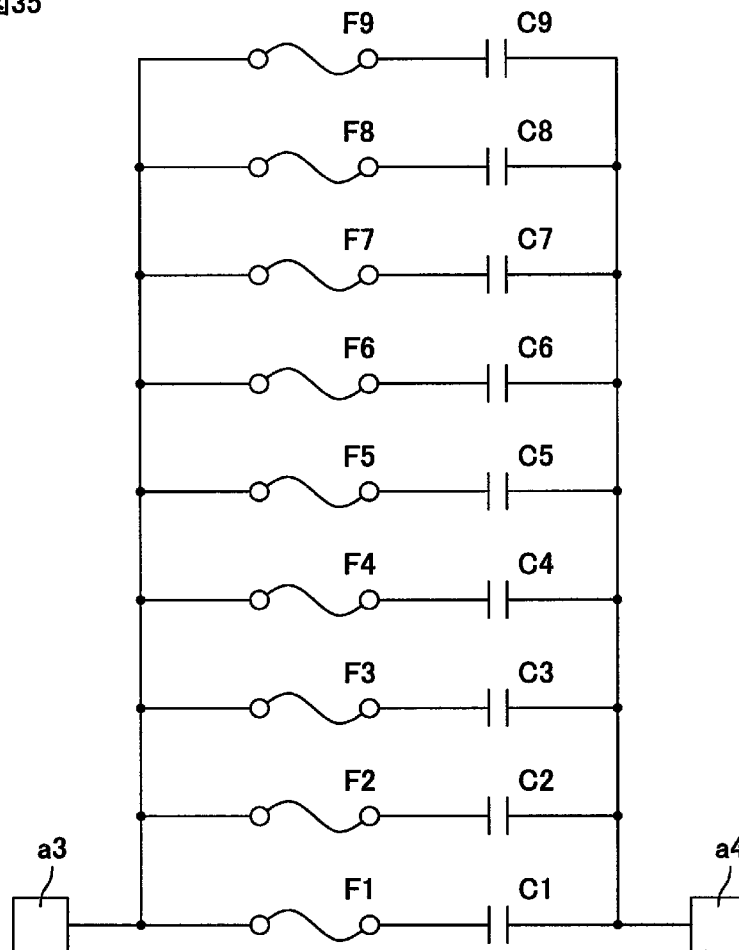
[図34]

図34

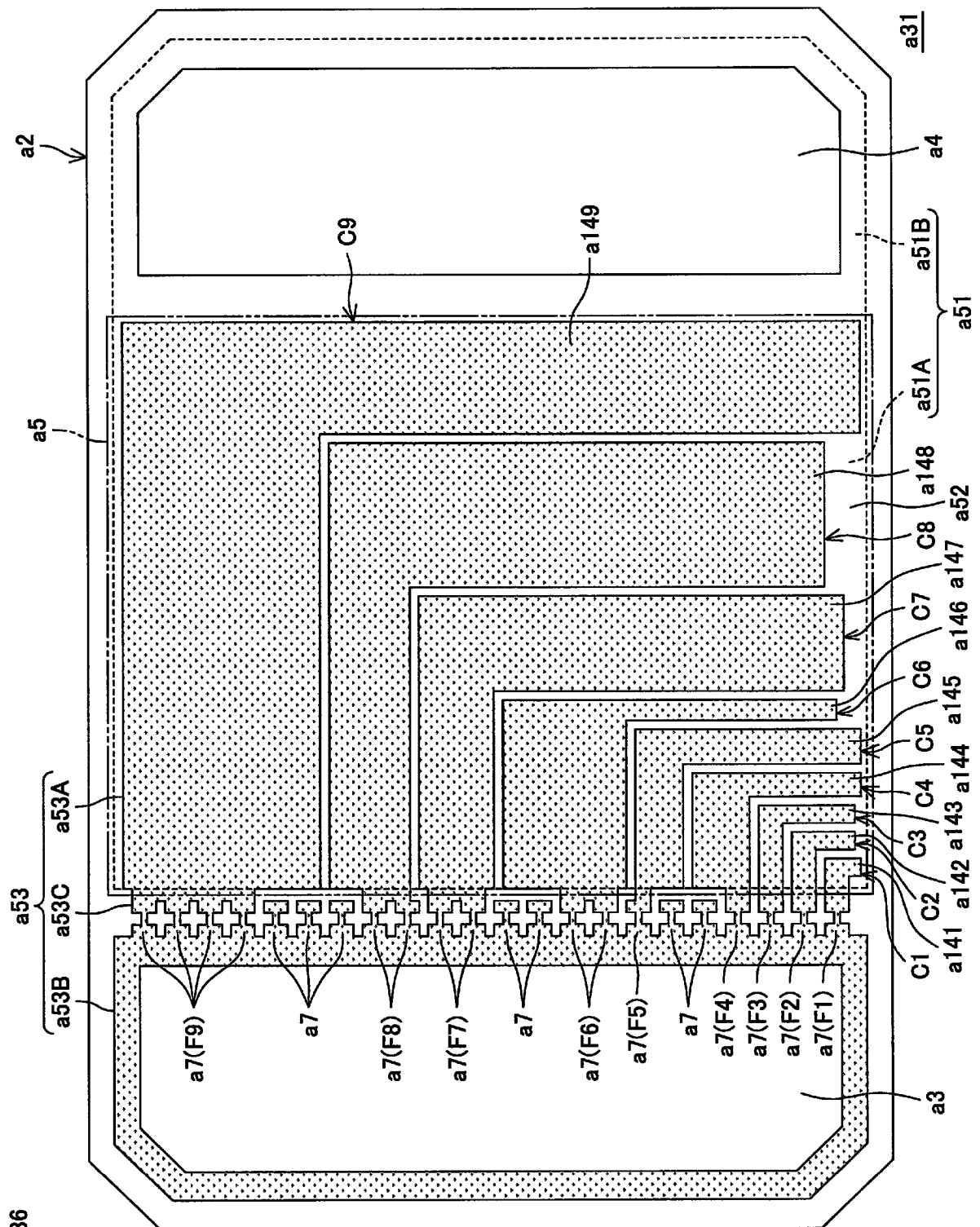


[図35]

図35



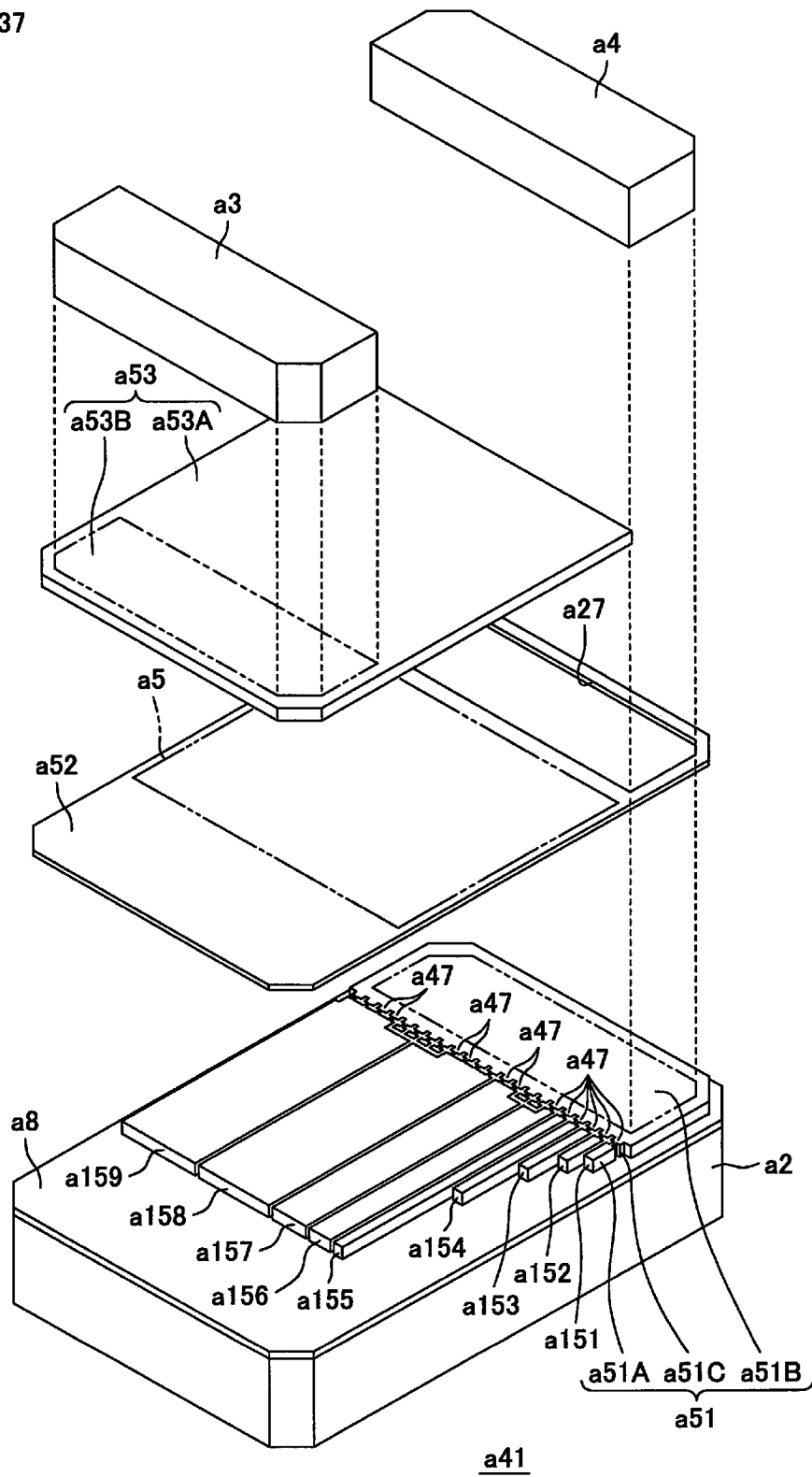
[図36]



[図36]

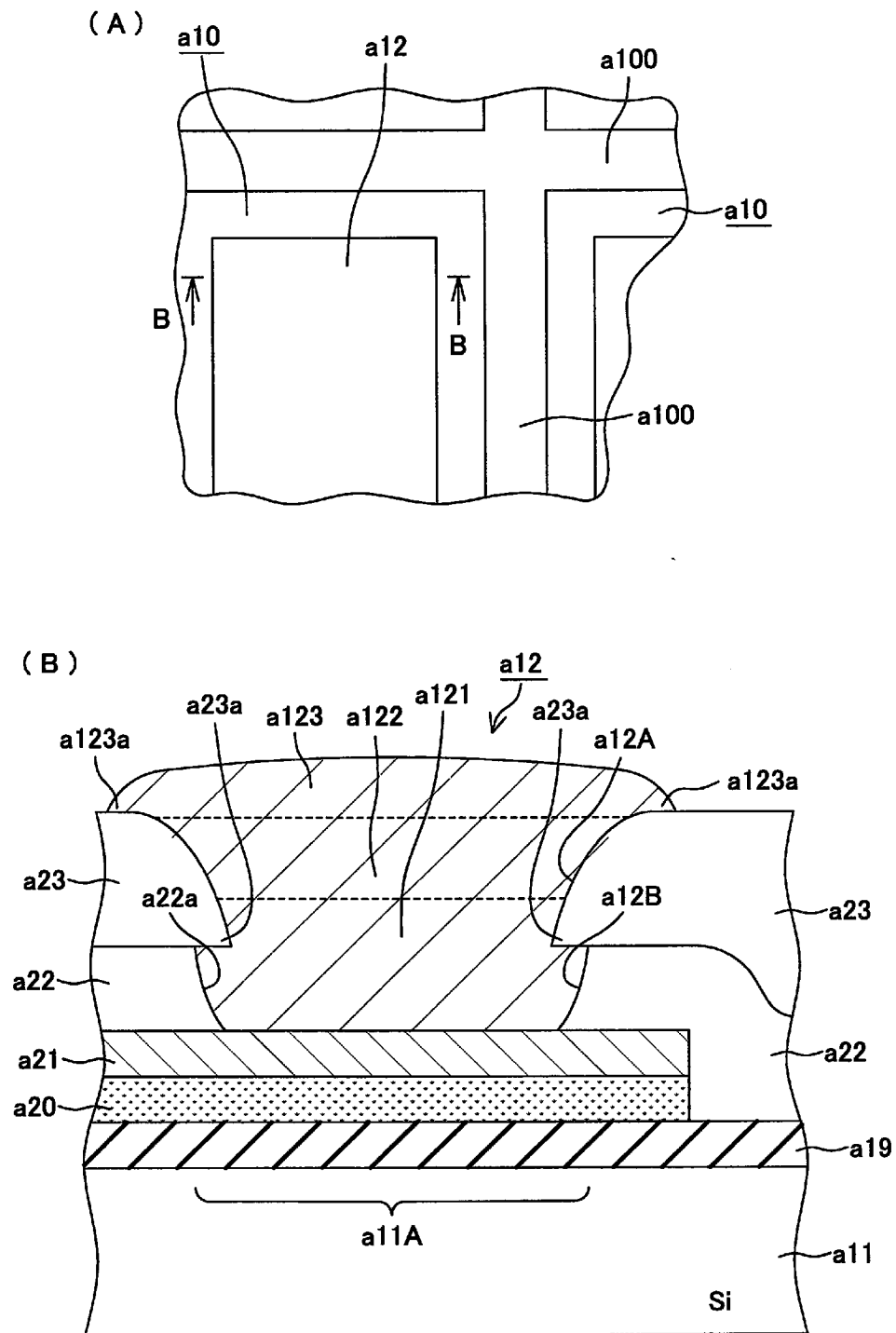
[図37]

図37



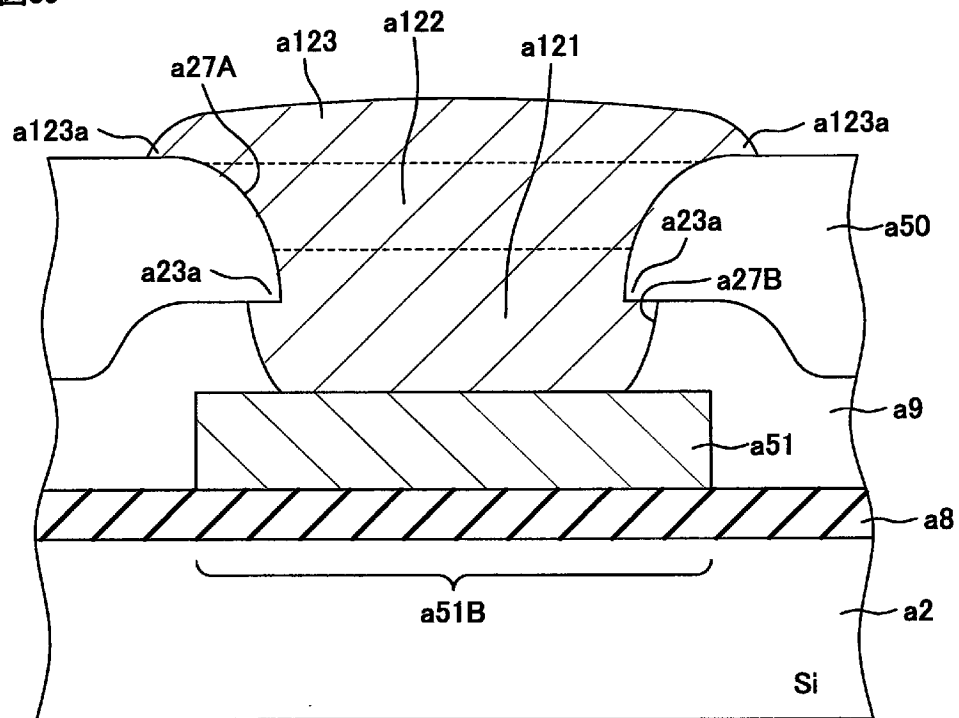
[図38]

図38



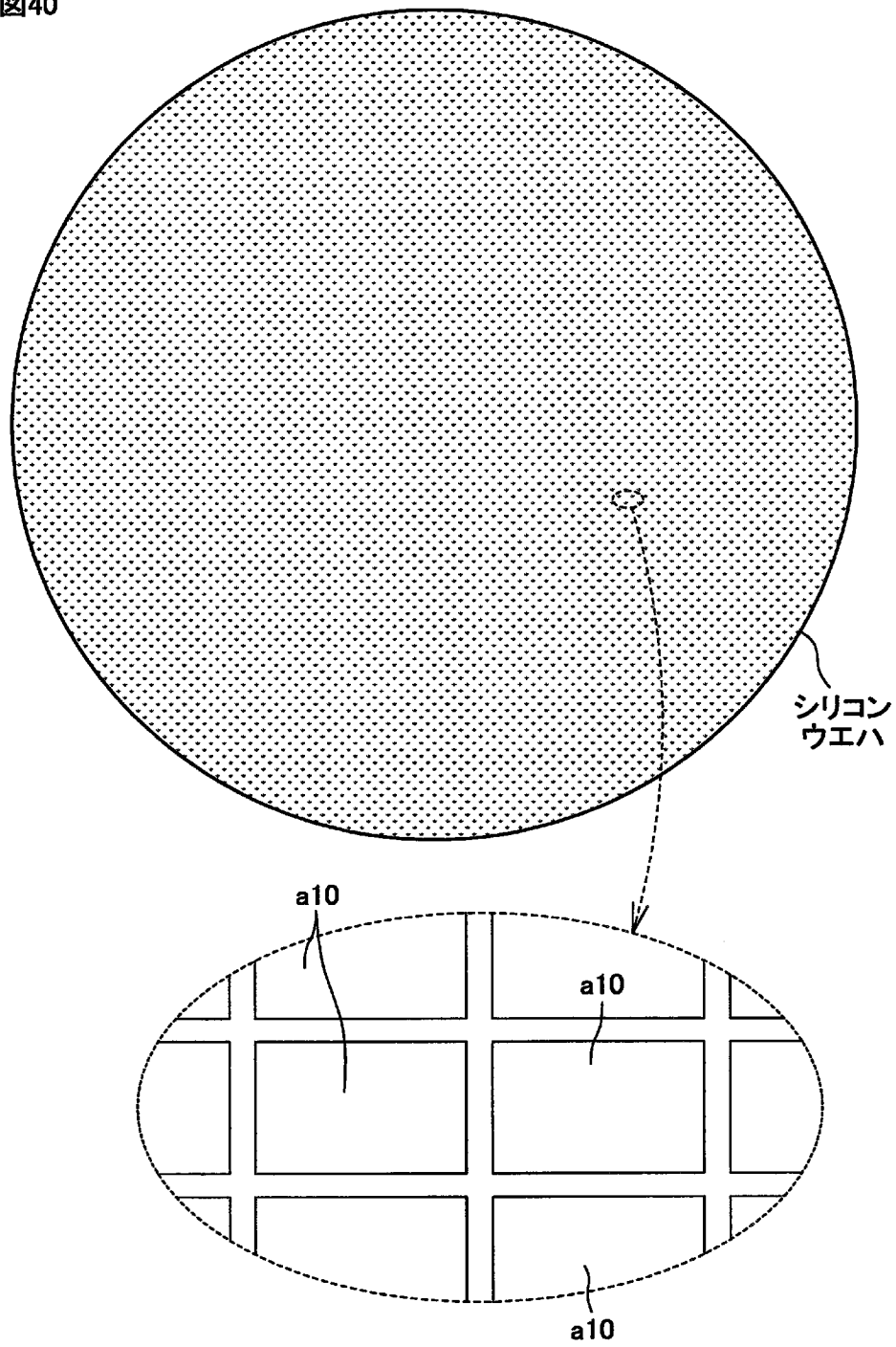
[図39]

図39



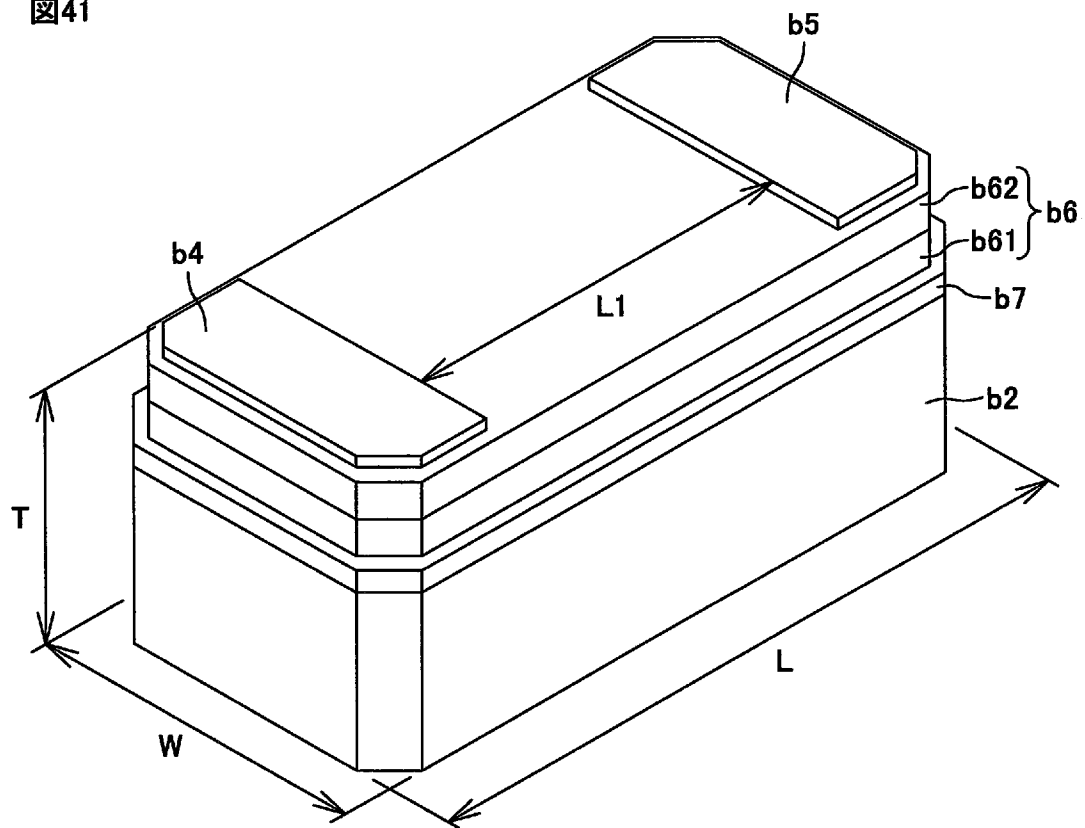
[図40]

図40



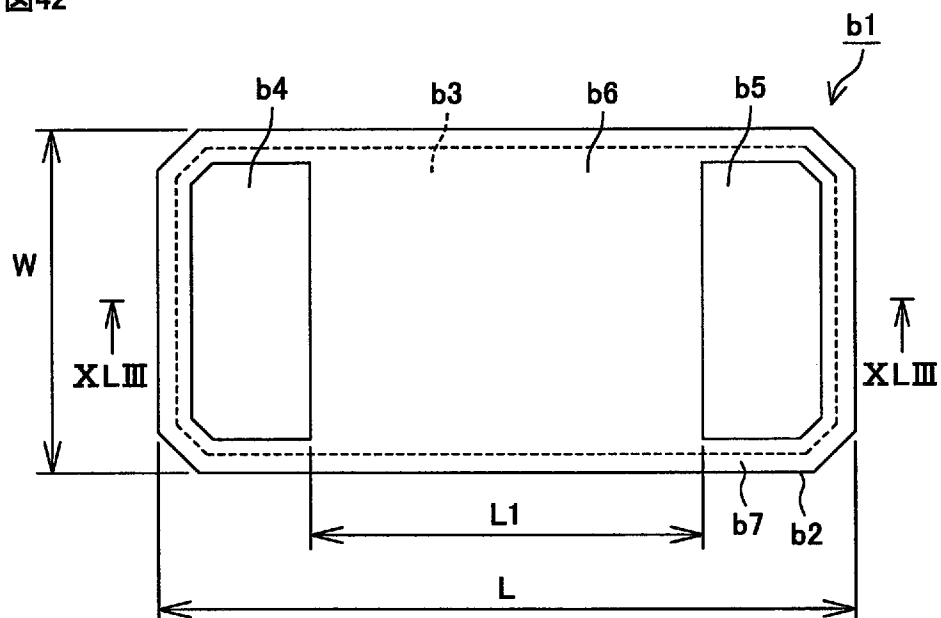
[図41]

図41

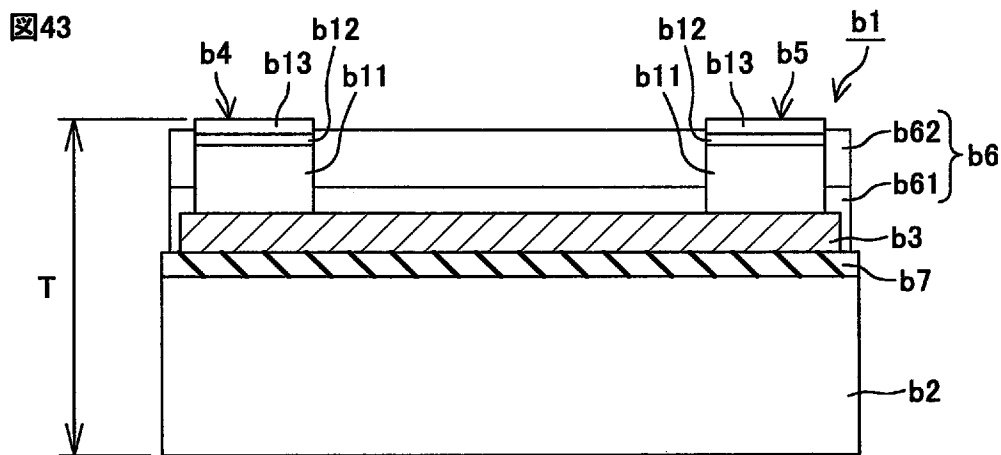


[図42]

図42

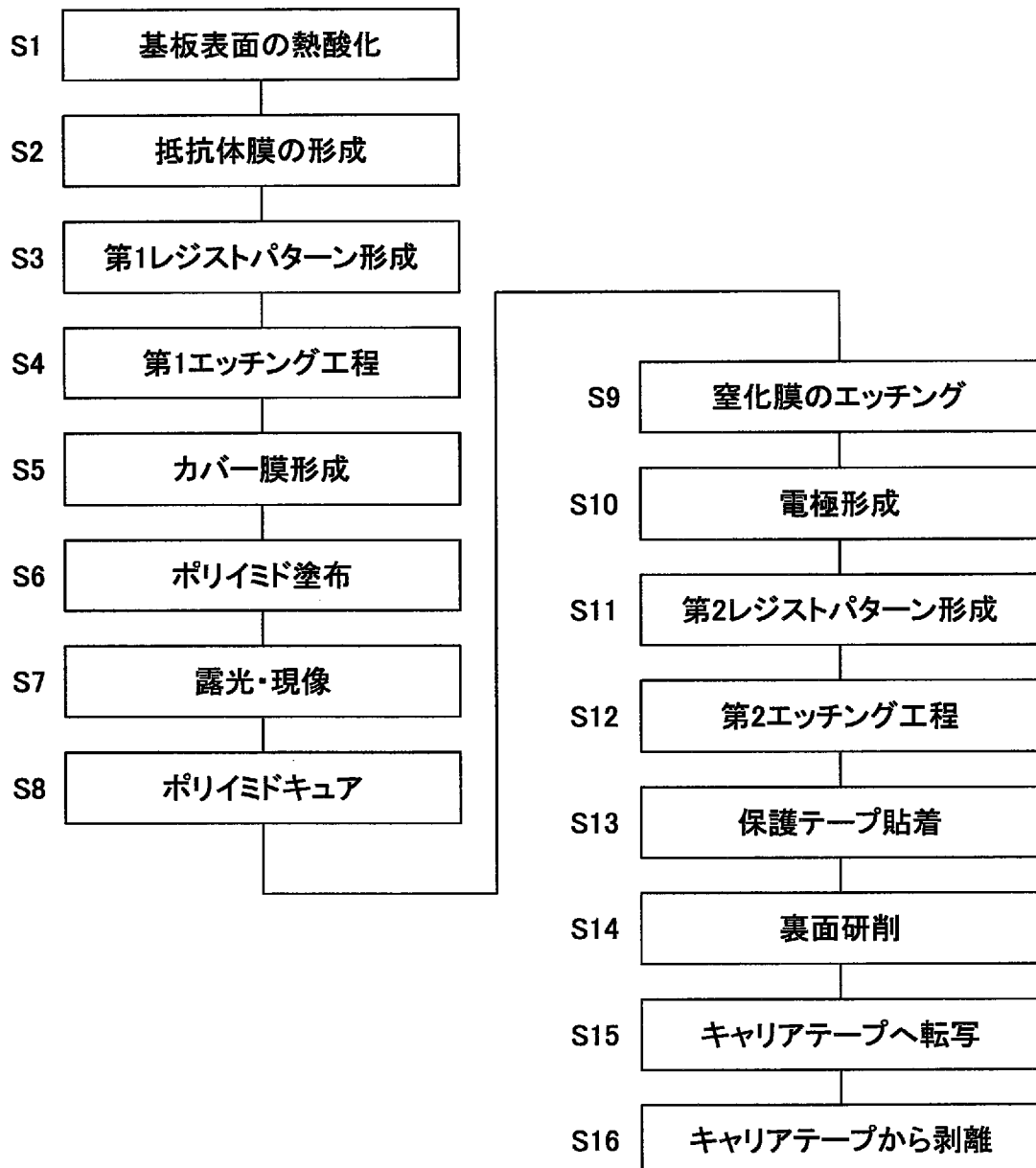


[図43]



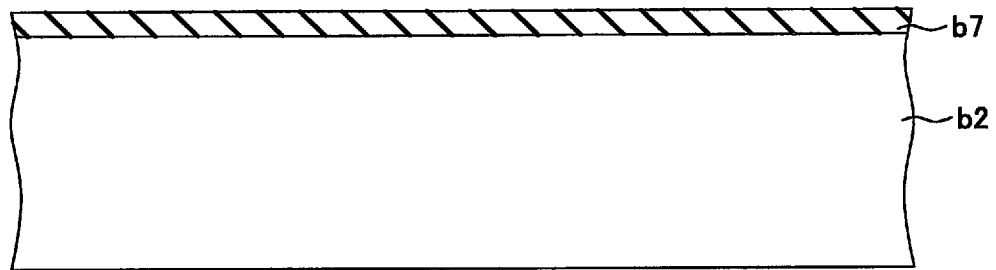
[図44]

図44



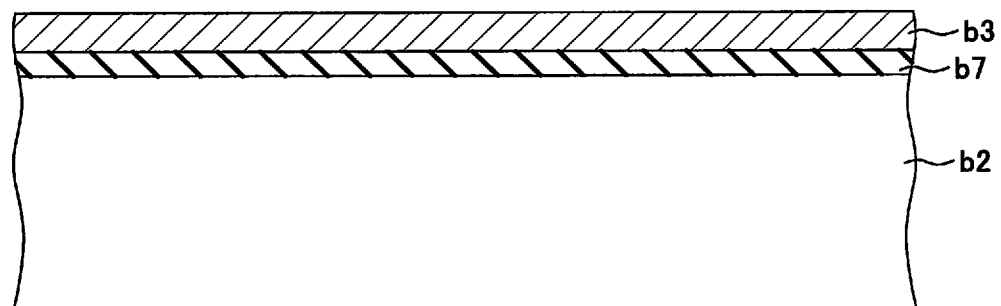
[図45]

図45



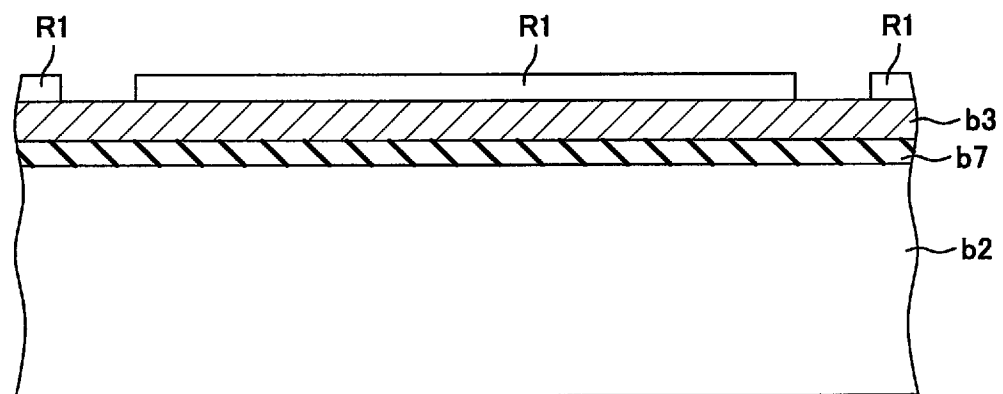
[図46]

図46



[図47]

図47



[図48]

図48

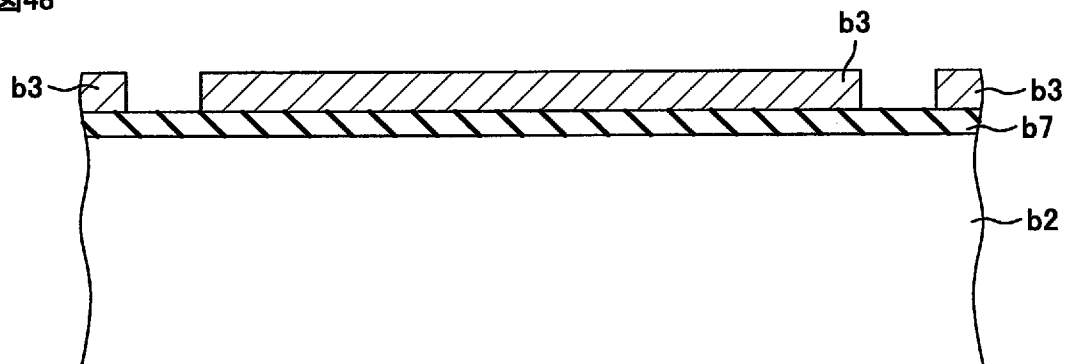
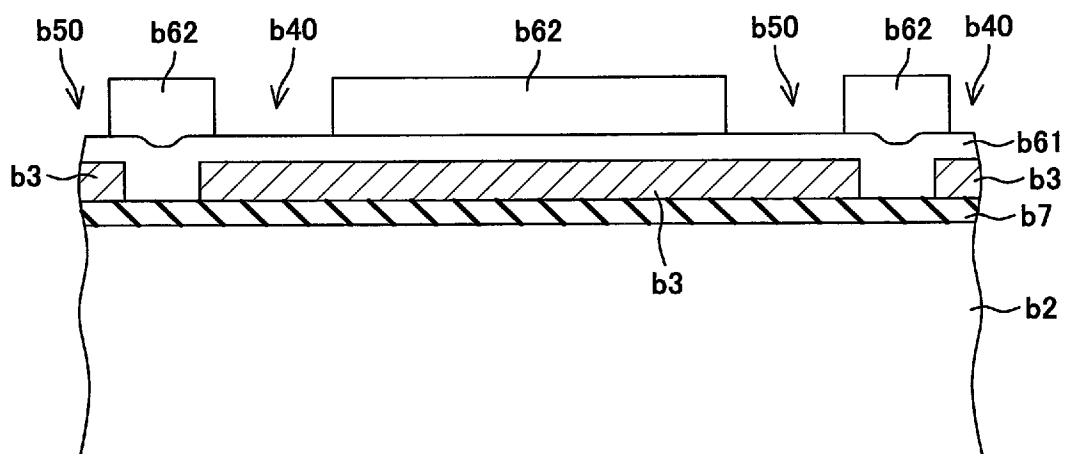
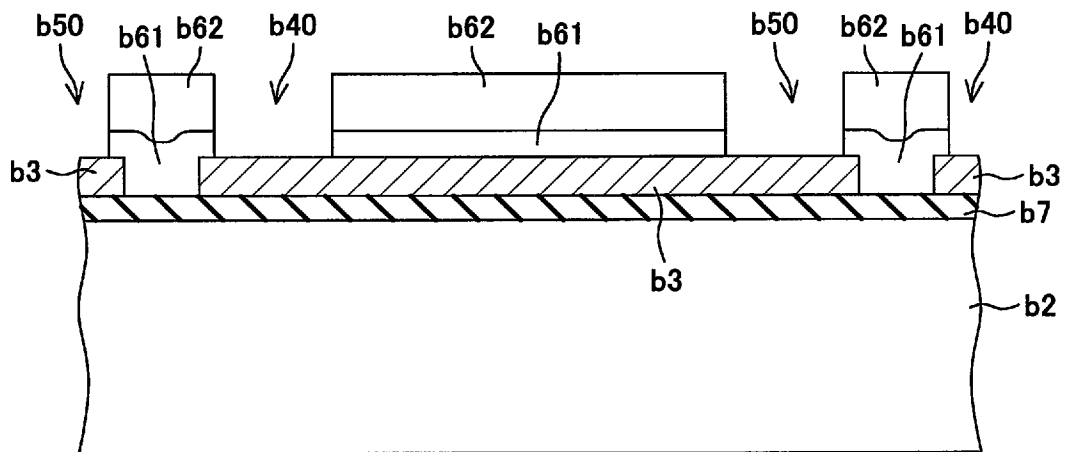


图49



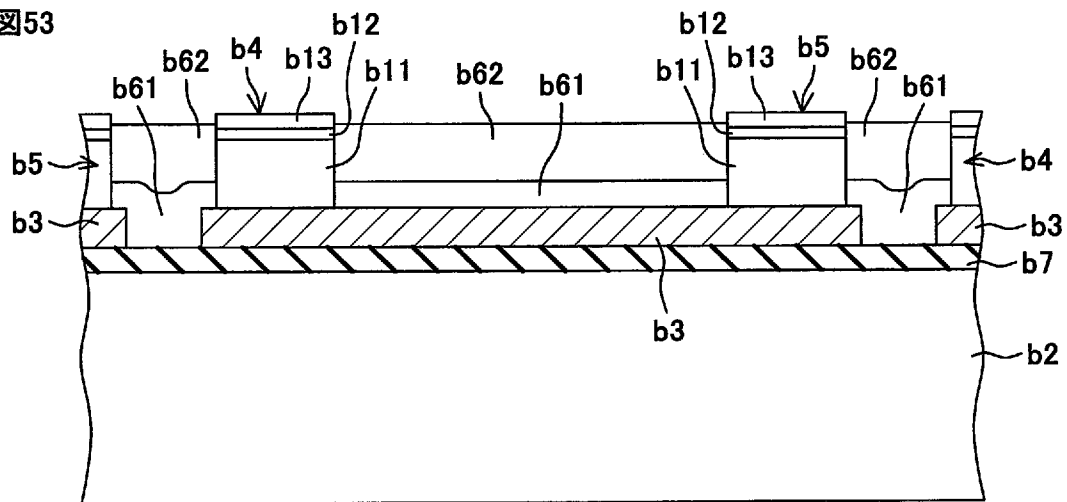
[図52]

図52



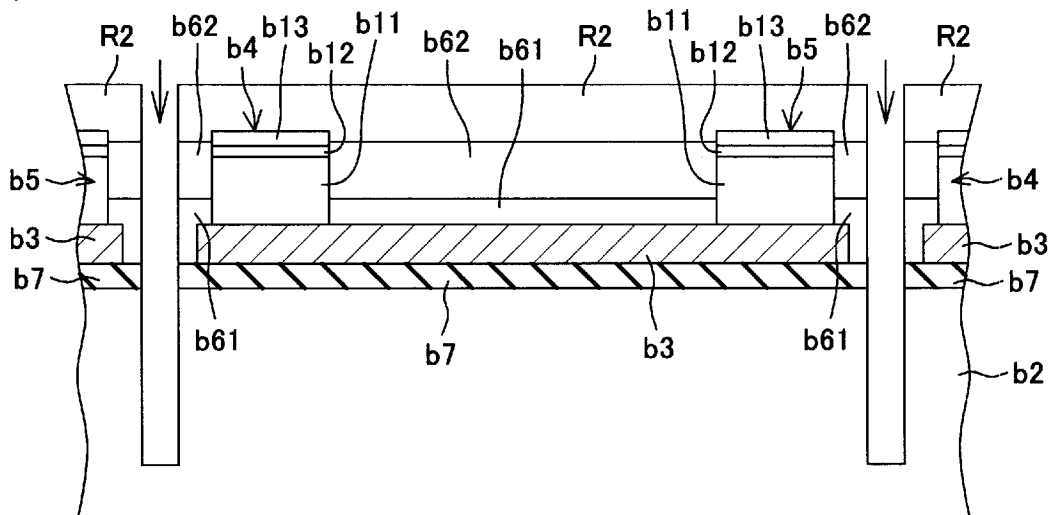
[図53]

図53



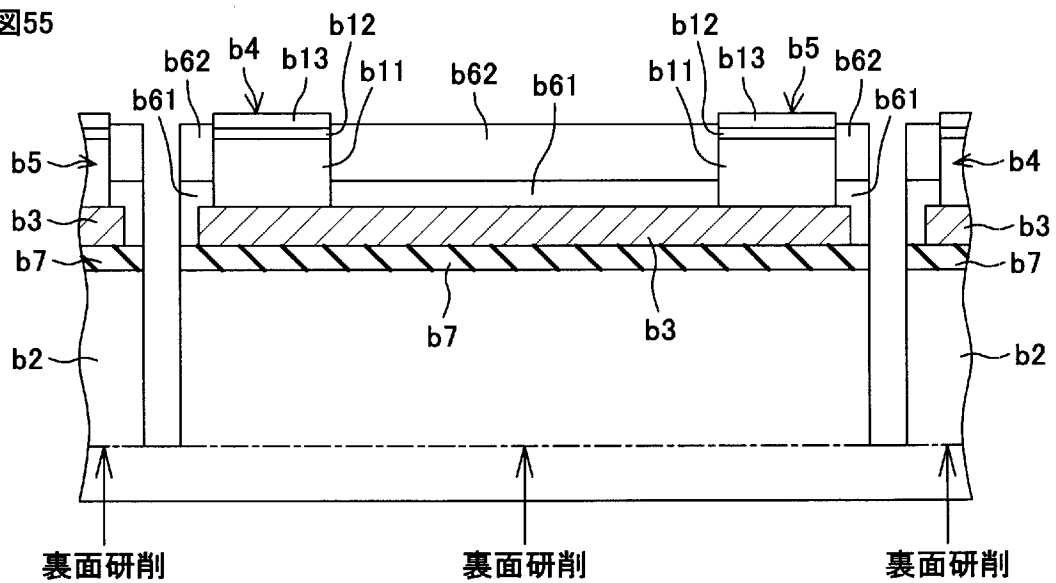
[図54]

図54



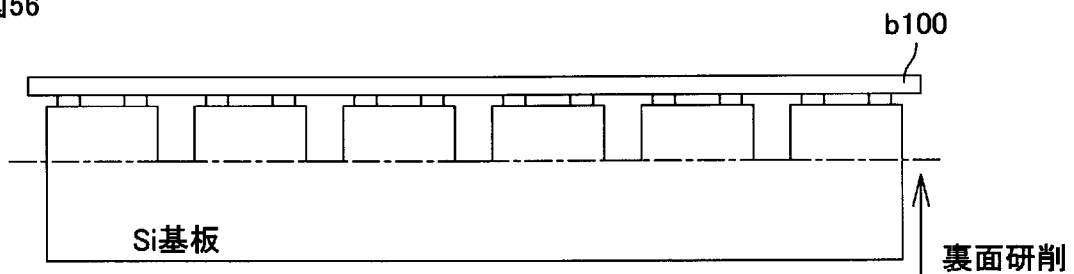
[図55]

図55



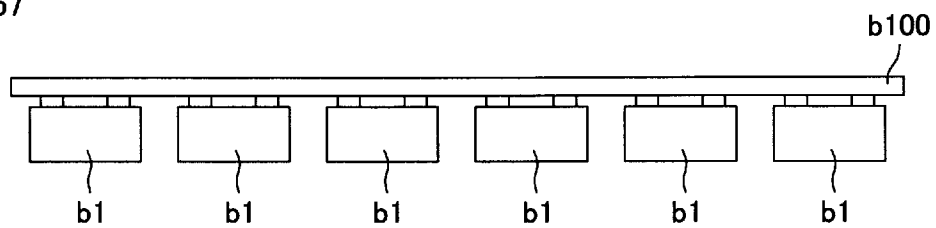
[図56]

図56



[図57]

図57



[図58]

図58

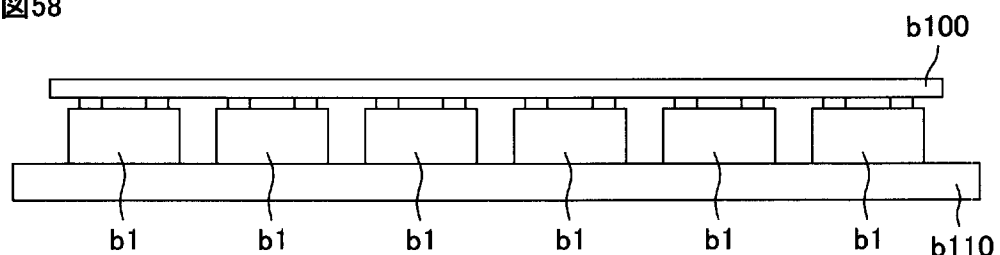
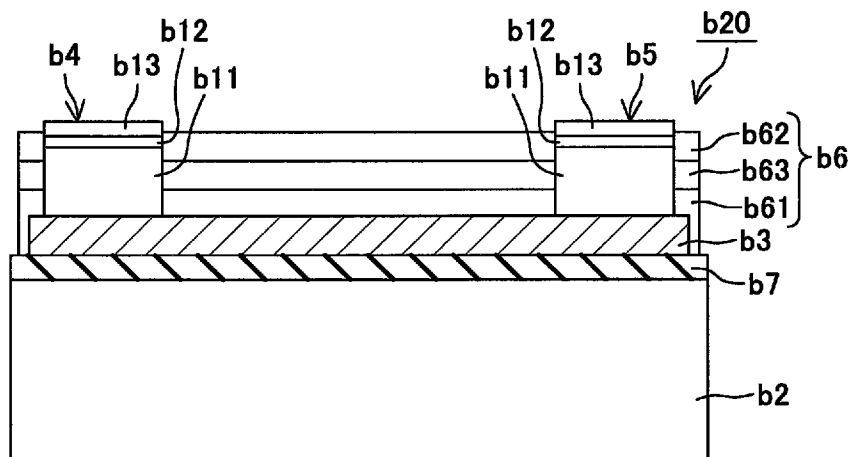


图59

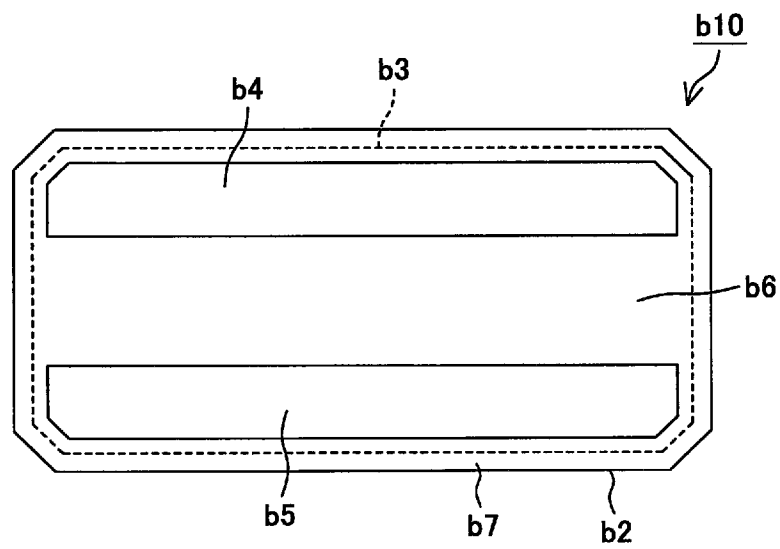


图61



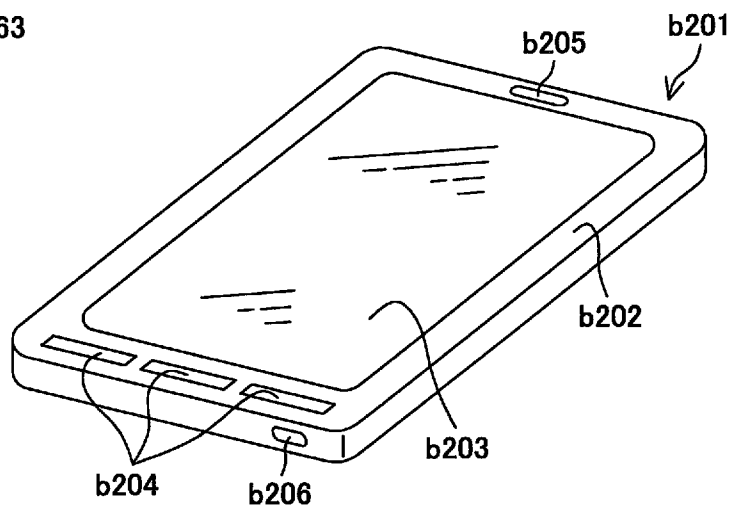
[図62]

図62



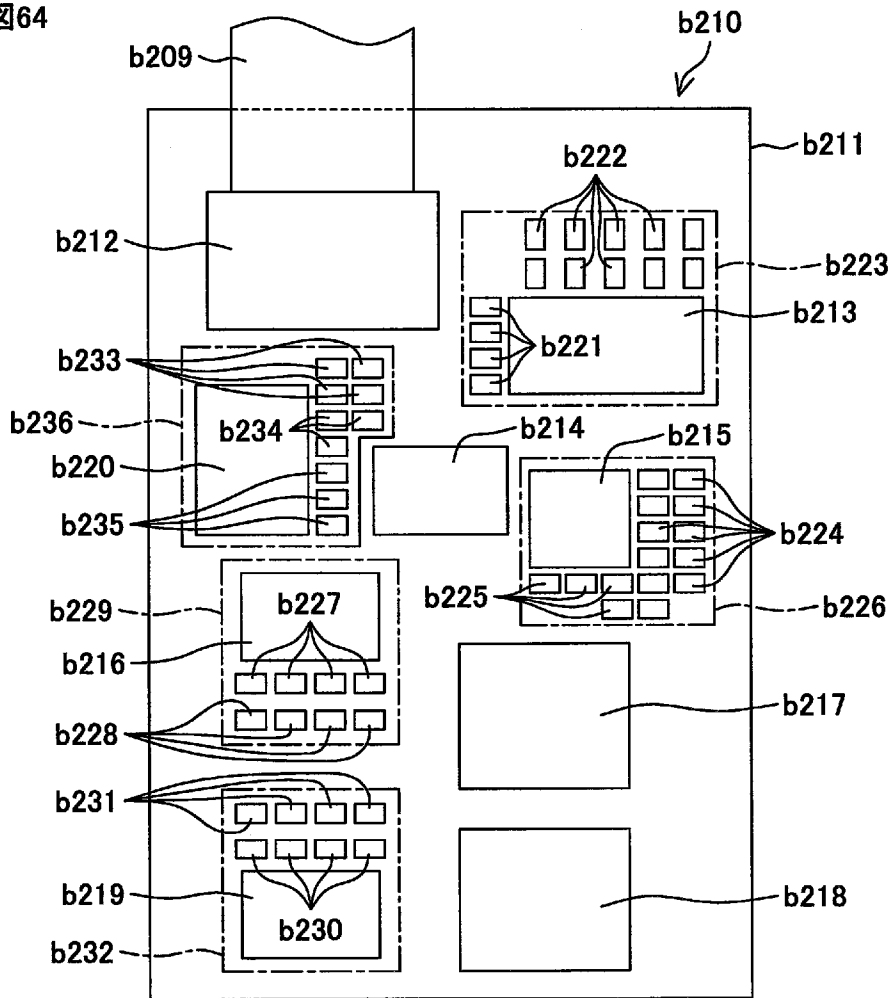
[図63]

図63



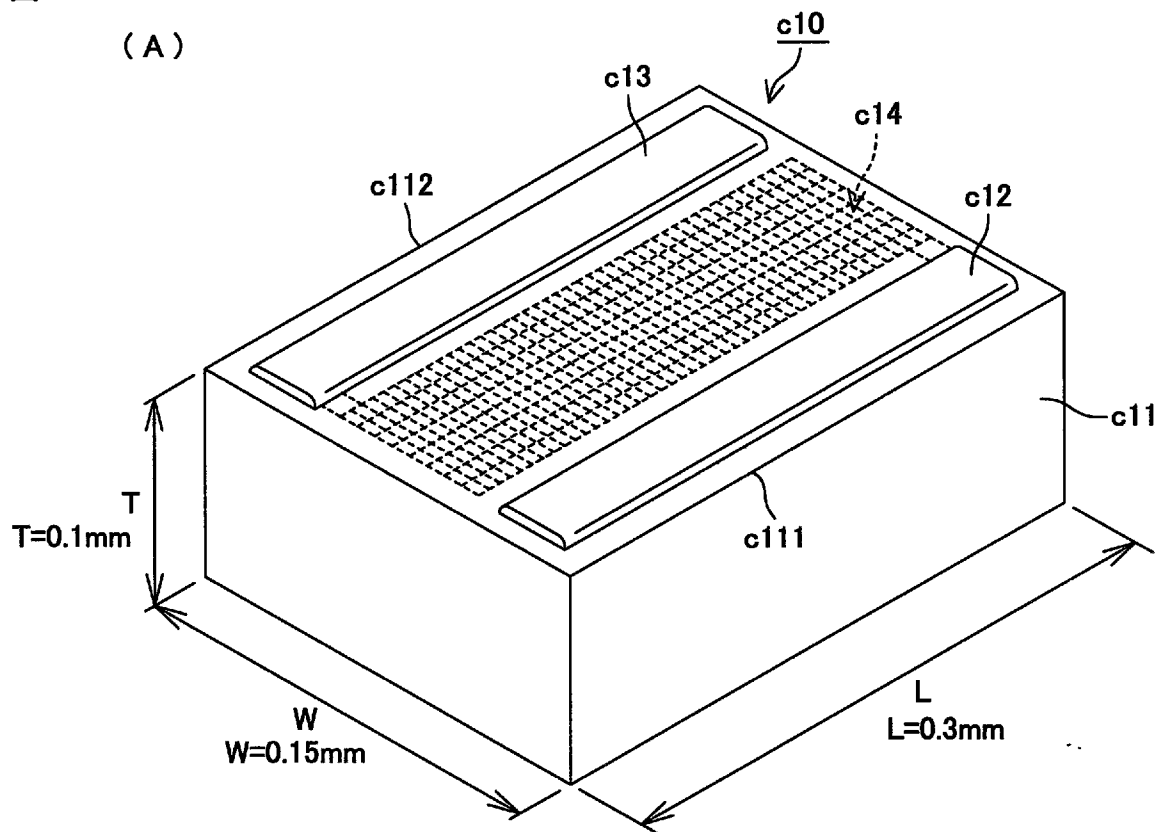
[図64]

図64

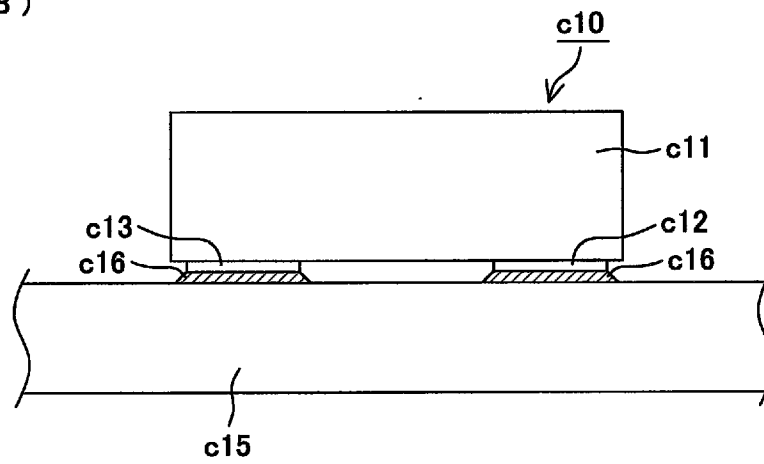


[図65]

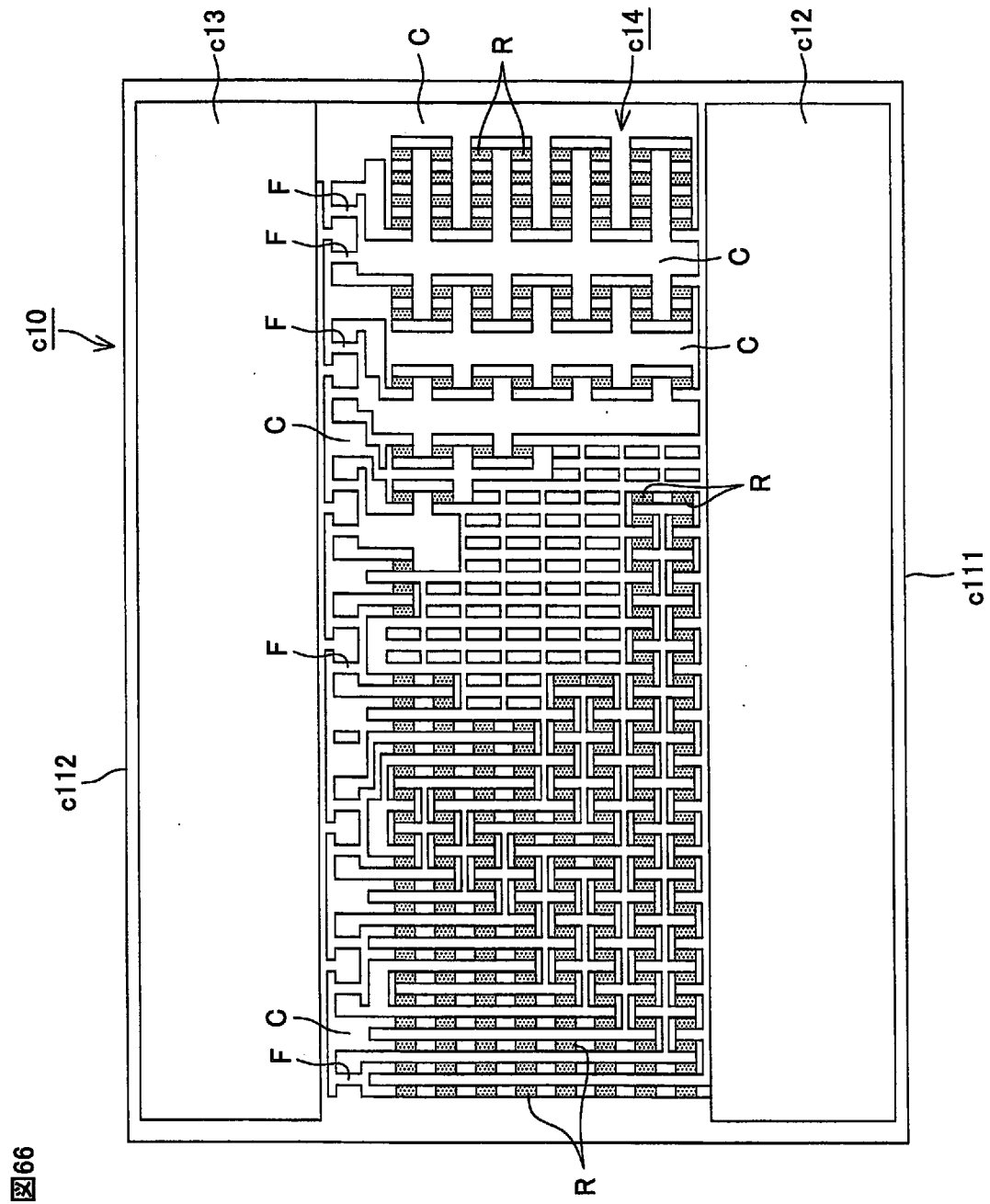
図65



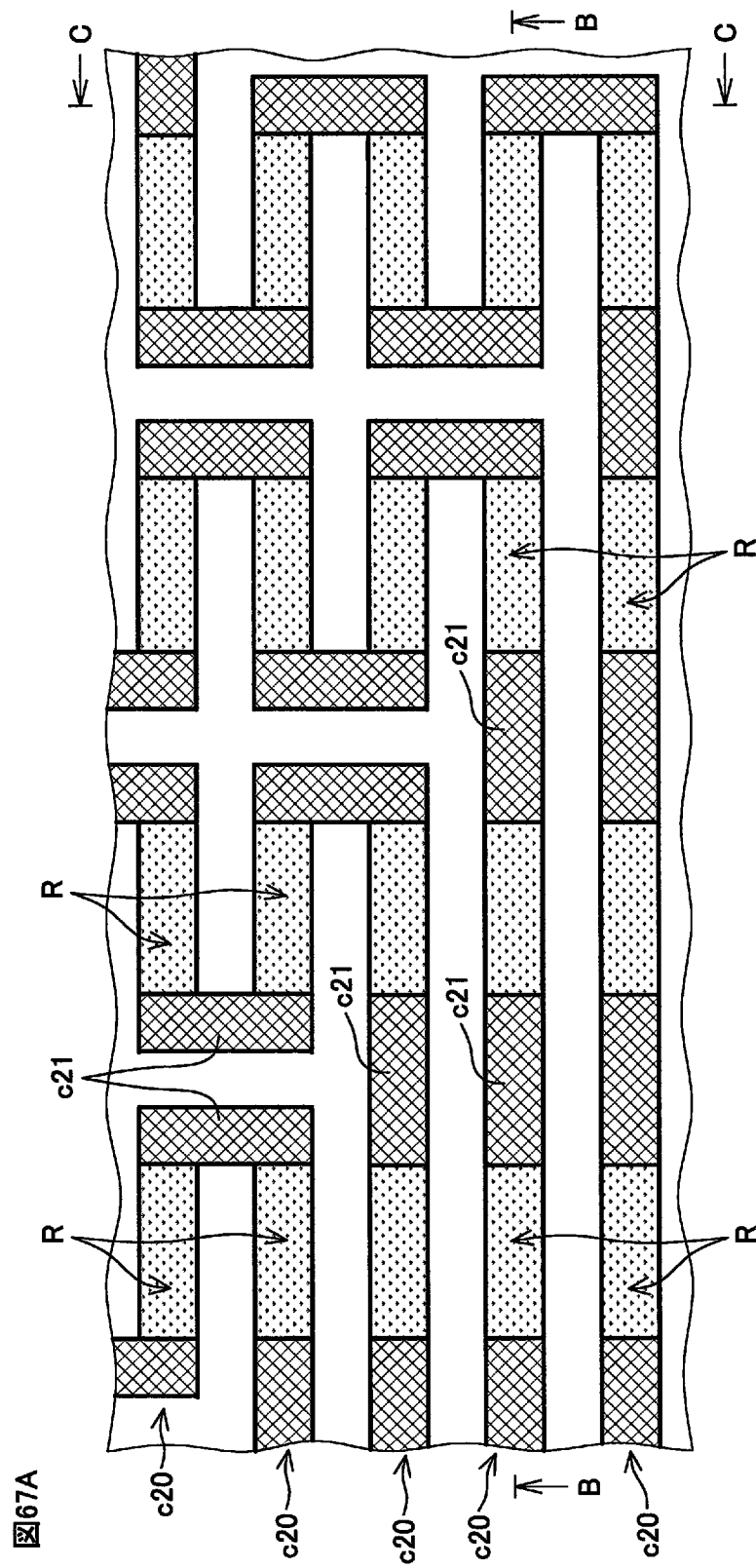
(B)



[図66]

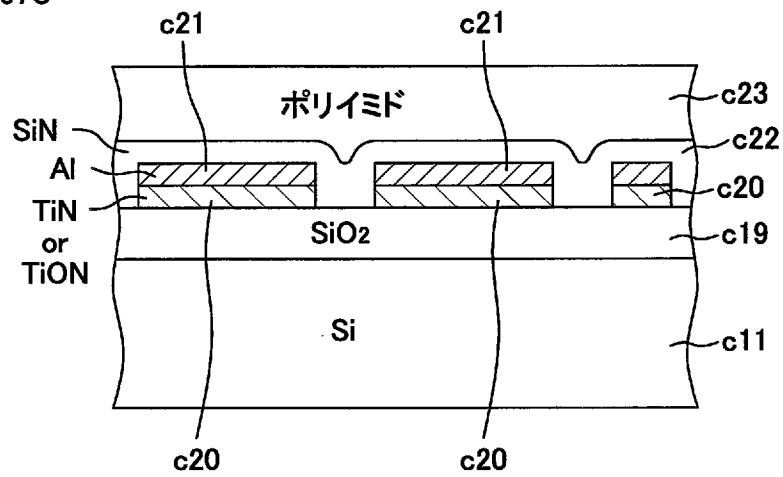


[図67A]



[図67C]

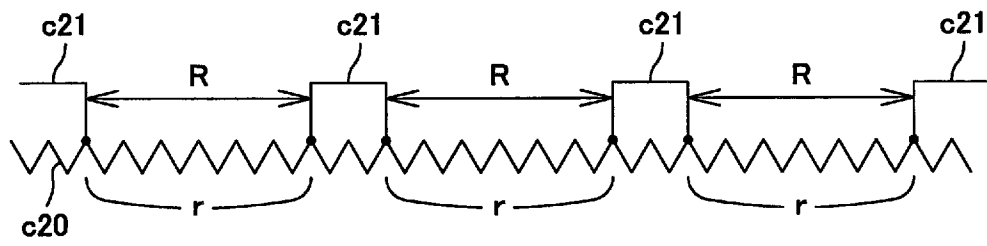
図67C



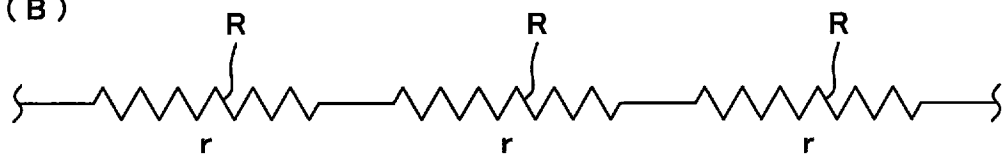
[図68]

図68

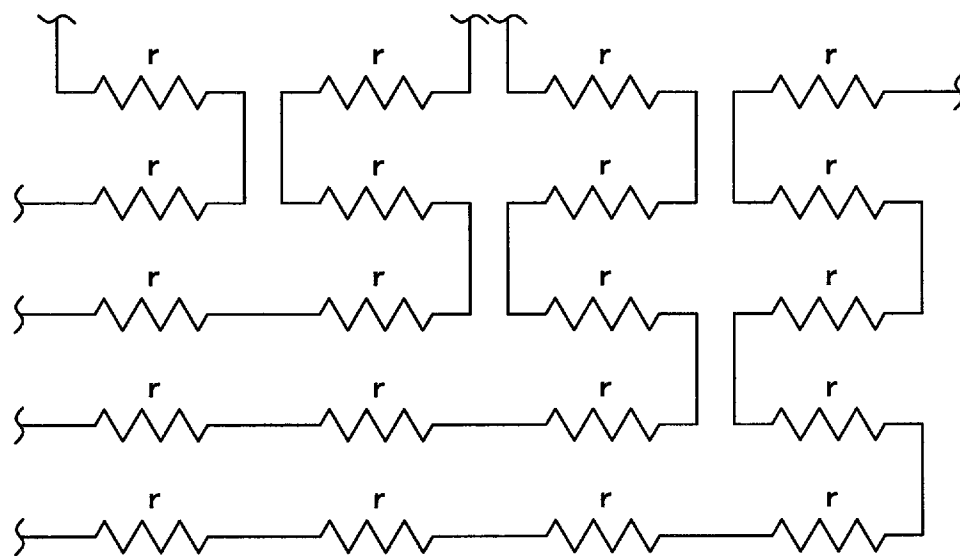
(A)



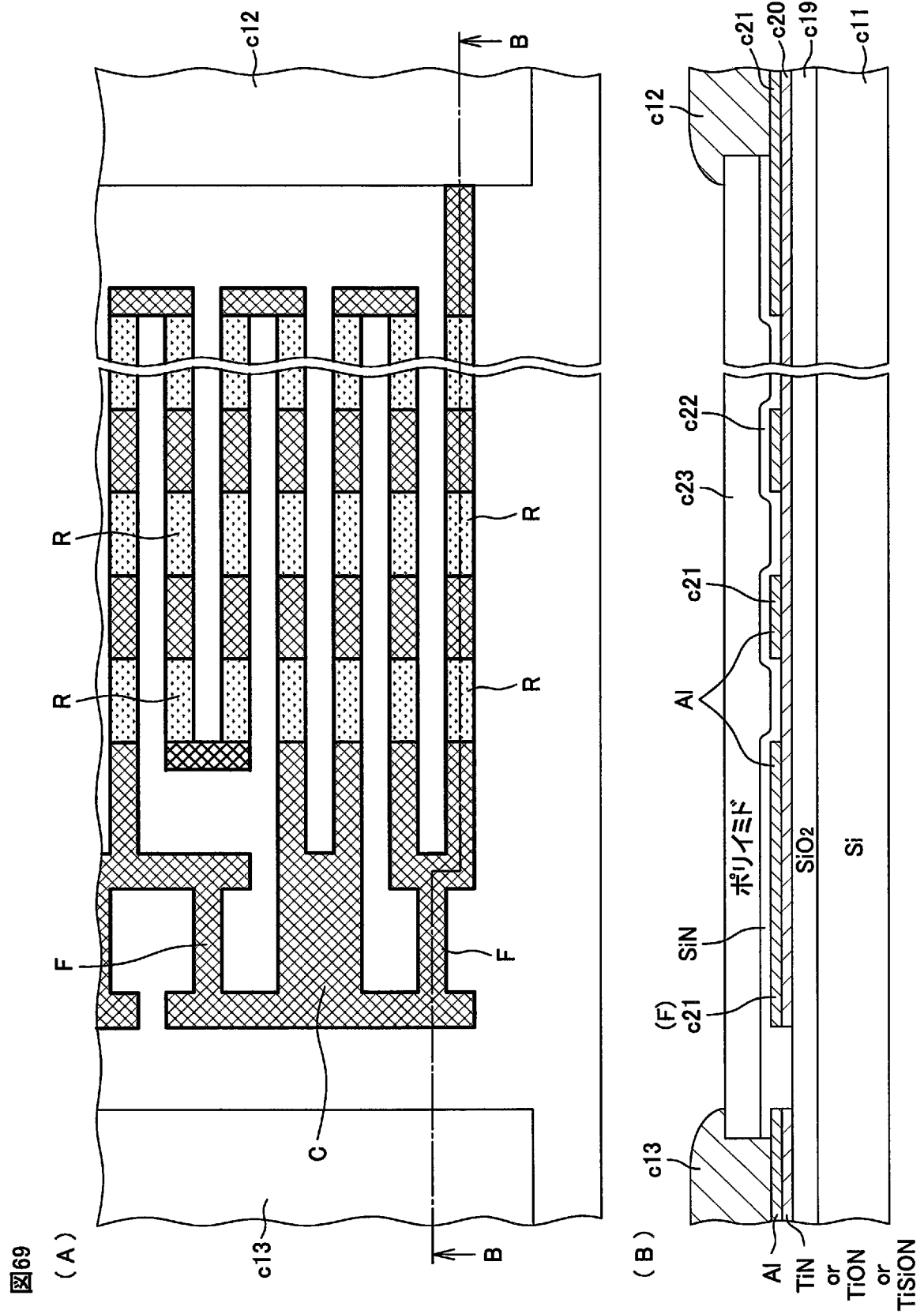
(B)



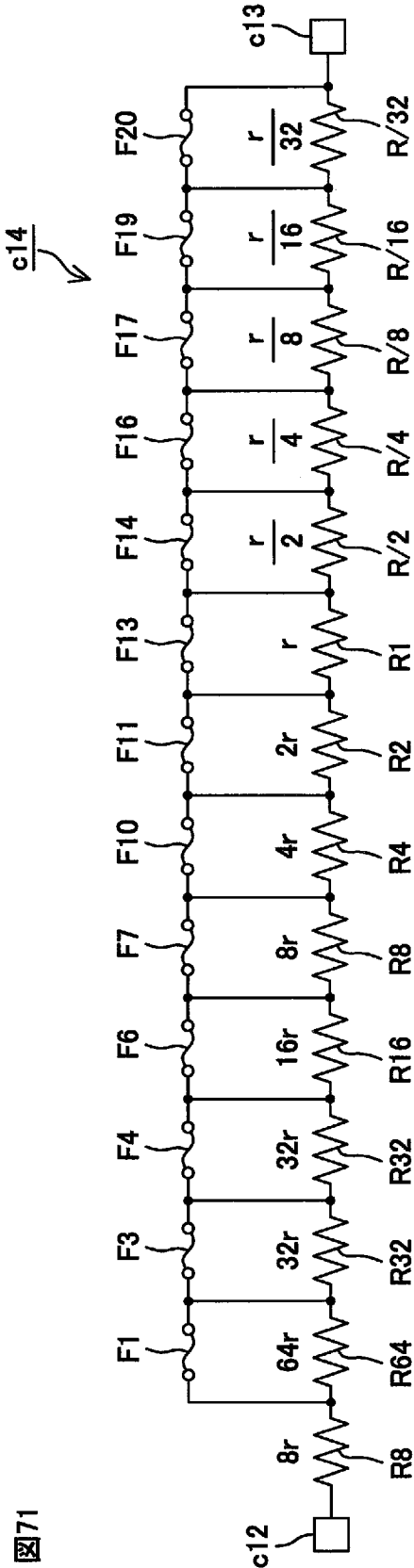
(C)



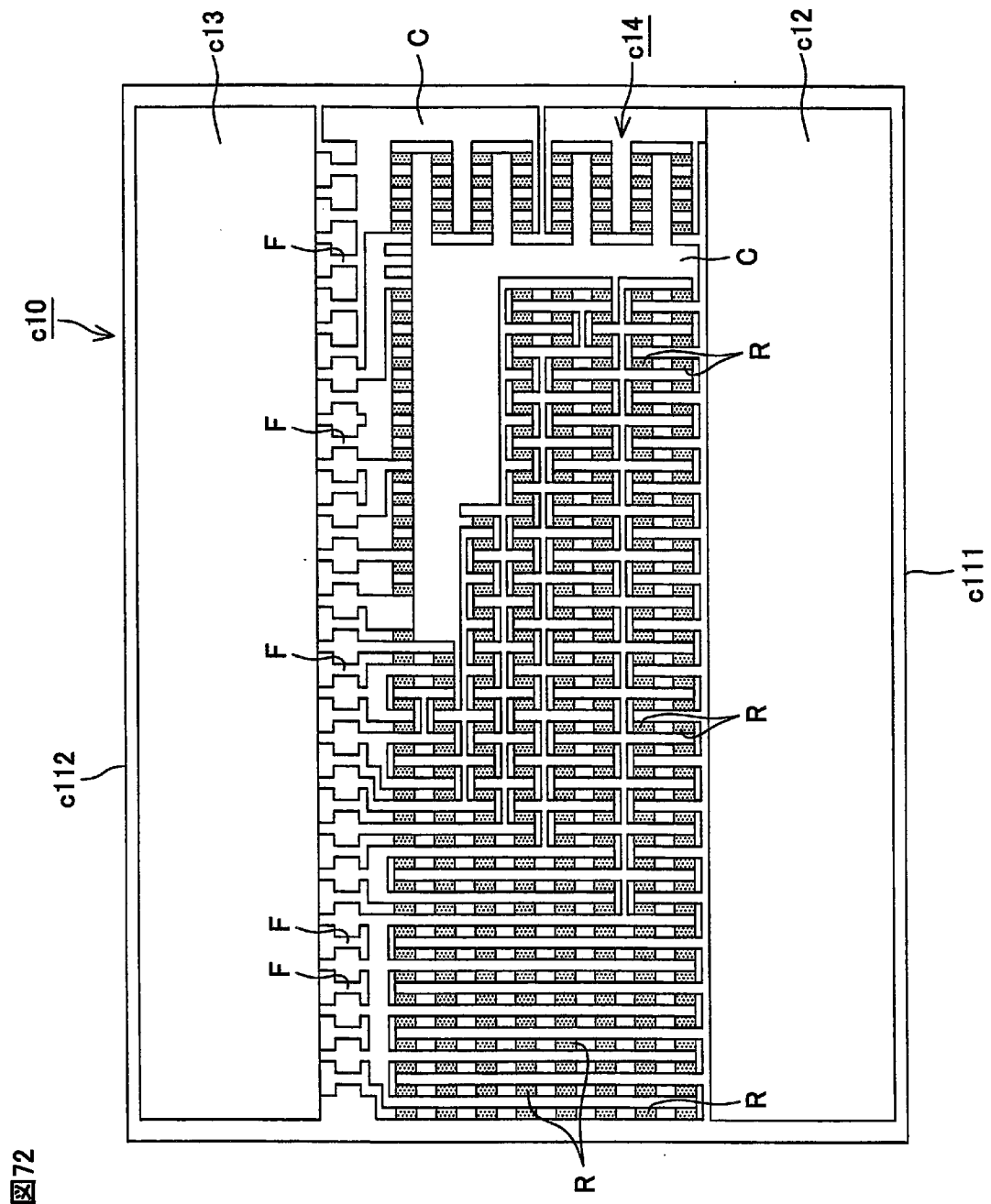
[図69]



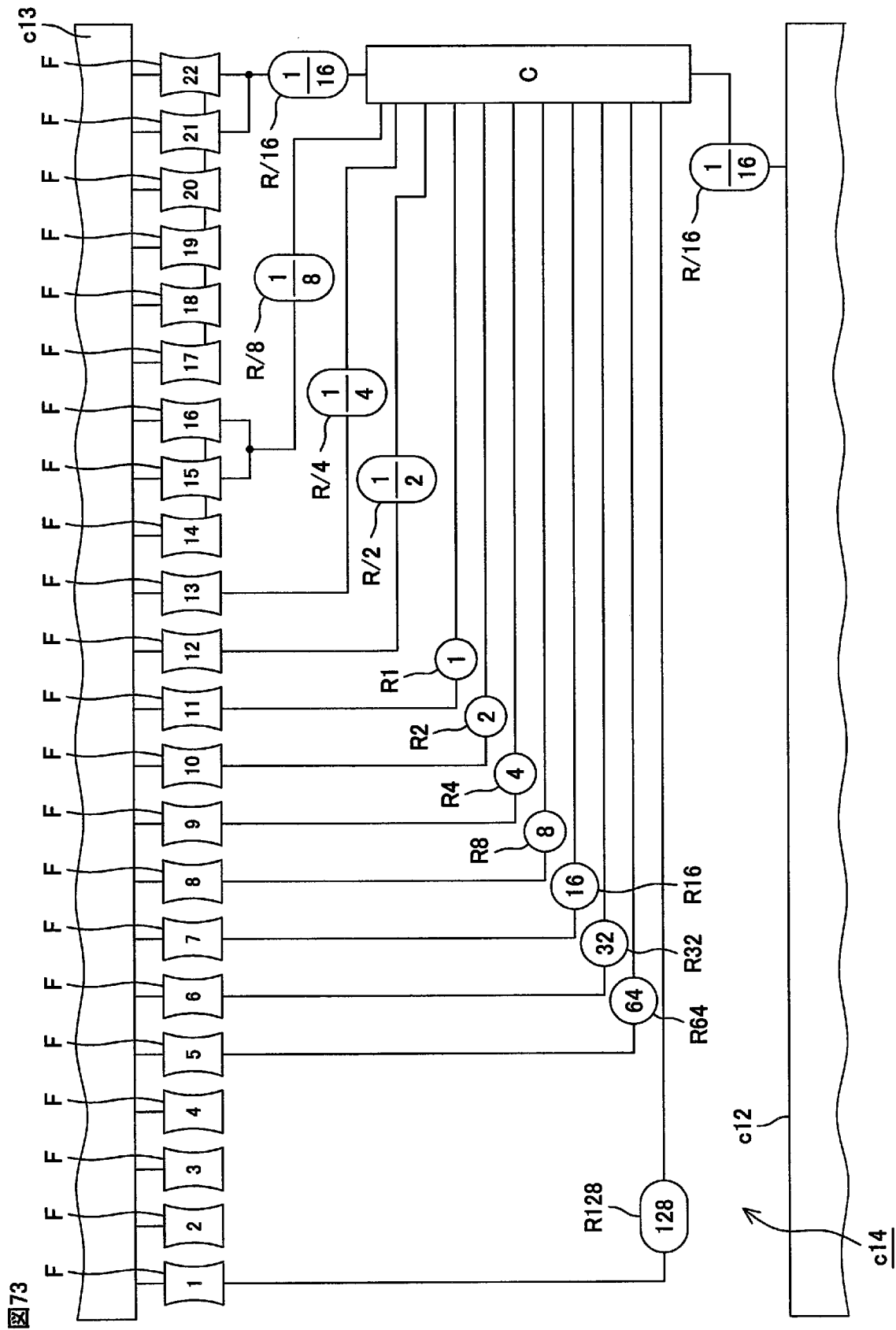
[図71]



[図72]

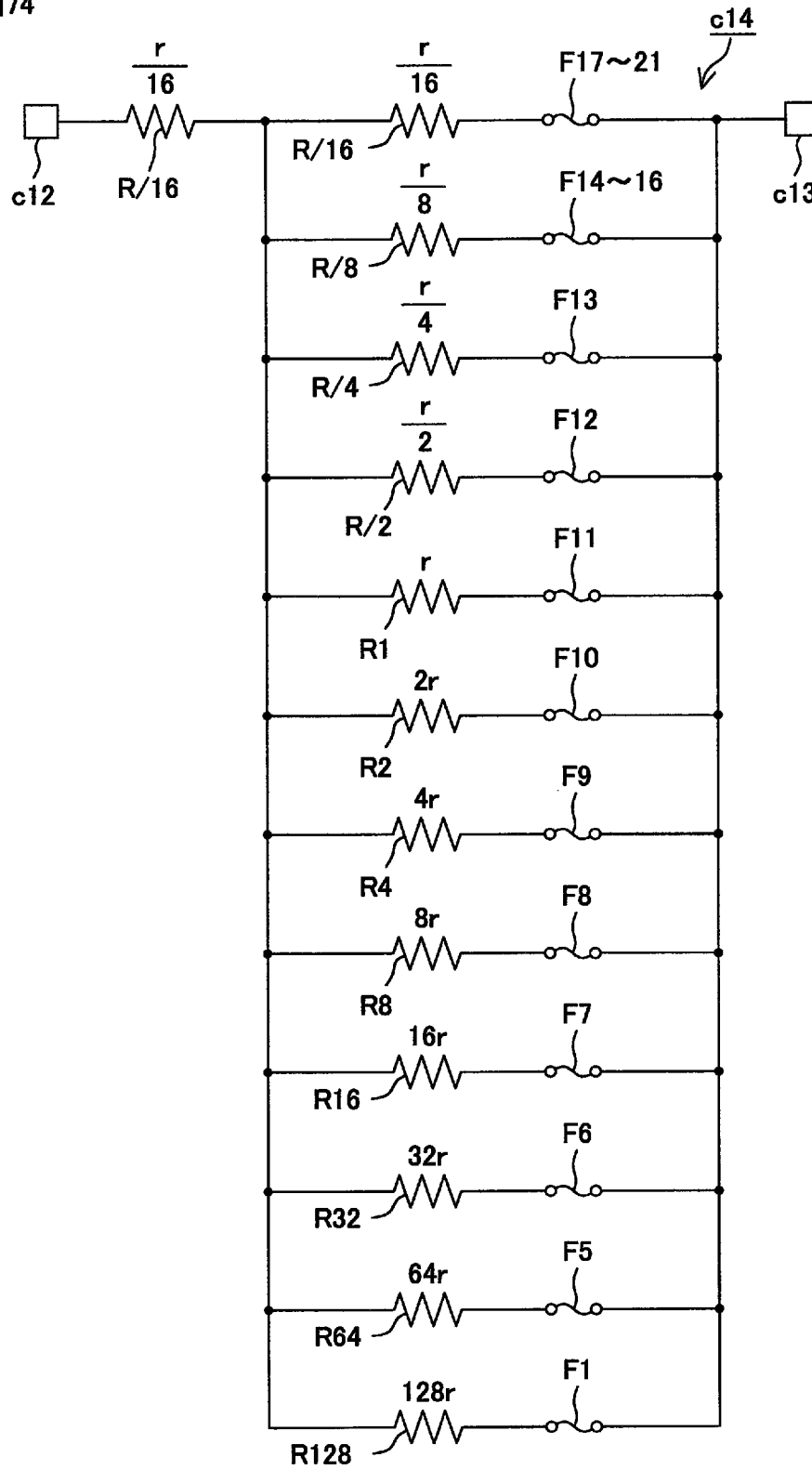


[図73]



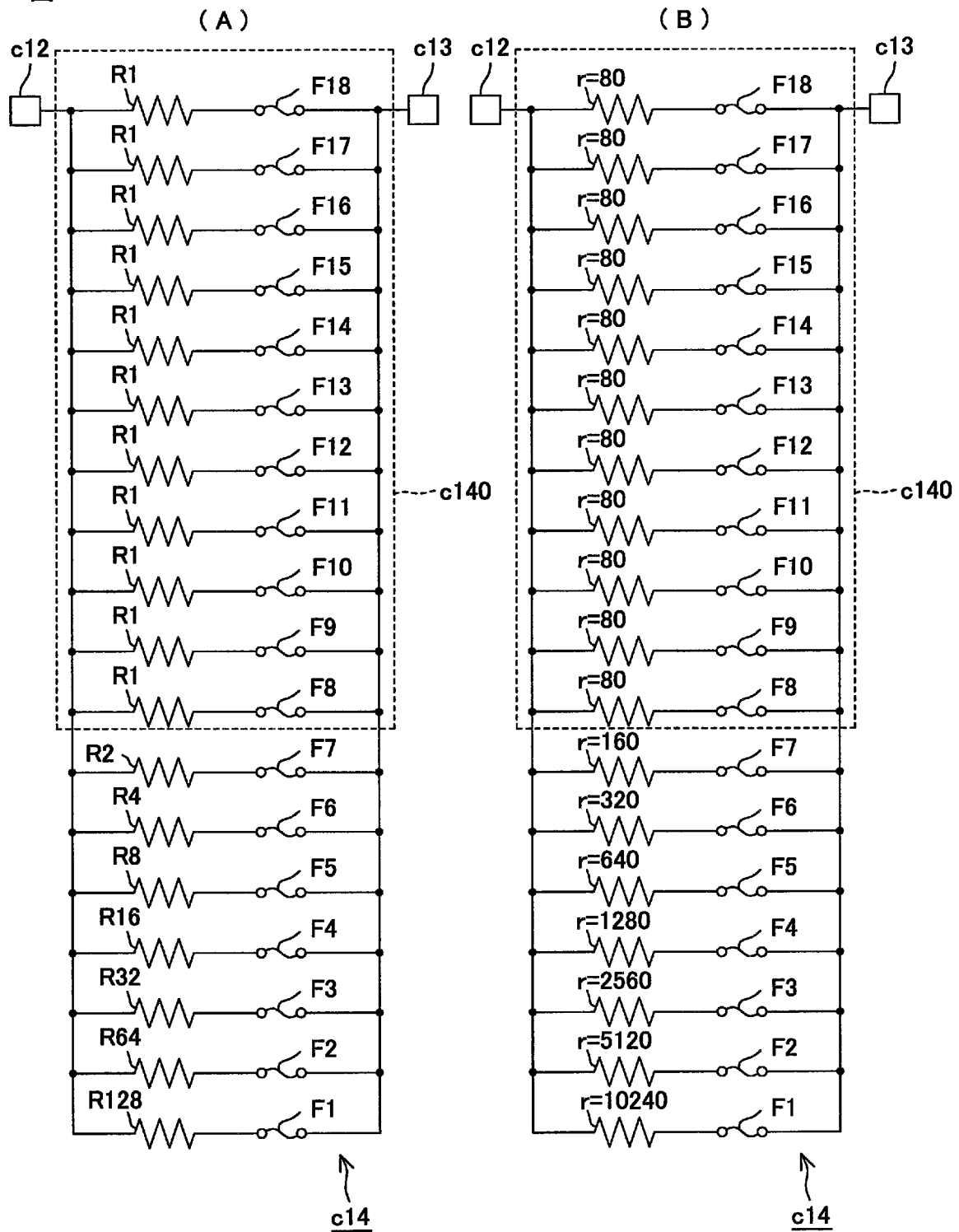
[図74]

図74

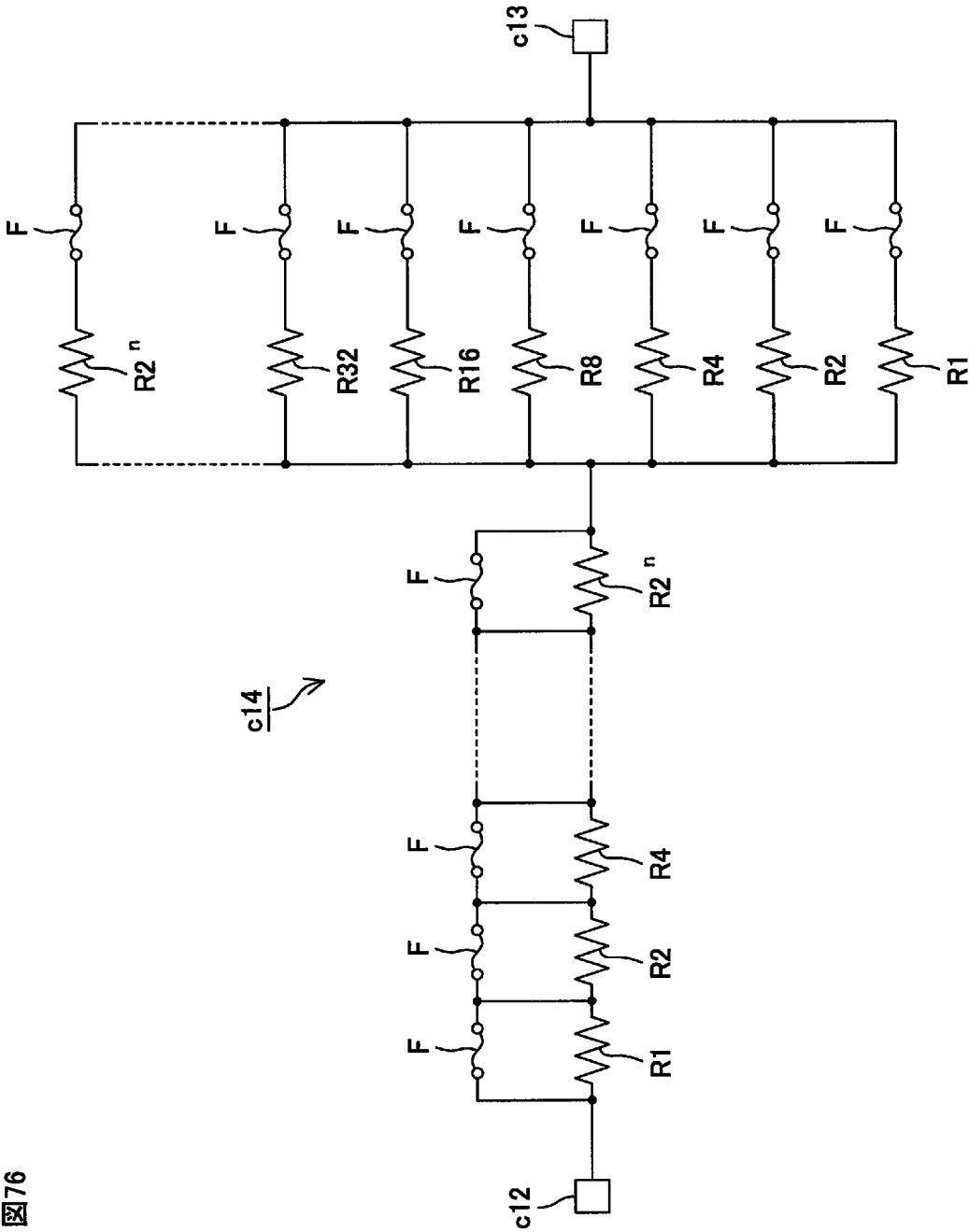


[図75]

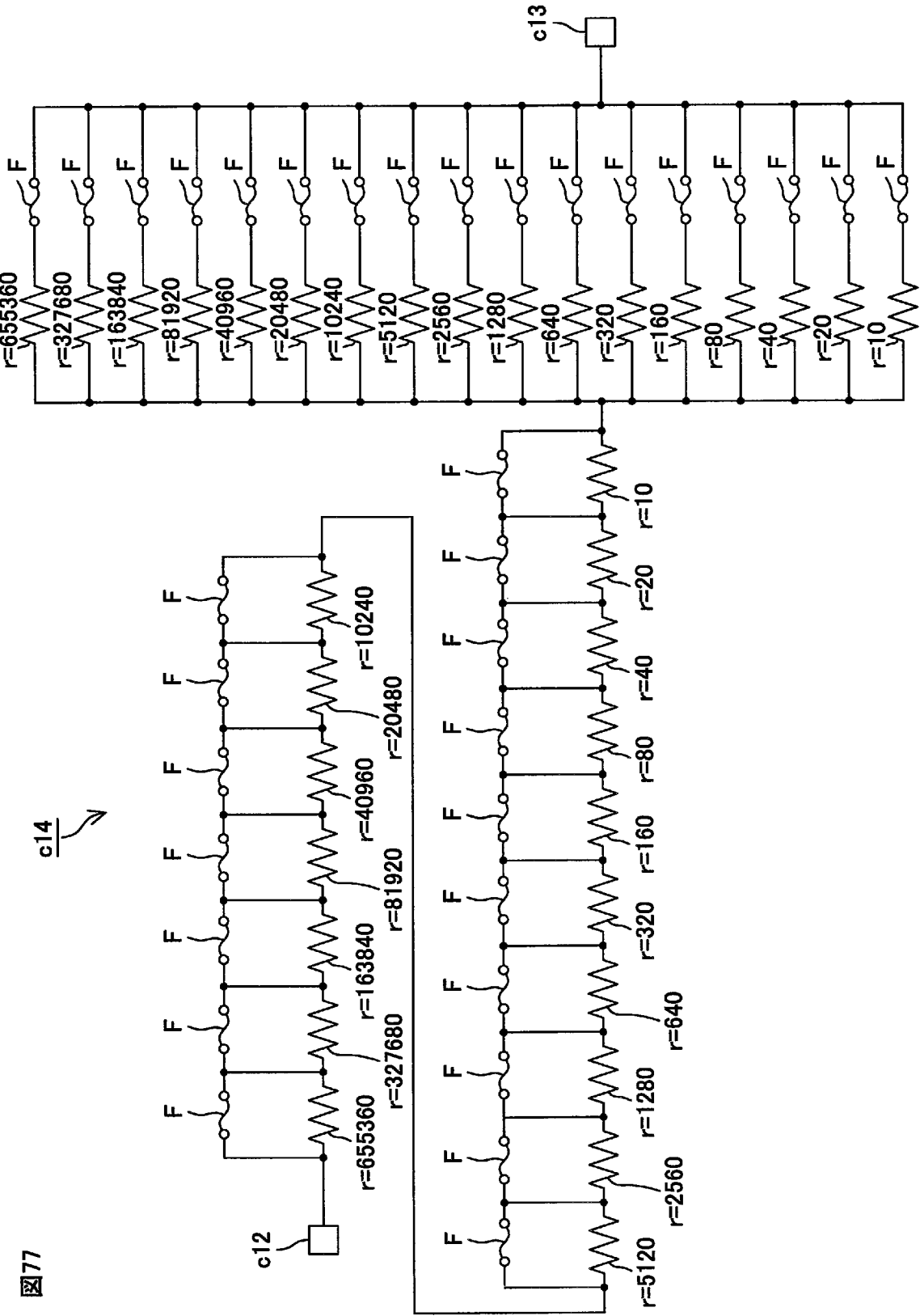
図75



[図76]



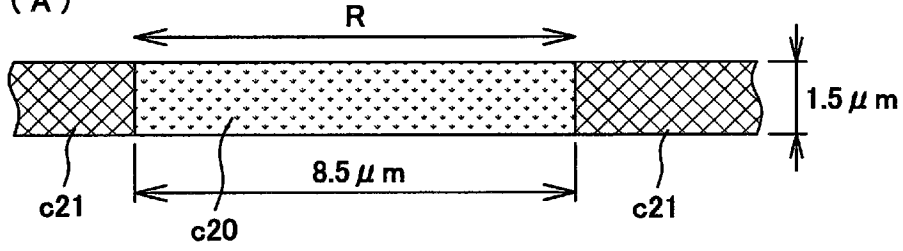
[図77]



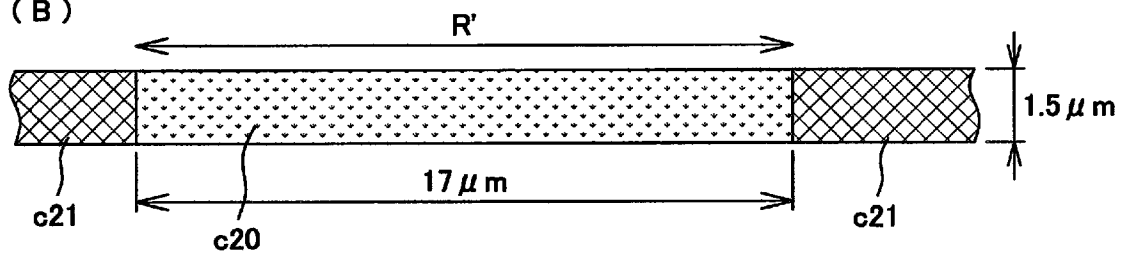
[図78]

図78

(A)



(B)



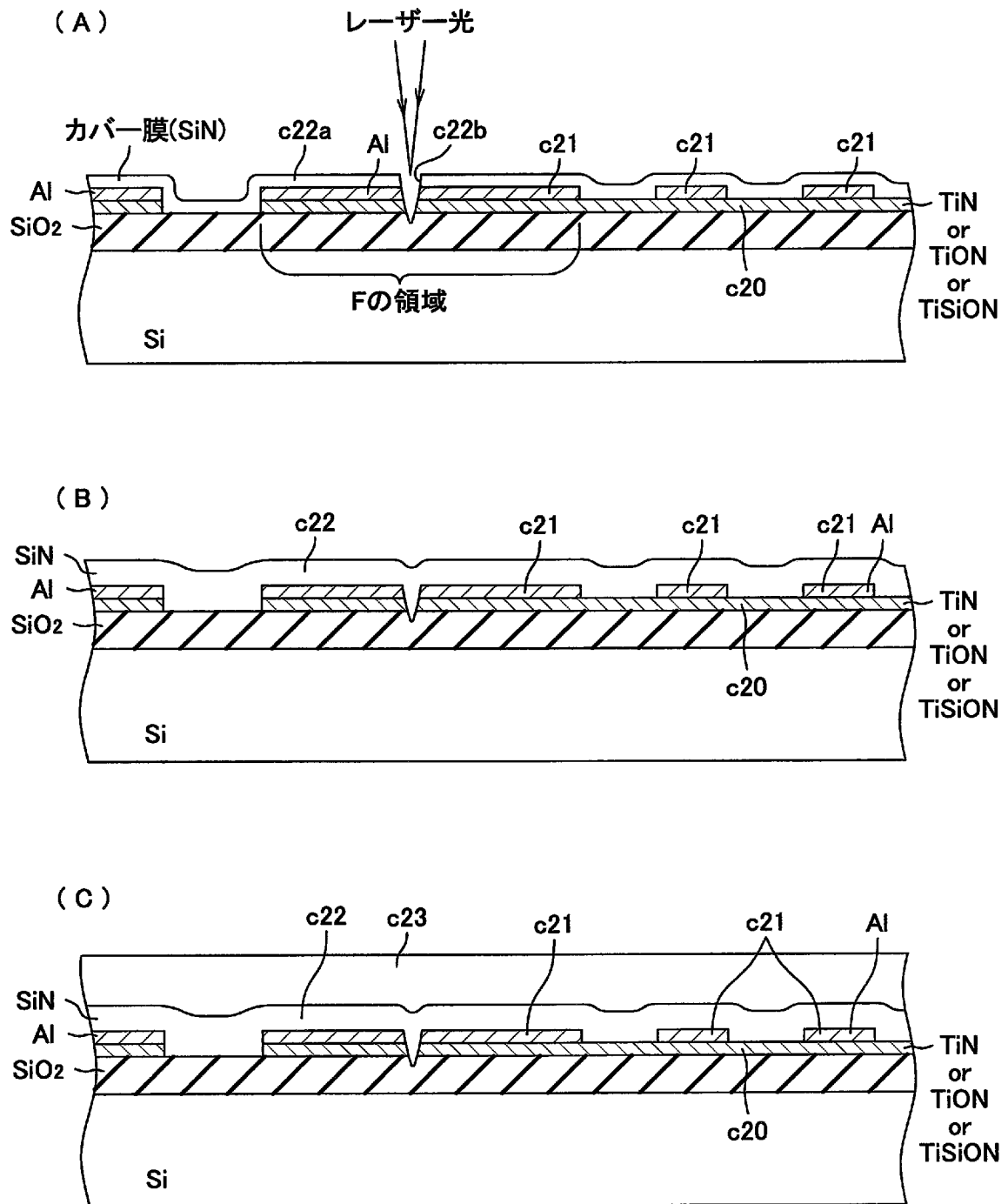
[図79]

図79



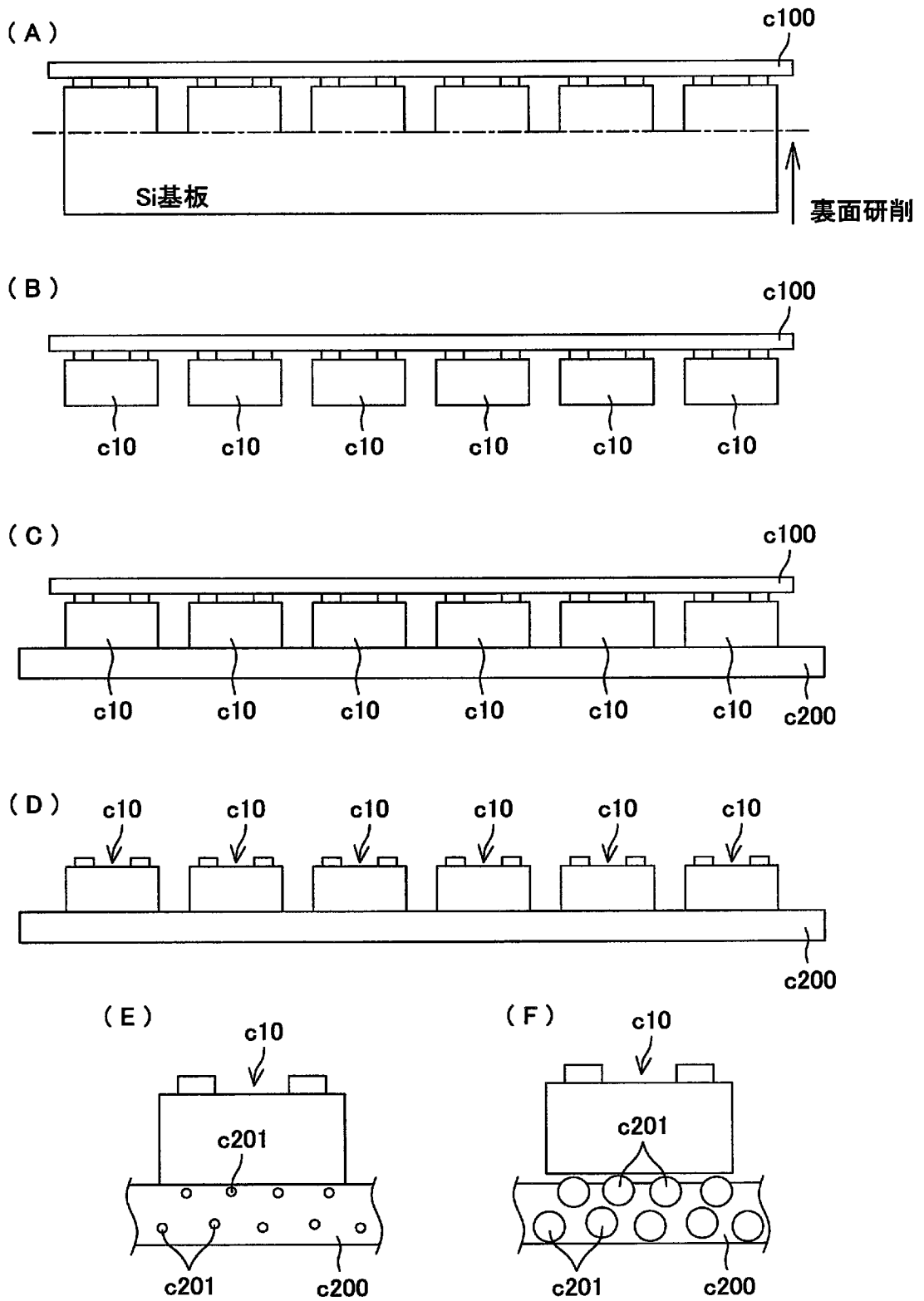
[図80]

図80



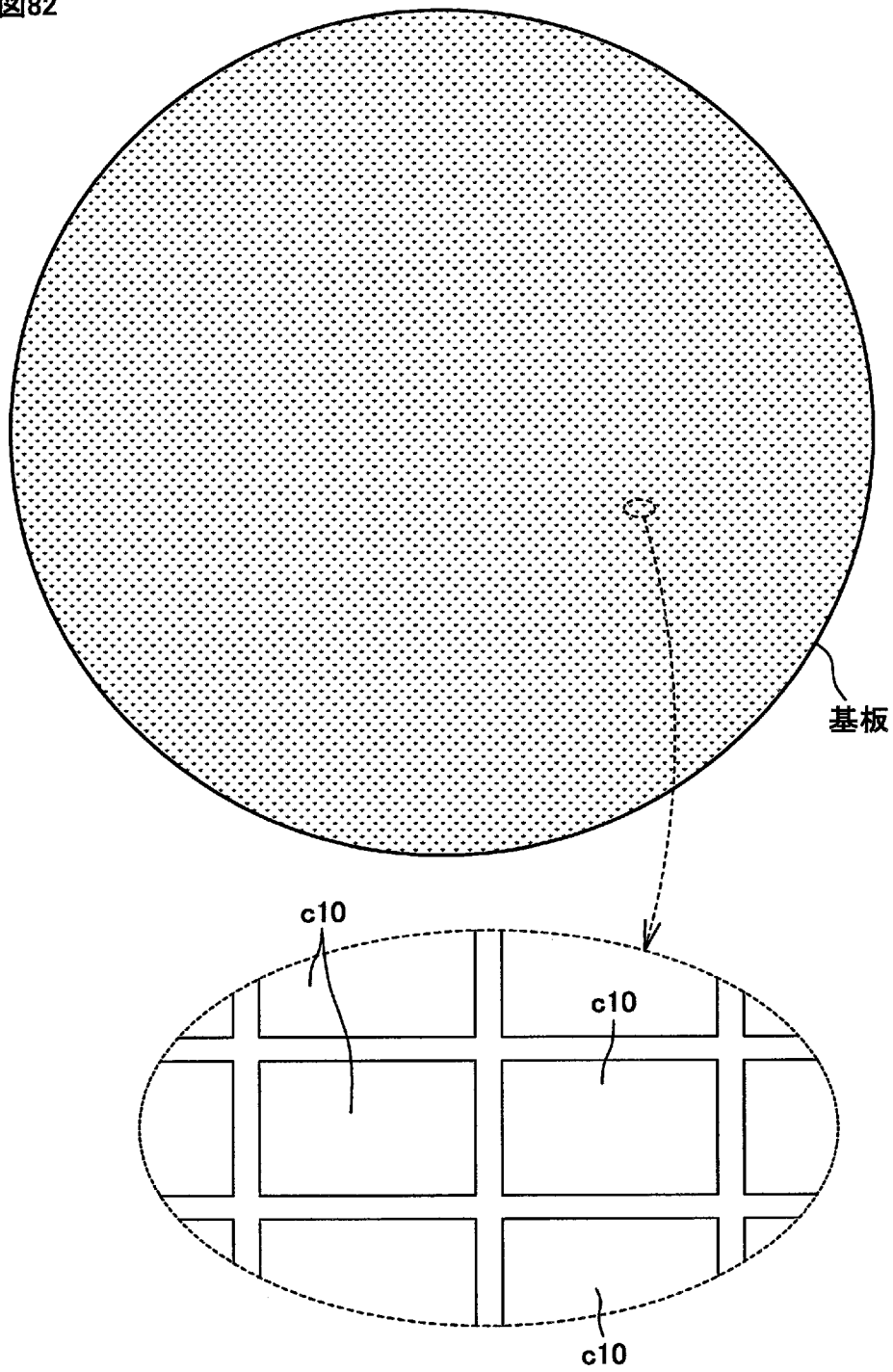
[図81]

図81



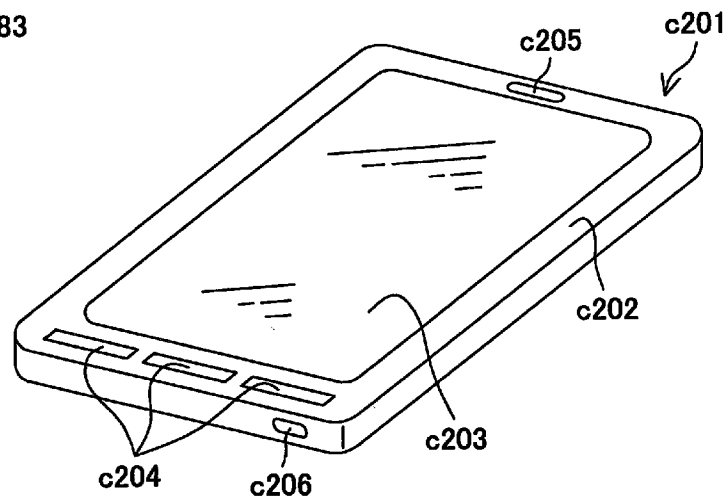
[図82]

図82



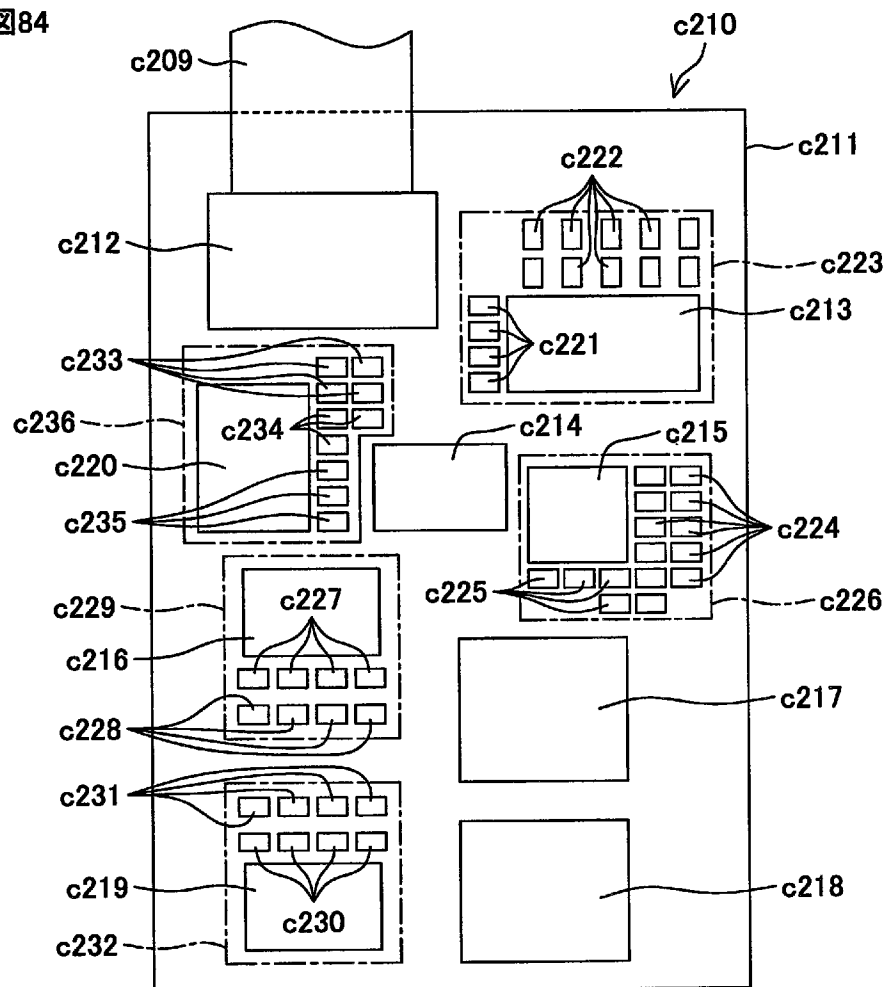
[図83]

図83



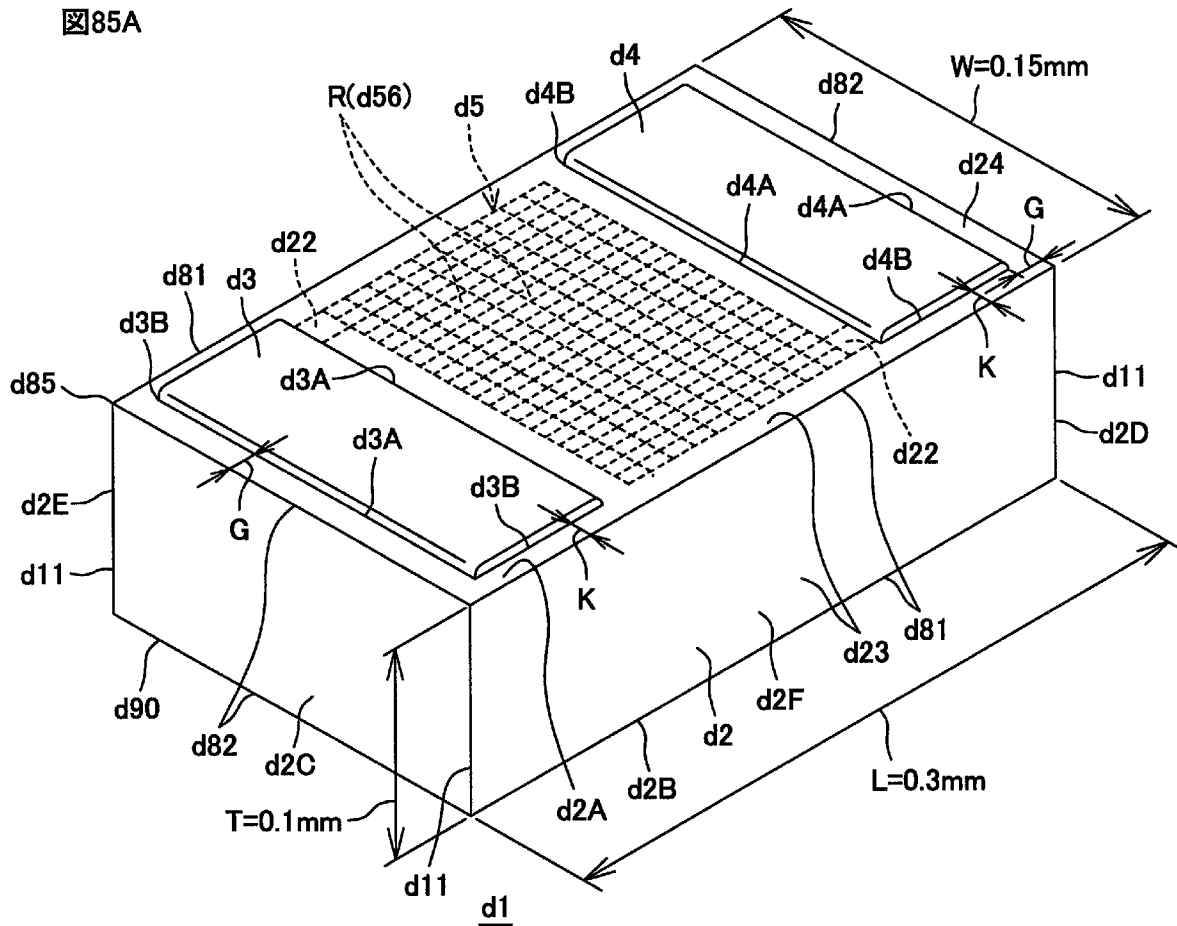
[図84]

図84



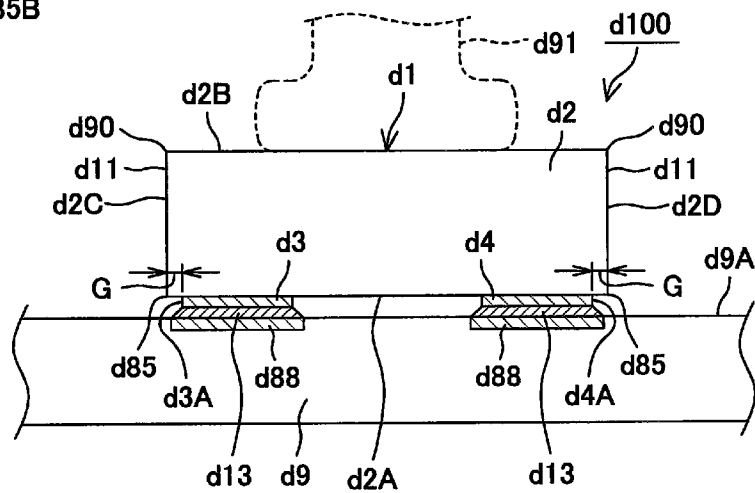
[図85A]

図85A



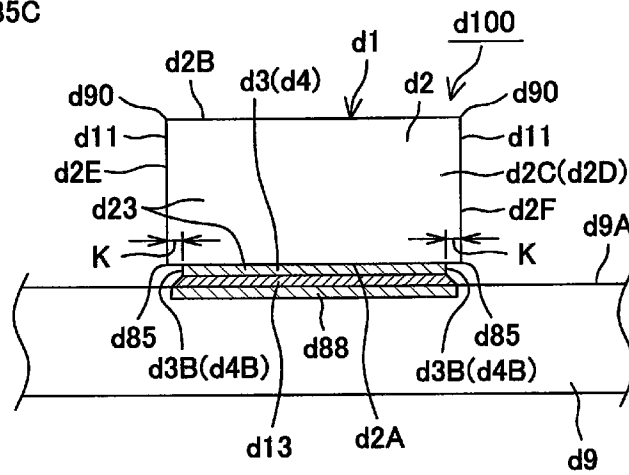
[図85B]

図85B



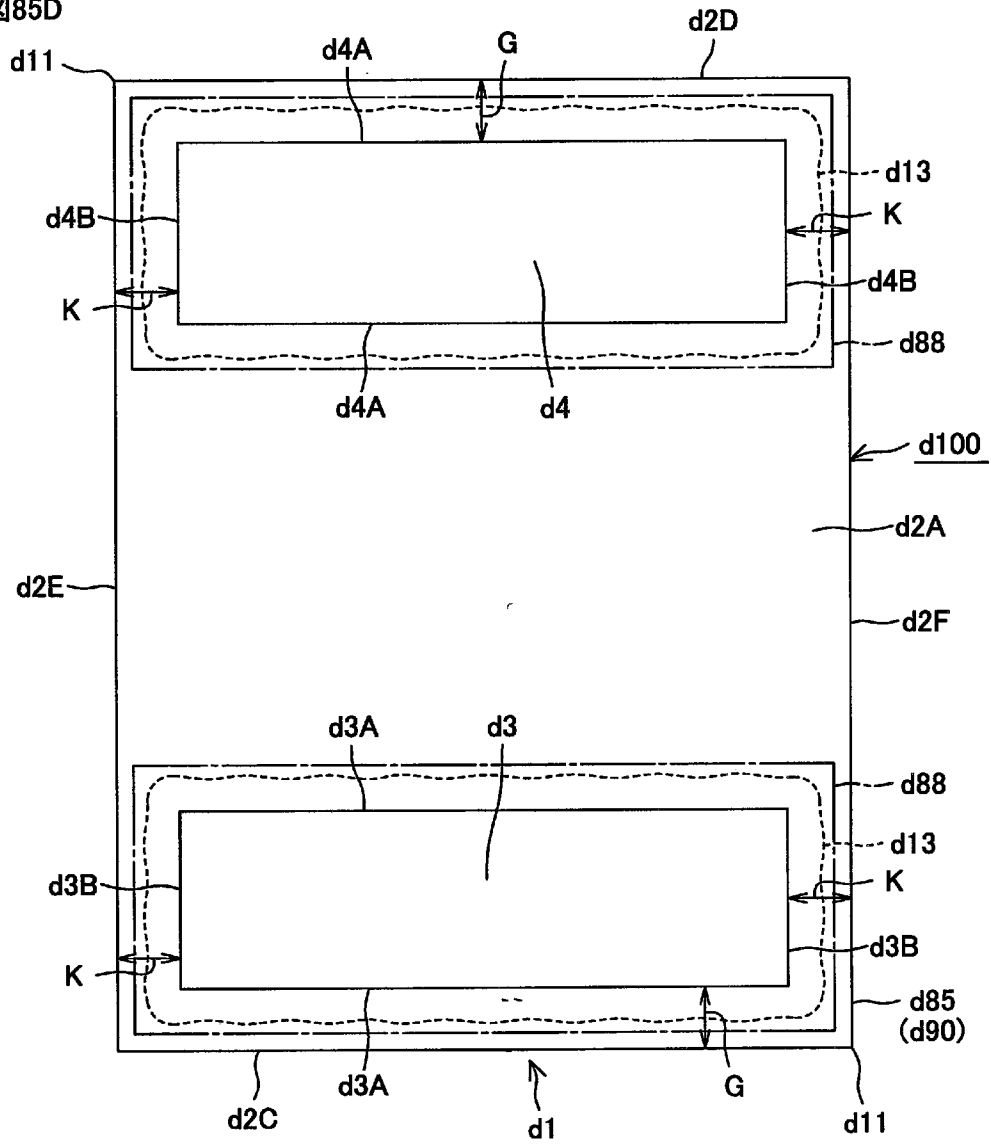
[図85C]

図85C



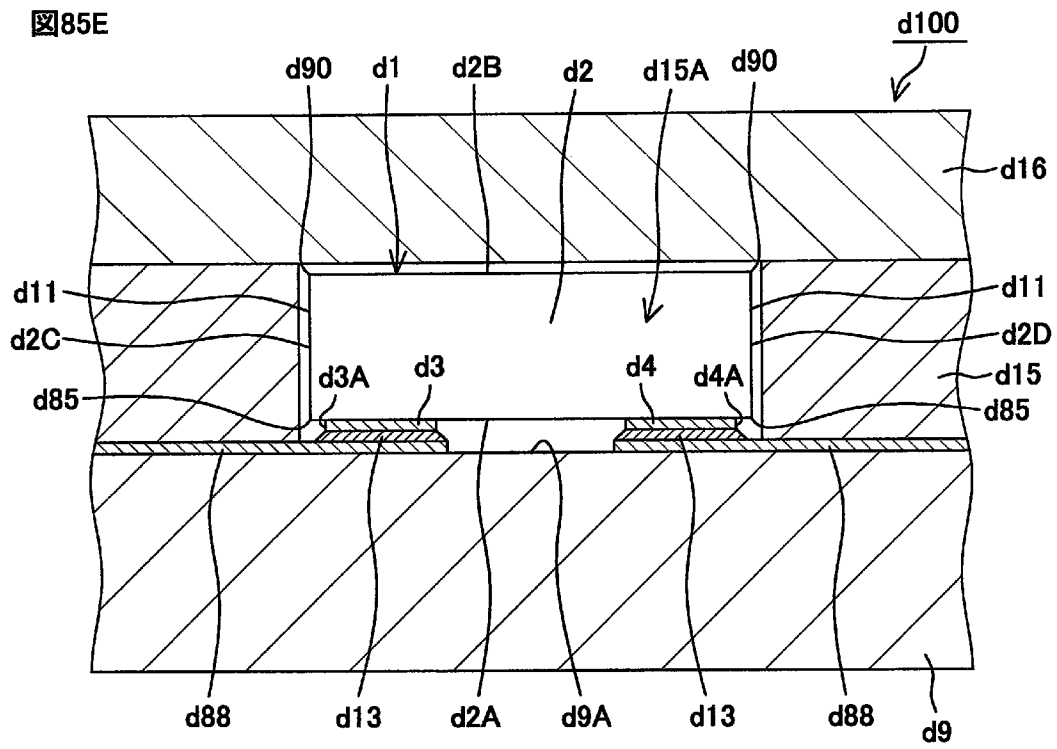
[図85D]

図85D

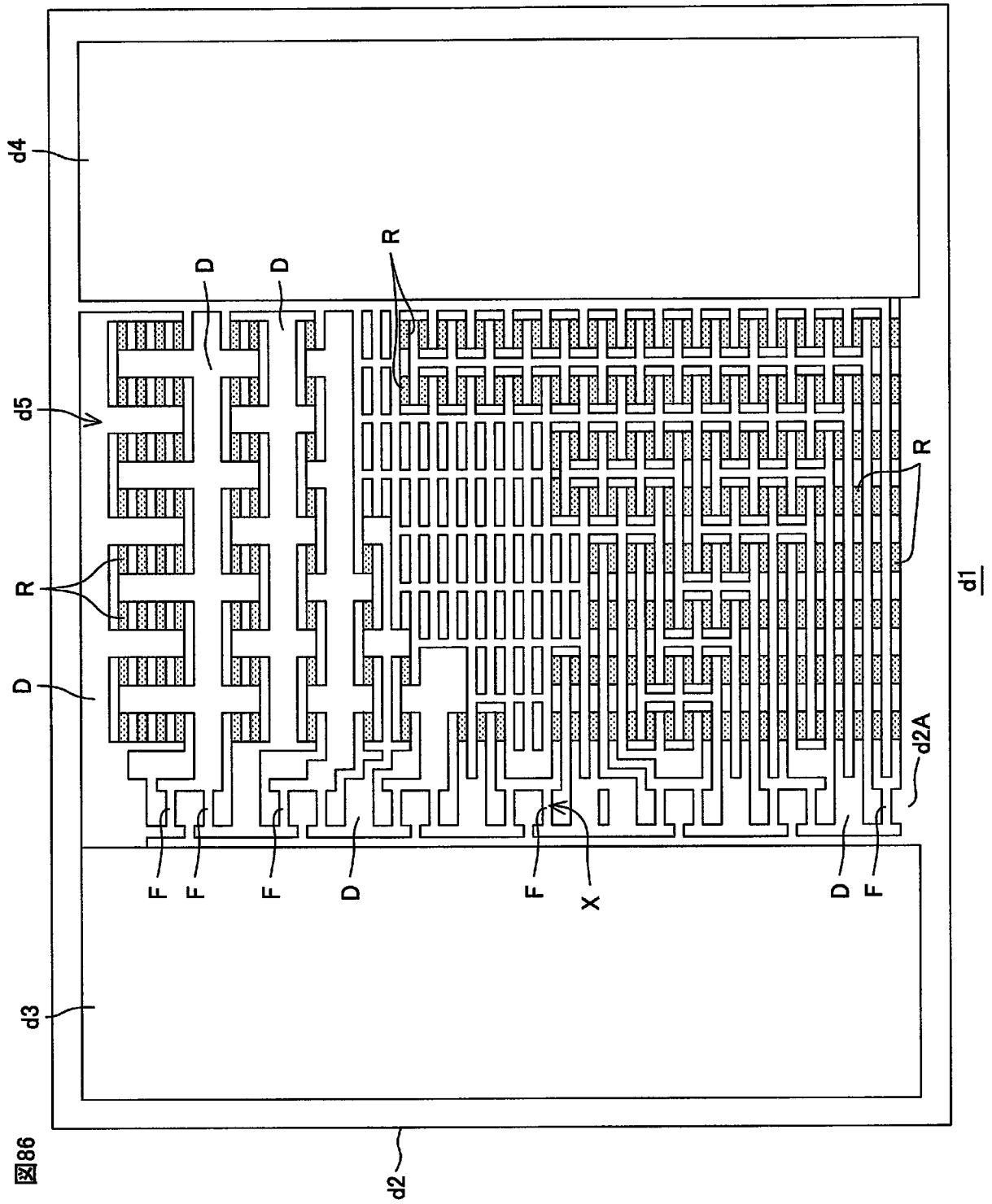


[図85E]

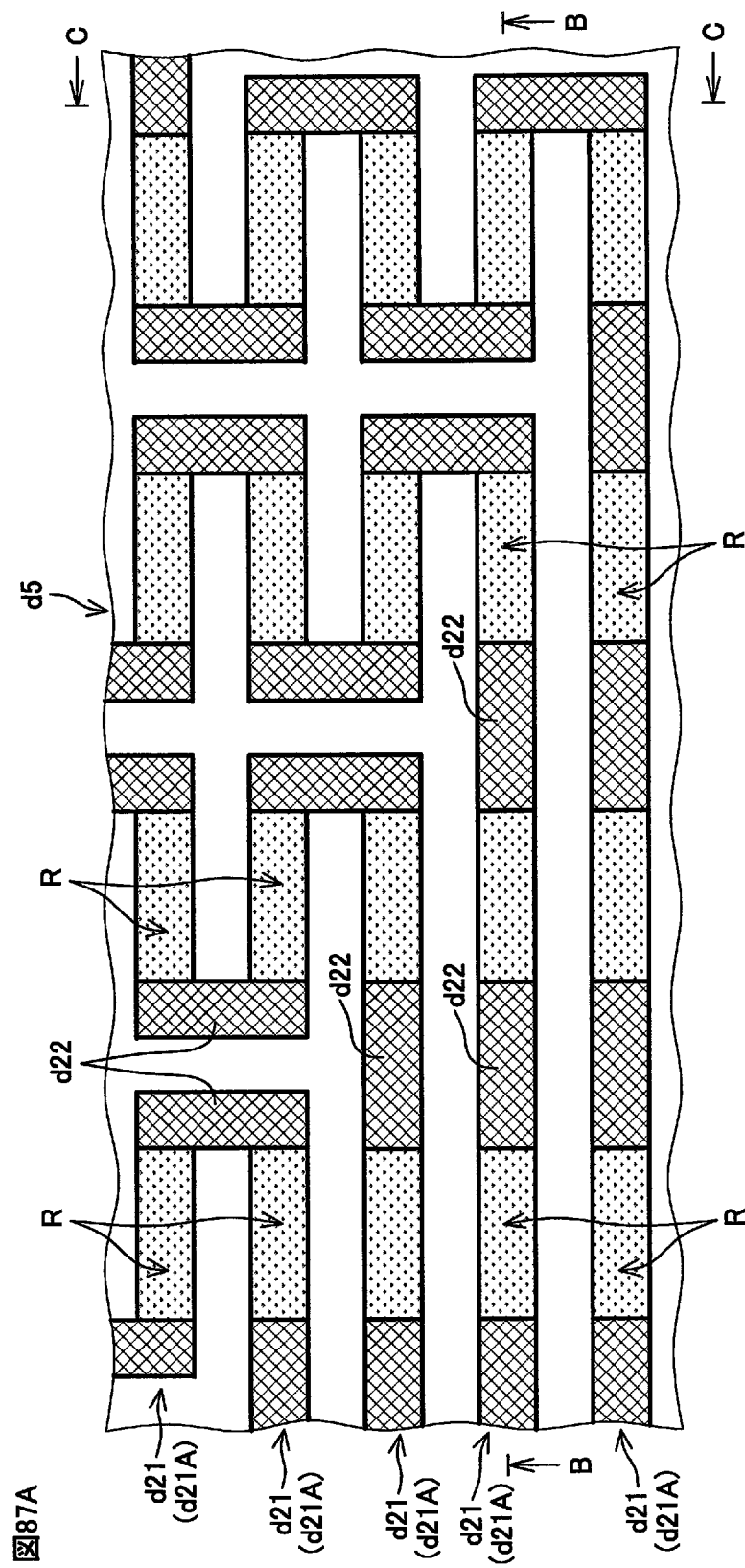
図85E



[図86]

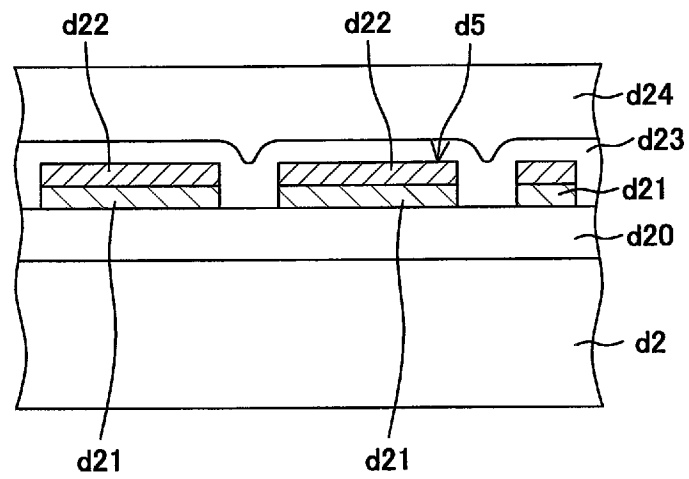


[図87A]



[図87C]

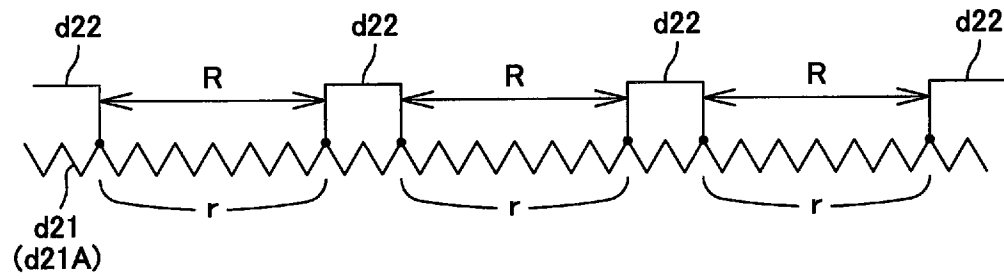
図87C



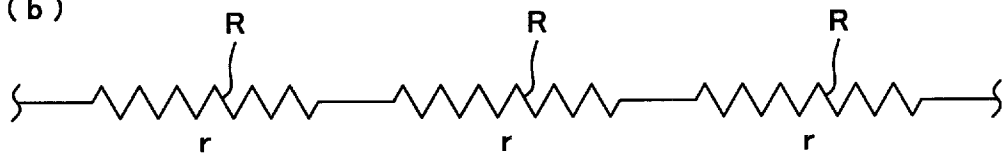
[図88]

図88

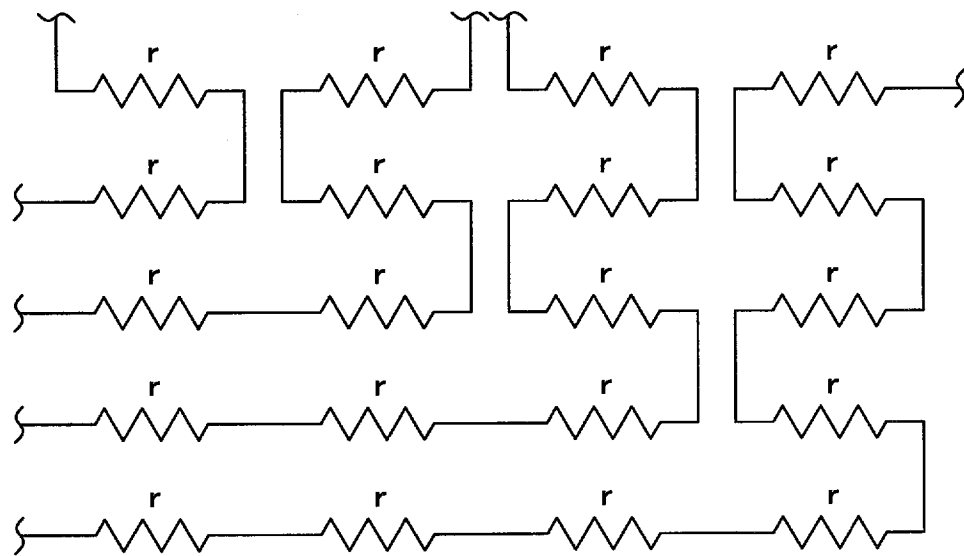
(a)



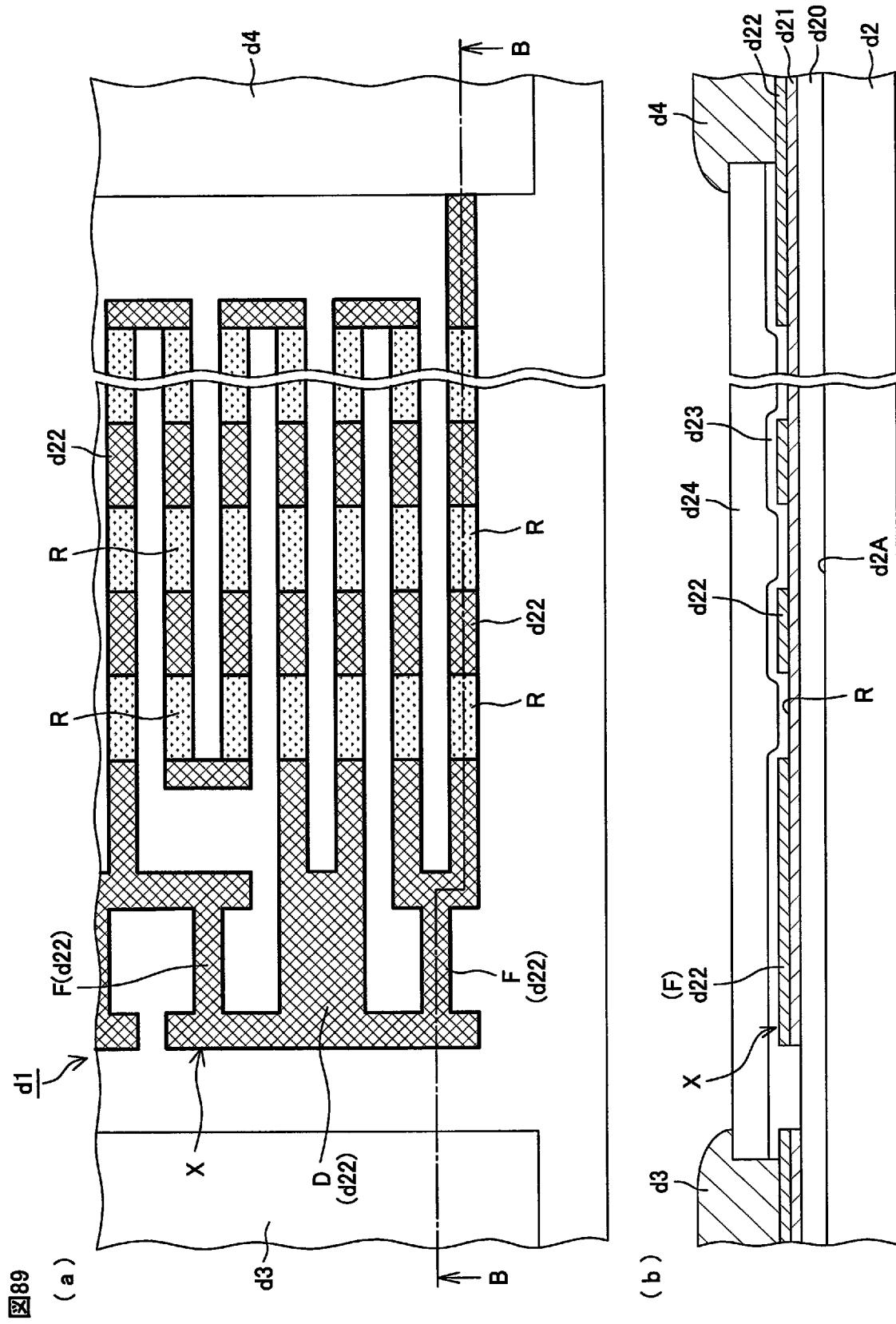
(b)



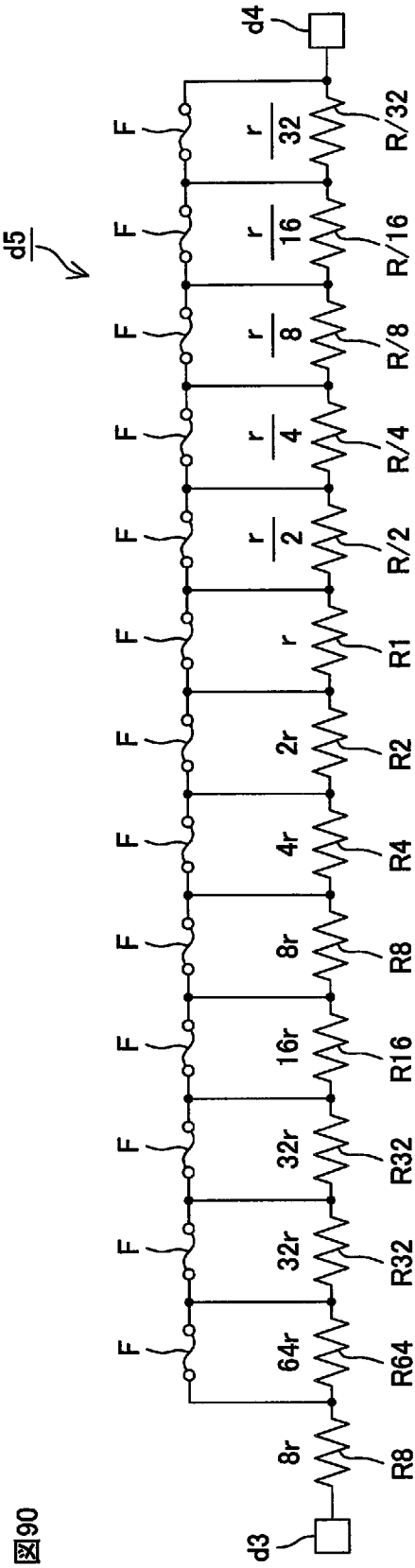
(c)



[図89]

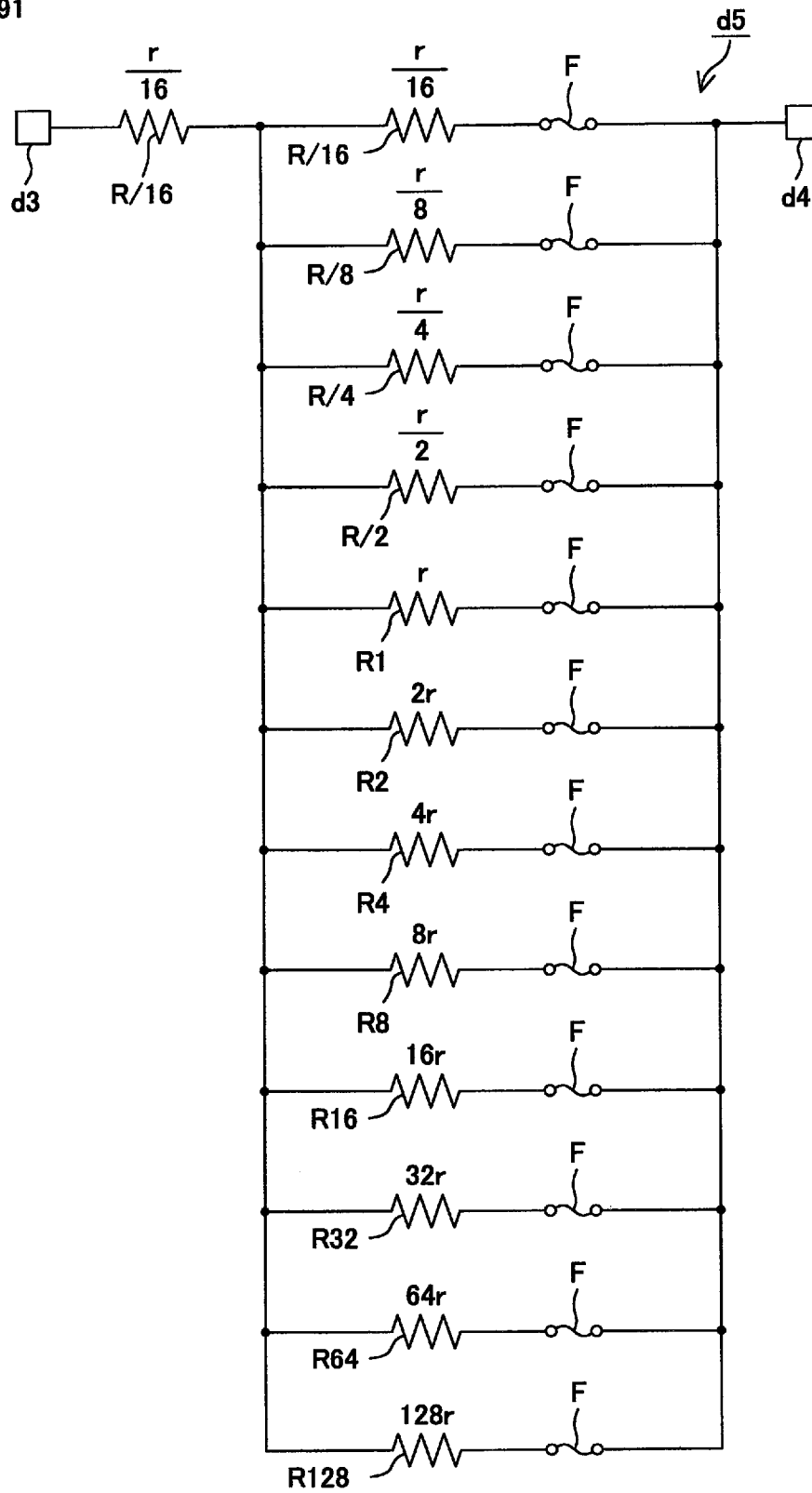


[図90]



[図91]

図91



[図92]

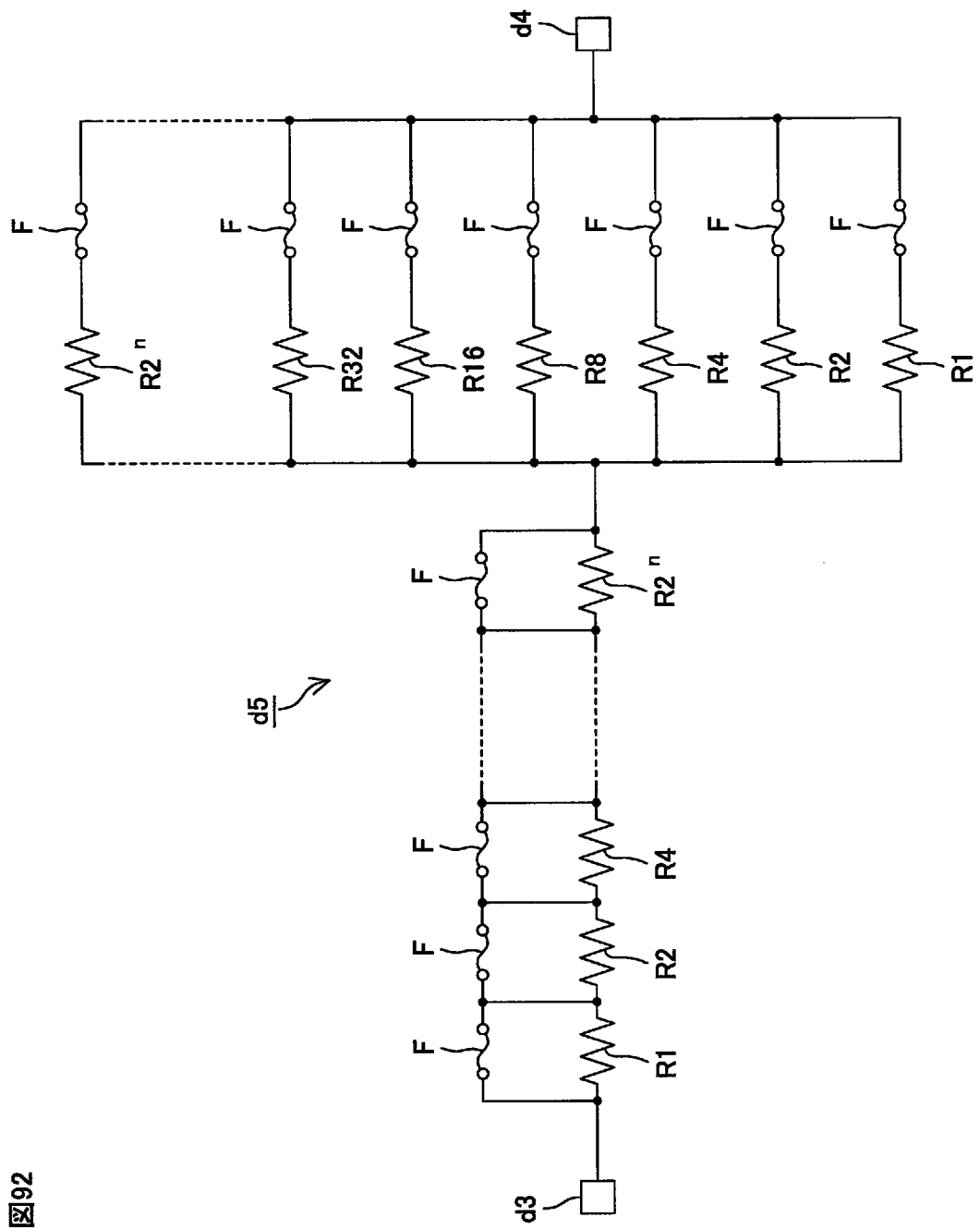
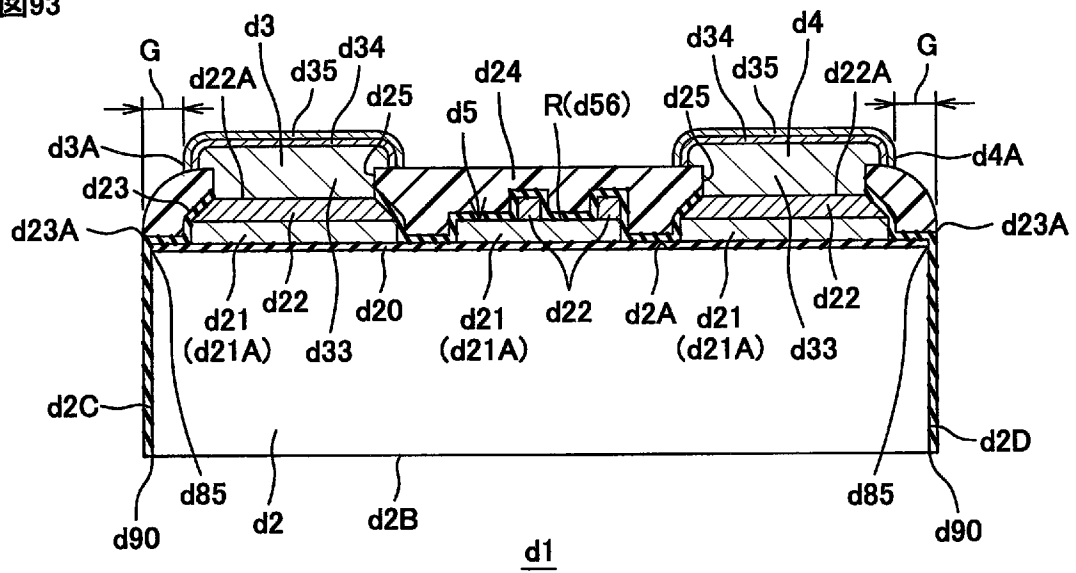


図92

[図93]

図93



[図94A]

図94A

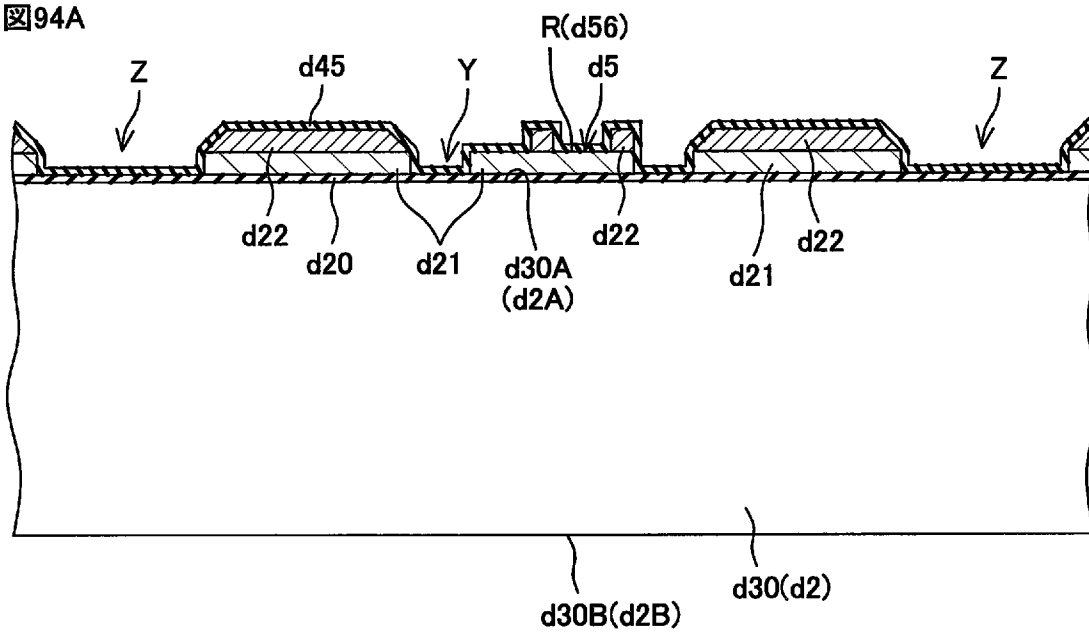


図94B

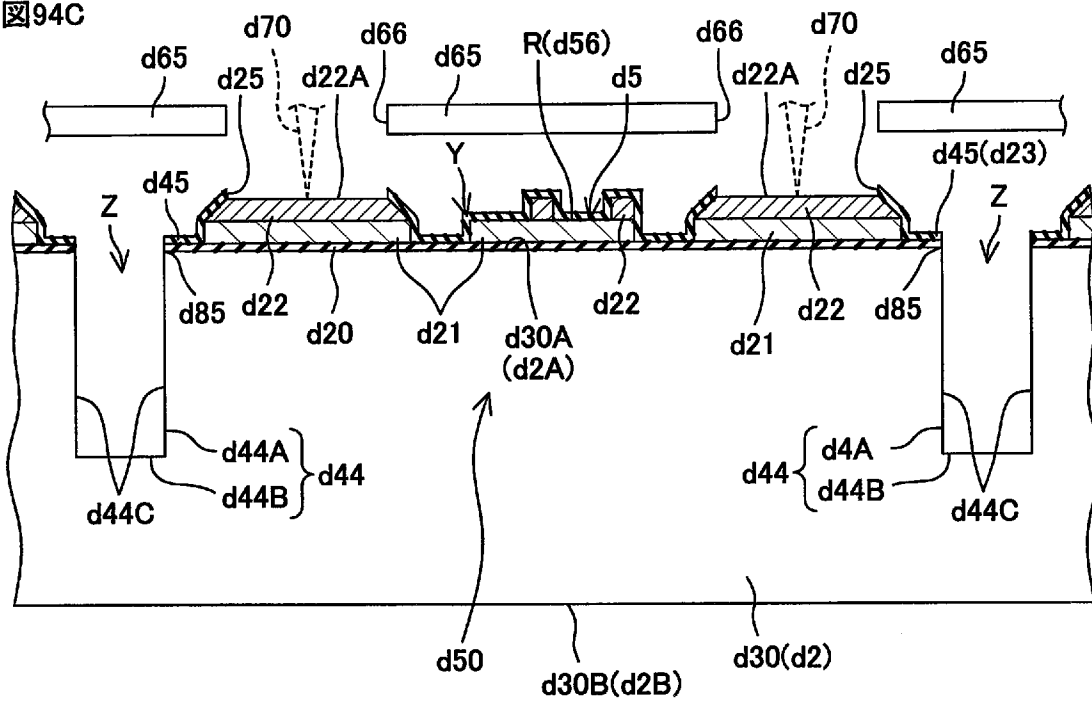
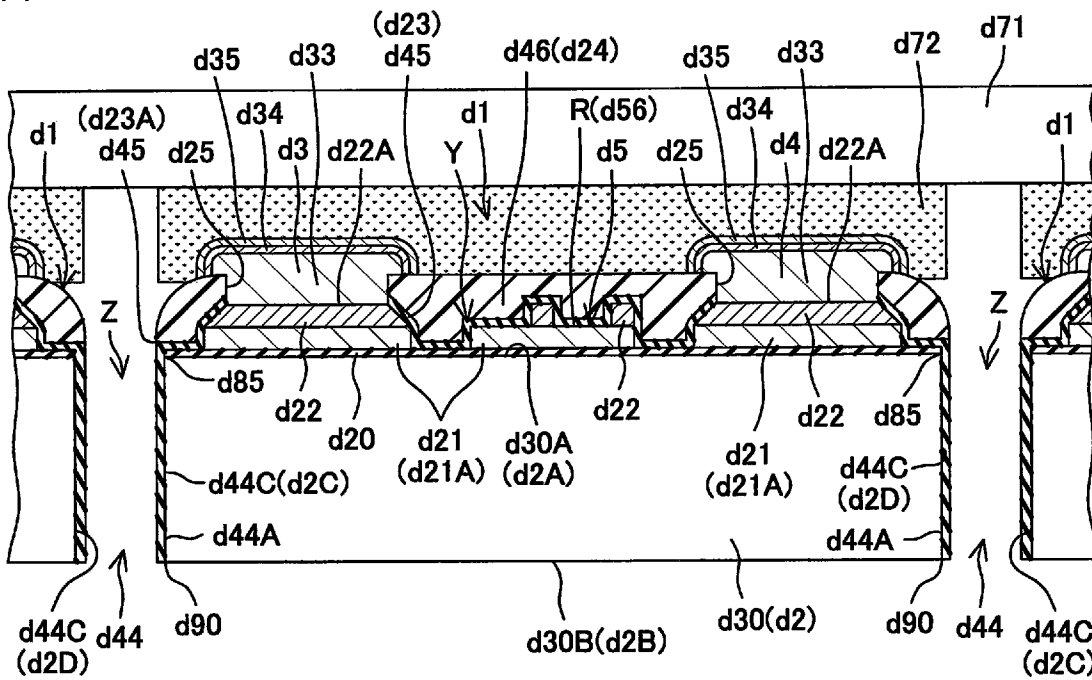
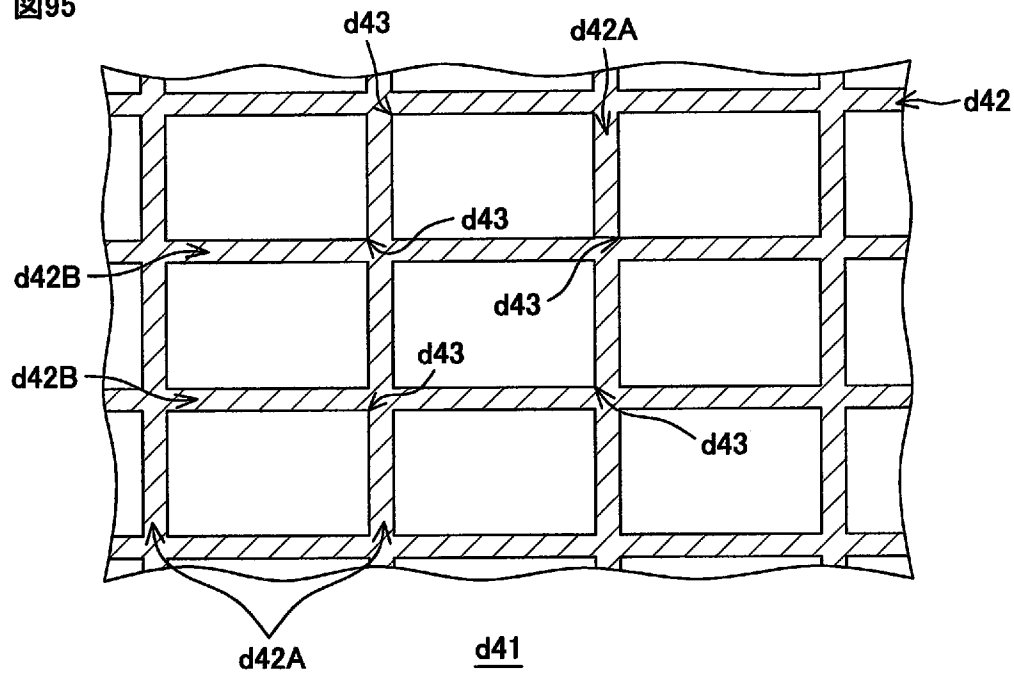


图94F



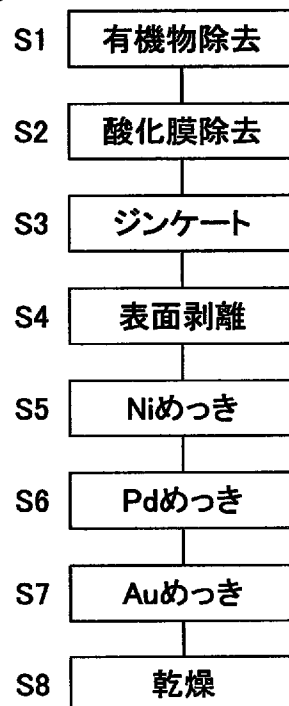
[図95]

図95

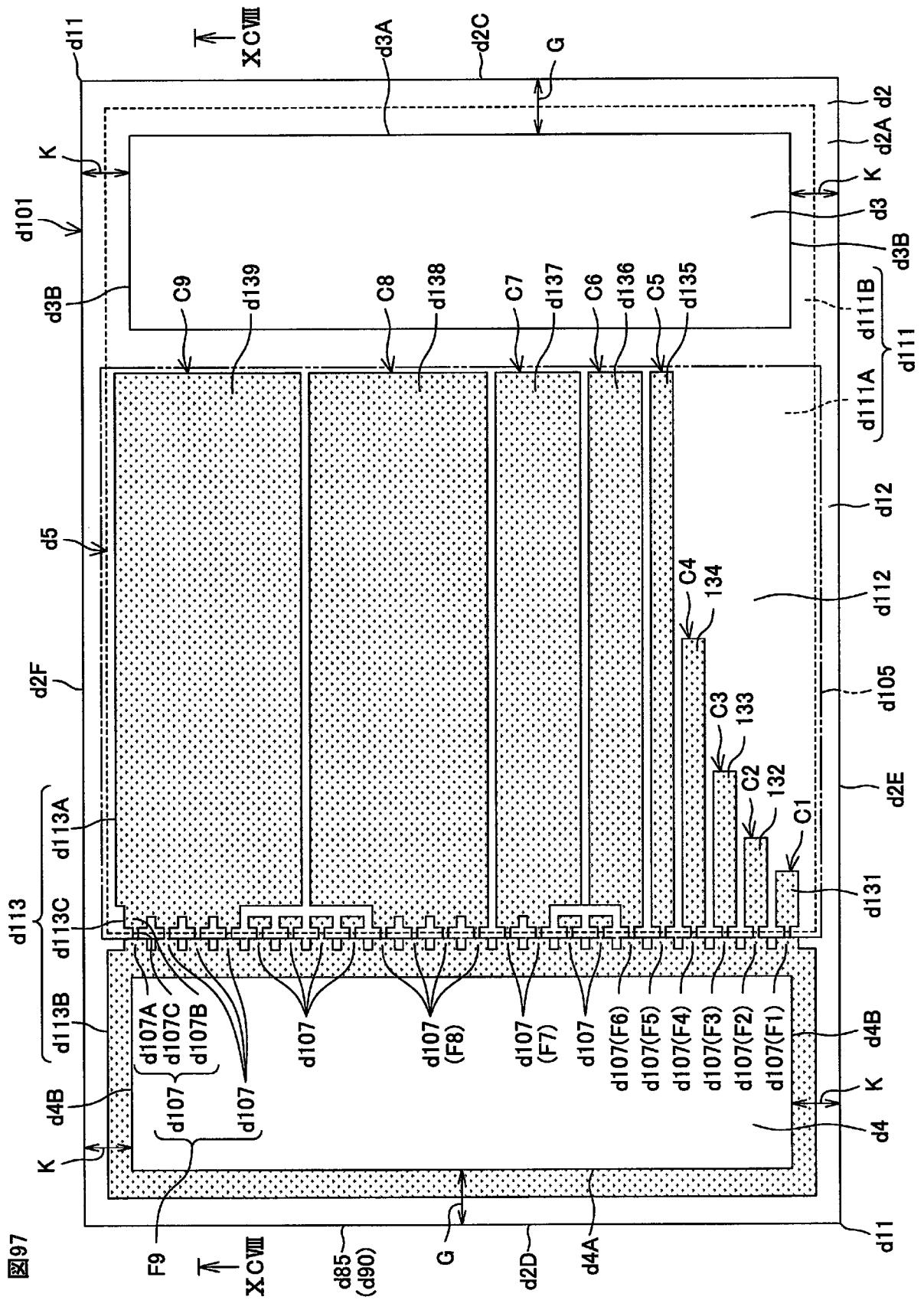


[図96]

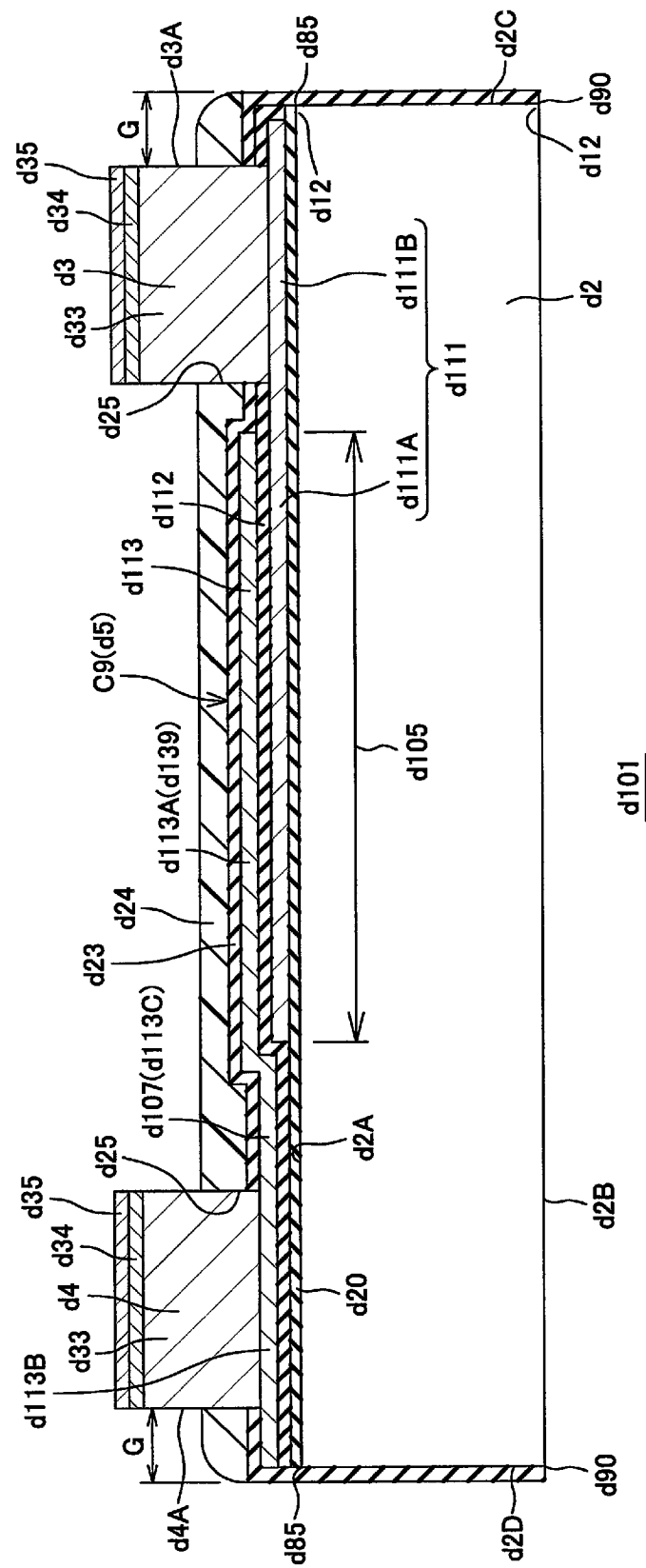
図96



[図97]

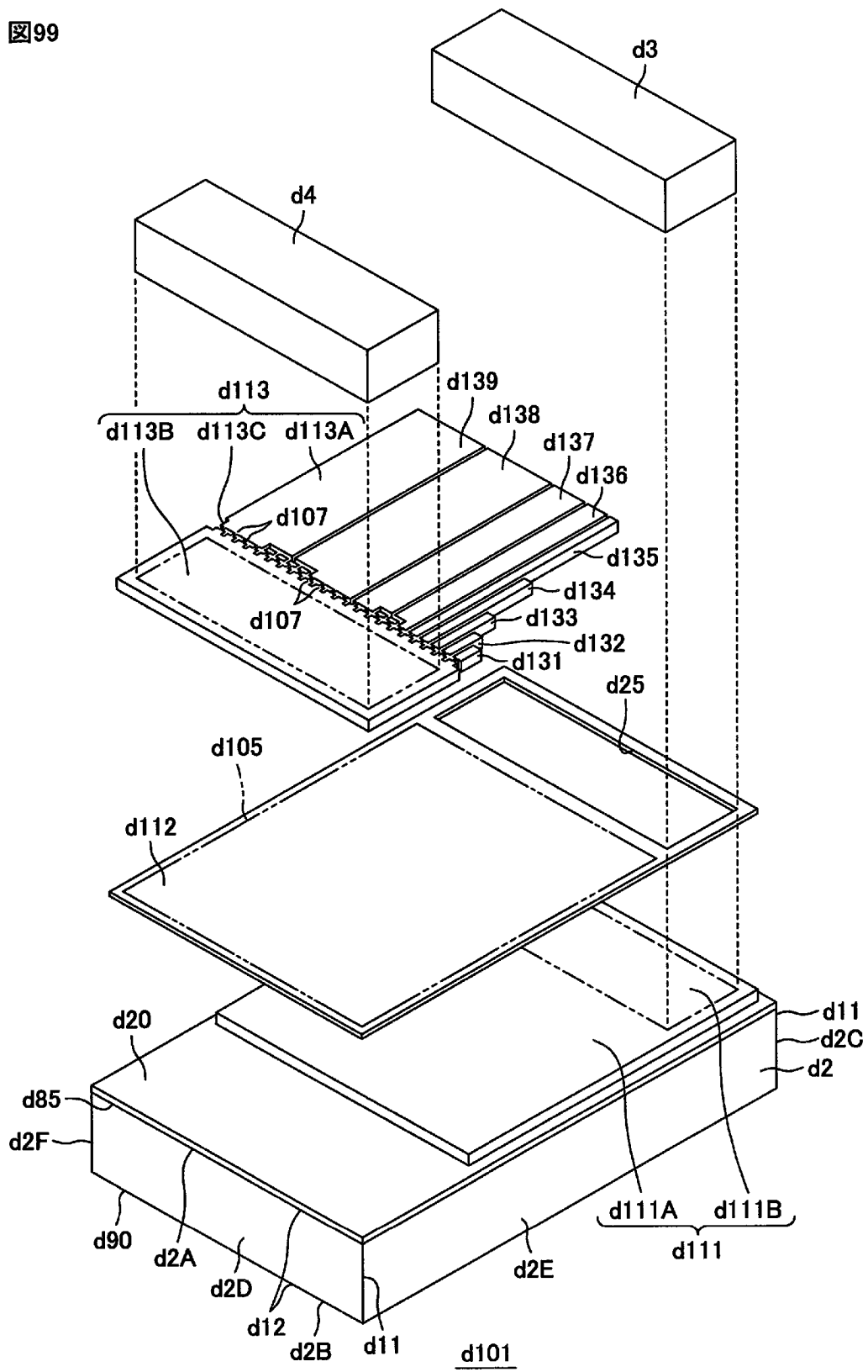


86



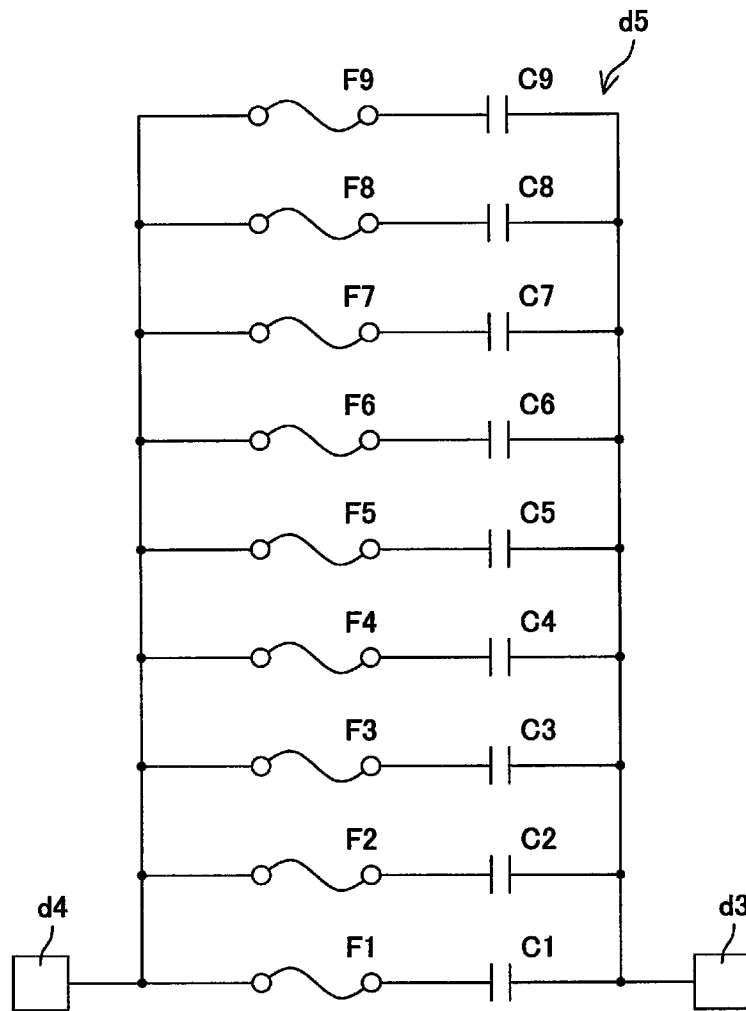
[図99]

図99



[図100]

図100



[図101]

図101

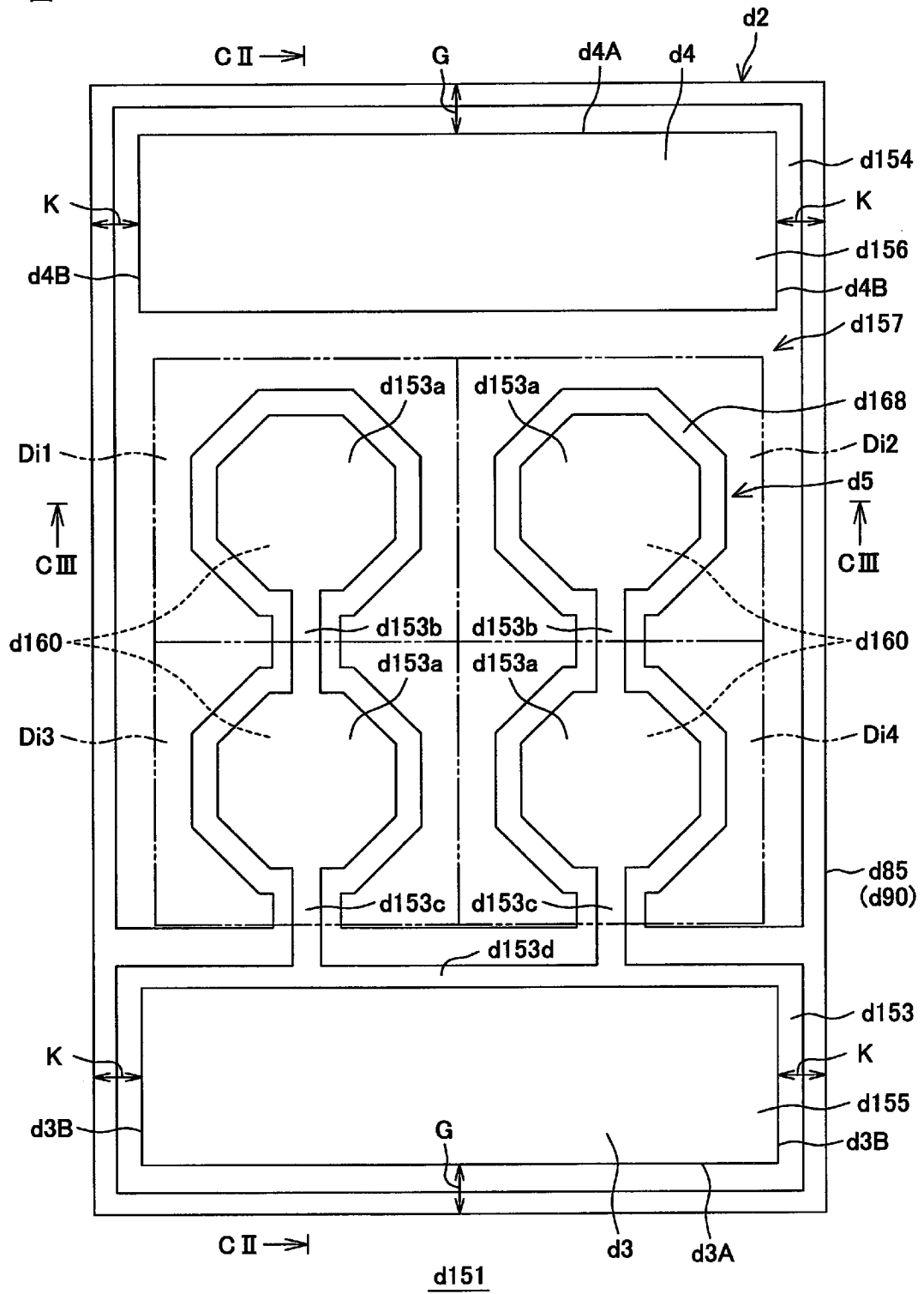
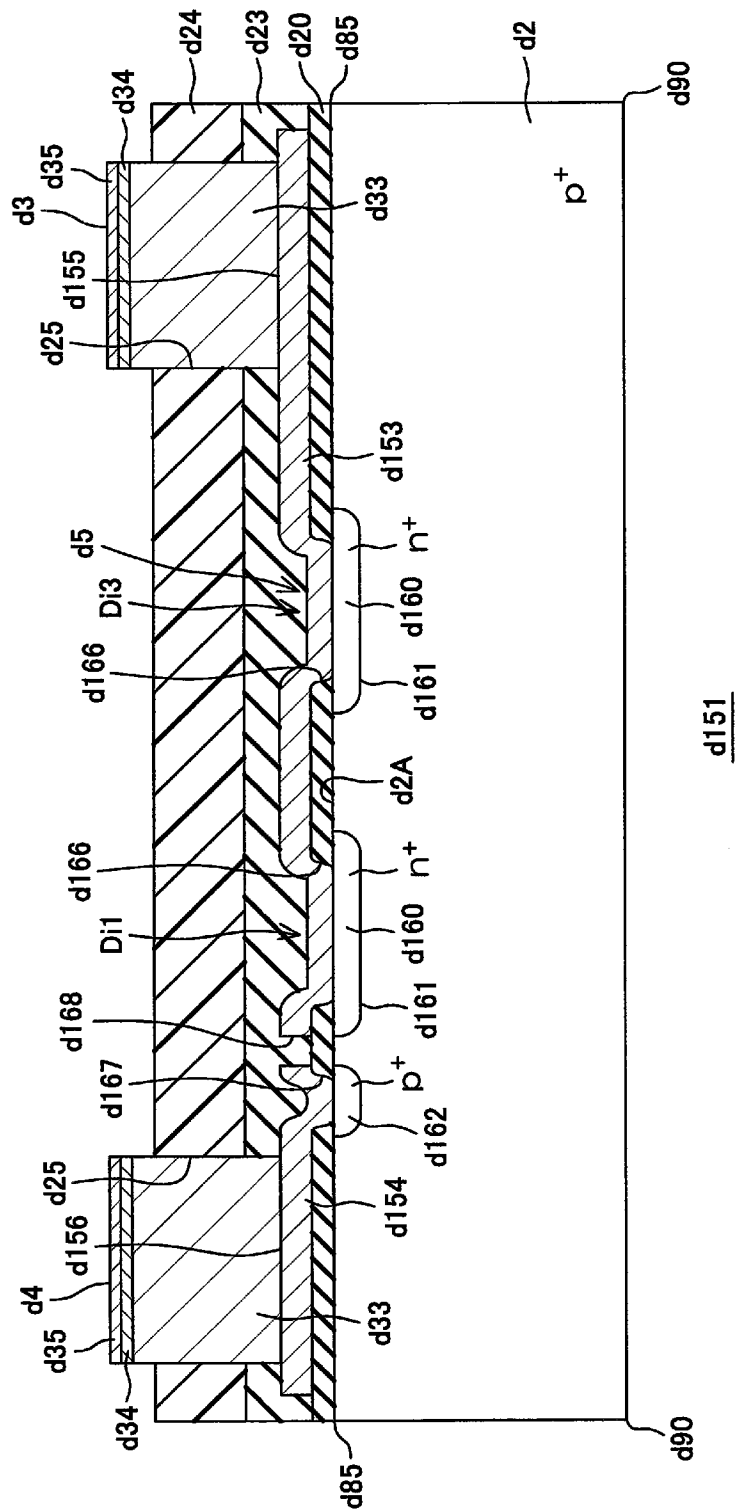
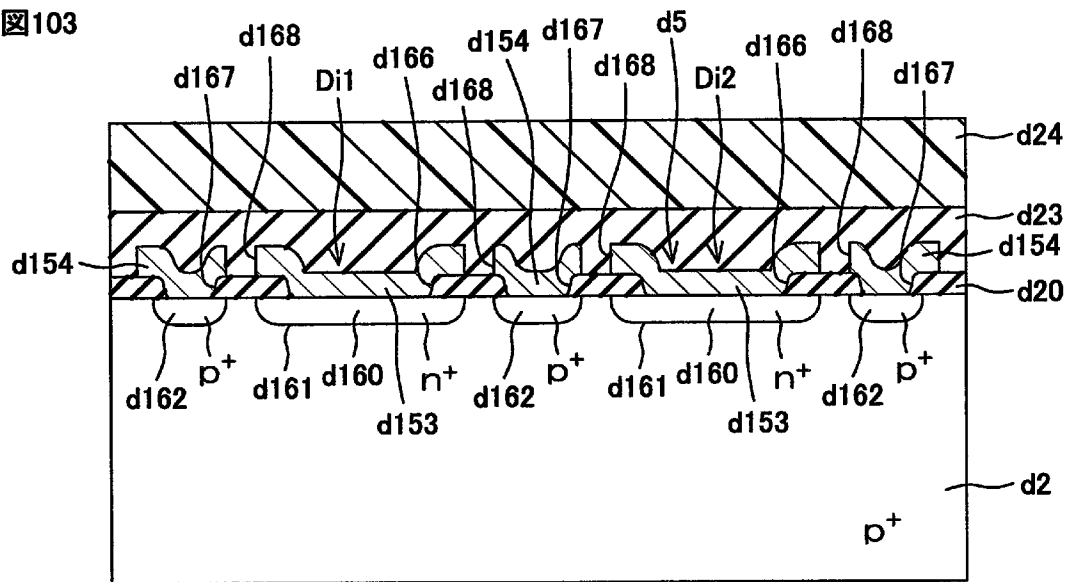


图102



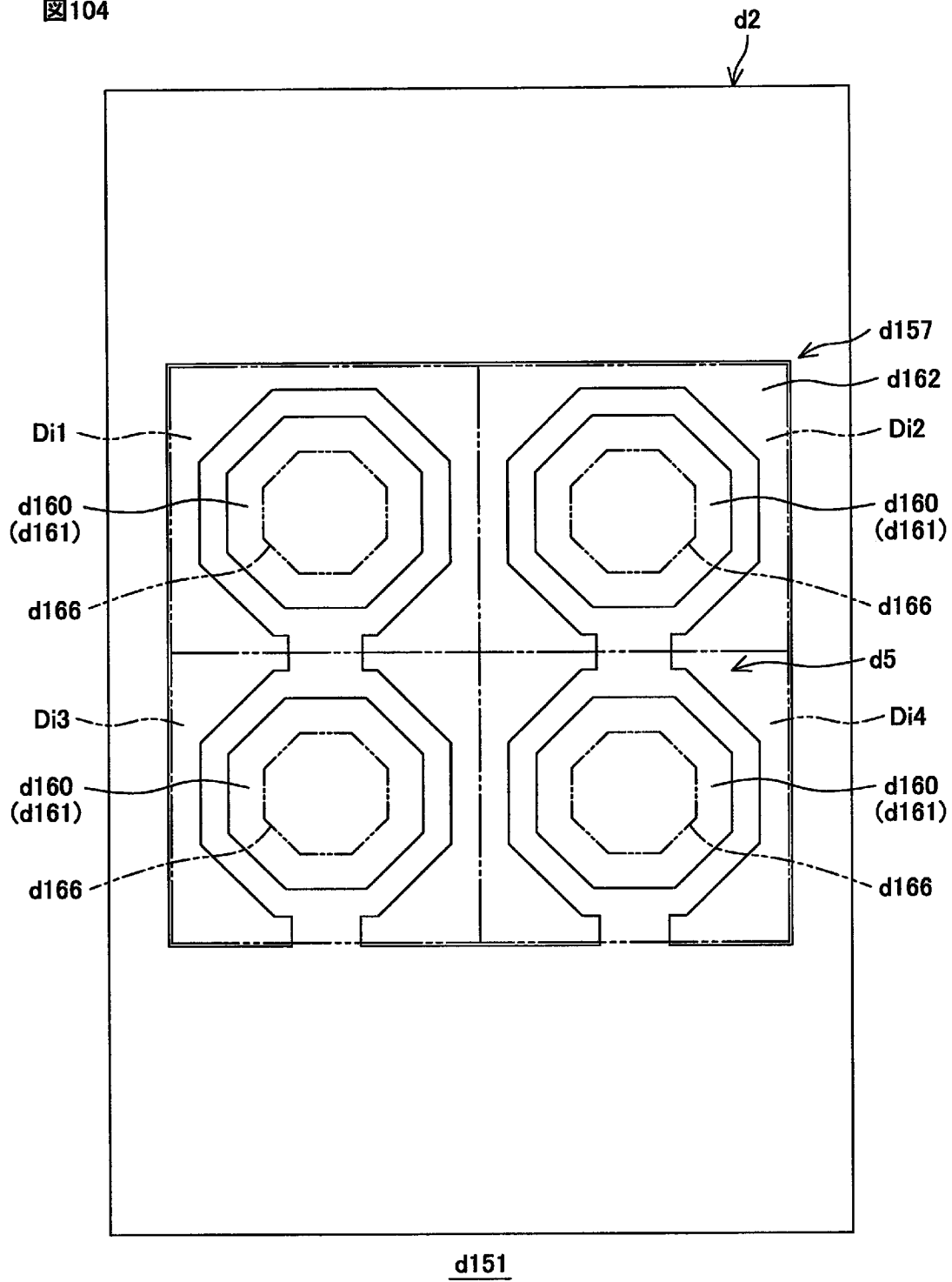
[図103]

図103

d151

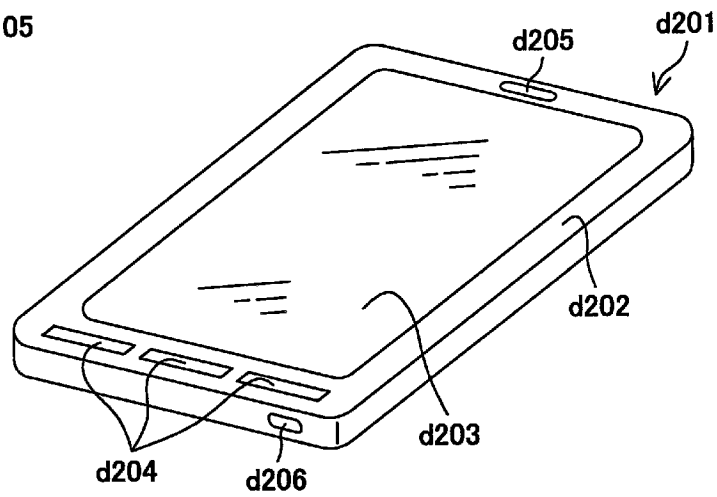
[図104]

図104



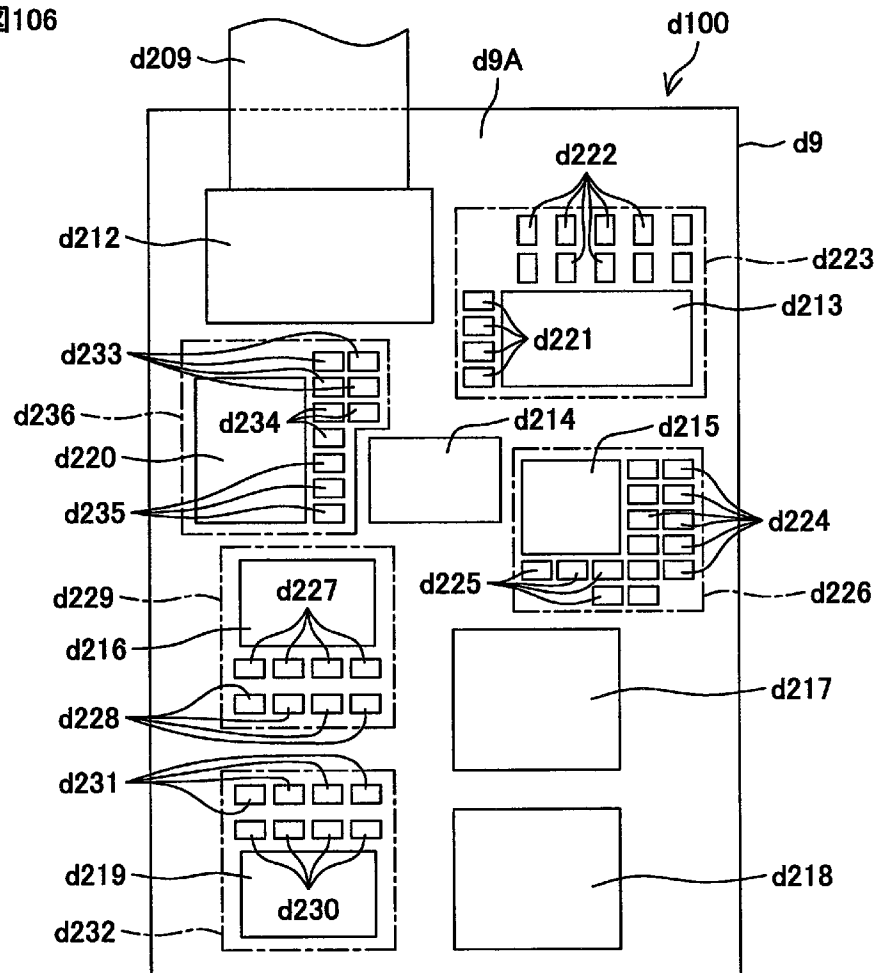
[図105]

図105



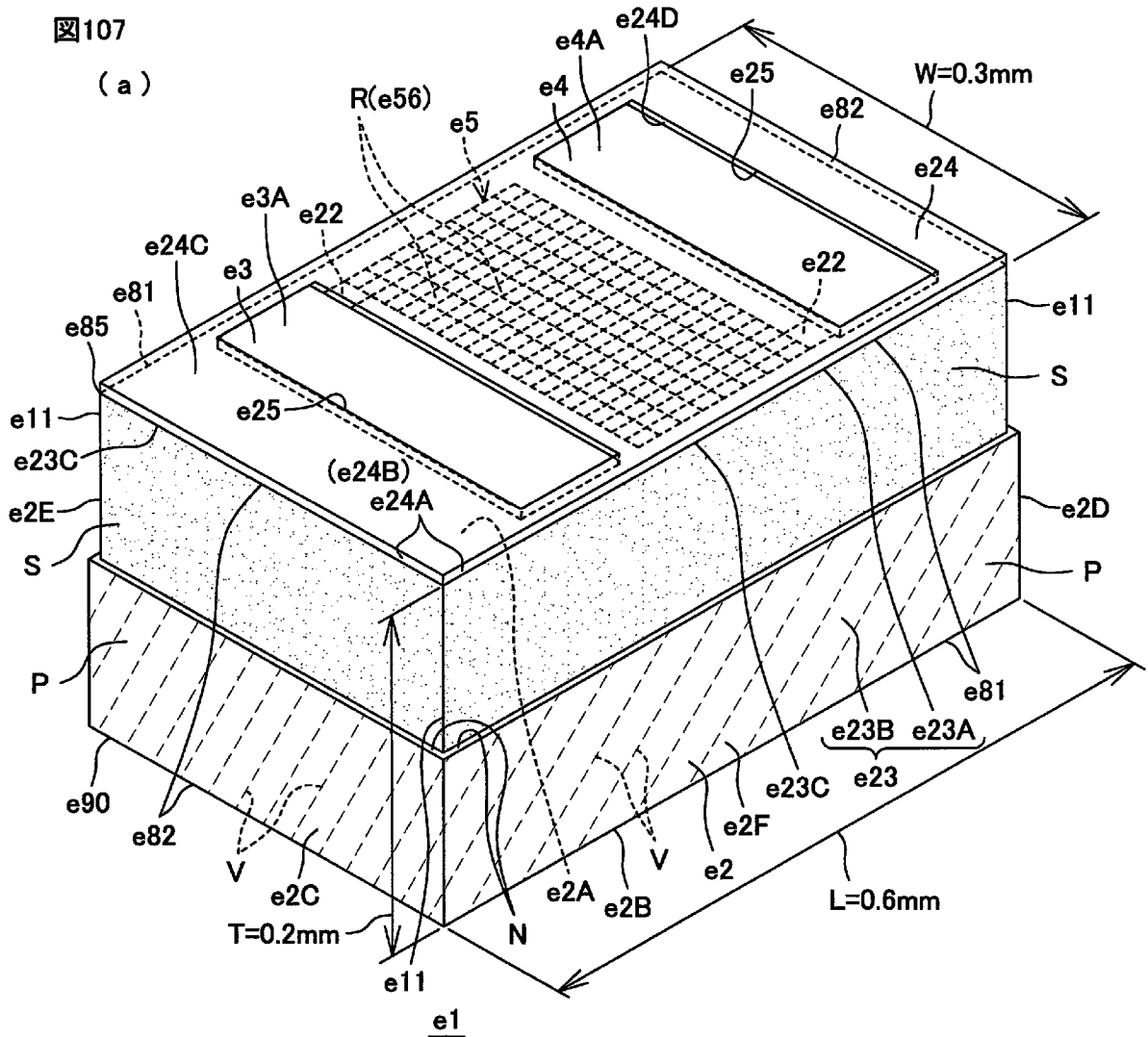
[図106]

図106

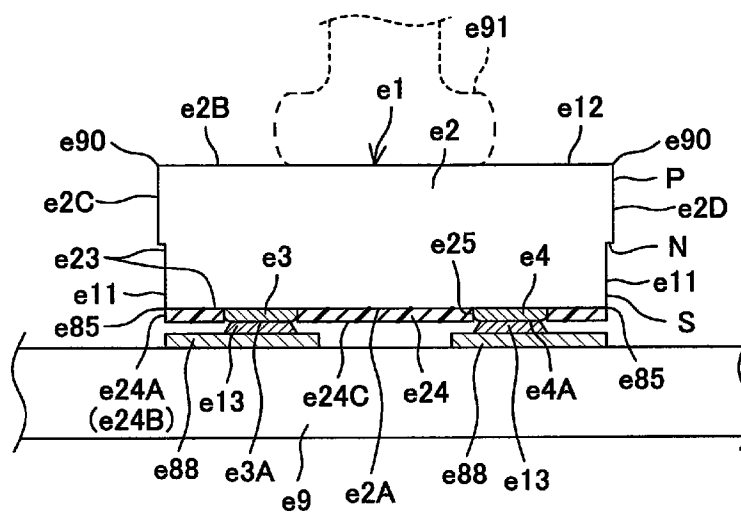


[図107]

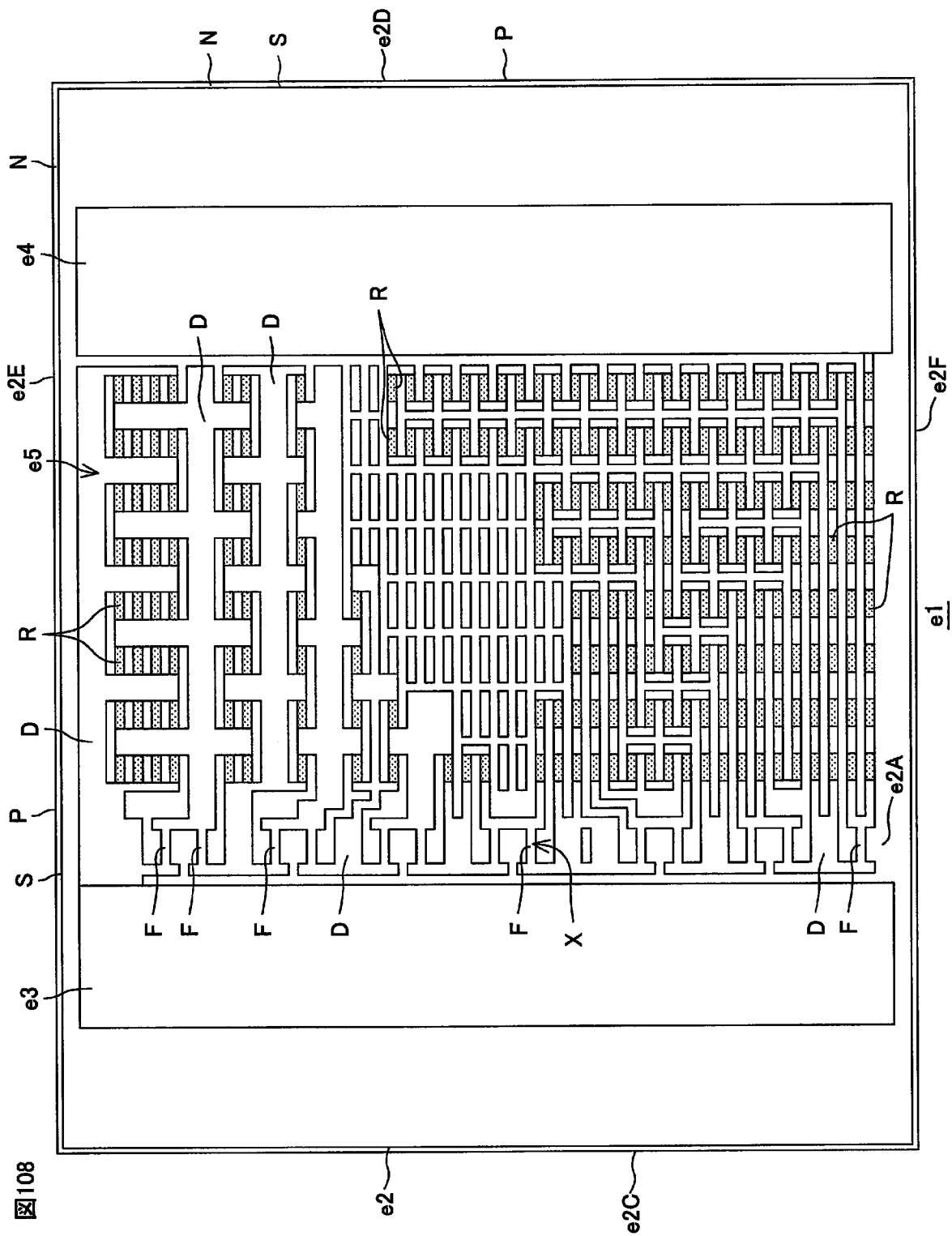
図107



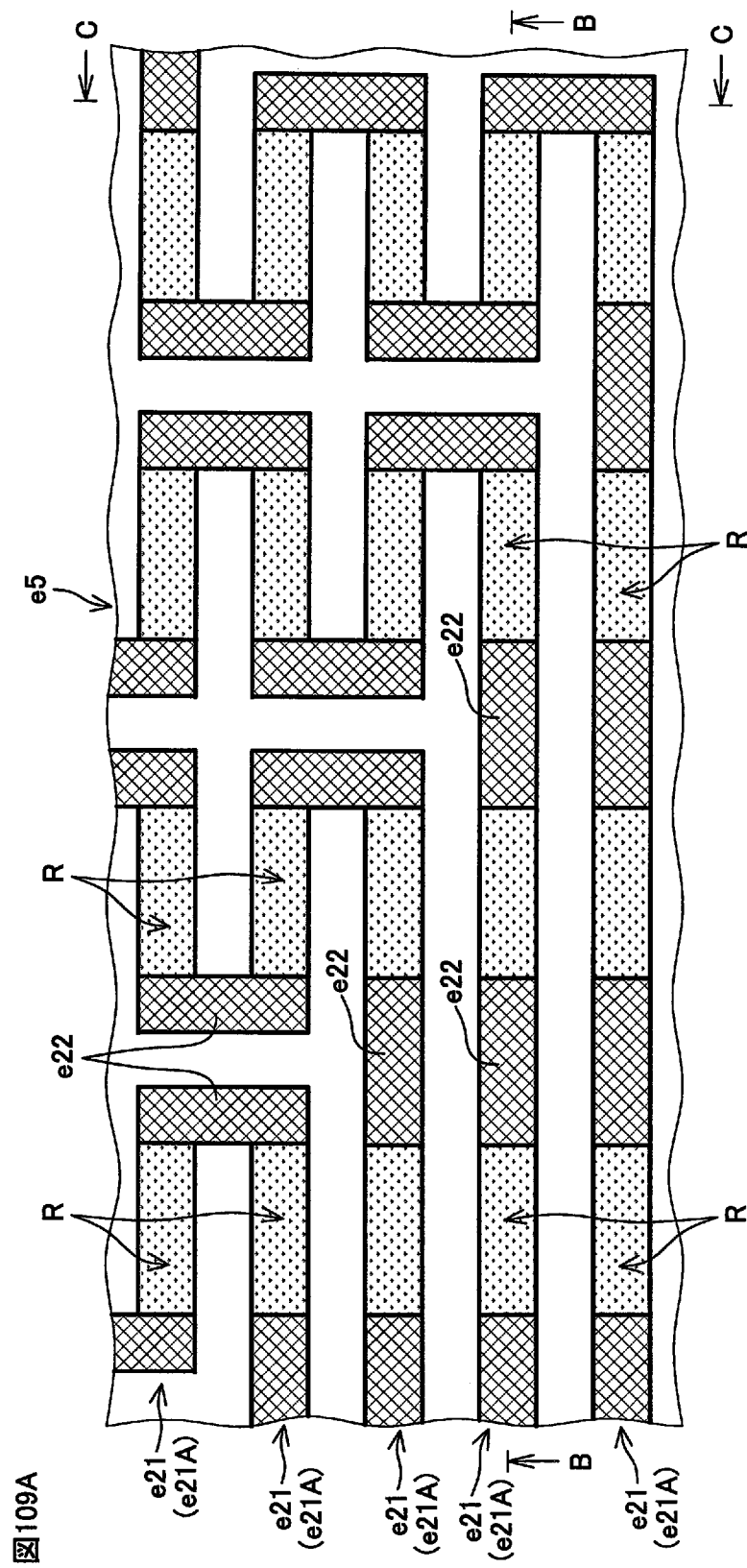
(b)



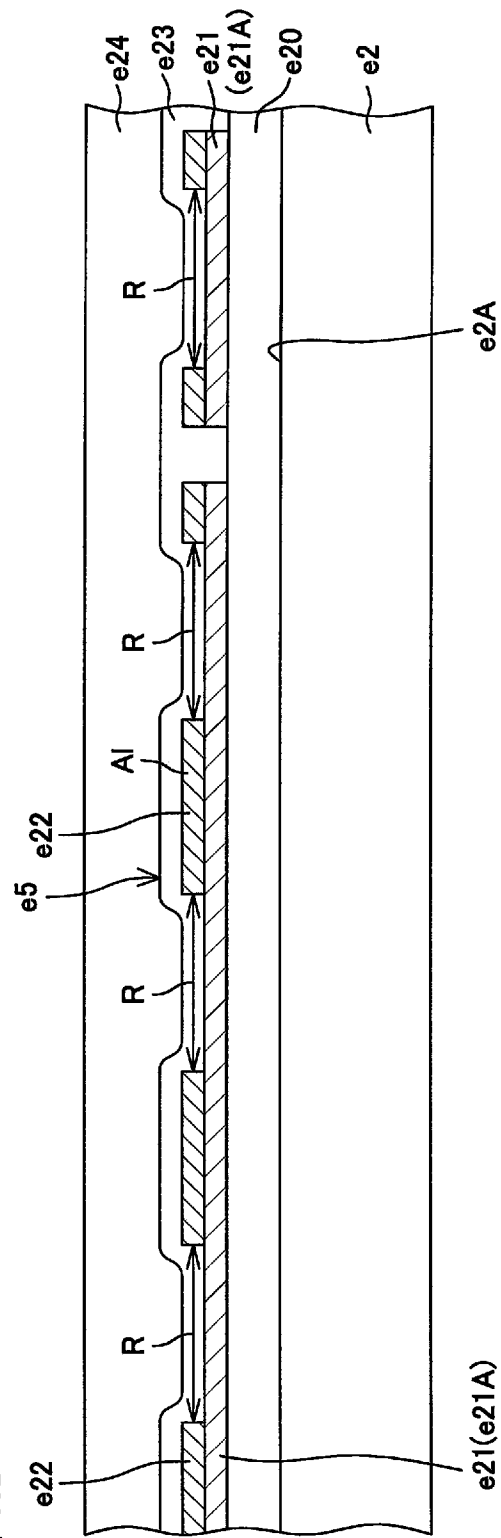
[図108]



[図109A]

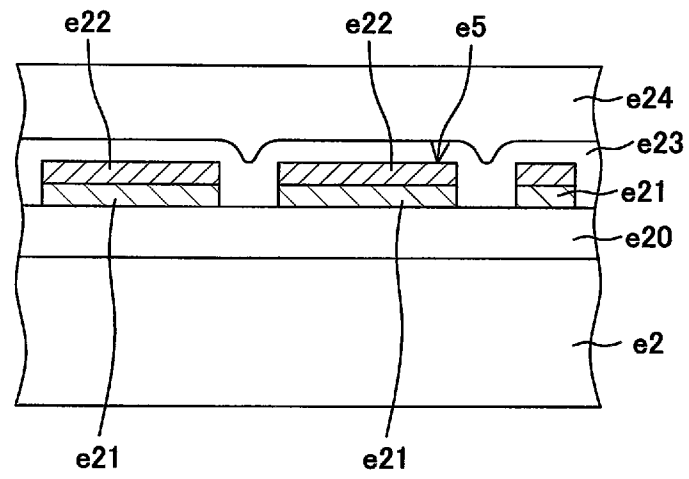


109B



[図109C]

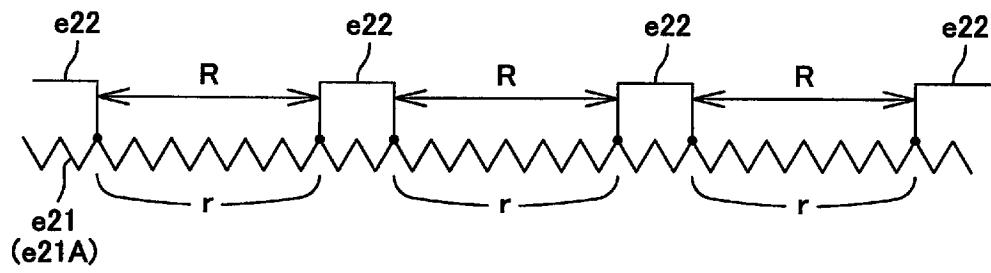
図109C



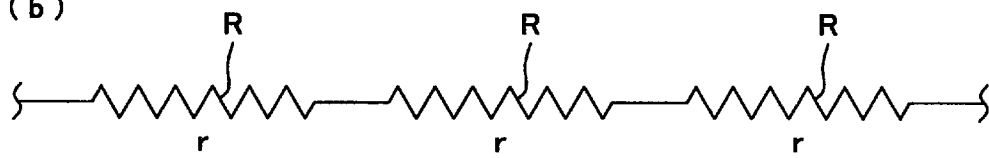
[図110]

図110

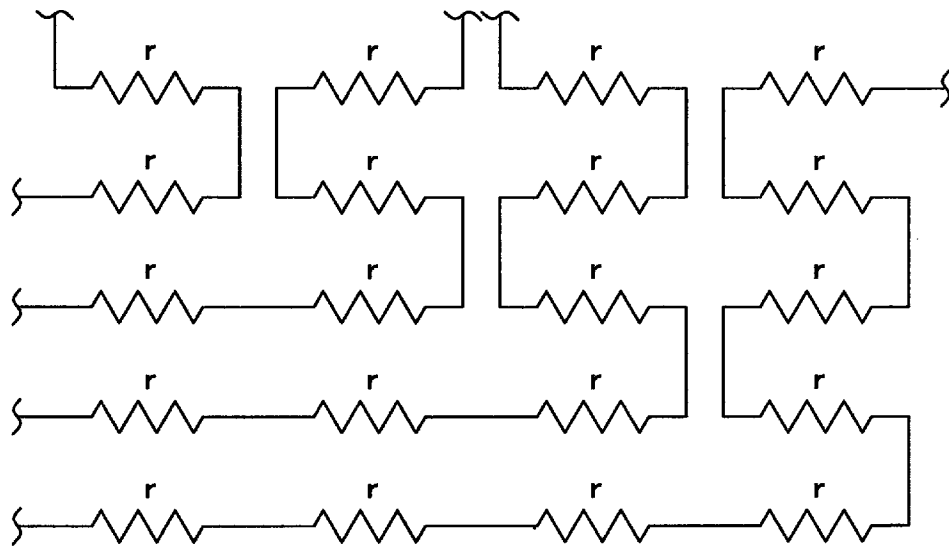
(a)



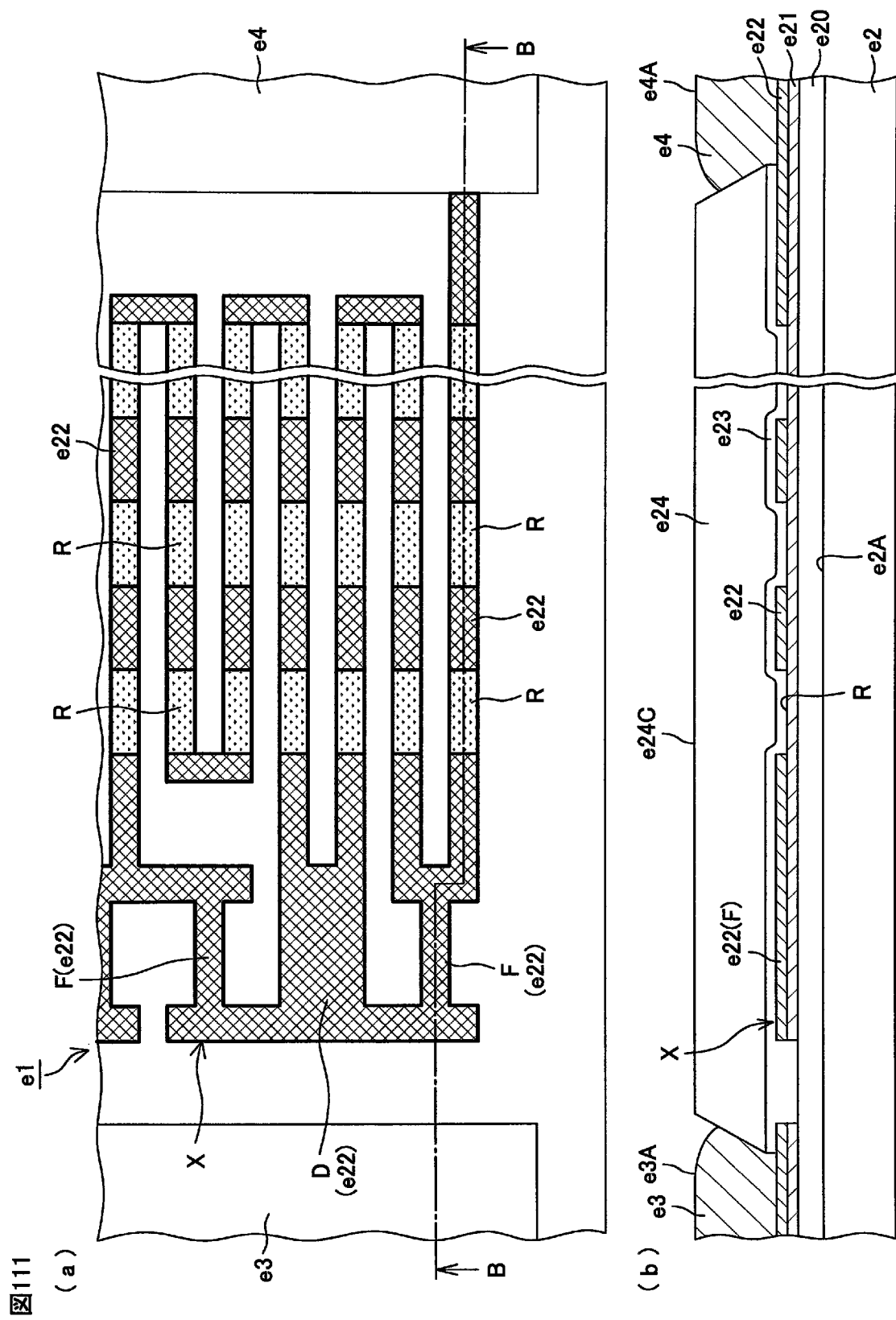
(b)



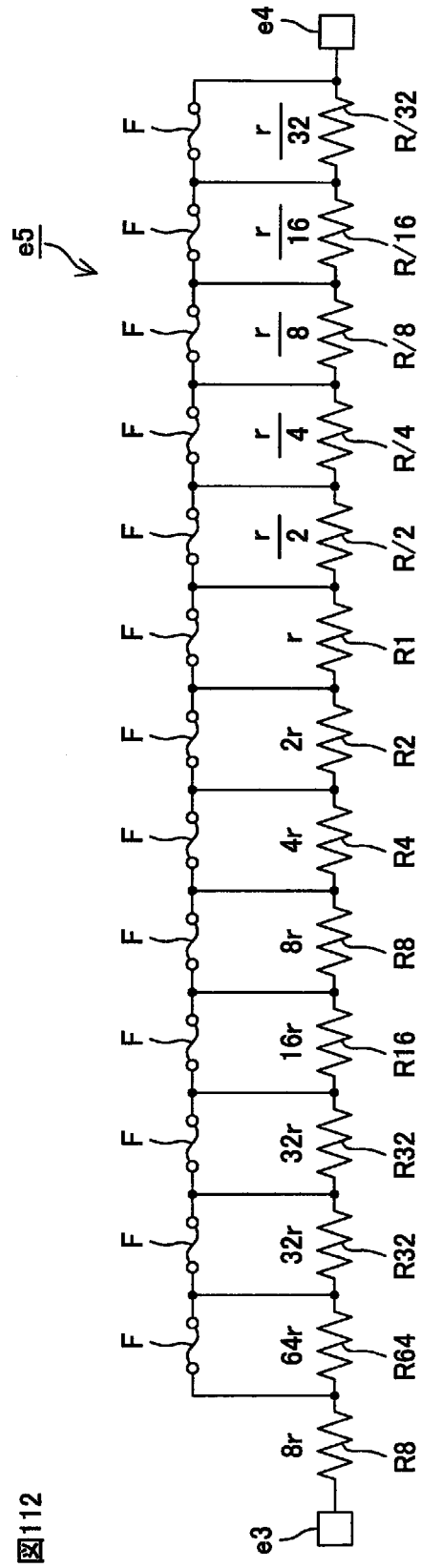
(c)



[図111]

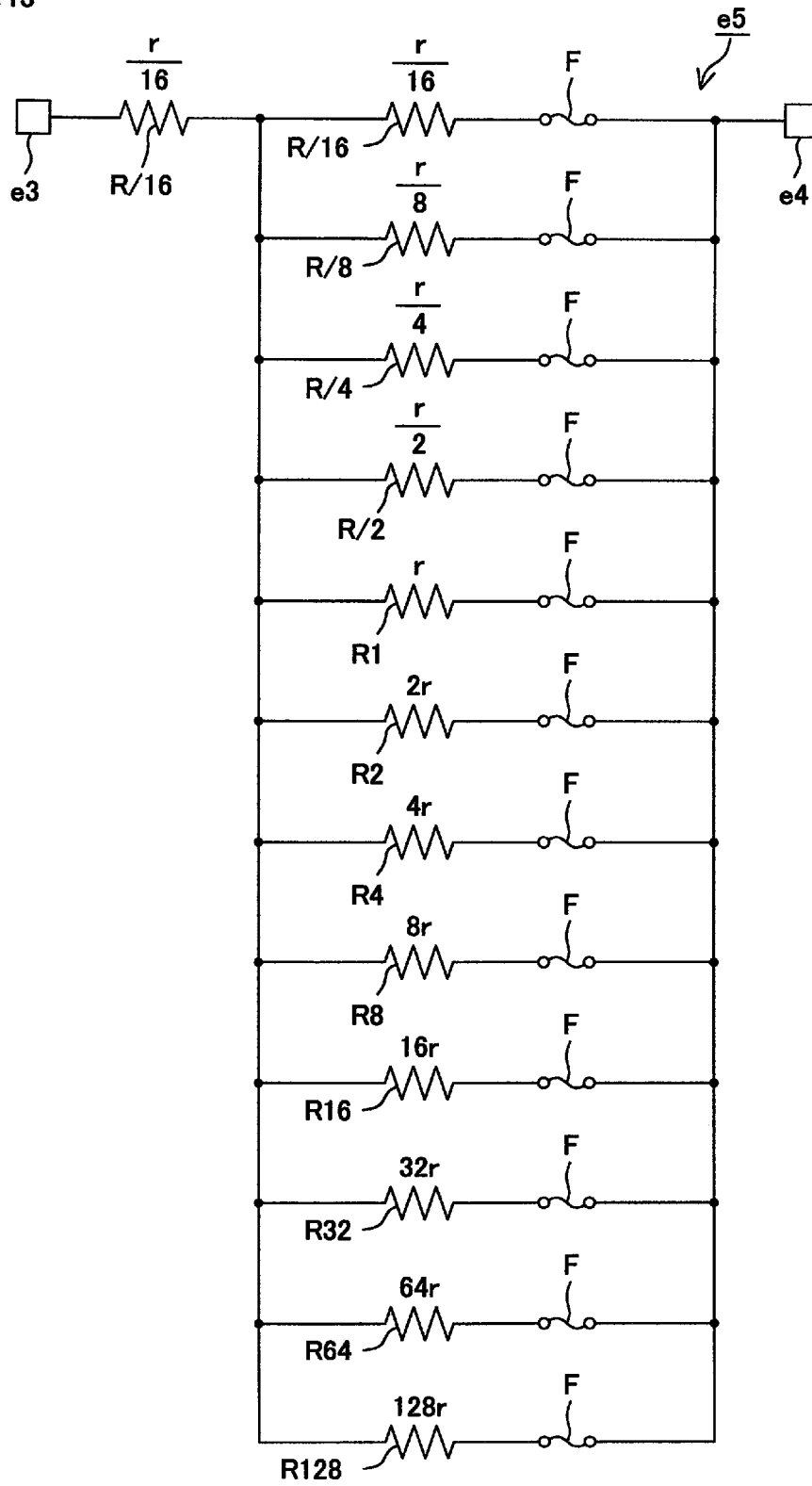


[図112]



[図113]

図113



[図114]

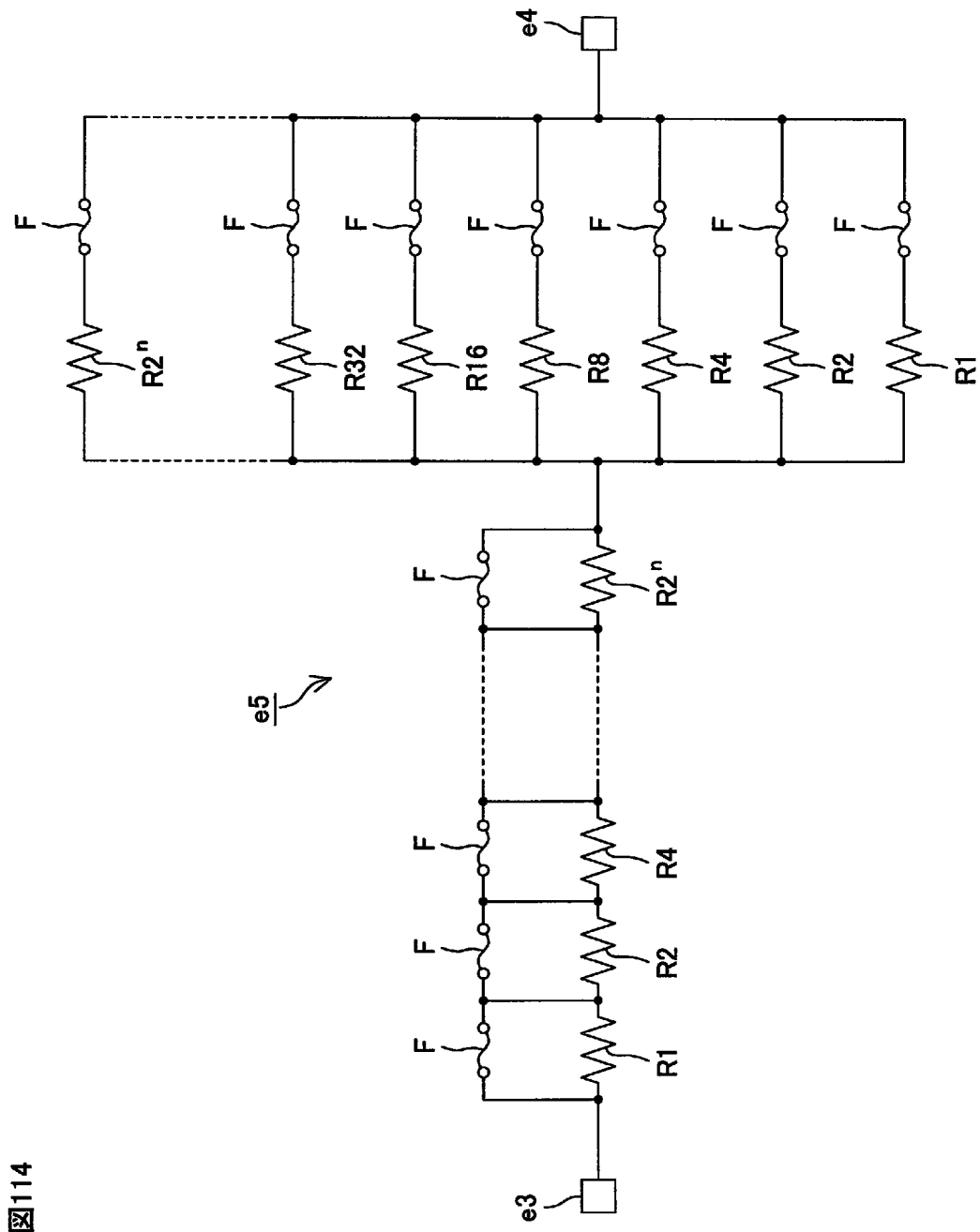
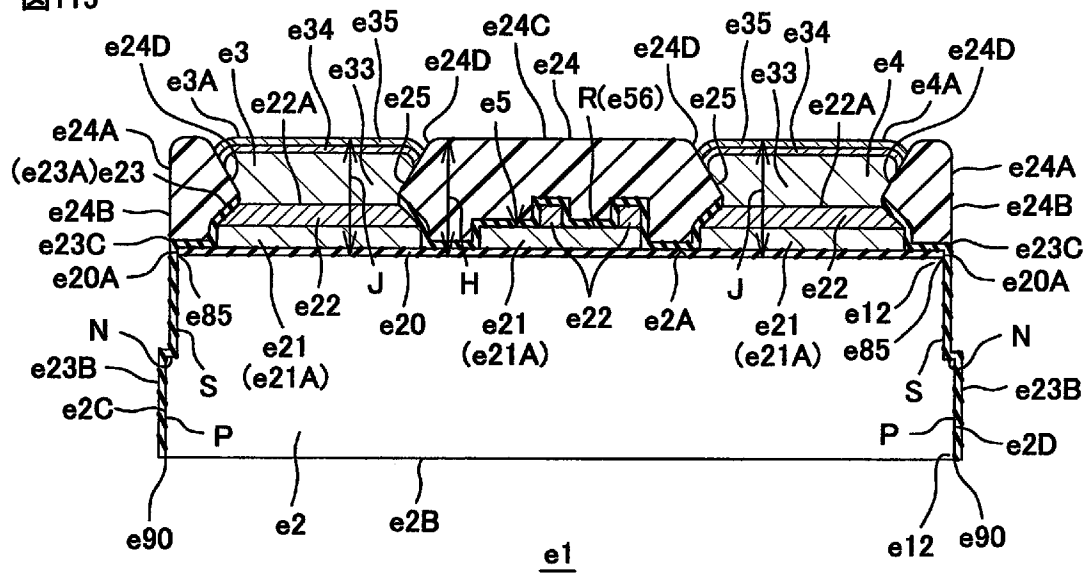


図114

[図115]

図115



[図116A]

図116A

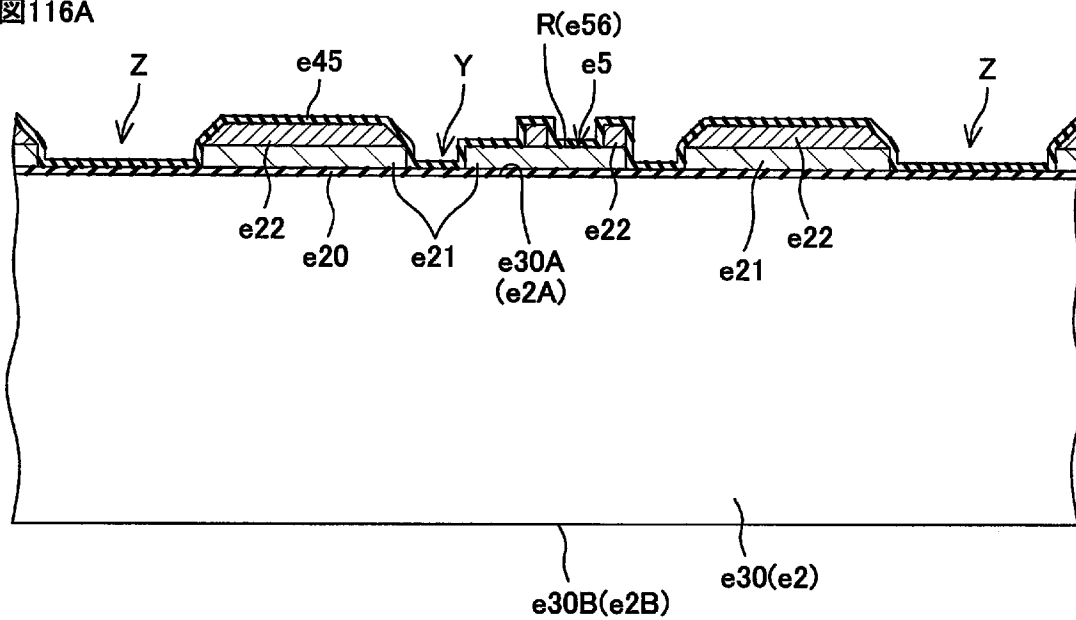
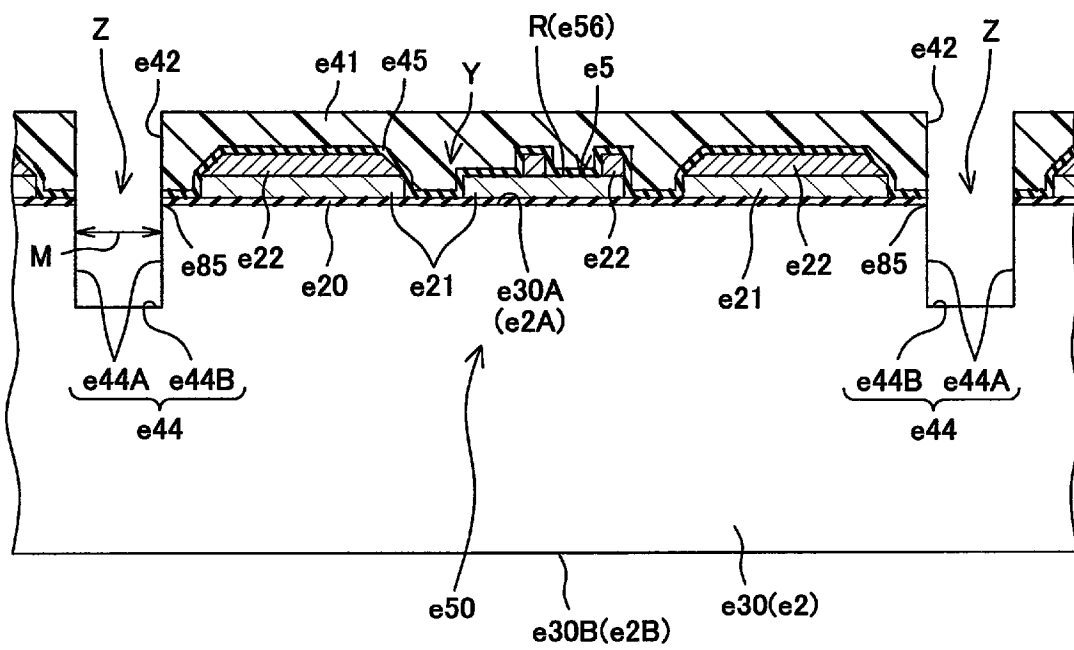


图116B



[図116C]

図116C

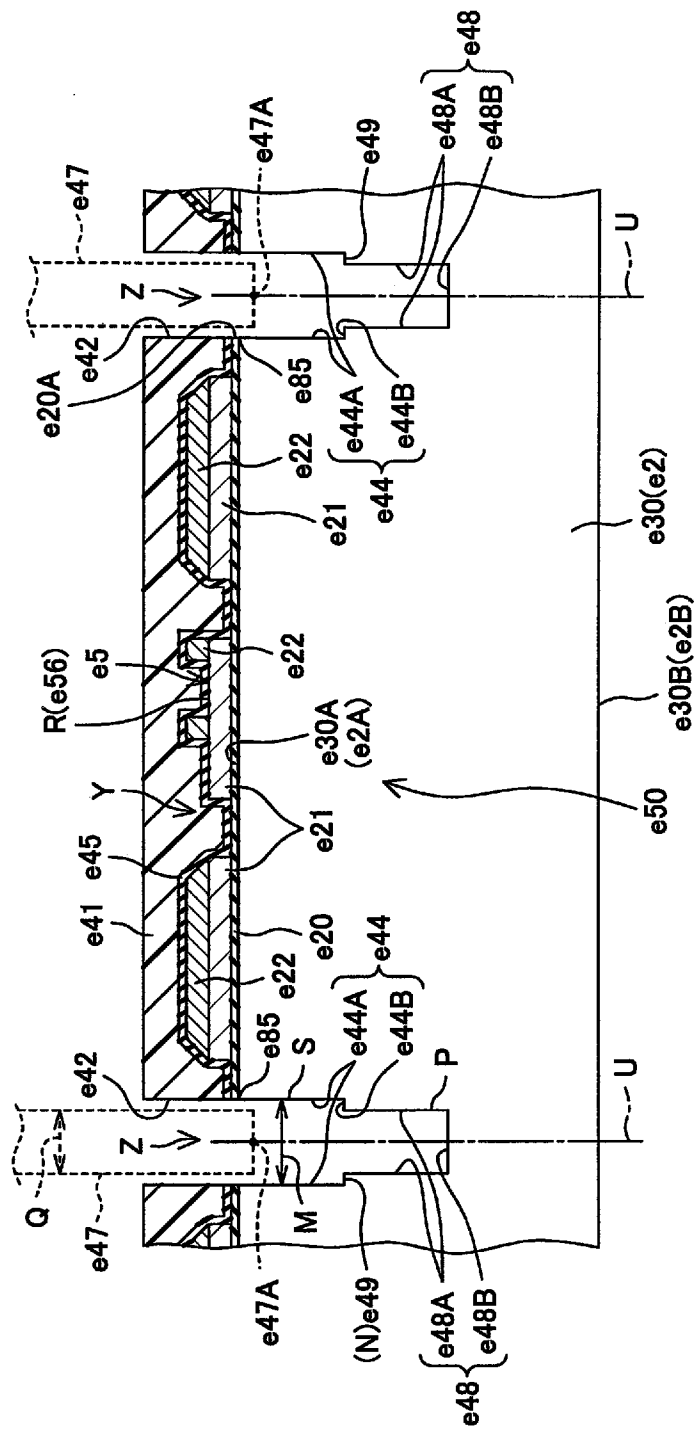


图 116D

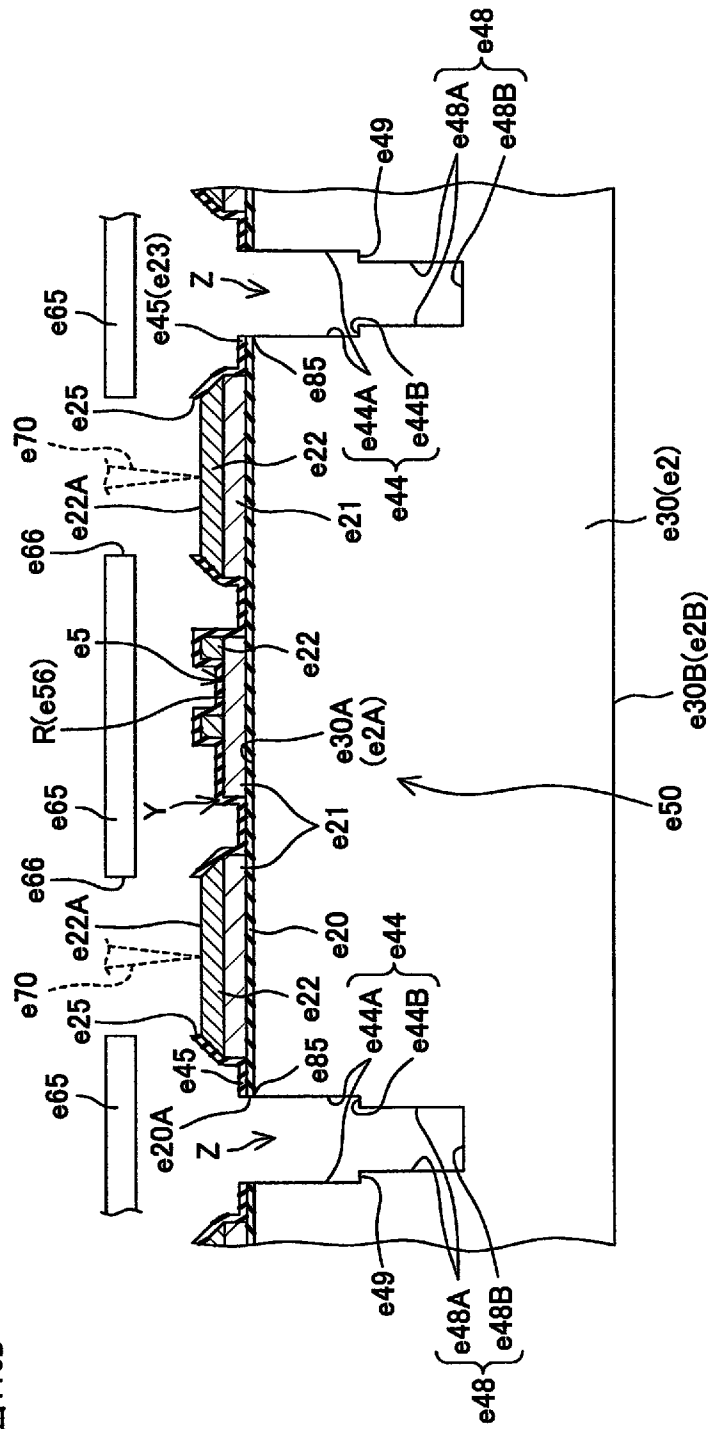


图 116E

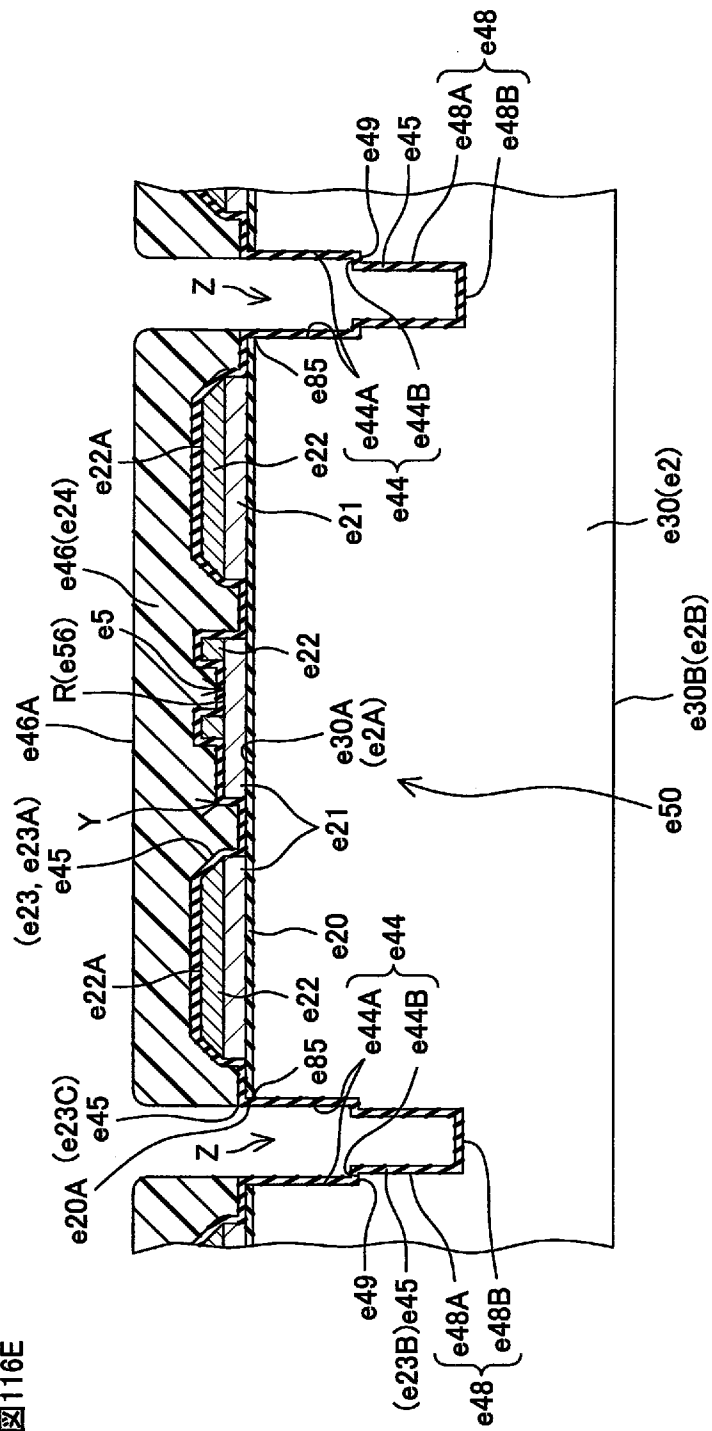


图116G

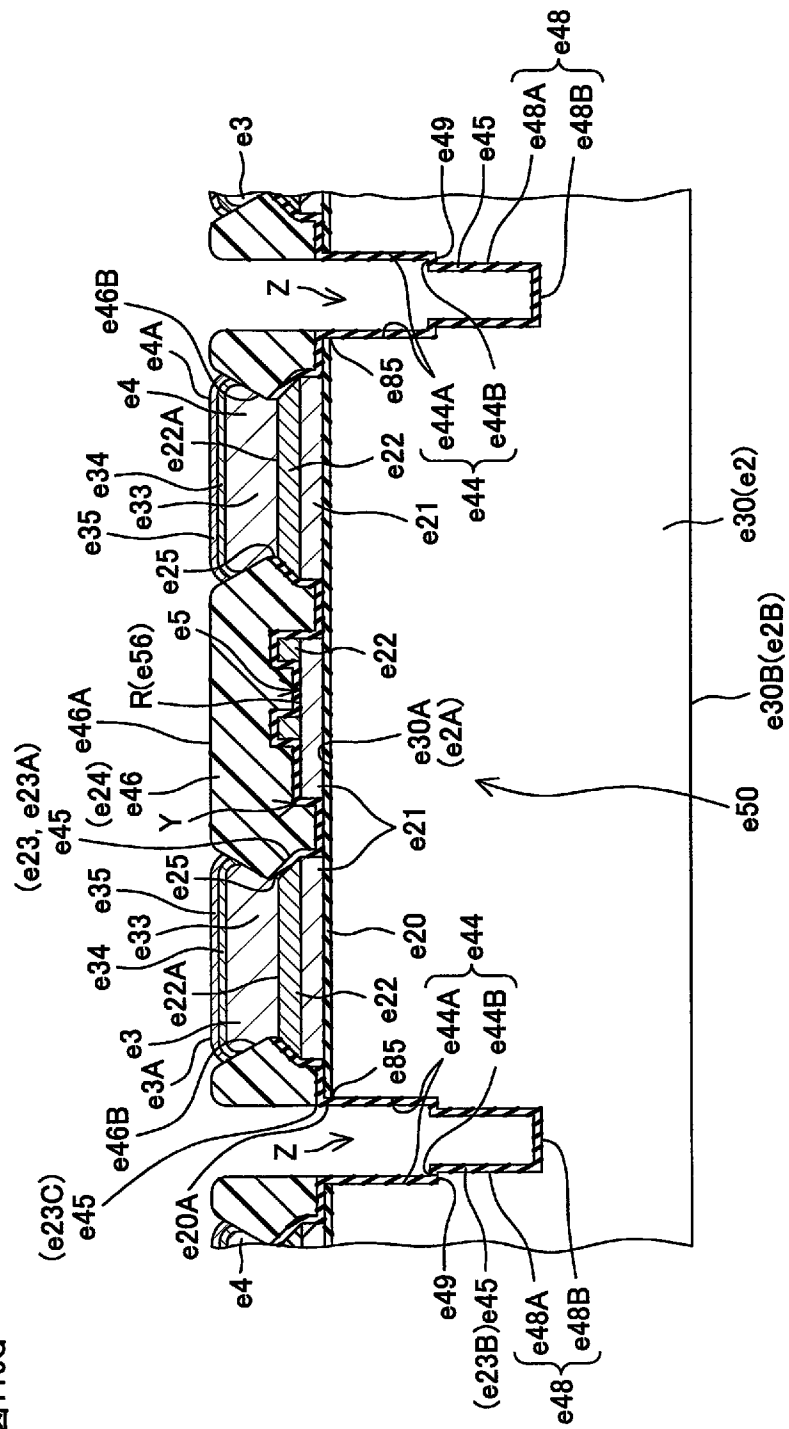
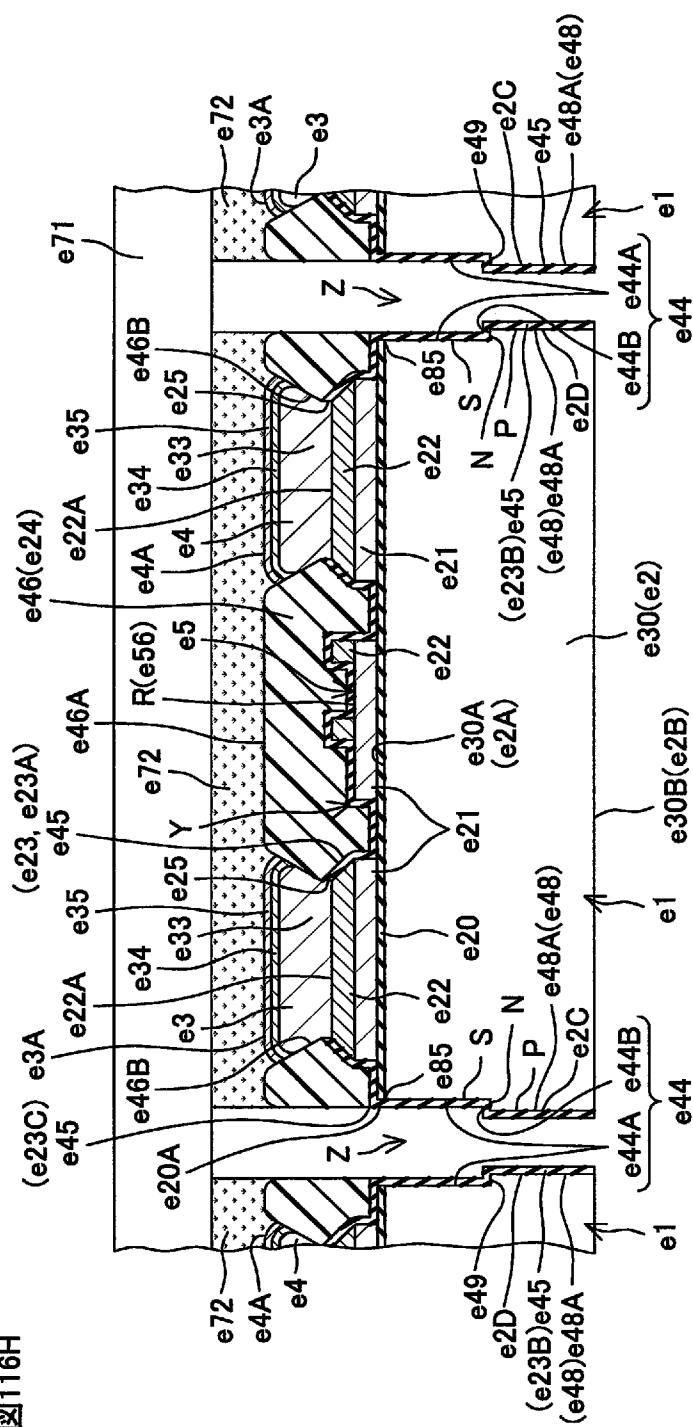
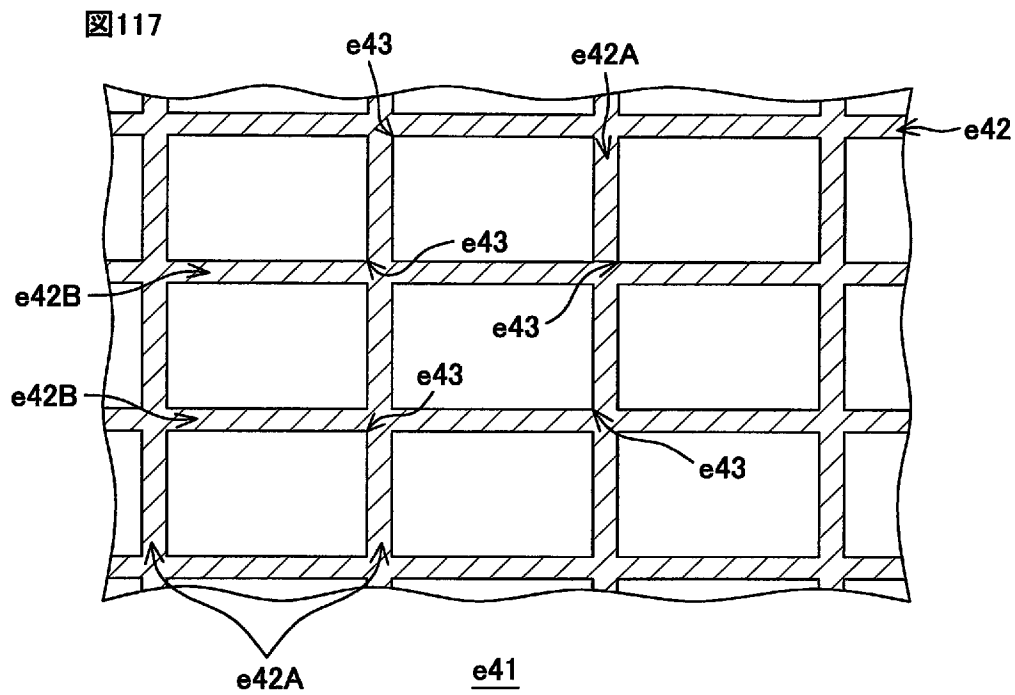


図116H



[図117]



[図118]

図118



[図119]

図119

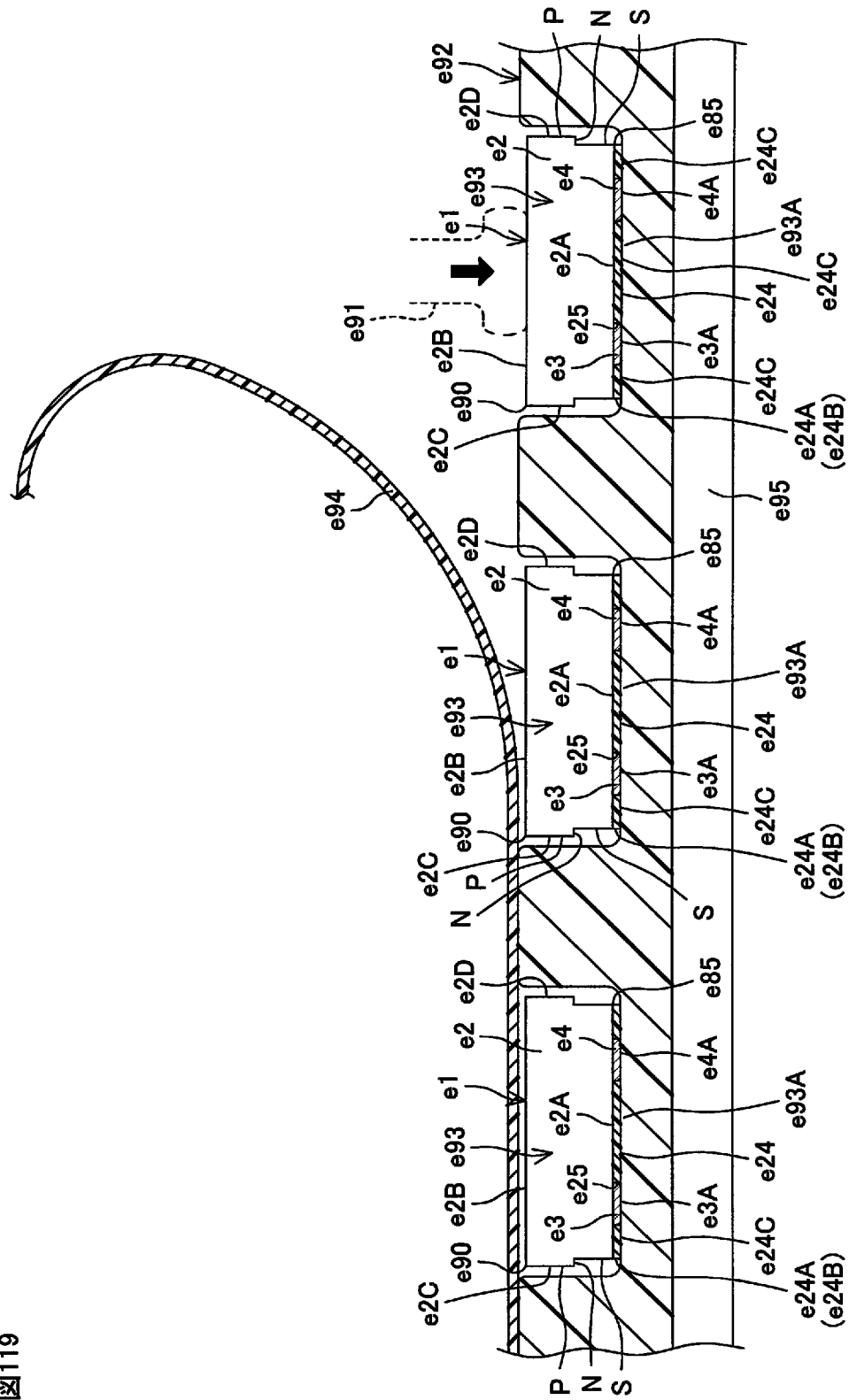
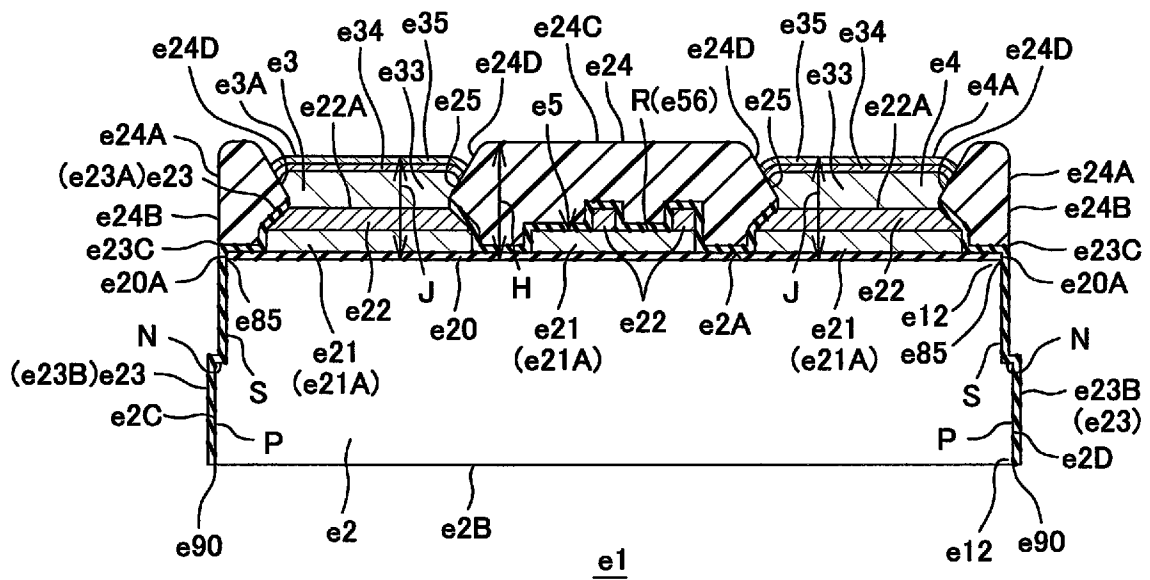
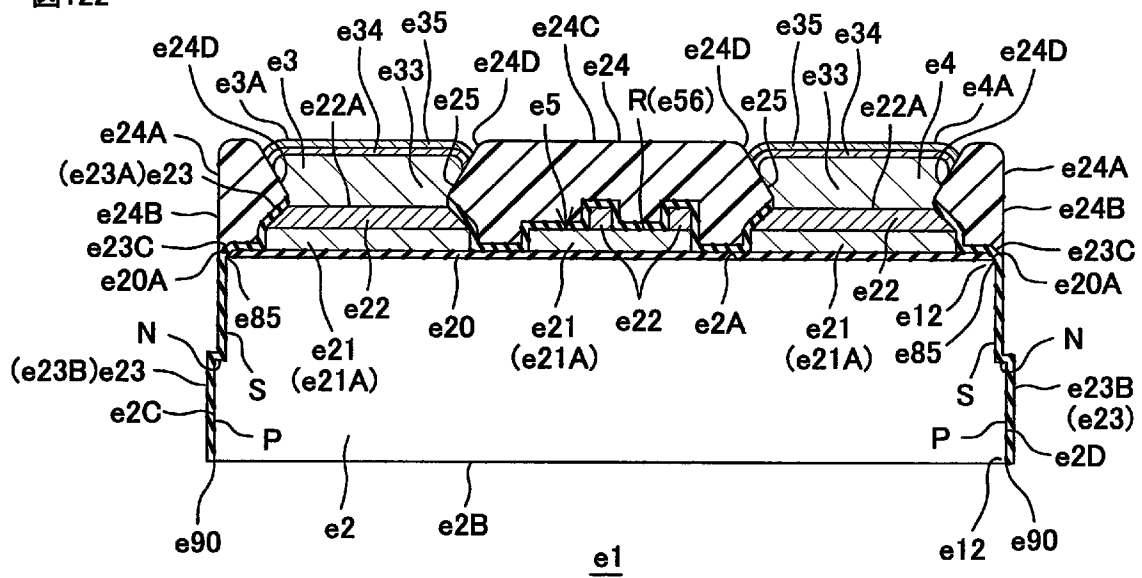


图120



[図122]

図122



[図123]

図123

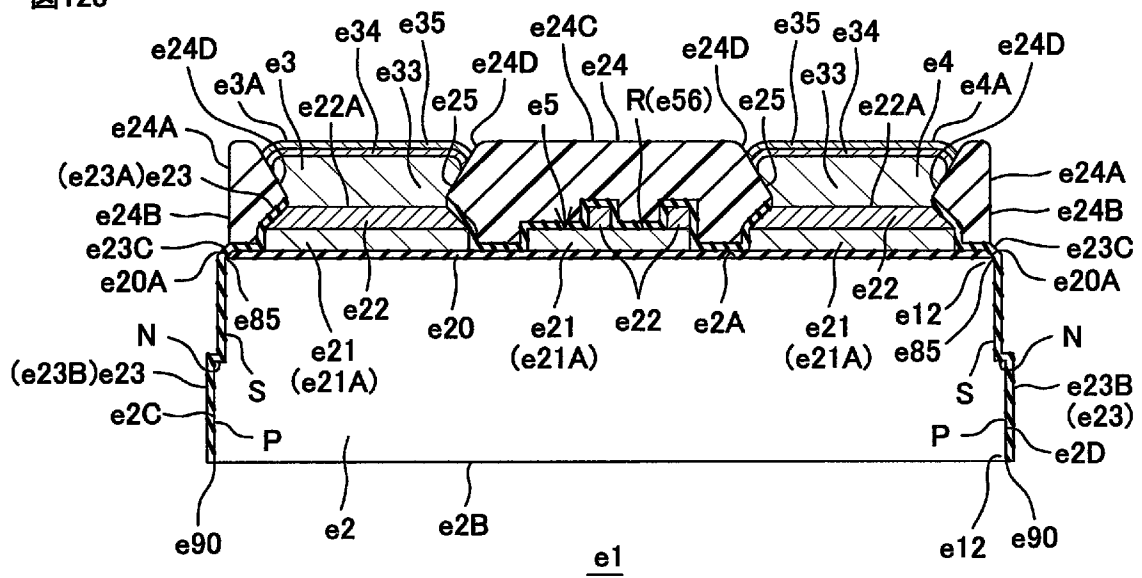


图124

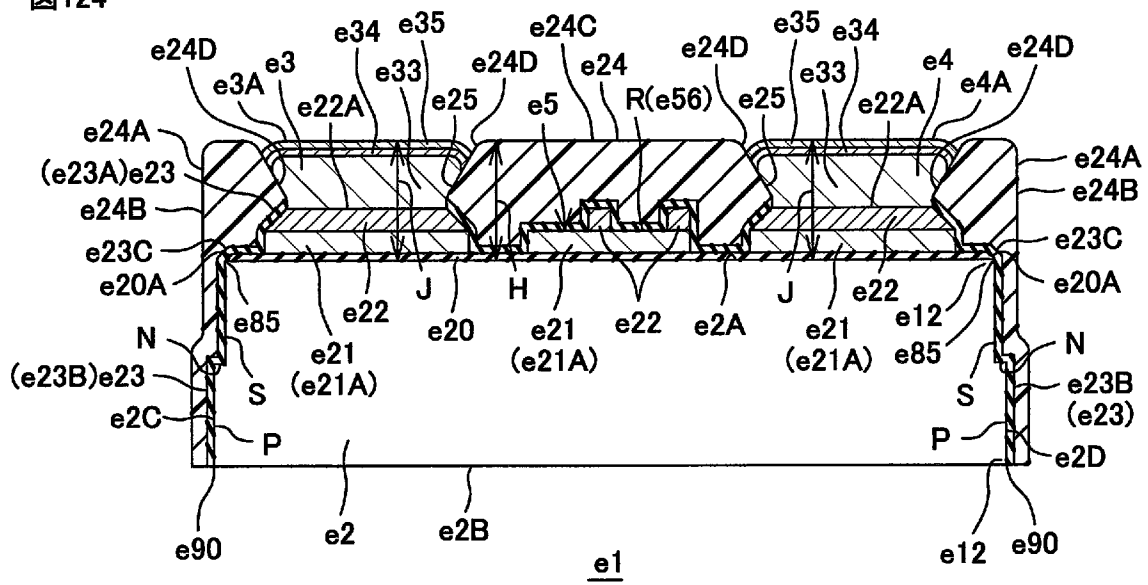


图125

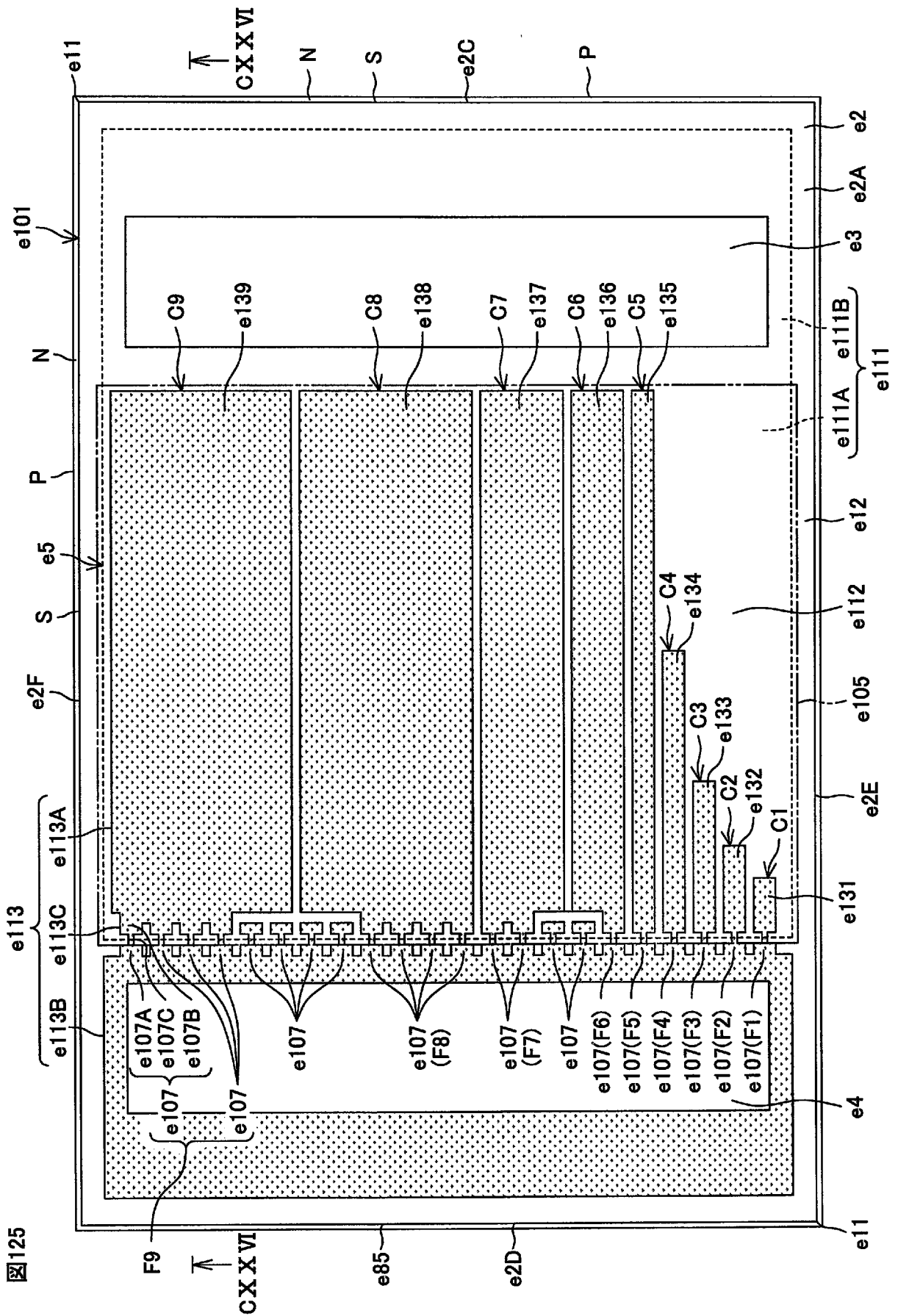
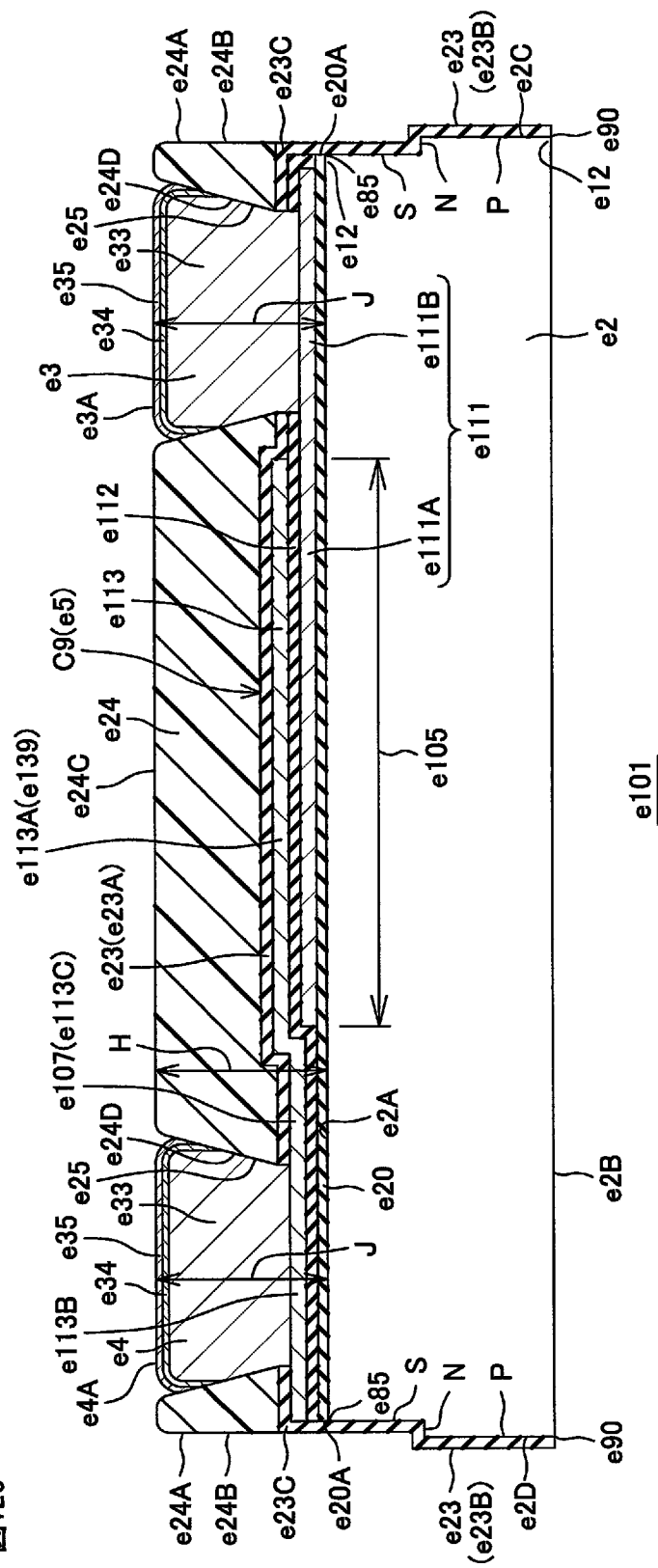


图 126



[図127]

図127

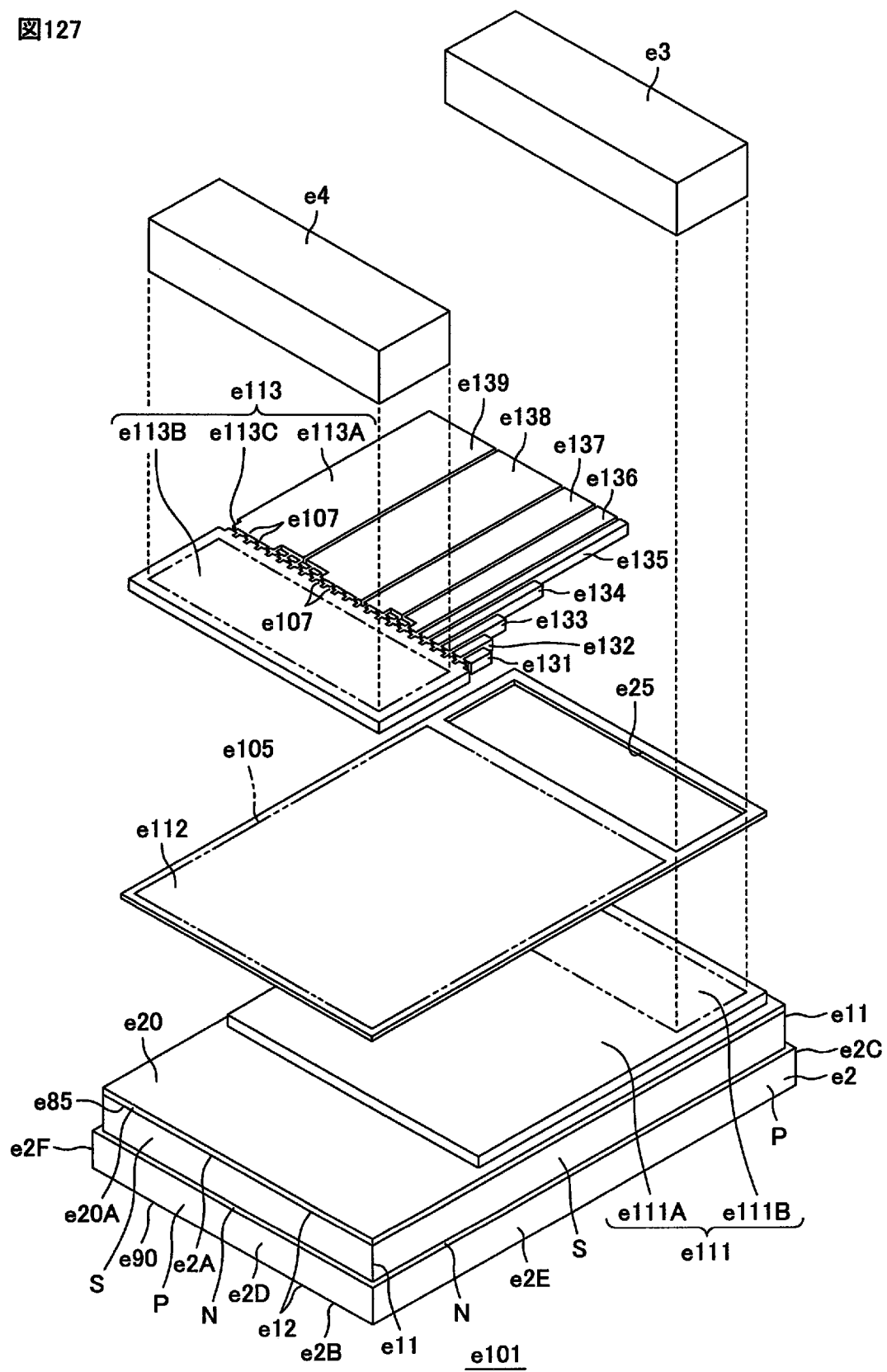
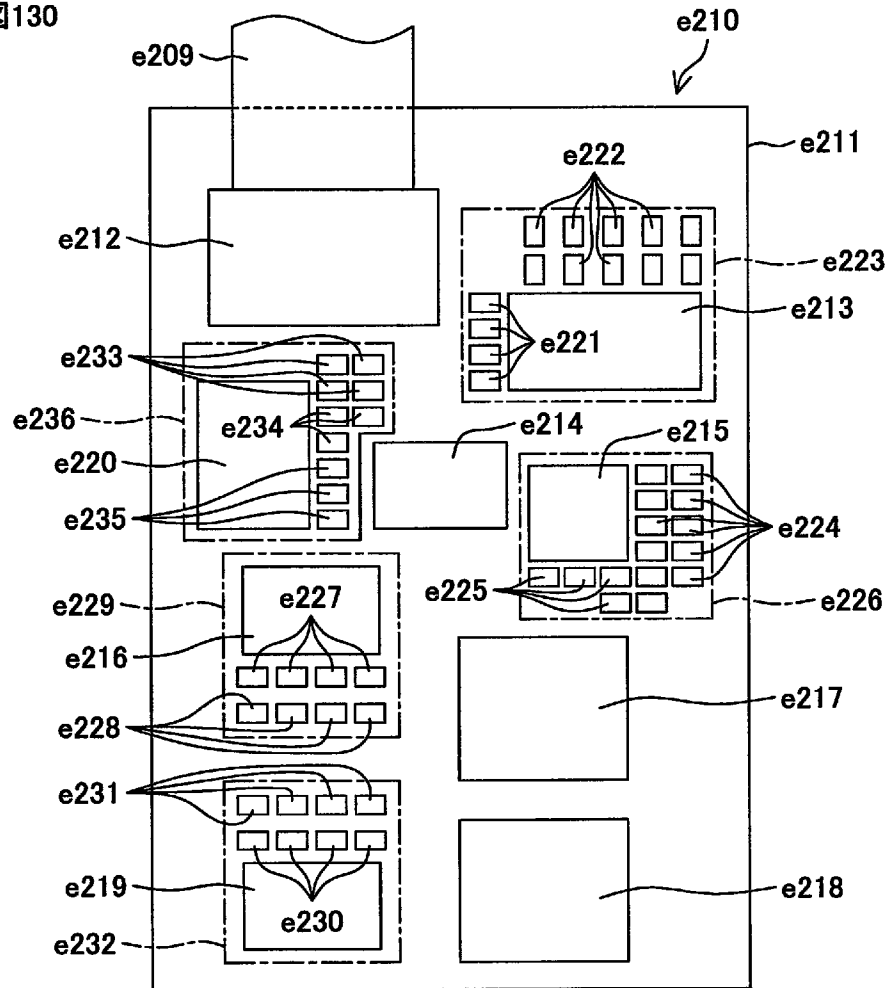
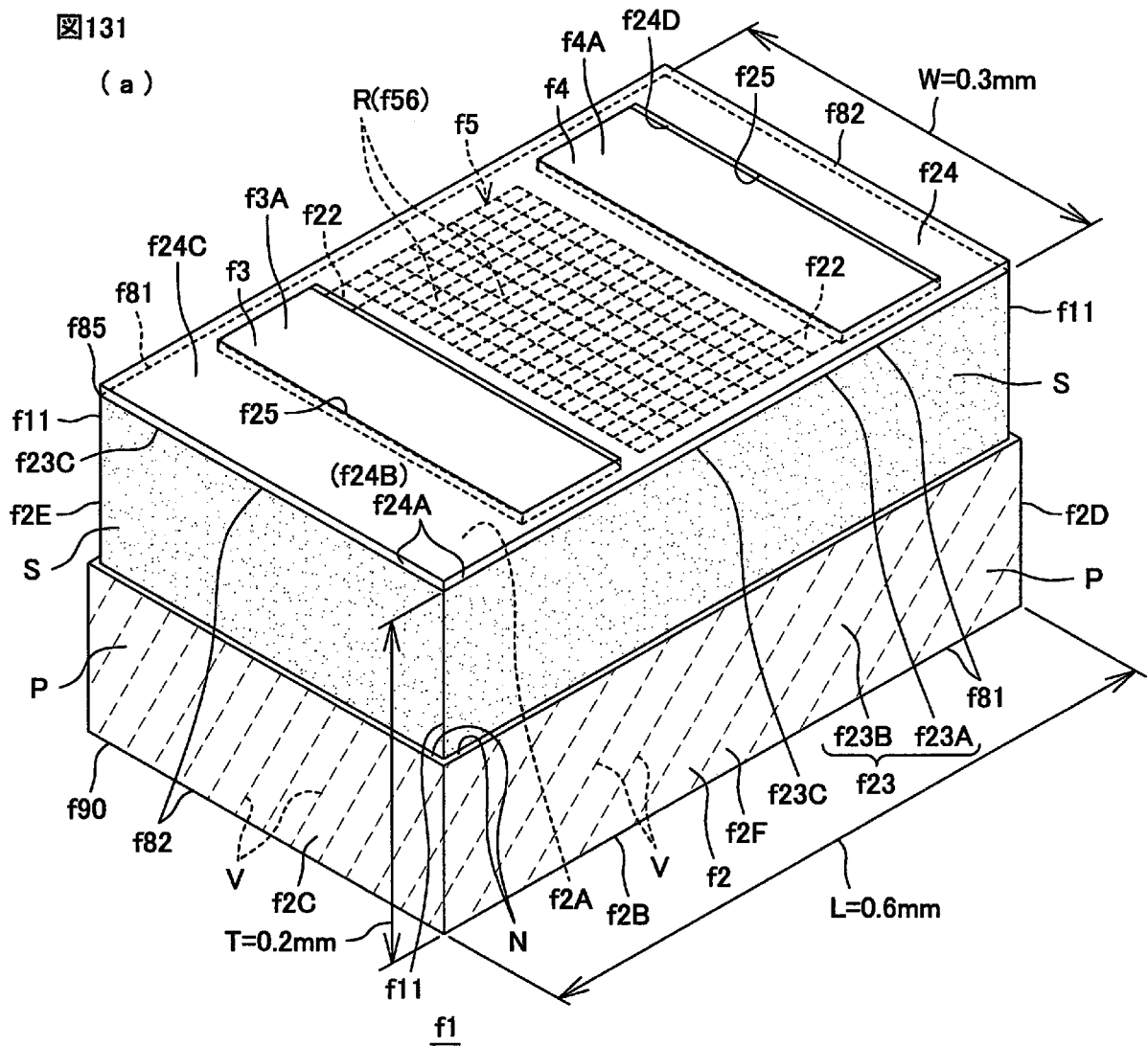


图 130

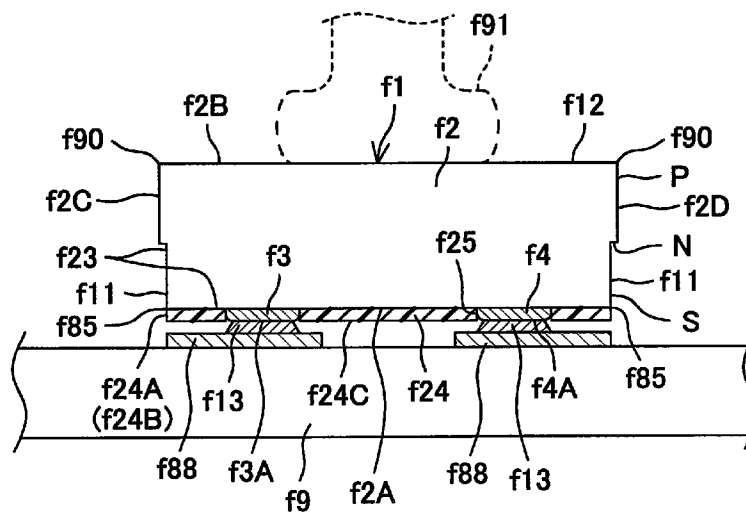


[図131]

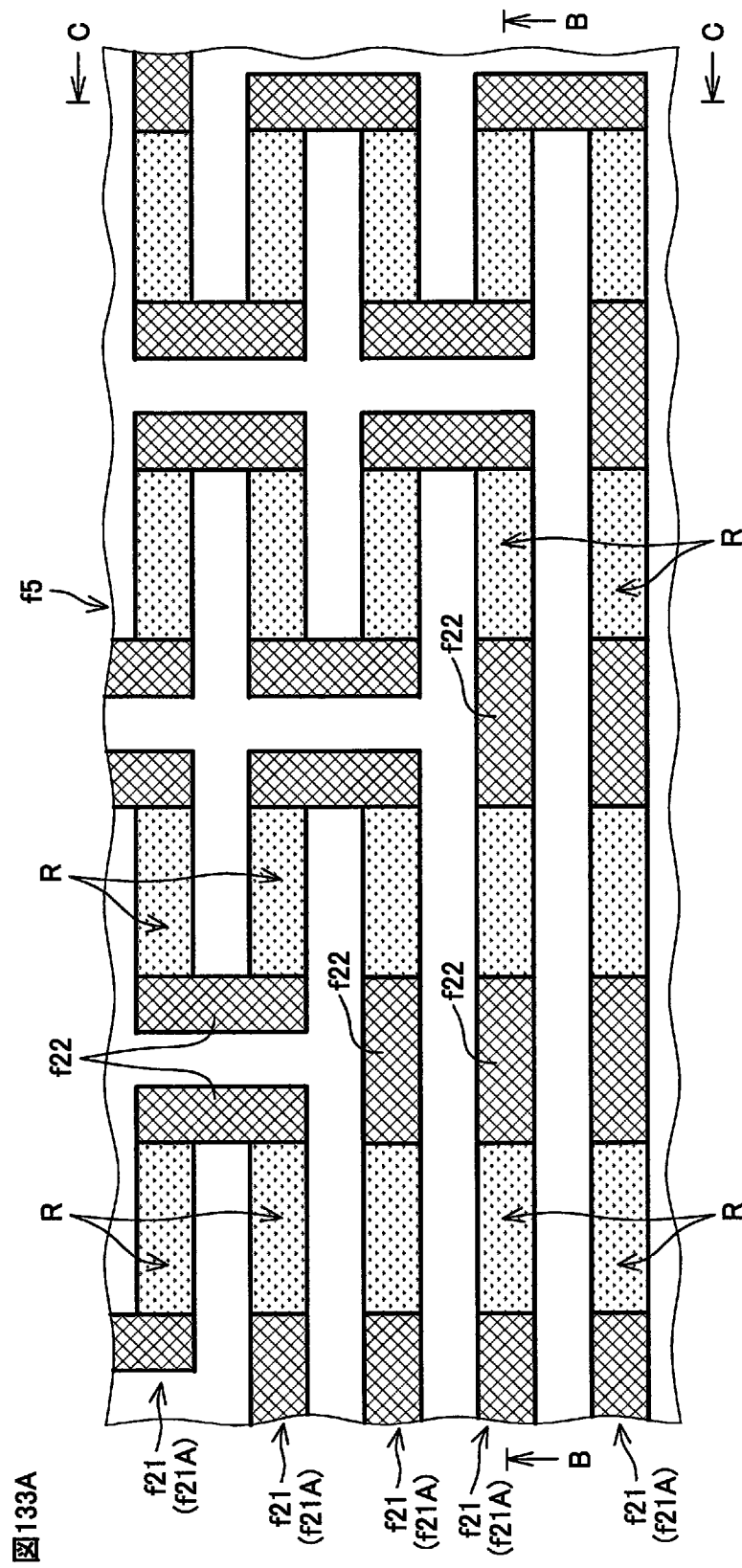
図131



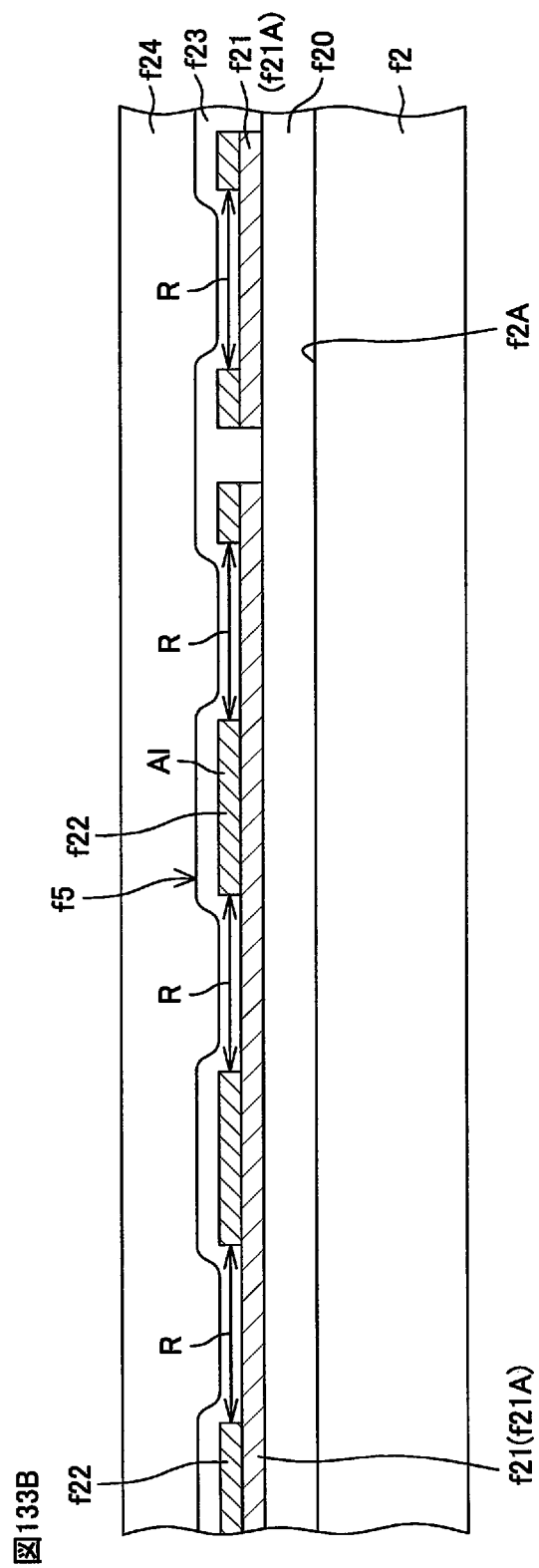
(b)



[図133A]

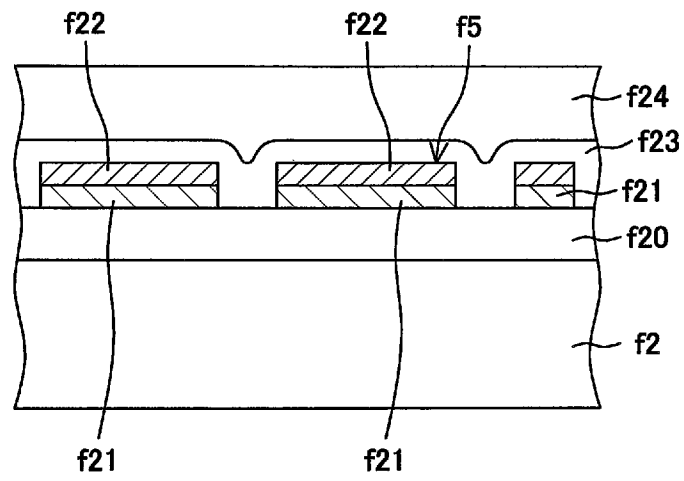


[図133B]



[図133C]

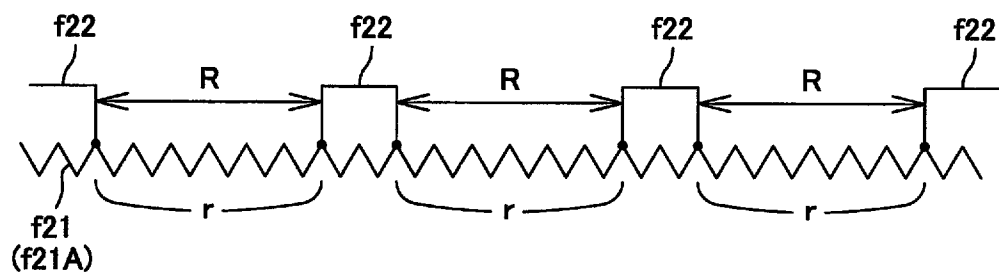
図133C



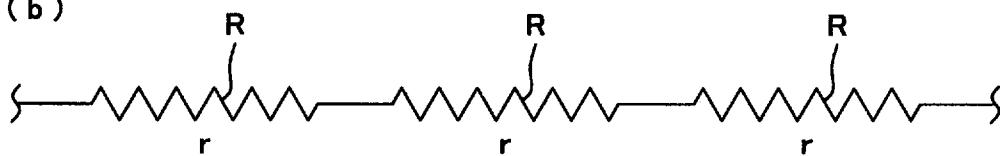
[図134]

図134

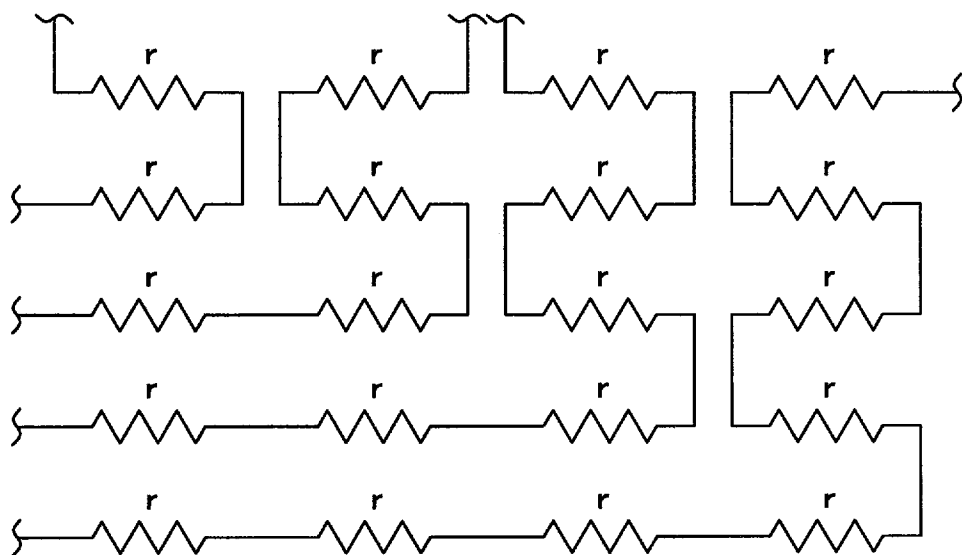
(a)



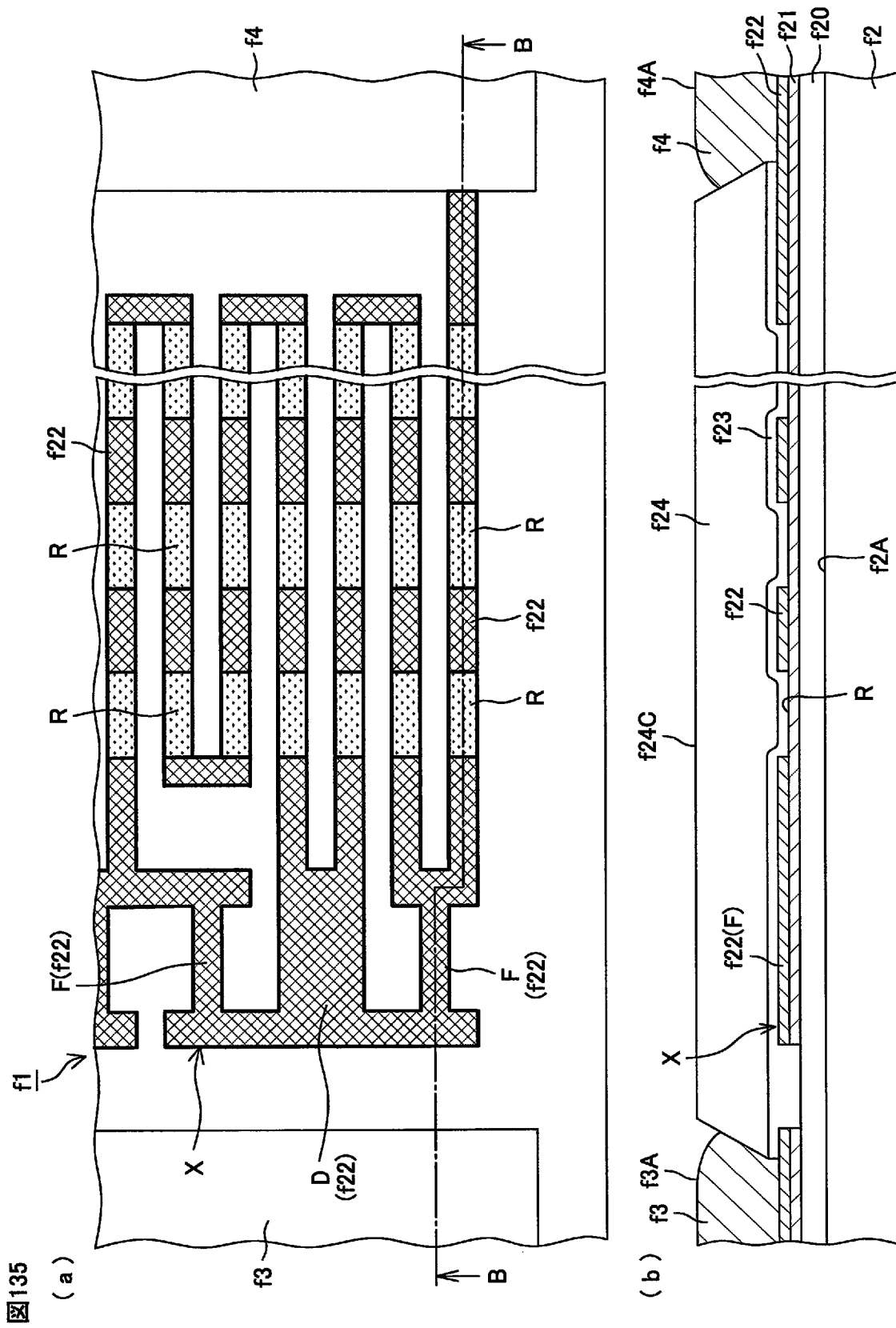
(b)



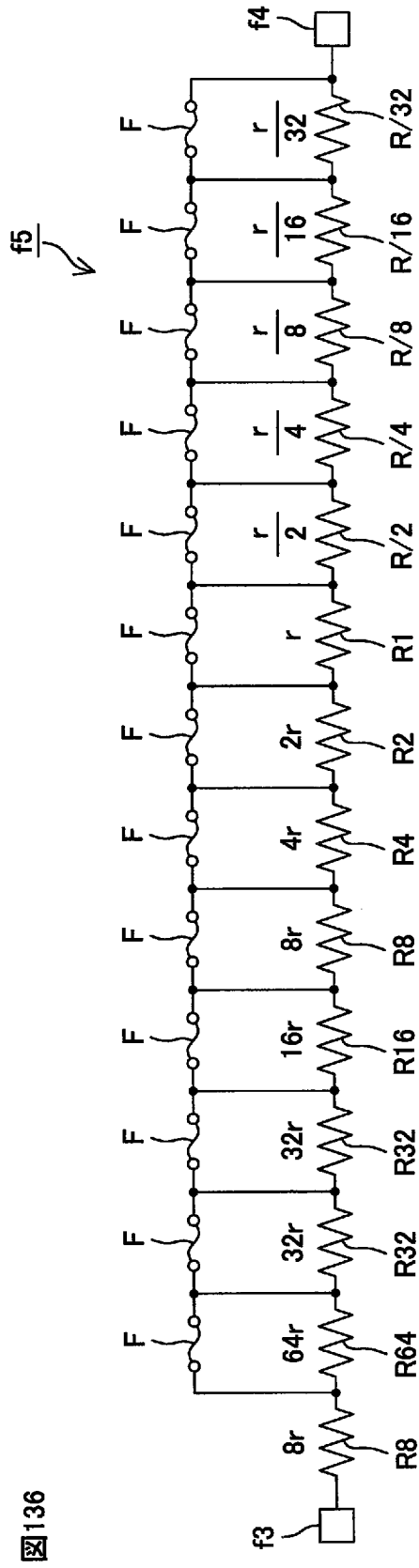
(c)



[図135]

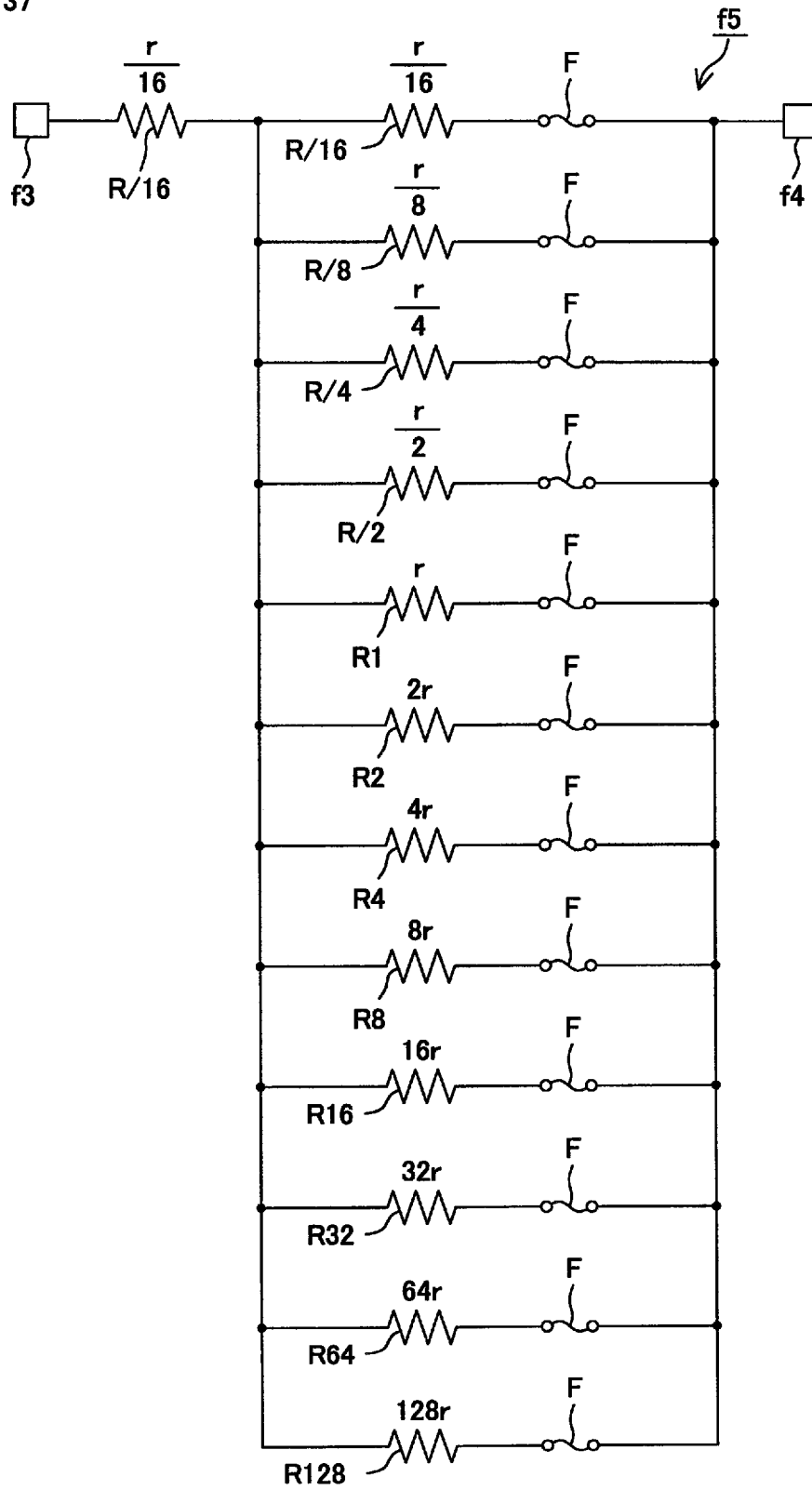


[図136]



[図137]

図137



[図138]

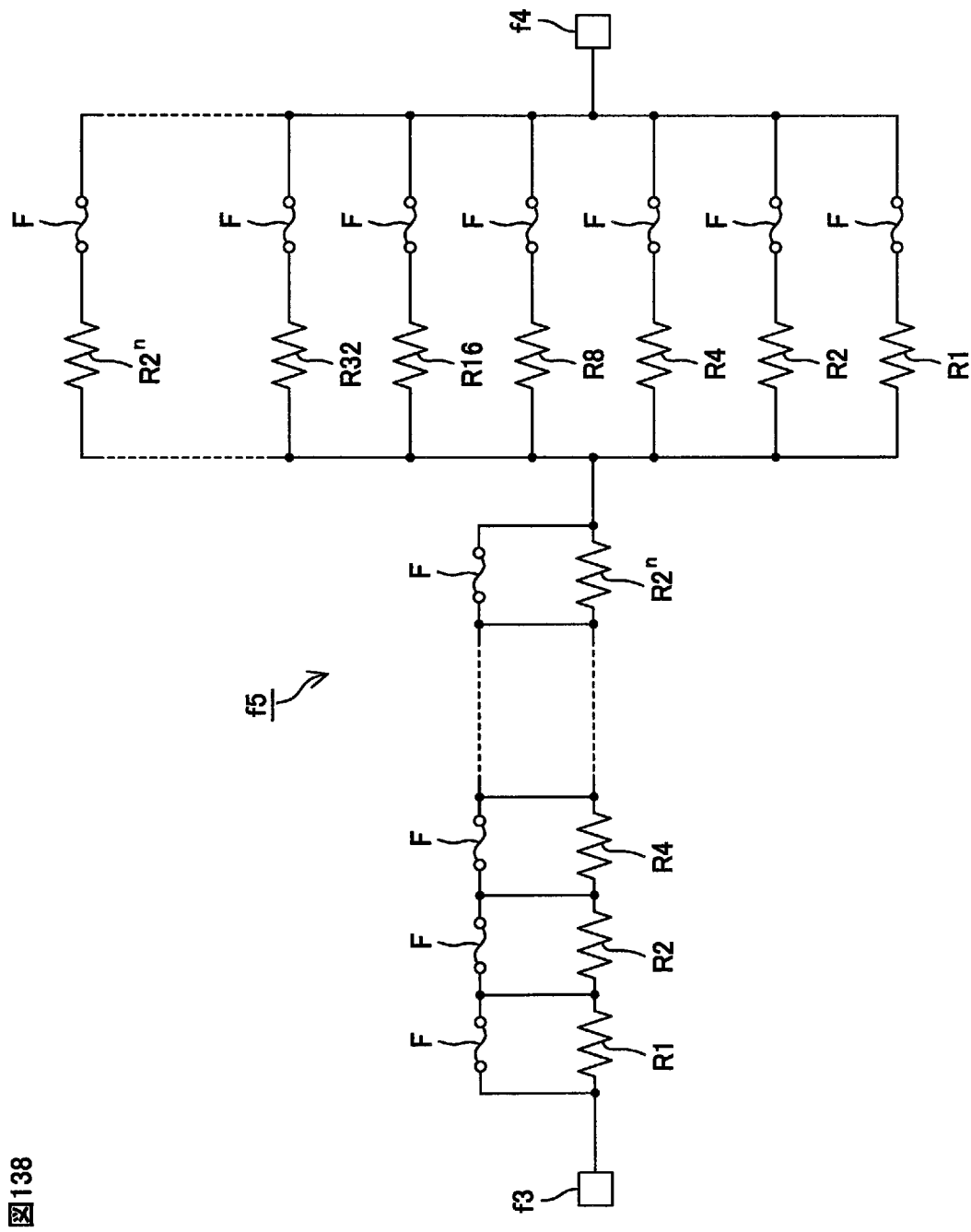


図138

图 139

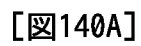


Figure 140A is a cross-sectional view of a semiconductor device. The device features a substrate with a top surface. A series of layers and structures are formed on this surface. A central region is labeled $f30A(f2A)$. To its left and right are regions labeled $f21$ and $f22$. A layer labeled $f45$ is positioned above the $f21$ and $f22$ regions. A layer labeled $f5$ is positioned above the $f30A(f2A)$ region. A layer labeled $R(f56)$ is positioned above the $f5$ layer. The device is bounded by vertical walls on the left and right, labeled Z . The bottom of the device is labeled $f30B(f2B)$. The top surface of the device is labeled $f30(f2)$.

[図140B]

図140B

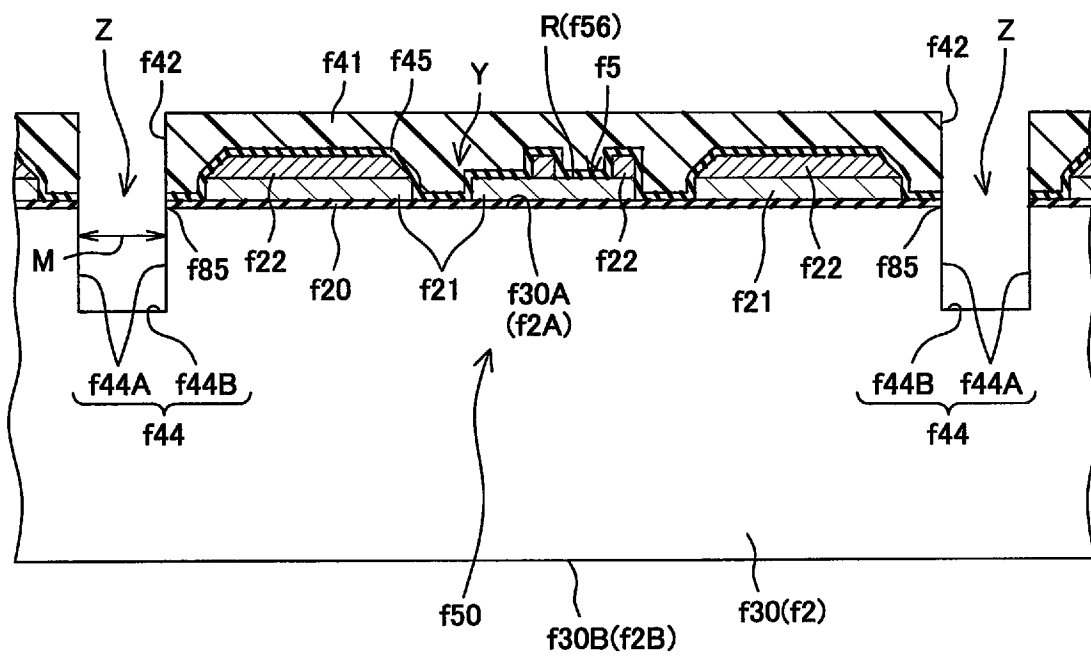
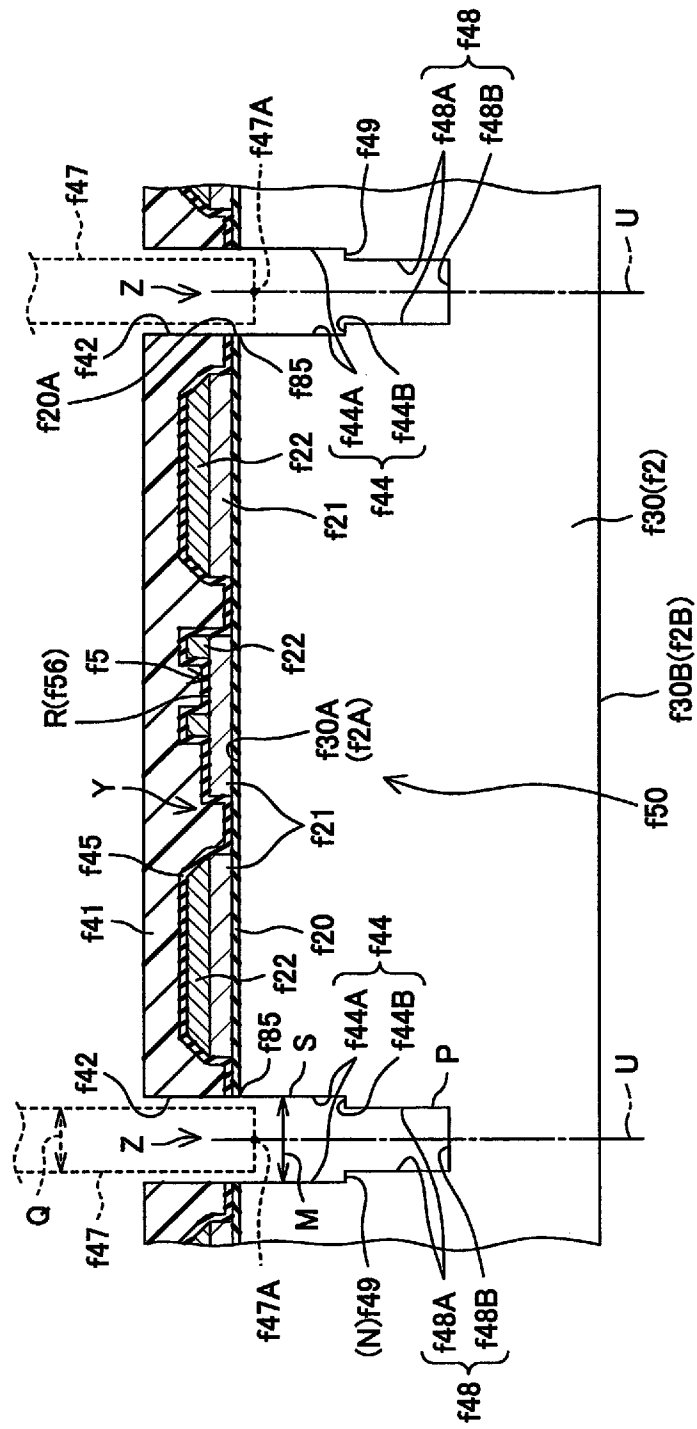
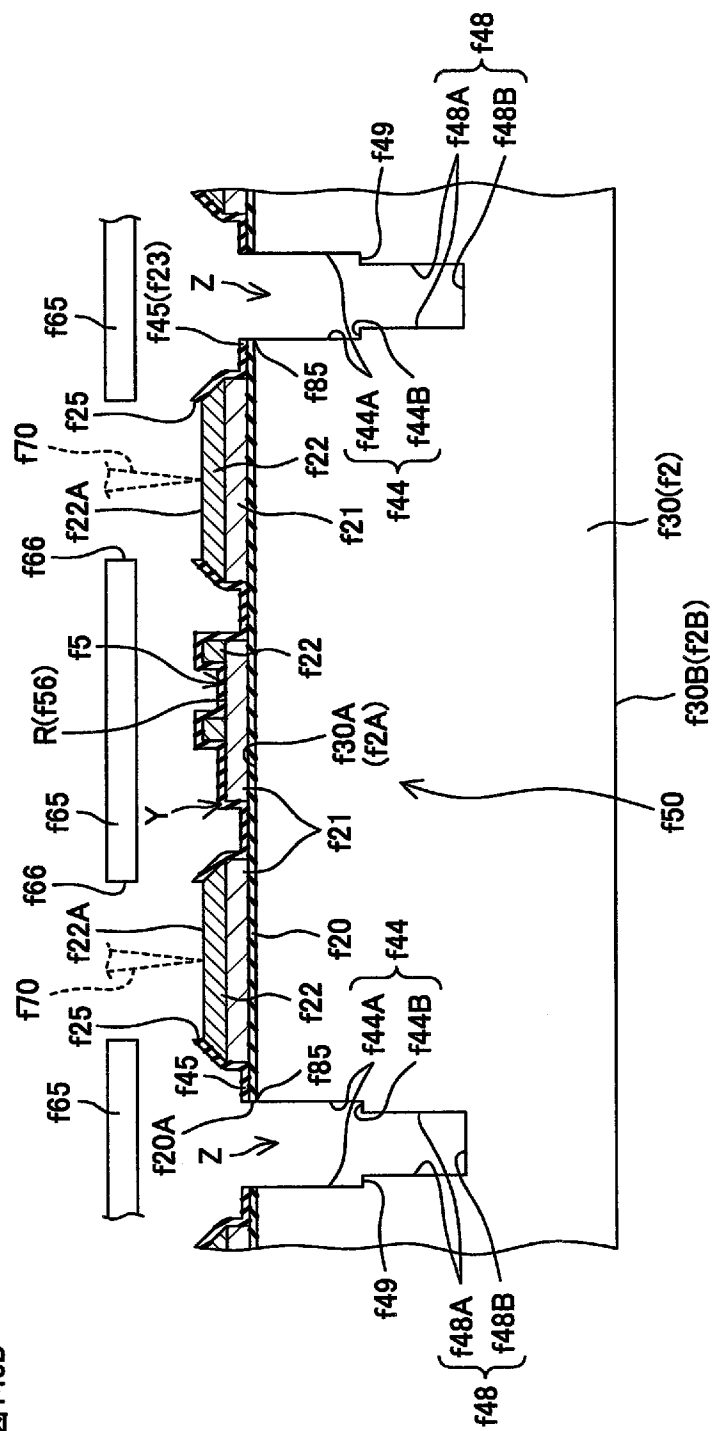


图140C



[図140D]

図140D



[図140E]

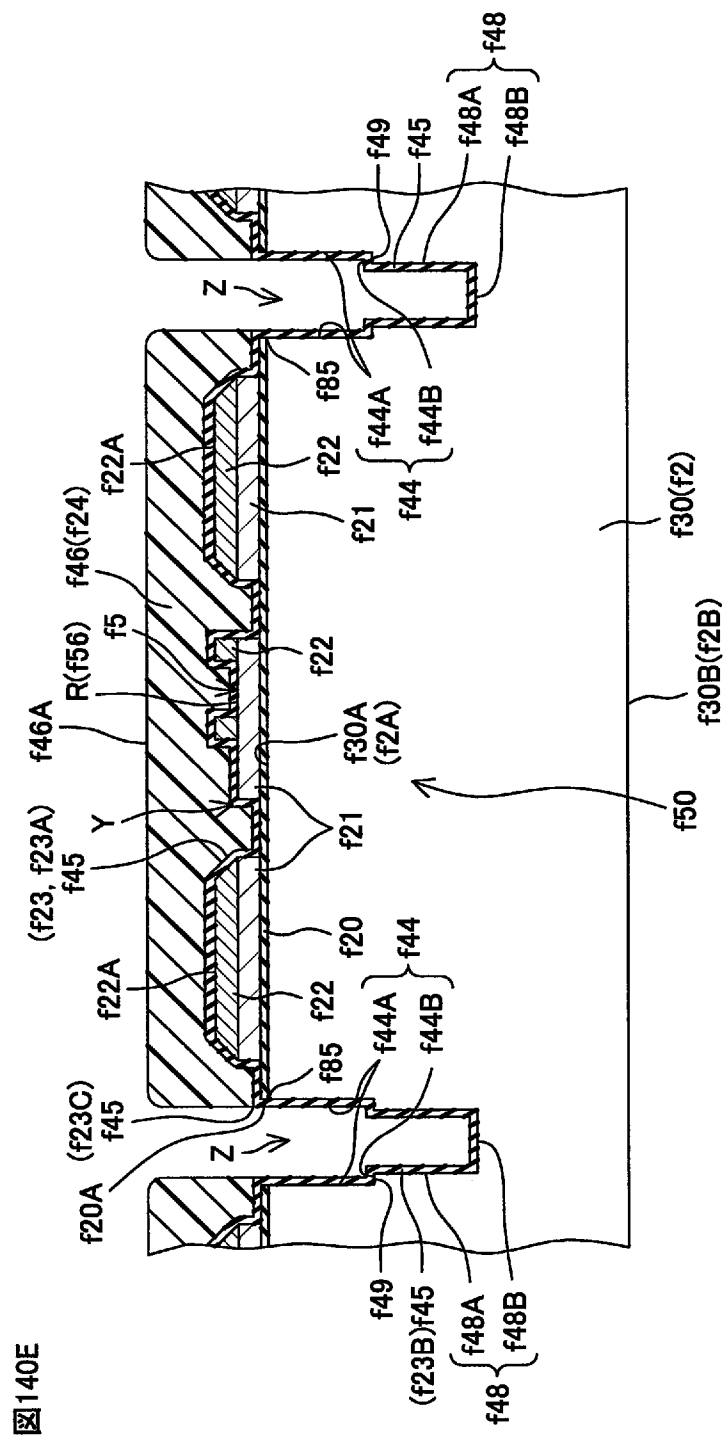
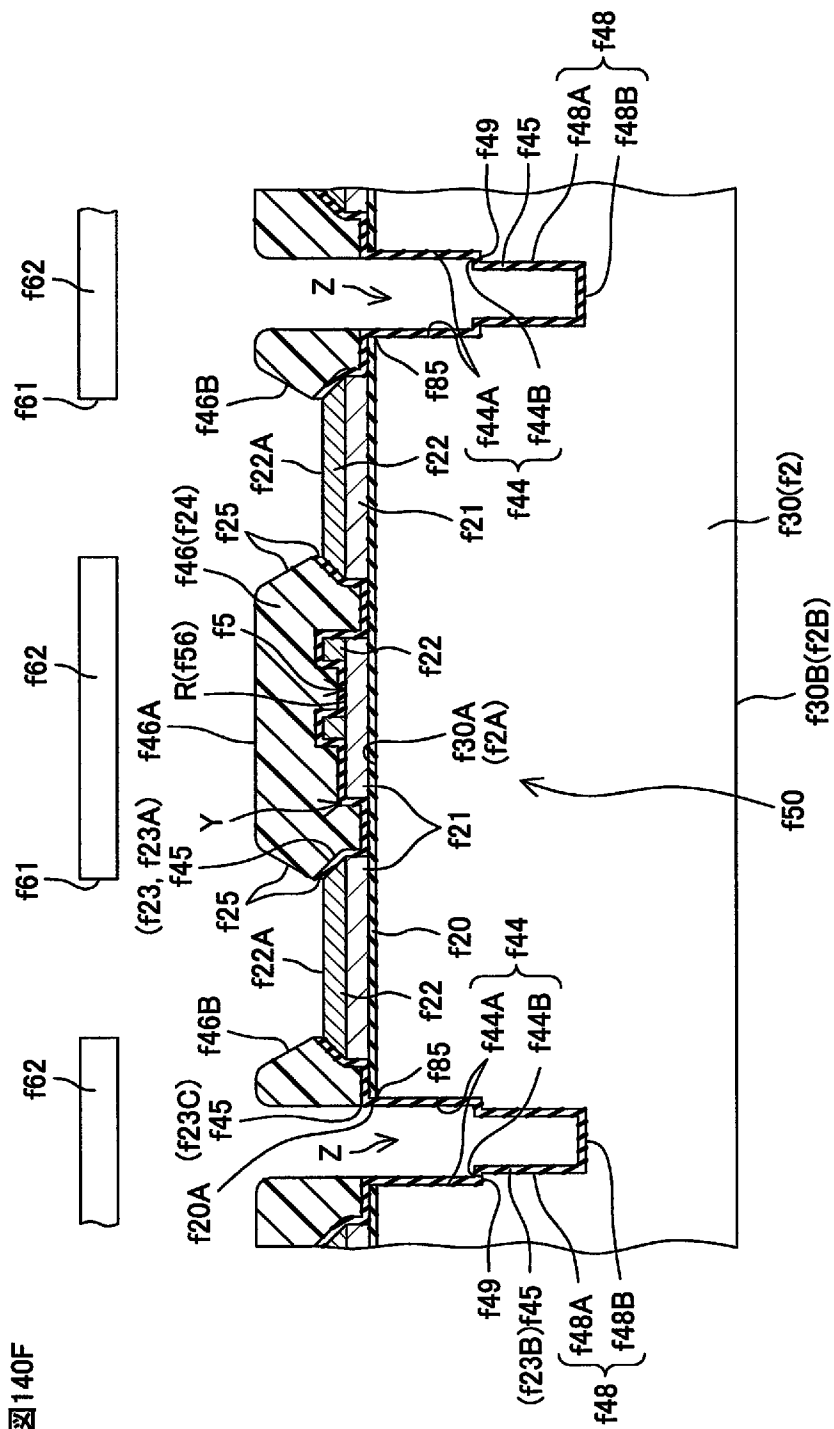
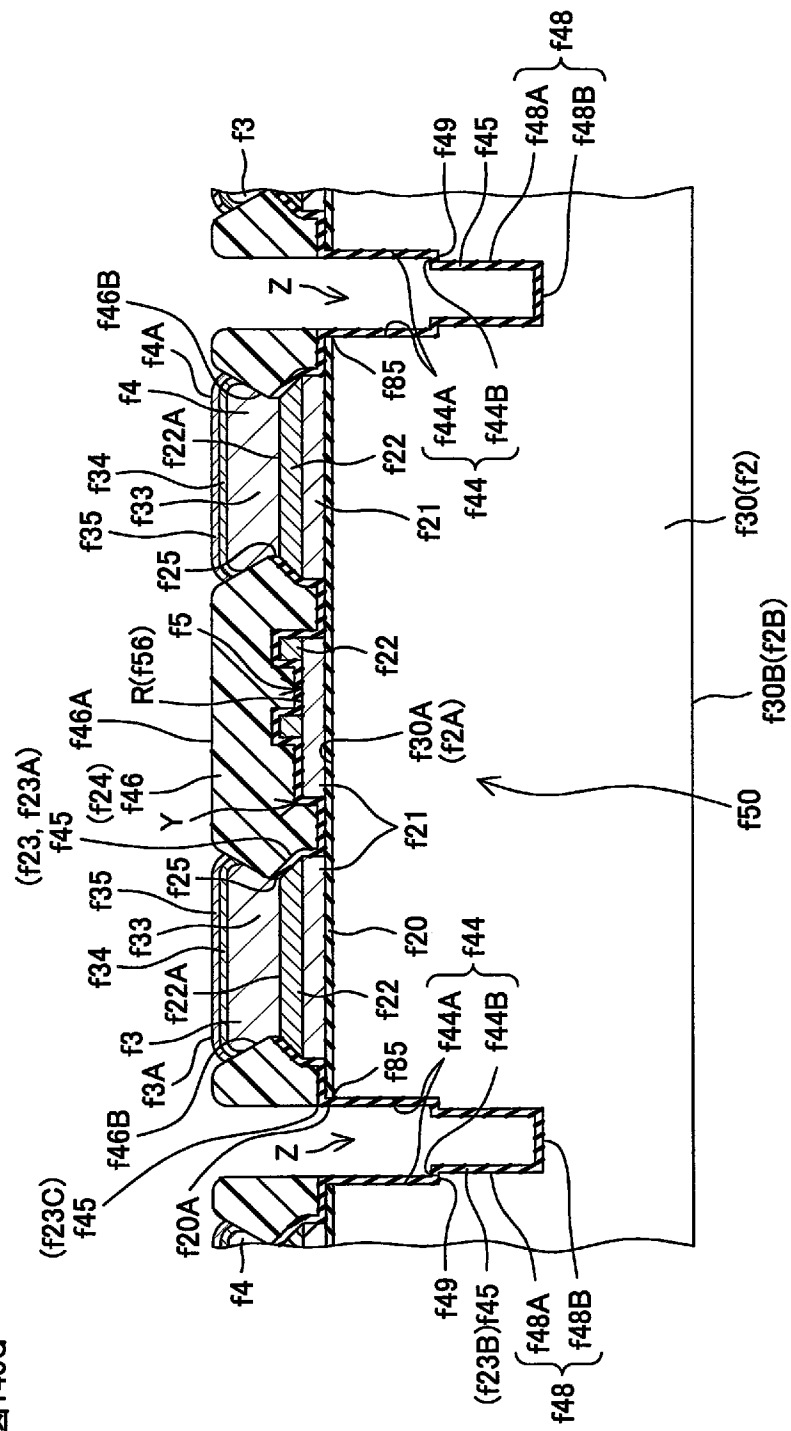


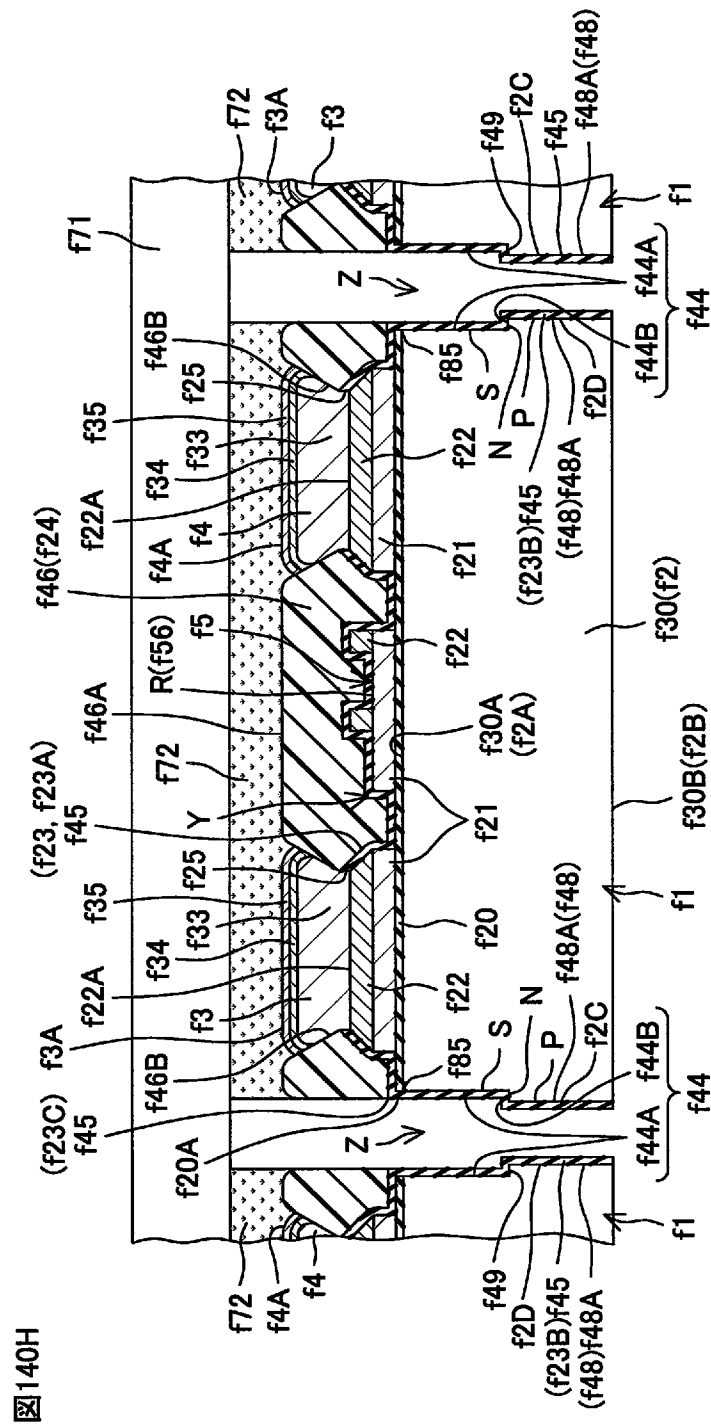
図 140F



☒ 140G

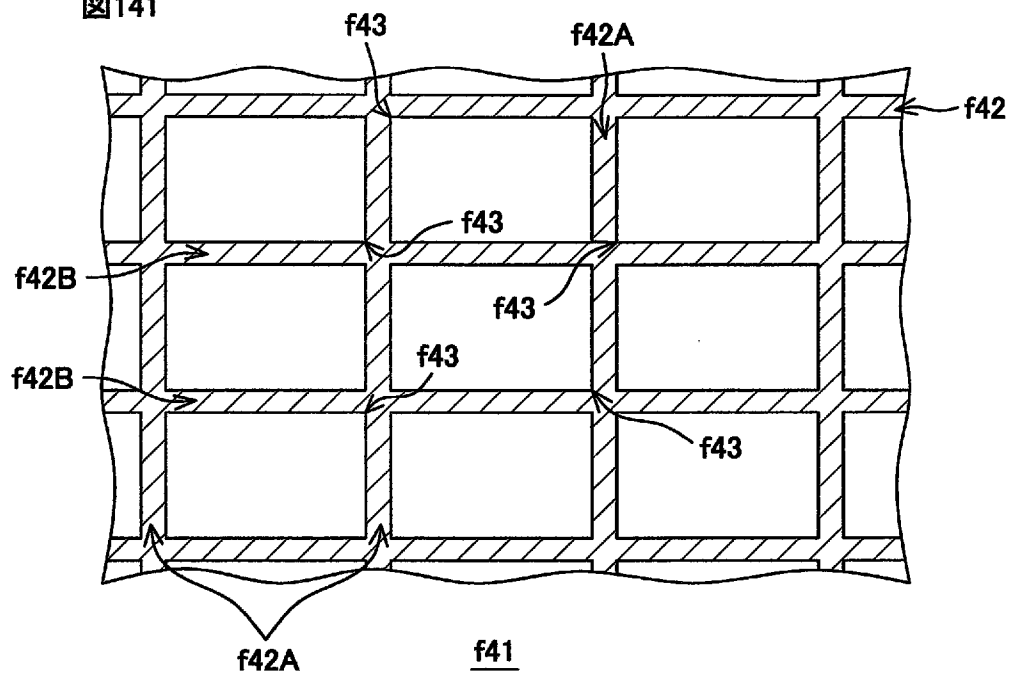


[図140H]



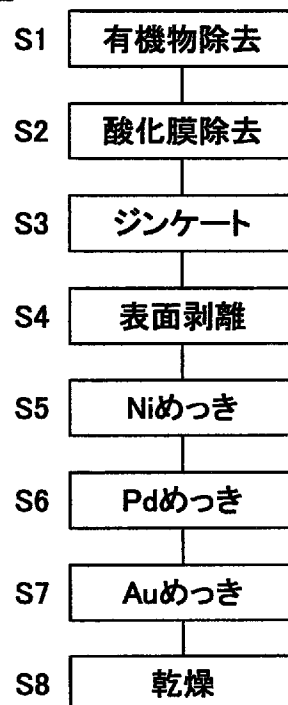
[図141]

図141



[図142]

図142



[図143]

図143

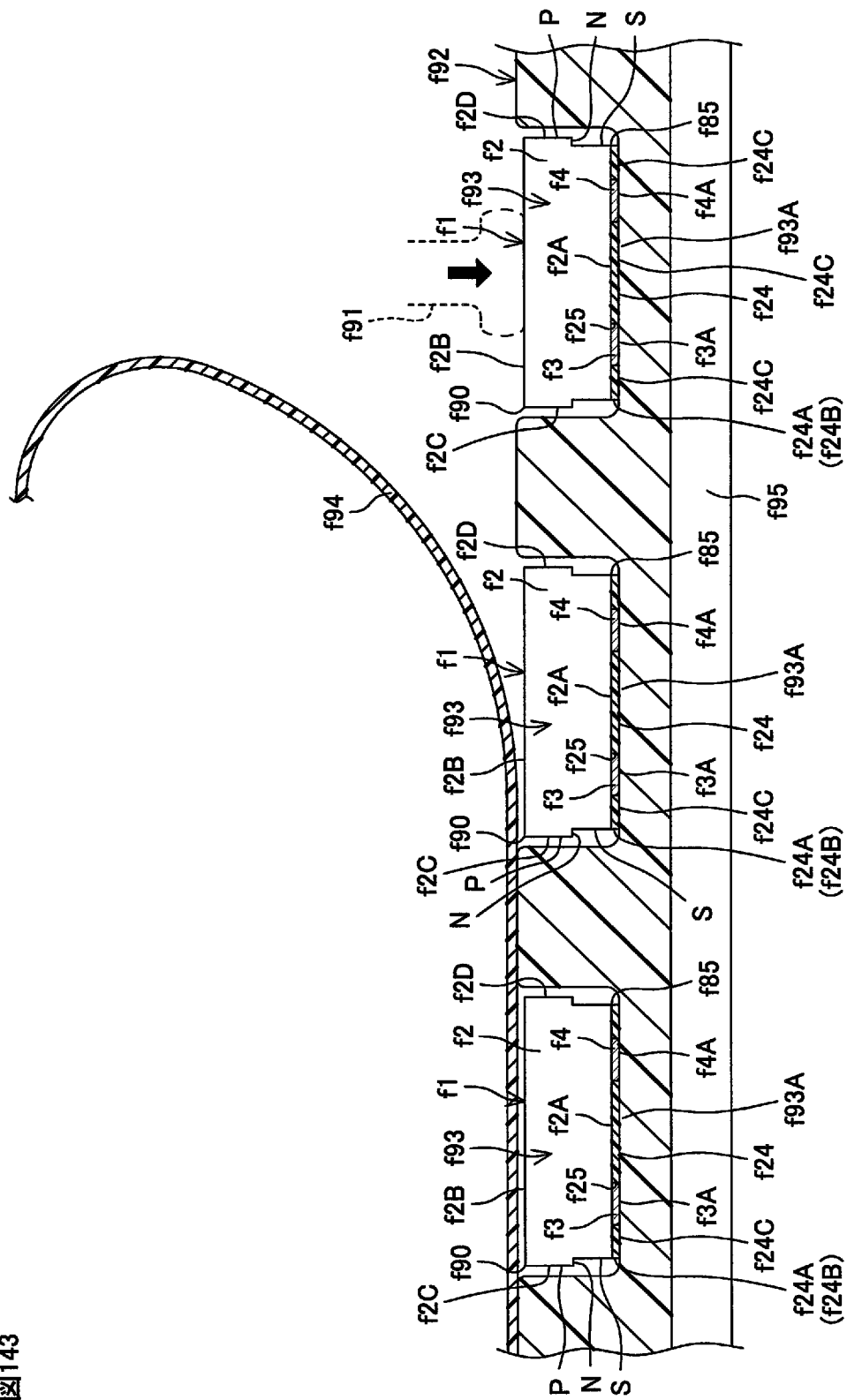


图144

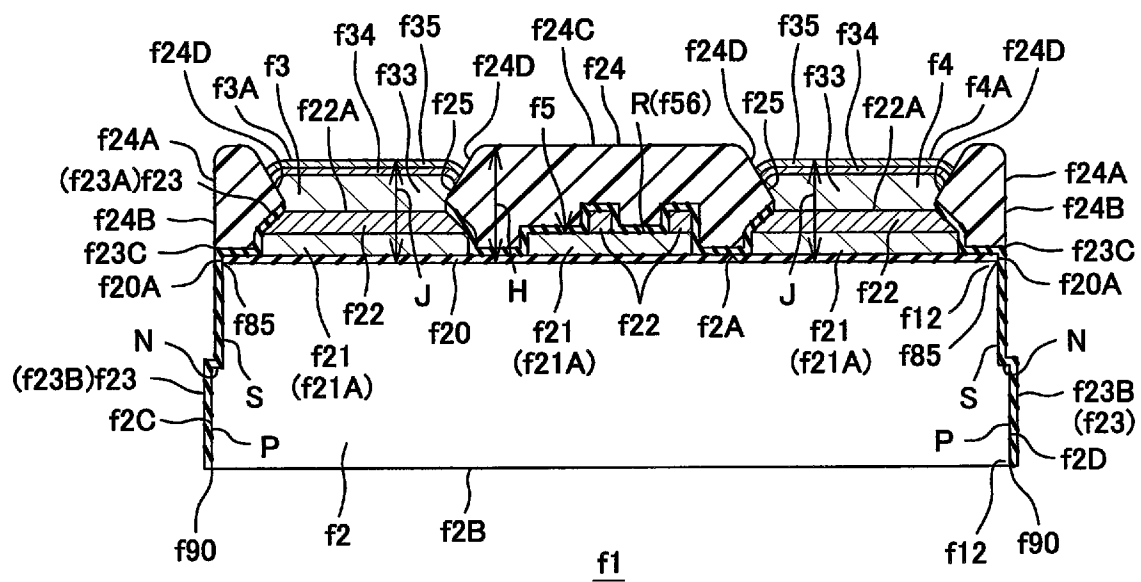
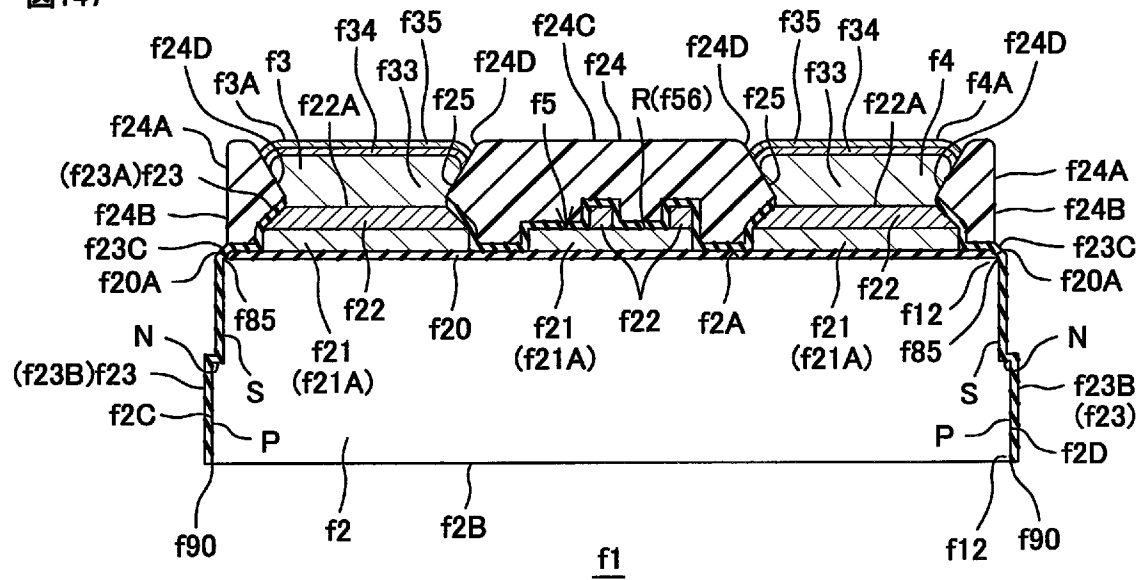
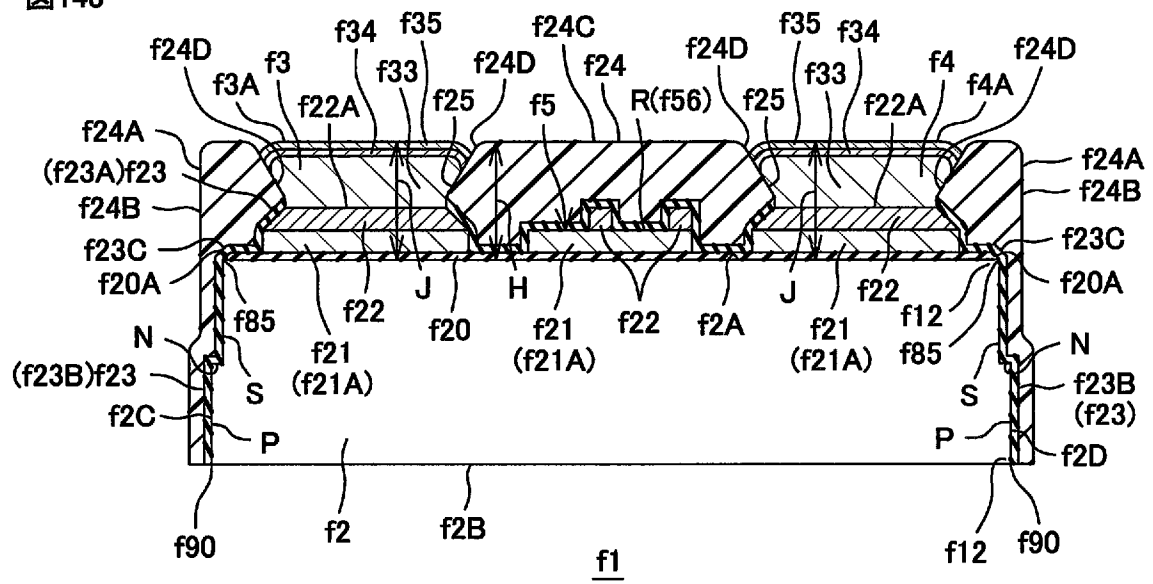


图146

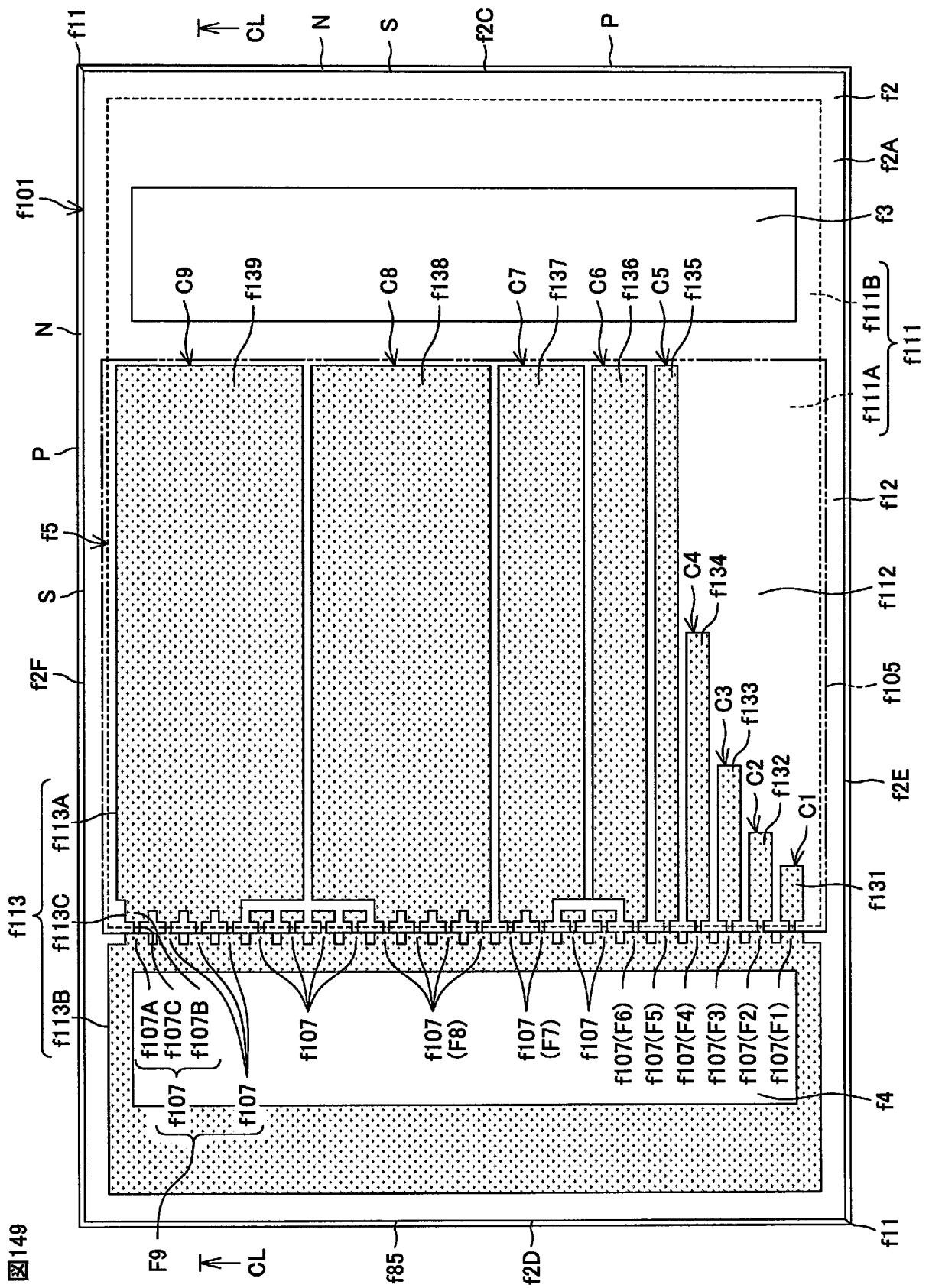


[図148]

図148



[図149]



[図150]

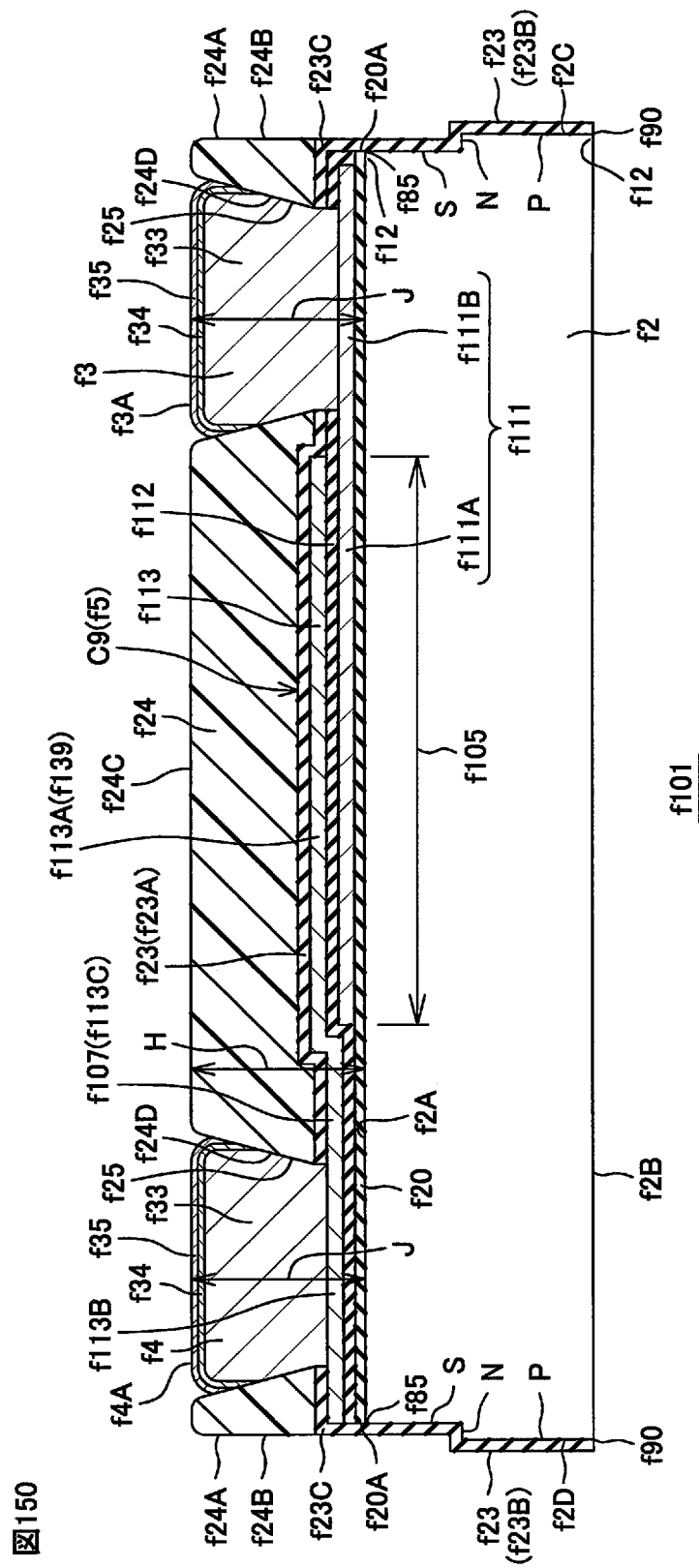
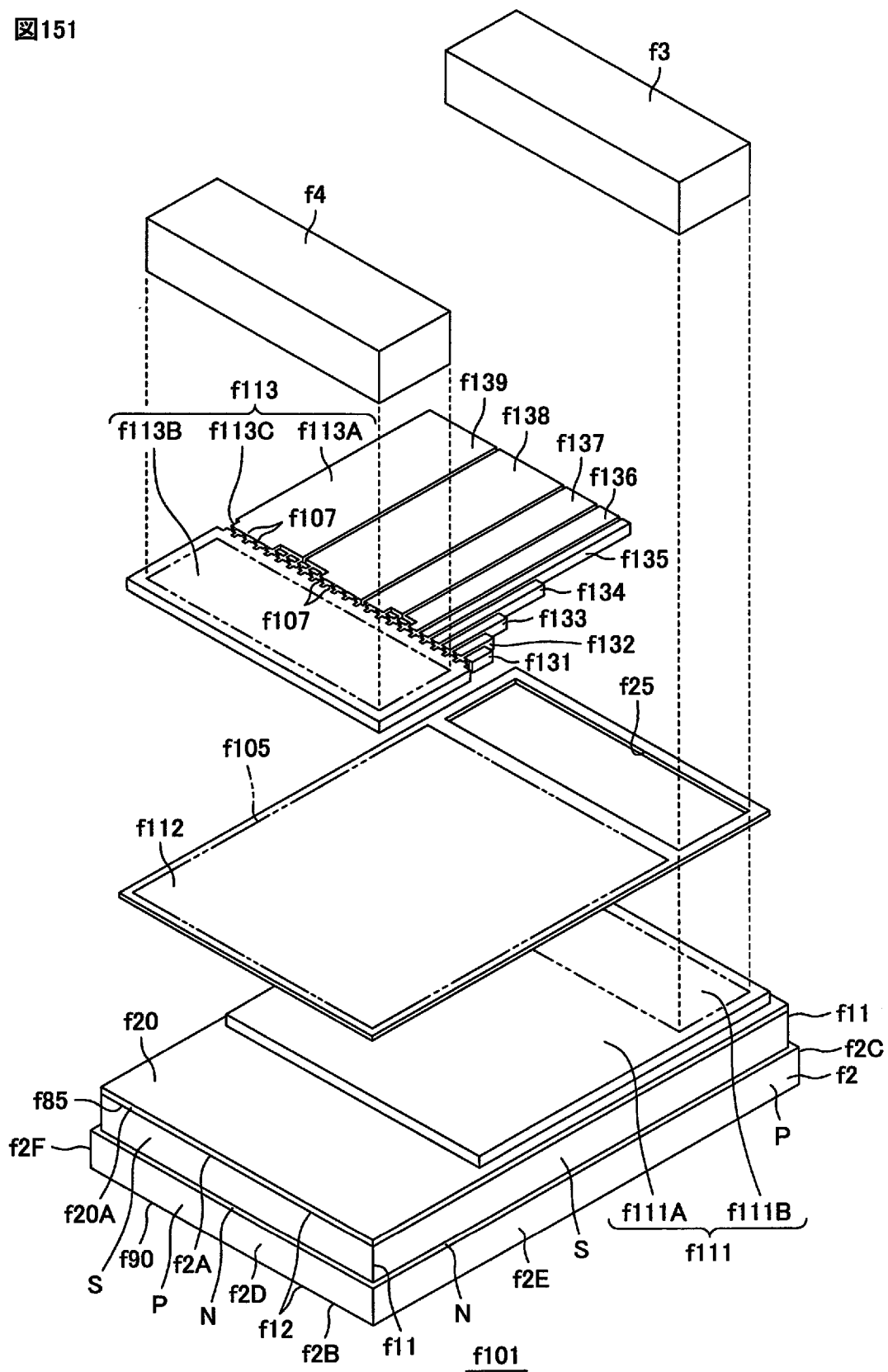
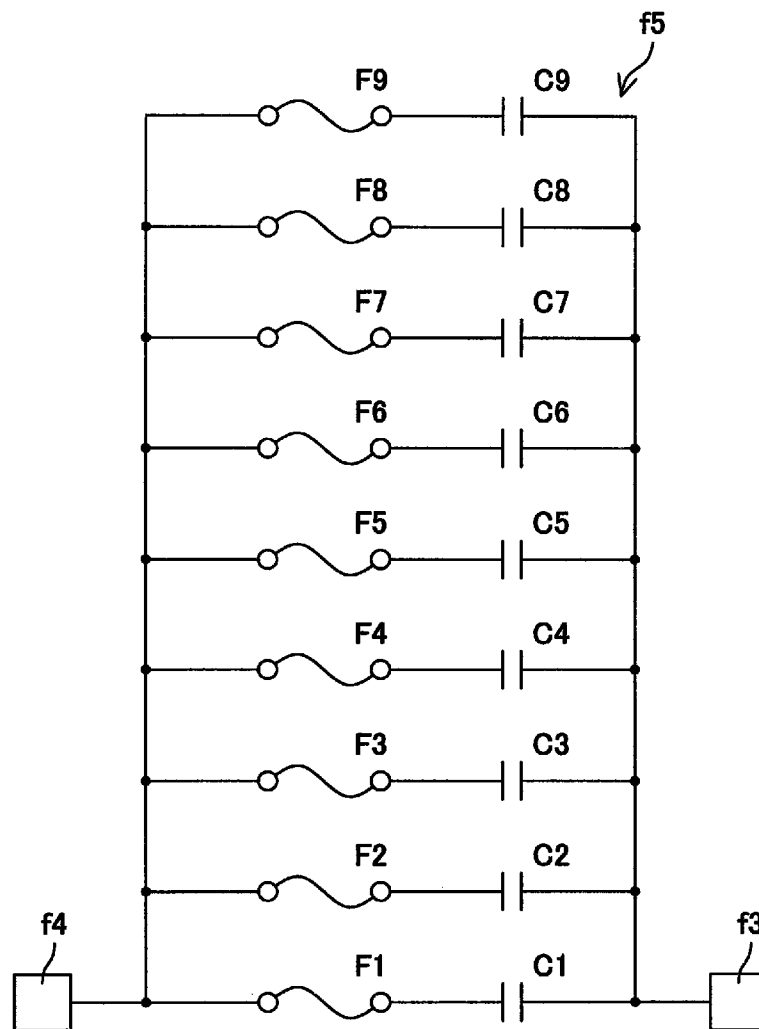


图151



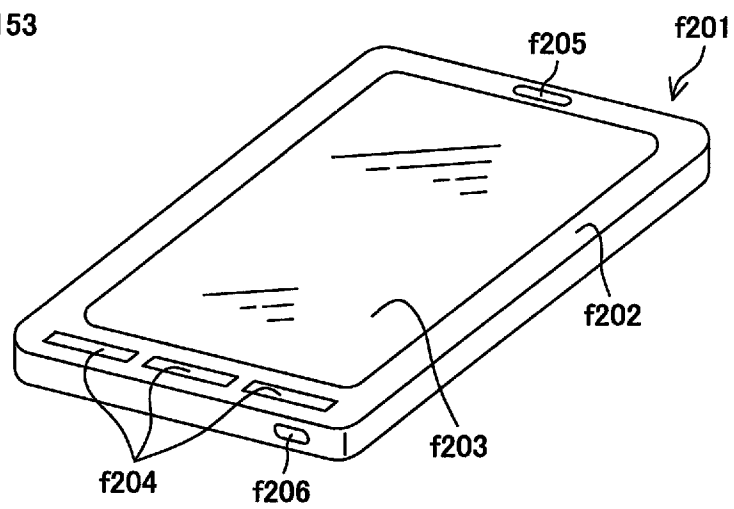
[図152]

図152



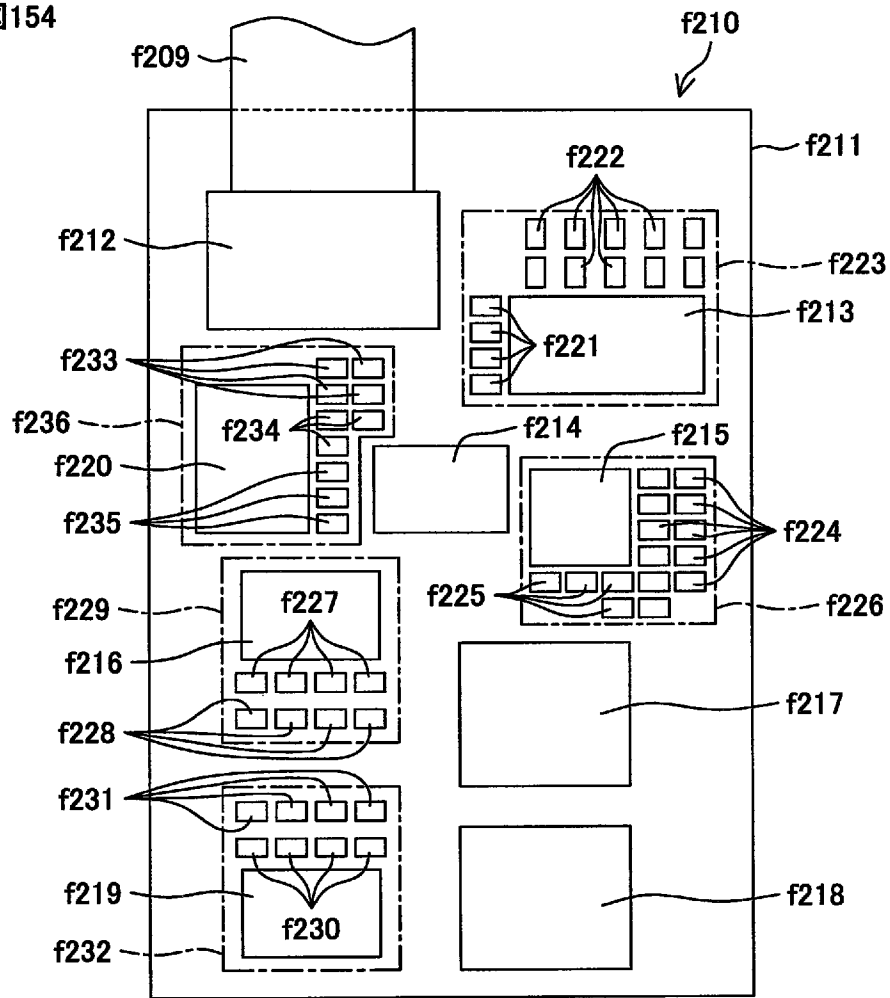
[図153]

図153



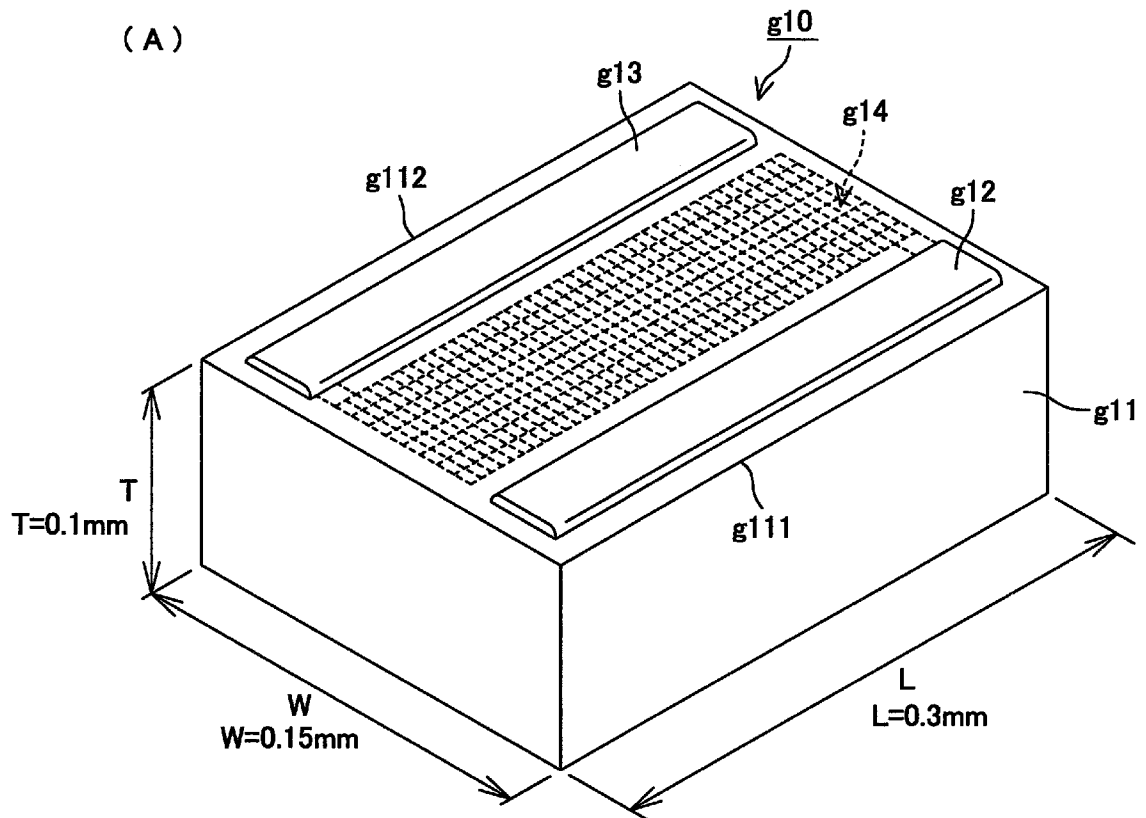
[図154]

図154

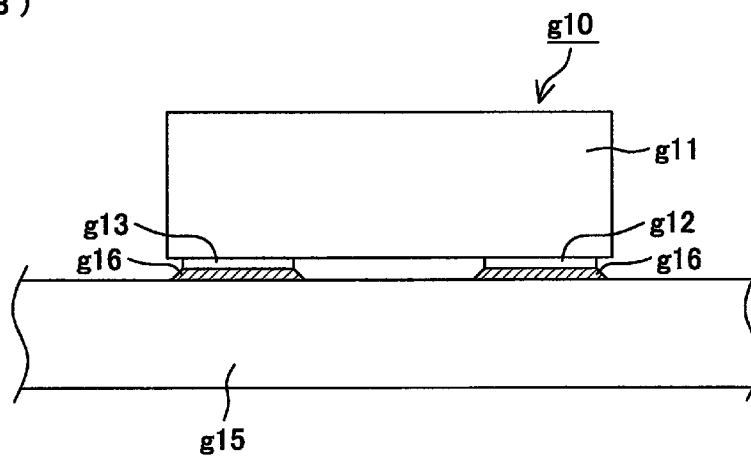


[図155]

図155

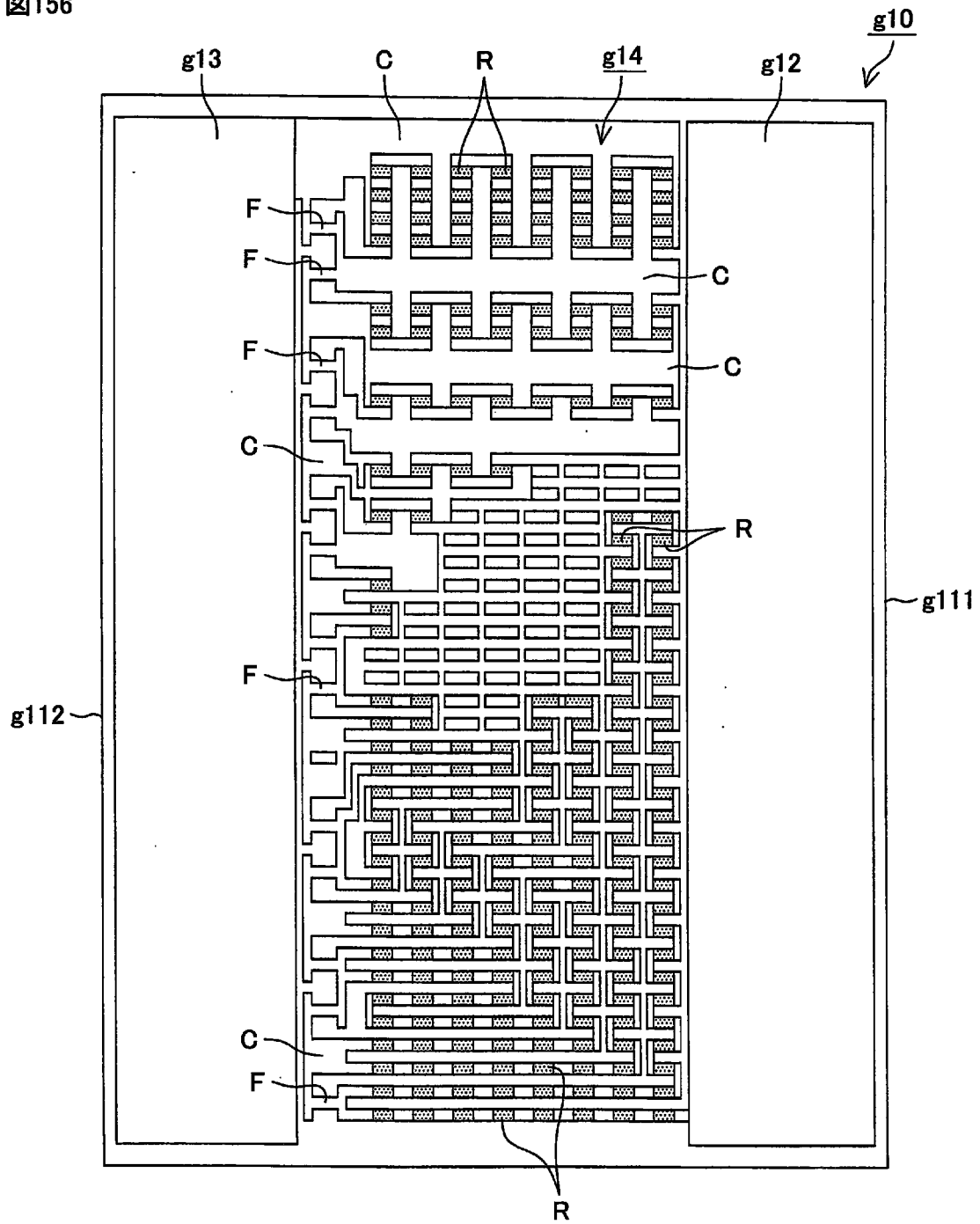


(B)

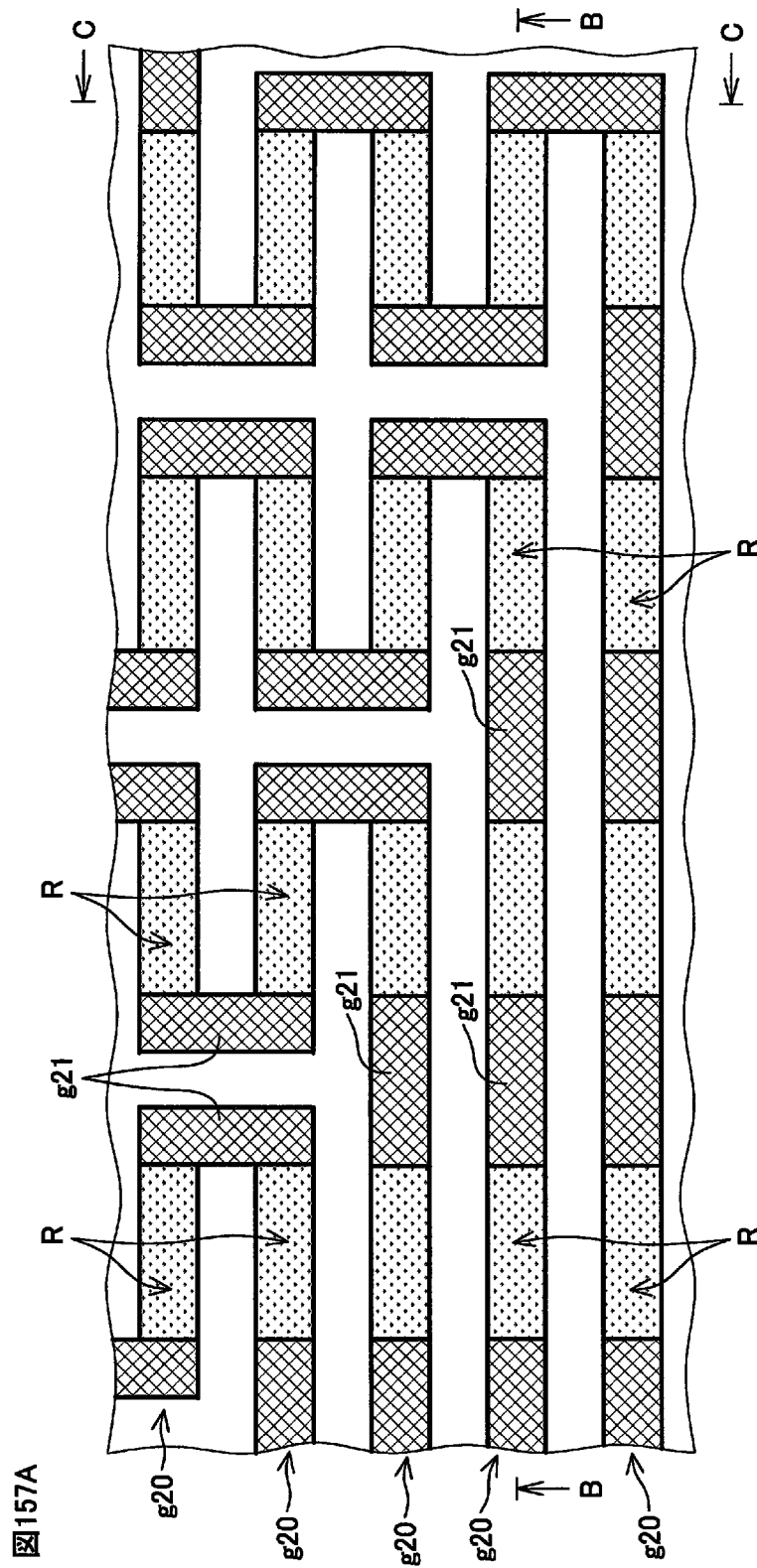


[図156]

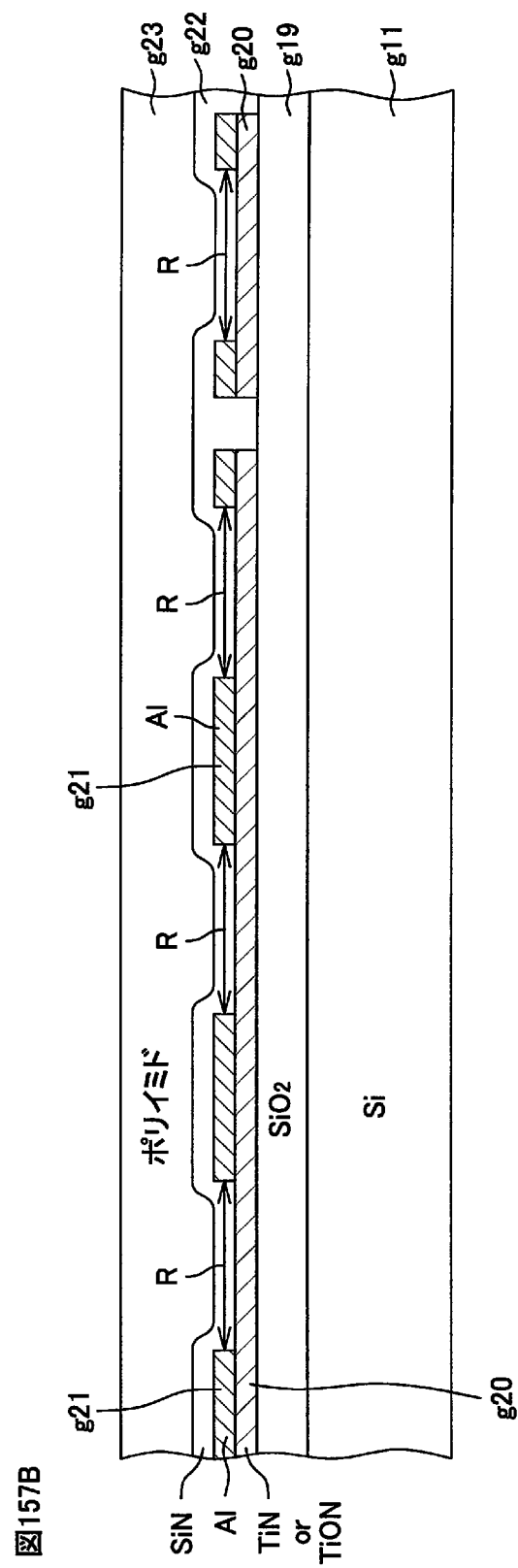
図156



[図157A]

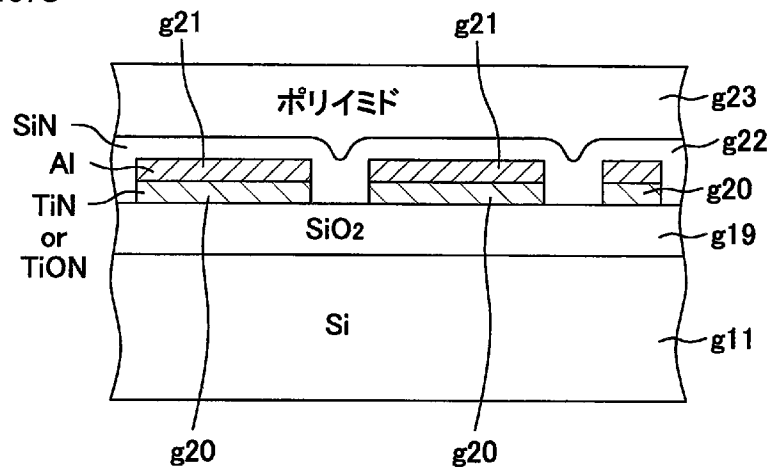


[図157B]



[図157C]

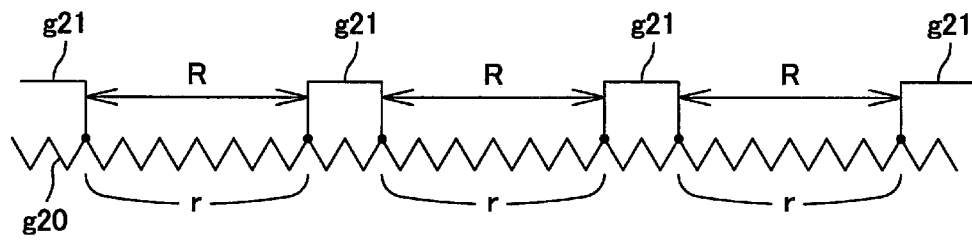
図157C



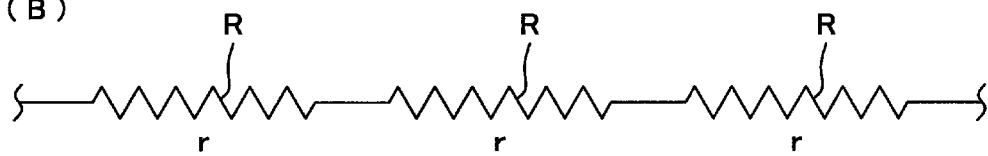
[図158]

図158

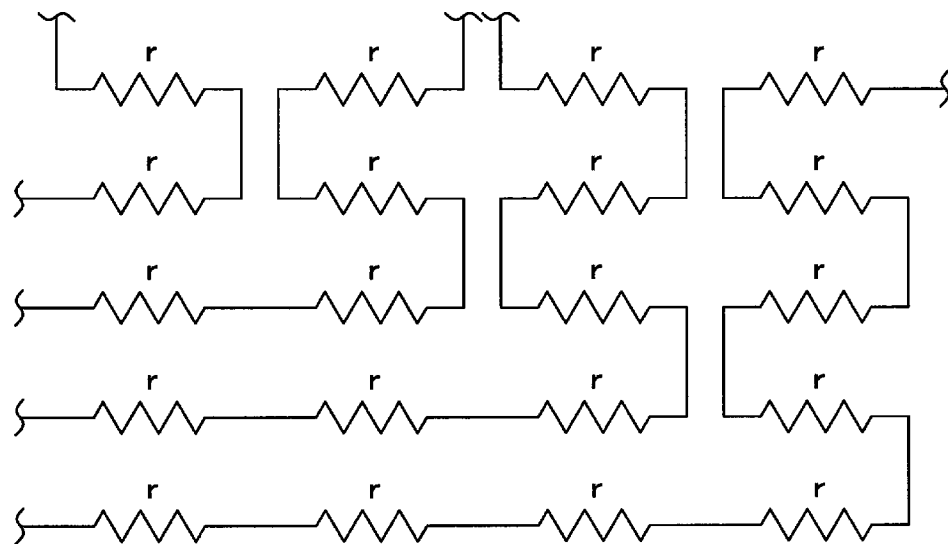
(A)



(B)

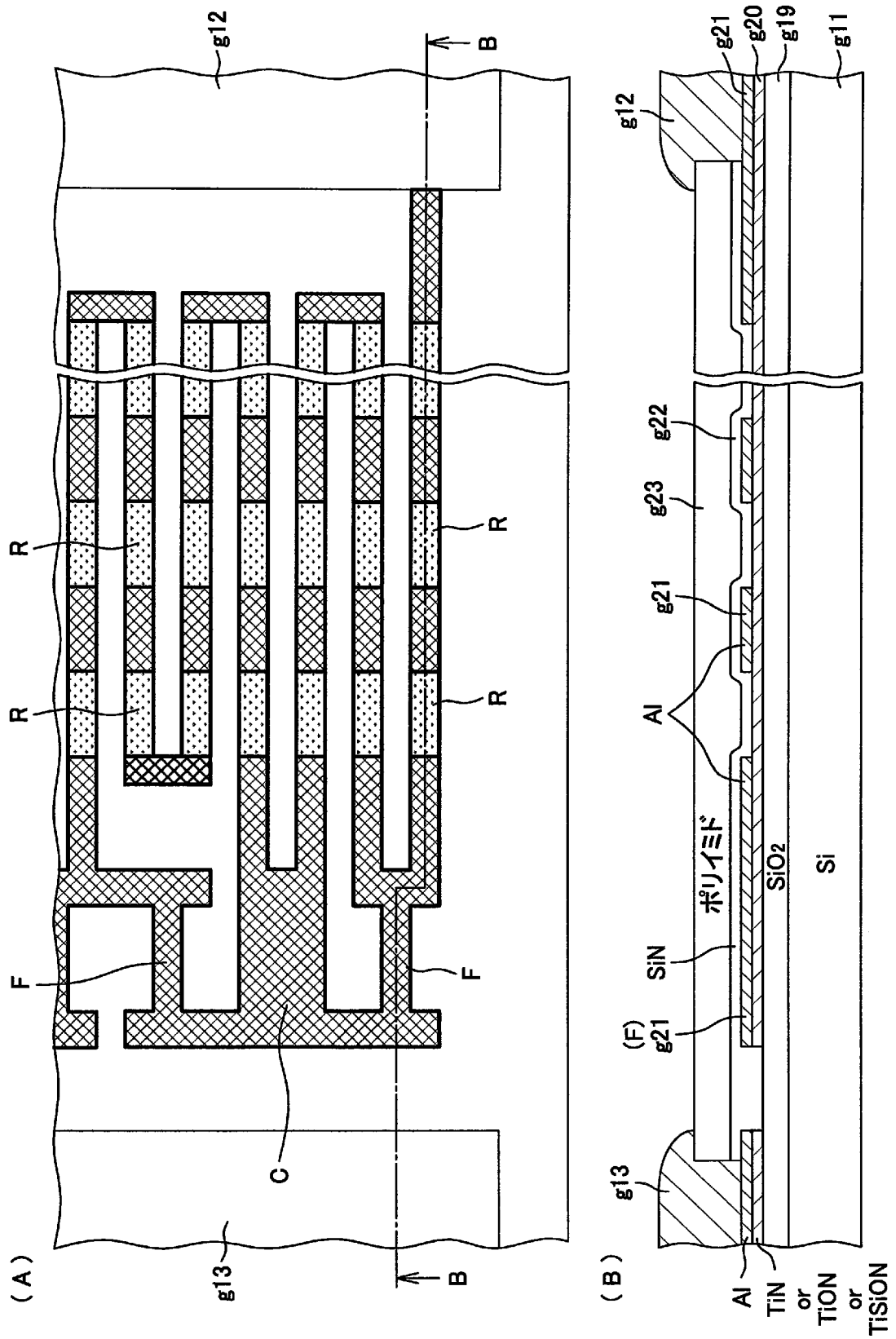


(C)

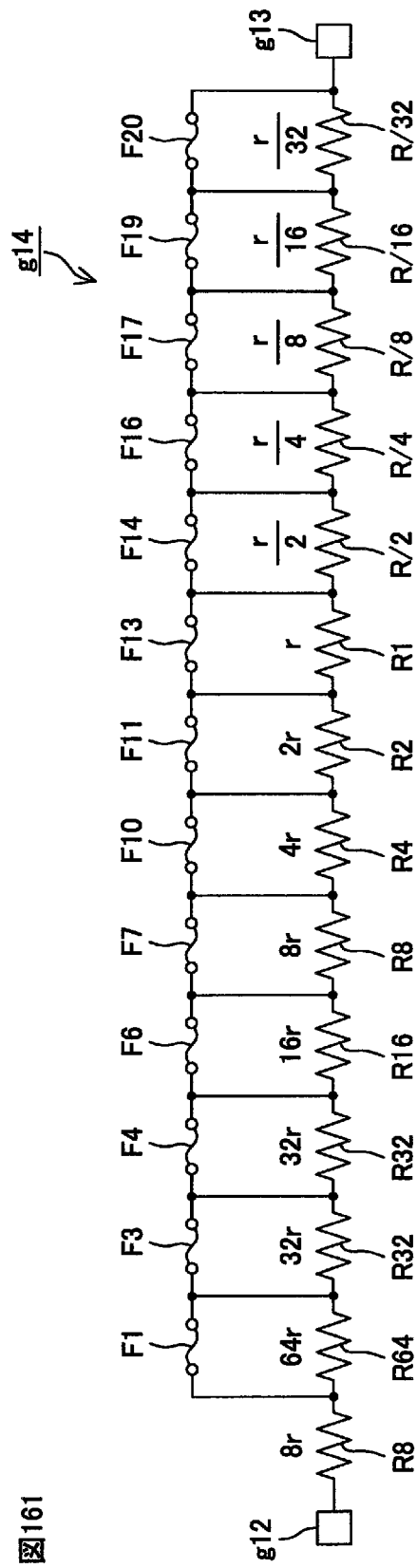


[図159]

図159

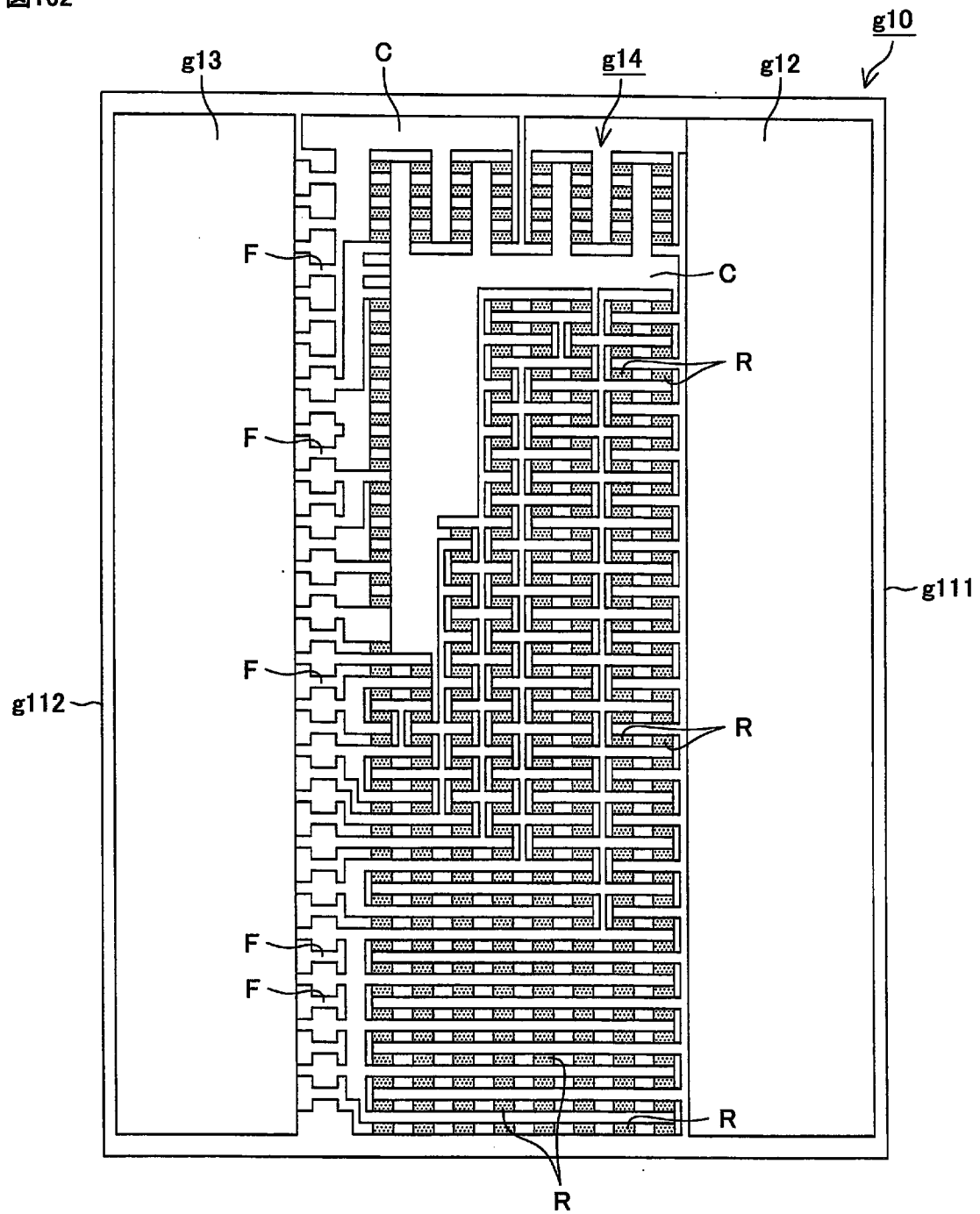


[図161]

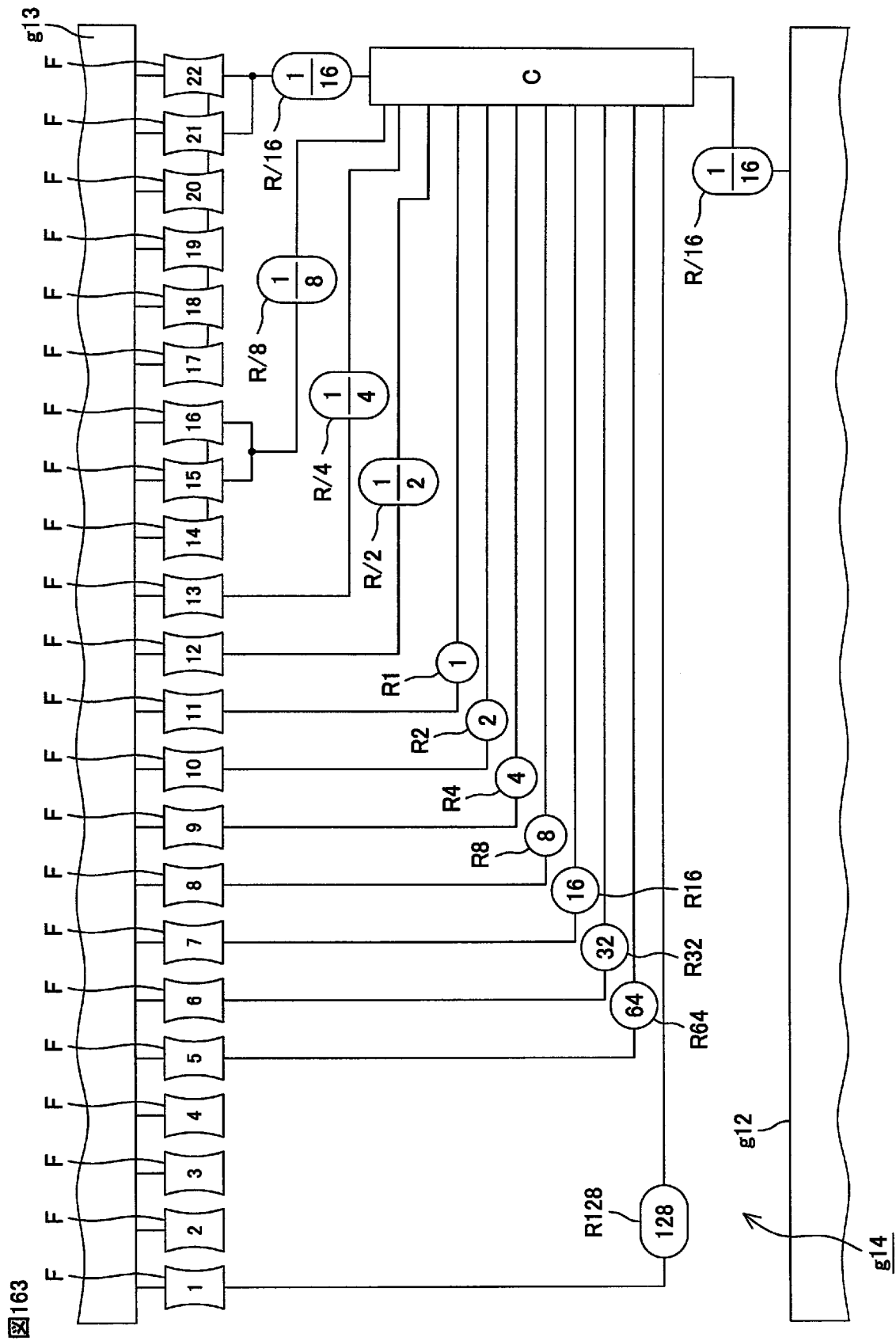


[図162]

図162

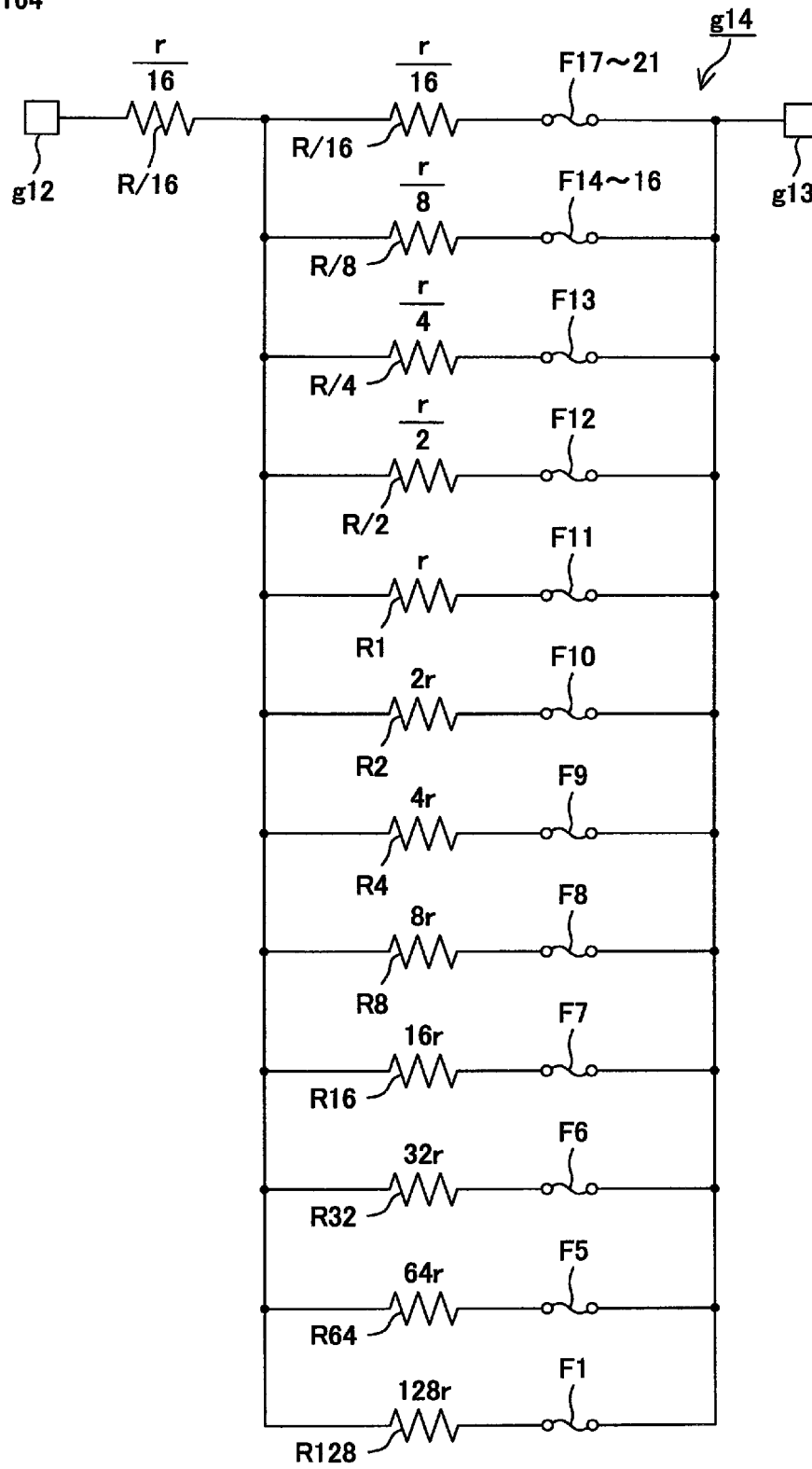


[図163]



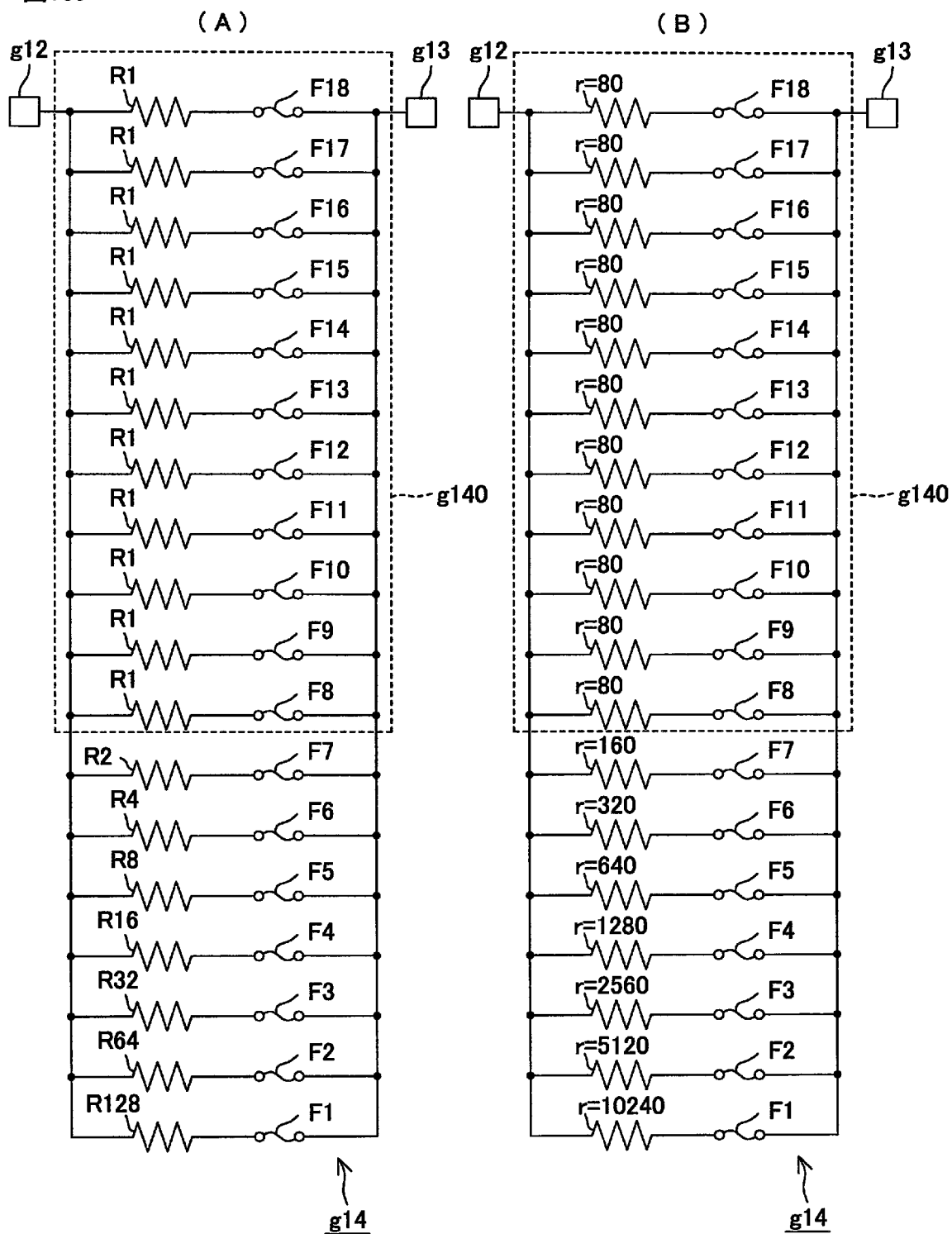
[図164]

図164



[図165]

図165



[図166]

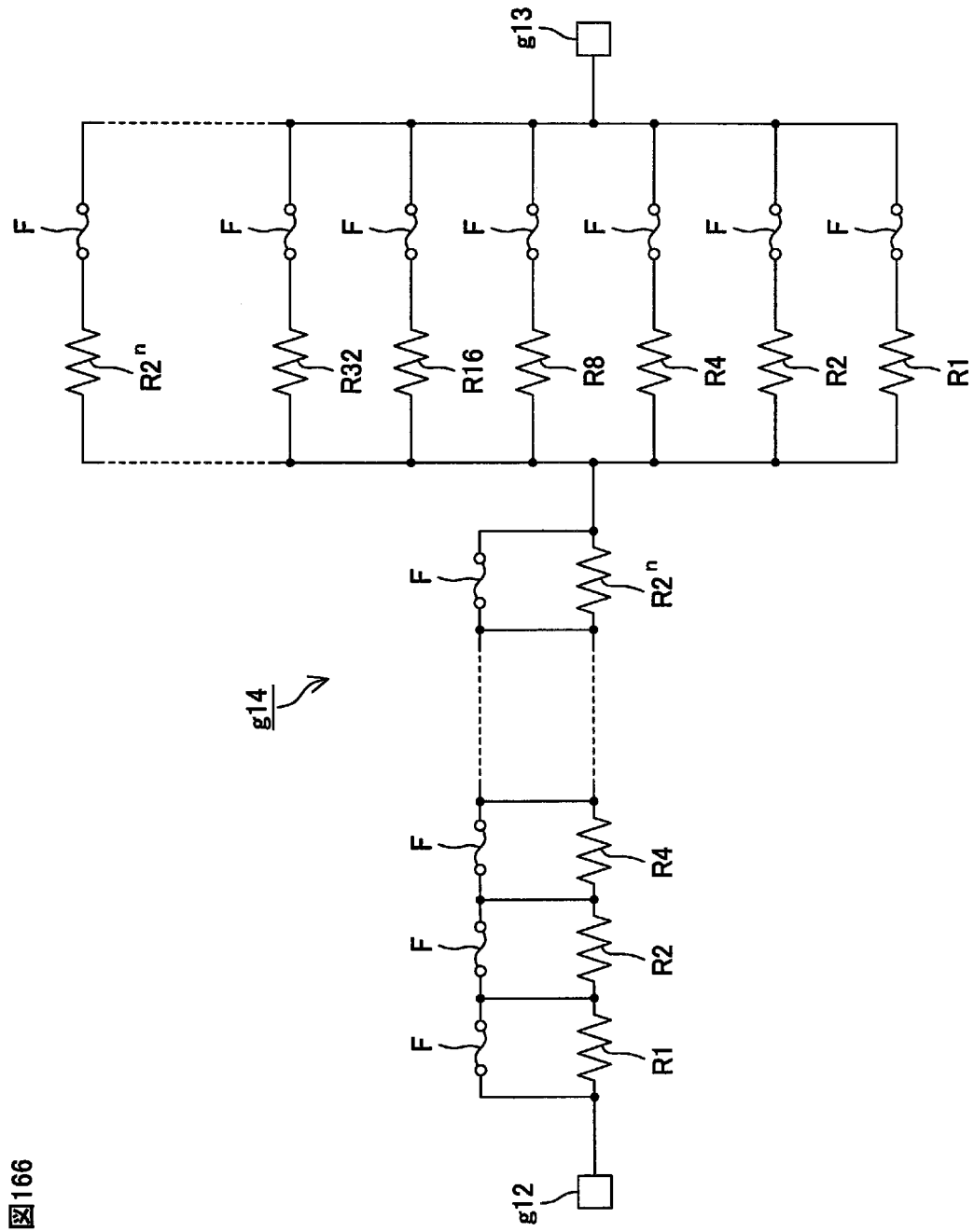
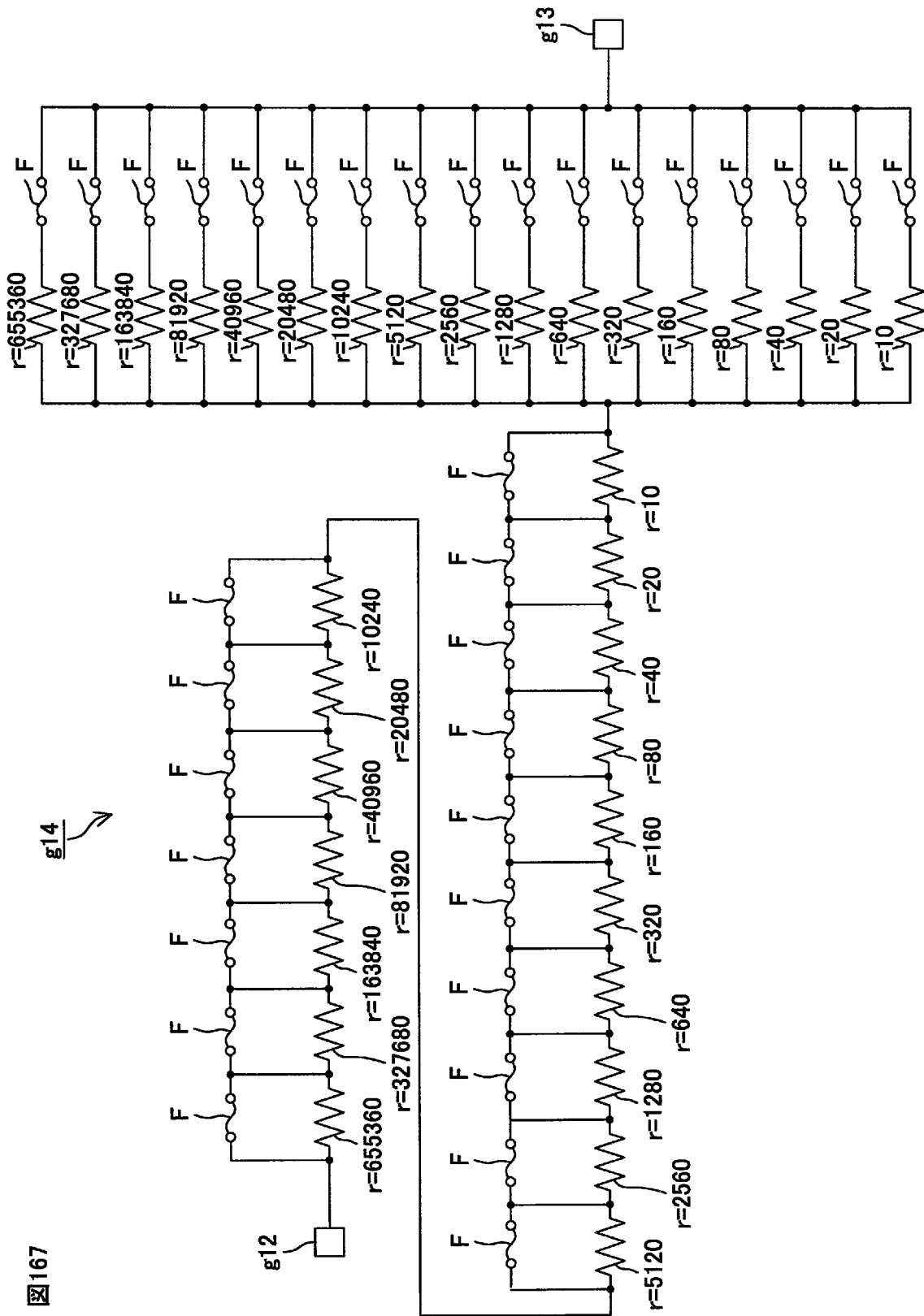


図166

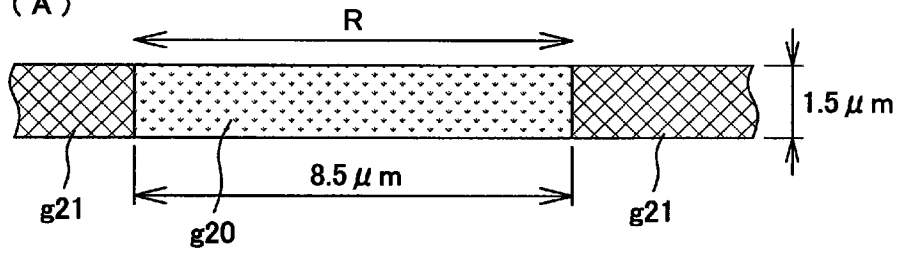
[図167]



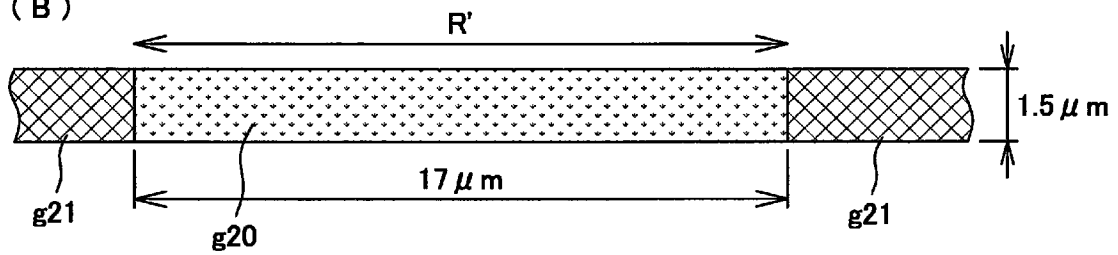
[図168]

図168

(A)



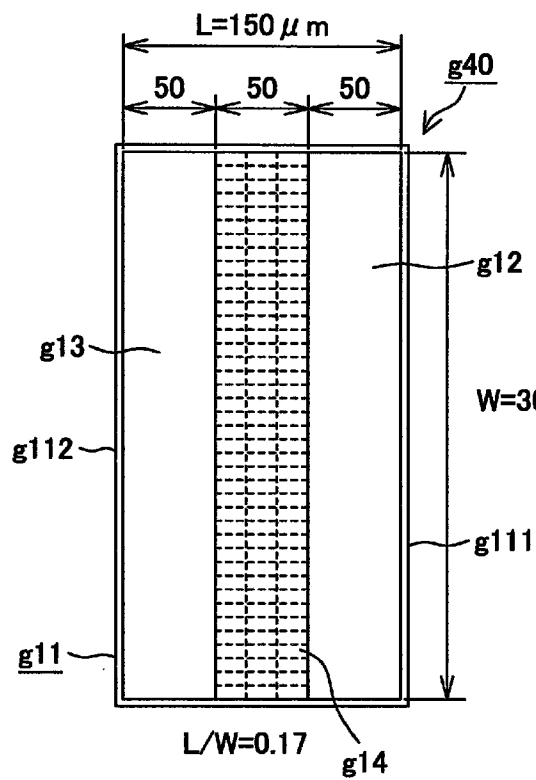
(B)



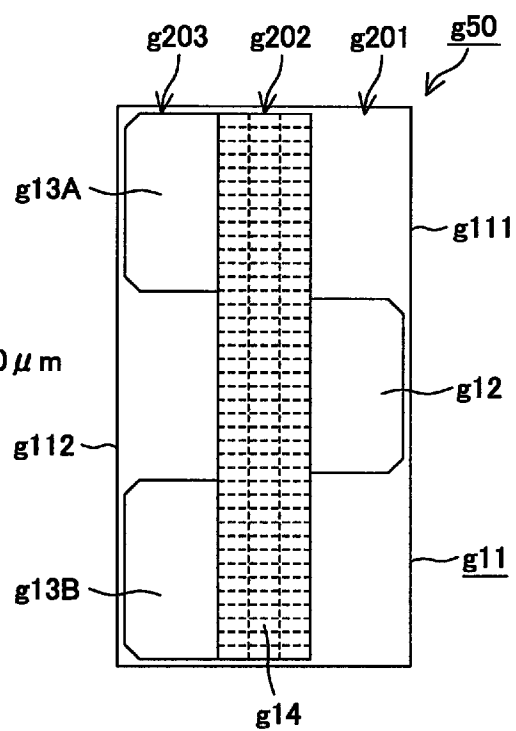
[図169]

図169

(A)

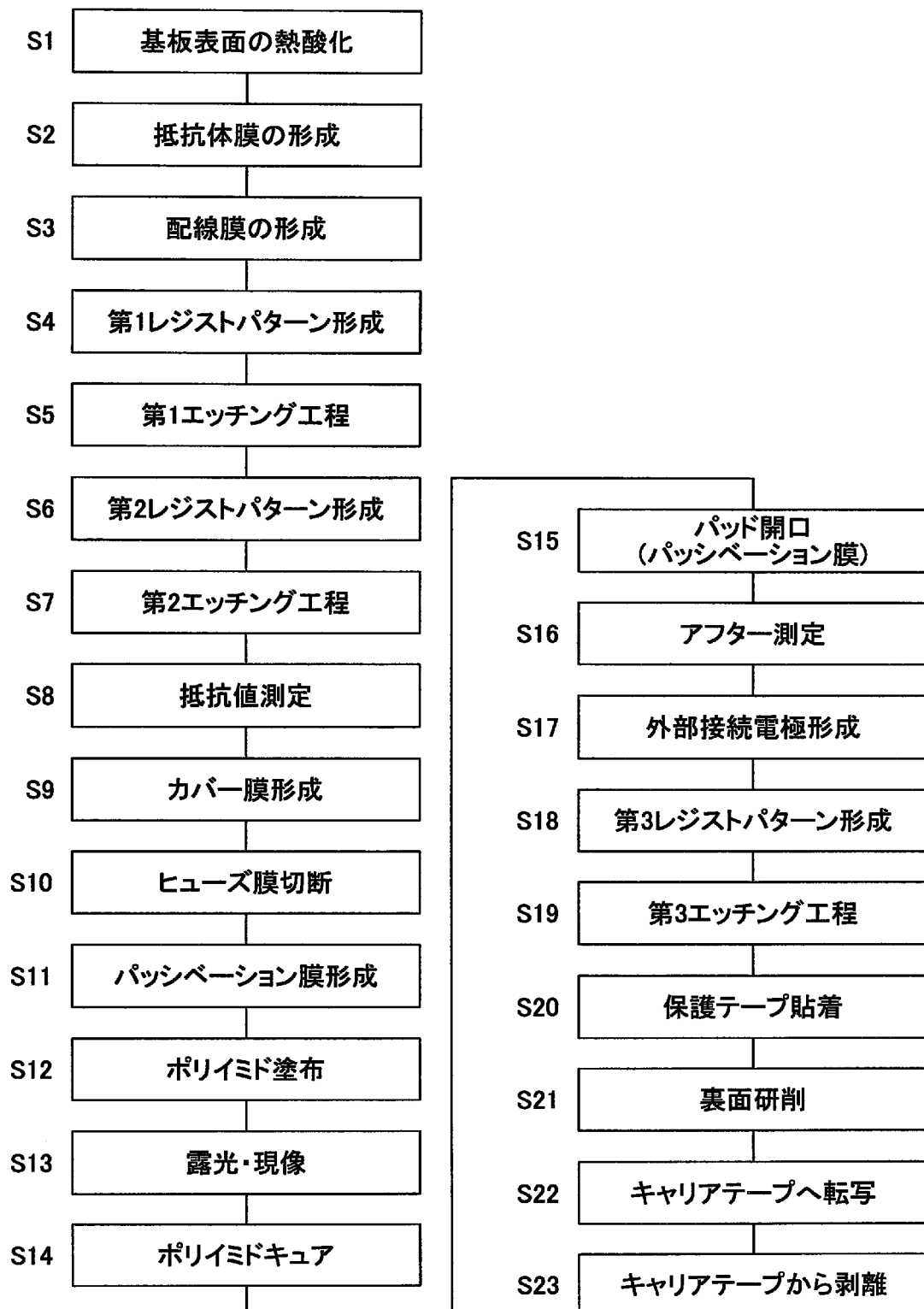


(B)



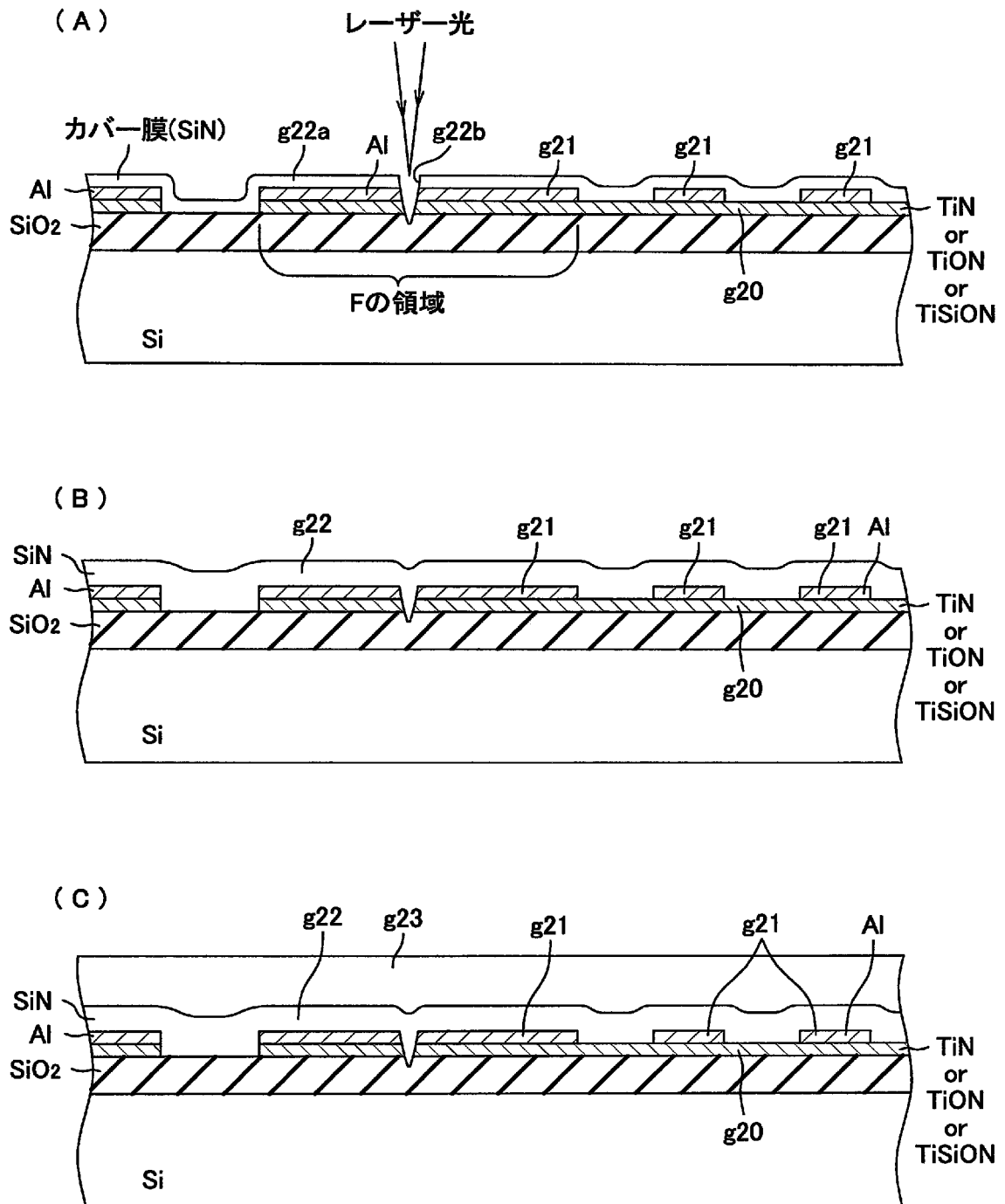
[図170]

図170



[図171]

図171



[図172]

図172

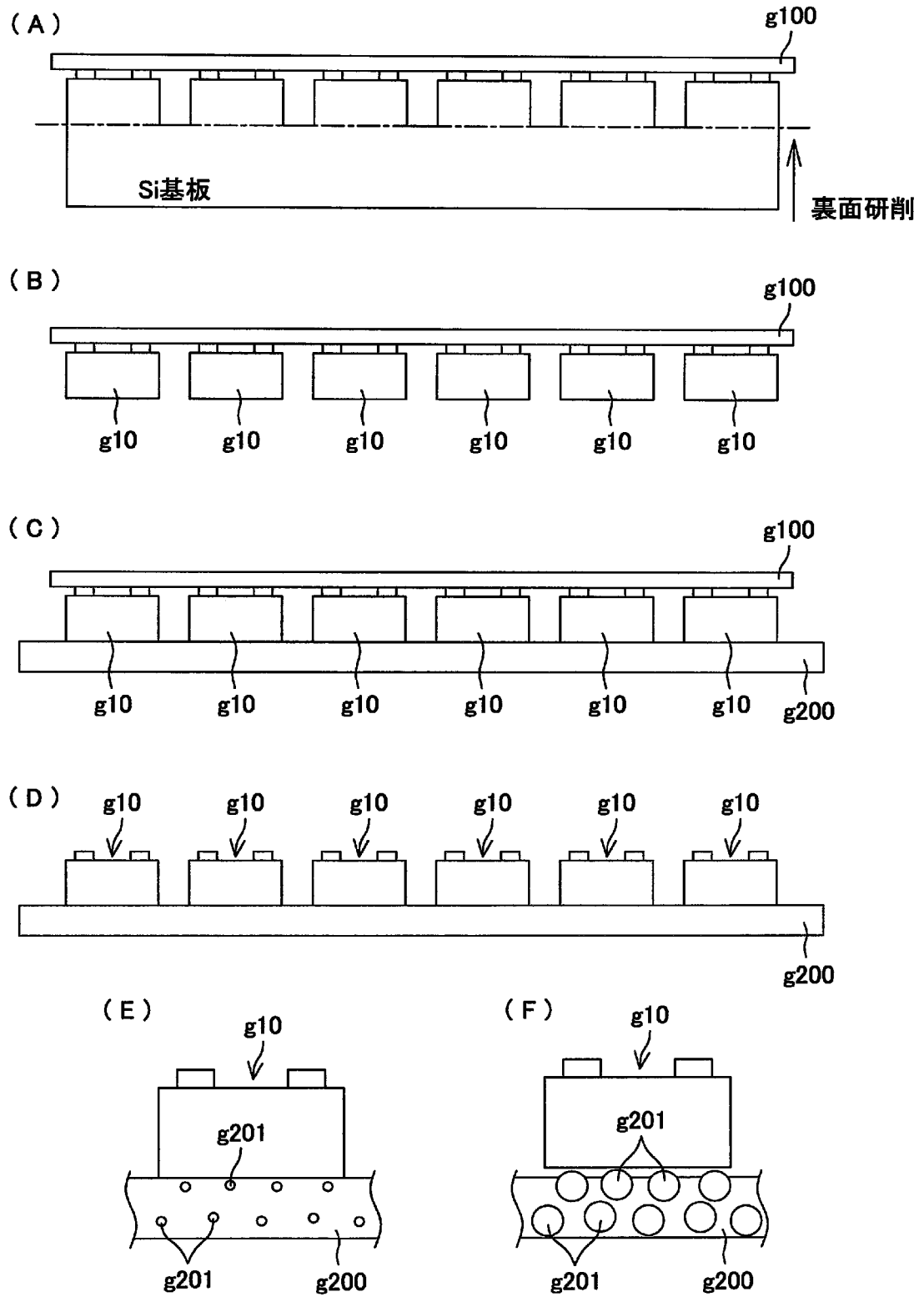
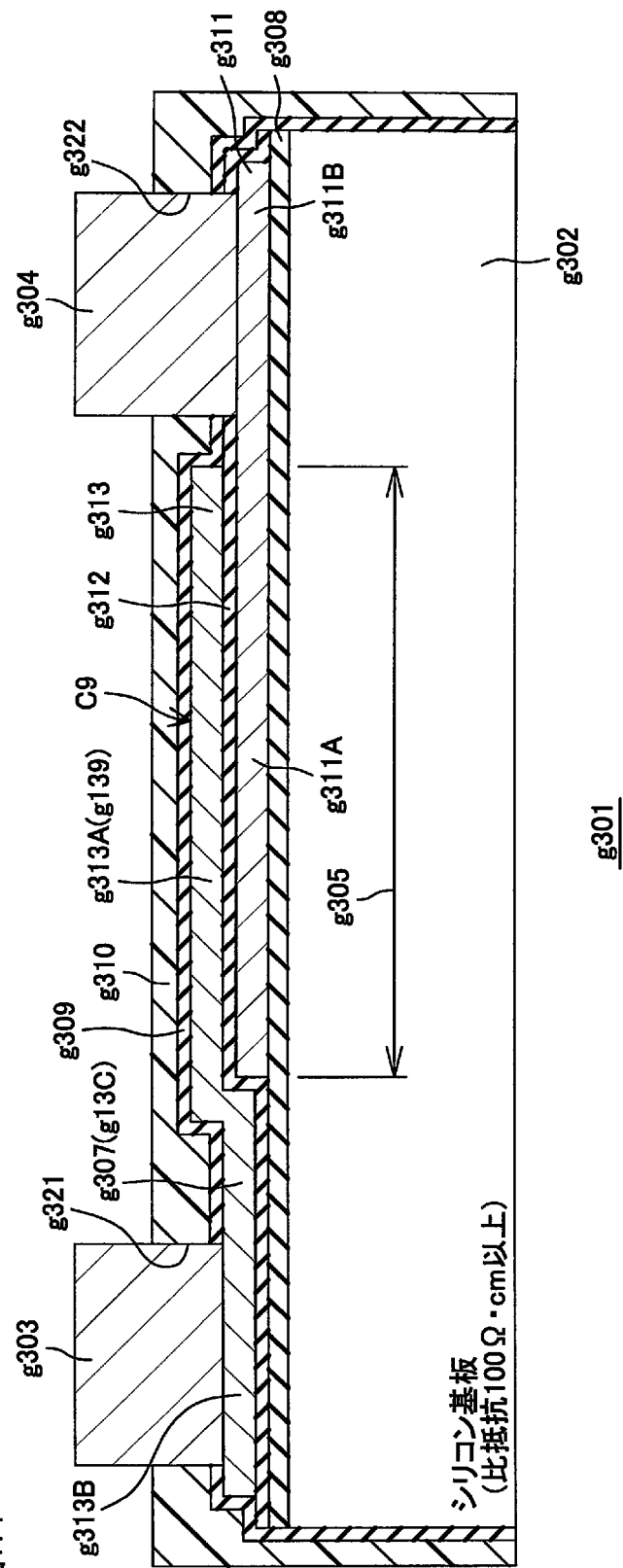
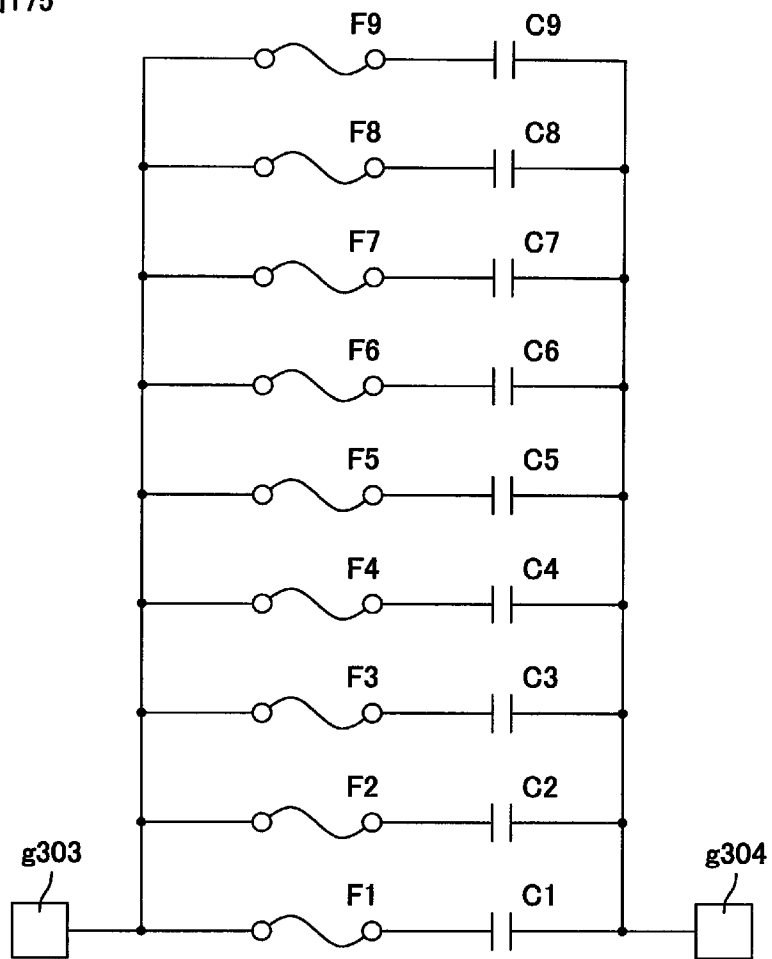


图 174



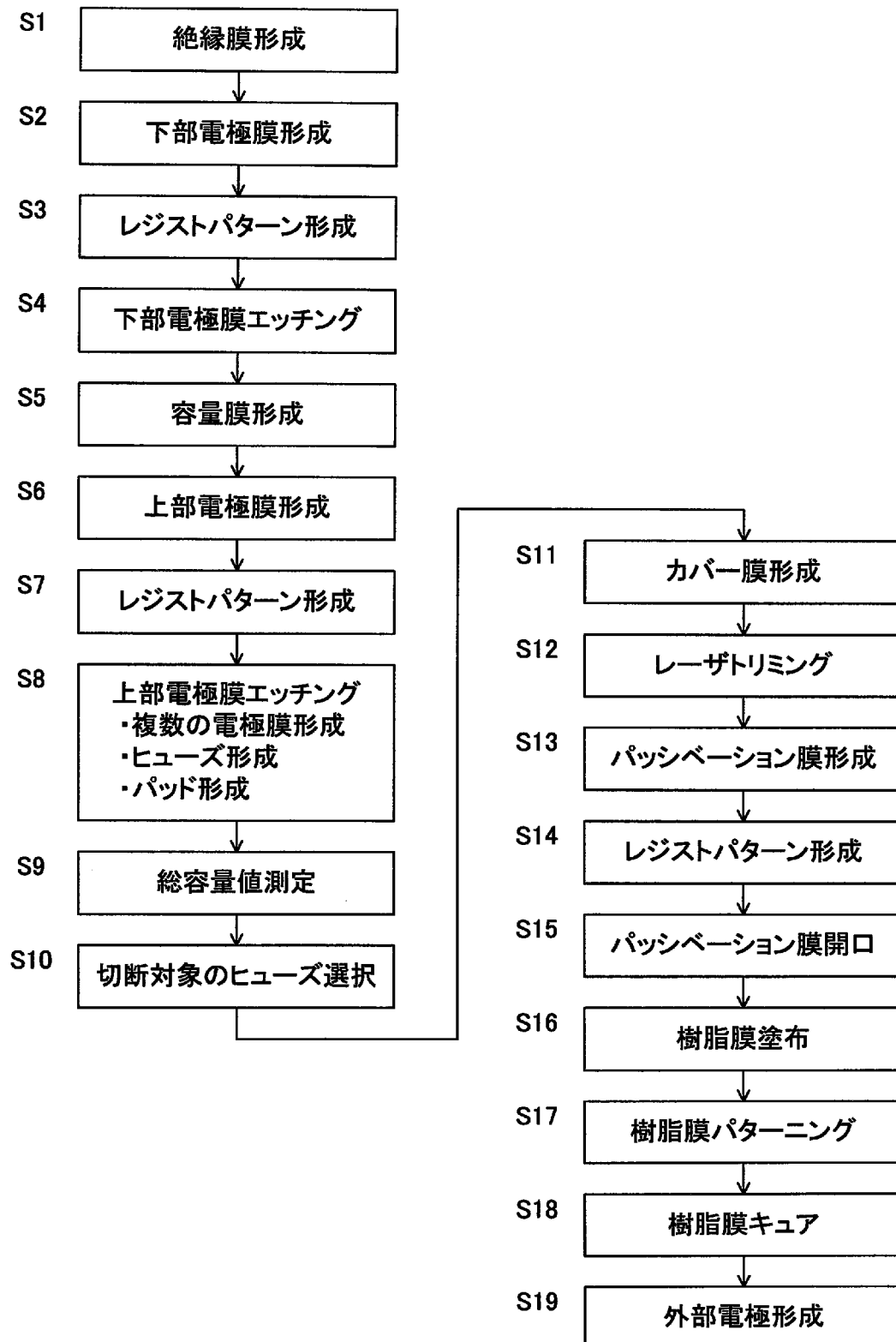
[図175]

図175



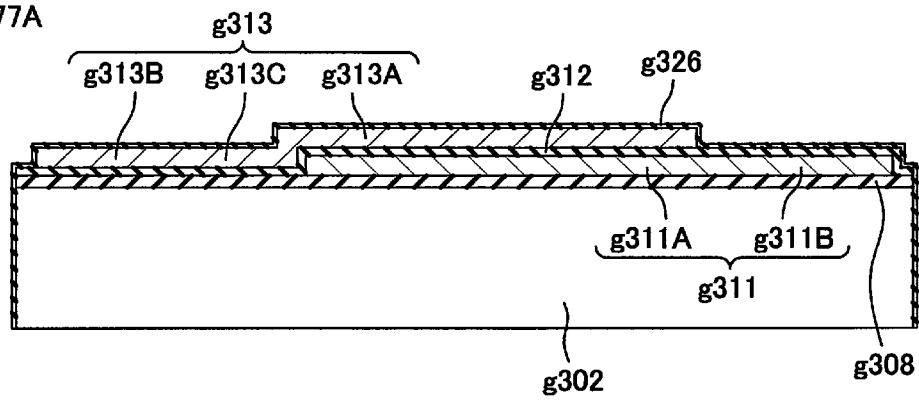
[図176]

図176



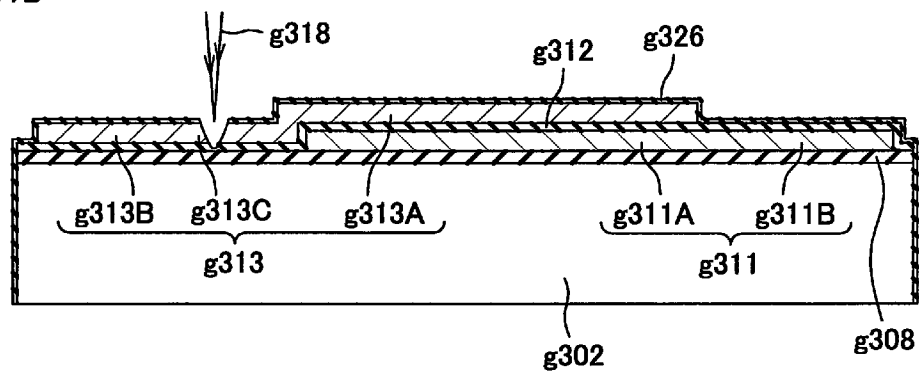
[図177A]

図177A



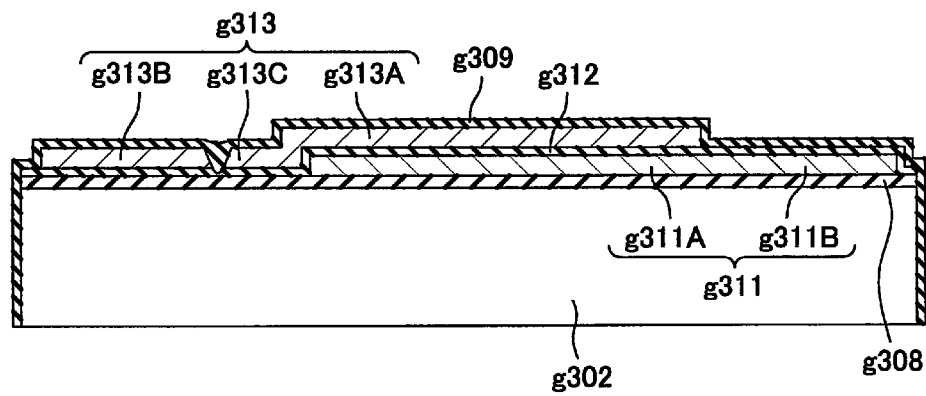
[図177B]

図177B



[図177C]

図177C



[図178]

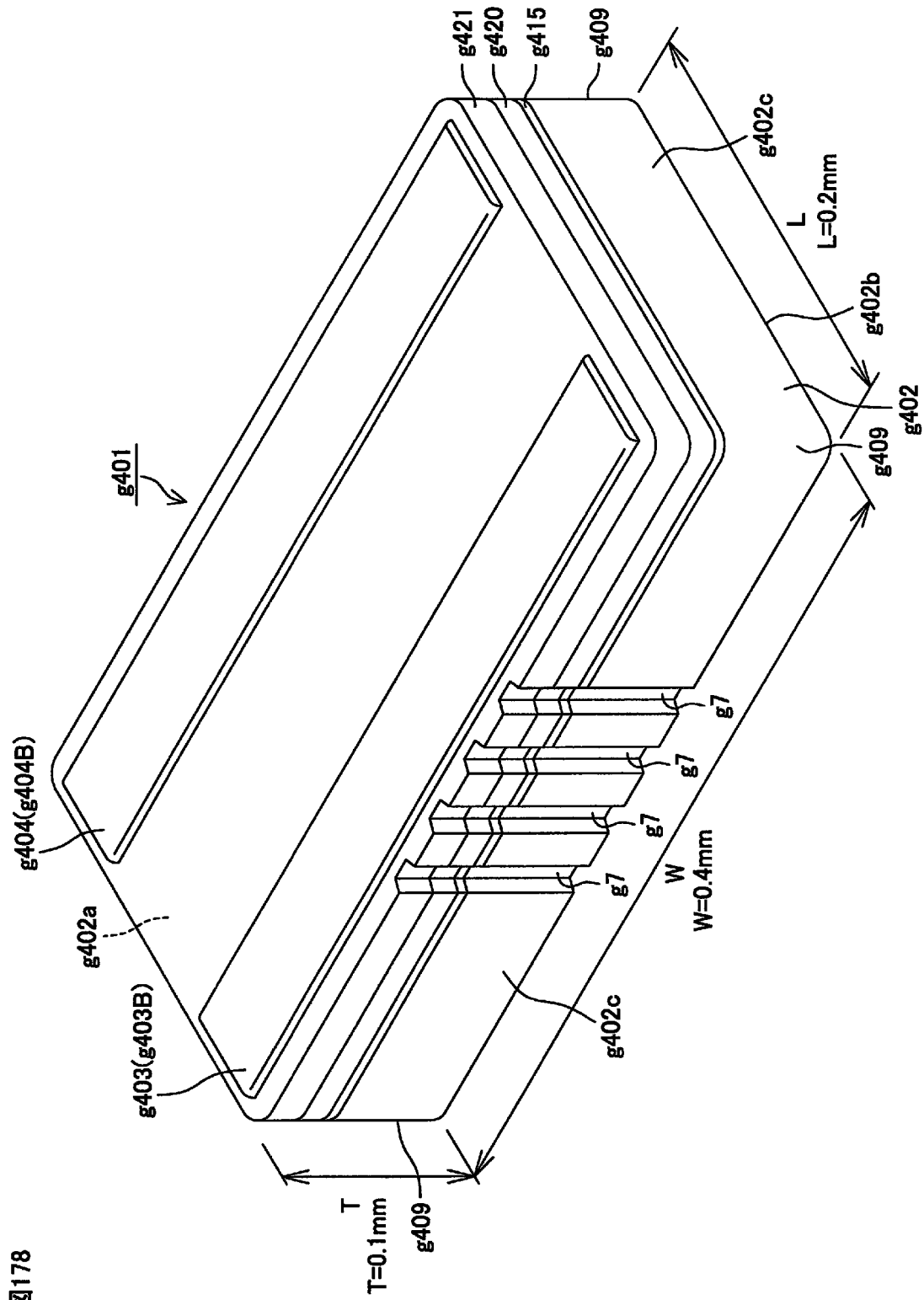
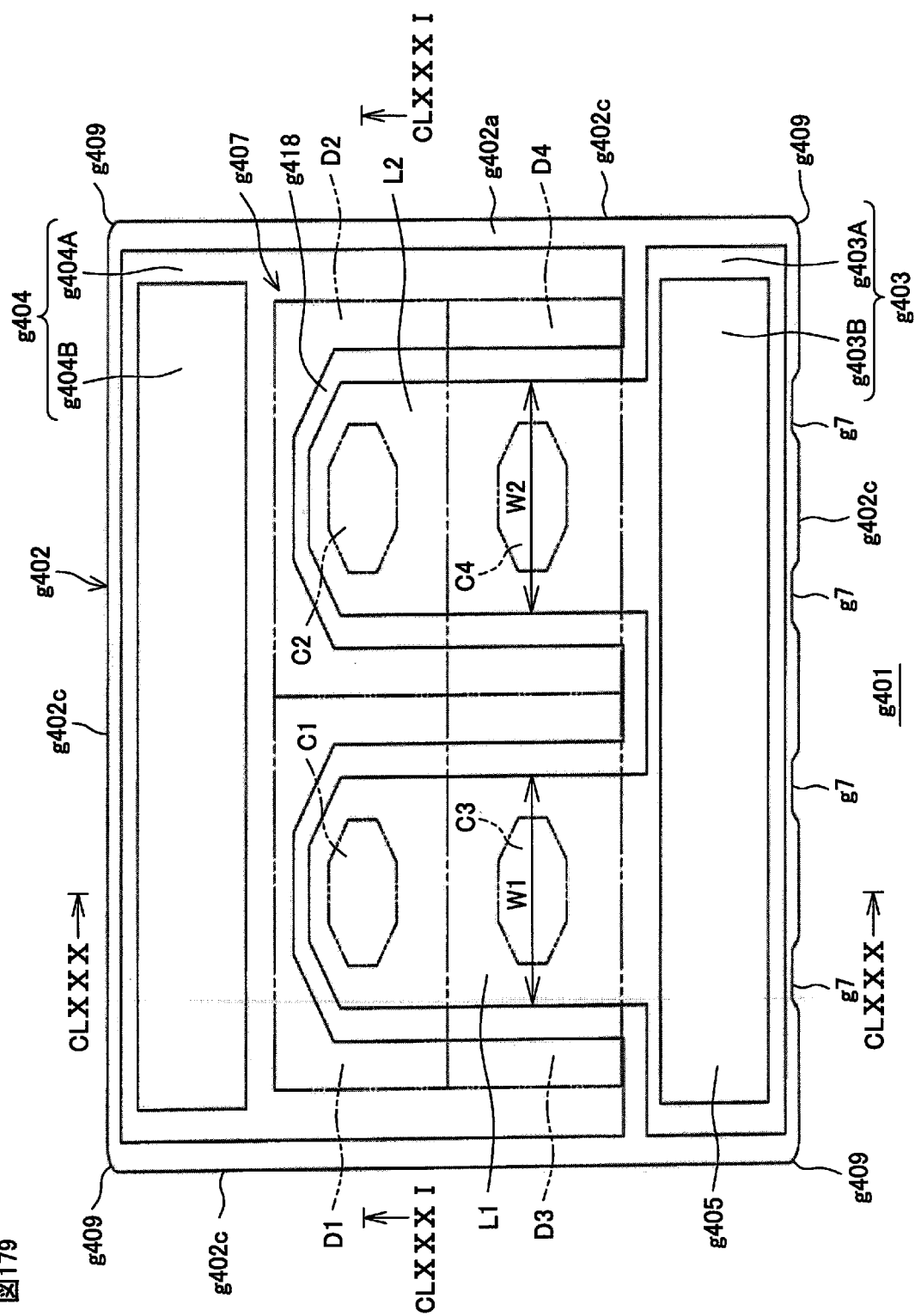
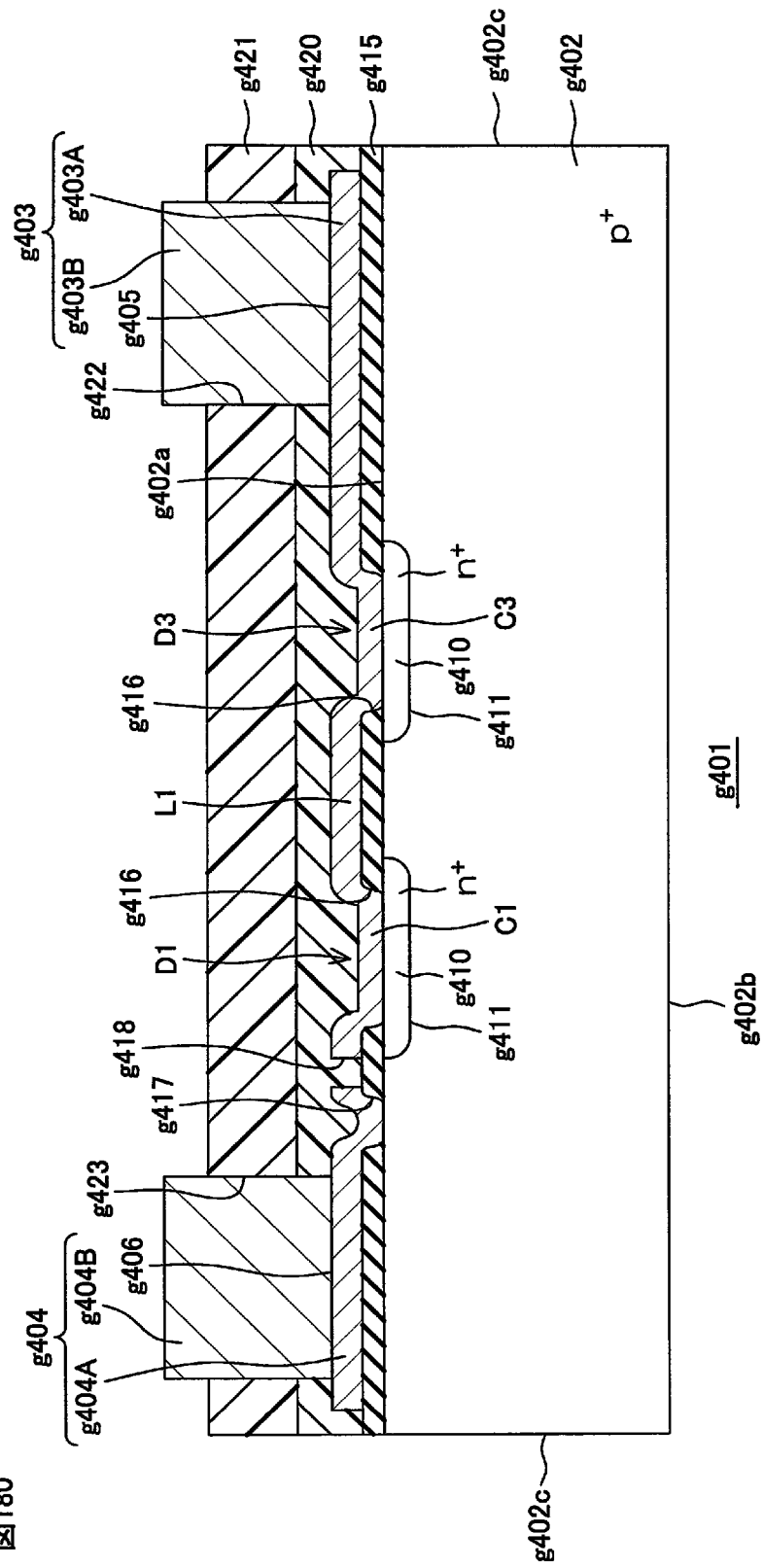


图 179

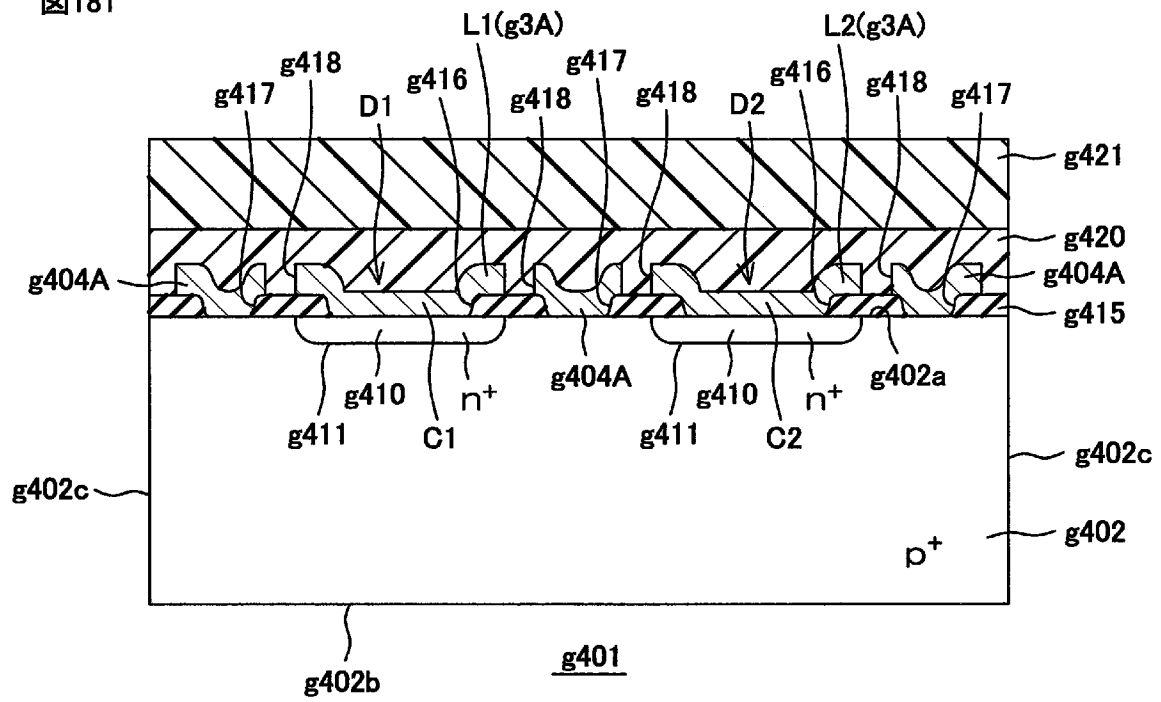


180

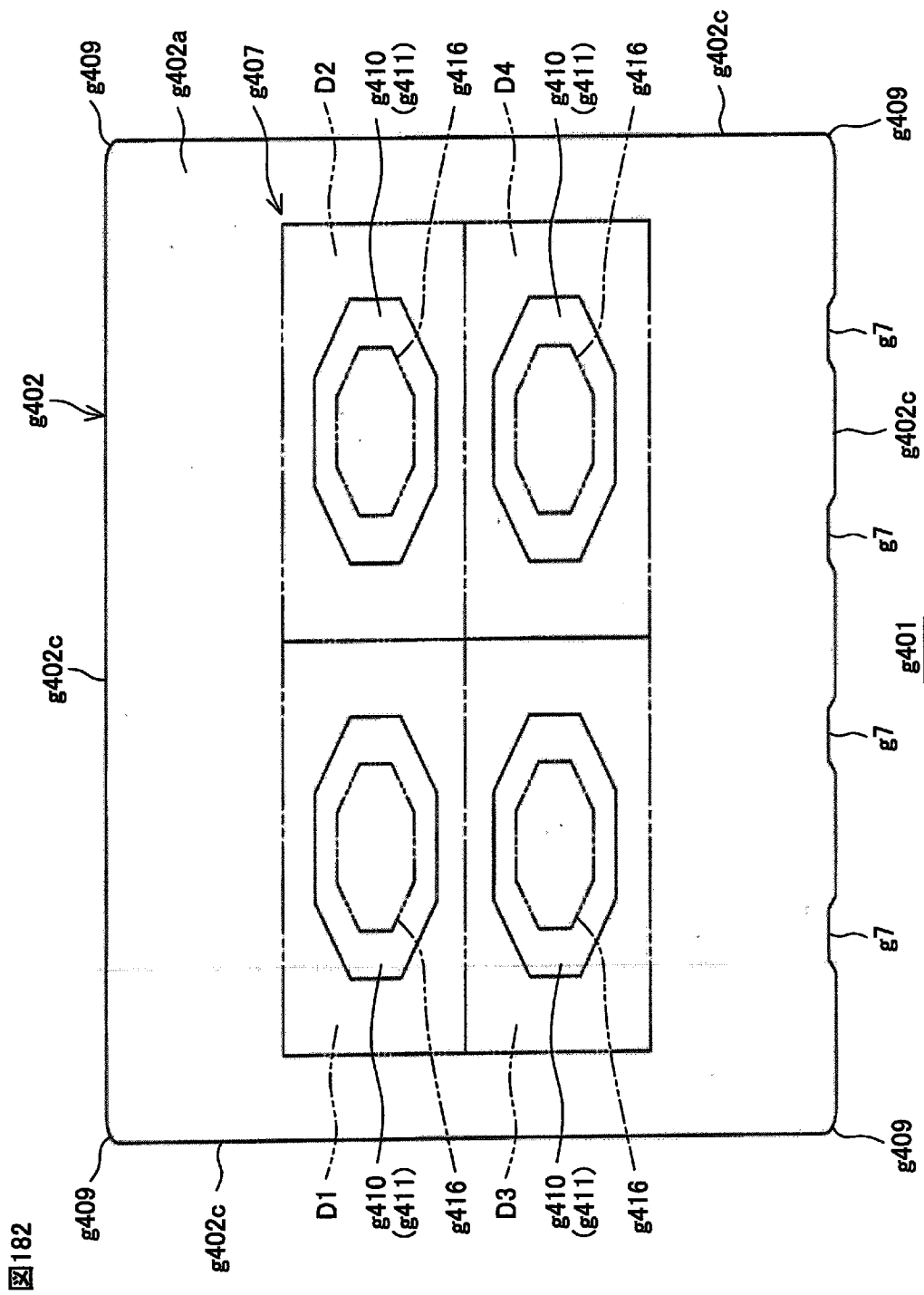


[図181]

図181

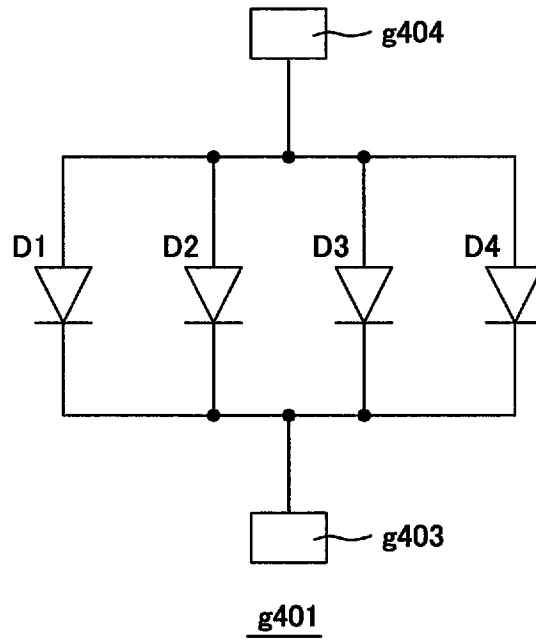


[図182]



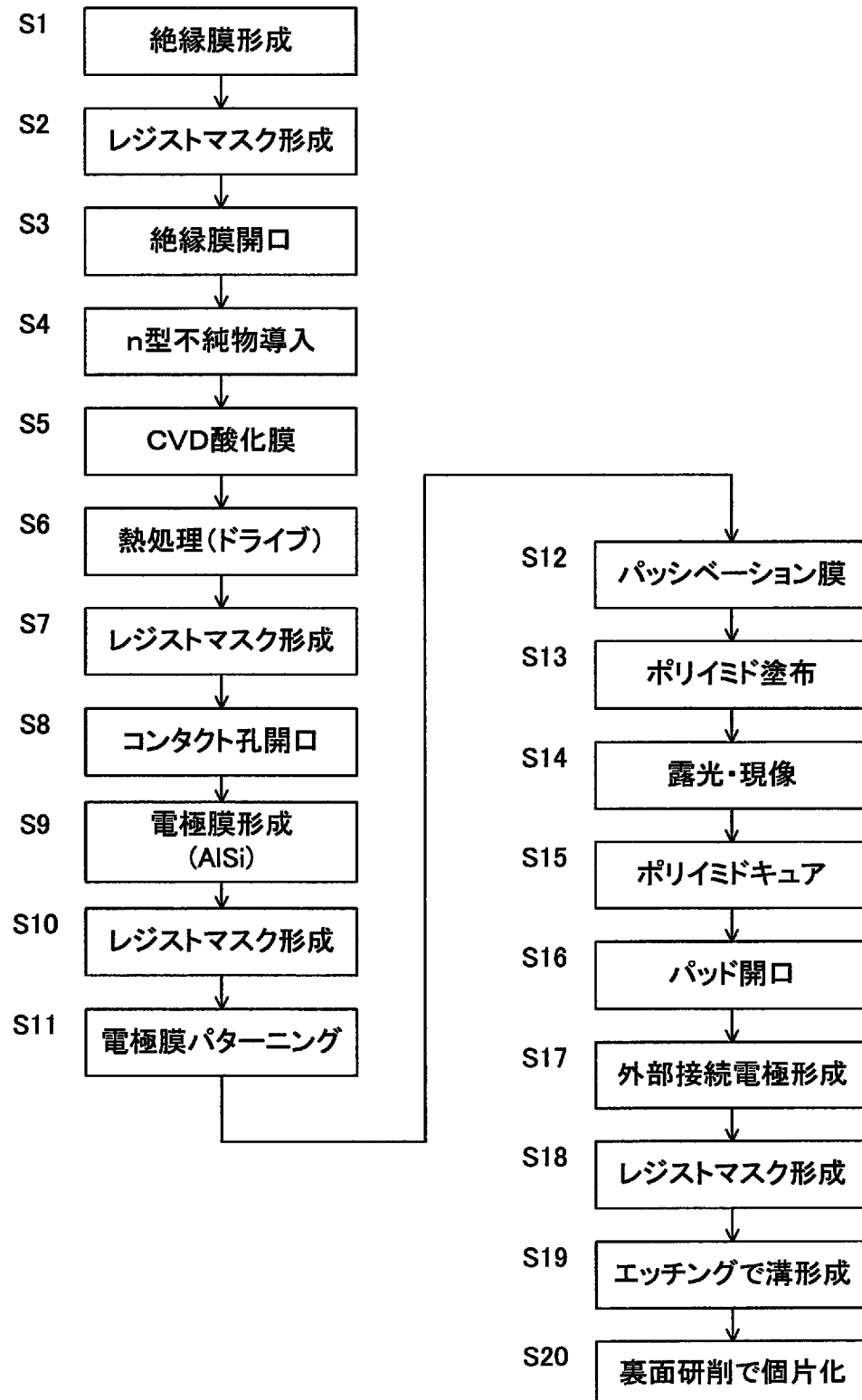
[図183]

図183

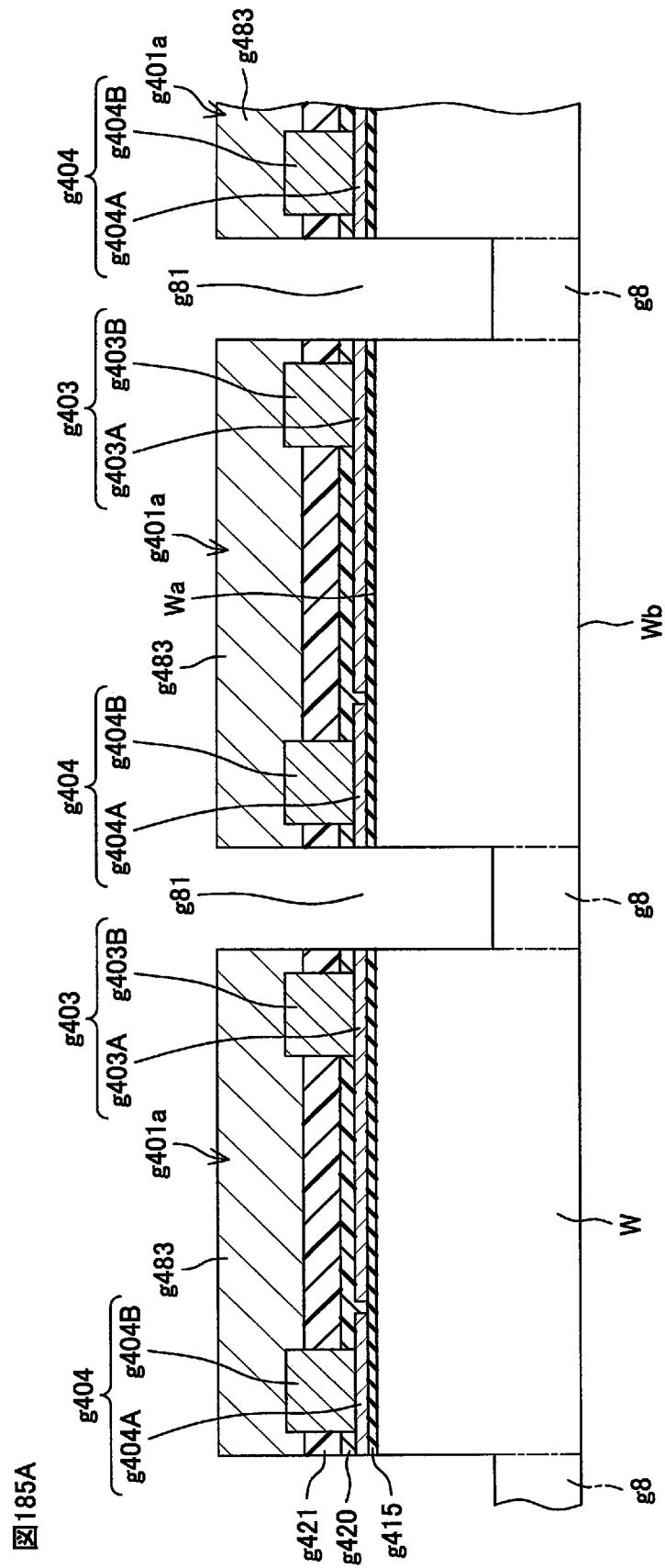


[図184]

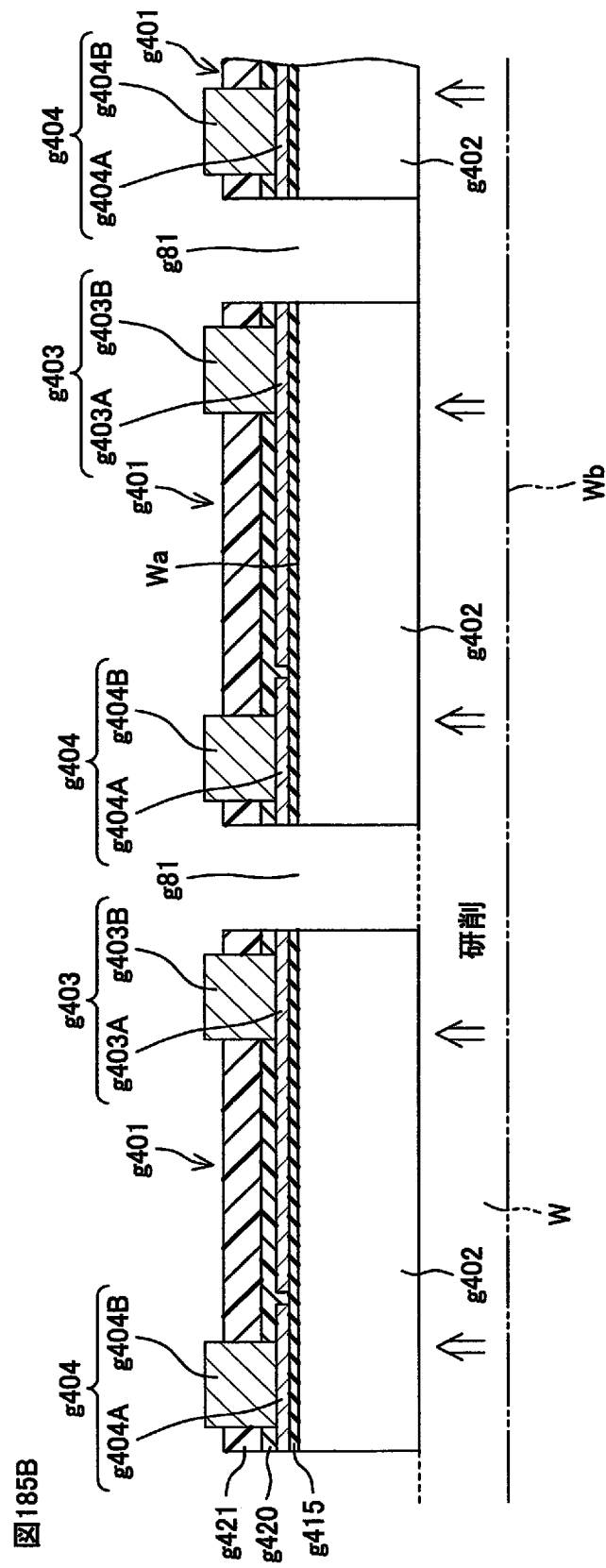
図184



[図185A]

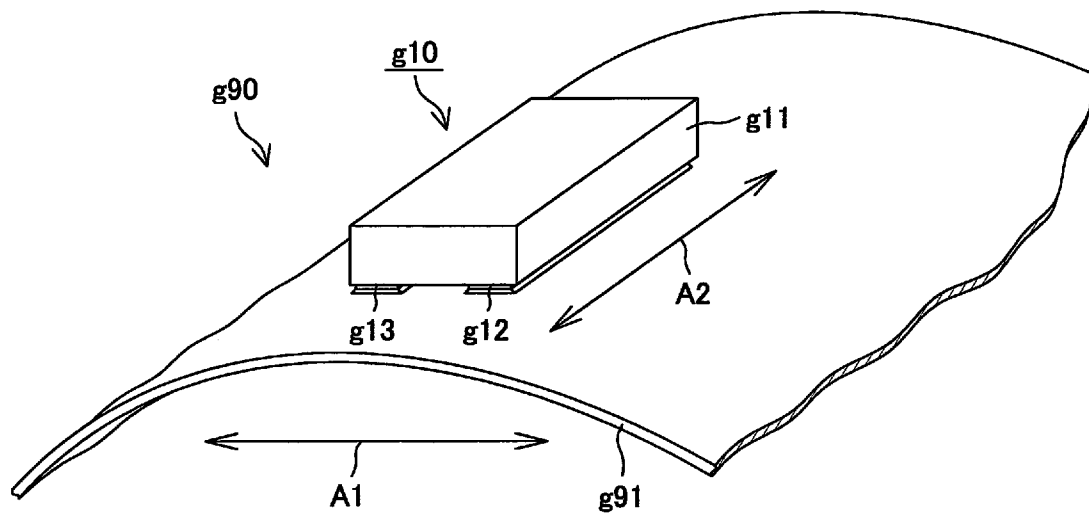


[図185B]



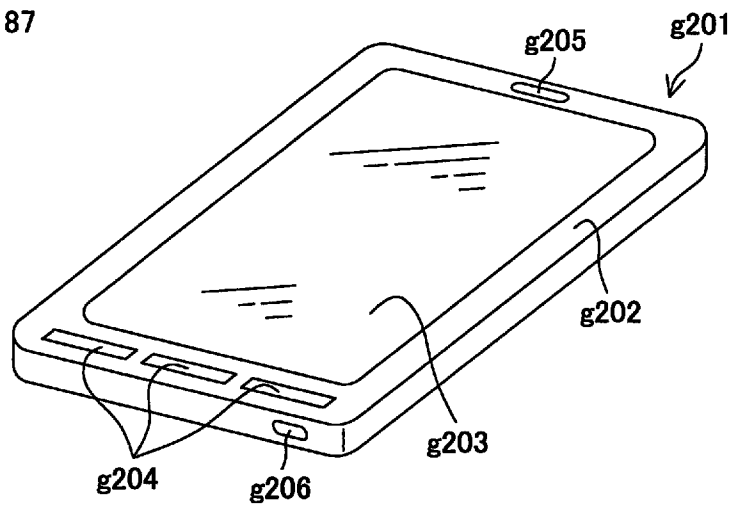
[図186]

図186



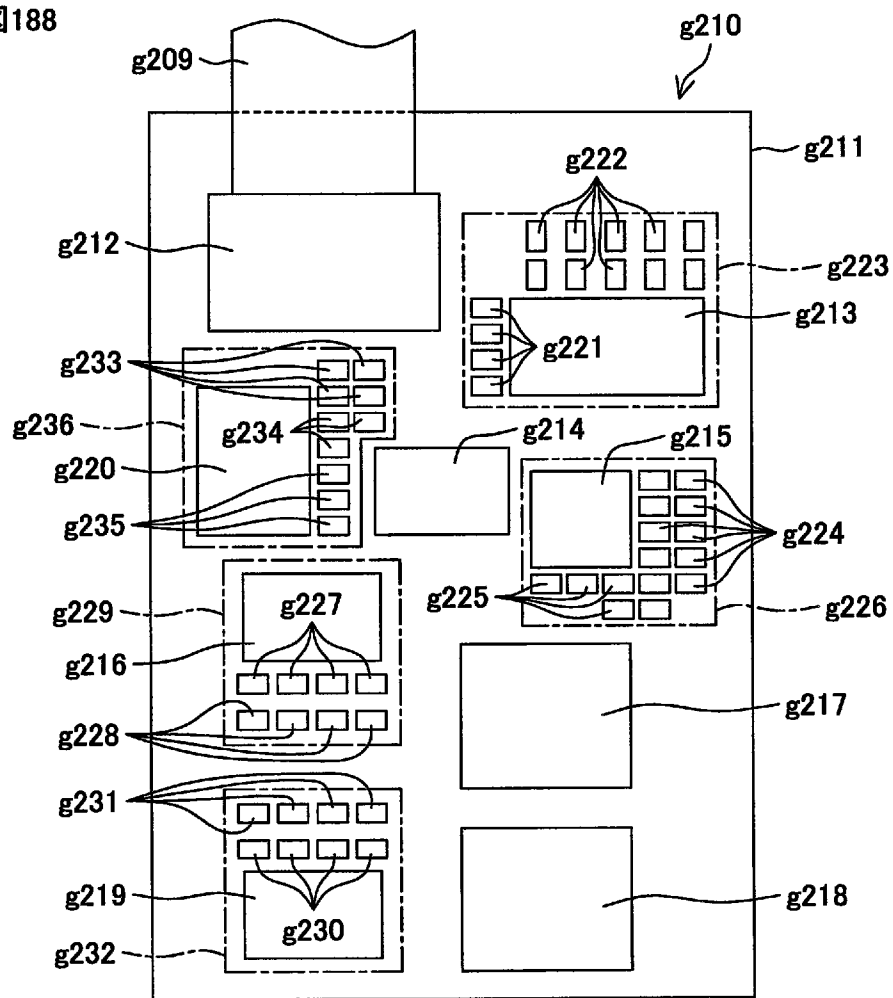
[図187]

図187



[図188]

図188



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083570

A. CLASSIFICATION OF SUBJECT MATTER

H01G2/06(2006.01)i, H01C7/00(2006.01)i, H01C13/02(2006.01)i, H01C17/22(2006.01)i, H01G4/255(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G2/06, H01C7/00, H01C13/02, H01C17/22, H01G4/255, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-306710 A (Rohm Co., Ltd.), 28 November 1997 (28.11.1997), paragraphs [0001] to [0004] & US 5844468 A	1-14
Y	JP 63-6804 A (NEC Corp.), 12 January 1988 (12.01.1988), claims (Family: none)	1-14
Y	JP 2000-294402 A (Matsushita Electric Industrial Co., Ltd.), 20 October 2000 (20.10.2000), paragraphs [0022], [0023] (Family: none)	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 March, 2013 (13.03.13)

Date of mailing of the international search report
26 March, 2013 (26.03.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/083570

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 56955/1990 (Laid-open No. 15825/1992) (Kyocera Corp.), 07 February 1992 (07.02.1992), page 8, line 17 to page 9, line 3 (Family: none)	9, 10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01G2/06(2006.01)i, H01C7/00(2006.01)i, H01C13/02(2006.01)i, H01C17/22(2006.01)i,
H01G4/255(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01G2/06, H01C7/00, H01C13/02, H01C17/22, H01G4/255, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 9-306710 A (ローム株式会社) 1997. 11. 28, 段落【0001】 - 【0004】 & US 5844468 A	1-14
Y	JP 63-6804 A (日本電気株式会社) 1988. 01. 12, 特許請求の範囲 (ファミリーなし)	1-14
Y	JP 2000-294402 A (松下電器産業株式会社) 2000. 10. 20, 段落【0022】, 【0023】 (ファミリーなし)	1-14

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 3 . 0 3 . 2 0 1 3

国際調査報告の発送日

2 6 . 0 3 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

田中 晃洋

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

5 D

3 8 0 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	日本国実用新案登録出願 2-56955 号(日本国実用新案登録出願公開 4-15825 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (京セラ株式会社) 1992. 02. 07, 第 8 頁第 17 行ー第 9 頁第 3 行 (ファミリーなし)	9, 10