(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3611330号
(P3611330)
(45)発行日　平成17年1月19日(2005.1.19)　(24)登録日　平成16年10月29日(2004.10.29)

(51)Int.Cl.[7]	F I		
G01R 31/02	G01R	31/02	
G01R 1/06	G01R	1/06	E
G01R 31/28	G01R	31/28	L
G01R 31/302	G01R	31/28	K

請求項の数 8　(全 16 頁)

(21)出願番号　特願平7-520213
(86)(22)出願日　平成7年1月26日(1995.1.26)
(65)公表番号　特表平9-508470
(43)公表日　平成9年8月26日(1997.8.26)
(86)国際出願番号　PCT/US1995/001145
(87)国際公開番号　WO1995/020767
(87)国際公開日　平成7年8月3日(1995.8.3)
審査請求日　平成14年1月24日(2002.1.24)
(31)優先権主張番号　08/188,385
(32)優先日　平成6年1月27日(1994.1.27)
(33)優先権主張国　米国(US)

(73)特許権者
ジェンラド，インコーポレイテッド
アメリカ合衆国マサチューセッツ州０１７４２　コンコルド，ベイカー・アヴェニュー・３００
(74)代理人
弁理士　古谷　馨
(74)代理人
弁理士　溝部　孝彦
(74)代理人
弁理士　古谷　聡
(72)発明者　カーザム，モーゼス
アメリカ合衆国マサチューセッツ州０２１７３　レキシントン，バーリントン・ストリート・１９３

最終頁に続く

(54)【発明の名称】改善されたしきい値決定を用いた容量性開路テスト

(57)【特許請求の範囲】

【請求項１】

テスト対象となるデバイスであって関連する基板ノードに対して個々に電気的に接続されるよう意図された複数のUUTピンを備えた前記テスト対象となるデバイスが取り付けられた所与のタイプの回路基板について、UUTピンのうちのテスト対象となる１つとそれに関連するノードとの間の開路の存在をテストする方法であって、

Ａ）前記テスト対象となるデバイスに対応すると共にそのデバイスのUUTピンにそれぞれ対応する基準デバイスピンを備えた基準デバイスが取り付けられた所与のタイプの既知の基準基板であって前記基準デバイスピンが前記基準基板のノードに正しく接続されている前記基準基板について、テスト対象となるUUTピンを含む前記複数のUUTピンの各々毎に、前記基準デバイスに隣接して配置された容量性プローブプレートと前記UUTピンに対応する前記基準デバイスピンに関連する前記ノードとの間の静電容量の未加工の基準測定値を取得し、これにより前記UUTピンに未加工のピン－静電容量値を割り当て、

Ｂ）所与のUUTピンについての未加工のピン－静電容量値を、別のUUTピンに割り当てられたピン－静電容量値の関数を用いて置換することにより、テスト対象となるUUTピンを含む前記UUTピンのうちの１つ又は２つ以上の各々に前記所与のUUTピン毎の接続依存性値を割り当て、

Ｃ）前記テスト対象となるUUTピンについての前記未加工のピン－静電容量値だけでなくそのピンに割り当てられた前記接続依存性値にも依存するテストしきい値を前記テスト対象となるUUTピンに割り当て、

D）前記テスト対象となるUUTピンに関連するノードと前記テスト対象となるデバイスに隣接して配置された容量性プローブプレートとの間の静電容量のテスト測定値を取得し、
E）前記テスト対象となるUUTピンについての前記テスト測定値がそのUUTピンに割り当てられたテストしきい値を超えない場合に、前記テスト対象となるUUTピンに開路が存在することを示すピン開放信号を生成する、
という各ステップからなるテスト方法。

【請求項２】
前記所与のUUTピンについての未加工のピン－静電容量値を別のUUTピンに割り当てられたピン－静電容量値の関数を用いて置換するステップが、
A）所与のUUTピンのピン－静電容量値を、その所与のUUTピンの近くのUUTピン、その所与のUUTピンの空間的な反対側に位置するUUTピン、及び、その空間的な反対側に位置するUUTピンの近くのUUTピンのうちの１つ又は２つ以上のピン－静電容量値の平均と等しいピン－静電容量値と置換し、
B）前記所与のUUTピンのピン－静電容量値を、前記テスト対象となるデバイスの互いに隣接するUUTピンのピン－静電容量値間の差の平均によって、前記所与のUUTピンに隣接するUUTピンのピン－静電容量値とは異なるピン－静電容量値に置換する、
という各ステップのうちの１つ又は２つ以上からなる、請求項１に記載の方法。

【請求項３】
前記所与のUUTピンについてのピン－静電容量値が、ピン－静電容量値の平均値から所定の測定偏差値を超えて異なる場合にのみ、前記所与のUUTピンのピン－静電容量値を、その所与のUUTピンの近くのUUTピン、その所与のUUTピンの空間的な反対側に位置するUUTピン、及び、その空間的な反対側に位置するUUTピンの近くのUUTピンのうちの１つ又は２つ以上のピン－静電容量値の平均と等しいピン－静電容量値と置換することにより、前記所与のUUTピンについての前記接続依存性値が判定される、請求項２に記載の方法。

【請求項４】
前記所与のUUTピンのピン－静電容量値とそのUUTピンに隣接するUUTピンのピン－静電容量値との間の差が、互いに隣接するUUTピンのピン－静電容量値間の差の平均から所定の階段偏差値を超えて異なる場合にのみ、前記所与のUUTピンのピン－静電容量値を、前記テスト対象となるデバイスの互いに隣接するUUTピンのピン－静電容量値間の差の平均により、前記所与のUUTピンに隣接するUUTピンのピン－静電容量値とは異なるピン－静電容量値に置換することによって、前記所与のUUTピンについての前記接続依存性値が判定される、請求項３に記載の方法。

【請求項５】
前記所与のUUTピンのピン－静電容量値とそのUUTピンに隣接するUUTピンのピン－静電容量値との間の差が、互いに隣接するUUTピンのピン－静電容量値間の差の平均から所定の階段偏差値を超えて異なる場合にのみ、前記所与のUUTピンのピン－静電容量値を、前記テスト対象となるデバイスの互いに隣接するUUTピンのピン－静電容量値間の差の平均により、前記所与のUUTピンに隣接するUUTピンのピン－静電容量値とは異なるピン－静電容量値に置換することによって、前記所与のUUTピンについての前記接続依存性値が判定される、請求項２に記載の方法。

【請求項６】
前記所与のタイプの回路基板が、前記テスト対象となるデバイスのUUTピンを共通に接続するが前記テスト対象となるUUTピンを前記テスト対象となるデバイスの他のピンには接続せず、前記テスト対象となるUUTピンについてのテストしきい値の判定に用いるものとは異なる態様で別のテストしきい値を判定することにより前記共通に接続されたUUTピンとそれらのUUTピンにそれぞれ関連する基板ノードとの間に開路についてテストを行うステップを更に含んでいる、請求項１に記載の方法。

【請求項７】
前記所与のタイプの回路基板が、スルーホールUUTピンを有する基板デバイスを備えており、前記スルーホールUUTピンが、その各々に関連する基板ノードに電気的に接続するこ

とを意図したものであり、前記テスト対象となるUUTピンがスルーホールピンでなく、前記テスト対象となるUUTピンについてのテストしきい値の判定に用いるものとは異なる態様で別のテストしきい値を判定することにより前記スルーホールピンとそれに関連するノードとの間の開路についてテストを行うステップを更に含んでいる、請求項１に記載の方法。

【請求項８】

前記テスト対象となるUUTピンにテストしきい値を割り当てる前記ステップが、そのUUTピンに割り当てられた未加工のピン－静電容量値よりも、そのUUTピンに割り当てられた接続依存性値の少部分だけ小さい静電容量を示すテストしきい値を、そのUUTピンに割り当てるというステップからなる、請求項１に記載の方法。

【発明の詳細な説明】

発明の背景

本発明は、電子回路基板のテストに関し、特に、部品ピンと、それが電気的に接続されるべき基板トラックとの間の開路の検出に関する。

電子回路基板が正しく機能していることに関するテストは、過去数十年にわたり自動的に行われており、その殆どの場合、様々なテスト技術を用いて、部品ピンと、それが半田付けされ又は電気的に接続されるべき基板トラックとの間の開路の検出が行われている。しかしながら、基板テストの歴史からすれば、かかる開路は大して重要な関心事ではなかった。開路は比較的まれに生じるものであり、従って、手作業でプロービングを行って（probing）その診断を行うことは、殆どの場合に許容可能なものであった。

ここで、「手作業による」プローブングについて言及する。これは、殆どの大量テスト（high－volume test）がより自動的な態様で行われるからである。一般には、テストすべき基板の底部の個々のノードに多数のパネプローブ、即ち「ネイル（nail）」が同時に接触する「ベッド・オブ・ネイル」固定具に基板が配置され、ユーザは、それらのプローブを手作業により位置決めする必要はない。次いで、自動回路テスタにおける様々な自動切り替え機構が、前記ネイルを様々な駆動及び検知回路に接続し、それらの回路によって、基板に加えるべき刺激（stimulus）が生成され、その応答が記録される。

過去においては、このアプローチは開路の検出のために一般に用いられてはいなかった。これは、前記ネイルが一般に通常の「片面回路基板」の「底部」即ち部品のない側に接触する一方、正しいピン接続をテストする最も簡単な方法が、その基板の他方の側にある部品ピン上にプローブを配置してその基板のトラックに加えられた信号が前記ピン上に現れるか否かを決定することを含むからである。

しかし、現在では開放ピンは一層重大な問題となっている。その大きな理由は、ピンのピッチがますます細密になり、これにより基板上の正しい位置に精確にピンを位置合わせすることが一層困難になってきたことにある。従って、テスタの製造者は、開放部品ピンに関する一層自動的なテスト手段を提供するよう努力し始めている。明らかに、最善のアプローチは、基板の部品側に対する物理的アクセスの要件を与える固定の複雑さを増大させることなくベッド・オブ・ネイルを専ら介して行うことができるものである。基板の部品側に対する自動式のアクセスは一般に、回路基板の各面に１つずつ割り当てられた２つのプローブアレイを用いたいわゆるクラムシェル（clamshell:貝殻）固定具の使用を必要とする。かかる構成は、固定具のコスト及びスループット上の欠点を強いるものであり、これは、片面基板（クラムシェル固定具を用いずにテストできるもの）を製造者が慣習的に好んできた理由の大部分である。

従って、開放ピンテストの開発における努力は、当初は単一のベッド・オブ・ネイル式プローブアレイしか必要としないアプローチに集中し、クラムシェル固定具に依存することなく広範な状況で開放ピンを検出することができる幾つかのアプローチが開発された。しかしながら、片面開路テストになじむことが立証されなかった一定の制限されたテスト状況が存在する。これらの状況は、通常は、テスタの機器の補足部（instrument complement）がかなり制限されている状況、及び／又は適当な診断情報を得ることができない部品（カスタムASIC等）を基板が用いている状況である。これらの状況での開路に関する片面

テストを見いだす問題に対する早期解決策は見込みがないことが分かり始めてきたので、テスタの製造者は、最終的にはクラムシェル固定具に依存するテストを提供する必要があるという結論に達することになる。以下で説明する本発明の目的は、この種のテストに対するものである。

基板の部品側のプロービングに関する考慮事項は、部品のない側でうまく行くものとは異なる。プローブの目的物、例えば部品ピンは、極めて壊れやすく、また当てるのが困難な場合がある。更に、面実装技術（SMT:surface－mount－technology）による部品のピンと実際に接触を行うことは実質的に不可能である。従って、大量開路テスト用に提案された部品側のプローブは、通常は非接触型のもの、典型的には容量性のものである。

容量性プローブを用いた典型的なテストでは、問題となる部品ピンが接続されるべきトラックに（一般には部品のない側から）刺激信号が加えられる。勿論、それらのピンは、集積回路を収容する部品パッケージ内に取り付けられており、それらのピンと集積回路との間の内部接続はリードフレームにより提供されることが多い。リードフレームは、部品パッケージの上面に隣接して配置された導電プレートという形の容量性プローブにピン信号を容量結合させることが可能な導電面を提供する。

ここで、接続が正しくなされているか否かを判定するために、容量性開路テスト技術は、基本的に、基板トラックからピン及びリードフレームを介して容量性プローブへの経路における直列容量を測定する。トラック及びピンの間に接続が存在する場合、その静電容量は基本的には、容量性プローブとテスト中のピンに接続されたリードフレーム脚部（leg）との間の静電容量からなる。しかし、不適当な接続により、部品ピンとそれが接続されるべきトラックとの間に遥かに小さな静電容量が挿入されることになる。その結果として、極めて小さな直列容量が生じ、従って極めて高いインピーダンスが生じ、これにより、前記経路からプローブへと結合される信号が大幅に減衰されることになる。この重大な信号の欠如は、開放ピンの指示として認識され得るものとなる。

上述の容量性テストに関する記述は、そのテストが理想的に機能する態様について説明したものであるが、実際には複雑性が生じることになる。基板のトポロジの結果として、対象となる接続依存性の静電容量を並列接続した静電容量が生じ、このため、ピンが開放状態にある場合でさえ静電容量が顕著に測定されることになる。また、かかる接続依存性の値を適応させるためのしきい値の設定は、１つのピンについて正しい接続を示す静電容量は別のピンについて正しい接続を示すものとはならない、という事実によって複雑化する。実際に、基板の異なる位置に取り付けられた同一タイプの基板部品の対応するピンについてでさえ異なる場合が多い。この事実の結果、各ピンの正しい接続を判定するための判定基準として同一のしきい値を用いた場合には、容量性テストは特に信頼性の高いものではなくなり、即ち、高レベルのしきい値を用いた場合には不必要に高い周波数の偽りの開路指示が画一的に生じる傾向となり、低レベルのしきい値を用いた場合にはあまりにも多くの開路を未検出のまま画一的に見過ごす傾向となる。

信頼性を上げるために、一般にテスタは「トレーニング」を受けることになる。そのトレーニングでは、テストすべきタイプの既知の良品基板の様々なピンについて静電容量の測定が行われる。その値は、格納されて、接続の保全性を判定するための判定基準を課す際に用いられる。特に、既知の良品基板における所与のピンについて測定された静電容量が所与の値を有している場合に、例えば、テスト対象となる基板におけるピンのうち前記良品基板の前記ピンに対応するピンについて測定された静電容量が前記良品基板の前記ピンについて測定された静電容量の所定のパーセンテージよりも小さい場合には、テスト対象となる前記基板の前記ピンは正しく接続されていないと判定される。このように、テストプロセスと相まってトレーニングを採用することにより、テストプロセスの信頼性がかなり向上する。

発明の概要

しかしながら、トレーニングを実施した結果としてテスト中のピンの接続状態にかかわらない測定された静電容量の少部分を見積もることができる場合には、更なる信頼性の向上が達成可能であることが分かった。各ピン毎に、一定の（場合によっては極めて小さい）

静電容量が、ピンが接続されていない場合であっても維持される。この静電容量の測定値の接続依存性部分の大きさは、様々な理由によってピン毎に異なり、その大きな理由は、幾つかのピンが接続されるべき基板トラックの有意長さ（significant length）が、容量性プローブプレートの位置の下方に配置され、これにより、静電容量、即ち、有意なだけでなくデバイスピンが正しく接続されているか否かにかかわらないトラックとプローブプレートとの間の静電容量が提供される。トレーニング中にピンについて測定された総静電容量だけでなく開路の静電容量値にも依存する態様でしきい値を設定すれば、テストを一層信頼性の高いものにすることができることが認められた。

勿論、基準となる基板上の各ピンを単に順に開放されることにより各ピンにその値を決定することができる。しかしながら、このデバイスピンの開放及び再接続を、前記の既知の良品基板に意図しない故障を招くことなく高信頼性をもって行うことができる場合であっても、テストの準備に必要な時間が大幅に増大することになる。

我々は、開路テストで対象となる静電容量を生じさせる構造の類似性及び対称性を利用した、一定の単純に付加された処理手段を用いることにより、基準となる基板のピンを物理的に開放させることなく、接続状態に依存しない静電容量測定部分の良好な近似を行うことが可能であることを発見した。

詳細には、所与のデバイスピンと関連するリードフレーム導体から生じる測定された静電容量成分（接続依存性のもの）は、空間的に周期的な態様でピンの位置に依存するものとなる。即ち、デバイスの隅に位置するピンは、比較的大きな表面積を有する導体によって集積回路に接続される傾向にあり、一方、ICパッケージの所与の側の中央近くに位置するピンは、前記よりも小さな表面積の導体によって接続される傾向にある。更に、その表面積、ひいては所与の位置におけるピンについてのリードフレーム導体の静電容量は、典型的には、パッケージの反対側の空間の位置におけるピンについてのリードフレーム導体の静電容量と同一となる（「反対側の」位置とは、パッケージの対称軸のうちの１つについて直径方向反対側の位置とすることができる）。更に、１つのピンについての導体からその次のピンについての導体への表面積の変化もまた、比較的規則的なパターンに従うものとなる。

これらの１つ又は２つ以上の因子は、関心の対象となる殆どの場合に用いることが可能なものであり、これにより、測定された静電容量のうち測定中のピンが正しく接続されているか否かに依存する部分の良好な見積もりを行うことが可能となる。

端的に言えば、以下に説明する方法でトレーニング中の測定が過度の接続依存性成分を有するものと推定されたピンには、その初期の測定値を問題となるピンと空間的に反対側に位置する１つ又は２つ以上のピンの平均値と置換することにより、測定値の接続依存性部分の概算値が割り当てられる。代替的には、そのピンの測定値は、例えば、その両側のピンについて得られた測定値の平均値と置換することが可能である。また、１つのピンに与えられる調節値は、隣接する測定値間の平均差だけ増大又は減少された隣接するピンについて得られた測定値と等しくすることが可能である。

我々は、これらの技術の１つ又は２つ以上を用いることにより少なくとも一定のクラスのピンについて調節値が生成され、その調節値が、容量性プローブに近接する被駆動トラック等の因子によってピンの接続状態に依存しない成分が測定値に加えられることがない場合に生じることになる値を近似する傾向のものとなる、ということを発見した。次いで、実際のテストに用いるしきい値は、既知の良品基板についての測定値からその接続依存性部分の概算値の少部分を減算することにより設定することができる。かかるしきい値を使用することにより、容量性テストの信頼性が大幅に向上し、従来の方法では不可能であった多くの状況での開路の検出を高信頼性をもって行うことが可能となる。

【図面の簡単な説明】

以下、本発明の上述その他の特徴及び利点について添付図面を用いて説明する。

図１は、開路の検出のための測定機構を示す説明図である。

図２は、基板部品をその外部パッケージを除去した状態で示す平面図である。

図３は、図１の機構で用いる容量性プローブプレートと図２に示す様々なリードフレーム

導体との間の静電容量を示すグラフである。
図４は、図１の電源がデバイスピンのうちの様々なピンに関する基板ノードを駆動する際に図１のテスト機構から生じる測定値を示すグラフである。
図5A、図5B、図5Cは、様々なピンについての測定確率密度を示すグラフである。
図６は、図４に類似したグラフであるが、異なる防御戦略を用いた結果としての値を表すものである。
図7A及び図7Bは、テストプロセスのトレーニング部分を示すフローチャートである。
図８は、ピン間の接続による影響に関して図６の値を調節した結果として生じる値を示すグラフである。
図９は、電流源の負荷による影響に関して図８の値を正規化した結果を示すグラフである。
図10は、所与のピンについての典型的に大きな又は小さな測定値をそれ以外のピンの測定値から求めた値と置換することにより付加的な影響を最小限にするように、図９の値を調節した結果を示すグラフである。
図11は、互いに隣接するピンについての測定値間の過度に大きな差を低減させることにより更なる平滑化を行った結果を示すグラフである。
図12は、共に接続されたピンの図９の値に、それらの個々のグループのサイズを乗算した結果を示すグラフである。
図13は、図11の値から図12の値を減算した結果として生じる非依存性成分の概算値を示すグラフである。
図11は、結果的に得られるしきい値を示すグラフである。

例示的な具体例の詳細な説明

図１は、基板デバイス14のピン12等の様々なピンが回路基板即ちUUT（「unit under test」：テスト対象となる装置）18上のトラック即ち「ノード」16に正しく接続されているか否かを判定するためのテスト機構を示すものである。交流電源20は、接触プローブ即ち「ネイル」22によりトラック16に励起信号を加える。そのネイル22は、典型的には、UUTに信号を加えるために大量テスタによって従来用いられているタイプの「ベッド・オブ・ネイル」固定具上のネイル等の多数のネイルのうちの１つである。異なるピンの接続をテストするために、マルチプレクサ23の状態を変化させ、これによりテスト機器をネイルに選択的に接続することにより、電源20がそれらの異なるネイルひいては異なるノードに１つずつ接続される。
UUTでは、ピン12がノード16に電気的に接続されることになっており、かかる接続は、ピン12が基板18の孔を通って延びてノード16に達し、そのノード16に対して半田付けされ、又はそれと同様に電気的に接続された結果として生じる。しかし、その構成を示す代わりに、図１は、ノード16がバイア24を介して上側基板部分26へと延び、その上側基板部分26にピン12が接続される構成を示している。この例示のアプローチは、面実装技術（SMT）デバイスの特徴であり、これは、部品側のアクセスを必要とする基板上を支配する傾向のものとなる。かかるデバイスのピンは以下で説明するテスト技術に特に役立つものであるが、容量性プローブングによりテストされる基板上にはスルーホールピンデバイスも存在し得る。
部品12のパッケージの上側部分を除去した場合、その結果として生じるものは図２と同様のものとなる。図２には、実際の集積回路と、その集積回路をピン12及びその他のピンに接続するリードフレームとが示されている。実際の集積回路28は、ボンディングワイヤ30により、ピン12で終端するリードフレーム導体32に接続されている。図１に示すように、容量性プローブプレート34がデバイス14に隣接して配置され、詳細には、導体32等のリードフレーム導体を提供するリードフレームと平行に配置される。この構成の結果として、導体32とプローブプレート34との間に検出可能な静電容量が存在することになる。
従って、ピン12がノード16に正しく接続されている場合には、前記静電容量がテスタのネイル22とプローブプレート34との間に現れることになり、このため、プローブプレート34と第２の接地されたプローブプレート38との間の静電容量により容量性分圧器が形成され

る。プローブプレート34,38間の静電容量は既知であるので、結果的にプローブプレート34上に生じる電圧は、ネイル22とプレート34との間の静電容量の大きさを指示するものとなり、この指示は、増幅器40によってバッファされ、図示しない手段によりデバイス形式に変換されて格納される。以下で説明する因子が存在しない場合には、結果として生じる異なるピンについての測定値は、プローブプレートと個々のリードフレーム導体との間の所望の静電容量に単に比例するものとなり、従って、それらの各表面積に実質的に比例するものとなる。

図３は、16ピンしか持たない小さな集積回路パッケージについてのかかる測定値の典型的な値を示すグラフである。同グラフは、出力は、それが様々なリードフレーム導体と容量性プローブプレート34との間の静電容量を単に表すものである場合には、様々なリードフレーム導体の異なる表面積を表す規則的なパターンを形成する、ということを示している。以下で説明するように、本発明の一態様は、これらの静電容量値の対称性を利用したものであり、その静電容量値の対称性は、図２及び図３を同時に参照することにより理解されよう。

図２及び図３は、16ピンの単純な正方形のパッケージを表しているので、静電容量の半分は１つの値からなり、残りの半分はもう１つの値からなる。明らかに、これは典型的な構成ではない。しかし、この例示のパターンの一態様が一般に集積回路パッケージで普及する傾向のものであることは明らかであり、即ち、パッケージの空間的に反対側にあるピンに関する導体は互いに同一の表面積を有しており、従って、それらの導体は、容量性プローブが従来一般的であるように集積回路パッケージに対して対称的に位置決めされる場合にはほぼ等しい静電容量を形成するものとなる。例えば、ピンC,Kに関するリードフレーム導体は、互いに等しい表面積を有するものとなる。

本文脈なおける「反対側」という語が直径方向の反対側だけでなく対称軸の何れかについての反対側も意味しているという事実の結果として、本実施例では、多数の均等性（equality）が生じることになる。従って、ピンC,Jに関するリードフレーム導体は、垂直方向の対称軸について反対側にあるために等しくなり、一方、ピンB,Cに関するリードフレーム導体は、水平方向の対称軸について反対側にあるために等しくなる。

ここで、図３により表される静電容量が、測定値の結果に入れられる唯一の因子である場合には、ピン接続が正しく行われているか否かの判定は比較的単純なものとなる。明らかに、テスタのネイル22を開放ピンに関するリードフレーム導体から実際上切り離す開路の発生は、テスタネイル22とプローブプレート34との間の静電容量を大幅に除去するものとなる。従って、判定しきい値を、例えば低静電容量ピンのうちの１つのリードフレーム導体の静電容量の半分に設定することにより、同一タイプの基板間での測定値の変動による影響、並びに、ネイルとプローブプレートとの間に固有に存在することになる小さな静電容量による影響をおそらく回路することができる。

しかし、他の因子が存在する場合には、それらの一定の因子を考慮に入れて適当なテストしきい値を決定することになり、これは本発明の利点である。それらの因子のため、良品であることが既知である実際の基準基板についての増幅器40の出力が図４に示す測定値に一層類似したものとなることが判明した。この例では、ピンＡが接続されるべき基板トラックが基板デバイス14の下方に延びているものと仮定している。これにより、ネイル22とプローブプレート34との間に余分な静電容量が提供され、従って、図４に示すピンＡについての電圧は、単にそのリードフレーム導体の静電容量の結果として生じることになる電圧よりも高くなる。この付加的な静電容量は、ピン12が正しく接続されているか否かに依存しないものであり、従って、ピンが正しく接続されていない場合であっても、このノードープローブ間静電容量の結果として生じる図４のピンＡの電圧の少部分が現れることになる。更に、他のピンについての測定値は様々な理由により一層大きな又は小さな接続依存性成分を有するものと仮定している。

これらの因子は、信頼性のあるテストしきい値の設定に関する問題を複雑化させるものとなる。この複雑化の生じる態様は、同一タイプの様々な基板上の所与のピンについて得られる測定値を考察することにより評価することができる。図5Aに実線で示す曲線は、基板

上に正しく接続された所与のピンの測定値の公称良好値（nominal good value）V_gに集中する確率密度を表すものであり、一方、破線で示す曲線は、所与のピンが開放している基板についての公称不良値（nominal bad value）V_bに集中する測定確率密度を表すものである。正しく接続されているピンとそうでないピンとを識別するための最適なしきい値Tはそれら２つの曲線が重なるところでほぼ生じる、ということは明らかである（例示のため、図示の重なりの程度は、多くのテスト状況で許容可能となるものよりも幾分大きくなっている）。かかるしきい値は一定の誤りを許してしまうものであり、即ち、開放状態のピンが接続されているものと判定される場合もあれば、正しく接続されているピンが開放状態であると判定される場合もある、ということに留意されたい。それにもかかわらず、このしきい値は、テストが殆どのピンを正しく判定することを可能にし、この目的にとって最適なしきい値である。

しかしながら、かかるしきい値を全てのピンに用いた場合には、一般に、最適未満（less－than－optimum）の基板テスト結果を得ることになる。例えば、図5Bは基板上の別のピンについての対応する測定確率密度を想定したものである。しきい値Tが用いられた場合には、必要とされる数を超えて多くの開路を検出し損なうことになる。詳細に言えば、しきい値がT'に置き換えられていれば、その特定のピンについて生じる誤りは一層少ないものとなる。しかしながら、そのT'もまた全てのピンについて最良のしきい値となるわけではなく、そのT'は明らかに、図5Aに示す測定確率密度を有するピンについて用いるのに最良なしきい値ではない。

しきい値の一層良好な設定方法は、所与のピンについて、例えばトレーニング中にそのピンについて得られた測定値の所与のパーセンテージで、しきい値を設定する、という方法である、という結論に達することになろう（多くの場合、「測定値」は実際には多数の基板について得られた対応する測定値の平均となる）。かかるアプローチは、事実上、一層信頼性の高い結果に通ずるものとなる。しかし、我々は、更なる因子を適宜考慮に入れる方法を発見した。

上述したように、所与のピンが接続されることになるノードは、部品のすぐ下方に有意距離だけ延びており、従って容量性プローブに極めて近接している。その結果として、ピンが開放している場合であっても有意プローブ出力が生じ、かかるピンについての確率密度は図5Cに示すものに一層類似したものとなる。しきい値が、単に、トレーニング中に得られた測定値の所定のパーセンテージとして計算され、及び、そのパーセンテージの結果として、トレーニング中の測定値により図5B及び図5Cの値V'_gが与えられる場合に必ずしきい値T'が生じることになる場合、その結果としてのテストは、図5Cに示す測定確率密度を有するタイプのピンについては本質的に役に立たないものとなる。この場合、その測定値は大きな接続依存性成分を有している。図5Cに示す測定確率密度を有するタイプのピンについては、T''が一層良好なしきい値となる。しかしながら、T''を生成するパーセンテージを画一的に用いるのは望ましくない。これは、T''を生成するパーセンテージを画一的に用いた場合に、図5Bに示す測定確率密度を有するピンについて、必要とされる数を超えてピンの誤った開路指示が生じることになるからである。

この因子を認めて、我々は、公称良好ピン測定値V_gだけでなく公称不良ピン測定値V_bの概算値をも考慮に入れた態様で、テストしきい値を選択した。勿論、このアプローチを用いる場合には、幾つかの値をV_bについて得る必要がある。これは、問題となるピンを意図的に切り離すことによりトレーニング中に得ることができるが、これは極めて不便である。その代わりに、以下で詳述するように、我々は、この値V_bの概算値を、同一の基板デバイスの他のピンについてトレーニング中に得られた値V_gから得ることとした。次いで、少なくともその値V_bが比較的高い場合に、同一の値V_gについて得られる場合よりもしきい値を高くする。

なお、値V_bを接続に依存しないものと称したが、我々が言うところの「非依存性」とは相対的なものである、ということが理解されよう。特に、説明のため、ピンC,Fは同一の基板ノードに接続されるものとする。即ち、それらのピンC,Fは互いに短絡されており、従って、それらのピンを、共通接続ピングループを構成するものと称することにする。２つ

のピンのみが共に接続されているので、このグループのサイズは２である。
ここで、図5Cに示す測定値は、例えばピンＣを表すものとなる。ピンC,Fは互いに接続されているので、図示の値V'_gはピンC,Fについて同一のものとなる。しかしながら、値V'_bは、それらの両方のピンが開放状態の場合に生じる値ではなく、その値は一層低いものとなる。図示の値V'_bは、ピンＣのみが開放状態にある場合に生じる値であり、従って、その値V'_bの部分は、実際に、ピンＦが接続されているか否かに依存する。しかしながら、場合によっては、値V_b全体をなお接続依存性であると称する。これは、値V_b全体が、ピンＦが接続されるか否かに依存するがピンＣが接続されているか否かには依存しないからである。
接続非依存性の値の概算値を決定する態様について詳細に説明する前に、図４を手短に振り返って、故障の範囲を増大させるために用いる或る付加的な技術について論じることとする。
第１に、図４はピンM,Pに関する破線のみを含むものである。これは、ネイルが接続されるボード基板に対するネイルの直接的なアクセスが存在しないという事実を表している。場合によっては、これは、それらのピンをテストすることができないことを単に意味するものとなる。しかしながら、抵抗値の低い抵抗体又は静電容量の高いコンデンサ等の比較的低インピーダンスの基板部品が、そのアクセス不能なノードをアクセス可能なノードに接続する、ということが起こることもある。このため、基板を調べて、アクセス不能ノードとアクセス可能ノードとの間に２端子デバイスが接続されているか否かを判定する。それらのノード間に２端子デバイスが接続されている場合には、そのアクセス可能ノードを駆動することにより測定値を得る。これにより十分な大きさの信号が生成された場合には、その結果として得られる測定値が、他のピンに関する値と共に格納される。以下では、かかる測定値がピンＰについてあり得るがピンMについてはあり得ないものとする。
図４はまた、ピンD,G,Iが極めて低い測定値を有していることを示している。これは、駆動ノードが低インピーダンスを介して接地されており、このため電源が事実上接地されている、という事実の結果として生じることがある。これが、テスト対象となる基板に固有の特徴である場合には、問題となるピン（ピンM等）はテスト不能であると考えられる。しかしながら、別の状況では、かかる接地が回避可能な場合もある。
これを理解するためには、従来の回路内アナログ測定方法、例えば、基板ノードとプローブプレート34との間の静電容量の測定を行う方法について考慮する必要がある。回路内テストの対象となる部品は一般に、多数の他の部品に接続されている。測定値の補償を行わない場合、それらの接続は測定値を不精確なものにする傾向にある。かかる測定の１つは、問題となる部品を「防御」するものとなる。
概して言えば、「防御」とは、近くの部品を接地させてテストに与える影響を小さくすることを意味する。例えば、図１及び図２に関して上述したテストの場合には、ノード16とプローブプレート34との間の静電容量のうち、そのノード16のピン12を介したリードフレーム導体32との直接的な結合の結果として生じる部分のみを検出することが意図されているが、例えばトラック16と他のトラックとの間の容量結合その他の結合による他のリードフレーム導体への電源20の結合は、トラック16へのピン12の正しい接続に依存しない静電容量の一因となり得る。これらによる影響を大幅に低減させるために、ピン41等の他のデバイスピンに接続されているトラックをネイル42等の別のネイルを介して接地させて、その付加的な結合を防止する。典型的には、これは、ネイルを用いてそれらのトラックに直接接触することにより達成される。しかし、対象となるトラックのうちの１つ又は２つ以上がかかる方法でアクセスできない場合には、上述の方法、即ち、低インピーダンスの基板部品によって対象となる基板に接続されたトラックにネイルを接触させるという方法を用いる。
ここで、ピンG,Iが接続されているトラック間に低インピーダンス接続を提供する基板デバイス（図示せず）が存在するものと仮定する。かかる場合、テスタによる、防御を目的とした、ピンＩが接続される一方ピンＧがテストされているトラックの接地は、電源に大きな負荷を加え、その結果、ピンＧについて図４に示すように低すぎて役に立たない測定

値が生じることになり、結局、ピンＩについても同様となる。
しかし、100％の防御なしでも十分なテストを行うことが可能であり、従って、このピンG,Iについての低出力に関する問題は、単に、他のピンがテスト中の際にピンＧ又はピンＩを防御しないことにより解決することができる。従って、トレーニングプロセス中に、低出力ピンの全ての組み合わせについてテストを行って、その何れかがピンの防御のために低インピーダンスによる接続が行われているか否かを判定し、次いでその接続が行われているノードの防御を排除するようにそのピンのテストを調整する。図６はその結果を示すものであり、ピンG,Iが高い出力を有していることが示されている。議論のため、テスト中のピンＤの接地は防御の結果ではなく固有の基板接続の結果として生じるものであり、従って、ピンＤはテスト不能のままである、と仮定する。図６はまた、上述の結果、即ち、低インピーダンスの基板部品を介して駆動した結果を示しており、ピンＰは測定値を有しているピンＭは測定値を有していない。
ここで、テスト測定に使用するための接続を決定し、それらの接続で基準測定を行った。かかるステップを図7Aのブロック46に示す。この図7A及び図7Bは、トレーニング手順全体のフローチャートを形成するものである。これらの測定値からしきい値を設定することになる。
上述のように、図６に示す未加工の基準測定値は、容量性プローブと個々のUUTピンが接続されることになるトラックとの間の静電容量によって決定される。ここで、我々の目的のための対象となる静電容量は、１つのリードフレーム導体のみの結果として生じるものである。しかし、２つ以上のリードフレーム導体に接続されたノードが存在する。この事実を補償するために、基板によって同一の基板デバイス上の他のピンに接続されるピンを識別し、そのデバイスについての図６の未加工の測定値をそのグループにおけるピンの数で除算し、即ち、１つのピンが（Ｎ－１）個の他のピンに接続されている場合には、その未加工の測定値をＮで除算する。ピンC,Fが共に接続されていること、及びピンG,Iが共に接続されていることが既知であるので、フローチャートのブロック48で示すステップによりそれらの測定値が全て２で除算される。図８はその結果を示すものである。
上述したように、基板により課される電源負荷のためピンＤについての測定値が極めて低くなり、その測定値は、ピンＤを本質的にテスト不能にするほど低いものと考えられる。しかしながら、他のテスト可能なピンの測定値もまた、様々な程度の負荷による影響を受けることになる。その結果として、それらの未加工の測定値はそれらの個々の静電容量を示すものとなるが、それらはそれらに比例せず、従って、以下で説明する平滑化プロセスを実行するために比例性が必要となる。負荷に関して補償を行って一層良好な静電容量の指示を得るために、負荷が生じた程度を程度を決定する。詳細には、図１の増幅器50で示すように、駆動ネイルにおける電圧測定を行う。これにより、正規化されたピン静電容量値Ｖを計算することが可能となる。

$$V = \frac{V_n}{V_s} V_m$$

ここで、V_mは増幅器40により生成された測定値、V_nは電源20の（既知の）無負荷電圧、及びV_sは増幅器50の出力により表されるネイル電圧である。図7Aのフローチャートにおけるブロック52,54は、この正規化を行ってその結果（図９に示す値）を保存するステップを表している。図８及び図９のデータをそれぞれ生成するグループ補償ステップ及び負荷補償ステップは、明らかに逆にすることが可能であり、その２つのシーケンスは、本発明の目的にとって同価値のものである。
図９は、ピン毎の静電容量値を示すものであるが、それらの値は、接続依存性成分（これに基づいてテストが行われる）だけでなく（抑制することが望まれる）接続非依存性成分も含んでいる。接続非依存性成分を抑制するように値を調整するために、以下の仮定から出発する。
（１）調整の際に最も必要とされる測定値は或る意味で規準（norm）から離れたものであり、

（２）それらの一層標準的な値への調整は、それらの接続非依存性成分を抑制する傾向のものとなる。
ブロック56は、１つの判定基準についてデータを調べるステップを表したものであり、その判定基準により、調整が必要な測定値を識別する。詳細には、図９の値の「平均」が見い出され、その「平均」から所定量だけ異なるものが、調整が必要なものとみなされる（典型的には、単に全ての値の平均を求めることにより前記「平均」を決定するが、本発明の実施例によっては、前記「平均」に寄与する値の決定を一層選択的なものとすることができる。例えば、ピンＤがテスト可能でないという決定を予め行い、その値を「平均」の決定に用いないよう選択することが可能である）。平均から例えば最大差の1/2を超えるだけ異なる測定値、また代替的には平均差の２倍だけ異なる測定値を調整が必要なものとみなすことが可能である。従って、このようにして規定された範囲の外にある測定値は、その測定値の接続依存性成分に比較的近い値と置き換えられる（これは、リードフレーム導体の表面領域のパターンが規則性を有することが見込まれるからである）。
詳細には、問題となるピンの反対側に配置されているピンは、同一の表面積を有しているはずであり、従って、所与のピンについての前記範囲外の測定値は、本質的には、その反対側のピンの測定値が前記範囲外になければ、その反対側のピンの「ノイズが抑制された」もの（"noise－suppressed"version）と置換される。この例では、ピンＡについての測定値は前記範囲外にあり、一方、それと直径方向の反対側にあるピン、即ちピンＩについての測定値は前記範囲内にあり、その何れの測定値も、反対側にあるピンＩに隣接するピンH,Jについての測定値と異なる。従って、これらの３つの測定値の平均を求め、ピンＡについての測定値をその平均値と置換する。また、それらの測定値が前記範囲内になかった場合には、ピンＡの左右に最も近いピンの測定値であって前記範囲内にある測定値の平均を求めることになる。普通は単純な平均を用いるが、その代わりに、例えば、置換されるべき値を有するピンに対するピンの近さに従って重み付けされた平均を用いることも可能である。
図10は、このステップ（図7Aのブロック58に示す）の結果を表すものである。ピンＭがアクセス不能であり従ってテスト不能であっても、ピンD,E,Fについての測定値の平均を求めることによりピンＭに１つの値が割り当てられている、ということに留意されたい。明らかに、かかるステップは、必ずしも必要なものではないが、階段大きさ（step－size）判定基準に従った測定値の置換のための更なる候補を識別する次のステップでの使用のために望ましいものと考えられる。
測定値が調整を必要としているか否かを判定するための第２の判定基準を適用するために、図7Bのブロック60によって表されるステップから開始する。そのステップでは、平均階段大きさ、即ち互いに隣接するピンについての測定値間の差の絶対値の平均を計算する。例えば、平均階段大きさの２倍を超える階段の場合、その階段大きさが平均階段大きさと等しくなるように第２のピンについての値が調整される。その調整後の階段大きさは、未調整の階段大きさの符号に従って正又は負となる。フローチャートのブロック62はこの平滑化処理を表し、一方、図11はその結果を示しており、これが、測定された静電容量の接続依存性成分の概算値となる。これらは、図３の前提値と厳密に等しくはならないが十分に近いものであり、接続非依存性成分の大幅な抑制が生じていることは明らかである。
様々なピンの測定値の接続依存性成分の概算値が得られたので、テストしきい値を計算することが可能となる。テストしきい値を決定するための一般的なアプローチは、静電容量の接続非依存性部分を見い出して、その接続非依存性部分の所定のパーセンテージ（図示の実施例の場合は30％）の接続依存性部分を加える、というものである。
しかしながら、そのアプローチについて説明する前に、例外について説明することにする。この例外は、ピンがスルーホールピンである場合に生じる。上述したように、ピン12は、基板の部品と同じ側に配置されたトラック延長部26（図１参照）に接続されている。これは、かかる容量性開路テストが行われる殆どの部品の典型である。しかし、ピン自体が、メッキされたスルーホールを通って延びて、基板の反対側まで物理的に延びるようになっている場合がある。かかるデバイスのピンについては、上記の30％の規則は用いず、事

実、静電容量の測定値を接続依存性部分及び接続非依存性部分へと分けようとはしない。この理由を理解するために、これまでの議論における暗黙の仮定、即ち、所与のピンの静電容量の測定値の接続非依存性部分がそのピンについての測定値全体のうちの比較的大きな部分を占める場合であっても平均接続非依存性部分は比較的小さいパーセンテージの平均総測定値となるという仮定を明白にすることが重要である。この仮定は、面実装デバイスについては有効であるがスルーホールピンを有するデバイスには有効でない傾向のものである、ということが見い出された。この理由は、一般に、導電性を有するメッキされたスルーホールとそれを通って延びるピンとの間には、それらの間に直接のオーム接続が存在しない場合であっても比較的大きな静電容量が存在する、ということにある。従って、スルーホールピンについて本発明の以下の説明する技術を用いることは可能であるが、我々は、その使用を選択しなかった。これは、結果的に得られる測定値の接続非依存性成分の概算値が良好でないからである。スルーホールピンについては、我々は、そのピンについてのしきい値を単に図６に示すトレーニングプロセス中の測定値の60％に設定した。

ここで、SMT技術及びそれと同様のピンに用いられる手順について説明する。かかるピンについてさえ、実際上、問題となるピンが他のピンに接続されている場合には通常はそのピンを除外した。以下の説明から分かるように、実際には、かかるピンを除外する理由は原則として存在しないが、比例性を有さない多数の共通接続ピンが如何にしてもテスト不能であることが分かっているので、それらのピンの測定値の接続非依存性成分の概算値を完全に利用しなかったことによりテストの全体的な信頼性が大幅に低下するということはない。かかるピンについては、単に次式に従ってしきり値を割り当てた。

$$T=\left(\frac{N-1}{N}+K\right)V_m$$

ここで、Ｔはしきい値、Ｎはピングループ中のピンの数、Ｋは典型的には0.15となる定数、V_mはトレーニング中にそのピンについて得られた測定値である。前記グループ中のピン数が増大すると、上記式から得られるしきい値は、ますます高いパーセンテージのトレーニング中に得られた測定値となり、このパーセンテージが高すぎて製造上の変動の余地がほとんどない場合には、テスト結果が信頼できないものになると考えられる。従って、グループ中のピン数が３を超える場合には、そのグループのピンはテスト不能であるとみなす。

この式は、測定値の接続非依存性成分と接続依存性成分との区別を用いるものではないが、我々は、テスト可能性についてのもう１つの判定基準を適用するのに後者の概算値を用いた。１つのピンについての接続依存性成分が、それと同一グループ中の他のピンについての接続依存性成分の80％よりも小さい場合には、そのピンにおける開路によって生じる変化が相対関係において小さすぎるものであり、このため、その変化を信頼性をもって検出することが不可能となり、従って、かかるグループ中の全てのピンをテスト不能なものとしてマークする。

以下の説明するもう１つの除外が存在する場合には、上述の30％の規則を残りのピンの値に適用する。第１に、接続非依存性成分を識別する。この目的のため、当初の静電容量データ、即ち、負荷に関して正規化された当初の測定値から出発する。図12はそれらの値を示すものであり、これは、以下に説明する理由により、フローチャートのブロック64に示すステップで、共通接続ピンについてのデータにそれらの個々のグループサイズが乗算されている点を除き、図９の値と同じである。次いで、図11に示す接続依存性成分の概算値が図12の値から減算されて、図13に示す接続非依存性成分が生じることになる。次いで、これらに図11の接続依存性成分の30％が加えられて、正規化されたしきい値T_nが生成される。このしきい値T_nは、次式に従って、図14に示す実際の正規化が解除された（de－normalized）しきい値T_aへと変換される。

$$T_a=\frac{V_s}{V_n}T_n$$

ここで、V_s,V_nは、問題となるピンについてのトレーニング中に決定された負荷電源電圧値及び無負荷電源電圧値である。図14の棒グラフの斜線ハッチング部分は、基準となる静電容量の測定値の接続非依存性部分によって生じるしきい値の増分を表している。ブロック66はこのステップを表している（勿論、実際上は、接続依存性成分の減算及びその接続依存性成分の30％の加算からなる２ステップは、通常は１ステップで行うことになり、即ち、70％の接続依存性成分の減算を行うことになる）。

上述の残りの除外は、接続非依存性成分が総静電容量のうち過度に大きな部分を占める場合に生じる。結果として生じるしきい値が図６の未加工の基準測定値の80％を超える場合に過度であるとみなし、従って、本システムは、かかるピンをテスト不能なものとしてマークする。これを行うのは、かかる状況では製造上の変動により既接続ピンの測定値の範囲が未接続ピンの測定値の範囲と大きく重なりすぎて、この種のテスト結果が信頼できないものになるからである。

上述したように、共通接続ピンのしきい値をそれらの測定値の接続非依存性成分に従って調整しない理由は原則として存在しない。例えば、接続非依存性成分に30％の接続依存性成分を加算することによりしきい値を得ることができる。共通接続ピンに関する図９のデータに個々のピンのグループサイズを乗算して図12の値を生成したのは、この可能性によるものである。それらの値は、それらのピンについての当初の測定値を正規化したものであり、及び、図11の個々のピンの値の減算の結果として、しきい値の計算中であるピン以外のグループの全部についての接続非依存性成分及び接続依存性成分の総和を近似した値が生じる。換言すれば、所与のピンのしきい値に関し、その他のグループ部分の接続依存性成分は、接続非依存性成分の一部として扱われる。

実際には、全グループ中の全てのピンについて単一のテストのみが行われ、即ち、そのテストは、そのグループのピンの内の１つが開放しているか否かを判定するが、どのグループ部分に故障があるかは判定しない。従って、上述の手順に従って異なるグループ部分について決定されたしきい値は一般には同一とはならないが、１つのしきい値のみが使用される。従って、本システムは、例えば、１つのグループ部分をしきい値のための基礎として選択し、また、全てのグループ部分について個々に決定されたしきい値の平均をとることが可能である。

本発明の教示を用いることにより、前記発明の技術を用いることなく、テストの際に各ピンを選択的に開放させることによってのみ達成され得る程度にまで、テストの信頼性を向上させることができた。従って、本発明は、当業界に大きな進歩をもたらすものである。

【図１】

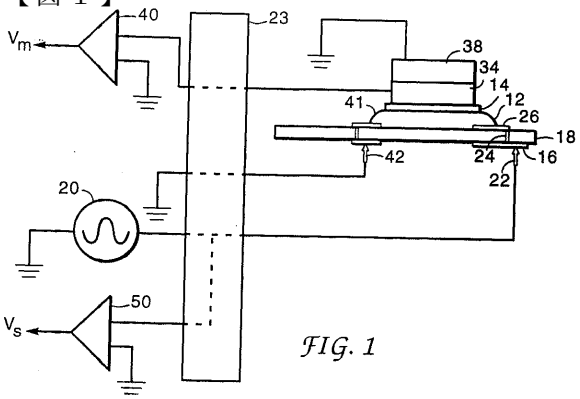

FIG. 1

【図２】

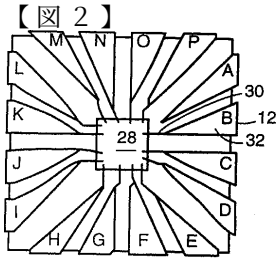

FIG. 2

【図３】

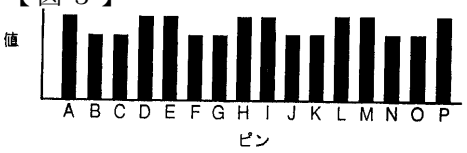

FIG. 3

【図４】

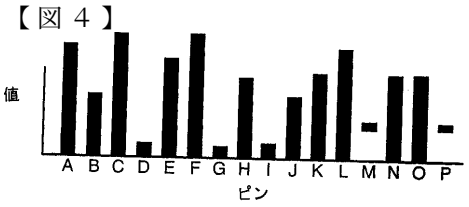

FIG. 4

【図６】

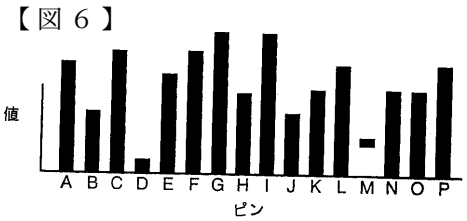

FIG. 6

【図８】

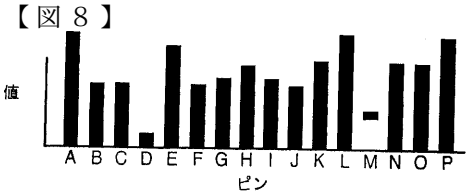

FIG. 8

【図５Ａ】

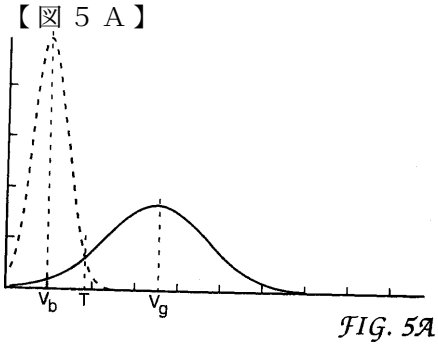

FIG. 5A

【図５Ｃ】

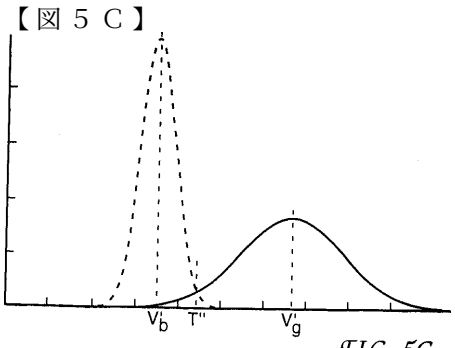

FIG. 5C

【図５Ｂ】

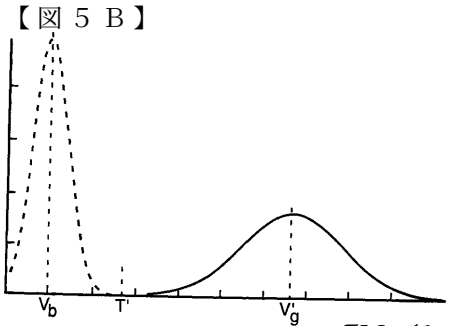

FIG. 5B

【図９】

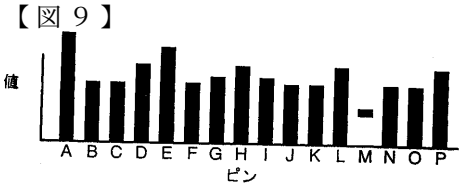

FIG. 9

【図７Ａ】

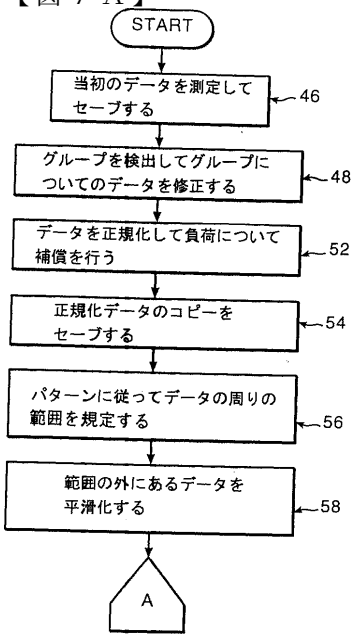

FIG. 7A

【図７Ｂ】

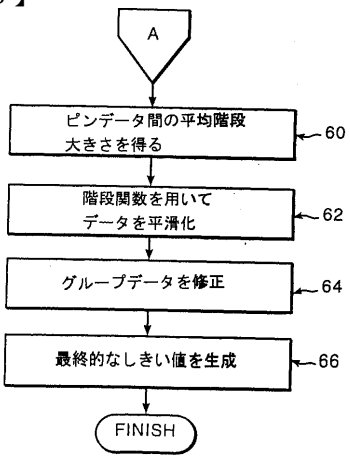

FIG. 7B

【図１０】

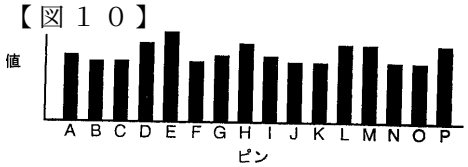

FIG. 10

【図１１】

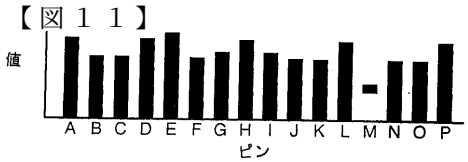

FIG. 11

【図１２】

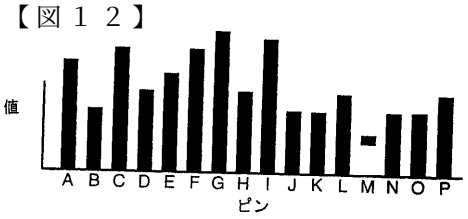

FIG. 12

【図１３】



FIG. 13

【図１４】



FIG. 14

フロントページの続き

(72)発明者　ブルメノー，エム，スティーブン
アメリカ合衆国マサチューセッツ州０１３６８　ロイヤルストーン，ノースウエスト・フィッツウィリアム・ロード・１６３

審査官　篠崎　正

(56)参考文献　特開平０４－３０９８７５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G01R 31/02 - 31/06
G01R 1/06 - 1/073