



(12)发明专利

(10)授权公告号 CN 106374926 B

(45)授权公告日 2019.04.23

(21)申请号 201610752976.3

(22)申请日 2016.08.29

(65)同一申请的已公布的文献号
申请公布号 CN 106374926 A

(43)申请公布日 2017.02.01

(73)专利权人 长春长光辰芯光电技术有限公司
地址 130033 吉林省长春市经开区营口路
588号

(72)发明人 李扬 辛国松 马成 王欣洋

(74)专利代理机构 长春吉大专利代理有限责任
公司 22201

代理人 王淑秋

(51)Int.Cl.
H03M 1/12(2006.01)

(56)对比文件

US 2014084140 A1,2014.03.27,
CN 103997612 A,2014.08.20,
CN 105830434 A,2016.08.03,
US 8039781 B2,2011.10.18,
EP 2757776 A2,2014.07.23,
CN 103944568 A,2014.07.23,
Junan Lee et.al.A CMOS image sensor
with non-memory capacitor two-step single
slope ADC for high frame rate.《2015
International SoC Design Conference
(ISOCC)》.2015,
高静等.高速列并行10位模数转换电路的
设计.《天津大学学报》.2010,

审查员 毕爽君

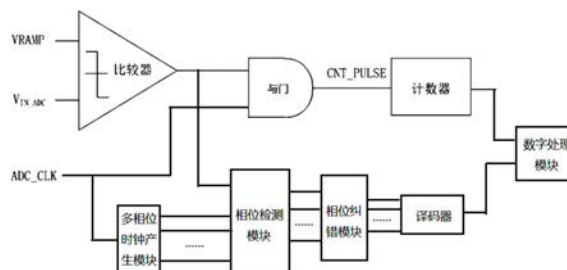
权利要求书2页 说明书5页 附图7页

(54)发明名称

高速多相位斜坡式模数转换器

(57)摘要

本发明涉及一种高速多相位斜坡式模数转换器,该转换器的斜坡信号和电压信号分别作为比较器的两个输入,比较器的输出和标准时钟信号分别作为与门的两个输入,与门的输出连接到计数器的输入端;多相位时钟产生模块根据标准时钟信号产生 $N=2^n$ 个彼此之间有相位差的时钟信号,相位检测模块根据比较器输出信号和多个时钟信号检测到与比较器翻转时刻最接近的时钟信号有效沿,并将该状态锁存在总线锁存器中,译码器对相位检测模块输出的状态数据进行译码;数据处理模块对计数器输出的计数值和译码器的译码结果数据进行处理得到最终计数值。本发明提出的 $N=2^n$ 个相位检测,时间分辨率更小,可以在相同模数转换时间下将模数转换精度提升N倍。



1. 一种高速多相位斜坡式模数转换器,包括比较器,与门,计数器;斜坡信号和电压信号分别作为比较器的两个输入,比较器的输出和标准时钟信号分别作为与门的两个输入,与门的输出连接到计数器的输入端;其特征在于还包括多相位时钟产生模块,相位检测模块,译码器,数字处理模块;所述多相位时钟产生模块根据标准时钟信号产生 $N=2^n$ 个彼此之间有相位差的时钟信号, n 是自然数;相位检测模块包括 N 个检测单元,检测单元由触发器、锁相开关、静态逻辑电路、总线及总线锁存器组成,比较器的输出连接到各触发器的数据输入端,多相位时钟产生模块的 N 个时钟信号分别连接到各触发器的时钟引脚;锁相开关的一端连接电源,另一端连接到总线;总线与总线锁存器连接,同时触发器的反向输出端和总线连接到静态逻辑电路的两个输入端,静态逻辑电路的输出端连接触发器的复位端;触发器的输出作为锁相开关的输出端和控制端,当比较器输出发生电平翻转时,最靠近电平翻转时刻时钟信号对应的触发器输出为1,同时通过总线、锁相开关和静态逻辑电路将其他触发器输出置0。

2. 根据权利要求1所述的高速多相位斜坡式模数转换器,其特征在于所述多相位时钟产生模块产生 a 相时钟信号和 b 相时钟信号; a 相时钟信号和 b 相时钟信号与标准时钟信号之间的相位差分别为 0° 和 180° ;相位检测模块包括2个检测单元, a 相时钟信号和 b 相时钟信号分别连接到两个检测单元中触发器的时钟引脚。

3. 根据权利要求1所述的高速多相位斜坡式模数转换器,其特征在于所述多相位时钟产生模块产生A相、B相、C相、D相四个时钟信号,四个时钟信号与标准时钟信号之间的相位差分别为 0° 、 90° 、 180° 、 270° ;相位检测模块包括4个检测单元,四个时钟信号分别连接到4个检测单元中触发器的时钟引脚。

4. 根据权利要求1所述的高速多相位斜坡式模数转换器,其特征在于总线锁存器由第一、第二非门组成;总线同时连接到第一非门的输入和第二非门的输出,并且第一非门的输出连接第二非门的输入。

5. 根据权利要求3所述的高速多相位斜坡式模数转换器,其特征在于还包括相位纠错模块;相位检测模块的输出连接到相位纠错模块的输入,相位纠错模块的输出连接到译码器的输入。

6. 根据权利要求1所述的高速多相位斜坡式模数转换器,其特征在于所述检测单元中,触发器为D触发器,静态逻辑电路采用与非门;比较器的输出连接到各D触发器的D端,多相位时钟产生模块的 N 个输出分别连接到各D触发器的CLK引脚;D触发器的Q端作为输出端和锁相开关的控制端,锁相开关的一端连接正电压电源,另一端连接到总线;总线与总线锁存器连接,同时总线和D触发器的 \bar{Q} 端同时连接到与非门的两个输入端,与非门的输出连接到D触发器的复位端CDN;各D触发器的Q端经过纠错模块连接到译码器的输入,译码器的输出和计数器的输出端连接到数字处理模块的输入。

7. 根据权利要求1所述的高速多相位斜坡式模数转换器,其特征在于所述检测单元中,触发器为RS触发器,静态逻辑电路采用与门,总线锁存器的一端通过锁相开关连接到电源地GND;比较器的输出连接到各触发器的S端并经非门连接触发器的R端,多相位时钟产生模块的 N 个输出分别连接到各RS触发器的CLK引脚;RS触发器的 \bar{Q} 端作为输出端和锁相开关的控制端,锁相开关的一端连接电源地,另一端连接总线;总线与总线锁存器连接;总线和RS

触发器的Q端同时连接到与门的两个输入端,与门的输出连接到RS触发器的复位端;各RS触发器的Q端经过纠错模块连接到译码器的输入,译码器的输出和计数器的输出端连接到数字处理模块的输入。

高速多相位斜坡式模数转换器

技术领域

[0001] 本发明属于模数转换器技术领域,涉及一种高速多相位斜坡式模数转换器。

背景技术

[0002] 传统的斜坡式模数转换器(ADC)具有结构简单、功耗低、一致性好等优点,被广泛的应用于图像传感器中。但是,随着技术的发展,目前图像传感器对速度、动态范围、噪声的要求越来越高。传统斜坡式模数转换器(ADC)结构往往不能满足高精度、高速成像需求。

[0003] 如图1、2所示,传统的斜坡式ADC的各个信号解释如下:

[0004] VRAMP为斜坡信号,该信号电压在一个转换周期内随时间线性增大,用于比较ADC输入电压值 V_{IN_ADC} 。以图像传感器像素输出信号为例,VRST-VSIG为ADC输入电压值,其中VRST为像素复位电平信号,VSIG为像素结束曝光后输出的电平信号,VRST-VSIG为相关双采样后的电压信号,可被放大器放大后输入至ADC作为ADC输入电压值 V_{IN_ADC} 。ADC_CLK为ADC的输入时钟,用于记录转换开始后,斜坡信号与ADC输入电压值相等所需的时间。CNT_PULSE为记录的有效时钟ADC_CLK的个数。

[0005] 传统斜坡式模数转换器(ADC)由比较器、与门、计数器构成。其原理可以简述为:当模数转换开始后,如果 $V_{IN_ADC} > VRAMP$,则计数器一直在计数,直到 $V_{IN_ADC} \leq VRAMP$,计数结束。

[0006] 由图2可知,提升ADC转换速度的关键在于提高有效时钟ADC_CLK的频率。但是,时钟频率往往存在物理极限,例如半导体的寄生效应、电导率,金属互连线的延时等。并且,使用高频计数时钟会使时钟产生模块、计数器等模块会消耗更高的电流,从而增加功耗和产生更多的热量。对于CMOS图像传感器而言,往往采用列并行处理的方式,即每个像素列下方都有一个ADC单元,这样单个ADC的功耗就显得尤为重要。

发明内容

[0007] 本发明要解决的技术问题是提供一种在不改变时钟频率的前提下,能够提高时间上的分辨率,从而提高模数转换精度的高速多相位斜坡式模数转换器。

[0008] 为了解决上述技术问题,本发明的高速多相位斜坡式模数转换器包括比较器,与门,计数器;斜坡信号和电压信号分别作为比较器的两个输入,比较器的输出和标准时钟信号分别作为与门的两个输入,与门的输出连接到计数器的输入端;其特征在于还包括多相位时钟产生模块,相位检测模块,译码器,数字处理模块;所述多相位时钟产生模块根据标准时钟信号产生 $N=2^n$ 个彼此之间有相位差的时钟信号, n 是自然数;相位检测模块包括 N 个检测单元,检测单元由触发器、锁相开关、静态逻辑电路、总线及总线锁存器组成,比较器的输出连接到各触发器的数据输入端,多相位时钟产生模块的 N 个时钟信号分别连接到各触发器的时钟引脚;锁相开关的一端连接电源,另一端连接到总线;总线与总线锁存器连接,同时触发器的反向输出端和总线连接到静态逻辑电路的两个输入端,静态逻辑电路的输出端连接触发器的复位端;触发器的输出作为锁相开关的输出端和控制端,当比较器输出发生电平翻转时,最靠近电平翻转时刻时钟信号对应的触发器输出为1,同时通过总线、锁相

开关和静态逻辑电路将其他触发器输出置0。

[0009] 所述多相位时钟产生模块产生a相时钟信号和b相时钟信号;a相时钟信号和b相时钟信号与标准时钟信号之间的相位差分别为 0° 和 180° ;相位检测模块包括2个检测单元,a相时钟信号和b相时钟信号分别连接到两个检测单元中触发器的时钟引脚。

[0010] 所述多相位时钟产生模块产生A相、B相、C相、D相四个时钟信号,四个时钟信号与标准时钟信号之间的相位差分别为 0° 、 90° 、 180° 、 270° ;相位检测模块包括4个检测单元,四个时钟信号分别连接到4个检测单元中触发器的时钟引脚。

[0011] 进一步,总线锁存器由第一、第二非门组成;总线同时连接到第一非门的输入和第二非门的输出,并且第一非门的输出连接第二非门的输入。

[0012] 进一步,本发明还包括相位纠错模块;相位检测模块的输出连接到相位纠错模块的输入,相位纠错模块的输出连接到译码器的输入。

[0013] 所述检测单元中,触发器为D触发器,静态逻辑电路采用与非门;比较器的输出连接到各D触发器的D端,多相位时钟产生模块的N个输出分别连接到各D触发器的CLK引脚;D触发器的Q端作为输出端和锁相开关的控制端,锁相开关的一端连接正电压电源,另一端连接到总线;总线与总线锁存器连接,同时总线和D触发器的 \bar{Q} 端同时连接到与非门的两个输入端,与非门的输出连接到D触发器的复位端CDN;各D触发器的Q端经过纠错模块连接到译码器的输入,译码器的输出和计数器的输出端连接到数字处理模块的输入。

[0014] 所述检测单元中,触发器为RS触发器,静态逻辑电路采用与门,总线锁存器的一端通过锁相开关连接到电源地GND;比较器的输出连接到各触发器的S端并经非门连接触发器的R端,多相位时钟产生模块的N个输出分别连接到各RS触发器的CLK引脚;RS触发器的 \bar{Q} 端作为输出端和锁相开关的控制端,锁相开关的一端连接电源地,另一端连接总线;总线与总线锁存器连接;总线和RS触发器的Q端同时连接到与门的两个输入端,与门的输出连接到RS触发器的复位端;各RS触发器的Q端经过纠错模块连接到译码器的输入,译码器的输出和计数器的输出端连接到数字处理模块的输入。

[0015] 本发明的多相位斜坡转换模数转换器,利用多相位时钟产生模块产生 $N=2^n$ 个彼此存在相位差的时钟信号,相位检测模块根据比较器输出信号和多个时钟信号检测到与比较器翻转时刻最接近的时钟信号有效沿,并将该状态锁存在总线锁存器中,译码器对相位检测模块输出的状态数据进行译码;数据处理模块对计数器输出的计数值和译码器的译码结果数据进行处理得到最终计数值。

[0016] 相比较传统斜坡计数方式,采用本发明提出的 $N=2^n$ 个相位检测,时间分辨率更小,可以在相同模数转换时间下将ADC精度提升N倍。

附图说明

[0017] 下面结合附图和具体实施方式对本发明作进一步详细说明。

[0018] 图1是传统斜坡式模数转换器结构图。

[0019] 图2是传统斜坡式模数转换器工作波形图。

[0020] 图3是本发明的高速多相位斜坡式模数转换器的结构示意图。

[0021] 图4a、图4b是比较器翻转时刻多相位时钟有效沿位置示意图。

[0022] 图5是多相位时钟采样原理图。

[0023] 图6a、图6b分别是实施例1、实施例3的相位检测模块结构示意图。

[0024] 图7a、图7b是实施例1、实施例2多相位时钟采样状态判断原理图。

具体实施方式

[0025] 实施例1

[0026] 下面以4相位斜坡式模数转换器为例对本发明作详细说明。

[0027] 如图3所示,本发明的高速多相位斜坡式模数转换器比较器,与门,计数器,多相位时钟产生模块,相位检测模块,相位纠错模块,译码器,数字处理模块;斜坡信号VRAMP和电压信号 V_{IN_ADC} 分别作为比较器的两个输入,比较器的输出和标准时钟信号ADC_CLK分别作为与门的两个输入,与门的输出CNT_PULSE连接到计数器的输出端;标准时钟信号ADC_CLK同时输入到多相位时钟产生模块;多相位时钟产生模块的输入连接到相位检测模块的输入,相位检测模块的输出通过相位纠错模块连接到译码器的输入;计数器和译码器的输出连接到数字处理模块。

[0028] 多相位时钟产生模块可以采用相位锁定环路(PLL)或延时锁定环路(DLL)等时钟产生电路实现多相位的产生。如图4a、图5所示,多相位时钟产生模块根据标准时钟信号ADC_CLK产生A相、B相、C相、D相4个时钟信号,A相时钟信号 $ADC_CLK<0>$ 、B相时钟信号 $ADC_CLK<1>$ 、C相时钟信号 $ADC_CLK<2>$ 、D相时钟信号 $ADC_CLK<3>$ 与标准时钟信号ADC_CLK之间的相位差分别为 0° 、 90° 、 180° 、 270° 。在不改变时钟的频率的前提下,提高了时间上的分辨率,从而提高ADC的精度。举例说明:如果时钟工作在600MHz,12bit模数转换时间约为 $2^{12} * (1/600M) = 7\mu s$ 。如采用4相时钟判断,则可以实现等效 $600MHz * 4 = 2.4GHz$ 的效果。12bit模数转换时间为 $1.75\mu s$ 。

[0029] 如图6a所示,相位检测模块包括4个检测单元和一个总线锁存器;检测单元由D触发器11、锁相开关12、静态逻辑电路(与非门13)组成,比较器的输出COMP_OUT连接到各D触发器11的D端,多相位时钟产生模块的A相时钟信号 $ADC_CLK<0>$ 、B相时钟信号 $ADC_CLK<1>$ 、C相时钟信号 $ADC_CLK<2>$ 、D相时钟信号 $ADC_CLK<3>$ 分别连接到4个D触发器11的CLK引脚;D触发器11的Q端作为输出端和锁相开关12的控制端,锁相开关12的一端连接正电压电源VDD,另一端连接到总线16;总线16与D触发器11的 \bar{Q} 端同时连接到与非门13的两个输入,与非门13的输出连接到D触发器12的CDN端;各D触发器11的Q输出端连接到译码器的输入,译码器的输出和计数器的输出端连接到数字处理模块的输入;总线锁存器由第一、第二非门14、15组成;总线16同时连接到与非门14的输入和与非门15的输出,并且与非门14的输出连接与非门15的输入。

[0030] 当比较器输出COMP_OUT发生电平翻转时(即 $V_{IN_ADC} = VRAMP$ 时刻),最靠近电平翻转时刻时钟信号对应的D触发器的Q端输出为1,同时Q输出控制锁相开关闭合,将其他D触发器置0。相位检测模块可能的输出为1000、0100、0010、0001,这四个状态可由译码器译成2bit即00、01、10、11。

[0031] 如图7a所示,对应比较器电平翻转时刻与4个相位可能的四种对应关系。根据之前的分析,4相位斜坡模数转换器(ADC)可以提高时间分辨率,在相同模数转换时间下将ADC精度提升N倍(N为相位个数)。例如传统斜坡式ADC输出位数为12bit,如果采用4相位检测,可

以提升至14bit (即提升2bit的精度,即4倍精度)。额外的两个bit由相位检测模块产生。例如根据翻转时刻不同,译码结果可能为00、01、10、11,则计数器输出的12bit计数值与译码器输出的2bit译码结果经数字处理模块处理后得到14bit的计数值,其14bit计数值的产生方式为:

[0032] 传统ADC产生12bit计数值x xxxxxxxxxxxx,相位检测模块产生2bit计数值

[0033] y y;即4相位模数转换器产生14bit计数值x xxxxxxxxxxxx y y。

[0034] 需要注意的是本发明的核心思想为利用多相位提高精度(或相同精度下提高速度)。但是由于ADC的具体实现方式不同,例如双斜坡ADC等,该算法有不同的实现方式。

[0035] 如图6a所示,相位检测模块能够判断出哪一相位时钟采样结果首先发生变化,并将状态锁存在总线锁存器之中。例如在图7a中(时钟有效沿为下降沿),理想状态下,若A相位时钟采样结果首先发生变化(即比较器输出电平翻转之后首先检测到A相位时钟有效沿),则输出结果为1000,该状态由译码器译成00(对应图7a中第三种情况)。若B相位时钟采样结果首先发生变化,则输出结果为0100,该状态由译码器译成01(对应图7a中第四种情况)。若C相位时钟采样结果首先发生变化,则输出结果为0010,该状态由译码器译成10(对应图7a中第一种情况)。若D相位时钟采样结果首先发生变化,则输出结果为0001,该状态由译码器译成11(对应图7a中第二种情况)。

[0036] 但是由于多相位的时间分辨率增加,例如600MHz ADC时钟,4相位每个相位间延时仅约 $t_{\text{phase}}=400\text{ps}$ 。对图6a中锁存的状态建立时间的要求为小于400ps,这限制了本发明提出的方法在更小相位延时时间(即高频时钟情况或更多相位情况)条件下的应用。

[0037] 例如C相位时钟采样结果首先发生变化,总线17未能及时将其他D触发器关闭,则D相位时钟采样结果也会发生变化,输出结果从理想的0010变为0011,若总线的状态建立时间进一步增加,输出结果甚至从0010变为1011。若建立时间更长,输出结果变为1111,该模数转换器则不能正常工作。

[0038] 基于以上存在的实际情况,本发明采用相位纠错模块对相位检测模块的输出结果进行纠正,纠正方法如下:

[0039] 逻辑功能表述(X为0或1)

[0040] 如相位检测输出结果为XX01,则纠错模块输出0001

[0041] 如相位检测输出结果为X01X,则纠错模块输出0010

[0042] 如相位检测输出结果为01XX,则纠错模块输出0100

[0043] 如相位检测输出结果为1XX0,则纠错模块输出1000

[0044] 相位纠错模块采用逻辑电路实现。以上具有N相位纠错的译码逻辑,可以将锁存器的状态建立时间的要求,从 t_{phase} 放宽至 $(N-1)*t_{\text{phase}}$ 。

[0045] 实施例2

[0046] 本实施例与实施例1不同的是,多相位时钟产生模块采用相位锁定环路(PLL)或延时锁定环路(DLL)产生2个时钟信号,如图4b所示,2个时钟信号与标准时钟信号ADC_CLK之间的相位差分别为0、 180° ,在不改变时钟的频率的前提下,能够将时间上的分辨率提高2倍。此时,相位检测模块可以仅包括2个检测单元和总线锁存器。

[0047] 在图7b中(时钟有效沿为下降沿),理想状态下,若a位时钟采样结果首先发生变化(即比较器输出电平翻转之后首先检测到a相位时钟有效沿),则输出结果为10,该状态由译

码器译成0 (对应图7b中第二种情况)。若b相位时钟采样结果首先发生变化,则输出结果为01,该状态由译码器译成-1 (对应图7b中第一种情况)。当标准时钟信号频率不变,两个相位延时时间不会太短导致两个时钟但信号采样结果产生错误,因此可以省略相位纠错模块,相位检测模块的输出直接连接到译码器的输入。

[0048] 实施例3

[0049] 如图6b所示,本实施例与实施例1不同之处在于,所述检测单元中,触发器为RS触发器21,静态逻辑电路采用与门21,总线锁存器的一端通过锁相开关连接到电源地GND;比较器的输出连接到各RS触发器的S端并经非门27连接RS触发器的R端,多相位时钟产生模块的N个输出分别连接到各RS触发器的CLK引脚;RS触发器的Q端作为输出端和锁相开关22的控制端,锁相开关22的一端连接电源地GND,另一端连接总线26;总线26与总线锁存器连接;总线26和RS触发器的 \bar{Q} 端同时连接到与门21的两个输入,与门21的输出连接到RS触发器的复位端(CDN端);各RS触发器的Q端连接到译码器的输入,译码器的输出和计数器的输出端连接到数字处理模块的输入。

[0050] 本发明不限于上述实施例,在标准时钟频率较低条件下,对于4相位斜坡模数转换器,各相位延时时间不会太短导致时钟信号采样结果产生错误,此时可以省略相位纠错模块。

[0051] 所述多相位时钟产生模块根据标准时钟信号产生 $N=2^n$ 个彼此之间有相位差的时钟信号,其中n为ADC精度提升的倍数,其数值没有严格的限制,例如在传统ADC的基础上,本发明可利用N个彼此间有相位差的时钟信号将传统ADC的精度提升n倍。因此在标准时钟频率较低条件下,本发明的多相位斜坡模数转换器还可以是8相位或更多位的斜坡模数转换器。

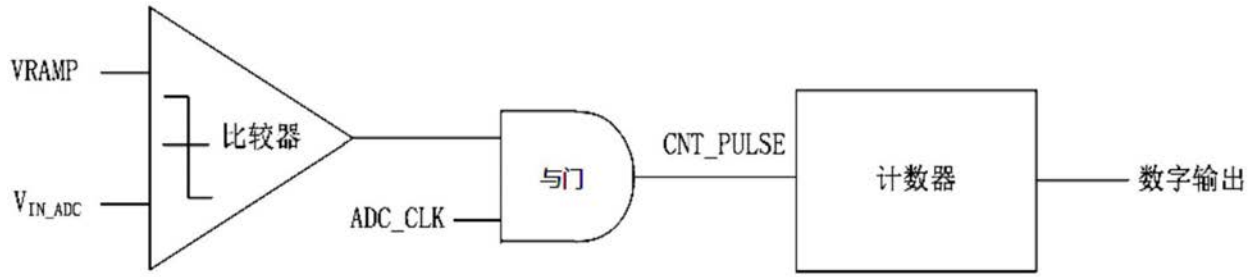


图1

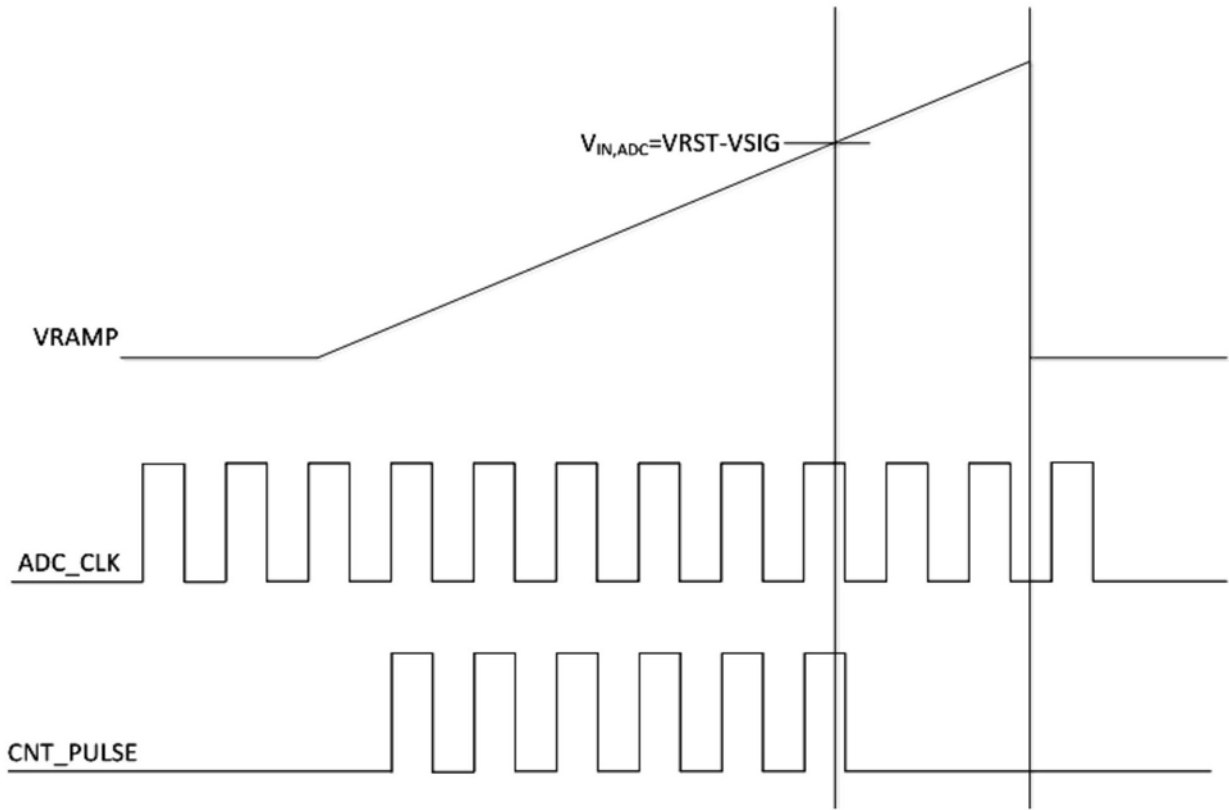


图2

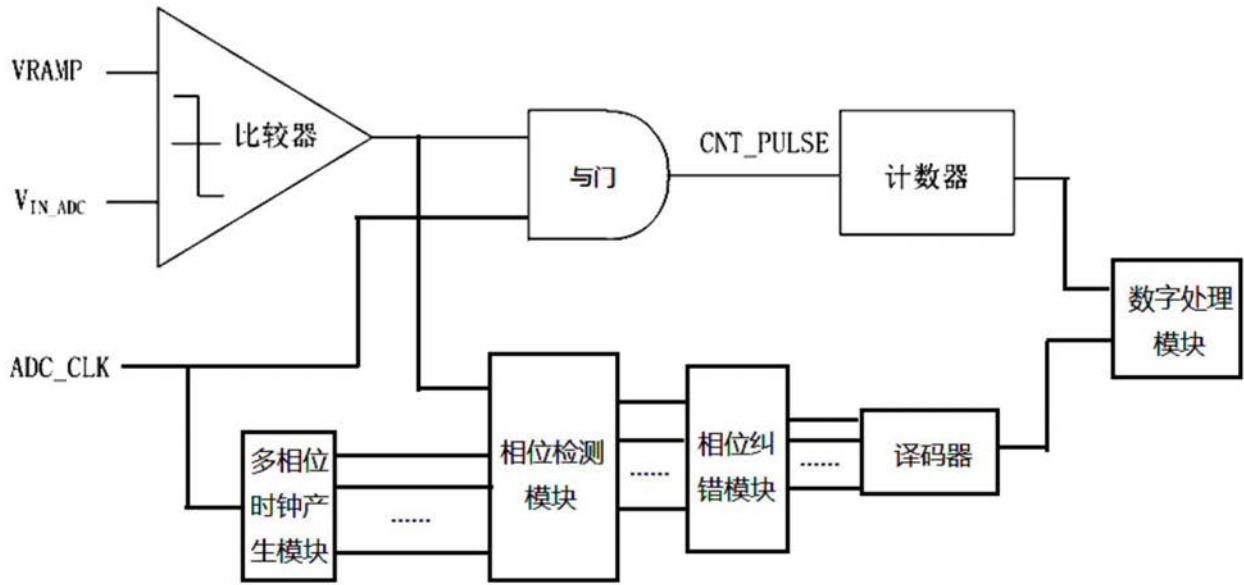


图3

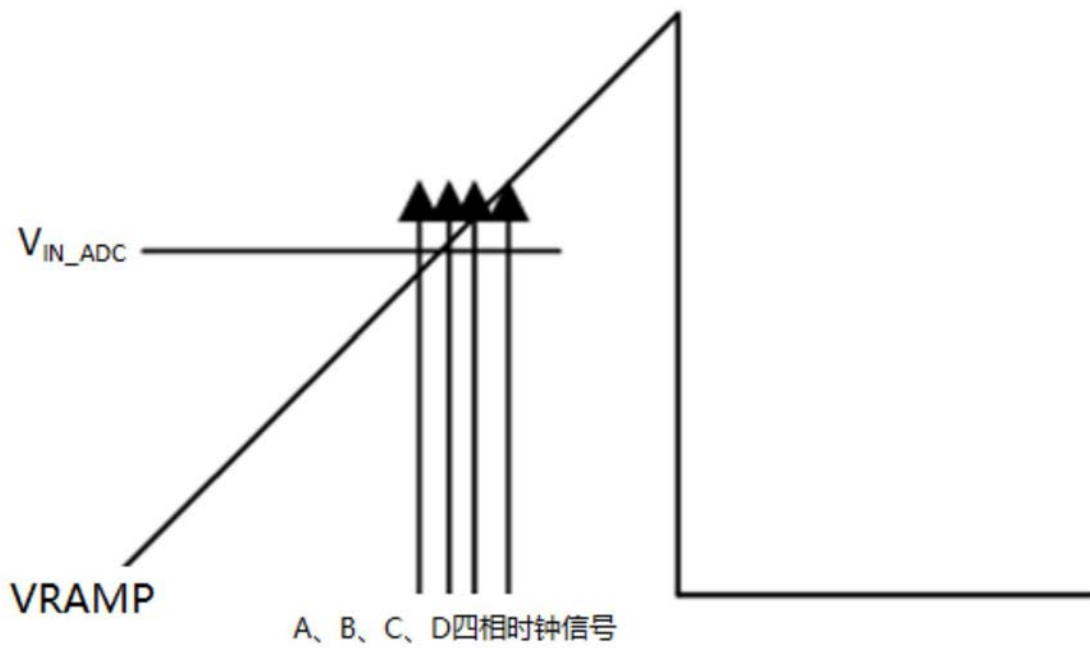


图4a

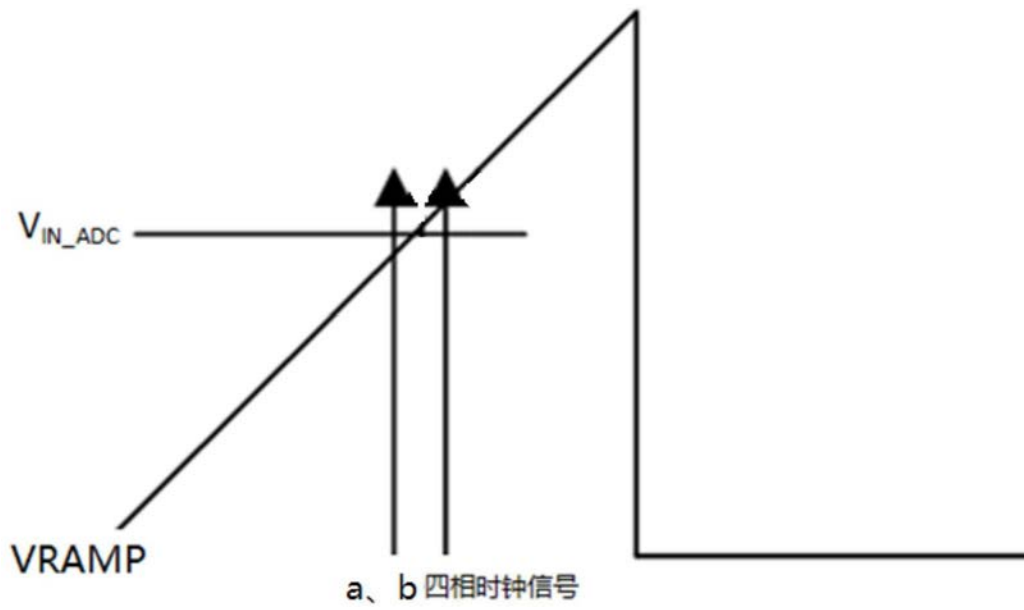


图4b

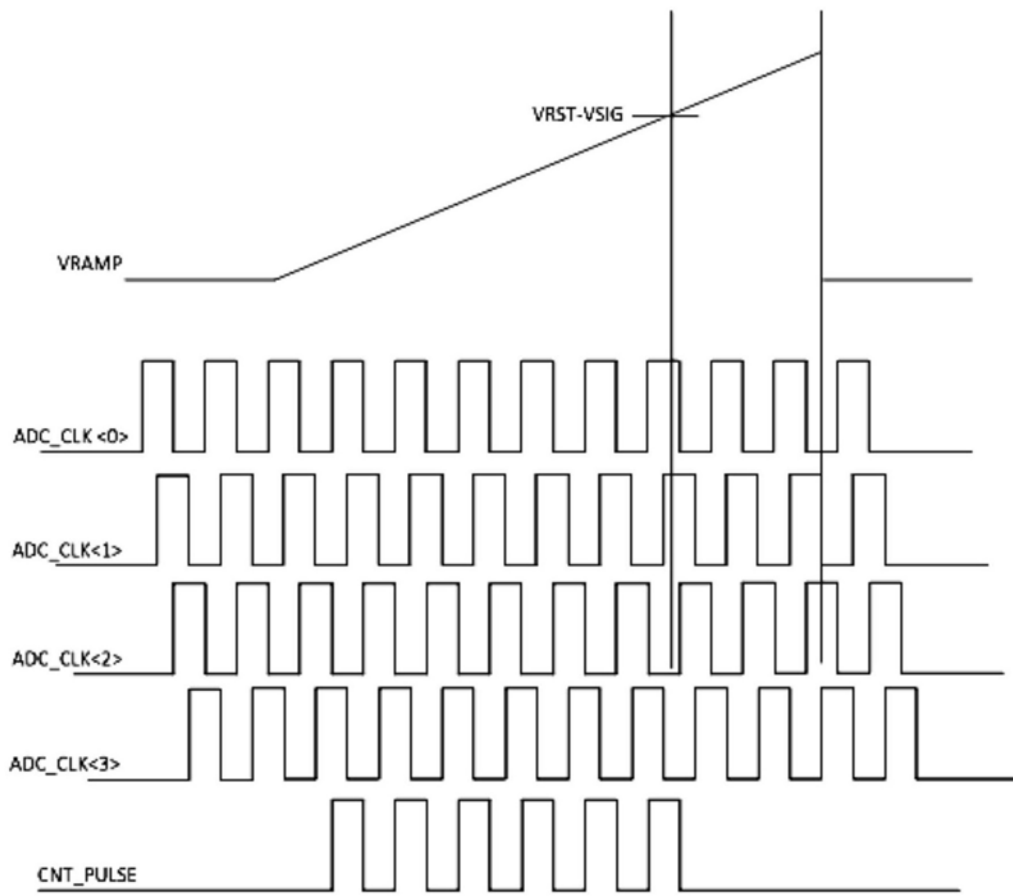


图5

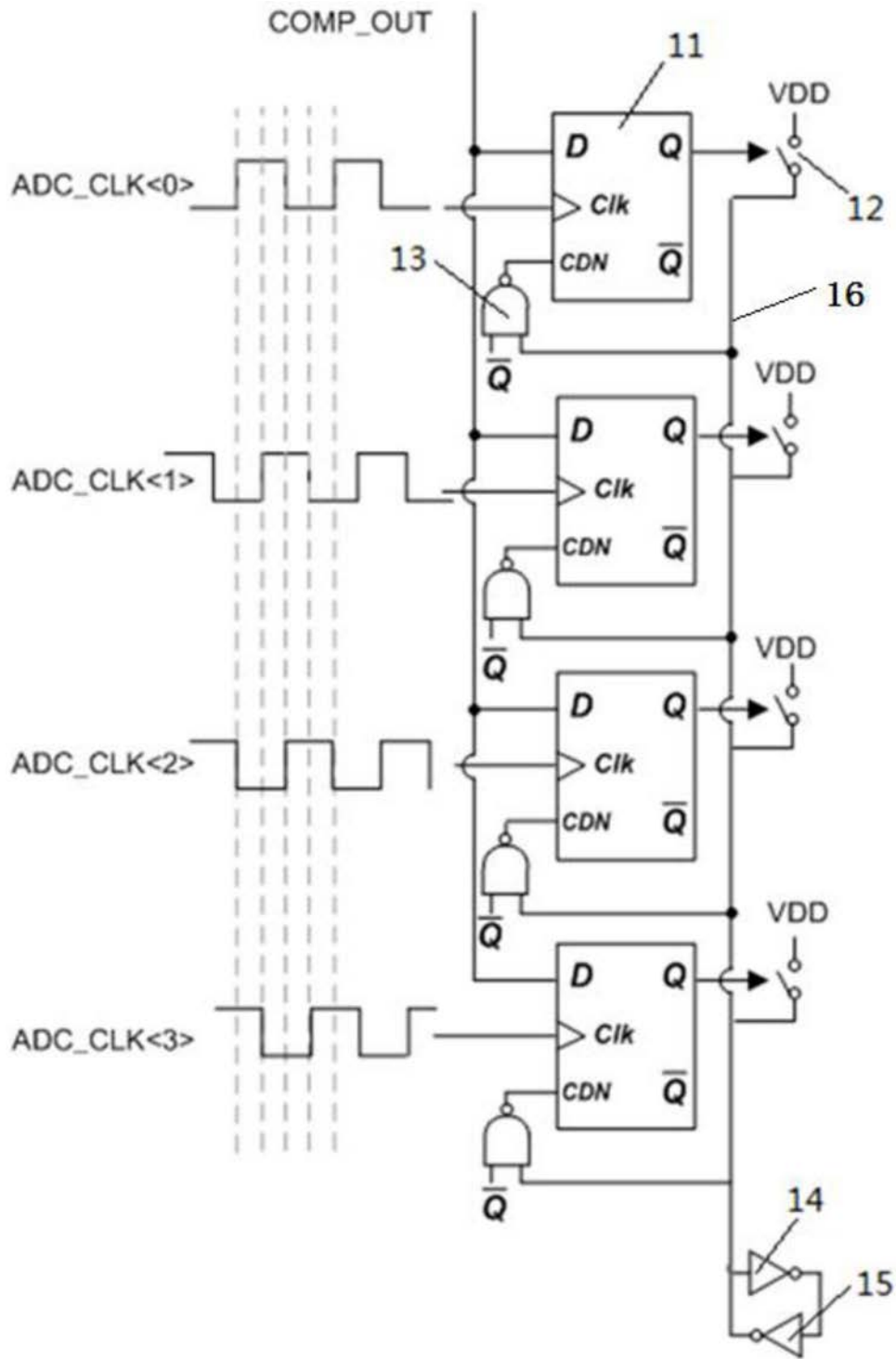


图6a

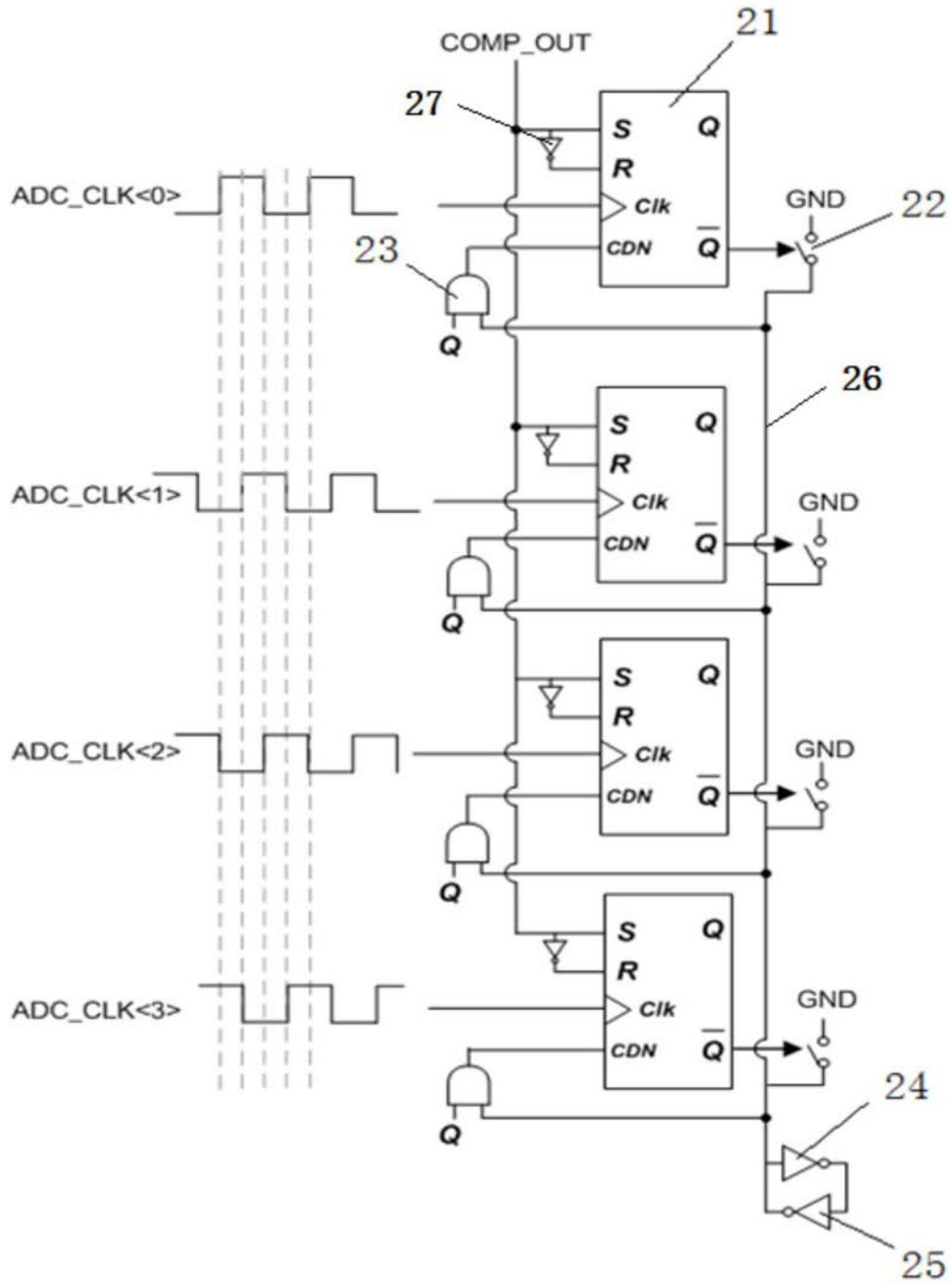


图6b

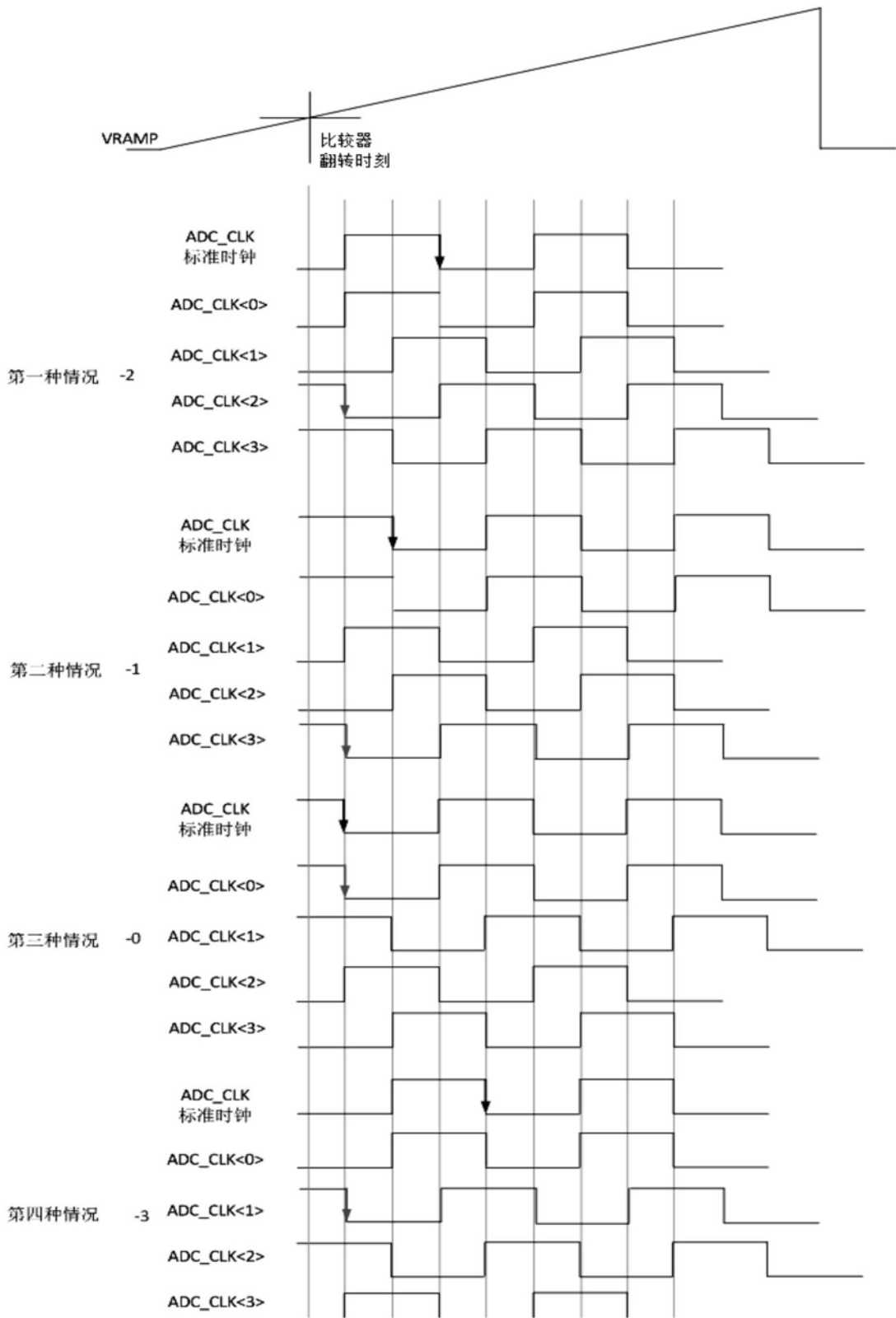


图7a

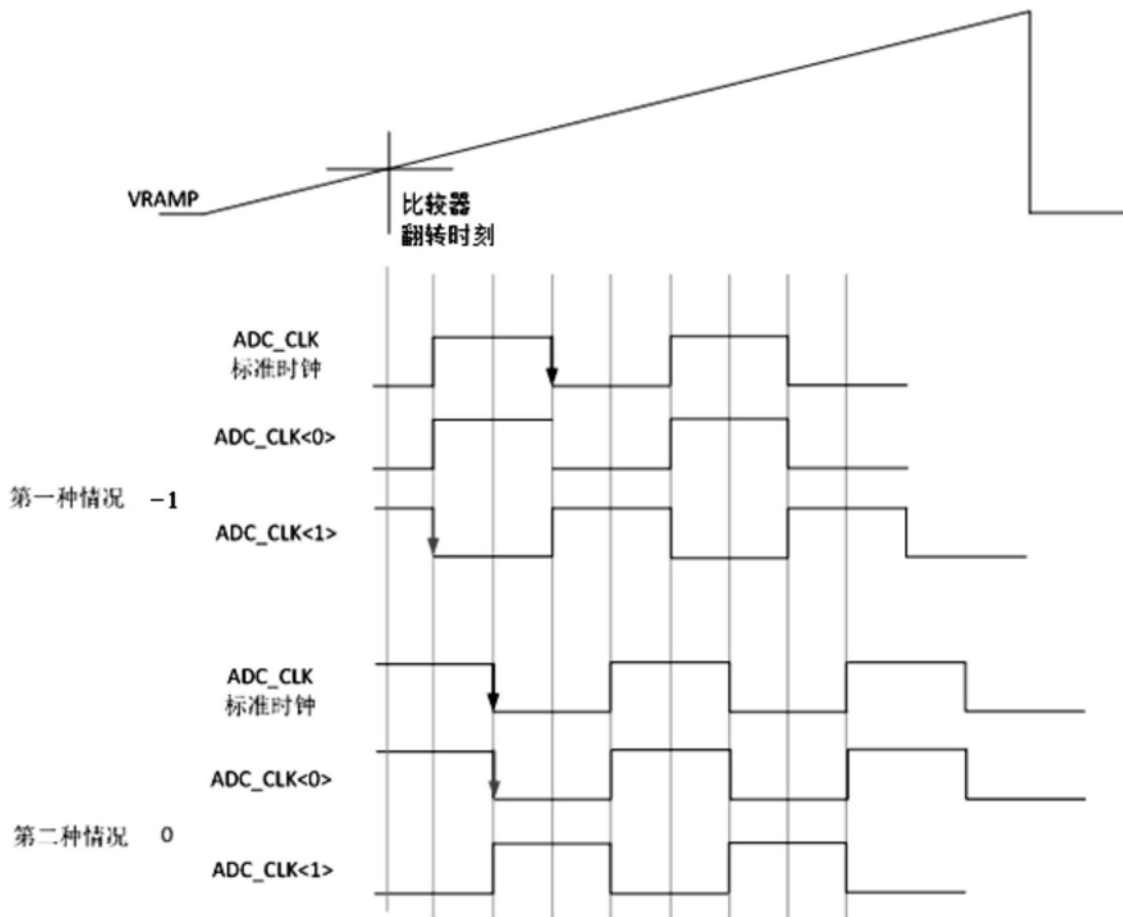


图7b