

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成30年4月12日(2018.4.12)

【公表番号】特表2017-511950(P2017-511950A)

【公表日】平成29年4月27日(2017.4.27)

【年通号数】公開・登録公報2017-017

【出願番号】特願2016-556945(P2016-556945)

【国際特許分類】

G 1 1 C 11/15 (2006.01)

【F I】

G 1 1 C 11/15 1 4 0

G 1 1 C 11/15 1 9 0

【手続補正書】

【提出日】平成30年3月1日(2018.3.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

回路であって、

メモリセルと、

直列の2つのpチャネルトランジスタと直列の2つのnチャネルトランジスタとを含む
感知增幅器であって、前記2つのpチャネルトランジスタと前記2つのnチャネルトラン
ジスタとがクロス結合構成に配置される、前記感知增幅器と、

前記メモリセルと、前記2つのpチャネルトランジスタの一方と前記2つのnチャネル
トランジスタの一方との第1の共通ドレイン端子との間に結合される第1のスイッチング
トランジスタと、

前記第1の共通ドレイン端子に結合される入力端子と前記メモリセルに結合される出力
端子とを有する第1のインバータと、

を含む、回路。

【請求項2】

請求項1に記載の回路であって、

前記メモリセルが1トランジスタ1キャパシタ(1T1C)メモリセルである、回路。

【請求項3】

請求項1に記載の回路であって、

前記メモリセルが2トランジスタ2キャパシタ(2T2C)メモリセルである、回路。

【請求項4】

請求項1に記載の回路であって、

前記2つのpチャネルトランジスタの他方と前記2つのnチャネルトランジスタの他方
との第2の共通ドレイン端子に結合される第2のスイッチングトランジスタと、

前記第2の共通ドレイン端子に結合される入力端子と前記第2のスイッチングトランジ
スタに結合される出力端子とを有する第2のインバータと、

を更に含む、回路。

【請求項5】

請求項1に記載の回路であって、

前記メモリセルと前記感知增幅器との間に結合されるビットラインと、

前記メモリセルに結合されるワードラインと、
を更に含む、回路。

【請求項6】

請求項1に記載の回路であって、
前記メモリセルが強誘電性メモリセルである、回路。

【請求項7】

請求項1に記載の回路であって、
前記メモリセルが、スタティックランダムアクセスメモリ(SRAM)セルと磁気ランダムアクセスメモリ(MRAM)と抵抗性ランダムアクセスメモリ(RRAM)セルとのうちの1つである、回路。

【請求項8】

システムであって、
プロセッサ回路と、
前記プロセッサ回路に結合される入力デバイスと、
前記プロセッサ回路に結合される出力デバイスと、
回路であって、
メモリセルと、
直列の2つのpチャネルトランジスタと直列の2つのnチャネルトランジスタとを含み、
前記2つのpチャネルトランジスタと前記2つのnチャネルトランジスタとがクロス結合構成に配置される、感知増幅器と、
前記メモリセルと、前記2つのpチャネルトランジスタの一方と前記2つのnチャネルトランジスタの一方との第1の共通ドレイン端子との間に結合されるスイッチングトランジスタと、
前記第1の共通ドレイン端子に結合される入力端子と前記メモリセルに結合される出力端子とを有するインバータと、
を含む、前記回路と、
を含む、システム。

【請求項9】

請求項8に記載のシステムであって、
前記メモリセルが1トランジスタ1キャパシタ(1T1C)メモリセルである、システム。

【請求項10】

請求項8に記載のシステムであって、
前記メモリセルが2トランジスタ2キャパシタ(2T2C)メモリセルである、システム。

【請求項11】

請求項8に記載のシステムであって、
前記メモリセルが強誘電性メモリセルである、システム。

【請求項12】

メモリデバイスであって、
第1のビット線に結合される第1のメモリセルと第2のビット線に結合される第2のメモリセルとを含むメモリアレイと、
感知増幅器であって、
第1の導電型の第1及び第2のトランジスタと、
前記第1及び第2のトランジスタとクロス結合構成に配置される第2の導電型の第3及び第4のトランジスタと、
前記第1及び第3のトランジスタの第1の共通ドレイン端子に結合される入力と前記第1のビット線に結合される出力とを有する第1のインバータと、
前記第2及び第4のトランジスタの第2の共通ドレイン端子に結合される入力と前記第2のビット線に結合される出力とを有する第2のインバータと、

を含む、前記感知増幅器と、
を含む、メモリデバイス。

【請求項 1 3】

請求項 1 2 に記載のメモリデバイスであって、
前記第 1 のビット線と前記第 1 の共通ドレイン端子との間に結合される第 1 のスイッチ
ングトランジスタと、
前記第 2 のビット線と前記第 2 の共通ドレイン端子との間に結合される第 2 のスイッチ
ングトランジスタと、
を更に含む、メモリデバイス。

【請求項 1 4】

請求項 1 2 に記載のメモリデバイスであって、
前記第 1 のインバータが第 1 の制御信号線と第 2 の制御信号線との間に直列に結合され
る第 5 及び第 6 のトランジスタを含み、前記第 2 のインバータが前記第 1 の制御信号線と
前記第 2 の制御信号線との間に直列に結合される第 7 及び第 8 のトランジスタを含む、メ
モリデバイス。

【請求項 1 5】

請求項 1 4 に記載のメモリデバイスであって、
前記第 5 のトランジスタのゲート端子と前記第 6 のトランジスタのゲート端子とが前記
第 1 の共通ドレイン端子に各々結合され、前記第 7 のトランジスタのゲート端子と前記第
8 のトランジスタのゲート端子とが前記第 2 の共通ドレイン端子に各々結合される、メモ
リデバイス。

【請求項 1 6】

請求項 1 4 に記載のメモリデバイスであって、
読み出し動作に応答して、前記感知増幅器が、前記第 1 のビット線上の第 1 のデータ信
号と前記第 2 のビット線上の第 2 のデータ信号との間の差電圧を増幅し、
前記第 1 のビット線上の前記第 1 のデータ信号を反転して前記第 2 のビット線上の前記
第 2 のデータ信号を反転するために、前記差電圧の増幅の後に、前記第 1 及び第 2 のイン
バータが、前記第 1 の制御信号線に供給される基準電圧と、前記第 2 の制御信号線上に供
給される供給電圧とに応答して活性化される、メモリデバイス。

【請求項 1 7】

請求項 1 6 に記載のメモリデバイスであって、
前記読み出し動作の完了の前に、前記反転された第 1 のデータ信号により示されるデー
タ状態が前記第 1 のメモリセルに書き込まれ、前記反転された第 2 のデータ信号により示
されるデータ状態が前記第 2 のメモリセルに書き込まれる、メモリデバイス。

【請求項 1 8】

請求項 1 7 に記載のメモリデバイスであって、
前記メモリアレイが強誘電性メモリアレイを含む、メモリデバイス。