

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成30年4月12日 (2018.4.12)

【公表番号】特表2017-511950(P2017-511950A)
 【公表日】平成29年4月27日 (2017.4.27)
 【年通号数】公開・登録公報2017-017
 【出願番号】特願2016-556945(P2016-556945)
 【国際特許分類】

G 1 1 C 11/15 (2006.01)

【F I】

G 1 1 C 11/15 1 4 0

G 1 1 C 11/15 1 9 0

【手続補正書】

【提出日】平成30年3月1日 (2018.3.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路であって、

メモリセルと、

直列の 2 つの p チャンネルトランジスタと直列の 2 つの n チャンネルトランジスタとを含む感知増幅器であって、前記 2 つの p チャンネルトランジスタと前記 2 つの n チャンネルトランジスタとがクロス結合構成に配置される、前記感知増幅器と、

前記メモリセルと、前記 2 つの p チャンネルトランジスタの一方と前記 2 つの n チャンネルトランジスタの一方との第 1 の共通ドレイン端子との間に結合される第 1 のスイッチングトランジスタと、

前記第 1 の共通ドレイン端子に結合される入力端子と前記メモリセルに結合される出力端子とを有する第 1 のインバータと、

を含む、回路。

【請求項 2】

請求項 1 に記載の回路であって、

前記メモリセルが 1 トランジスタ 1 キャパシタ (1 T 1 C) メモリセルである、回路。

【請求項 3】

請求項 1 に記載の回路であって、

前記メモリセルが 2 トランジスタ 2 キャパシタ (2 T 2 C) メモリセルである、回路。

【請求項 4】

請求項 1 に記載の回路であって、

前記 2 つの p チャンネルトランジスタの他方と前記 2 つの n チャンネルトランジスタの他方との第 2 の共通ドレイン端子に結合される第 2 のスイッチングトランジスタと、

前記第 2 の共通ドレイン端子に結合される入力端子と前記第 2 のスイッチングトランジスタに結合される出力端子とを有する第 2 のインバータと、

を更に含む、回路。

【請求項 5】

請求項 1 に記載の回路であって、

前記メモリセルと前記感知増幅器との間に結合されるビットラインと、

前記メモリセルに結合されるワードラインと、
を更に含む、回路。

【請求項 6】

請求項 1 に記載の回路であって、
前記メモリセルが強誘電性メモリセルである、回路。

【請求項 7】

請求項 1 に記載の回路であって、
前記メモリセルが、スタティックランダムアクセスメモリ (SRAM) セルと磁気ランダムアクセスメモリ (MRAM) と抵抗性ランダムアクセスメモリ (RRAM) セルとのうちの 1 つである、回路。

【請求項 8】

システムであって、
プロセッサ回路と、
前記プロセッサ回路に結合される入力デバイスと、
前記プロセッサ回路に結合される出力デバイスと、
回路であって、
メモリセルと、
直列の 2 つの p チャネルトランジスタと直列の 2 つの n チャネルトランジスタとを含み、
前記 2 つの p チャネルトランジスタと前記 2 つの n チャネルトランジスタとがクロス結合構成に配置される、感知増幅器と、
前記メモリセルと、前記 2 つの p チャネルトランジスタの一方と前記 2 つの n チャネルトランジスタの一方との第 1 の共通ドレイン端子との間に結合されるスイッチングトランジスタと、
前記第 1 の共通ドレイン端子に結合される入力端子と前記メモリセルに結合される出力端子とを有するインバータと、
を含む、前記回路と、
を含む、システム。

【請求項 9】

請求項 8 に記載のシステムであって、
前記メモリセルが 1 トランジスタ 1 キャパシタ (1T1C) メモリセルである、システム。

【請求項 10】

請求項 8 に記載のシステムであって、
前記メモリセルが 2 トランジスタ 2 キャパシタ (2T2C) メモリセルである、システム。

【請求項 11】

請求項 8 に記載のシステムであって、
前記メモリセルが強誘電性メモリセルである、システム。

【請求項 12】

メモリデバイスであって、
第 1 のビット線に結合される第 1 のメモリセルと第 2 のビット線に結合される第 2 のメモリセルとを含むメモリアレイと、
感知増幅器であって、
第 1 の導電型の第 1 及び第 2 のトランジスタと、
前記第 1 及び第 2 のトランジスタとクロス結合構成に配置される第 2 の導電型の第 3 及び第 4 のトランジスタと、
前記第 1 及び第 3 のトランジスタの第 1 の共通ドレイン端子に結合される入力と前記第 1 のビット線に結合される出力とを有する第 1 のインバータと、
前記第 2 及び第 4 のトランジスタの第 2 の共通ドレイン端子に結合される入力と前記第 2 のビット線に結合される出力とを有する第 2 のインバータと、

を含む、前記感知増幅器と、
を含む、メモリデバイス。

【請求項 13】

請求項 12 に記載のメモリデバイスであって、
前記第 1 のビット線と前記第 1 の共通ドレイン端子との間に結合される第 1 のスイッチングトランジスタと、
前記第 2 のビット線と前記第 2 の共通ドレイン端子との間に結合される第 2 のスイッチングトランジスタと、
を更に含む、メモリデバイス。

【請求項 14】

請求項 12 に記載のメモリデバイスであって、
前記第 1 のインバータが第 1 の制御信号線と第 2 の制御信号線との間に直列に結合される第 5 及び第 6 のトランジスタを含み、前記第 2 のインバータが前記第 1 の制御信号線と前記第 2 の制御信号線との間に直列に結合される第 7 及び第 8 のトランジスタを含む、メモリデバイス。

【請求項 15】

請求項 14 に記載のメモリデバイスであって、
前記第 5 のトランジスタのゲート端子と前記第 6 のトランジスタのゲート端子とが前記第 1 の共通ドレイン端子に各々結合され、前記第 7 のトランジスタのゲート端子と前記第 8 のトランジスタのゲート端子とが前記第 2 の共通ドレイン端子に各々結合される、メモリデバイス。

【請求項 16】

請求項 14 に記載のメモリデバイスであって、
読み出し動作に 응답して、前記感知増幅器が、前記第 1 のビット線上の第 1 のデータ信号と前記第 2 のビット線上の第 2 のデータ信号との間の差電圧を増幅し、
前記第 1 のビット線上の前記第 1 のデータ信号を反転して前記第 2 のビット線上の前記第 2 のデータ信号を反転するために、前記差電圧の増幅の後に、前記第 1 及び第 2 のインバータが、前記第 1 の制御信号線に供給される基準電圧と、前記第 2 の制御信号線に供給される供給電圧とに 응답して活性化される、メモリデバイス。

【請求項 17】

請求項 16 に記載のメモリデバイスであって、
前記読み出し動作の完了の前に、前記反転された第 1 のデータ信号により示されるデータ状態が前記第 1 のメモリセルに書き込まれ、前記反転された第 2 のデータ信号により示されるデータ状態が前記第 2 のメモリセルに書き込まれる、メモリデバイス。

【請求項 18】

請求項 17 に記載のメモリデバイスであって、
前記メモリアレイが強誘電性メモリアレイを含む、メモリデバイス。