



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0014404
(43) 공개일자 2023년01월30일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) H04L 25/02 (2006.01)
H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 25/0266 (2013.01)
(21) 출원번호 10-2021-0095707
(22) 출원일자 2021년07월21일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호(도
곡동, 도곡렉슬아파트)
최중혁
경기도 수원시 영통구 삼성로 11, 204동 701호(신
동, 래미안 영통마크원 2단지)
(뒷면에 계속)
(74) 대리인
특허법인가산

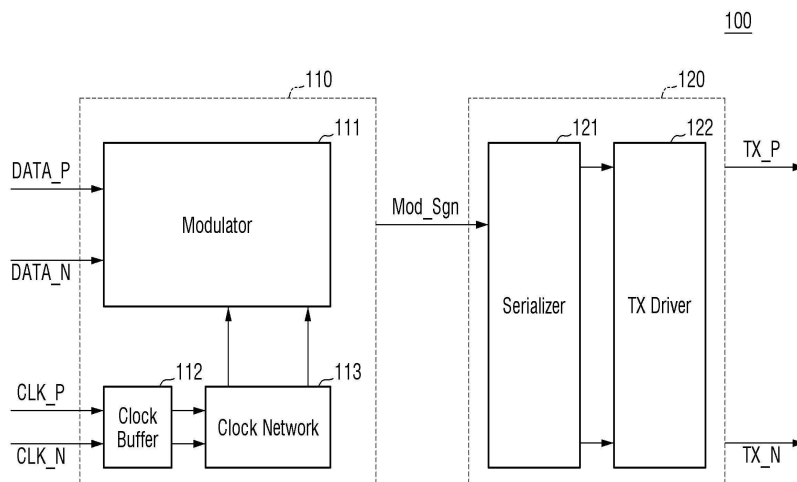
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 데이터 송수신 장치

(57) 요약

송신기 및 수신기가 제공된다. 송신기는, 클럭 신호 및 데이터 신호를 입력받고, 데이터 신호에 관한 CID(Consecutive Identical Digits)의 값을 설정하고, 데이터 신호 및 CID 값을 바탕으로 단위 구간(UI; Unit Interval) 동안의 변조 신호를 생성하는 처리부, 및 변조 신호를 입력받아, 단위 구간 동안 서로 다른 전압 레벨을 가지는 출력 신호를 출력하는 송신기 드라이버를 포함한다.

대표도 - 도2a



(52) CPC특허분류

H04L 25/03267 (2013.01)

(72) 발명자

박승우

서울특별시 성북구 보문사길 111, 104동 702호(보문동6가, 보문파크뷰자이)

조현우

경기도 수원시 영통구 덕영대로1555번길 20, 944동 1804호(영통동, 벽적골롯데아파트)

김태진

경기도 화성시 동탄문화센터로 38, 411동 2503호(반송동, 솔빛마을서해그랑블아파트)

유재석

서울특별시 마포구 월드컵북로38가길 20, 102동 902호(중동, 중동계룡아파트)

이길훈

서울특별시 종로구 송월길 99, 204동 305호(홍파동, 경희궁자이 2단지)

장영환

경기도 용인시 기흥구 삼성로 1, DSR 16층(농서동, 삼성전자(주)기흥캠퍼스)

명세서

청구범위

청구항 1

클럭 신호 및 데이터 신호를 입력받고, 상기 데이터 신호에 관한 CID(Consecutive Identical Digits)의 값을 설정하고, 상기 데이터 신호 및 상기 CID 값을 바탕으로 단위 구간(UI; Unit Interval)동안의 변조 신호를 생성하는 처리부; 및

상기 변조 신호를 입력받아, 상기 단위 구간동안 서로 다른 전압 레벨을 가지는 출력 신호를 출력하는 송신기 드라이버를 포함하는 송신기.

청구항 2

제1항에 있어서,

상기 출력 신호의 전압 레벨은 하이 레벨(High level), 미드 레벨(Mid level), 및 로우 레벨(Low level)을 포함하는 송신기.

청구항 3

제2항에 있어서,

상기 CID 값은 N (N 은 3 이상의 자연수)이고,

상기 처리부는 상기 CID가 N 번 반복될 때 상기 송신기 드라이버가 N 번째 신호를 상기 미드 레벨의 출력 신호로 출력하기 위한 상기 변조 신호를 생성하는 송신기.

청구항 4

송신기에서 설정한 CID(Consecutive Identical Digits)의 값을 바탕으로 생성된 단위 구간(UI; Unit Interval)동안 서로 다른 전압 레벨을 가지는 입력 신호를 수신 및 증폭하여 복원 전압을 출력하는 입력부; 및

상기 복원 전압을 수신하여 클럭 신호 및 데이터 신호를 복원하는 클럭-데이터 복원부(CDR; Clock-Data Recovery)를 포함하고,

상기 클럭-데이터 복원부는,

판정 레환 등화기(DFE; Decision Feedback Equalizer)와,

상기 판정 레환 등화기에 내부 동작 클럭을 제공하는 클럭 네트워크를 포함하고,

상기 판정 레환 등화기는,

상기 복원 전압에 따른 출력 전압의 진폭을 증폭시키는 증폭기와,

상기 증폭기의 출력 노드에 연결되어 상기 증폭기에 저장된 전하를 공급받고, 상기 출력 노드의 상기 출력 전압의 채널 감쇄(Channel loss)를 보상하는 가산기를 포함하는 수신기.

청구항 5

제4항에 있어서,

상기 복원 전압은, 상기 입력 신호를 바탕으로 생성된 차동 쌍 전압과, 상기 차동 쌍 신호의 공통 신호인 공통 전압을 포함하고,

상기 증폭기는 제1 캐패시터를 포함하고,

상기 제1 캐패시터의 일단은 상기 출력 노드에 연결되며, 상기 내부 동작 클럭에 따라 제1 입력 노드에 연결되어 상기 복원 전압의 차동 쌍 중 어느 하나를 입력받고,

상기 제1 캐패시터의 타단은 상기 내부 동작 클럭에 따라 제2 입력 노드에 연결되어 상기 복원 전압의 차동 쌍 중 다른 하나를 입력받거나 또는 제3 입력 노드에 연결되어 상기 공통 전압을 입력받는 수신기.

청구항 6

제5항에 있어서,

상기 내부 동작 클럭은 제1 클럭 레벨과 제2 클럭 레벨 사이를 트랜지션하고,

상기 내부 동작 클럭이 상기 제1 클럭 레벨인 것에 응답하여, 상기 제1 캐패시터의 일단은 상기 제1 입력 노드에 연결되어 상기 복원 전압의 차동 쌍 중 어느 하나를 입력받고, 상기 제1 캐패시터의 타단은 상기 제2 입력 노드에 연결되어 상기 복원 전압의 차동 쌍 중 다른 하나를 입력받아, 상기 제1 캐패시터는 상기 복원 전압에 따른 전하를 저장하고,

상기 내부 동작 클럭이 상기 제2 클럭 레벨인 것에 응답하여, 상기 제1 캐패시터의 일단은 개방되어 상기 출력 노드에만 연결되고, 상기 제1 캐패시터의 타단은 상기 제3 입력 노드에 연결되어 상기 공통 전압을 입력받아, 상기 제1 캐패시터는 상기 출력 전압의 진폭을 증폭시켜 상기 출력 노드로 출력하는 수신기.

청구항 7

제4항에 있어서,

상기 가산기는 제2 내지 제4 캐패시터를 포함하고,

상기 제2 내지 제4 캐패시터의 일단 중 어느 하나는, 상기 내부 동작 클럭에 따라 상기 증폭기의 출력 노드에 연결되고,

상기 제2 캐패시터의 타단은 상기 내부 동작 클럭에 따라 제2 보상 노드와 연결되고,

상기 제3 캐패시터의 타단은 상기 내부 동작 클럭에 따라 제3 보상 노드와 연결되고,

상기 제4 캐패시터의 타단은 상기 내부 동작 클럭에 따라 제4 보상 노드와 연결되는 수신기.

청구항 8

제7항에 있어서,

상기 내부 동작 클럭은 제1 클럭 레벨과 제2 클럭 레벨 사이를 트랜지션하고,

상기 내부 동작 클럭이 상기 제1 클럭 레벨인 것에 응답하여, 상기 제2 내지 제4 캐패시터의 일단은 모두 개방되고, 상기 제2 캐패시터의 타단은 상기 제2 보상 노드와 연결되고, 상기 제3 캐패시터의 타단은 상기 제3 보상 노드와 연결되고, 상기 제4 캐패시터의 타단은 상기 제4 보상 노드와 연결되어, 상기 제2 내지 제4 캐패시터는 각각 연결된 상기 제2 내지 제4 보상 노드의 제2 내지 제4 보상 전압에 따른 전하를 저장하고,

상기 내부 동작 클럭이 상기 제2 클럭 레벨인 것에 응답하여, 상기 제2 내지 제4 캐패시터의 일단 중 어느 하나만 상기 증폭기의 출력 노드에 연결되고, 상기 제2 내지 제4 캐패시터의 타단은 개방되어, 상기 증폭기의 출력 노드에 연결된 상기 제2 내지 제4 캐패시터 중 어느 하나는 상기 증폭기에 저장된 전하를 공급받아 상기 출력 전압을 출력하는 수신기.

청구항 9

송신기에서 설정한 CID(Consecutive Identical Digits)의 값을 바탕으로 생성된 단위 구간(UI; Unit Interval)동안 서로 다른 전압 레벨을 가지는 입력 신호를 수신 및 증폭하여 복원 전압을 출력하는 입력부; 및

상기 복원 전압을 수신하여 클럭 신호 및 데이터 신호를 복원하는 클럭-데이터 복원부(CDR; Clock-Data Recovery)를 포함하고,

상기 클럭-데이터 복원부는,

데이터 판정 궤환 등화기(Data DFE; Data Decision Feedback Equalizer)와,

엣지 판정 궤환 등화기(Edge DFE; Edge Decision Feedback Equalizer)와,

레퍼런스 샘플러(Reference sampler)와,

샘플러(Sampler)와,

위상 검출기(PD; Phase Detector)를 포함하고,

상기 샘플러는 상기 데이터 판정 회환 등화기의 출력과 상기 레퍼런스 샘플러의 출력을 비교하고, 비교값을 출력하여 상기 위상 검출기에 제공하고,

상기 엣지 판정 회환 등화기는 전압 레벨 트랜지션(transition)의 교차점을 파악하기 위한 출력 전압을 출력하여 상기 위상 검출기에 제공하고,

상기 위상 검출기는 상기 비교값 및 상기 출력 전압을 바탕으로 상기 교차점의 위치를 조절하여 위상 정보를 출력하는 수신기.

청구항 10

제9항에 있어서,

상기 위상 검출기는,

제1 오프셋 스위치와 제2 오프셋 스위치를 포함하는 오프셋 스위치를 포함하고,

상기 오프셋 스위치는 상기 출력 전압의 전압 레벨 트랜지션에 의한 상기 교차점이 정중앙에 위치하도록 상기 출력 전압을 보정하는 수신기.

발명의 설명

기술 분야

[0001] 본 발명은 데이터 송수신 장치에 관한 것이다. 구체적으로, 3-레벨 시그널링을 기반으로, 데이터 신호의 연속되는 값의 전압 레벨을 미드 레벨(Mid level)로 변조하고, 변조를 수행하여 클럭 신호를 데이터 신호에 내장하는 송신기, 및 수신한 신호에서 클럭을 복원하기 위해 신호의 전압 레벨 트랜지션(transition)에 의한 교차점의 위치를 조절하는 위상 검출기와 전하 공유 방식의 판정 회환 등화기를 포함하는 수신기를 포함하는 데이터 송수신 장치에 관한 것이다.

배경 기술

[0002] 데이터 통신을 위해서 NRZ(PAM-2) 신호법을 사용할 수 있다. 여기서, NRZ(PAM-2) 신호법은 두 가지 데이터 변조 레벨을 가지며, 송수신기의 구조를 간단하게 할 수 있다.

[0003] 그러나, NRZ(PAM-2) 신호법은 단위 구간(UI; Unit Interval) 동안 1bit의 데이터만 전송할 수 있기 때문에, 클럭 주파수를 높이는 것으로는 한계가 있고, 고속 데이터 전송 시 채널의 영향을 많이 받아 고속 송수신기 구현에 어려운 문제를 가진다.

[0004] 또한, 기존의 8B/10B 인코딩 방식의 클럭 내장법은 10개의 심볼마다 2개의 더미 심볼을 삽입하여 최소 20%의 데이터 트랜지션 밀도(data transition density)를 보장하여 데이터 신호에 클럭 신호를 내장할 수 있었으나, 2개의 더미 심볼은 데이터 정보를 가지지 않아 비트 효율(bit efficiency)이 낮아지는 문제를 가진다.

[0005] 한편, 기존의 수신기에 포함된 판정 회환 등화기(DFE; Decision Feedback Equalizer)는 전류원을 사용하였기 때문에, 고정된 전류 소모로 인한 전력 소모가 존재하여 저전력 시스템에 적용될 수 없다는 문제점이 존재한다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 몇몇 기술적 과제는, 클럭 복원이 용이하면서 신뢰성 있는 3-레벨 시그널링 통신이 가능한 송신기를 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 몇몇 기술적 과제는, 추가적인 전력 소모가 없어 저전력 시스템에 적용될 수 있는 수신기를 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 몇몇 기술적 과제는, 수신 신호에서 용이하게 클럭을 복원할 수 있는 수신기를 제공하는 것이다.

[0009] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 송신기는, 클럭 신호 및 데이터 신호를 입력받고, 데이터 신호에 관한 CID(Consecutive Identical Digits)의 값을 설정하고, 데이터 신호 및 CID 값을 바탕으로 단위 구간(UI; Unit Interval)동안의 변조 신호를 생성하는 처리부, 및 변조 신호를 입력받아, 단위 구간동안 서로 다른 전압 레벨을 가지는 출력 신호를 출력하는 송신기 드라이버를 포함한다.

[0011] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 수신기는, 송신기에서 설정한 CID(Consecutive Identical Digits)의 값을 바탕으로 생성된 단위 구간(UI; Unit Interval)동안 서로 다른 전압 레벨을 가지는 입력 신호를 수신 및 증폭하여 복원 전압을 출력하는 입력부, 및 복원 전압을 수신하여 클럭 신호 및 데이터 신호를 복원하는 클럭-데이터 복원부(CDR; Clock-Data Recovery)를 포함하고, 클럭-데이터 복원부는, 판정 궤환 등화기(DFE; Decision Feedback Equalizer)와, 판정 궤환 등화기에 내부 동작 클럭을 제공하는 클럭 네트워크를 포함하고, 판정 궤환 등화기는, 복원 전압에 따른 출력 전압의 진폭을 증폭시키는 증폭기와, 증폭기의 출력 노드에 연결되어 증폭기에 저장된 전하를 공급받고, 출력 노드의 출력 전압의 채널 감쇄(Channel loss)를 보상하는 가산기를 포함한다.

[0012] 상기 기술적 과제를 달성하기 위한 몇몇 실시예에 따른 수신기는, 송신기에서 설정한 CID(Consecutive Identical Digits)의 값을 바탕으로 생성된 단위 구간(UI; Unit Interval)동안 서로 다른 전압 레벨을 가지는 입력 신호를 수신 및 증폭하여 복원 전압을 출력하는 입력부, 및 복원 전압을 수신하여 클럭 신호 및 데이터 신호를 복원하는 클럭-데이터 복원부(CDR; Clock-Data Recovery)를 포함하고, 클럭-데이터 복원부는, 데이터 판정 궤환 등화기(Data DFE; Data Decision Feedback Equalizer)와, 엣지 판정 궤환 등화기(Edge DFE; Edge Decision Feedback Equalizer)와, 레퍼런스 샘플러(Reference sampler)와, 샘플러(Sampler)와, 위상 검출기(PD; Phase Detector)를 포함하고, 샘플러는 데이터 판정 궤환 등화기의 출력과 레퍼런스 샘플러의 출력을 비교하고, 비교값을 출력하여 위상 검출기에 제공하고, 엣지 판정 궤환 등화기는 전압 레벨 트랜지션(transition)의 교차점을 파악하기 위한 출력 전압을 출력하여 위상 검출기에 제공하고, 위상 검출기는 비교값 및 출력 전압을 바탕으로 교차점의 위치를 조절하여 위상 정보를 출력한다.

[0013] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0014] 도 1은 몇몇 실시예에 따른 데이터 송수신 시스템에 관한 개념적인 블록도이다.

도 2a 및 도 2b는 도 1의 몇몇 실시예에 따른 송신기에 관한 개념적인 블록도이다.

도 3은 일 실시예에 따른 송신기 드라이버의 구조에 관한 예시적인 회로도이다.

도 4는 일 실시예에 따른 송신기의 CID 값에 따른 데이터 신호 변조 방법에 관한 도면이다.

도 5는 다른 일 실시예에 따른 송신기의 CID 값에 따른 데이터 신호 변조 방법에 관한 도면이다.

도 6은 일 실시예에 따른 데이터 신호 변조를 위한 도 3의 송신기 드라이버 및 변조 신호에 관한 진리표이다.

도 7은 다른 일 실시예에 따른 송신기 드라이버의 구조에 관한 예시적인 회로도이다.

도 8은 다른 일 실시예에 따른 데이터 신호 변조를 위한 도 7의 송신기 드라이버 및 변조 신호에 관한 진리표이다.

도 9는 도 1의 몇몇 실시예에 따른 수신기에 관한 개념적인 블록도이다.

도 10은 몇몇 실시예에 따른 클럭-데이터 복원부에 관한 개념적인 블록도이다.

도 11은 일 실시예에 따른 위상 검출기의 구조에 관한 예시적인 회로도이다.

도 12는 판정 궤환 등화기 내부의 증폭기의 구조에 관한 예시적인 회로도이다.

도 13은 판정 제한 등화기 내부의 가산기의 구조에 관한 예시적인 회로도이다.

도 14는 증폭기의 출력 전압 증폭 원리를 설명하기 위한 도면이다.

도 15는 증폭기 및 가산기의 샘플링 동작을 설명하기 위한 예시적인 회로도이다.

도 16은 증폭기 및 가산기의 증폭 및 보상 동작을 설명하기 위한 예시적인 회로도이다.

도 17은 일 실시예에 따른 샘플러의 기준 전압과 출력 전압의 비교 방법에 관한 도면이다.

도 18은 다른 일 실시예에 따른 샘플러의 기준 전압과 출력 전압의 비교 방법에 관한 도면이다.

도 19는 디모듈레이터가 샘플러의 비교값을 이용하여 데이터 신호를 복조하는 방법을 설명하기 위한 예시적인 표이다.

도 20은 도 11의 위상 검출기의 동작 방법을 설명하기 위한 예시적인 흐름도이다.

도 21 내지 도 24는 도 11의 위상 검출기의 동작 방법을 설명하기 위한 예시적인 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부된 도면을 참조하여 본 발명의 기술적 사상에 따른 실시예들에 대해 설명한다.
- [0016] 도 1은 몇몇 실시예에 따른 데이터 송수신 시스템에 관한 개념적인 블록도이고, 도 2a 및 도 2b는 도 1의 몇몇 실시예에 따른 송신기에 관한 개념적인 블록도이며, 도 9는 도 1의 몇몇 실시예에 따른 수신기에 관한 개념적인 블록도이다.
- [0017] 도 1을 참조하면, 데이터 송수신 시스템(1)은 송신기(100)와 수신기(200)를 포함할 수 있다. 송신기(100)는 출력 신호(TX_P, TX_N)를 수신기(200)로 전송할 수 있다. 몇몇 실시예에서, 이러한 출력 신호(TX_P, TX_N)는 차동 신호 쌍의 형태로 수신기(200)에 전송될 수 있다. 또한, 다른 몇몇 실시예에서, 이러한 출력 신호(TX_P, TX_N)는 도시된 것과 달리 단일 신호의 형태로 수신기(200)에 전송될 수도 있다. 출력 신호(TX_P, TX_N)는 임의의 채널(channel)을 통해 수신기(200)로 전송될 수 있다.
- [0018] 도 2를 참조하면, 송신기(100)는 처리부(110), 출력부(120)를 포함할 수 있다. 처리부(110)는 모듈레이터(Modulator)(111), 클럭 버퍼(Clock Buffer)(112), 및 클럭 네트워크(Clock Network)(113)를 포함할 수 있고, 출력부(120)는 시리얼라이저(Serializer)(121), 및 송신기 드라이버(TX Driver)(122)를 포함할 수 있다.
- [0019] 클럭 버퍼(112)는 외부로부터 클럭 신호(CLK_P, CLK_N)를 입력받을 수 있다. 클럭 버퍼(112)는 클럭 신호(CLK_P, CLK_N)의 전송 및 입력 과정에서 생긴 노이즈를 제거하고 클럭 신호(CLK_P, CLK_N)의 크기를 증폭시킨 후 클럭 네트워크(113)에게 제공할 수 있다.
- [0020] 클럭 네트워크(113)는 클럭 버퍼(112)로부터 제공받은 클럭 신호가 동일한 위상을 갖도록 동기화시킬 수 있다. 클럭 네트워크(113)는 동기화시킨 클럭 신호를 처리부(110)내의 클럭 신호를 필요로 하는 구성으로(예를 들어, 모듈레이터(111)) 전송할 수 있다.
- [0021] 모듈레이터(111)는 외부에서 데이터 신호(DATA_P, DATA_N)를 입력받을 수 있다. 모듈레이터(111)는 클럭 네트워크(113)로부터 클럭 신호를 입력받을 수 있다. 모듈레이터(111)는 입력받은 데이터 신호(DATA_P, DATA_N) 및 클럭 신호(CLK_P, CLK_N)를 이용하여 변조 신호(Mod_Sgn)를 생성할 수 있다. 또한 모듈레이터(111)는 변조 신호(Mod_Sgn)를 생성하는 과정에서 동일한 데이터 신호가 반복되는 횟수인 CID(Consecutive Identical Digits)값을 설정할 수 있다. 모듈레이터(111)는 변조 신호(Mod_Sgn)를 시리얼라이저(121)로 전송할 수 있다.
- [0022] 시리얼라이저(121)는 송신기(100) 내부의 고속 전송 설계를 위해 존재할 수 있다. 몇몇 실시예에서, 송신기(100)는 모듈레이터(111)가 충분히 데이터의 고속 전송을 수행할 수 있는 경우 시리얼라이저(121)를 포함하지 않을 수 있고, 이 경우 변조 신호(Mod_Sgn)는 모듈레이터(111)로부터 송신기 드라이버(122)로 직접 전송될 수 있다.
- [0023] 송신기 드라이버(122)는 내부 구조에 따라 변조 신호(Mod_Sgn) 및 모듈레이터(111)에서 설정한 CID 값을 이용하여 서로 다른 전압 레벨을 갖는 출력 신호(TX_P, TX_N)를 차동 신호(differential) 쌍의 형태로 출력할 수 있다.
- [0024] 하지만 실시예가 이에 제한되는 것은 아니며, 도 2b에 도시된 것과 같이, 송신기 드라이버(122)는 내부 구조에

따라 변조 신호(Mod_Sgn) 및 모듈레이터(111)에서 설정한 CID 값을 이용하여 서로 다른 전압 레벨을 갖는 출력 신호(TX_Sgn)를 단일 신호(single-ended)의 형태로 출력할 수도 있다.

- [0025] 도 3은 일 실시예에 따른 송신기 드라이버의 구조에 관한 예시적인 회로도이다.
- [0026] 도 3을 참조하면, 송신기 드라이버(122)는 제1 출력단(123), 제2 출력단(124), 제1 트랜지스터(MN1), 및 제2 트랜지스터(MN2)를 포함할 수 있다.
- [0027] 제1 출력단(123)은 제1 노드(N1)와 연결될 수 있고, 제2 출력단(124)은 제2 노드(N2)와 연결될 수 있다.
- [0028] 제1 트랜지스터(MN1)는 제2 변조 신호(D_N)에 의해 게이팅될 수 있고, 제2 트랜지스터(MN2)는 제1 변조 신호(D_P)에 의해 게이팅될 수 있다.
- [0029] 제1 노드(N1)에는 구동 전압(VDD)에서, 제2 변조 신호(D_N)에 따라서 제1 트랜지스터(MN1)에 흐르는 전류에 의한 전압 강하가 발생한 전압이 인가될 수 있고, 제2 노드(N2)에는 구동 전압(VDD)에서, 제1 변조 신호(D_P)에 따라서 제2 트랜지스터(MN2)에 흐르는 전류에 의한 전압 강하가 발생한 전압이 인가될 수 있다.
- [0030] 도 4는 일 실시예에 따른 송신기의 CID 값에 따른 데이터 신호 변조 방법에 관한 도면이다.
- [0031] 도 4를 참조하면, 출력 신호의 전압 레벨은 하이 레벨(High level), 미드 레벨(Mid level), 로우 레벨(Low level)을 포함할 수 있다. CID 값이 3인 경우, 모듈레이터(111)는 동일한 데이터 신호가 3번 반복될 경우, 마지막의 3번째 데이터 신호를 송신기 드라이버(122)가 미드 레벨(Mid level)의 출력 신호를 생성하도록 하는 변조 신호(Mod_Sgn)를 생성할 수 있다. 변조 신호(Mod_Sgn)를 수신한 송신기 드라이버(122)는 수신한 변조 신호(Mod_Sgn)에 대응하여 미드 레벨(Mid level)의 출력 신호를 출력할 수 있다.
- [0032] 도 5는 다른 일 실시예에 따른 송신기의 CID 값에 따른 데이터 신호 변조 방법에 관한 도면이다.
- [0033] 도 4와 달리, 모듈레이터(111)는 CID 값을 4로 설정할 수 있다. 이에 따라, 모듈레이터(111)는 동일한 데이터 신호가 4번 반복될 경우, 마지막 4번째 데이터 신호를 송신기 드라이버(122)가 미드 레벨(Mid level)의 출력 신호를 생성하도록 하는 변조 신호(Mod_Sgn)를 생성할 수 있다.
- [0034] 이처럼 모듈레이터에서 CID 값을 설정하고, CID 값 및 변조 신호를 이용하여 송신기 드라이버에서 미드 레벨(Mid level)의 출력 신호를 출력함으로써, 데이터 트랜지션 밀도(Data Transition Density)를 채널이나 수신기의 성능에 따라 임의로 조절할 수 있고, 미드 레벨(Mid level)의 출력 신호에 대응하는 데이터 신호를 정확히 알 수 있으므로 신뢰성 있는 3-레벨 시그널링 통신이 가능할 수 있다.
- [0035] 도 6은 일 실시예에 따른 데이터 신호 변조를 위한 도 3의 송신기 드라이버 및 변조 신호에 관한 진리표이다.
- [0036] 도 3 및 도 6을 참조하면, 변조 신호(Mod_Sgn)는 제1 변조 신호(D_P) 및 제2 변조 신호(D_N)를 포함할 수 있다. 변조 신호(Mod_Sgn)는 온(ON) 또는 오프(OFF)의 값을 가질 수 있다.
- [0037] 제1 변조 신호(D_P)의 값이 오프(OFF)이고 제2 변조 신호(D_N)의 값이 온(ON)인 경우, 제1 트랜지스터(MN1)에는 전류가 흘러 전압 강하가 발생하므로 제1 노드(N1)의 전압은 로우 레벨(Low level)을 가질 수 있다. 제2 트랜지스터(MN2)에는 전류가 흐르지 않아 전압 강하가 발생하지 않으므로 제2 노드(N2)의 전압은 하이 레벨(High level)을 가질 수 있다. 따라서 제1 출력단(123)은 로우 레벨(Low level)의 출력 신호를 출력하고 제2 출력단(124)은 하이 레벨(High level)의 출력 신호를 출력할 수 있다.
- [0038] 제1 변조 신호(D_P)의 값이 온(ON)이고 제2 변조 신호(D_N)의 값이 오프(OFF)인 경우, 제1 트랜지스터(MN1)에는 전류가 흐르지 않아 전압 강하가 발생하지 않으므로 제1 노드(N1)의 전압은 하이 레벨(High level)을 가질 수 있다. 제2 트랜지스터(MN2)에는 전류가 흘러 전압 강하가 발생하므로 제2 노드(N2)의 전압은 로우 레벨(Low level)을 가질 수 있다. 따라서 제1 출력단(123)은 하이 레벨(High level)의 출력 신호를 출력하고 제2 출력단(124)은 로우 레벨(Low level)의 출력 신호를 출력할 수 있다.
- [0039] 제1 변조 신호(D_P)의 값이 온(ON)이고 제2 변조 신호(D_N)의 값도 온(ON)인 경우, 제1 트랜지스터(MN1) 및 제2 트랜지스터(MN2)에는 어느 하나의 트랜지스터에만 전류가 흐를 때의 크기보다 작은, 동일한 크기의 전류가 흘러 전압 강하가 발생하므로, 제1 노드(N1)의 전압 및 제2 노드(N2)의 전압은 모두 미드 레벨(Mid level)을 가질 수 있다. 따라서 제1 출력단(123) 및 제2 출력단(124)은 모두 미드 레벨(Mid level)의 출력 신호를 출력할 수

있다.

- [0040] 그러나, 본 발명이 이에 제한되는 것은 아니며, 송신기 드라이버(122)가 제1 출력단(123) 또는 제2 출력단(124) 중 어느 하나만을 포함하는 등의 변형을 통해, 단일 신호의 형태로 출력 신호를 출력하도록 실시될 수 있다.
- [0041] 도 7은 다른 일 실시예에 따른 송신기 드라이버의 구조에 관한 예시적인 회로도이다.
- [0042] 도 7을 참조하면, 송신기 드라이버(122)는 제1 출력단(123) 및 제2 출력단(124), 제3 트랜지스터(MN3), 제4 트랜지스터(MN4), 제5 트랜지스터(MN5), 제6 트랜지스터(MN6), 제7 트랜지스터(MN7), 제8 트랜지스터(MN8)를 포함할 수 있다.
- [0043] 제1 출력단(123)은 제3 노드(N3)와 연결될 수 있고, 제2 출력단(124)은 제4 노드(N4)와 연결될 수 있다.
- [0044] 제3 트랜지스터(MN3) 및 제7 트랜지스터(MN7)는 제3 변조 신호(IN_H)에 의해 게이팅될 수 있고, 제4 트랜지스터(MN4) 및 제6 트랜지스터(MN6)는 제4 변조 신호(IN_L)에 의해 게이팅될 수 있고, 제5 트랜지스터(MN5) 및 제8 트랜지스터(MN8)는 제5 변조 신호(IN_M)에 의해 게이팅될 수 있다.
- [0045] 도 8은 다른 일 실시예에 따른 데이터 신호 변조를 위한 도 7의 송신기 드라이버 및 변조 신호에 관한 진리표이다.
- [0046] 도 7 및 도 8을 참조하면, 변조 신호(Mod_Sgn)는 제3 변조 신호(IN_H), 제4 변조 신호(IN_L), 및 제5 변조 신호(IN_M)를 포함할 수 있다. 변조 신호(Mod_Sgn)는 온(ON) 또는 오프(OFF)의 값을 가질 수 있다.
- [0047] 제3 변조 신호(IN_H)의 값이 오프(OFF)이고 제4 변조 신호(IN_L)의 값이 오프(OFF)이고 제5 변조 신호(IN_M)의 값이 온(ON)인 경우, 제3 노드(N3)는 제5 트랜지스터(MN5)를 통해 제1 구동 전압(VDDQ)의 절반의 크기를 갖는 제2 구동 전압(VDDQ/2)을 입력받아 미드 레벨(Mid level)을 가질 수 있다. 제4 노드(N4)는 제8 트랜지스터(MN8)를 통해 제1 구동 전압(VDDQ)의 절반의 크기를 갖는 제2 구동 전압(VDDQ/2)을 입력받아 미드 레벨(Mid level)을 가질 수 있다. 따라서, 제1 출력단(123) 및 제2 출력단(124)은 모두 미드 레벨(Mid level)의 출력 신호를 출력할 수 있다.
- [0048] 제3 변조 신호(IN_H)의 값이 오프(OFF)이고 제4 변조 신호(IN_L)의 값이 온(ON)이고 제5 변조 신호(IN_M)의 값이 오프(OFF)인 경우, 제3 노드(N3)는 제6 트랜지스터(MN6)를 통해 제1 접지 노드(G1)에 연결되어 로우 레벨(Low level)을 가질 수 있다. 제4 노드(N4)는 제4 트랜지스터(MN4)를 통해 제1 구동 전압(VDDQ)을 입력받아 하이 레벨(High level)을 가질 수 있다. 따라서, 제1 출력단(123)은 로우 레벨(Low level)의 출력 신호를 출력하고, 제2 출력단(124)은 하이 레벨(High level)의 출력 신호를 출력할 수 있다.
- [0049] 제3 변조 신호(IN_H)의 값이 온(ON)이고 제4 변조 신호(IN_L)의 값이 오프(OFF)이고 제5 변조 신호(IN_M)의 값이 오프(OFF)인 경우, 제3 노드(N3)는 제3 트랜지스터(MN3)를 통해 제1 구동 전압(VDDQ)을 입력받아 하이 레벨(High level)을 가질 수 있다. 제4 노드(N4)는 제7 트랜지스터(MN7)를 통해 제2 접지 노드(G2)에 연결되어 로우 레벨(Low level)을 가질 수 있다. 따라서, 제1 출력단(123)은 하이 레벨(High level)의 출력 신호를 출력하고, 제2 출력단(124)은 로우 레벨(Low level)의 출력 신호를 출력할 수 있다.
- [0050] 그러나, 본 발명이 이에 제한되는 것은 아니며, 송신기 드라이버(122)가 제1 출력단(123) 또는 제2 출력단(124) 중 어느 하나만을 포함하는 등의 변형을 통해, 단일 신호의 형태로 출력 신호를 출력하도록 실시될 수 있다.
- [0051] 도 9는 도 1의 몇몇 실시예에 따른 수신기에 관한 개념적인 블록도이고, 도 10은 몇몇 실시예에 따른 클럭-데이터 복원부에 관한 개념적인 블록도이며, 도 11은 일 실시예에 따른 위상 검출기의 구조에 관한 예시적인 회로도이다.
- [0052] 먼저 도 9를 참조하면, 수신기(200)는 입력부(210), 클럭-데이터 복원부(CDR; Clock-Data Recovery)(220) 및 디모듈레이터(Demodulator)(230)를 포함할 수 있다. 입력부(200)는 CTLE(Continuous Time Linear Equalizer)(211), AMP(Amplifier)(212), 및 아날로그 버퍼(Analog Buffer)(213)를 포함할 수 있다. 클럭-데이터 복원부(220)는 레퍼런스 샘플러(Reference Sampler)(221), 판정 궤환 등화기(DFE; Decision Feedback Equalizer)(222), 샘플러(Sampler)(223), 위상 검출기(PD; Phase Detector)(224), 및 클럭 네트워크(Clock Network)(225)를 포함할 수 있다.
- [0053] CTLE(211)는 송신기에서의 출력 신호(RX_P, RX_N)를 수신하고, 수신한 출력 신호(RX_P, RX_N)의 채널을 통한 전

송 과정에서 발생한 심볼간 간섭(ISI; Inter-Symbol Interference) 등의 노이즈 성분을 제거하고, 고주파 성분을 증폭시킨 후 AMP(212)에게 제공할 수 있다.

[0054] 도 9에서 송신기에서의 출력 신호(RX_P, RX_N)가 차동 쌍의 형태로 도시되었으나, 도 2b와 같이 송신기에서 출력 신호가 단일 신호의 형태로 출력되는 경우, CTLE(211)는 단일 신호 형태의 출력 신호를 수신할 수도 있다.

[0055] AMP(212)는 제공받은 신호의 크기를 증폭시켜 아날로그 버퍼(213)에게 제공할 수 있다.

[0056] 아날로그 버퍼(213)는 예를 들어, 이득이 1인 버퍼로 구성될 수 있으며, 증폭된 신호를 판정 레환 등화기(222)에 차동 쌍 전압과 차동 쌍 신호의 공통 신호인 공통 전압을 복원 전압(V_{IN_P} , V_{IN_N} , V_{IN_CM})으로 제공할 수 있다. 몇몇 실시예에서, 아날로그 버퍼(213)는 판정 레환 등화기(222) 내부 구성에 따라 2개 이상으로 구성될 수 있다.

[0057] 판정 레환 등화기(222)는 복원 전압에 따른 출력 전압의 진폭을 증폭시키는 증폭기와, 증폭기에 저장된 전하를 공급받는 가산기를 포함할 수 있다. 판정 레환 등화기는 아날로그 버퍼(213)로부터 복원 전압(V_{IN_P} , V_{IN_N} , V_{IN_CM})을 입력받아 출력 전압(V_{OUT_P} , V_{OUT_N})을 출력하여 샘플러(223) 및 위상 검출기(224)에게 제공할 수 있다. 판정 레환 등화기(222)는 송신기에서 출력한 출력 신호(RX_P, RX_N)의 채널을 통한 전송 과정에서 발생한 채널 감쇄(Channel loss)에 대한 보상을 수행하여 출력 전압(V_{OUT_P} , V_{OUT_N})을 출력할 수 있다.

[0058] 레퍼런스 샘플러(221)는 샘플러(223)가 판정 레환 등화기(222)로부터 출력된 출력 전압(V_{OUT_P} , V_{OUT_N})과의 크기를 비교하기 위한 기준 전압(Ref_P, Ref_N)을 샘플러(223)에게 제공할 수 있다. 레퍼런스 샘플러(221)는 기준 전압(Ref_P, Ref_N)을 출력하기 위해 외부로부터 전원을 공급받을 수 있다.

[0059] 샘플러(223)는 출력 전압(V_{OUT_P} , V_{OUT_N})과 기준 전압(Ref_P, Ref_N)을 비교하여 비교값(Comp_P, Comp_N)을 출력할 수 있다. 비교값(Comp_P, Comp_N)은 판정 레환 등화기(222), 위상 검출기(224), 및 디모듈레이터(230)에 제공될 수 있다.

[0060] 위상 검출기(224)는 판정 레환 등화기(222)로부터의 출력 전압(V_{OUT_P} , V_{OUT_N}) 및 샘플러(223)로부터의 비교값(Comp_P, Comp_N)을 바탕으로 위상 정보(PI)를 출력할 수 있다. 위상 검출기(224)는 위상 정보(PI)를 클럭 네트워크(225)에게 제공할 수 있다.

[0061] 클럭 네트워크(225)는 위상 검출기(224)로부터 위상 정보(PI)를 입력받을 수 있다. 클럭 네트워크(225)는 위상 정보(PI)를 바탕으로 주파수가 조정된 새로운 내부 동작 클럭(CK)을 생성하는 전압 제어 발진기(VCO; Voltage Controlled Oscillator)를 포함할 수 있다. 클럭 네트워크(225)는 생성된 내부 동작 클럭(CK)을 판정 레환 등화기(222), 및 샘플러(223)에게 제공할 수 있다.

[0062] 도 10 및 도 11을 참조하여 위상 검출기(224)를 구체적으로 살펴보면, 판정 레환 등화기(222)는 데이터 판정 레환 등화기(Data DFE; Data Decision Feedback Equalizer)(226) 및 엣지 판정 레환 등화기(Edge DFE; Edge Decision Feedback Equalizer)(227)를 포함할 수 있다. 이에 대응하여 아날로그 버퍼(213)은 2개로 구성될 수 있고 각각 데이터 판정 레환 등화기(226) 및 엣지 판정 레환 등화기(227)에게 복원 전압(V_{IN_P} , V_{IN_N} , V_{IN_CM})을 제공할 수 있다.

[0063] 데이터 판정 레환 등화기(226)는 송신기로부터 수신한 출력 신호(RX_P, RX_N)의 전압 레벨을 결정하기 위해 샘플러(223)에게 출력 전압(V_{OUT_P} , V_{OUT_N})을 제공할 수 있다.

[0064] 엣지 판정 레환 등화기(227)는 출력 신호(RX_P, RX_N)의 전압 레벨 트랜지션(transition)에 의한 교차점의 위치를 파악하기 위한 출력 전압(Edge_P, Edge_N)을 출력하여 위상 검출기(224)에게 제공할 수 있다.

[0065] 도 11을 참조하면, 위상 검출기(224)는 전압 레벨 트랜지션에 따라 생성된 교차점의 위치를 조절할 수 있다. 구체적으로, 위상 검출기(224)는 제1 오프셋 스위치(228)와 제2 오프셋 스위치(229)를 포함하는 오프셋 스위치를 포함하고, 오프셋 스위치는 출력 전압의 전압 레벨 트랜지션(transition)에 의한 교차점이 정중앙에 위치하도록 출력 전압(Edge_P, Edge_N)을 보정할 수 있다. 구체적인 동작은 후술한다.

[0066] 도 12는 판정 레환 등화기 내부의 증폭기의 구조에 관한 예시적인 회로도이다.

[0067] 도 12를 참조하면, 증폭기는 제1 캐패시터(CAP1)를 포함할 수 있다. 제1 캐패시터(CAP1)의 일단은 출력 노드

(ON)에 연결될 수 있다. 또한, 제1 캐패시터(CAP1)의 일단은 내부 동작 클럭 레벨에 따라 제1 입력 노드(IN1)에 연결되어 복원 전압의 차동 쌍 중 어느 하나(VIN_P)를 입력받을 수 있다. 제1 캐패시터(CAP1)의 타단은 내부 동작 클럭 레벨에 따라 제2 입력 노드(IN2)에 연결되어 복원 전압의 차동 쌍 중 다른 하나(VIN_N)를 입력받거나 또는 내부 동작 클럭에 따라 제3 입력 노드(IN3)에 연결되어 공통 전압(V_{CM})을 입력받을 수 있다. 여기서, 내부 동작 클럭은 제1 클럭 레벨(CK)과 제2 클럭 레벨(CKB) 사이를 트랜지션(transition)할 수 있다.

[0068] 도 13은 판정 레환 등화기 내부의 가산기의 구조에 관한 예시적인 회로도이다.

[0069] 도 13을 참조하면, 가산기는 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)를 포함할 수 있다. 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)의 일단 중 어느 하나는 내부 동작 클럭 레벨에 따라 출력 노드(ON)에 연결될 수 있다. 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)의 타단은 내부 동작 클럭 레벨에 따라 각각 제2 내지 제4 보상 노드(EN2, EN3, EN4)에 연결되어 각 노드의 전압을 입력받을 수 있다. 여기서, 제2 및 제4 보상 전압(VEQ_P, VEQ_N)은 송신기에서 수신기로 신호를 전송하는 과정에서의 채널의 길이, 전송 속도 등에 의해 결정되는 값을 가질 수 있고, 임의의 전원을 통해 공급되는 전압일 수 있다. 또한, 내부 동작 클럭은 제1 클럭 레벨(CK)과 제2 클럭 레벨(CKB) 사이를 트랜지션할 수 있다.

[0070] 도 12 및 도 13을 참조하면, 도 12에서 가산기는 제1 입력 노드(IN1)와 제2 입력 노드(IN2)에서 반대되는 차동 쌍의 복원 전압을 입력받는 증폭기를 하나 더 포함할 수 있고, 위 증폭기에 연결되는 가산기를 하나 더 포함할 수 있다. 즉, 가산기의 제1 및 제2 입력노드(IN1, IN2)에서 항상 서로 반대되는 차동 쌍의 복원 전압을 입력받는 두 쌍의 증폭기 및 각각에 연결되는 두 쌍의 가산기를 포함할 수 있고, 이에 따라 출력 노드(ON)에서의 출력 전압(V_{OUT_P}, V_{OUT_N})을 차동 쌍의 형태로 출력할 수 있다.

[0071] 도 14는 증폭기의 출력 전압 증폭 원리를 설명하기 위한 도면이다.

[0072] 도 14의 (a)를 참조하면, 임의의 캐패시터의 일단에는 제1 전압(V_{CM}+V_P), 타단에는 제2 전압(V_{CM}-V_P)이 입력된다. 이 때, 제1 전압은 도 12에서 복원 전압의 차동 쌍 중 어느 하나(VIN_P)에 대응될 수 있고, 제2 전압은 도 12에서 복원 전압의 차동 쌍 중 다른 하나(VIN_N)에 대응될 수 있다. V_{CM}은 공통 전압일 수 있고, V_P는 스윙 전압 진폭일 수 있다.

[0073] 도 14의 (b)를 참조하면, 임의의 캐패시터의 타단에 공통 전압(V_{CM})이 입력되는 경우, 캐패시터의 전하 보존 성질에 의해서 캐패시터의 일단에 입력되는 제1 전압은 스윙 전압의 진폭이 2배가 될 수 있다.

[0074] 다시 도 13을 참조하면, 내부 동작 클럭이 제1 클럭 레벨(CK)인 경우, 제3 축전기(CAP3)에 저장된 전하량(Q_S) 및 제2 및 제4 축전기(CAP2, CAP3, CAP4)에 저장된 전하량(Q_{EQ}), 및 출력 전압(V_{OUT})의 크기는 아래 수학식 1 내지 3과 같다.

수학식 1

[0075]
$$Q_S = C_S \times VIN = C_S \times (V_{CM} \pm V_P)$$

수학식 2

[0076]
$$Q_{EQ} = C_{EQ} \times VEQ_{P,N} = C_{EQ} \times (V_{CM} \pm V_{EQ})$$

수학식 3

[0077]
$$V_{OUT} = VIN = V_{CM} \pm V_P$$

[0078] 여기서, 이퀄라이저 전압(V_{EQ})은 송신기에서 수신기로 신호를 전송하는 과정에서의 채널의 길이, 전송 속도 등에

의해 결정되는 값일 수 있다.

[0079] 도 13에서 내부 동작 클럭이 제2 클럭 레벨(CKB)인 경우, 제2 캐패시터(CAP2) 및 제4 캐패시터(CAP4) 중 어느 하나만이 제3 캐패시터(CAP3)에 연결될 수 있다. 따라서, 제3 캐패시터(CAP3)와 이와 연결된 제2 캐패시터(CAP2) 및 제4 캐패시터(CAP4) 중 어느 하나의 전하량의 합(Q_{SUM}) 및 출력 전압($V_{OUT'}$)의 크기는 아래 수학식 4 및 수학식 5와 같다.

수학식 4

[0080]
$$Q_{SUM} = Q_S + Q_{EQ} = (C_S \pm C_{EQ}) \times V_{OUT'}$$

수학식 5

[0081]
$$V_{OUT'} = \frac{C_S \times (V_{CM} \pm V_P) + C_{EQ} \times (V_{CM} \pm V_{EQ})}{C_S + C_{EQ}} = V_{CM} + \frac{C_S \times V_P \pm C_{EQ} \times V_{EQ}}{C_S + C_{EQ}}$$

[0082] 이 때, 제2 캐패시터(CAP2) 및 제4 캐패시터(CAP4)의 캐패시턴스(Capacitance)값과 제3 캐패시터(CAP3)의 캐패시턴스값이 동일한 경우, 출력 전압($V_{OUT'}$)의 크기는 아래 수학식 6과 같다.

수학식 6

[0083]
$$V_{OUT'} = V_{CM} + \frac{V_P \pm V_{EQ}}{2}$$

[0084] 따라서, 증폭기의 이득(gain)이 2배가 되고, 가산기의 이득이 0.5배가 되므로 판정 계환 등화기의 이득은 1배를 가지게 되어, 신호의 크기를 유지할 수 있다.

[0085] 도 15는 증폭기 및 가산기의 샘플링 동작을 설명하기 위한 예시적인 회로도이다.

[0086] 도 15를 참조하면, 내부 동작 클럭이 제1 클럭 레벨(CK)인 경우, 증폭기의 제1 캐패시터(CAP1)의 일단은 제1 입력 노드(IN1)에 연결되어 복원 전압의 차동 쌍 중 어느 하나(V_{INp})를 입력받고 제1 캐패시터(CAP1)의 타단은 제2 입력 노드(IN2)에 연결되어 복원 전압의 차동 쌍 중 다른 하나(V_{INn})를 입력받아, 제1 캐패시터(CAP1)는 복원 전압(V_{INp} , V_{INn})에 따른 전하를 저장할 수 있다.

[0087] 또한, 가산기의 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)의 일단은 모두 개방되어 출력 노드(ON)에 연결되지 않으며, 제2 캐패시터(CAP2)의 타단은 제2 보상 노드(EN2)에 연결되고, 제3 캐패시터(CAP3)의 타단은 제3 보상 노드(EN3)에 연결되고, 제4 캐패시터(CAP4)의 타단은 제4 보상 노드(EN4)에 연결되어, 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)는 각각 연결된 제2 내지 제4 보상 노드(EN2, EN3, EN4)의 제2 내지 제4 보상 전압($VEQp$, VEQ_{CM} , VEQ_n)에 따른 전하를 저장할 수 있다.

[0088] 도 16은 증폭기 및 가산기의 증폭 및 보상 동작을 설명하기 위한 예시적인 회로도이다.

[0089] 도 16을 참조하면, 내부 동작 클럭이 제2 클럭 레벨(CKB)인 경우, 증폭기의 제1 캐패시터(CAP1)의 일단은 개방되어 출력 노드(ON)에만 연결되고 제1 캐패시터(CAP1)의 타단은 제3 입력 노드(IN3)에 연결되어 공통 전압을 입력받아, 제1 캐패시터(CAP1)는 출력 전압(V_{OUTp})의 진폭을 증폭시킬 수 있다.

[0090] 또한, 가산기의 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)의 일단 중 어느 하나만 증폭기의 출력 노드(ON)에 연결되고 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)의 타단은 모두 개방되어, 증폭기의 출력 노드(ON)에 연결된 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4) 중 어느 하나는 증폭기에 저장된 전하를 공급받아 출력 전압(V_{OUTp})을 출력할 수 있다.

- [0091] 도 9 및 도 16을 참조하면, 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)의 일단 중 어느 하나만이 출력 노드(ON)에 연결되는 것은 샘플러(223)로부터 수신한 비교값(Samp_P, Samp_N)을 통해 이루어질 수 있다. 구체적으로, 샘플러(223)는 클럭 네트워크(225)로부터 내부 동작 클럭(CK)을 수신받고, 수신받은 내부 동작 클럭(CK)을 이용하여 가산기의 제2 내지 제4 캐패시터(CAP2, CAP3, CAP4)의 일단 중 어느 하나만이 출력 노드(ON)에 연결되도록 하는 신호를 판정 레환 등화기(222)에게 제공할 수 있다.
- [0092] 예를 들어, 출력 신호의 바로 직전의 데이터가 하이 레벨(High level)의 전압 레벨을 가지는 신호이고, 그 후의 신호가 로우 레벨(Low level)의 전압 레벨을 가지는 신호인 경우, 하이 레벨(High level)의 신호가 포스트커서(post-cursor)성분으로 작용하여 로우 레벨(Low level)의 신호에 왜곡이 생길 수 있다. 이에 따라 샘플러(223)는 로우 레벨(Low level)의 출력 신호를 보상하기 위하여 가산기의 제4 캐패시터(CAP4)가 출력 노드(ON)에 연결되도록 하는 신호를 판정 레환 등화기(222)에게 제공할 수 있다.
- [0093] 도 17은 일 실시예에 따른 샘플러의 기준 전압과 출력 전압의 비교 방법에 관한 도면이다.
- [0094] 도 17을 참조하면, 샘플러(223)는 단일기준 비교기(Single-reference comparator)로 구성될 수 있고, 샘플러(223)는 출력 전압(VIN_P, VIN_N)의 차동 쌍 중 어느 하나를 기준 전압(REF_P, REF_N)의 차동 쌍 각각과 비교하여 비교값을 출력할 수 있다.
- [0095] 구체적으로, 도 17의 (a)에서 출력 전압의 차동 쌍 중 어느 하나(VIN_P)의 전압 레벨이 하이 레벨(High level)인 경우, 샘플러(223)는 하이 레벨(High level)인 출력 전압의 차동 쌍 중 어느 하나(VIN_P)를 기준 전압의 차동 쌍 각각과 비교하여 비교값을 출력할 수 있다.
- [0096] 구체적으로, 도 17의 (b)에서 출력 전압의 차동 쌍 중 어느 하나(VIN_P)의 전압 레벨이 미드 레벨(Mid level)인 경우 샘플러(223)는 미드 레벨(Mid level)인 출력 전압의 차동 쌍 중 어느 하나(VIN_P)를 기준 전압의 차동 쌍 각각과 비교하여 비교값을 출력할 수 있다.
- [0097] 도 18은 다른 일 실시예에 따른 샘플러의 기준 전압과 출력 전압의 비교 방법에 관한 도면이다.
- [0098] 도 18을 참조하면, 샘플러(223)는 차동기준 비교기(Differential-reference comparator)로 구성될 수 있고 샘플러(223)는 출력 전압(VIN_P, VIN_N)의 차이와 기준 전압(REF_P, REF_N)의 차이를 비교하여 비교값을 출력할 수 있다.
- [0099] 구체적으로, 도 18의 (a)에서 출력 전압의 차동 쌍 중 어느 하나(VIN_P)의 전압 레벨이 하이 레벨(High level)인 경우 다른 하나(VIN_N)의 전압 레벨은 로우 레벨(Low level)일 수 있고 샘플러(223)는 위 출력 전압(VIN_P, VIN_N)의 차이와 기준 전압(REF_P, REF_N)의 차이를 비교하여 비교값을 출력할 수 있다.
- [0100] 구체적으로, 도 18의 (b)에서 출력 전압의 차동 쌍 중 어느 하나(VIN_P)의 전압 레벨이 미드 레벨(Mid level)인 경우 다른 하나(VIN_N)의 전압 레벨도 미드 레벨(Mid level)일 수 있고 샘플러(223)는 위 출력 전압(VIN_P, VIN_N)의 차이와 기준 전압(REF_P, REF_N)의 차이를 비교하여 비교값을 출력할 수 있다.
- [0101] 출력 전압(VIN_P, VIN_N)의 차이와 기준 전압(REF_P, REF_N)의 차이를 비교함으로써 출력 전압의 차동 쌍 중 어느 하나를 기준 전압의 차동 쌍 각각과 비교하는 것에 비해 많은 전압 마진(margin)을 가질 수 있다. 구체적으로, 도 17의 (a) 및 (b)에서 VIN_P과 REF_P를 비교하는 것에 비해, 도 18의 (a) 및 (b)에서 출력 전압(VIN_P, VIN_N)의 차이와 기준 전압(REF_P, REF_N)의 차이를 비교하는 것이 2배의 전압 마진을 가질 수 있다.
- [0102] 도 19는 디모듈레이터가 샘플러의 비교값을 이용하여 데이터 신호를 복조하는 방법을 설명하기 위한 예시적인 표이다.
- [0103] 예를 들어 샘플러(223)가 도 17의 단일 기준 비교기로 구성된 경우, 도 19를 참조하면 출력 전압(V_{OUT_P}, V_{OUT_N})의 차동 쌍 중 어느 하나(V_{OUT_P})의 전압 레벨이 하이 레벨(High level)인 경우, 기준 전압(REF_P, REF_N)의 차동 쌍 각각에 비해 높은 전압 레벨을 가지므로 비교값(Output_samp)은 "11"로 출력될 수 있고, 디모듈레이터(230)는 비교값을 수신하여 하이 레벨(High level)의 전압 레벨을 가지는 데이터 신호로 복원할 수 있다. 즉, 디모듈레이터(230)는 2bit의 비교값(Output_samp)에 관한 정보를 하나의 데이터 신호로 복원할 수 있다.

- [0104] 출력 전압(V_{OUT_P} , V_{OUT_N})의 차동 쌍 중 어느 하나(V_{OUT_P})의 전압 레벨이 미드 레벨(Mid level)인 경우, 기준 전압(REF_P , REF_N)의 차동 쌍 중 어느 하나에 비해 높은 전압 레벨을 가지나 다른 하나에 비해 낮은 전압 레벨을 가지므로 비교값(Output_samp)은 "01"로 출력될 수 있다. 디모듈레이터(230)는 수신한 비교값의 바로 직전의 비교값에 대한 데이터 신호로 변환할 수 있다.
- [0105] 출력 전압(V_{OUT_P} , V_{OUT_N})의 차동 쌍 중 어느 하나(V_{OUT_P})의 전압 레벨이 로우 레벨(Low level)인 경우, 기준 전압(REF_P , REF_N)의 차동 쌍 각각에 비해 낮은 전압 레벨을 가지므로 비교값(Output_samp)은 "00"로 출력될 수 있고, 디모듈레이터(230)는 비교값을 수신하여 로우 레벨(Low level)의 전압 레벨을 가지는 데이터 신호로 복원할 수 있다.
- [0106] 도 20은 도 11의 위상 검출기의 동작 방법을 설명하기 위한 예시적인 흐름도이고, 도 21 내지 도 24는 도 11의 위상 검출기의 동작 방법을 설명하기 위한 예시적인 도면이다.
- [0107] 도 11 및 도 20 내지 도 24를 참조하면, 먼저 도 20에서 위상 검출기(224)는 엣지 판정 회로 등화기(227)로부터 차동 신호 쌍의 출력 전압(Edge_P, Edge_N)을 입력받는다(S100). 도 21의 경우와 같이 입력 받은 출력 전압의 전압 레벨이 하이 레벨(High level)에서 로우 레벨(Low level)로 트랜지션하거나, 또는 로우 레벨(Low level)에서 하이 레벨(High level)로 트랜지션하는 경우(S110), 전압 레벨 트랜지션에 의한 교차점(T1)이 정중앙에 위치하므로, 도 11에서 오프셋 스위치의 제1 오프셋 스위치(228)와 제2 오프셋 스위치(229)는 모두 온(ON) 상태가 될 수 있다(S120). 이에 따라, 전압 레벨 트랜지션에 의한 교차점(T1)의 위치가 정중앙에서 유지될 수 있다(S130).
- [0108] 반면에 도 22의 (a) 경우와 같이 입력 받은 출력 전압의 전압 레벨이 하이 레벨(High level)에서 미드 레벨(Mid level)로 트랜지션하거나, 또는 로우 레벨(Low level)에서 미드 레벨(Mid level)로 트랜지션하는 경우(S140), 전압 레벨 트랜지션에 의한 교차점이 정중앙에 위치하지 않으므로, 도 11에서 오프셋 스위치의 제1 오프셋 스위치(228)와 제2 오프셋 스위치(229) 중 어느 하나만 온(ON) 상태가 될 수 있다(S150). 이에 따라, 전압 레벨 트랜지션에 의한 교차점(T2)을 정중앙에 위치하도록 보정할 수 있다(S160).
- [0109] 위상 검출기(224)는 위상 비교기를 포함할 수 있다. 위상 비교기는 출력 전압(Edge_P, Edge_N)의 전압 레벨 트랜지션에 의해 생성된 교차점의 위치가 정중앙에 위치했는지 여부를 판단하는 비교기를 포함할 수 있다. 비교기는 도 11에서 오프셋 스위치 및 엣지 판정 회로 등화기에 의해 발생하는 전압 신호(PD+, PD-)의 크기를 비교하여 전압 레벨 트랜지션에 의해 생성된 교차점의 위치가 정중앙에 위치했는지 여부를 판단할 수 있다(S170).
- [0110] 위상 검출기(224)는 오프셋 스위치에 의해 보정되어 정중앙에 위치하는 교차점의 위상에 관한 엣지 정보(E_n)를 생성할 수 있다. 위상 검출기(224)는 샘플러(223)로부터 수신한 비교값(Data_P, Data_N)을 바탕으로 제1 데이터 정보(D_n) 및 제2 데이터 정보(D_{n-1})를 생성할 수 있다. 엣지 정보(E_n)는 제1 데이터 정보(D_n) 및 제2 데이터 정보(D_{n-1})의 전압 레벨 트랜지션에 의해 생성된 교차점의 위상에 관한 정보일 수 있다. 즉, 제1 데이터 정보(D_n) 및 제2 데이터 정보(D_{n-1})는 서로 다른 전압 레벨을 가질 수 있다. 위상 비교기는 엣지 정보(E_n)와 데이터 정보(D_n , D_{n-1})를 비교하는 XOR Logic Gate와 같은 논리 회로를 포함할 수 있다. 위상 비교기는 엣지 정보(E_n)와 데이터 정보(D_n , D_{n-1})의 전압 레벨을 비교할 수 있다(S180).
- [0111] 위상 검출기(224)는 엣지 정보(E_n)와 데이터 정보(D_n , D_{n-1})의 전압 레벨을 비교하여, 수신한 데이터 신호와 클럭 신호의 위상 관계에 대한 위상 정보(PI)를 출력할 수 있다(S190).
- [0112] 구체적으로 도 23를 참조하면, P, N 신호는 송신기에서 전송한 차동 쌍의 출력 신호일 수 있다. T3는 송신단에서 전송한 출력 신호의 전압 레벨 트랜지션에 의한 교차점의 위치를 나타낼 수 있다. 즉, T3는 출력 신호에 내장된 클럭 신호 위상에 대응될 수 있다. 만약 위상 검출기에서 생성한 엣지 정보(E_n)의 전압 레벨이 제1 데이터 정보(D_n)의 전압 레벨과 동일한 경우, 수신기에서 복원한 클럭이 송신기에서 전송한 클럭 신호의 위상보다 앞서 있는 것이므로, 위상 검출기는 Clock lag의 위상 정보를 출력할 수 있다.
- [0113] 구체적으로 도 24를 참조하면, P, N 신호는 송신기에서 전송한 차동 쌍의 출력 신호일 수 있다. T4는 송신단에서 전송한 출력 신호의 전압 레벨 트랜지션에 의한 교차점의 위치를 나타낼 수 있다. 즉, T4는 출력 신호에 내장된 클럭 신호 위상에 대응될 수 있다. 만약 위상 검출기에서 생성한 엣지 정보(E_n)의 전압 레벨이 제2 데이터

정보(D_{n-1})의 전압 레벨과 동일한 경우, 수신기에서 복원한 클럭이 송신기에서 전송한 클럭 신호의 위상보다 뒤쳐져 있는 것이므로, 위상 검출기는 Clock lead의 위상 정보를 출력할 수 있다.

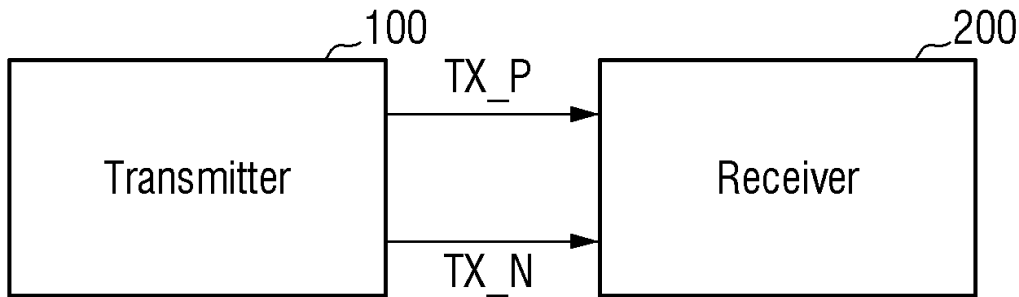
[0114]

이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

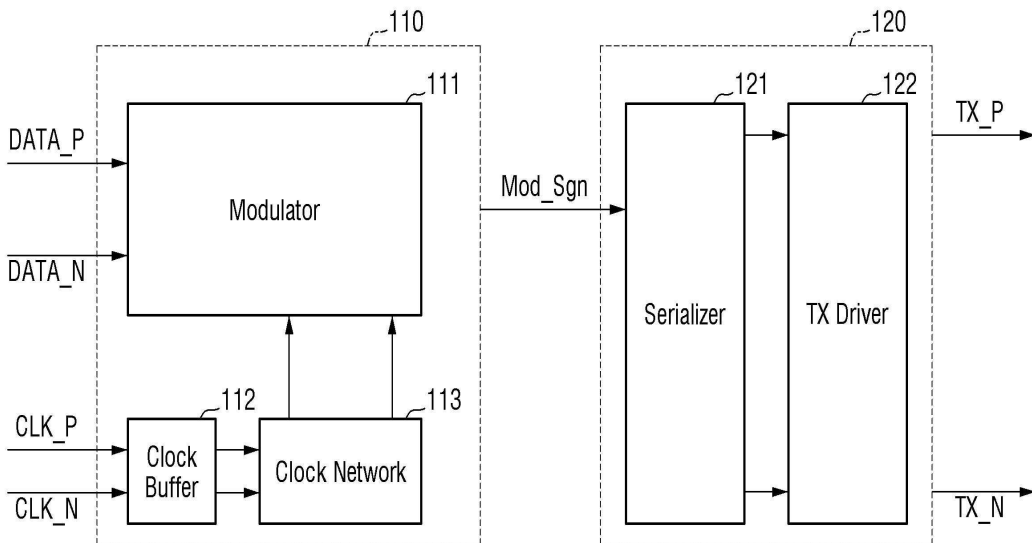
도면1

10

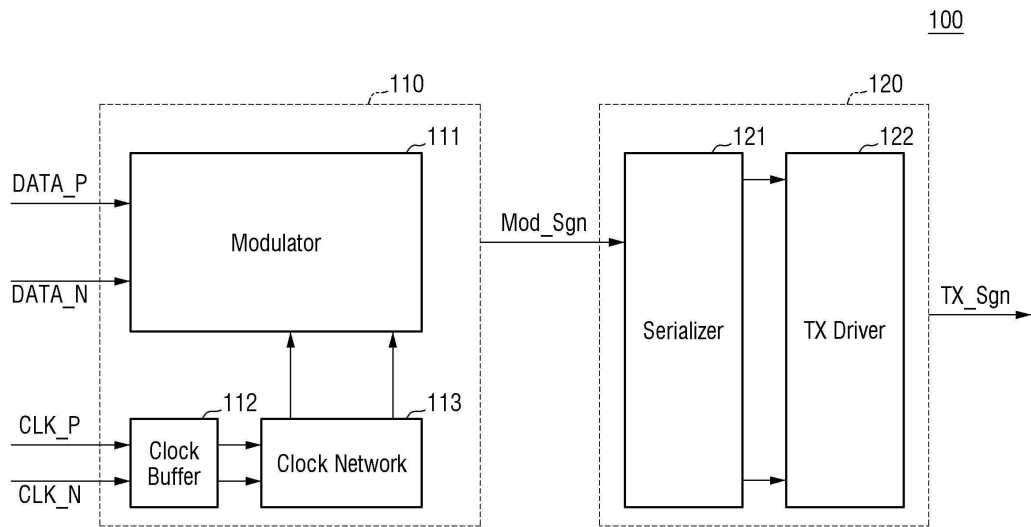


도면2a

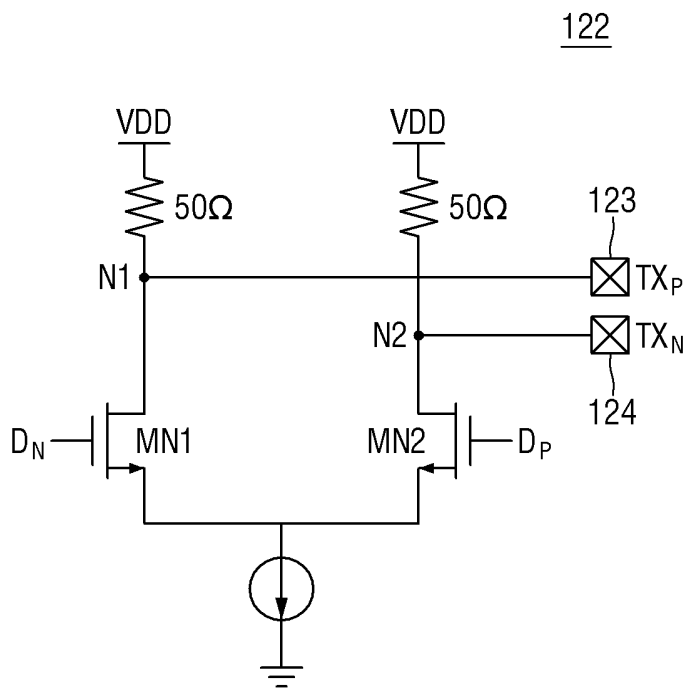
100



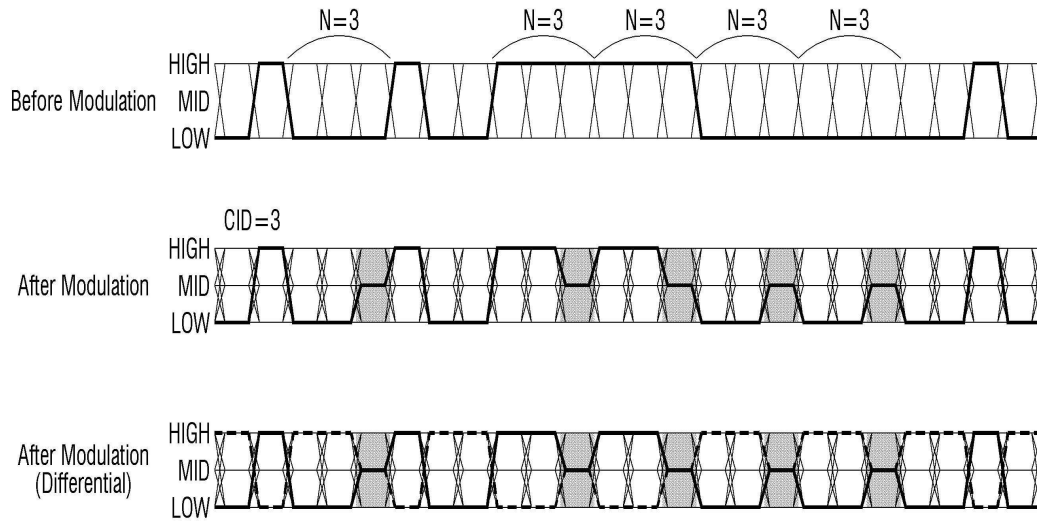
도면2b



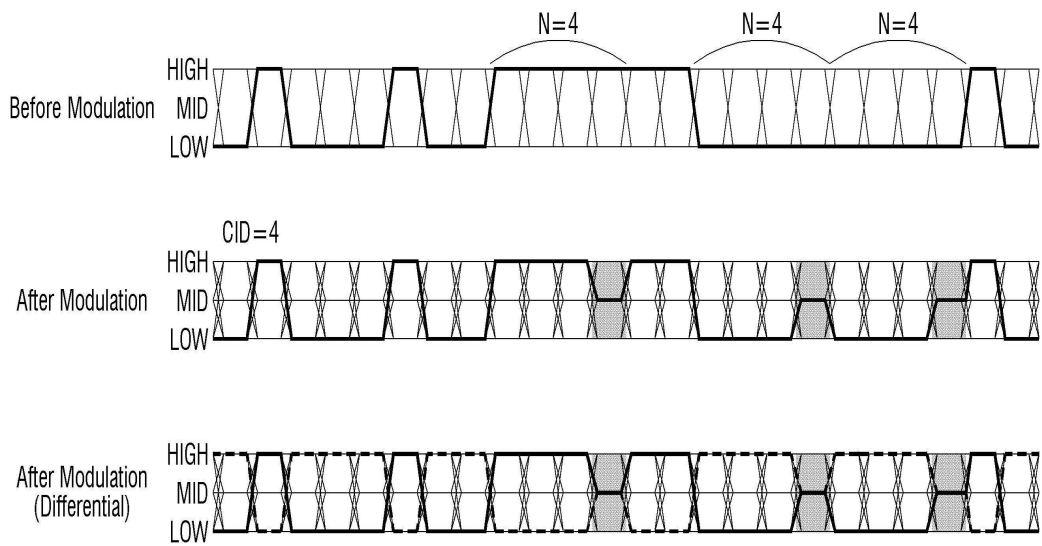
도면3



도면4



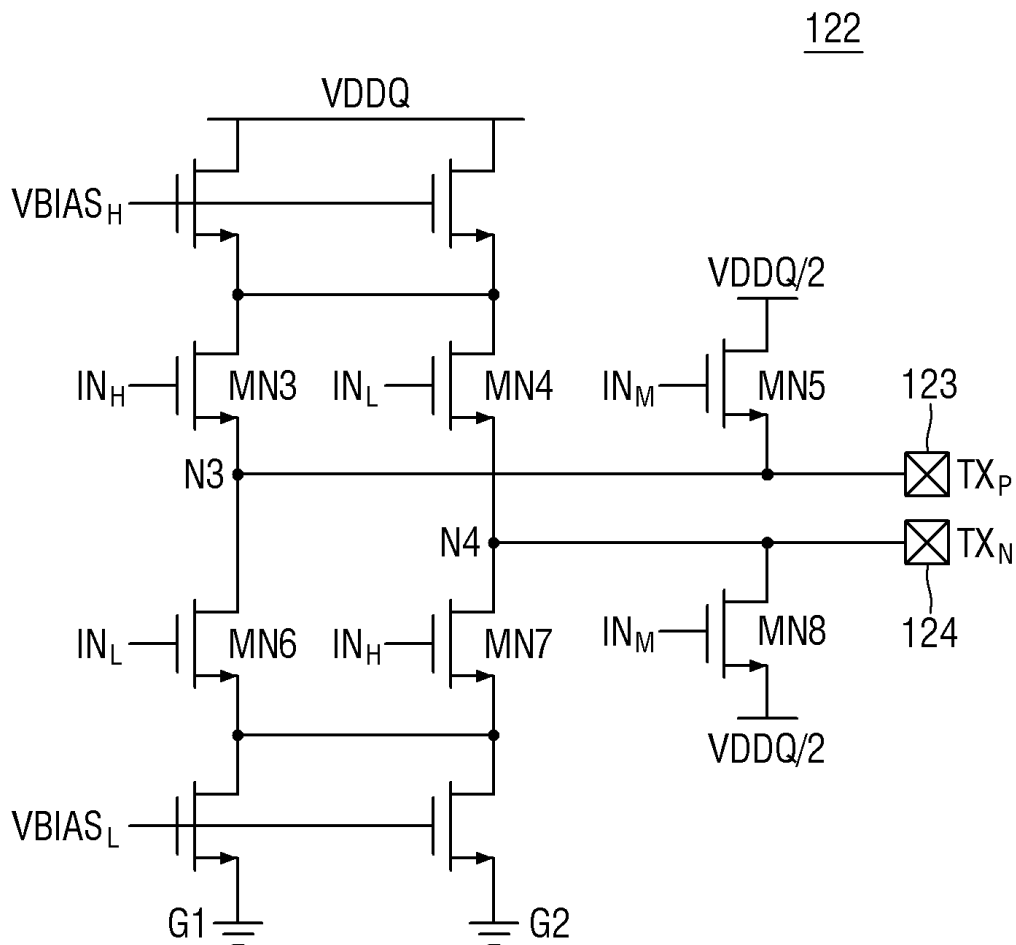
도면5



도면6

D_P	D_N	TX_P	TX_N
OFF	OFF	Not happen	
OFF	ON	Low	High
ON	OFF	High	Low
ON	ON	Mid	Mid

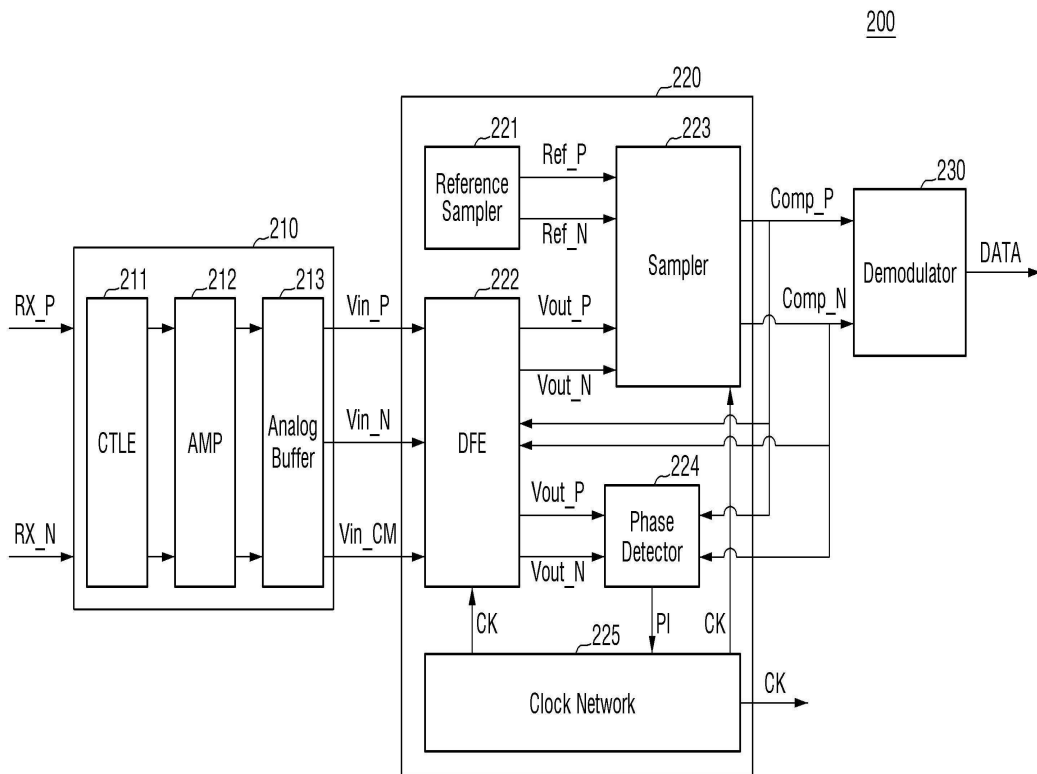
도면7



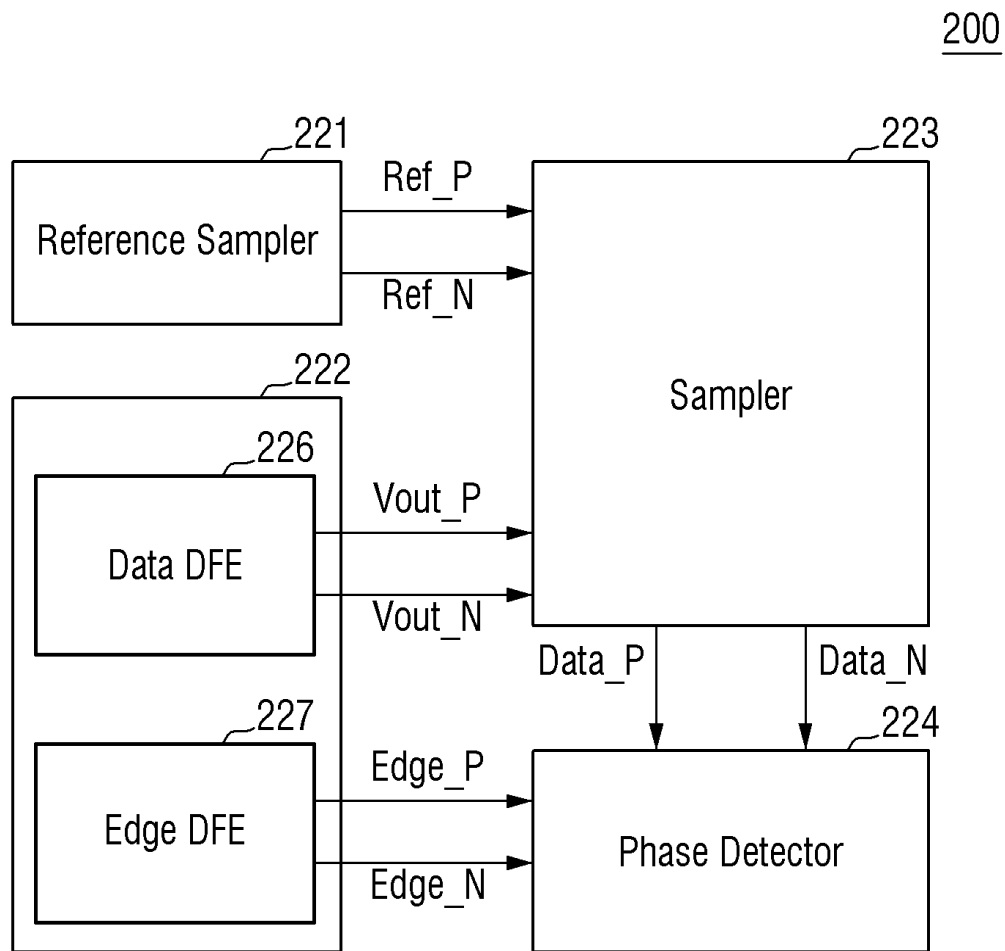
도면8

IN_H	IN_L	IN_M	TX_P	TX_N
OFF	OFF	ON	Mid	Mid
OFF	ON	OFF	Low	High
ON	OFF	OFF	High	Low
Else			Not happen	

도면9

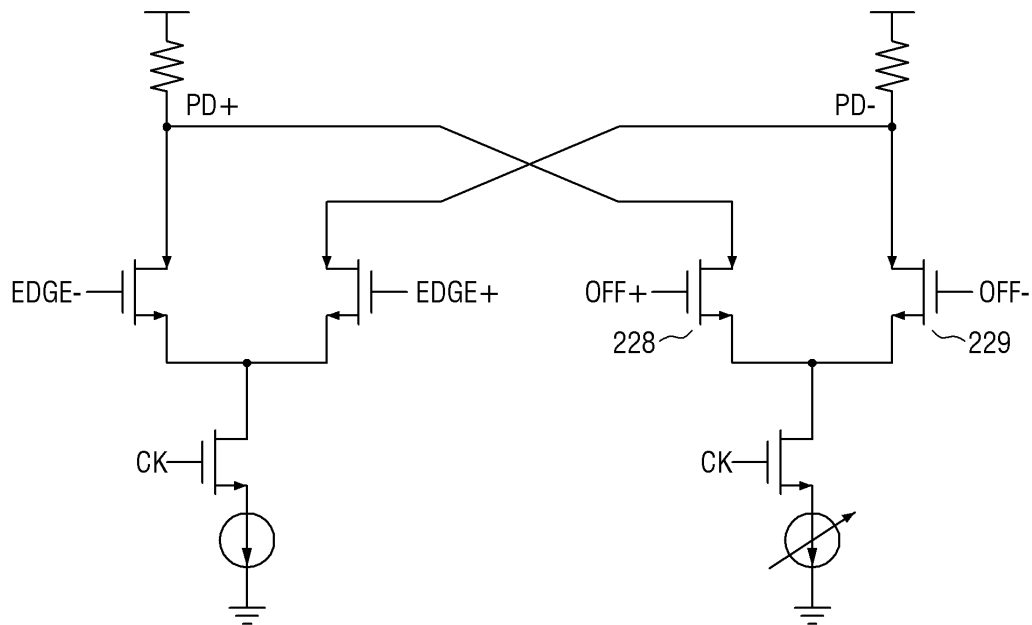


도면10

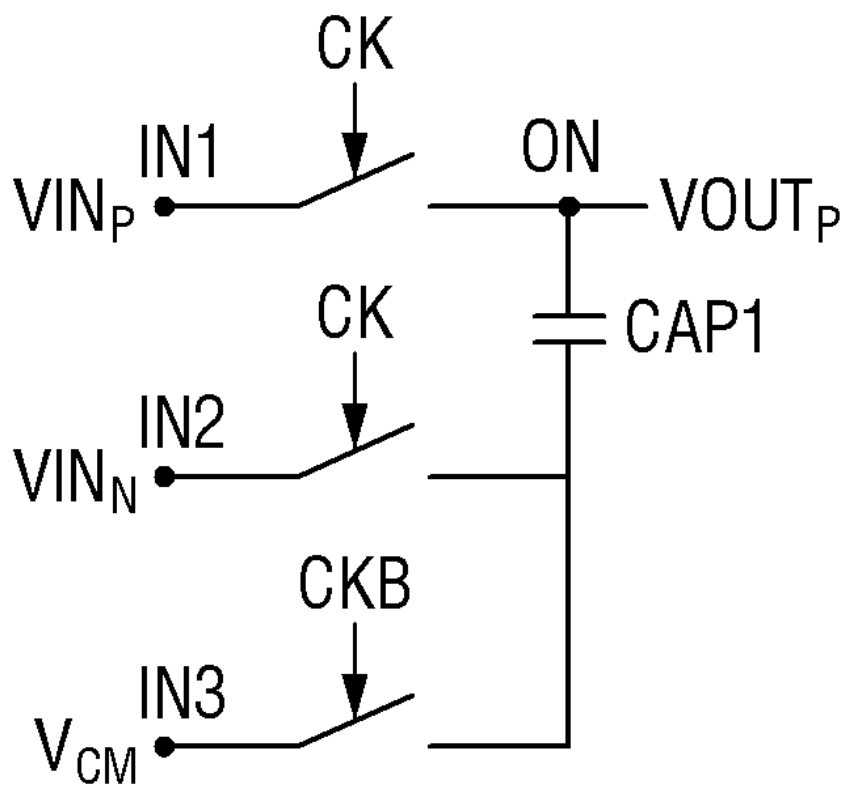


도면11

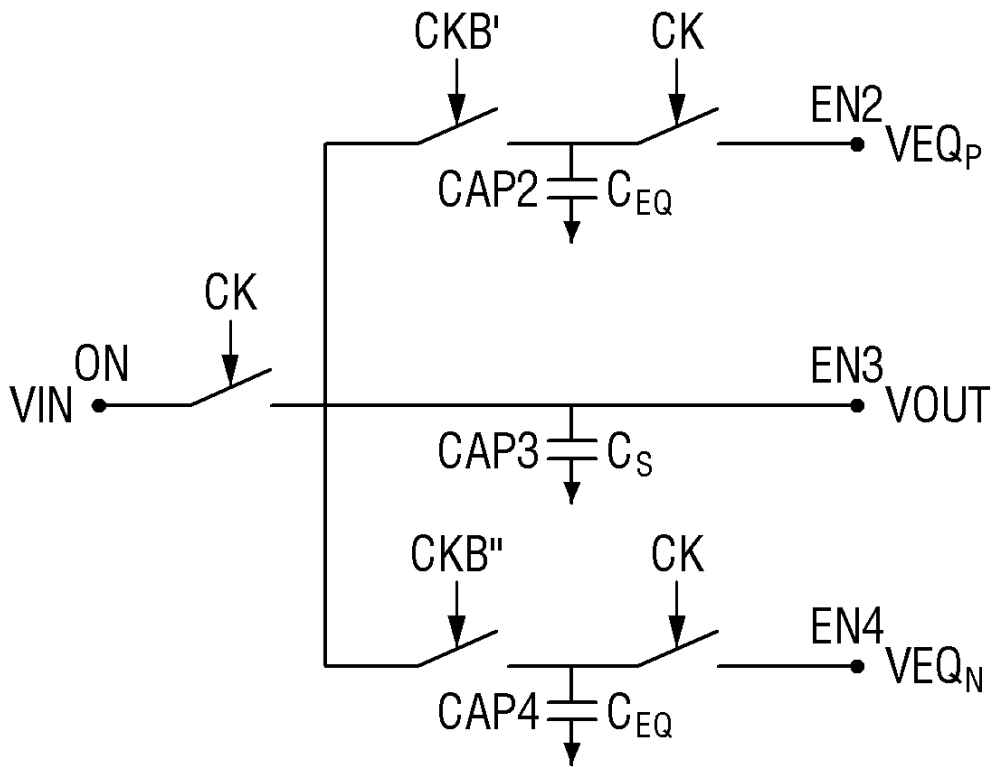
224



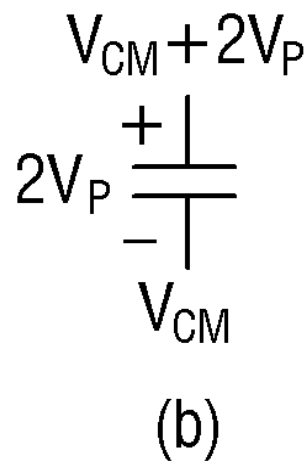
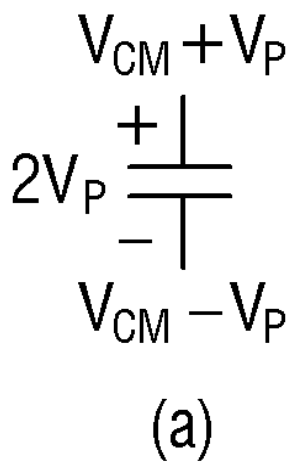
도면 12



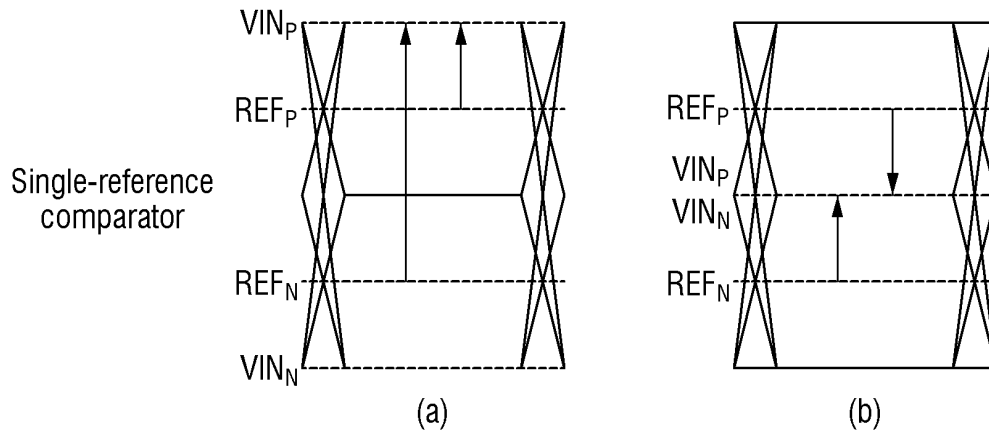
도면13



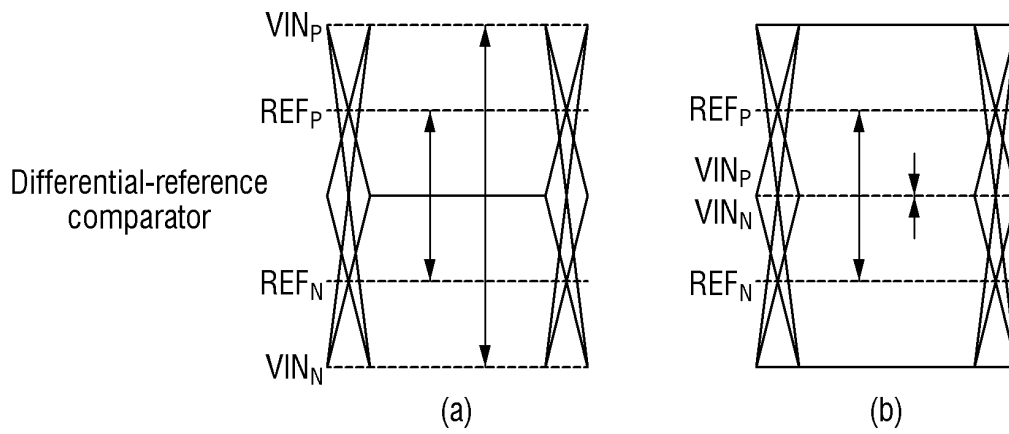
도면14



도면17



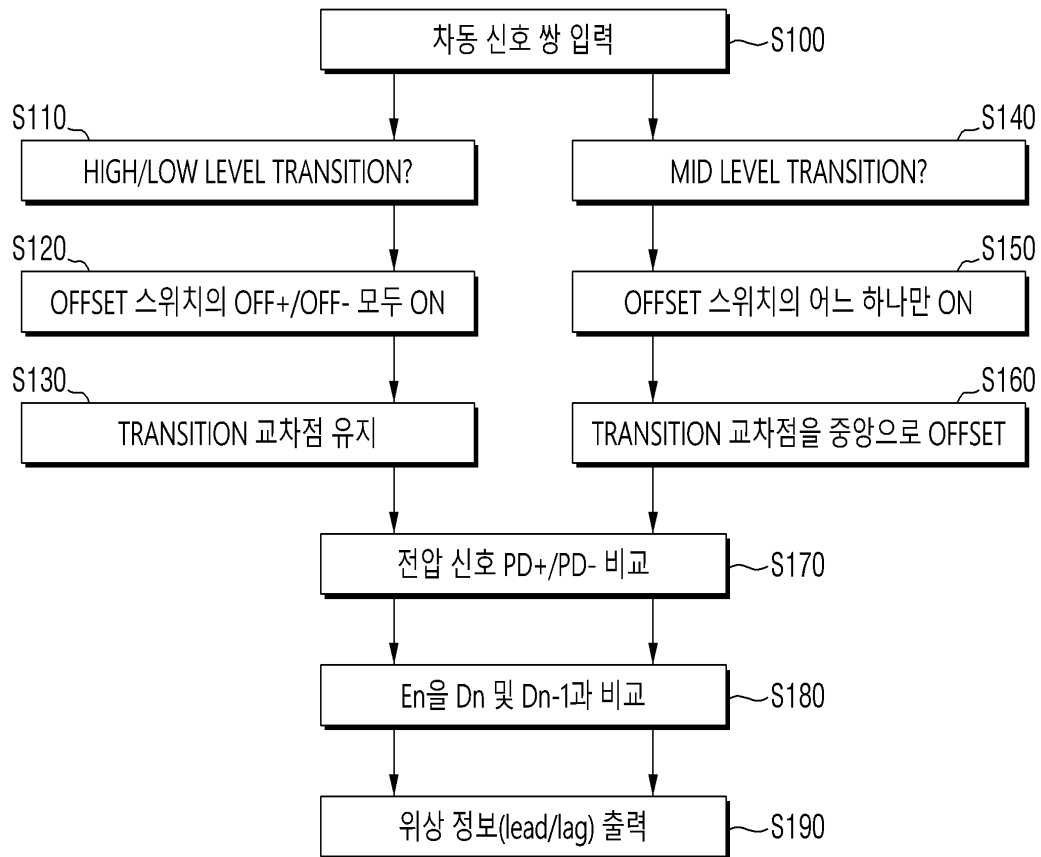
도면18



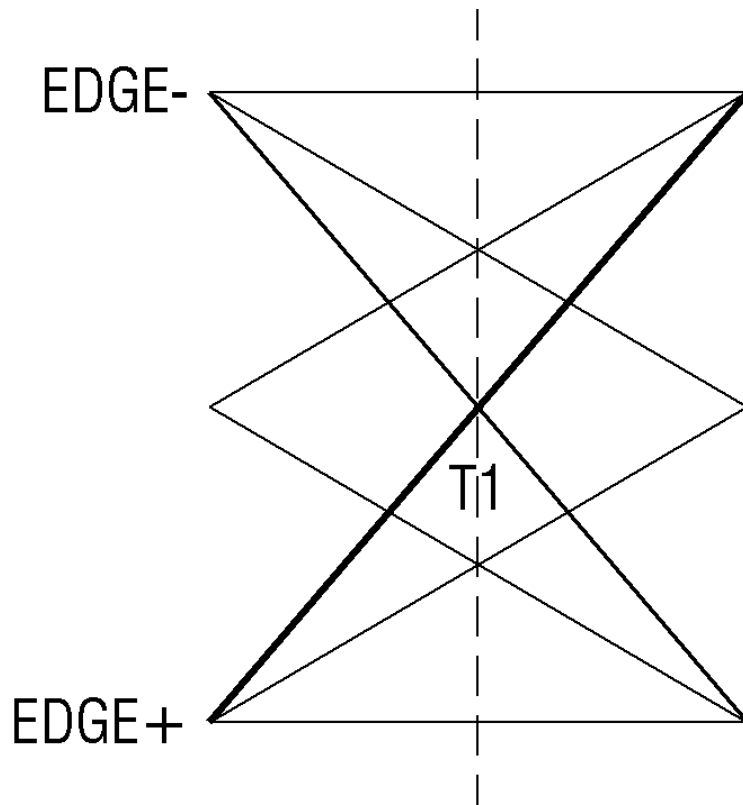
도면19

Vout_P	Vout_N	Output_samp	Demodulator
High	Low	11	High
Mid	Mid	01	Previous Output_samp
Low	High	00	Low

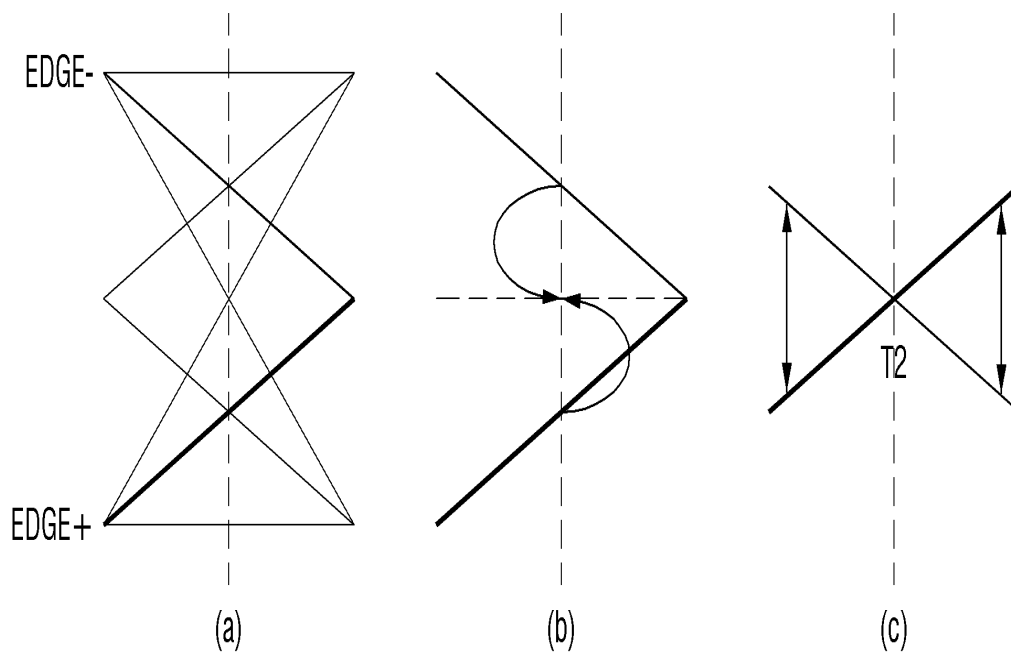
도면20



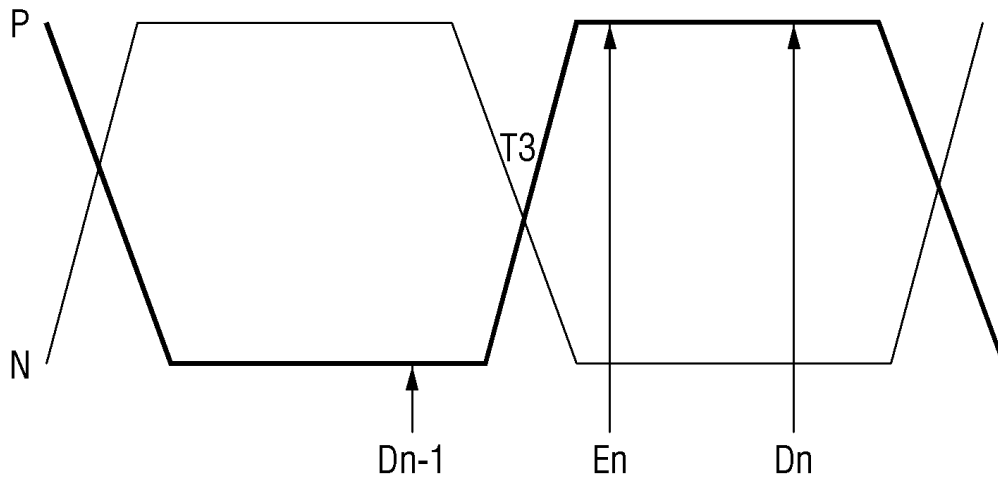
도면21



도면22



도면23



도면24

