

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 9 月 2 日 (2005.9.2)

【公開番号】特開 2001-156269 (P2001-156269A)

【公開日】平成 13 年 6 月 8 日 (2001.6.8)

【出願番号】特願 平 11-336606

【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

【F I】

H 0 1 L 27/10 6 2 1 B

H 0 1 L 27/10 6 5 1

【手続補正書】

【提出日】平成 17 年 3 月 1 日 (2005.3.1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に形成されたトランジスタと、このトランジスタを覆う層間絶縁膜と、この層間絶縁膜に形成され、前記トランジスタのソース又はドレインの一方に接続するビット線コンタクトと、前記層間絶縁膜に形成され前記トランジスタのソース又はドレインの他方に接続する蓄積電極コンタクトと、前記ビット線コンタクト上に形成されたビット線コンタクトプラグと、前記蓄積電極コンタクト上に形成された蓄積電極コンタクトプラグと、前記ビット線コンタクトプラグに接続するビット線と、前記蓄積電極コンタクトプラグに接続するキャパシタの蓄積電極とを具備し、

前記蓄積電極コンタクトプラグは、前記蓄積電極コンタクト上に形成された第 1 のバリアメタルと、この第 1 のバリアメタル上に形成された第 1 の金属電極材とを具備し、前記第 1 のバリアメタルは前記第 1 の金属電極材の底面のみに形成されていることを特徴とする半導体記憶装置。

【請求項 2】

前記蓄積電極及び前記層間絶縁膜を覆うキャパシタ絶縁膜が形成され、前記キャパシタ絶縁膜上にプレート電極が形成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 の金属電極材の周囲に第 1 の側壁絶縁膜が形成され、前記蓄積電極コンタクトプラグの上面は、前記第 1 の側壁絶縁膜の上面より高いことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

前記ビット線コンタクトプラグは、前記ビット線コンタクト上に形成された第 2 のバリアメタルと、この第 2 のバリアメタル上に形成された第 2 の金属電極材とを具備し、前記第 2 のバリアメタルは前記第 2 の金属電極材の底面のみに形成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】

前記層間絶縁膜は、前記コンタクトホールが形成された第 1 の層間絶縁膜と、前記蓄積電極コンタクトプラグと同じ層に形成された第 2 の層間絶縁膜とを具備し、前記第 2 の金

属電極材の周囲に第２の側壁絶縁膜が形成されていることを特徴とする請求項４記載の半導体記憶装置。

【請求項６】

半導体基板上にトランジスタと、このトランジスタを覆う層間絶縁膜上に形成され前記トランジスタのソース又はドレインの一方に電氣的に接続するビット線コンタクトプラグと、このビット線コンタクトプラグに接続するビット線と、前記層間絶縁膜上に形成され前記トランジスタのソース又はドレインの他方に電氣的に接続する蓄積電極コンタクトプラグと、この蓄積電極コンタクトプラグに接続するキャパシタの蓄積電極とを具備する半導体記憶装置の製造方法において、

前記ビット線コンタクトプラグと前記蓄積電極コンタクトプラグとを同時に形成することを特徴とする半導体記憶装置の製造方法。

【請求項７】

半導体基板上にトランジスタを形成する工程と、

前記トランジスタを覆う層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記トランジスタのソース及びドレインに接続するコンタクトを形成する工程と、

前記層間絶縁膜上にバリアメタル及び金属電極材を順次堆積する工程と、

前記バリアメタル及び金属電極材をパターニングし、前記トランジスタのソース又はドレインの一方に前記コンタクトを介して電氣的接続するビット線コンタクトプラグと、前記トランジスタのソース又はドレインの他方に前記コンタクトを介して電氣的接続する蓄積電極コンタクトプラグとを形成する工程と、

前記ビット線コンタクトプラグ及び前記蓄積電極コンタクトプラグのそれぞれの側面に側壁絶縁膜を形成する工程と、

第１の層間絶縁膜上に、前記ビット線コンタクトプラグ及び前記蓄積電極コンタクトプラグとを絶縁分離する第２の層間絶縁膜を形成する工程と、

第２の層間絶縁膜に前記ビット線コンタクトプラグに接続する溝を形成する工程と、

前記溝内にビット線を埋込形成する工程と、

前記ビット線の表面に絶縁材を形成する工程と、

第２の層間絶縁膜上に前記蓄積電極コンタクトプラグに接続する蓄積電極を形成する工程と、

前記蓄積電極の表面を覆う誘電体膜を形成する工程と、

前記誘電体膜の表面を覆う上部電極を形成することを特徴とする半導体記憶装置の製造方法。