

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-91663

(P2008-91663A)

(43) 公開日 平成20年4月17日(2008.4.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5 F 0 4 8
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 3 0 1 K	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 0 1 D	
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 H	

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2006-271572 (P2006-271572)  
 (22) 出願日 平成18年10月3日 (2006. 10. 3)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100086737  
 弁理士 岡田 和秀  
 (72) 発明者 鈴木 孝一  
 大阪府門真市大字門真1006番地 松下  
 電器産業株式会社内

Fターム(参考) 5F038 BH05 BH07 BH09 BH13 EZ20  
 5F048 AA01 AA02 AA05 AB07 AC01  
 AC03 AC06 BA01 BB01 BB03  
 BB16 BB20 BC01 BC06 BC18  
 BE03 BE09 BF18 BG12 BH05  
 CC01 CC09 CC13 CC15 CC16  
 CC18 CC19

最終頁に続く

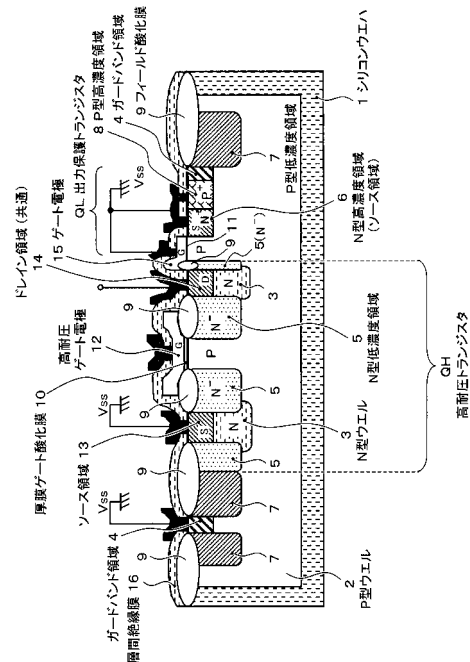
(54) 【発明の名称】 出力保護回路

(57) 【要約】

【課題】 過電圧に伴う大きな電流を効果的に逃がせる出力保護回路を、回路サイズを縮小した状態で提供する。

【解決手段】 半導体基板主面上に選択的に形成されたフィールド酸化膜9に内外を区画するガードバンド領域4が形成され、ガードバンド領域4に囲まれた主面部分に高耐圧トランジスタQHとともに出力保護トランジスタQLが形成され、出力保護トランジスタと高耐圧トランジスタとはドレイン14を共通にし、出力保護トランジスタのゲート電極15はその一部が高耐圧トランジスタのドレイン14のフィールド酸化膜9の上面に重なり合う状態に構成され、そのフィールド酸化膜9の下部にN型低濃度領域5が形成され、出力保護トランジスタのゲート酸化膜11は高耐圧トランジスタのゲート酸化膜10より薄く形成され、出力保護トランジスタのソース(6)はガードバンド領域4に接している。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体装置において出力端子と内部回路との間に介挿される出力保護回路であって、半導体基板主面上に選択的に形成されたフィールド酸化膜に内外を区画するガードバンド領域が形成され、

前記ガードバンド領域に囲まれた主面部分に、高耐圧トランジスタとともに出力保護トランジスタが形成され、

前記出力保護トランジスタと前記高耐圧トランジスタとはドレインを共通にする状態に構成されている出力保護回路。

**【請求項 2】**

前記出力保護トランジスタのゲート電極は、その一部が前記高耐圧トランジスタのドレインのフィールド酸化膜の上面に重なり合う状態に構成されている請求項 1 に記載の出力保護回路。

**【請求項 3】**

前記出力保護トランジスタのゲート電極が重なり合う前記フィールド酸化膜の下部に N 型低濃度領域が形成されている請求項 2 に記載の出力保護回路。

**【請求項 4】**

前記出力保護トランジスタのゲート酸化膜は、前記高耐圧トランジスタのゲート酸化膜より薄く形成されている請求項 1 から請求項 3 までのいずれかに記載の出力保護回路。

**【請求項 5】**

前記出力保護トランジスタのソースは、前記ガードバンド領域に接する状態に構成されている請求項 1 から請求項 4 までのいずれかに記載の出力保護回路。

**【請求項 6】**

前記出力保護トランジスタは、その形成方向が前記高耐圧トランジスタの形成方向に対して同一方向とされている請求項 1 から請求項 5 までのいずれかに記載の出力保護回路。

**【請求項 7】**

前記出力保護トランジスタは、その形成方向が前記高耐圧トランジスタの形成方向に対して直角方向とされている請求項 1 から請求項 5 までのいずれかに記載の出力保護回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、半導体装置において出力端子と内部回路との間に介挿される出力保護回路にかかわり、特に液晶ドライバ等の出力電圧が 5 V ~ 60 V と高いことから高耐圧を要する半導体装置における出力保護の技術に関する。

**【背景技術】****【0002】**

液晶ドライバ等の表示デバイスに使用する半導体装置においては、パネルの画質改善とコストダウンを図るため、高耐圧化と微細化が進んでいる。静電気やノイズなどに起因して発生する過電圧がそのまま半導体装置の内部回路に印加されると、内部回路が破壊されてしまう可能性がある。そこで、内部回路の破壊を防ぐために、出力端子と内部回路との間に出力保護回路が介挿される。過電圧が出力端子に印加されたとき、出力端子からの過電圧に伴う大きな電流を出力保護回路が外部へ逃がすことにより、内部回路を過電圧から保護する。

**【0003】**

図 6 は従来技術における出力保護回路の等価回路である（例えば特許文献 1 参照）。図 6 において、21 は出力端子（ボンディングパッド）、Q1, Q2, Q3, Q4 はダイオード形態にしてクランプ FET を構成する N チャネル型のトランジスタ、R は抵抗素子、D はダイオード、H1, H2 はアルミ配線、Q5 は内部回路 22 における P チャネル型の出力トランジスタ、Q6 は N チャネル型の出力トランジスタである。

**【0004】**

10

20

30

40

50

トランジスタQ1は、そのソースが出力端子21と抵抗素子Rとの間のアルミ配線H1に接続され、ドレインが電源電位Vcc(例えば5V)に接続され、ゲート電極がドレインに短絡されている。トランジスタQ2は、そのドレインがアルミ配線H1に接続され、ソースが接地電位Vss(例えば0V)に接続され、ゲート電極がドレインに短絡されている。トランジスタQ1, Q2の閾値電圧は10V~20Vである。

【0005】

トランジスタQ3は、そのソースが抵抗素子Rから内部回路22に延びるアルミ配線H2に接続され、ドレインが電源電位Vccに接続され、ゲート電極がソースに短絡されている。トランジスタQ4は、そのドレインがアルミ配線H2に接続され、ソースが接地電位Vssに接続され、ゲート電極がソースに短絡されている。トランジスタQ3の閾値電圧は3V~5Vである。

10

【0006】

プラス(+ )の過大な電荷が出力端子21から流入すると、それをゲート電極に入力するトランジスタQ2が導通状態となり、その過大な電荷の一部を接地電位Vssへ放出する。過大な電荷のその他の部分は、抵抗素子Rによって減衰された後、トランジスタQ3のゲート電極に達する。すると、トランジスタQ3が導通状態となる。このとき、トランジスタQ3の閾値電圧が3V~5V程度と低いため、P型出力トランジスタQ5、N型出力トランジスタQ6が破壊に至る前に、過大な電荷をトランジスタQ3を介して迅速に電源電位Vccに放出することができる。なお、ダイオードDもブレイクダウンして過大な電荷の一部を接地電位Vssに放出する。

20

【0007】

また、マイナス(- )の過大な電荷が出力端子21から流入すると、トランジスタQ2がブレイクダウンを起して、上記過大な電荷の一部を放出する。一方、マイナスの過大な電荷によってトランジスタQ1が導通状態となり、その電荷の一部を電源電位Vccに放出する。マイナスの過大な電荷は、抵抗素子Rによってさらに減衰された後に、トランジスタQ4が導通して接地電位Vssに放出される。

【0008】

このようにして、内部回路22を構成している出力トランジスタQ5, Q6が過大な電荷によって破壊されることを防止できる。

【特許文献1】特公平6-93498号公報(第2-3頁、第1-6図)

30

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、製造工程での工程数の増大を防ぎ低コスト化を図るために、出力保護回路を構成するトランジスタは、内部回路を構成するトランジスタと同時に形成される。内部回路のトランジスタは高耐圧系のトランジスタと低耐圧系のトランジスタとの2種類を有するものが多い。これは、半導体装置のロジック回路部はデバイス動作特性(高速性、回路面積の縮小など)の観点から、外部から供給される電圧が3V~5Vであるのに対して、デバイスの使用用途から、出力回路は5V~60Vの高電圧が入力されるためである。

40

【0010】

これに対し、出力保護回路は、高耐圧系のトランジスタや寄生MOSトランジスタで構成される。これは出力保護回路の耐圧を稼ぐためである。上記の特許文献1の出力保護回路では、寄生MISFETとMISFETを組み合わせ使用し出力保護回路の耐圧を稼いでいる。

【0011】

しかし、上記従来 of 出力保護回路は複数のトランジスタを用いて構成されているため、出力保護回路の領域が大きくなり、半導体装置の縮小化がむずかしいものとなっている。

【0012】

本発明は、このような事情に鑑みて創作したものであり、過電圧に伴う大きな電流を効果的に逃がせる出力保護回路を、回路サイズを縮小した状態で提供することを目的として

50

いる。

【課題を解決するための手段】

【0013】

本発明による出力保護回路は、半導体装置において出力端子と内部回路との間に介挿されるものであって、半導体基板主面上に選択的に形成されたフィールド酸化膜に内外を区画するガードバンド領域が形成され、前記ガードバンド領域に囲まれた主面部分に、高耐圧トランジスタとともに出力保護トランジスタが形成され、前記出力保護トランジスタと前記高耐圧トランジスタとはドレインを共通にする状態に構成されているものである。

【0014】

この構成によれば、共通のガードバンド領域の内部に高耐圧トランジスタと出力保護トランジスタとを配置し、さらに、高耐圧トランジスタのドレインと出力保護トランジスタのドレインとを共通化してあるので、高耐圧トランジスタと出力保護トランジスタの組み合わせからなる出力保護回路の占有面積を削減することが可能となる。

10

【0015】

上記構成の出力保護回路において、前記出力保護トランジスタのゲート電極は、その一部が前記高耐圧トランジスタのドレインのフィールド酸化膜の上面に重なり合う状態に構成されているという態様がある。このように構成すれば、出力保護トランジスタのゲート電極を高耐圧トランジスタのドレインフィールド酸化膜に重ね合わせていることから、出力保護回路の占有面積をさらに削減することが可能となる。

【0016】

また上記構成の出力保護回路において、前記出力保護トランジスタのゲート電極が重なり合う前記フィールド酸化膜の下部にN型低濃度領域が形成されているという態様がある。このように構成すれば、高耐圧トランジスタのドレイン領域から印加される高電圧のサージに対する電界が緩和され、より大きなサージ耐量が確保される。

20

【0017】

また上記構成の出力保護回路において、前記出力保護トランジスタのゲート酸化膜は、前記高耐圧トランジスタのゲート酸化膜より薄く形成されているという態様がある。このように構成すれば、出力保護トランジスタの電流能力が増大し、内部回路に対する対サージ保護機能を向上させることが可能となる。

【0018】

また上記構成の出力保護回路において、前記出力保護トランジスタのソースは、前記ガードバンド領域に接する状態に構成されているという態様がある。このように構成すれば、出力保護回路の占有面積をさらに削減することが可能となる。

30

【0019】

また上記構成の出力保護回路において、前記出力保護トランジスタは、その形成方向が前記高耐圧トランジスタの形成方向に対して同一方向とされているという態様がある。

【0020】

また上記構成の出力保護回路において、前記出力保護トランジスタは、その形成方向が前記高耐圧トランジスタの形成方向に対して直角方向とされているという態様もある。

【0021】

後者の直角方向に配置した場合には、高耐圧トランジスタと出力保護トランジスタからなるトランジスタ対を繰り返し配置するときに、前者の同一方向に配置する場合に比べて、その繰り返しピッチが小さくなり、さらなる高密度配置が可能となる。

40

【発明の効果】

【0022】

本発明によれば、共通のガードバンド領域の内部に高耐圧トランジスタと出力保護トランジスタとの両者を組み込み、さらに、両トランジスタのドレインを共通化してあるので、出力保護回路の占有面積を削減することができ、ひいてはコスト力のある出力保護回路を提供できる。

【発明を実施するための最良の形態】

50

## 【 0 0 2 3 】

以下、本発明にかかわる出力保護回路の実施の形態を図面を用いて詳細に説明する。

## 【 0 0 2 4 】

(実施の形態 1)

図 1 は本発明の実施の形態 1 における出力保護回路の構造断面図、図 2 はその平面図、図 3 は出力保護回路の等価回路図、図 4 は適用状態説明図である。図 1 は図 2 での A - A 線に沿った断面図である。

## 【 0 0 2 5 】

まず、全体的な概要を図 4 を用いて説明する。図 4 において、2 1 は出力端子、2 2 は内部回路、2 3 は出力端子 2 1 と内部回路 2 2 との間に介挿されて、出力端子 2 1 に印加される過電圧から内部回路 2 2 を保護する出力保護回路である。

10

## 【 0 0 2 6 】

次に、本実施の形態における出力保護回路 2 3 のレイアウトを図 1 および図 2 を用いて説明する。

## 【 0 0 2 7 】

図 1、図 2 において、1 は半導体基板としてのシリコンウエハ、2 は P 型ウェル、3 は N 型ウェル、4 はガードバンド領域、5 は N 型低濃度領域、6 は N 型高濃度領域 (ソース)、7 は P 型低濃度領域、8 は P 型高濃度領域、9 はフィールド酸化膜、1 0 は厚膜ゲート酸化膜、1 1 は薄膜ゲート酸化膜、1 2 は高耐圧ゲート電極、1 3 はソース領域、1 4 はドレイン領域、1 5 は出力保護トランジスタのゲート電極、1 6 は層間絶縁膜、Q H は高耐圧トランジスタ、Q L は出力保護トランジスタである。

20

## 【 0 0 2 8 】

まず、高耐圧トランジスタ Q H の構成について説明する。

## 【 0 0 2 9 】

シリコンウエハ 1 に P 型ウェル 2 が形成され、その表面に選択酸化によって形成されたフィールド酸化膜 9 が高耐圧トランジスタ Q H の領域と出力保護トランジスタ Q L の領域を規定している。フィールド酸化膜 9 において、内外を区画するガードバンド領域 4 が形成され、ガードバンド領域 4 に囲まれた主面部分に、高耐圧トランジスタ Q H とともに出力保護トランジスタ Q L が形成されている。

## 【 0 0 3 0 】

高耐圧トランジスタ Q H では、高耐圧ゲート電極 1 2、ソース領域 1 3 およびドレイン領域 1 4 がフィールド酸化膜 9 によって分離されている。高耐圧ゲート電極 1 2 とソース領域 1 3 を分離しているフィールド酸化膜 9 の下部および高耐圧ゲート電極 1 2 とドレイン領域 1 4 を分離しているフィールド酸化膜 9 の下部にそれぞれ N 型低濃度領域 5 が形成されている。ソース領域 1 3 とガードバンド領域 4 とを分離しているフィールド酸化膜 9 の下部には、N 型低濃度領域 5 とチャンネルストップ領域としての P 型低濃度領域 7 とが形成されている。また、ガードバンド領域 4 の外側に位置するフィールド酸化膜 9 の下部にも P 型低濃度領域 7 が形成されている。ソース領域 1 3 とドレイン領域 1 4 の下部には N 型ウェル 3 が形成されている。P 型ウェル 2 と高耐圧ゲート電極 1 2 との間のゲート酸化膜は、高耐圧構造とするために厚膜ゲート酸化膜 1 0 として形成されている。

30

40

## 【 0 0 3 1 】

次に、出力保護トランジスタ Q L の構成について説明する。

## 【 0 0 3 2 】

出力保護トランジスタ Q L のソース・ゲート・ドレインの形成方向は高耐圧トランジスタ Q H のソース・ゲート・ドレインの形成方向に対して同一方向となっている。出力保護トランジスタ Q L では、共通ドレイン領域 1 4 を共通のドレイン領域とする MOS トランジスタで構成されている。出力保護トランジスタのゲート電極 1 5 は、共通ドレイン領域 1 4 に接しているフィールド酸化膜 9 の上に乗り上げて重なり合う状態で形成されている。そして、そのフィールド酸化膜 9 の下部に N 型低濃度領域 5 が形成されている。この構成により、出力端子 2 1 から共通ドレイン領域 1 4 に印加される高電圧のサージに対す

50

る電界を緩和し、より大きなサージ耐量を確保している。

【0033】

また、出力保護トランジスタQ<sub>L</sub>において、ゲート電極15の下方のゲート酸化膜は、高耐圧トランジスタQ<sub>H</sub>の厚膜ゲート酸化膜10よりも薄い状態の薄膜ゲート酸化膜11に形成されている。すなわち、この薄膜ゲート酸化膜11は、内部回路22におけるロジック回路を構成する低耐圧トランジスタと同じ膜厚とされている。このように構成することにより、出力保護トランジスタQ<sub>L</sub>の電流能力を向上させている。

【0034】

N型高濃度領域6は出力保護トランジスタQ<sub>L</sub>のソース領域を構成し、このソース領域を構成するN型高濃度領域6はP型高濃度領域8に接し、P型高濃度領域8はガードバンド領域4に接している。この構成も、出力保護回路の占有面積を削減する上で有効である。

【0035】

図3(a)、(b)は図1、図2に示す出力保護回路の等価回路である。図3(a)は配置関係を図1に合わせて図示したものである。図3(b)は図3(a)を図6に擬して展開したものである。

【0036】

プラス(+)の過大な電荷が出力端子21から流入すると、それをゲート電極に入力するトランジスタQ<sub>2</sub>(高耐圧トランジスタQ<sub>H</sub>)が導通状態となり、その過大な電荷の一部を接地電位V<sub>ss</sub>へ放出する。

【0037】

また、マイナス(-)の過大な電荷が出力端子21から流入すると、トランジスタQ<sub>2</sub>がブレイクダウンを起して、上記過大な電荷の一部を放出する。それをゲート電極に入力するトランジスタQ<sub>4</sub>(出力保護トランジスタQ<sub>L</sub>)が導通状態となり、その過大な電荷の一部を接地電位V<sub>ss</sub>へ放出する。

【0038】

上記は出力端子21と接地電位V<sub>ss</sub>との間に介挿される高耐圧トランジスタQ<sub>H</sub>と出力保護トランジスタQ<sub>L</sub>との組み合わせであったが、出力端子21と電源電位V<sub>cc</sub>との間に介挿される高耐圧トランジスタQ<sub>H</sub>と出力保護トランジスタQ<sub>L</sub>との組み合わせについても同様に構成してもよい。

【0039】

(実施の形態2)

図5は本発明の実施の形態2における出力保護回路の平面図である。図5において、実施の形態1の図2におけるのと同じ符号は同一構成要素を指している。実施の形態1では、出力保護トランジスタQ<sub>L</sub>の形成方向が高耐圧トランジスタQ<sub>H</sub>の形成方向と同一方向になっているのに対して、本実施の形態では、高耐圧トランジスタQ<sub>H</sub>のソース・ゲート・ドレインの形成方向に対して出力保護トランジスタQ<sub>L</sub>のソース・ゲート・ドレインの形成方向が直角方向とされている。その他の構成については、実施の形態1と同様であるので、説明を省略する。

【0040】

本実施の形態によれば、トランジスタを横方向に繰り返し配置する場合に、出力保護トランジスタQ<sub>L</sub>を共通ドレイン領域14の横側方に配置した場合よりも繰り返しピッチが小さくなり、さらなる高密度配置が可能となる。

【産業上の利用可能性】

【0041】

本発明の出力保護回路は、半導体回路の出力回路に印加される異常電圧を効果的に外部に排出し、出力回路を保護する上で有用である。

【図面の簡単な説明】

【0042】

【図1】本発明の実施の形態1における出力保護回路の断面図

10

20

30

40

50

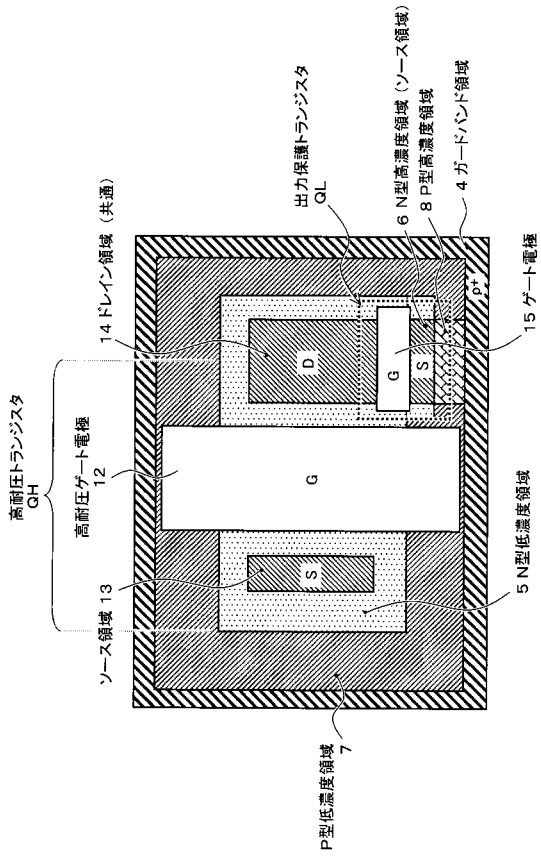
- 【図 2】本発明の実施の形態 1 における出力保護回路の平面図
- 【図 3】本発明の実施の形態 1 における出力保護回路の適用例説明図
- 【図 4】本発明の実施の形態 1 における出力保護回路の等価回路図
- 【図 5】本発明の実施の形態 2 における出力保護回路の平面図
- 【図 6】従来技術における出力保護回路の構成を示す回路図
- 【符号の説明】

【 0 0 4 3 】

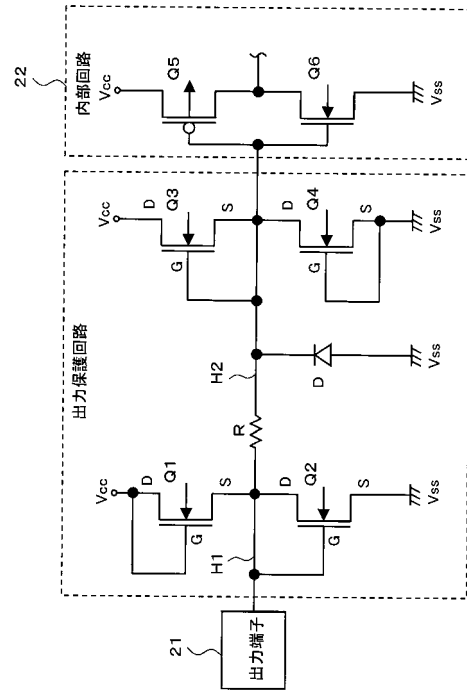
- |    |                  |    |
|----|------------------|----|
| 1  | シリコンウエハ          |    |
| 2  | P型ウェル            |    |
| 3  | N型ウェル            | 10 |
| 4  | ガードバンド領域         |    |
| 5  | N型低濃度領域          |    |
| 6  | N型高濃度領域（ソース領域）   |    |
| 7  | P型低濃度領域          |    |
| 8  | P型高濃度領域          |    |
| 9  | フィールド酸化膜         |    |
| 10 | 厚膜ゲート酸化膜         |    |
| 11 | 薄膜ゲート酸化膜         |    |
| 12 | 高耐圧ゲート電極         |    |
| 13 | ソース領域            | 20 |
| 14 | 共通ドレイン領域         |    |
| 15 | 出力保護トランジスタのゲート電極 |    |
| 16 | 層間絶縁膜            |    |
| 21 | 出力端子             |    |
| 22 | 内部回路             |    |
| 23 | 出力保護回路           |    |
| QH | 高耐圧トランジスタ        |    |
| QL | 出力保護トランジスタ       |    |



【 図 5 】



【 図 6 】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

**H 0 1 L 27/092 (2006.01)**

Fターム(参考) 5F140 AA32 AB01 AB03 AC21 BA01 BD05 BD19 BF44 BH05 BH17  
BH30 BH43 CB01 CB02 DA08