

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年3月17日(2005.3.17)

【公開番号】特開2002-94054(P2002-94054A)
 【公開日】平成14年3月29日(2002.3.29)
 【出願番号】特願2000-283168(P2000-283168)
 【国際特許分類第7版】

H 0 1 L 29/78
 H 0 1 L 21/8234
 H 0 1 L 27/088
 H 0 1 L 29/41
 H 0 1 L 21/336

【F I】

H 0 1 L 29/78 3 0 1 W
 H 0 1 L 29/78 6 5 2 A
 H 0 1 L 29/78 6 5 2 N
 H 0 1 L 27/08 1 0 2 A
 H 0 1 L 27/08 1 0 2 B
 H 0 1 L 29/44 B
 H 0 1 L 29/44 E
 H 0 1 L 29/78 3 0 1 D
 H 0 1 L 29/78 6 5 8 F

【手続補正書】

【提出日】平成16年4月21日(2004.4.21)

【手続補正1】

【補正対象書類名】明細書
 【補正対象項目名】発明の名称
 【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1導電型の半導体基板の主面に絶縁ゲート型電界効果トランジスタが形成された半導体装置であって、前記絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜の上部に形成された第1導電膜からなるゲート電極と、前記半導体基板に形成された第2導電型の半導体領域からなるソースと、前記半導体基板に形成され、前記ゲート電極と離間して配置された第2導電型の半導体領域からなるドレインと、前記ゲート電極と前記ドレインとの間の領域の前記半導体基板に形成された第2導電型の半導体領域からなるドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電氣的に接続された第2導電膜からなるシールド導電膜と、前記ゲート電極と電氣的に接続された第1金属膜からなるゲート短絡用配線と、前記ソースと電氣的に接続された第1金属膜からなるソース電極と、前記ドレインと電氣的に接続された第1金属膜からなるドレイン電極とからなり、前記絶縁ゲート型電界効果トランジスタの平面レイアウトの少なくとも一部分にお

いて、前記ドレイン電極、前記シールド導電膜、前記ゲート電極、前記ソース電極および前記ゲート短絡用配線がこの順番で配置されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、前記シールド導電膜を構成する前記第 2 導電膜の膜厚は、前記ゲート電極を構成する前記第 1 導電膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、前記ドレイン・オフセット層とその上部に形成された前記シールド導電膜との間には、前記ゲート絶縁膜とその上部に形成された第 1 絶縁膜とが介在していることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、前記絶縁ゲート型電界効果トランジスタは、動作周波数が 800 MHz ~ 2.5 GHz の高周波電力増幅器の増幅素子を構成することを特徴とする半導体装置。

【請求項 5】

請求項 1 記載の絶縁ゲート型電界効果トランジスタ、容量とインダクタンスとからなる入力内部整合回路および出力整合回路を有する高周波増幅回路を備えた半導体装置。

【請求項 6】

第 1 導電型の半導体基板の主面に絶縁ゲート型電界効果トランジスタが形成された半導体装置であって、前記絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜の上部に形成された第 1 導電膜からなるゲート電極と、前記半導体基板に形成された第 2 導電型の半導体領域からなるソースと、前記半導体基板に形成され、前記ゲート電極と離間して配置された第 2 導電型の半導体領域からなるドレインと、前記ゲート電極と前記ドレインとの間の領域の前記半導体基板に形成された第 2 導電型の半導体領域からなるドレイン・オフセット層と、前記ドレイン・オフセット層の上部に形成され、前記ソースと電氣的に接続された第 2 導電膜からなるシールド導電膜とからなり、
前記ドレイン・オフセット層とその上部に形成された前記シールド導電膜との間には、前記ゲート絶縁膜とその上部に形成された第 1 絶縁膜とが介在し、
前記ソースおよび前記ドレインには、前記シールド導電膜を覆う第 2 絶縁膜上に形成された第 1 金属膜からなるソース電極およびドレイン電極がそれぞれ電氣的に接続され、
前記ソース電極と前記シールド導電膜とは、前記第 2 絶縁膜に形成された第 1 接続孔を通じて互いに電氣的に接続され、
前記シールド導電膜を構成する前記第 2 導電膜の膜厚は、前記ゲート電極を構成する前記第 1 導電膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、前記シールド導電膜を構成する前記第 2 導電膜の膜厚は、前記ドレイン電極を構成する前記第 1 金属膜の膜厚よりも薄いことを特徴とする半導体装置。

【請求項 8】

請求項 6 記載の半導体装置において、前記半導体基板は、第 1 導電型の単結晶シリコンからなる支持基板とその上部に形成された第 1 導電型のシリコンエピタキシャル層からなることを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、前記シリコンエピタキシャル層に形成され、前記ソースおよび前記支持基板と電氣的に接続された第 1 導電型の半導体領域からなるソース打ち抜き層と、前記支持基板の裏面に形成されたソース電極とをさらに有することを特徴とする半導体装置。

【請求項 10】

請求項 6 記載の絶縁ゲート型電界効果トランジスタ、容量とインダクタンスとからなる入力内部整合回路および出力整合回路を有する高周波増幅回路を備えた半導体装置。