(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G11B 27/28

(45) 공고일자 1997년04월22일
(11) 공고번호 특1997-0005992
(24) 등록일자 1997년04월22일

(21) 출원번호 특1993-0023779
(22) 출원일자 1993년11월10일
(65) 공개번호 특1994-0012240
(43) 공개일자 1994년06월23일
(30) 우선권주장 92-299626 1992년11월10일 일본(JP)

(73) 특허권자 가부시기가이샤 도시바 사또오 후미오
일본국 가나가와켄 가와사키시 사이와이쿠 호리가와 쵸오 72
(72) 발명자 고사카 요시아키
일본국 사이타마켄 후카야시 하타라 쵸오 1-9-2 가부시기가이샤 도시바 후카야 공장내
(74) 대리인 이상섭, 나영환

심사관 : 신양환 (책자공보 제4962호)

(54) 듀티 검출 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

듀티 검출 회로

[도면의 간단한 설명]

제1도는 본 발명의 듀티 검출 회로의 일실시예를 나타낸 블록도.

제2도는 제1도에 도시된 듀티 검출 회로의 동작을 설명하는 논리도.

제3도는 제1도에 도시한 듀티 검출 회로에 있어서의 기준 클록의 전환점과 대응 배속수와의 관계를 나타낸 도면.

제4도는 종래의 듀티 검출 회로의 일례를 나타낸 블록도.

제5도는 제4도에 도시한 듀티 검출 회로의 동작을 설명하는 타임 챠트.

* 도면의 주요부분에 대한 부호의 설명

1 : 시퀀서 2 : 카운터 회로
3 : 래치 회로 4 : 제산 회로
5 : 대소 비교 회로 6 : D플립플롭
7 : 패턴 검출 회로 8,9 : R-S플립플롭
10 : 셀렉터 11 : 업다운 카운터
12,16 : 앤드 게이트 13 : 낸드 게이트
14,15 : 오어 게이트

[발명의 상세한 설명]

본 발명은 비디오 테이프 레코더(VTR)등의 자기 테이프에 기록되는 콘트롤 신호의 듀티를 검출하는 듀티 검출 회로에 관한 것이다.

종래부터 가정용 VTR의 VHS방식의 포맷에서는 자기 테이프(이하 단지 테이프라고 함)에 기록하는 콘트롤 신호의 듀티를 변화시키는 것으로 머리내기 신호(VISS)나 어드레스 신호(VASS)를 상기 테이프상에 기록하는 콘트롤 코딩방식이 취해지고 있다. 이 방식은 기록시의 콘트롤 신호에 60%(±5%)와 27.5(±2.5%)의 2종류의 듀티를 사용하며, 또한 소정의 포맷에 따라 콘트롤 신호에 변조를 가하는 것이다. 따라서, 재생측은 상기 콘트롤 신호의 듀티를 검출하는 것으로 VISS 및 VASS의 식별을 한다.

그래서, 재생 콘트롤 신호의 듀티를 검출하는 방법으로는 소정의 클럭에 의거하여 상기 콘트롤 신호가 예를 들어 하이레벨인 시간을 카운트하고, 이 카운트치와 드레시홀드를 비교하여 검출하는 것이 행해지고 있다. 이 경우 상기 드레시홀드를 미리 설정한 고정치로 하면 상기 재생 콘트롤 신호의 주파수가 변화했을 경우에 대응할 수 없기 때문에 재생 콘트롤 신호의 주파수에 따라 상기 드레시 홀드를 변화시키는 방법이 취해지고 있다.

제4도는 상기 콘트롤 신호의 듀티를 판별하는 듀티 판별 회로의 종래예를 나타낸 블록도이며, 제5도는 이 듀티 판별 회로의 동작을 설명하는 타임차트이다. (1)은 시퀀서이고, 재생 콘트롤 신호(100)와 기준 클록(50)에 의거하여 카운터 래치 신호(200)와 카운터 리세트 신호(300) 및 샘플링 펄스(400)를 발생하는 회로이다. (2)는 기준 클록(50)은 업카운트하는 카운터 회로이며 상기 카운터 리세트 신호(300)에 의해 리세트된다. (3)은 상기 카운트 회로(2)의 카운트치를 상기 카운터 래치 신호(300)의 입력 타이밍으로 래치하는 래치회로, (4)는 상기 카운터 회로(2)의 (n+1) 비트의 출력을 1/2로 하여 그 값을 A로 하는 제산회로, (5)는 상기 래치 회로(3)의 출력 B와 상기 제산 회로(4)의 출력 A와의 대소를 비교하고, AB였을 경우, 하이레벨의 신호를 D플립플롭(6)에 출력하는 대소 비교 회로, (7)은 상기 대소 비교 회로(4)의 비교결과를 데이터 단자 D의 입력으로 하고, 상기 샘플링 펄스(400)를 클록 단자 CK의 입력으로 하며 상기 샘플링 펄스(400)의 입력시점에 있어서의 상기 대소 비교회로(4)의 비교 결과를 듀티 검출 신호로서 출력하는 D플립플롭이다.

시퀀서(1)는 제5도(b)에 도시한 재생 콘트롤 신호(100)에서 카운터 래치신호(200)와 카운터 리세트 신호(300) 및 샘플링 펄스(400)를 작성하여 출력한다. 카운터 회로(2)는 시퀀서(1)에서 출력되는 제5도(c)에 도시한 바와 같은 카운트 리세트 신호(300)의 상승으로 0에 리세트된 다음, 기준 클록(50)의 카운트를 개시하고, 그 카운트치는 제5도(a)에 도시한 바와 같이 증가한다. 그후, 제5도(d)에 도시한 것처럼 시퀀서(1)에서 카운터 래치 신호(200)가 출력되면 래치신호(3)는 카운터 회로(2)의 그 시점의 카운트치를 래치하고, 이 값을 B(제5도(f) 참조)로 하여 대소 비교 회로(5)에 보낸다.

한편, 제산 회로(4)는 상기 카운터 회로(2)의 카운트치를 1/2하여 대소 비교회로에 보내고 있으며, 카운터 래치 신호(200)가 출력되었을 때 제산 회로(4)의 출력쪽이 작으면 그 타이밍으로 대소 비교 회로(5)의 출력이 로레벨로 된다. 카운터 회로(2)의 카운트가 진행되어 카운터 리세트 펄스(300)가 발생되기까지 제산회로(4)의 출력쪽이 커지면 그 타이밍으로 대소 비교 회로(5)의 출력이 하이레벨로 되고, 제산회로(4)의 출력쪽이 작을 때까지는 대소 비교 회로(5)의 출력을 로레벨 그대로이다. 대소 비교 회로의 비교 결과는 샘플링 펄스(400)의 출력타이밍으로 D플립플롭(6)에 옮겨진다. 따라서, 콘트롤 신호의 듀티가 50% 이상일 경우는 D플립플롭(6)의 Q출력이 로레벨(논리치 0)로 되고, 50%이하일 경우는 D플립플롭(6)의 Q출력이 하이 레벨(논리치 1)로 되어 제5도(h)에 도시한 바와 같이 듀티 검출 신호(500)가 출력된다.

그런데, 근년의 VTR은 사용 편리성이 향상을 목적으로 하여 속성/되감기의 속도를 고속화하는 추세에 있고, 이 때문에 재생되는 신호(100)의 주파수 범위는 계속 확대된다. 따라서, 상기 듀티 검출 회로에서는 이것에 대응하기 위해, 검출 정밀도 유지를 위한 기준 클록(50)의 고속화와, 이것에 수반하는 카운터 회로(2)의 카운트 비트수의 증가를 하지 않으면 안된다고 하는 필요에 직면하고 있다. 예를 들어 300배속의 속송/되감기에 대응하기 위해서 검출 정밀도로서 2%를 설정하면, 콘트롤 신호의 주파수는 30Hz×300배=9KHz로 되어, 이 경우의 기준 클록의 주파수는 9KHz/0.02=450KHz로 된다. 이 주파수의 클록으로 통상시의 30Hz의 콘트롤 신호에 대응하기 위한 카운터회로(2)의 비트수는 450KHz/30Hz=15000, 즉 14비트(=16384)로 된다. 이것은 듀티 검출 회로의 회로 규모의 증가에 이어져서 회로의 원가 상승요인으로 되는 결함을 초래한다.

상기와 같이 재생 콘트롤 신호의 하이레벨로 되어 있는 시간을 클록으로 카운트하고, 그 카운트치를 상기 콘트롤 신호의 주파수에 따라서 변화하는 드레시홀드와 비교하여 상기 재생 콘트롤 신호의 듀티를 검출하는 종래의 듀티 검출 회로에서는 콘트롤 신호의 주파수의 광범위화에 의해 상기 클록으로서 고속의 것을 사용하지 않으면 안되며, 이것에 의해 비트수가 큰 카운터를 사용할 필요가 생겨 회로 규모가 증대해서 회로의 원가가 높아지는 결점이 있었다.

그래서, 본 발명은 상기 결점을 제거하는 것으로서 콘트롤 신호의 광범위화에 대처하기 위해 고속의 클록을 사용해도, 이 클록을 카운트하는 카운터 비트수를 증가시키지 않고 회로의 규모를 억제할 수 있는 염가의 듀티 검출 회로를 제공하는 것을 목적으로 하고 있다.

본 발명은 입력 신호의 소정의 일정 주기로 발생하는 기준 레벨 변환점과 이 레벨 변환점에서 레벨 복귀점까지의 시간을 클록으로 카운터 회로에서 카운트하고, 그 카운트치를 드레시홀드와 비교하여 상기 입력 신호의 듀티를 검출하는 듀티 검출 회로에 있어서, 상기 카운터 회로의 카운트치를 상기 입력 신호의 주기로 리세트하는 동시에, 미리 설정된 상기 카운터 회로의 복수의 카운트 패턴에 대한 실카운트치를 비교하여 상기 입력 신호의 주기를 판별하는 주기 판별 수단과, 이 주기 판별 수단의 판별 결과에 의해 상기 클록의 주파수를 선택하는 클록 선택 수단을 구비한 구성을 갖는다.

본 발명의 듀티 검출 회로에 있어서, 주기 판별 수단은 입력 신호의 주기를 판별 한다. 클록 선택 수단은 상기 주기 판별 수단의 판별 결과에 의해 클록의 주파수를 선택한다.

실시예

이하, 본 발명의 일실시예를 도면을 참조해서 설명한다.

제1도는 본 발명의 듀티 검출 회로의 일실시예를 도시한 블록도이다. (1)은 시퀀서이며, 재생 콘트롤 신호(100)와 기준 클록(50)에 의거하여 카운트 래치 신호(200)와 카운터 리세트 신호(300) 및 샘플링 펄스(400)를 발생하는 회로이다. (2)는 기준 클록(50)을 업카운트하는 카운터 회로에서 상기 카운터 리세트 신호(300)에 의해 리세트된다. (3)은 상기 카운터 회로(2)의 카운트치를 상기 카운터 래치 신호(300)의 입력 타이밍으로 래치하는 래치회로, (4)는 상기 카운터 회로(2)의 (n+1) 비트의 출력을 1/2로 하여 그 값을 A로 하는 제산회로 (5)는 상기 패치회로(3)의 출력 B와 상기 제산 회로(4)의 출력 A와의 대소를 비교하여 AB 였던 경우에 하이 레벨의 신호를 D플립플롭(6)에 출력하는 대소 비교 회로, (6)은 상기 대소 비교 회로(4)의 비교결과를 단자 D의 입력으로 하고, 상기 샘플링 펄스(400)를 클록 단자 CK의 입력으로

하여 상기 샘플링 펄스(400)의 입력 시점에 있어서의 상기 대소 비교 회로(5)의 비교 결과를 듀티 검출 신호(500)로서 출력하는 D플립플롭, (7)은 카운터 회로(2)의 풀카운트치의 12.5%의 점을 패턴 0으로서 검출하고, 50%의 점을 패턴 1로서 검출하는 패턴 검출 회로, (8, 9)는 상기 패턴 검출 회로(7)의 검출 패턴 결과에 의해 세트되고, 카운터 리세트 신호(300)에 의해 리세트 되는 R-S플립플롭, (10)은 주파수가 다른 클록 f_1～클록 f_4의 어느 하나를 업다운 카운터(11)의 출력 신호에 의해 선택하여 기준 클록(50)으로 하는 셀렉터이며, 업다운 카운터(11)의 출력이 양쪽 0일 때 최대 주파수의 f_1을, 상기 카운터(11)의 출력이 양쪽 1일 때 최소 주파수의 클록 f_4를 선택한다. 단, $f_1f_2f_3f_4$이다. (11)은 R-S플립플롭(9)의 출력 신호에 의해 샘플링 펄스(400)를 업 또는 다운 카운트하는 2비트의 업다운 카운트, (12)는 샘플링 신호(400)를 업다운 카운터(10)에 공급하는지 아닌지를 클록 게이트 신호(600)에 의해 제어하는 앤드 게이트, (13)은 낸드 게이트, (14, 15)는 오어 게이트, (16)은 앤드 게이트이며, 이들 게이트(13～16)는 업다운 카운터(10)의 출력 신호 Q_0, Q_1과 R-S플립플롭(8,9)의 출력 신호에 의거하여 상기 클록 게이트 신호(600)를 작성한다.

다음에 본 실시예의 동작에 대해 설명한다. 카운터 회로(2), 래치 회로(3), 제산회로(4) 및 대소 비교 회로(5)의 동작은 종래예에서 기술한 것과 동일한 동작을 하지만 본 예에서는 패턴 검출 회로(7)가 카운터 검출 회로(2)의 카운트치에서 상술한 패턴 0 또는 패턴 1을 검출하여 그 검출 결과를 R-S플립플롭(8, 9)의 세트 입력 단자 S에 출력하게끔 되어 있다. 즉 R-S 플립플롭(8)은 재생 콘트롤 신호(100)의 주기가 카운터 회로(2)의 카운트 주기의 12.5% 이상 있을 경우에 1에 세트된다. 마찬가지로 R-S 플립플롭(9)은 재생 콘트롤 신호(100)의 주기가 카운터 회로(2)의 50% 이상 있을 경우에 1로 세트되고, 이 상태는 제2도의 좌측에서 2, 3행째에 일람으로서 나타내고 있다. 여기서 2비트의 업다운 카운터(11)가 업카운트 동작을 하는 것은 제2도에 도시한 표의 좌측에서 제1렬째에 도시되어 있는 상태 1～3일 때이며, 반대로 다운 카운트 동작을 하는 것은 상태 7～9일 때이다. 또, 상태 4～6일때는 제1도에 도시한 클록 게이트 신호(600)가, 로레벨로 되어, 업다운 카운터(11)에 샘플링 펄스(400), 즉 카운터(11)에 클록이 공급되지 않게 되는 상태일때이다.

다음에 클록 게이트 신호(600)를 작성하는 동작에 대해 설명한다. 낸드 게이트(13), 오어 게이트(15)의 양쪽 출력이 1일 때, 오어 게이트(15)의 출력은 패턴 0이 0 또는 1이 1의 어느 하나의 상태로 되었을 때, 1로 되고, 이것이 앤드 게이트(16)를 통과하여 클록 게이트 신호(600)로 된다. 이 클록 게이트 신호(600)가 1일 때, 앤드 게이트(12)가 열려, 샘플링 펄스(400)가 클록으로서 업다운 카운터(11)에 공급된다. 그러나, 업다운 카운터(11)의 출력 Q_0, Q_1이 양쪽 모두 1이고 패턴 1이 1로 되었을 때, 낸드 게이트(13)의 출력이 0으로 되어 앤드 게이트(16)을 닫아, 클록 게이트 신호(600)의 통과를 지지하는 것에 의해 앤드 게이트(12)가 닫힌다. 이것에 의해 샘플링 펄스(400)가 이 이상 업다운 카운터(11)에 공급되지 않으며 이 이상의 카운트 동작이 정지된다. 이것에 의해 이미 가장 주파수가 낮은 클록 f_4이 선정되어 있음에도 불구하고, 업다운 카운터(11)가 다시 동작해 버리는 것을 저지할 수 있다. 마찬가지로 오어 게이트(14)는 업다운 카운터(11)의 출력 Q_0, Q_1이 양쪽 모두 0이고 이미 가장 높은 주파수 f_1가 선택되어 있음에도 불구하고, 다시 이 이상 업다운 카운터(11)가 동작해 버리는 것을 저지하기 위한 게이트이다.

여기서 제2도에 도시한 듀티 검출 회로의 논리표는 패턴 검출 회로(7)의 패턴 검출 상태, 즉, 상태 1～상태 9에 대해 업다운 카운터(11)의 출력 Q_0, Q_1의 상태와 그 때의 카운트 방향 및 그 때에 셀렉터(10)로 선택되는 클록의 종류를 일람으로 한 것이다. 예를 들면 상태 1일때의 패턴 검출 회로(7)는 패턴 0으로서 1을, 패턴 1로서 1을 검출한다. 이것에 의해 업다운 카운터(11)는 샘플링 신호(400)를 업카운트하고, 그 출력 Q_0, Q_1을 0, 0에서 1, 0으로 바꾼다. 업다운 카운터(11)의 출력 Q_0, Q_1이 0, 0의 상태에서는 셀럭터(10)에 의해 클록 f1이 기준 클록(50)으로서 선택되어 있으며, 출력 Q_0, Q_1의 1, 0으로의 이행에 의해 클록 f_2가 기준 클록(50)으로서 선택되어 시퀀서(1)와 카운터 회로(2)에 공급한다. 그리고, 이 때 클록게이트 신호(600)는 1로 되어 있고, 게이트(12)를 통해 샘플링 클록(400)이 업다운 카운터(11)에 공급되어 있다. 이하 마찬가지로 본 예에서는 현재의 기준 클록(50)에 대한 재생 콘트롤 신호(100)의 주기를 패턴 1 및 패턴 2의 2개의 출력 신호로 평가하고, 상기 재생 콘트롤 신호의 주기에 적절한 주파수의 기준 신호를 셀렉터(10)에 의해 선택해서 공급하는 동작이 제2도에 도시한 논리표에 의거하여 행해진다.

그런데, 패턴 0 및 패턴 1의 설정치와 클록 f_1～f_4의 주파수 설정치는 입력 신호의 주파수 범위에 맞추어서 적절히 설정하는 것이 필요하지만 이렇다 할 특별한 값으로 한정되는 것은 아니다. 여기서 본 예에서 300배속의 속송/되감기에 대응하는 경우에 대해 기술한다. 먼저 클록 f_1을 상기와 같이 400MHz로 하고, 클록 f2～f4의 관계를 fn＋1=fn/4 단, n=1,2,3으로 한다. 이 클록으로 30Hz의 콘트롤 신호(100)에 대응하기 위한 카운터 회로(2)의 비트는 f_4/30Hz=450KHz/64×30Hz=234로 된다. 즉, 카운터 회로(2)의 비트수는 8비트로 설정하면 된다. 이 조건으로 클록 전환점(상기 12.5%점 및 50%점)의 대응 배속수를 정리한 표가 제3도에 나타낸 표이다. 이 제3도의 표에서 명백한 것처럼 상기 클록 전환점에 있어서의 배속수의 각 클록간에서 오버랩하고 있으며, 클록의 전환 동작이 잘 적응하고 있는 것을 알 수 있다.

본 실시예에 의하면 입력되는 재생 콘트롤 신호의 주파수에 따라 기준 클록의 주파수를 f_1～f_4의 4단계로 전환하여 공급함으로써 카운터 회로(2)가 필요로 하는 비트수는 300배속의 속송/되감기에 대해 8비트로 족하며 이 카운터 회로(2)의 회로 규모를 작게 억제할 수 있는 동시에 또한 상기 재생 콘트롤 신호의 주파수 범위를 확대하여 속송/되감기 동작의 고속화에 대응할 수 있다.

이상 기술한 바와 같이 본 발명의 듀티 검출 회로에 의하면 콘트롤 신호의 광범위화에 대처하기 위해 고속의 클록을 사용해도 이 클록을 카운트하는 카운터 회로의 비트수를 증가시키지 않고 회로의 규모를 억제하여 회로를 염가로 할 수 있다.

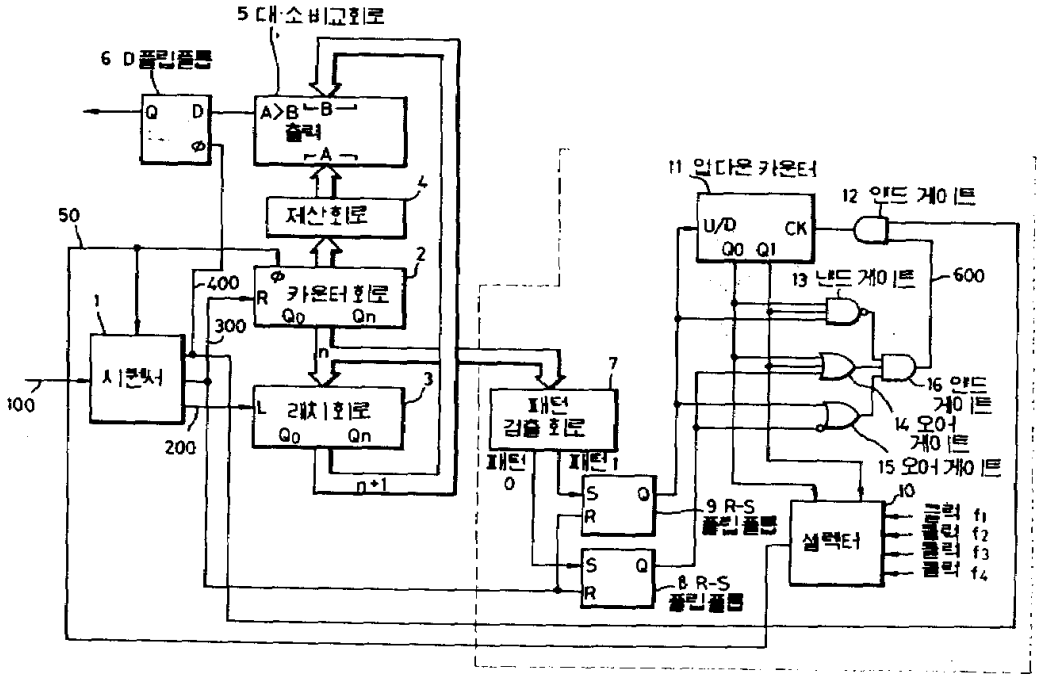
(57) 청구의 범위

청구항 1

입력 신호의 소정의 일정 주기로 발생하는 기준 레벨 변환점과 이 레벨 변환점에서 레벨 복귀점까지의 시간을 클록으로 카운터 회로에서 카운트하고, 그 카운트치를 드레시 홀드와 비교하여 상기 입력 신호의 듀티를 검출하는 듀티 검출 회로에 있어서, 상기 카운터 회로의 카운트치를 상기 입력 신호의 주기로 리세트하는 동시에, 미리 설정된 상기 카운터 회로의 복수의 카운트 패턴에 대한 실카운트치를 비교하여 상기 입력 신호의 주기를 판별하는 주기 판별 수단과, 이 주기 판별 수단의 판별 결과에 의해 상기 클록의 주파수를 선택하는 클록 선택 수단을 구비한 것을 특징으로 하는 듀티 검출 회로.

도면

도면1



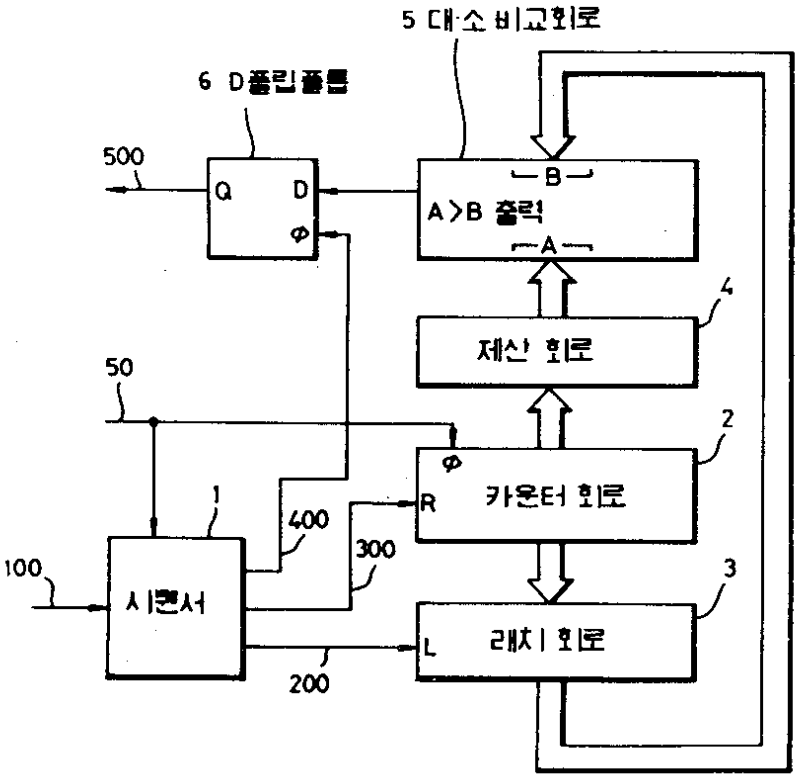
도면2

상태	패턴 0 (12.5 %)	패턴 1 (87.5 %)	Q_0	Q_1	U/D	선택되고있는 기준 클록
1	1	1	0	0	U	$f_1 \rightarrow f_2$
2	1	1	1	0	U	$f_2 \rightarrow f_3$
3	1	1		1	U	$f_3 \rightarrow f_4$
4	1	1	1	1	—	f_4 유지
5	1	0	*	*	—	유지
6	0	0	0	0	—	f_1 유지
7	0	0	1	0	D	$f_2 \rightarrow f_1$
8	0	0	0	1	D	$f_3 \rightarrow f_2$
9	0	0	1	1	D	$f_4 \rightarrow f_3$

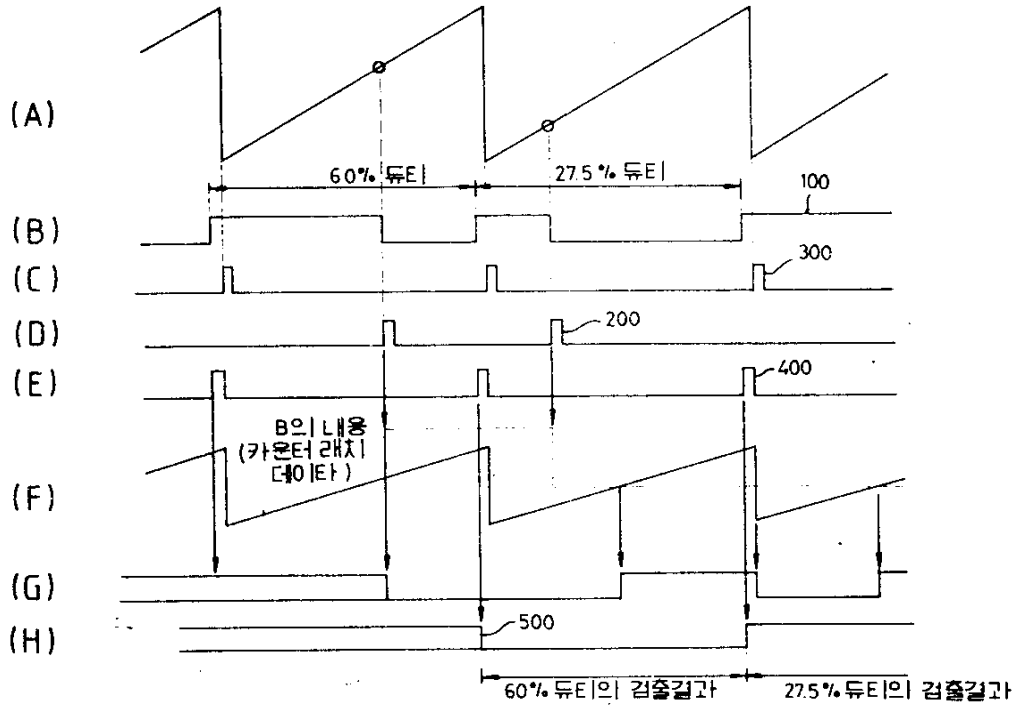
도면3

클록	12.5 % 점의 P_CTL 주파수	50 % 점의 P_CTL 주파수	클록 전환점	대응 배속수
f_1 = 450 KHz	(14 KHz)	3.5 KHz (117배에 상당)	117배 이하에서 f_2로 전환	117 ~ 300 (검출 정도 2 %)
$f_2 = \frac{450}{4}$ KHz	3.5 KHz	879 Hz (29배에 상당)	117배 이상에서 f_1로 전환 29배 이하에서 f_3로 전환	29 ~ 117
$f_3 = \frac{450}{16}$ KHz	879 Hz	220 Hz (7배에 상당)	29배 이상에서 f_2로 전환 7배 이하에서 f_4로 전환	7 ~ 29
$f_4 = \frac{450}{64}$ KHz	220 Hz	(55Hz)	7배 이상에서 f_3로 전환	0.9 ~ 7 (카운터의 오버플로)

도면4



도면5


(A)
(B)
(C)
(D)
(E)
(F)
(G)
(H)
60% 듀티
27.5% 듀티
100
300
200
400
B의 내용
(카운터 래치
데이타)
500
60% 듀티의 검출결과
27.5% 듀티의 검출결과