



등록특허 10-2232624



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월25일
(11) 등록번호 10-2232624
(24) 등록일자 2021년03월22일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *G02F 1/1368* (2006.01)
G06F 3/041 (2006.01)

(21) 출원번호 10-2013-0145023
(22) 출원일자 2013년11월27일
 심사청구일자 2018년10월02일
(65) 공개번호 10-2014-0070411
(43) 공개일자 2014년06월10일
(30) 우선권주장
 JP-P-2012-261919 2012년11월30일 일본(JP)

(56) 선행기술조사문헌
 JP2011124360 A*
 KR1020100084466 A*
 KR1020120011821 A*

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
도쿠나가 하지메
일본 240-0006 가나가와켄 요코하마시 호도가야
쿠 호시카와 3-9-6 구레이스와다마찌 505

고에즈카 준이치
일본 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인
장수길 박충현 이중희

전체 청구항 수 : 총 15 항

심사관 : 이양근

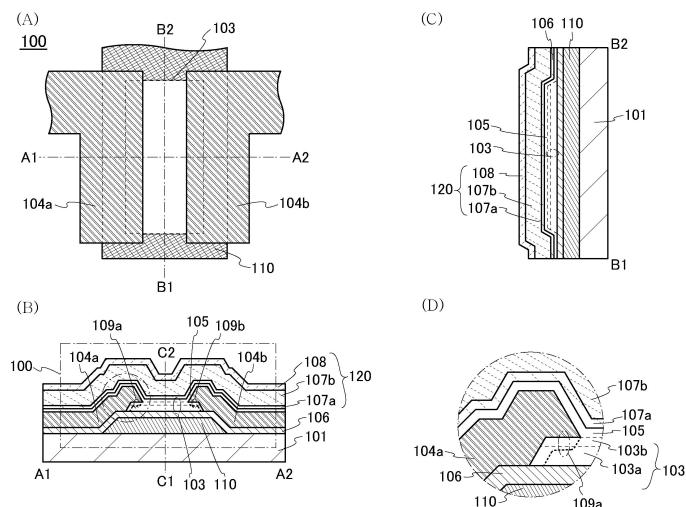
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 신뢰성이 높으며 안정된 전기 특성을 갖는 반도체 장치를 제공한다.

채널이 형성되는 산화물 반도체막의 상층과 하층에 접촉하도록, 상기 산화물 반도체막을 구성하는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 산화물막을 형성함으로써, 상기 산화물 반도체막의 상측의 계면과 하측의 계면에 계면 준위가 생성되기 어렵게 한다. 또한, 산화물 반도체막에 접촉하는 산화물막의 재료에 전자 친화력이 산화물 반도체막의 전자 친화력보다 작은 것을 사용함으로써 채널에 흐르는 전자가 산화물 반도체막에 접촉하는 산화물막으로 이동하는 일은 거의 없고 주로 산화물 반도체막 내를 이동한다. 따라서, 산화물막의 외측에 형성되는 절연막과 산화물막의 계면에 준위가 존재하더라도 상기 준위는 전자의 이동에는 거의 영향을 미치지 않는다.

대 표 도



(72) 발명자

오카자키 겐이치

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

야마자키 슈페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 전극과;

상기 제 1 전극 위의 제 1 절연막과;

상기 제 1 절연막 위의, 갈륨을 포함한 산화물 반도체막과;

상기 산화물 반도체막 위에 접하는, 인듐, 갈륨, 및 아연을 포함한 제 1 산화물막과;

상기 제 1 산화물막 위의 제 2 전극과;

상기 제 1 산화물막 위의 제 3 전극과;

상기 제 1 산화물막, 상기 제 2 전극, 및 상기 제 3 전극 위에 접하는, 인듐, 갈륨, 및 아연을 포함한 제 2 산화물막을 포함하는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 산화물 반도체막, 상기 제 1 산화물막, 및 상기 제 2 산화물막 각각은 같은 금속 원소를 포함하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 2 산화물막의 전자 친화력이 상기 제 1 산화물막의 전자 친화력과 같고,

상기 제 2 산화물막의 상기 전자 친화력이 상기 산화물 반도체막의 전자 친화력보다 작은, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제 2 산화물막의 전자 친화력이 상기 제 1 산화물막의 전자 친화력보다 작고,

상기 제 2 산화물막의 상기 전자 친화력이 상기 산화물 반도체막의 전자 친화력보다 작은, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 제 2 산화물막 위에 접하는 제 2 절연막을 더 포함하고,

상기 제 2 절연막은 파잉 산소를 포함하는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 2 절연막은 산화물 절연막과 질화물 절연막의 적층인, 반도체 장치.

청구항 9

반도체 장치에 있어서,

제 1 전극과;

상기 제 1 전극 위의 제 1 절연막과;

상기 제 1 절연막 위의, 인듐, 갈륨, 및 아연을 포함한 제 1 산화물막과;

상기 제 1 산화물막 위의, 갈륨을 포함한 산화물 반도체막과;

상기 산화물 반도체막 위에 접하는, 인듐, 갈륨, 및 아연을 포함한 제 2 산화물막과;

상기 제 2 산화물막 위의 제 2 전극과;

상기 제 2 산화물막 위의 제 3 전극과;

상기 제 2 산화물막, 상기 제 2 전극, 및 상기 제 3 전극 위에 접하는, 인듐, 갈륨, 및 아연을 포함한 제 3 산화물막을 포함하는, 반도체 장치.

청구항 10

제 1 항 또는 제 9 항에 있어서,

상기 산화물 반도체막은 인듐 및 아연을 더 포함하는, 반도체 장치.

청구항 11

삭제

청구항 12

제 9 항에 있어서,

상기 산화물 반도체막, 상기 제 1 산화물막, 상기 제 2 산화물막, 및 상기 제 3 산화물막 각각은 같은 금속 원소를 포함하는, 반도체 장치.

청구항 13

제 9 항에 있어서,

상기 제 3 산화물막의 전자 친화력이 상기 제 1 산화물막의 전자 친화력 및 상기 제 2 산화물막의 전자 친화력과 같고,

상기 제 3 산화물막의 상기 전자 친화력이 상기 산화물 반도체막의 전자 친화력보다 작은, 반도체 장치.

청구항 14

제 9 항에 있어서,

상기 제 3 산화물막의 전자 친화력이 상기 제 1 산화물막의 전자 친화력 및 상기 제 2 산화물막의 전자 친화력보다 작고,

상기 제 1 산화물막의 상기 전자 친화력 및 상기 제 2 산화물막의 상기 전자 친화력이 상기 산화물 반도체막의 전자 친화력보다 작은, 반도체 장치.

청구항 15

제 9 항에 있어서,

상기 제 3 산화물막의 전자 친화력이 상기 제 2 산화물막의 전자 친화력과 같고,

상기 제 3 산화물막의 상기 전자 친화력이 상기 제 1 산화물막의 전자 친화력보다 크고,

상기 제 3 산화물막의 상기 전자 친화력이 상기 산화물 반도체막의 전자 친화력보다 작은, 반도체 장치.

청구항 16

제 9 항에 있어서,

상기 제 3 산화물막의 전자 친화력이 상기 제 1 산화물막의 전자 친화력과 같고,

상기 제 3 산화물막의 상기 전자 친화력이 상기 제 2 산화물막의 전자 친화력보다 작고,

상기 제 3 산화물막의 상기 전자 친화력이 상기 산화물 반도체막의 전자 친화력보다 작은, 반도체 장치.

청구항 17

제 9 항에 있어서,

상기 제 3 산화물막 위에 접하는 제 2 절연막을 더 포함하고,

상기 제 2 절연막은 과잉 산소를 포함하는, 반도체 장치.

청구항 18

제 17 항에 있어서,

상기 제 2 절연막은 산화물 절연막과 질화물 절연막의 적층인, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 제조 방법, 프로세스(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히 본 발명은, 예를 들어 반도체 장치, 표시 장치, 발광 장치, 이를 장치의 구동 방법, 또는 이를 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 트랜지스터, 반도체 회로, 기억 장치, 활성 장치, 표시 장치, 전기 광학 장치, 및 전자 기기 등을 모두 반도체 장치라고 할 수 있다.

배경 기술

[0003] 반도체 박막을 사용하여 트랜지스터를 제작하는 기술이 주목을 받고 있다. 이 트랜지스터는 집적 회로(IC)나 화상 표시 장치와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 기타 재료로서는 산화물 반도체가 주목을 받고 있다.

[0004] 예를 들어, 트랜지스터의 채널 형성 영역으로서, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함한 비정질 산화물을 사용한 트랜지스터가 공개되어 있다(특히 문헌 1 참조).

[0005] 또한, 산화물 반도체는, 제조 프로세스 중에 산소가 이탈되어 산소 결손이 형성되는 것으로 알려져 있다(특히 문헌 2 참조).

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 2006-165528호 공보

(특허문헌 0002) 일본국 특개 2011-222767호 공보

발명의 내용

해결하려는 과제

[0007] 산화물 반도체막 내에 생긴 산소 결손은 국재 준위(局在 準位)를 생성하고, 이것은 상기 산화물 반도체막을 사용한 트랜지스터 등 반도체 장치의 전기 특성 저하의 원인이 된다.

[0008] 또한, 산화물 반도체막 내의, 산화물 반도체막과 절연막이 적층되는 계면 근방에서는 산소 결손에 기인한 계면 준위가 생성되기 쉽다. 계면 준위의 증가는, 캐리어의 산란이나 포획을 일으키고, 트랜지스터의 전계 효과 이동도의 저하나 오프 전류 증가의 원인이 된다. 또한, 계면 준위의 증가는 트랜지스터의 문턱 전압을 변동시켜 전기 특성의 편차가 증가하는 원인이 된다. 따라서, 계면 준위의 증가는 트랜지스터의 전기 특성을 열화시켜 트랜지스터의 신뢰성을 저하시킨다.

[0009] 본 발명의 일 형태는 국재 준위 밀도가 작은 산화물 반도체를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 전기 특성의 편차가 작은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 신뢰성이 높고 안정된 전기 특성을 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 전기 특성이 양호한 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0010] 또는, 본 발명의 일 형태는 문턱 전압의 변동 또는 편차가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 이동도의 저하가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 오프 전류의 증가가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명의 일 형태는 열화가 적은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0011] 또한, 상술한 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 과제 전부를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는, 명세서, 도면, 청구항 등의 기재를 보면 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재를 보면 이들 외의 과제를 추출하는 것이 가능하다.

과제의 해결 수단

[0012] 채널이 형성되는 산화물 반도체막에 접촉하도록, 이 산화물 반도체막이 갖는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 산화물막을 형성한다. 이와 같은 산화물막과 산화물 반도체막의 다층막의 계면에는 계면 준위가 생성되기 어렵다.

[0013] 적어도 산화물 반도체막의 상면에 산화물막을 제공함으로써, 구체적으로 말하면, 산화물 반도체막이 갖는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 산화물막을 상기 산화물 반도체막의 상면에 접촉하도록 제공함으로써 상기 산화물 반도체막 상측의 계면에서의 계면 준위를 저감시킬 수 있다.

[0014] 상술한 바와 같이 하여, 예를 들어 산화물 반도체막 위에 절연막을 제공한 경우에 비하여 계면 준위의 생성을 억제할 수 있다.

[0015] 또한, 산화물 반도체막에 접촉하는 산화물막의 재료에 산화물 반도체막의 전자 친화력보다 작은 전자 친화력을 갖는 것을 사용한다. 이런 구조로 함으로써, 채널에 흐르는 전자는 산화물 반도체막에 접촉하는 산화물막으로 이동하는 일은 거의 없고 주로 산화물 반도체막 내를 이동한다. 즉, 산화물막과 산화물막의 외측에 형성되는 절연막의 계면에 준위가 존재하는 경우에도 상기 준위는 전자의 이동에는 거의 영향을 미치지 않는다.

[0016] 즉, 산화물막과 절연막의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있으나, 절연막과 산화물 반도체막 사이에 산화물막을 개재(介在)시킴으로써, 산화물 반도체막을 상기 트랩 준위에서 떨어진 위치에 배치할 수 있다.

[0017] 또한, 산화물 반도체막에 접촉하는 산화물막과 절연막 사이에 추가로 산화물막을 제공함으로써 산화물 반도체막을 상기 트랩 준위에서 더욱 떨어진 위치에 배치할 수 있다. 또한, 산화물 반도체막에 접촉하는 산화물막과 절연막 사이에 제공하는 산화물막은, 산화물 반도체막에 접촉하는 산화물막을 구성하는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함하는 것이 바람직하다.

[0018] 또한, 산화물 반도체막에 접촉하는 산화물막과 절연막 사이에 제공하는 산화물막은, 산화물 반도체막에 접촉하는 산화물막의 전자 친화력보다 작은 전자 친화력을 갖는 것이 바람직하다.

[0019] 본 발명의 일 형태는, 제 1 전극과, 제 1 절연막과, 산화물 반도체막 및 제 1 산화물막이 적층된 다층막과, 제 2 전극과, 제 3 전극과, 제 2 산화물막을 갖고, 제 1 절연막은 제 1 전극 위에 제공되어 있고, 다층막은 제 1 절연막을 개재하여 제 1 전극과 중첩되도록 제공되어 있고, 제 2 전극 및 제 3 전극은 다층막의 일부에 접촉하

도록 제공되어 있고, 제 2 산화물막은 다층막, 제 2 전극 및 제 3 전극의 상면에 접촉하도록 제공되어 있는 것을 특징으로 하는 반도체 장치이다.

[0020] 또한, 상기 반도체 장치에 있어서, 다층막은, 산화물 반도체막의 상면에 산화물막이 제공되어 있는 구성뿐만 아니라 산화물 반도체막의 상면 및 하면에 산화물막이 제공되어 있는 구성이라도 좋다.

[0021] 그래서, 본 발명의 일 형태는, 제 1 전극과, 제 1 절연막과, 산화물 반도체막, 제 1 산화물막, 및 제 2 산화물막이 적층된 다층막과, 제 2 전극과, 제 3 전극과, 제 3 산화물막을 갖고, 제 1 절연막은 제 1 전극 위에 제공되어 있고, 다층막은 제 1 절연막을 개재하여 제 1 전극과 중첩되도록 제공되어 있고, 제 2 전극 및 제 3 전극은 다층막의 일부에 접촉하도록 제공되어 있고, 제 3 산화물막은 다층막, 제 2 전극 및 제 3 전극의 상면에 접촉하도록 제공되어 있는 것을 특징으로 하는 반도체 장치이다.

[0022] 또한, 본 발명의 일 형태는, 다층막, 제 2 전극 및 제 3 전극의 상면에 접촉하는 산화물막의 상면에 접촉하도록 절연막을 제공하여도 좋다. 이 절연막은 단층 구조 또는 적층 구조로 하고, 적어도 화학양론적 조성을 만족시키는 산소보다 높은 비율로 산소를 포함한 산화물 절연막을 갖는 것이 바람직하다. 상기 절연막을 제공함으로써, 반도체 장치의 제작 공정에서의 가열 처리에 의하여 상기 산화물 절연막에 포함되는 산소를 산화물 반도체막에 공급할 수 있고 이 산화물 반도체막 내의 산소 결손을 수복(修復)할 수 있다.

[0023] 또한, 제 1 전극은 게이트 전극으로서 기능하고 제 2 전극 및 제 3 전극 중 한쪽은 소스 전극으로서 기능하고 제 2 전극 및 제 3 전극 중 다른 쪽은 드레인 전극으로서 기능할 수 있다.

발명의 효과

[0024] 본 발명의 일 형태에 의하여 국재 준위 밀도가 작은 산화물 반도체를 제공할 수 있다.

[0025] 본 발명의 일 형태에 의하여 전기 특성의 편차가 작은 반도체 장치를 제공할 수 있다.

[0026] 본 발명의 일 형태에 의하여 신뢰성이 높고 안정된 전기 특성을 갖는 반도체 장치를 제공할 수 있다.

[0027] 본 발명의 일 형태에 의하여 전기 특성이 양호한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0028] 도 1은 트랜지스터의 일례를 설명하기 위한 상면도 및 단면도.

도 2는 다층막의 에너지 밴드 구조를 설명하기 위한 도면.

도 3은 반도체 장치의 제작 방법의 일례를 설명하기 위한 단면도.

도 4는 타깃으로부터 스퍼터링 입자가 박리되는 상황을 도시한 도면.

도 5는 In-Ga-Zn 산화물의 결정 구조의 일례를 도시한 도면.

도 6은 스퍼터링 입자가 피형성면에 도달하여 퇴적하는 상황을 도시한 도면.

도 7은 다층막의 단부의 단면 형상의 일례를 설명하기 위한 도면.

도 8은 트랜지스터의 일례를 설명하기 위한 단면도.

도 9는 트랜지스터의 일례를 설명하기 위한 상면도 및 단면도.

도 10은 다층막의 에너지 밴드 구조를 설명하기 위한 도면.

도 11은 다층막의 에너지 밴드 구조를 설명하기 위한 도면.

도 12는 반도체 장치의 제작 방법의 일례를 설명하기 위한 단면도.

도 13은 다층막의 단부의 단면 형상의 일례를 설명하기 위한 도면.

도 14는 트랜지스터의 일례를 설명하기 위한 단면도.

도 15는 표시 장치에 적용 가능한 화소 회로의 일례를 설명하기 위한 도면.

도 16은 표시 장치의 일례를 설명하기 위한 도면.

도 17은 표시 장치의 일례를 설명하기 위한 도면.

도 18은 표시 장치에 적용 가능한 화소 회로의 일례를 설명하기 위한 도면.

도 19는 표시 장치의 일례를 설명하기 위한 도면.

도 20은 전자 기기의 일례를 도시한 도면.

도 21은 전자 기기의 일례를 도시한 도면.

도 22는 다층막의 ToF-SIMS 분석 결과를 나타낸 도면.

도 23은 다층막의 CPM 측정 결과를 나타낸 도면.

도 24는 다층막의 에너지 밴드 구조를 설명하기 위한 도면.

도 25는 다층막의 에너지 밴드 구조를 설명하기 위한 도면.

도 26은 실시형태에 관한 터치 센서를 설명하기 위한 도면.

도 27은 실시형태에 관한 터치 센서를 구비한 화소를 설명하기 위한 도면.

도 28은 실시형태에 관한 터치 센서 및 화소의 동작을 설명하기 위한 도면.

도 29는 실시형태에 관한 터치 센서 및 화소의 동작을 설명하기 위한 도면.

도 30은 실시형태에 관한 화소의 구성을 설명하기 위한 도면.

도 31은 트랜지스터의 Vg-Id 특성을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0029]

이하에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에서 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명함에 있어서, 같은 것을 가리키는 부호는 다른 도면간에서도 공통적으로 사용한다. 또한, 같은 것을 가리키는 경우에는 해치 패턴을 동일하게 하고, 특히 부호를 붙이지 않는 경우가 있다.

[0030]

또한, 도면 등에서 나타내는 각 구성의, 위치, 크기, 범위 등을, 간단히 이해할 수 있도록 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서, 기재하는 발명은 반드시 도면 등에 공개된 위치, 크기, 범위 등에 한정되지 않는다. 예를 들어, 실제의 제작 공정에서 에칭 등의 처리에 의하여 레지스트 마스크 등이 의도하지 않게 저감될 수도 있으나 이해하기 쉽게 하기 위하여 생략하여 제시하는 경우가 있다. 또한, 명확하게 기재하지 않는 경우에도, 에칭 후에는 상기 레지스트 마스크를 제거하는 것으로 한다.

[0031]

제 1, 제 2로서 붙이는 서수사는, 구성 요소의 혼동을 피하기 위하여 편의상 사용하는 것이며 공정 순서 또는 적층 순서 등 순서나 순위를 나타내는 것이 아니다.

[0032]

또한, 전압이란, 어느 전위와, 기준의 전위(예를 들어, 접지 전위(GND) 또는 소스 전위)의 전위차를 가리키는 경우가 많다. 따라서, 전압을 전위로 바꾸어 말할 수 있다.

[0033]

또한, 본 명세서 등에서 "전기적으로 접속"이라는 표현에는 "어떤 전기적 작용을 갖는 것"을 통하여 접속되는 경우가 포함된다. 여기서, "어떤 전기적 작용을 갖는 것"은 접속 대상 사이에서 전기 신호를 주고받고 할 수 있는 것이라면 특별히 제한을 받지 않는다. 따라서, "전기적으로 접속된다"라고 표현된 경우에도 현실의 회로에서는 물리적인 접속 부분이 없고, 그저 배선이 연장되어 있을 뿐인 경우도 있다.

[0034]

또한, 소스 및 드레인의 기능은, 상이한 극성을 갖는 트랜지스터를 채용하는 경우나 회로 동작에서 전류의 방향이 변화되는 경우 등, 동작 조건 등에 따라 서로 바뀌기 때문에, 어느 쪽이 소스 또는 드레인인지를 한정하는 것은 어렵다. 따라서, 본 명세서에서는 소스 및 드레인이라는 용어는 바꾸어 사용할 수 있는 것으로 한다.

[0035]

또한, 본 명세서 등에 있어서, "전극"이나 "배선"이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, "전극"은 "배선"의 일부분으로서 사용될 수 있고, 또한, 그 반대도 마찬가지이다. 또한, "전극"이나 "배선"이라는 용어는 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는 반도체 장치의 일 형태로서, 트랜지스터(100)를 예시하여 설명한다.

[반도체 장치의 구성예]

[0039] 도 1에 반도체 장치의 일 형태인 트랜지스터(100)를 도시하였다. 트랜지스터(100)는 보텀 게이트형 트랜지스터 중의 하나이다. 도 1의 (A)는 트랜지스터(100)의 상면도를 도시한 것이다. 도 1의 (B)는 도 1의 (A) 중의 일점 쇄선 A1-A2 부분의 단면도를 도시한 것이다. 도 1의 (C)는 도 1의 (A) 중의 일점 쇄선 B1-B2 부분의 단면도를 도시한 것이다. 도 1의 (D)는 도 1의 (B)에 도시된 일점 쇄선의 동그라미표로 둘러싸인 영역의 확대 도면을 도시한 것이다. 또한, 도 1의 (A)에서는 일부의 구성 요소의 기재를 생략하였다.

[0040] 트랜지스터(100)는, 기판(101) 위에 제공된 게이트 전극(110)을 갖고, 게이트 전극(110) 위에 제공된 게이트 절연막(106)을 갖고, 게이트 절연막(106) 위에 제공된 다층막(103)을 갖고, 다층막(103) 위에 제공된 소스 전극(104a) 및 드레인 전극(104b)을 갖고, 다층막(103), 소스 전극(104a), 및 드레인 전극(104b) 위에 제공된 산화물막(105)을 갖는다. 또한, 기판(101)과 게이트 전극(110) 사이에 하지 절연막으로서 기능하는 절연막을 제공하여도 좋다.

[0041] 다층막(103)은 적어도 산화물 반도체막(103a)과 산화물막(103b)을 갖는다. 또한, 다층막(103)은 게이트 절연막(106)을 개재하여 게이트 전극(110)과 중첩된다. 본 실시형태에서, 다층막(103)에서는 게이트 절연막(106)에 접촉하도록 산화물 반도체막(103a)이 제공되어 있고, 산화물 반도체막(103a) 위에 산화물막(103b)이 제공되어 있다. 또한, 다층막(103)의 적층 구조는 이것에 한정되지 않으며 산화물막(103b) 위에 산화물 반도체막(103a)이 제공된 구조라도 좋다.

[0042] 또한, 소스 전극(104a) 및 드레인 전극(104b)에 사용하는 도전막의 종류에 따라서는 다층막(103)의 일부에서 산소를 빼앗음으로써 또는 그 도전막에 포함되는 일부의 원소가 다층막(103)으로 확산됨으로써, 다층막(103) 내에 저저항 영역(109a) 및 저저항 영역(109b)이 형성되는 경우가 있다. 도 1의 (B) 및 (C)에 있어서, 저저항 영역(109a) 및 저저항 영역(109b)은 다층막(103) 내의 소스 전극(104a) 및 드레인 전극(104b)에 접촉하는 계면 근방의 영역(다층막(103)의 파선과 소스 전극(104a) 및 드레인 전극(104b) 사이의 영역)이다. 저저항 영역(109a) 및 저저항 영역(109b)의 일부 또는 전부는 소스 영역 및 드레인 영역으로서 기능한다.

[0043] 도 1의 (A)에 있어서, 게이트 전극(110)과 중첩되는 영역에서의, 소스 전극(104a)과 드레인 전극(104b) 사이의 간격을 채널 길이로 한다. 다만, 트랜지스터가 소스 영역 및 드레인 영역을 포함하는 경우, 게이트 전극(110)과 중첩되는 영역에서의, 저저항 영역(109a)과 저저항 영역(109b) 사이의 간격을 채널 길이로 하여도 좋다.

[0044] 다층막(103)에 있어서, 게이트 전극(110)과 중첩되며 소스 전극(104a)과 드레인 전극(104b)에 의하여 끼워지는 영역을 채널 형성 영역이라고 한다(도 1의 (B) 참조). 또한, 채널 형성 영역에서 주로 전류가 흐르는 영역을 채널 영역이라고 한다. 여기서는 채널 영역은 채널 형성 영역 내의 산화물 반도체막(103a) 부분이다.

[0045] 또한, 다층막(103)에 있어서, 산화물 반도체막(103a) 및 산화물막(103b)에 사용하는 재료에 따라서는 산화물 반도체막(103a) 및 산화물막(103b)의 경계를 명확하게 확인할 수 없는 경우가 있다. 그리고, 다층막(103) 및 산화물막(105)에 사용하는 재료에 따라서도 다층막(103) 및 산화물막(105)의 경계를 명확하게 확인할 수 없는 경우가 있다. 그래서 도 1에서는 산화물 반도체막(103a)과 산화물막(103b)의 경계, 및 산화물막(103b)과 산화물막(105)의 경계를 파선으로 도시하였다.

[0046] 또한, 다층막(103)은, 트랜지스터(100)의 채널 길이 방향 및 채널 폭 방향에서 게이트 전극(110)보다 작게 제공되어 있다(도 1의 (A), (B), 및 (C) 참조). 이 형상으로 함으로써 기판(101) 이면으로부터의 빛이 다층막(103)에 입사되는 것을 억제할 수 있어 트랜지스터(100)의 신뢰성을 향상시킬 수 있다. 또한, 다층막(103)의 형상은 도 1의 (A), (B), 및 (C)에 도시된 형상에 한정되지 않는다. 예를 들어, 트랜지스터(100)의 채널 길이 방향에서 게이트 전극(110)보다 크게 제공되어 있어도 좋다.

[0047] 또한, 산화물막(105)은 다층막(103)(도 1에서는 산화물막(103b)), 소스 전극(104a), 및 드레인 전극(104b)의 상면에 접촉한다.

[0048] 또한, 산화물막(105) 위에는 보호 절연막으로서 기능하는 절연막(120)을 제공하는 것이 바람직하다. 절연막(120)은, 단층 구조 또는 적층 구조라면 좋고 화학양론적 조성을 만족시키는 산소보다 높은 비율로 산소를 포함한 산화물 절연막을 갖는 것이 바람직하다. 특히, 산화물 절연막(107a), 산화물 절연막(107b), 및 질화물 절연막(108)의 적층 구조로 하는 것이 바람직하다. 또한, 절연막(120)을 상기 적층 구조로 한 경우 산화물 절연막

(107b)을 화학양론적 조성을 만족시키는 산소보다 높은 비율로 산소를 포함한 산화물 절연막으로 하는 것이 바람직하다. 이로써 트랜지스터(100)의 제작 공정에서의 가열 처리에 의하여, 상기 산화물 절연막에 포함된 산소를 산화물 반도체막에 공급할 수 있고 상기 산화물 반도체막 내의 산소 결손을 수복할 수 있다. 따라서, 트랜지스터(100)의 신뢰성을 향상시킬 수 있다.

[0049] [다층막, 및 다층막에 접촉하는 산화물막]

[0050] 이하에서 다층막(103)과, 다층막(103)이 갖는 산화물 반도체막(103a) 및 산화물막(103b)과, 산화물막(105)에 대하여 설명한다.

[0051] 산화물 반도체막(103a) 및 산화물막(103b)은 In 및 Ga 중 한쪽 또는 양쪽을 포함한다. 대표적으로는 In-Ga 산화물(In과 Ga을 포함한 산화물), In-Zn 산화물(In과 Zn을 포함한 산화물), In-M-Zn 산화물(In과, 원소 M과, Zn을 포함한 산화물이고, 원소 M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 중에서 선택된 1종류 이상의 원소)이다.

[0052] 또한, 산화물 반도체막(103a)에 접촉하는 산화물막(103b)은, 산화물 반도체막(103a)을 구성하는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 재료로 형성되는 것이 바람직하다. 이와 같은 재료를 사용함으로써 산화물 반도체막(103a)과 산화물막(103b)의 계면에 계면 준위가 생기기 어렵게 할 수 있다. 따라서, 계면에서의 캐리어의 산란이나 포획이 저감되어 트랜지스터의 전계 효과 이동도를 향상시킬 수 있게 된다. 또한, 트랜지스터의 문턱 전압의 편차를 저감시킬 수 있게 된다.

[0053] 산화물 반도체막(103a) 및 산화물막(103b)의 형성 공정에서는, 공정 도중에 대기로 노출시키지 않고, 불활성 가스 분위기, 산화성 가스 분위기, 또는 감압하에서 유지하면서 연속적으로 형성함으로써, 산화물 반도체막(103a)과 산화물막(103b)의 계면 준위를 더욱 저감시킬 수 있다.

[0054] 산화물 반도체막(103a)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더욱 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 산화물막(103b)의 두께는 3nm 이상 50nm 이하, 바람직하게는 3nm 이상 20nm 이하로 한다.

[0055] 또한, 본 실시형태에서 제시하는 트랜지스터(100)는, 소스 전극(104a) 및 드레인 전극(104b)이 산화물막(103b)에 접촉하는 구성을 갖는다. 소스 전극(104a) 및 드레인 전극(104b)과 산화물 반도체막(103a)의 접속 저항을 저하시키기 위하여 산화물막(103b)을 가능한 한 얇게 형성하는 것이 바람직하다.

[0056] 또한, 산화물 반도체막(103a) 및 산화물막(103b) 양쪽이 In-M-Zn 산화물일 때 산화물막(103b)을 $In:M:Zn=x_1:y_1:z_1$ [원자수 비율], 산화물 반도체막(103a)을 $In:M:Zn=x_2:y_2:z_2$ [원자수 비율]로 하면 y_1/x_1 이 y_2/x_2 보다 크게 되는 산화물 반도체막(103a) 및 산화물막(103b)을 선택한다. 또한, 원소 M은 In보다 산소와의 결합력이 강한 금속 원소이고, 예를 들어, Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd 또는 Hf 등을 들 수 있다. 바람직하게는 y_1/x_1 이 y_2/x_2 보다 1.5배 이상 크게 되는 산화물 반도체막(103a) 및 산화물막(103b)을 선택한다. 더 바람직하게는 y_1/x_1 이 y_2/x_2 보다 2배 이상 크게 되는 산화물 반도체막(103a) 및 산화물막(103b)을 선택한다. 더욱 바람직하게는 y_1/x_1 이 y_2/x_2 보다 3배 이상 크게 되는 산화물 반도체막(103a) 및 산화물막(103b)을 선택한다. 이 때 산화물 반도체막(103a)에서 y_1 이 x_1 이상인 경우, 트랜지스터에 안정된 전기 특성을 부여할 수 있어 바람직하다. 다만, y_1 이 x_1 의 3배 이상으로 되면 트랜지스터의 전계 효과 이동도가 저하되기 때문에 y_1 은 x_1 이상 x_1 의 3배 미만이면 바람직하다. 산화물막(103b)을 상기 구성으로 함으로써, 산화물막(103b)을 산화물 반도체막(103a)보다 산소 결손이 생기기 어려운 막으로 할 수 있다.

[0057] 또한, 산화물 반도체막(103a)이 In-M-Zn 산화물일 때 In과 M의 원자수 비율은 바람직하게는 In이 25at.% 이상이고 M이 75at.% 미만, 더 바람직하게는 In이 34at.% 이상이고 M이 66at.% 미만으로 한다. 또한, 산화물막(103b)이 In-M-Zn 산화물일 때 In과 M의 원자수 비율은 바람직하게는 In이 50at.% 미만이고 M이 50at.% 이상, 더 바람직하게는 In이 25at.% 미만이고 M이 75at.% 이상으로 한다.

[0058] 예를 들어, 산화물 반도체막(103a)으로서 원자수 비율이 $In:Ga:Zn=1:1:1$ 또는 $3:1:2$ 인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물 반도체막을 사용할 수 있고, 산화물막(103b)으로서 원자수 비율이 $In:Ga:Zn=1:3:2$, $1:6:4$, 또는 $1:9:6$ 인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용할 수 있다. 또한, 산화물 반도체막(103a) 및 산화물막(103b)의 원자수 비율은 각각 오차로서 상기 원자수 비율의 $\pm 20\%$ 의 변동을 포함한다.

[0059] 다층막(103)을 사용한 트랜지스터에 안정된 전기 특성을 부여하기 위해서는 산화물 반도체막(103a) 내의 산소 결손 및 불순물 농도를 저감시키고 산화물 반도체막(103a)을 진성 또는 실질적으로 진성으로 간주할 수 있는 반도체막으로 하는 것이 바람직하다. 특히, 산화물 반도체막(103a) 내의 채널 형성 영역을 진성 또는 실질적으로 진성으로 간주할 수 있는 것이 바람직하다. 구체적으로는 산화물 반도체막(103a)의 캐리어 밀도를 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만으로 한다.

[0060] 또한, 산화물 반도체막(103a)에서 수소, 질소, 탄소, 실리콘, 및 주성분 외의 금속 원소는 불순물이 된다. 산화물 반도체막(103a) 내의 불순물 농도를 저감시키기 위해서는 근접하는 산화물막(103b) 내의 불순물 농도도 산화물 반도체막(103a)과 같은 정도까지 저감시키는 것이 바람직하다.

[0061] 특히, 산화물 반도체막(103a)에 실리콘의 높은 농도로 포함됨으로써 실리콘에 기인한 불순물 준위가 산화물 반도체막(103a)에 형성된다. 이 불순물 준위는 트랩 준위가 되어 트랜지스터의 전기 특성을 열화시킬 수 있다. 트랜지스터의 전기 특성의 열화를 줄이기 위해서는 산화물 반도체막(103a)의 실리콘 농도를 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 하면 좋다. 또한, 산화물 반도체막(103a)과 산화물막(103b)의 계면의 실리콘 농도도 상기 실리콘 농도의 범위와 마찬가지로 한다.

[0062] 또한, 산화물 반도체막(103a)에 실리콘 및 탄소가 높은 농도로 포함됨으로써 산화물 반도체막(103a)의 결정성이 저하될 수 있다. 그러므로 산화물 반도체막(103a)의 결정성을 저하시키지 않기 위해서는 산화물 반도체막(103a)의 탄소 농도를 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 하면 좋다. 또한, 산화물 반도체막(103a)의 결정성을 저하시키지 않기 위해서는 산화물 반도체막(103a)의 실리콘 농도를 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 하면 좋다.

[0063] 또한, 산화물 반도체막(103a)에서 수소 및 질소는 도너 준위를 형성하고 캐리어 밀도를 증대시킨다. 산화물 반도체막(103a)을 진성 또는 실질적으로 진성으로 하기 위해서는 산화물 반도체막(103a) 내의 수소 농도를, SIMS에 있어서, $2 \times 10^{20} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하로 한다. 또한, 질소 농도를, SIMS에 있어서, $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하로 한다.

[0064] 또한, 산화물 반도체의 밴드 갭은 2eV 이상이므로, 산화물 반도체를 사용한 트랜지스터는 오프 상태일 때의 누설 전류(오프 전류라고도 함)를 극히 작게 할 수 있다. 구체적으로는, 채널 길이가 $3 \mu\text{m}$ 이고 채널 폭이 $10 \mu\text{m}$ 인 트랜지스터에서 오프 전류를 $1 \times 10^{-20} \text{ A}$ 미만, 바람직하게는 $1 \times 10^{-22} \text{ A}$ 미만, 더 바람직하게는 $1 \times 10^{-24} \text{ A}$ 미만으로 할 수 있다. 즉, 온/오프 비율이 20자리 이상 150자리 이하로 할 수 있다.

[0065] 산화물막(105)에는 산화물 반도체막(103a) 및 산화물막(103b)에 적용할 수 있는 재료를 적절히 사용할 수 있다. 또한, 산화물막(105)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다.

[0066] 여기서 다층막(103)에 포함되는 산화물 반도체막(103a)과 산화물막(103b)의 결정성, 및 산화물막(105)의 결정성에 대하여 설명한다.

[0067] 다층막(103)에서의 산화물 반도체막(103a) 및 산화물막(103b)은 예를 들어 비단결정을 가져도 좋다. 비단결정은 예를 들어 CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질을 갖는다. 비단결정에 있어서, 비정질은 결함 준위 밀도가 가장 높고 CAAC는 결함 준위 밀도가 가장 낮다. 또한, CAAC를 갖는 산화물 반도체막을 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막이라고 부른다.

[0068] 다층막(103)에 있어서, 적어도 산화물 반도체막(103a)은 예를 들어 CAAC-OS막이라고 좋다. CAAC-OS막은, 예를 들어 c축 배향하고, a축 및/또는 b축은 거시적으로 보면 정렬되어 있지 않은 산화물 반도체를 갖는다.

[0069] 또한, 산화물 반도체막(103a)은 예를 들어 미결정을 가져도 좋다. 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 사이즈의 미결정을 막 내에 포함하는 산화물 반도체를 갖는다.

[0070] 또한, 산화물 반도체막(103a)은 예를 들어 비정질을 가져도 좋다. 비정질 산화물 반도체막은 예를 들어 원자 배열이 무질서한 막이고, 결정 성분을 갖지 않는 산화물 반도체를 갖는다. 또는, 비정질 산화물 반도체막은 예를 들어, 완전한 비정질이고 결정부를 갖지 않는 산화물 반도체를 갖는다.

[0071] 또한, 산화물 반도체막(103a)은 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이라도 좋다. 혼합막은, 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 갖는다. 또한, 혼합막은, 예를 들어 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역의 적층 구조를 가져도 좋다.

[0072] 또한, 산화물 반도체막(103a)은 예를 들어 단결정을 가져도 좋다.

[0073] 산화물 반도체막(103a)은 복수의 결정부를 갖고, 상기 결정부의 c축이 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 다른 결정부들 사이에서, 각각 a축 및 b축의 방향이 달라도 좋다. 이와 같은 산화물 반도체막의 일례로서는 CAAC-OS막이 있다.

[0074] CAAC-OS막은 c축 배향된 복수의 결정부를 갖는 산화물 반도체막 중 하나이다.

[0075] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉, 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0076] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각종은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며, CAAC-OS막의 괴형성면 또는 상면에 평행으로 배열된다.

[0077] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 다른 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0078] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.

[0079] 또한, CAAC-OS막에 포함되는 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 사이즈이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 사이즈인 경우도 포함된다.

[0080] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)의 피크가 31° 근방에 나타나는 경우가 있다. 이 피크는, InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.

[0081] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ의 피크가 56° 근방에 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우에는, 2θ를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(Φ축)으로 하여 시료를 회전시키면서 분석(Φ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정하고 Φ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

[0082] 상술한 것으로부터, CAAC-OS막에 있어서는, 다른 결정부들 사이에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고, 또한 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각종은, 결정의 ab면에 평행한 면이다.

[0083] 또한, 본 명세서에 있어서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0084] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따

라서, 예를 들어 CAAC-OS막의 형상을 예칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 폐형성면 또는 상면의 법선 벡터에 평행으로 배향하지 않을 수도 있다.

[0085] 또한, CAAC-OS막 내의 c축 배향된 결정부의 분포가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 폐형성면 근방의 영역보다 c축 배향된 결정부의 비율이 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역이 변질되어, 부분적으로 c축 배향된 결정부의 비율이 상이한 영역이 형성될 수도 있다.

[0086] 또한, InGaZnO_4 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 31° 근방에 나타나는 2Θ 의 피크 외에, 36° 근방에도 2Θ 의 피크가 나타나는 경우가 있다. 36° 근방의 2Θ 의 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. CAAC-OS막은 2Θ 의 피크가 31° 근방에 나타나고, 2Θ 의 피크가 36° 근방에 나타나지 않는 것이 바람직하다.

[0087] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등의 산화물 반도체막의 주성분 이외의 원소이다. 특히, 실리콘 등의 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체막으로부터 산소를 빼앗는 것으로 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체막 내부에 포함되면, 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0088] 또한, CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포함함으로써 캐리어 발생원이 되는 경우가 있다.

[0089] 불순물 농도가 낮고, 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은, 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 음이 되는 전기 특성(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그래서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포함된 전하는, 방출될 때까지에 필요한 시간이 길고, 마치 고정 전하일 듯 행동하는 경우가 있다. 그래서, 불순물 농도가 높고, 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 될 경우가 있다.

[0090] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0091] 산화물 반도체막(103a)을 CAAC-OS막으로 하기 위해서는 산화물 반도체막(103a)이 형성되는 표면이 비정질이라면 바람직하다. 산화물 반도체막(103a)이 형성되는 표면의 결정성이 높으면 산화물 반도체막(103a)의 결정성이 흐트러지기 쉬워서 CAAC-OS막이 형성되기 어렵다.

[0092] 또한, 산화물 반도체막(103a)이 형성되는 표면은 CAAC-OS막과 같은 결정성을 가져도 좋다. 산화물 반도체막(103a)이 형성되는 표면이 CAAC-OS막과 같은 결정성을 갖는 경우에는 산화물 반도체막(103a)도 CAAC-OS막이 되기 쉽다.

[0093] 또한, 산화물 반도체막(103a)이 CAAC-OS막일 때, 산화물 반도체막(103a) 위에 형성되는 산화물막(103b)은 CAAC-OS막이 되기 쉽다.

[0094] 또한, 산화물막(105)은 산화물 반도체막(103a) 및 산화물막(103b)과 마찬가지로 비단결정을 가져도 좋다. 또는, 산화물막(105)은 CAAC-OS막이라도 좋다. 또한, 산화물막(103b)이 CAAC-OS막일 때, 산화물막(103b) 위에 형성되는 산화물막(105)은 CAAC-OS막이 되기 쉽다. 다만, 산화물막(105)은 비정질 또는 미결정이라도 좋다.

[0095] 다층막(103)을 사용한 트랜지스터에서 산화물 반도체막(103a)은 채널이 형성되는 층이므로, 높은 결정성을 가짐으로써 이 트랜지스터에 안정된 전기 특성을 부여할 수 있어 바람직하다.

[0096] 이하에서는 다층막(103) 내의 국재 준위에 대하여 설명한다. 다층막(103) 내의 국재 준위 밀도를 저감시킴으로써 다층막(103)을 사용한 트랜지스터에 안정된 전기 특성을 부여할 수 있다. 다층막(103)의 국재 준위는 일정

광전류 측정법(CPM: Constant Photocurrent Method)에 의하여 평가 가능하다.

[0097] 트랜지스터에 안정된 전기 특성을 부여하기 위해서는 CPM 측정으로 얻어지는 다층막(103) 내의 국재 준위에 의한 흡수 계수를 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만으로 하면 좋다. 또한, CPM 측정으로 얻어지는 다층막(103) 내의 국재 준위에 의한 흡수 계수를 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만으로 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다. 또한, CPM 측정으로 얻어지는 다층막(103) 내의 국재 준위에 의한 흡수 계수를 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만으로 하기 위해서는 산화물 반도체막(103a) 내에서 국재 준위를 형성하는 원소인 실리콘, 게르마늄, 탄소, 하프늄, 티타늄 등의 농도를 $2 \times 10^{18} \text{ atoms/cm}^3$ 미만, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 미만으로 하면 좋다.

[0098] 또한, CPM 측정에서는, 시료인 다층막(103)에 접촉하도록 제공된 전극 사이에 전압을 인가한 상태에서 광전류값이 일정하게 되도록 전극 사이의 시료면(다층막(103)의 표면)에 조사하는 광량을 조정하고, 조사 광량에 의하여 흡수 계수를 도출하는 것을 각 파장에서 수행하는 측정이다. CPM 측정에서, 시료에 결함이 있을 때 결함이 존재하는 준위에 따른 에너지(파장으로 환산)에 의한 흡수 계수가 증가한다. 이 흡수 계수의 증가분에 정수를 곱함으로써 시료의 결함 밀도를 도출할 수 있다.

[0099] CPM 측정으로 얻어진 국재 준위는 불순물이나 결함에 기인하는 준위라고 생각된다. 즉, CPM 측정으로 얻어지는 국재 준위에 의한 흡수 계수가 작은 다층막을 사용함으로써 트랜지스터에 안정된 전기 특성을 부여할 수 있다.

[0100] 이하에서는 도 2의 (A) 및 (B)에 나타낸 에너지 밴드 구조도를 사용하여 본 실시형태에서의 다층막(103)의 기능 및 효과를 설명한다. 도 2의 (A) 및 (B)는 도 1의 (B)에 도시된 일점 쇄선 C1-C2 부분의 에너지 밴드 구조를 나타낸 것이다.

[0101] 도 2의 (A) 및 (B)에서 Ec(182), Ec(183a), Ec(183b), Ec(185), Ec(186)는 각각 게이트 절연막(106), 산화물 반도체막(103a), 산화물막(103b), 산화물막(105), 절연막(120)의 전도대 하단의 에너지를 나타내었다.

[0102] 여기서 전공 준위와 전도대 하단의 에너지 차이(전자 친화력이라고도 함)는, 전공 준위와 가전자대 상단의 에너지 차이(이온화 포텐셜이라고도 함)로부터 에너지 갭을 뺀 값이다. 또한, 에너지 갭은 분광 엘립소미터(HORIBA JOBIN YVON사제 UT-300)를 사용하여 측정할 수 있다. 또한, 전공 준위와 가전자대 상단의 에너지 차이는 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치(PHI사제 VersaProbe)를 사용하여 측정할 수 있다.

[0103] 게이트 절연막(106) 및 절연막(120)은 절연물이기 때문에 Ec(182) 및 Ec(186)는 Ec(183a), Ec(183b), 및 Ec(185)보다 전공 준위에 가깝다(전자 친화력이 작다).

[0104] 또한, Ec(183b)는 Ec(183a)보다 전공 준위에 가깝다. 구체적으로는 Ec(183a)와 Ec(183b)의 에너지 차이를 0.05eV 이상 2eV 이하로 한다. 바람직하게는 상기 에너지 차이의 하한을 0.1eV 이상으로 하고, 더 바람직하게는 상기 에너지 차이의 하한을 0.15eV 이상으로 한다. 바람직하게는 상기 에너지 차이의 상한을 0.5eV 이하로 하고, 더 바람직하게는 상기 에너지 차이의 상한을 0.4eV 이하로 한다.

[0105] 산화물 반도체막(103a)과 산화물막(103b) 사이, 및 산화물막(103b)과 산화물막(105) 사이에 있어서는 장벽이 없고 전도대 하단의 에너지는 완만하게 변화된다. 바꾸어 말하면, 상기 전도대 하단의 에너지는 연속적으로 변화된다. 이것은 산화물막(103b)은 산화물 반도체막(103a)과 공통적인 원소를 포함하고, 산화물 반도체막(103a)과 산화물막(103b) 사이에서 산소가 서로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.

[0106] 상술한 바와 같이, 산화물 반도체막(103a)과 산화물막(103b)의 계면, 산화물막(103b)과 산화물막(105)의 계면에서 준위는 존재하지 않거나 또는 거의 존재하지 않는다고 할 수 있다. 따라서, 상기 에너지 밴드 구조를 갖는 다층막(103)에 있어서 전자는 주로 산화물 반도체막(103a)을 이동하게 된다. 즉, 채널 영역은 산화물 반도체막(103a)에 형성된다고 할 수 있다. 그러므로 다층막(103)의 외측의 절연막과의 계면에 준위가 존재하더라도 상기 준위는 채널 영역으로부터 떨어진 위치에 존재하므로 전자의 이동에 거의 영향을 미치지 않는다. 또한, 다층막(103)을 구성하는 막과 막 사이에는 준위가 존재하지 않거나 거의 존재하지 않기 때문에 채널 영역에서 전자의 이동을 저해하는 일도 없다. 따라서, 다층막(103)의 산화물 반도체막(103a)은 높은 전자 이동도를 갖는다.

[0107] 특히, 도 2의 (A)에서는 산화물막(105)과 산화물막(103b)을 같은 재료로 형성하는 경우 Ec(185)와 Ec(183b)는

같은 에너지로 된다.

[0108] 도 2의 (A)에 나타낸 바와 같이, 산화물막(105)과 절연막(120)의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위(191)가 형성될 수 있으나 산화물막(103b) 및 산화물막(105)이 있음으로써 산화물 반도체막(103a)을 트랩 준위(191)로부터 멀리할 수 있다.

[0109] 한편, 상술한 바와 같이 소스 전극(104a) 및 드레인 전극(104b)과 다층막(103)이 접촉하는 영역에서는 소스 전극(104a) 및 드레인 전극(104b)과 산화물 반도체막(103a)의 접속 저항을 저하시키기 위하여 산화물막(103b)을 가능한 한 얇게 형성하는 것이 바람직하다. 그러나 산화물막(103b)을 얇게 형성하면 채널 형성 영역에서는 산화물 반도체막(103a)이 절연막(120) 측의 트랩 준위(191)의 영향을 받기 쉽게 된다는 문제가 발생한다.

[0110] 그래서 본 발명의 일 형태에서는 산화물막(103b)과 절연막(120) 사이에 산화물막(105)을 제공한다. 산화물막(103b)과 절연막(120) 사이에 산화물막(105)을 제공함으로써, 채널 형성 영역에서 산화물 반도체막(103a)을, 절연막(120) 측의 트랩 준위(191)로부터 멀리할 수 있어 산화물 반도체막(103a)이 트랩 준위(191)의 영향을 받기 어렵게 할 수 있다.

[0111] 또한, Ec(183a)와 Ec(183b)의 에너지 차이가 작은 경우 산화물 반도체막(103a)의 전자가 상기 에너지 차이를 넘어 트랩 준위(191)에 도달하는 경우가 있다. 트랩 준위(191)에 전자가 포획됨으로 인하여, 절연막 계면에 음의 전하가 생겨, 트랜지스터의 문턱 전압은 양 방향으로 시프트하게 된다.

[0112] 따라서, Ec(183a)와 Ec(183b)의 에너지 차이를 상술한 에너지 차이의 범위로 하는 것이 바람직하다. 이와 같이 함으로써, 트랜지스터(100)의 문턱 전압의 변동이 저감되어 트랜지스터(100)의 전기 특성을 양호하게 할 수 있다.

[0113] 또한, 산화물막(105)에는 산화물 반도체막(103a) 및 산화물막(103b)에 적용할 수 있는 재료를 사용할 수 있다. 특히, 산화물막(103b)과 같은 재료를 구성하는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 재료로 형성되는 것이 바람직하다. 이와 같이 함으로써 산화물막(103b)과 산화물막(105) 사이에서, 전도대 하단의 에너지는 장벽이 없고 완만하게 변화시킬 수 있다.

[0114] 도 2의 (A)에 나타낸 바와 같은 에너지 밴드 구조를 갖기 위해서는 산화물 반도체막(103a)으로서 원자수 비율이 $In:Ga:Zn = 1:1:1$ 인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물 반도체막을 사용하고, 산화물막(103b) 및 산화물막(105)으로서 원자수 비율이 $In:Ga:Zn = 1:3:2$ 인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용한다.

[0115] 또한, 산화물막(103b) 및 산화물막(105)의 밴드 갭은 산화물 반도체막(103a)의 밴드 갭보다 넓은 것이 바람직하다.

[0116] 또한, 도 2의 (A)에서는, 산화물막(103b) 및 산화물막(105)에 전도대 하단의 에너지가 같은 재료를 사용하지만, 산화물막(105)은 산화물막(103b)보다 전도대 하단의 에너지가 진공 준위에 가까운 재료를 사용하여 형성하여도 좋다(도 2의 (B) 참조).

[0117] 구체적으로는 산화물막(103b)에 원자수 비율이 $In:Ga:Zn = 1:3:2$ 인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하는 경우 산화물막(105)으로서 예를 들어 원자수 비율이 $In:Ga:Zn = 1:6:4$ 인 In-Ga-Zn 산화물이나 원자수 비율이 $In:Ga:Zn = 1:9:4$ 인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하면 좋다.

[0118] 바꾸어 말하면, In-M-Zn 산화물을 사용하여 산화물막(105)과 산화물막(103b)을 형성하는 경우 산화물막(105)에 있어서의 In에 대한 원소 M의 원자수 비율을 산화물막(103b)에 있어서의 In에 대한 원소 M의 원자수 비율보다 크게 하는 것이 바람직하다.

[0119] 도 2의 (B)에 나타낸 에너지 밴드 구조를 갖는 경우도, 도 2의 (A)에 나타낸 에너지 밴드 구조를 갖는 경우와 마찬가지로, 산화물 반도체막(103a)과 산화물막(103b) 사이, 및 산화물막(103b)과 산화물막(105) 사이에서 전도대 하단의 에너지는 장벽이 없고 완만하게 변화된다. 바꾸어 말하면, 상기 전도대 하단의 에너지는 연속적으로 변화된다. 따라서, 산화물 반도체막(103a)과 산화물막(103b)의 계면, 및 산화물막(103b)과 산화물막(105)의 계면에서 준위는 존재하지 않거나 또는 거의 존재하지 않는다고 할 수 있다.

[0120] 또한, 산화물막(105)과 절연막(120)의 계면 근방에 형성되고 불순물이나 결함에 기인한 트랩 준위(191)로 인한 영향을 저감시키기 위하여 Ec(183a)와 Ec(183b)의 에너지 차이, 및 Ec(183b)와 Ec(185)의 에너지 차이를 각각

0.05eV 이상 2eV 이하로 한다. 바람직하게는 상기 에너지 차이의 하한을 0.1eV 이상으로 하고, 더 바람직하게는 상기 에너지 차이의 하한을 0.15eV 이상으로 한다.

[0121] 그래서, 도 2의 (B)에 나타낸 에너지 밴드 구조를 갖는 경우도 다층막(103)의 산화물 반도체막(103a)은 높은 전자 이동도를 갖고 문턱 전압의 변동이 저감되어, 전기 특성이 양호한 트랜지스터(100)를 실현할 수 있다.

[0122] [소스 전극 및 드레인 전극]

[0123] 소스 전극(104a) 및 드레인 전극(104b)은 다층막(103)의 일부에 접촉하도록 다층막(103) 위에 형성된다. 소스 전극(104a) 및 드레인 전극(104b)을 형성하기 위한 도전성 재료로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 티타늄, 몰리브데늄, 텅스텐, 하프늄(Hf), 바나듐(V), 니오븀(Nb), 망가니즈, 마그네슘, 지르코늄, 베릴륨 등으로부터 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용할 수 있다. 또한, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다. 도전층의 형성 방법은 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스플 코팅법 등의 각종 형성 방법을 이용할 수 있다.

[0124] 또한, 소스 전극(104a) 및 드레인 전극(104b)에는 인듐 주석 산화물(이하 "ITO"라고도 함), 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 산소를 포함한 도전성 재료를 적용할 수도 있다. 또한, 상기 산소를 포함한 도전성 재료와, 상술한 금속 원소를 포함한 재료의 적층 구조로 할 수도 있다.

[0125] 소스 전극(104a) 및 드레인 전극(104b)은, 단층 구조라도 좋고 2층 이상의 적층 구조라도 좋다. 예를 들어, 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈럼막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과 이 티타늄막 위에 알루미늄막을 적층하고 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에, 티타늄, 탄탈럼, 몰리브데늄, 크로뮴, 네오디뮴, 스칸듐 중으로부터 선택된 하나 또는 복수를 조합한 합금막, 또는 질화물막을 사용하여도 좋다.

[0126] 또한, 소스 전극(104a) 및 드레인 전극(104b)에 있어서 적어도 다층막(103)에 접촉하는 부분에, 다층막(103)의 일부로부터 산소를 빼앗는 것으로 산소 결손을 생기게 할 수 있는 재료를 사용하는 것이 바람직하다. 다층막(103) 내의 산소 결손이 생긴 영역에서는 캐리어 농도가 증가하고, 이 영역은 저저항화되어 저저항 영역(109a) 및 저저항 영역(109b)이 된다. 따라서, 저저항 영역(109a) 및 저저항 영역(109b)은 소스 영역 및 드레인 영역으로서 기능할 수 있다. 다층막(103)으로부터 산소를 빼앗는 것으로 산소 결손을 생기게 할 수 있는 재료의 일례로서 텅스텐, 티타늄 등을 들 수 있다.

[0127] 또한, 다층막(103)을 구성하는 재료나 두께에 따라서는 다층막(103) 중 소스 전극(104a) 및 드레인 전극(104b)과 중첩되는 영역 전체가 저저항 영역(109a) 및 저저항 영역(109b)이 될 수도 있다.

[0128] 다층막(103)에 저저항 영역(109a) 및 저저항 영역(109b)이 형성됨으로써 소스 전극(104a) 및 드레인 전극(104b)과 다층막(103)의 접촉 저항을 저감시킬 수 있다. 따라서, 전계 효과 이동도나 문턱 전압 등의, 트랜지스터(100)의 전기 특성을 양호하게 할 수 있다.

[0129] 또한, 소스 전극(104a) 및 드레인 전극(104b)으로서 구리를 포함한 층을 갖는 다층 구조를 사용하는 경우, 구리의 영향으로 산화물막(105)과 절연막(120)의 계면에 계면 준위가 형성될 수 있다. 그러나, 산화물막(105)을 제공함으로써 상기 계면 준위에 전자가 포획되는 것을 억제할 수 있다. 이로써, 안정된 전기 특성을 부여하고, 또한 배선 저항을 낮춘 트랜지스터(100)를 제작할 수 있다.

[0130] 또한, 소스 전극(104a) 및 드레인 전극(104b)의 두께는 10nm 이상 500nm 이하, 바람직하게는 50nm 이상 300nm 이하로 하면 좋다.

[0131] [보호 절연막]

[0132] 절연막(120)은 보호 절연막으로서 기능하고 외부로부터의 불순물 원소의 확산을 방지 또는 저감시킬 수 있다.

[0133] 절연막(120)은 질화 알루미늄, 산화 알루미늄, 질화 산화 알루미늄, 산화 질화 알루미늄, 산화 마그네슘, 질화 실리콘, 산화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타늄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중으로부터 선택된 재료로 형성된다.

또한, 본 명세서 중에 있어서, "질화 산화"란 그 조성으로서 산소보다 질소의 함유량이 많은 것을 말하고, "산화 질화"란 그 조성으로서 질소보다 산소의 함유량이 많은 것을 말한다. 또한, 각 원소의 함유량은 예를 들어 러더퍼드 후방 산란 분광(RBS: Rutherford Backscattering Spectrometry)법 등을 이용하여 측정할 수 있다.

[0134] 또한, 절연막(120)은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD(Chemical Vapor Deposition)법, 펄스 레이저 퇴적(Pulsed Laser Deposition: PLD)법, ALD(Atomic Layer Deposition)법 등을 적절히 이용하여 형성할 수 있다.

[0135] 여기서는 절연막(120)에 대하여 상술한 바와 같이 산화물 절연막(107a), 산화물 절연막(107b), 및 질화물 절연막(108)의 적층 구조로서 설명한다.

[0136] 예를 들어, 산화물 절연막(107a)을 제 1 산화 실리콘막으로 하고, 산화물 절연막(107b)을 제 2 산화 실리콘막으로 하고, 질화물 절연막(108)을 질화 실리콘막으로 할 수 있다. 이 경우 제 1 산화 실리콘막 및 제 2 산화 실리콘막 중 한쪽 또는 양쪽을 산화 질화 실리콘막으로 하여도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 하여도 좋다. 제 1 산화 실리콘막에는 결함 밀도가 작은 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 ESR에 의하여 측정한 g값이 2.001의 신호로부터 산출되는 스픈 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하, 바람직하게는 $5 \times 10^{16} \text{ spins/cm}^3$ 이하인 산화 실리콘막을 사용한다. 제 2 산화 실리콘막은 화학양론적 조성을 만족시키는 산소보다 높은 비율로 산소를 포함한 산화 실리콘막, 바꾸어 말하면 과잉 산소를 포함한 산화 실리콘막을 사용한다. 질화 실리콘막에는 수소 가스 및 암모니아 가스의 방출량이 적은 것을 사용한다. 또한, 이 질화 실리콘막에는 수소, 물, 및 산소를 투과시키지 않는 것 또는 거의 투과시키지 않는 것을 사용하여도 좋다. 또한, 수소 가스 및 암모니아 가스의 방출량은 승은 이탈 가스(TDS: Thermal Desorption Spectroscopy) 분석에 의하여 측정할 수 있다.

[0137] 또한, 화학양론적 조성을 만족시키는 산소보다 높은 비율로 산소를 포함한 산화물 절연막은 가열 처리에 의하여 산소를 방출하는 기능을 갖는다. 과잉 산소를 포함한 산화 실리콘막이란, 가열 처리 등에 의하여 산소를 방출할 수 있는 산화 실리콘막을 말한다.

[0138] 과잉 산소를 포함한 산화물 절연막은 산화물 반도체막(103a) 내의 산소 결손을 저감시킬 수 있다. 산화물 반도체막(103a) 내에서 산소 결손은 결함 준위를 형성하고 그 일부가 도너 준위가 된다. 따라서, 산화물 반도체막(103a) 내의 산소 결손(특히, 채널 영역의 산소 결손)을 저감시킴으로써 산화물 반도체막(103a)(특히 채널 영역)의 캐리어 밀도를 저감시킬 수 있어 안정된 전기 특성을 갖는 트랜지스터(100)를 제작할 수 있다.

[0139] 여기서, 가열 처리에 의하여 산소를 방출하는 막은 TDS 분석에 있어서, $1 \times 10^{18} \text{ atoms/cm}^3$ 이상, $1 \times 10^{19} \text{ atoms/cm}^3$ 이상, 또는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상의 산소(산소 원자수로 환산)를 방출할 수도 있다.

[0140] 또한, 가열 처리에 의하여 산소를 방출하는 막은 과산화 라디칼을 포함하는 경우도 있다. 구체적으로는 과산화 라디칼에 기인하는 스픈 밀도가 $5 \times 10^{17} \text{ spins/cm}^3$ 이상인 것을 말한다. 또한, 과산화 라디칼을 포함한 막은, ESR에 의하여 측정한 g값이 2.01 근방에 비대칭의 신호를 갖는 경우도 있다.

[0141] 또한, 과잉 산소를 포함한 산화 실리콘막은 예를 들어 $\text{SiO}_x(\text{X}>2)$ 의 화학식으로 나타낼 수 있고 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당에 포함하는 것이라고 할 수 있다. 단위 체적당의 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란 분광법에 의하여 측정한 값이다.

[0142] 절연막(120)은 산화물 절연막(107a), 산화물 절연막(107b), 및 질화물 절연막(108)의 적층 구조에 한정되는 것이 아니라 예를 들어 1번째 층을 산화물 절연막(107b)으로 하고 2번째 층을 질화물 절연막(108)으로 한 적층 구조로 하여도 좋다.

[0143] 또한, 절연막(120)의 두께는 30nm 이상 1000nm 이하로 한다. 특히, 산화물 절연막(107a)은 두께가 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하로 할 수 있다. 산화물 절연막(107b)의 두께는 30nm 이상 500nm 이하, 바람직하게는 150nm 이상 400nm 이하로 할 수 있다. 질화물 절연막(108)은 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하, 바람직하게는 10nm 이상 30nm 이하로 할 수 있다.

[0144] [케이트 절연막]

[0145] 케이트 절연막(106)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화

실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼을 1종류 이상 포함한 절연막을 단층 구조 또는 적층 구조로 사용하면 좋다.

[0146] 게이트 절연막(106)은 예를 들어 1번재 층을 질화 실리콘막으로 하고, 2번재 층을 산화 실리콘막으로 한 다층막으로 할 수 있다. 이 경우 산화 실리콘막은 산화 질화 실리콘막으로 하여도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 하여도 좋다. 산화 실리콘막에는 결함 밀도가 작은 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 ESR에 의하여 측정한 g값이 2.001의 신호로부터 산출되는 스픈 밀도가 3×10^{17} spins/cm³ 이하, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘막을 사용한다. 산화 실리콘막은 파잉 산소를 포함한 산화 실리콘막을 사용하는 것이 바람직하다. 질화 실리콘막에는 수소 가스 및 암모니아 가스의 방출량이 적은 것을 사용한다. 수소 가스 및 암모니아 가스의 방출량은 TDS 분석에 의하여 측정할 수 있다.

[0147] 게이트 절연막(106)은 예를 들어 1번재 층을 제 1 질화 실리콘막으로 하고, 2번재 층을 제 2 질화 실리콘막으로 하고, 3번재 층을 제 3 질화 실리콘막으로 하고, 4번재 층을 산화 실리콘막으로 할 수 있다. 이 경우 산화 실리콘막은 산화 질화 실리콘막으로 하여도 좋다. 또한, 질화 실리콘막은 질화 산화 실리콘막으로 하여도 좋다. 또한, 3번재 층을 질화 산화 실리콘막으로 하는 것이 바람직하다. 이 경우에 사용되는 산화 실리콘막 및 질화 실리콘막에는, 상술한 산화 실리콘막 및 질화 실리콘막을 사용할 수 있다. 또한, 3번재 층에 질화 산화 실리콘막을 사용하는 경우, 막 내의 맹글링 본드가 질소나 산소로 종단(終端)되어 있고 결함이 적은 질화 산화 실리콘막을 사용하는 것이 바람직하다. 구체적으로는 ESR에 의하여 측정한 g값이 2.001의 신호로부터 산출되는 스픈 밀도가 1.2×10^{18} spins/cm³ 이하, 바람직하게는 1×10^{17} spins/cm³ 이하인 질화 산화 실리콘막을 사용하는 것이 바람직하다.

[0148] 게이트 절연막(106) 및 절연막(120) 중 적어도 한쪽이 파잉 산소를 포함한 산화물 절연막을 가짐으로써 산화물 반도체막(103a) 내의 산소 결손이 저감되어 안정된 전기 특성을 갖는 트랜지스터(100)를 제작할 수 있다.

[0149] 게이트 절연막(106)의 두께는 5nm 이상 500nm 이하, 바람직하게는 10nm 이상 300nm 이하로 한다.

[기판]

[0151] 기판(101)으로서 사용하는 기판에 큰 제한은 없지만 적어도 나중의 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 것이 필수적이다. 예를 들어 세라믹 기판, 석영 기판, 사파이어 기판, 바륨보로실리케이트 유리나 알루미노보로실리케이트 유리 등의 유리 기판 등을 사용할 수 있다.

[0152] 또한, 기판(101)으로서 실리콘이나 탄소화 실리콘 등으로 이루어진 단결정 반도체 기판 및 다결정 반도체 기판, 또는 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판 등을 사용하여도 좋다. 또한, SOI 기판, 반도체 기판 위에 반도체 소자가 제공된 것 등을 사용할 수 있다.

[0153] 또한, 기판(101)으로서 가요성 기판(플렉시블 기판)을 사용하여도 좋다. 가요성 기판을 사용하는 경우, 가요성 기판 위에 트랜지스터나 용량 소자 등을 직접 제작하여도 좋고, 다른 제작 기판 위에 트랜지스터나 용량 소자 등을 제작하고 나서 박리하여 가요성 기판에 전치(轉置)하여도 좋다. 또한, 제작 기판으로부터 박리하여 가요성 기판에 전치하기 위하여 제작 기판과, 트랜지스터나 용량 소자 등 사이에 박리층을 제공하면 좋다.

[0154] [게이트 전극]

[0155] 게이트 전극(110)을 형성하기 위한 도전성 재료로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 티타늄, 몰리브데늄, 텉스텐, 하프늄, 바나듐, 닉오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨 등으로부터 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용할 수 있다. 또한, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다. 도전막의 형성 방법은 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스픈 코팅법 등 각종 형성 방법을 이용할 수 있다.

[0156] 또한, 게이트 전극(110)에는 인듐 주석 산화물, 산화 텉스텐을 포함한 인듐 산화물, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 산소를 포함한 도전성 재료를 적용할 수도 있다. 또한, 상기 산소를 포함한 도전성 재료와, 상술한 금속 원소를 포함한 재료의 적층 구조로 할 수도 있다.

[0157] 게이트 전극(110)은, 단층 구조라도 좋고 2층 이상의 적층 구조라도 좋다. 예를 들어 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2

층 구조, 질화 티타늄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈럼막 위에 텅스텐막을 적층하는 2층 구조, 티타늄막과 이 티타늄막 위에 알루미늄막을 적층하고 또한 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에, 티타늄, 탄탈럼, 텅스텐, 몰리브데늄, 크로뮴, 네오디뮴, 스칸듐 중으로부터 선택된 원소를 사용한 막, 또는 복수를 조합한 합금막, 또는 질화물막을 사용하여도 좋다.

[0158] 또한, 게이트 전극(110)과 게이트 절연막(106) 사이에 In-Ga-Zn 산질화물막, In-Sn 산질화물막, In-Ga 산질화물막, In-Zn 산질화물막, Sn 산질화물막, In 산질화물막, 금속 질화물(InN, ZnN 등)막 등을 제공하여도 좋다. 이들 막은 5eV 이상의 일함수를 갖고 산화물 반도체의 전자 친화력보다 큰 값을 취하기 때문에, 채널이 형성되는 반도체막에 산화물 반도체를 사용한 트랜지스터의 문턱 전압을 양의 전압의 방향으로 변동시킬 수 있으며 소위 노멀리-오프 특성의 스위칭 소자를 실현할 수 있다. 예를 들어 게이트 전극(110)과 게이트 절연막(106) 사이에 In-Ga-Zn 산질화물막을 제공하는 경우 적어도 산화물 반도체막(103a)보다 높은 질소 농도, 구체적으로는 7at.% 이상의 In-Ga-Zn 산질화물막을 제공한다.

[0159] 또한, 게이트 전극(110)의 두께는 10nm 이상 500nm 이하, 바람직하게는 50nm 이상 300nm 이하로 하면 좋다.

[0160] 또한, 기판(101)과 게이트 전극(110) 사이에 하지 절연막을 제공하여도 좋다. 이 하지 절연막은 절연막(120)에 적용할 수 있는 재료를 사용하여 형성할 수 있다. 이 하지 절연막은 기판(101)으로부터의 불순물 원소의 확산을 방지 또는 저감시킬 수 있다.

[0161] [트랜지스터의 제작 방법의 예]

[0162] 트랜지스터(100)의 제작 방법의 일례로서 도 3에 도시된 단면도를 사용하여 설명한다.

[0163] 여기서는 기판(101)으로서 유리 기판을 사용한다.

[0164] 게이트 전극(110)에 적용할 수 있는 도전성 재료를 사용하여 기판(101) 위에 도전막을 형성하고 이 도전막 위에 레지스트 마스크를 형성하고 이 레지스트 마스크를 사용하여 상기 도전막의 일부를 선택적으로 에칭함으로써 게이트 전극(110)을 형성한다. 다음으로 게이트 절연막(106)에 적용할 수 있는 재료를 사용한 절연막을 형성한다.

[0165] 상술한 공정까지를 거쳐 얻어진 구성을 도 3의 (A)에 도시하였다.

[0166] 다음에 산화물 반도체막(103a)으로 가공되는 산화물 반도체막을 형성하고 이 산화물 반도체막 위에, 산화물막(103b)으로 가공되는 산화물막을 형성하여 다층막을 형성한다. 이 다층막 위에 레지스트 마스크를 형성하고 이 레지스트 마스크를 사용하여 상기 다층막의 일부를 선택적으로 에칭함으로써 산화물 반도체막(103a) 및 산화물막(103b)을 갖는 다층막(103)을 형성한다.

[0167] 여기서 산화물 반도체막(103a)으로 가공되는 산화물 반도체막, 및 산화물막(103b)으로 가공되는 산화물막을 스퍼터링법으로 형성하는 경우에 대하여 설명한다.

[0168] 본 실시형태에서는 게이트 절연막(106) 위에 산화물 반도체막(103a)으로 가공되는 산화물 반도체막으로서, 원자수 비율이 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물을 타깃으로서 사용하고 두께 15nm의 산화물 반도체막을 형성한다. 그 다음으로 산화물 반도체막(103a) 위에, 산화물막(103b)으로 가공되는 산화물막으로서 원자수 비율이 In:Ga:Zn=1:3:2인 In-Ga-Zn 산화물을 타깃으로서 사용하고 두께 5nm의 산화물막을 형성한다.

[0169] 또한, 산화물 반도체막(103a)은 CAAC-OS막으로 하는 것이 바람직하다. CAAC-OS막의 형성 방법으로서 4개의 방법을 예시하기로 한다.

[0170] 제 1 방법은, 성막 온도를 100°C 이상 500°C 이하로 하여 산화물 반도체를 형성함으로써, 산화물 반도체에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0171] 제 2 방법은, 산화물 반도체의 두께를 얇게 형성하고 나서 200°C 이상 700°C 이하의 가열 처리를 수행함으로써, 산화물 반도체에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0172] 제 3 방법은, 1번째 층의 산화물 반도체막의 두께를 얇게 형성하고 나서 200°C 이상 700°C 이하의 가열 처리를 수행하고, 또한 2번째 층의 산화물 반도체막을 형성함으로써, 산화물 반도체막에 포함되는 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0173] 제 4 방법은, 높은 배향성을 갖는 다결정 산화물 반도체를 포함한 타깃을 사용하여, 산화물 반도체에 포함되는 결정부의 c축이 괴형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬된 결정부를 형성하는 방법이다.

[0174] 여기서, 제 4 방법에 의한 CAAC-OS막의 결정 성장의 모델에 대하여 도 4 내지 도 6을 사용하여 설명한다.

[0175] 도 4의 (A)는, 높은 배향성을 갖는 다결정 산화물 반도체를 포함하는 타깃(1000)에 이온(1001)이 충돌하고 결정성을 갖는 스퍼터링 입자(1002)가 박리되는 모양을 도시한 모식도이다. 결정립은 타깃(1000)의 표면과 평행한 벽개(劈開)면을 갖는다. 또한, 결정립은 원자간의 결합이 약한 부분을 갖는다. 결정립에 이온(1001)이 충돌되었을 때, 원자간의 결합이 약한 부분의 원자간 결합이 끊어진다. 따라서, 스퍼터링 입자(1002)는 벽개면 및 원자간의 결합이 약한 부분에서 끊어져 평판 형상(또는 펠릿 형상)으로 박리된다. 예를 들어 스퍼터링 입자(1002)의 c축 방향은 스퍼터링 입자(1002)의 평면에 대하여 수직 방향이다(도 4의 (B) 참조). 타깃(1000)에 포함되는 산화물 반도체의 결정 입경은 평면의 원상당 직경 $1\mu\text{m}$ 이하가 바람직하다. 또한, 스퍼터링 입자(1002)가 갖는 평면의 원상당 직경은 결정립의 평균 입경의 $1/3000$ 이상 $1/20$ 이하, 바람직하게는 $1/1000$ 이상 $1/30$ 이하이다. 또한, 면의 원상당 직경이란, 면의 면적과 동등한 정원의 직경을 말한다.

[0176] 또는, 결정립의 일부가 입자로서 벽개면으로부터 박리되고 플라즈마(1005)에 노출됨으로써 원자간 결합이 약한 부분에서 결합이 끊어지고, 복수의 스퍼터링 입자(1002)가 생성된다.

[0177] 이온(1001)으로서 산소의 양 이온을 사용함으로써 형성 시의 플라즈마 대미지를 경감시킬 수 있다. 그러므로 이온(1001)이 타깃(1000)의 표면에 충돌되었을 때, 타깃(1000)의 결정성이 저하되는 것, 또는 비정질화되는 것을 억제할 수 있다.

[0178] 여기서, 높은 배향성을 갖는 다결정 산화물 반도체를 포함하는 타깃(1000)의 일례로서, 도 5의 (A)에, 결정의 a-b면에 평행으로 보았을 때의 In-Ga-Zn 산화물의 결정 구조를 도시하였다. 또한, 도 5의 (A)에 있어서, 일점 쇄선으로 둘러싸인 부분을 확대한 도를 도 5의 (B)에 도시하였다.

[0179] 예를 들어, In-Ga-Zn 산화물에 포함되는 결정립에 있어서, 도 5의 (B)에 도시된 갈륨 원자 또는/및 아연 원자 및 산소 원자를 갖는 제 1 층과, 갈륨 원자 또는/및 아연 원자 및 산소 원자를 갖는 제 2 층 사이의 면이 벽개면이다. 이것은 제 1 층 및 제 2 층이 갖는 음의 전하를 갖는 산소 원자들의 거리가 가깝기 때문이다(도 5의 (B)의 일점 쇄선으로 둘러싸인 부분 참조). 이와 같이 벽개면은 a-b면에 대하여 평행한 면이다. 또한, 도 5에 도시된 In-Ga-Zn 산화물의 결정은 육방정이기 때문에 상술한 평판 형상의 결정립은, 내각이 120° 인 정육각형의 면을 갖는 육각 기둥 형상이 되기 쉽다. 또한, 평판 형상의 결정립은 육각 기둥 형상에 한정되지 않고 삼각 기둥 형상이라도 좋다.

[0180] 스퍼터링 입자(1002)는, 양으로 대전시키는 것이 바람직하다. 또한, 스퍼터링 입자(1002)의 각부에 각각 같은 극성을 갖는 전하가 있는 경우 스퍼터링 입자(1002)의 형상이 유지되도록 상호 작용이 일어나기 때문에(서로 반발하기 때문에) 바람직하다(도 4의 (B) 참조). 스퍼터링 입자(1002)는 예를 들어 양으로 대전되는 것이 생각된다. 스퍼터링 입자(1002)가 양으로 대전되는 타이밍에 특별한 제한은 없지만 구체적으로는 이온(1001)이 충돌되었을 때 전하를 받음으로써 양으로 대전시키면 좋다. 또는, 플라즈마(1005)가 발생되고 있는 경우 스퍼터링 입자(1002)를 플라즈마(1005)에 노출시킴으로써 양으로 대전시키면 좋다. 또는, 산소의 양 이온인 이온(1001)을 스퍼터링 입자(1002)의 측면, 상면, 또는 하면에 결합시킴으로써 양으로 대전시키면 좋다.

[0181] 이하에, 스퍼터링 입자가 비정질막(1004) 위의 괴형성면에 퇴적하는 모양을 도 6을 사용하여 설명한다. 또한, 도 6에서는 미리 퇴적된 스퍼터링 입자를 과선으로 나타내었다.

[0182] 도 6의 (A)에 비정질막(1004) 위에 스퍼터링 입자(1002)가 퇴적되어 형성된 산화물 반도체막(1003)을 도시하였다. 도 6의 (A)에 도시된 바와 같이, 스퍼터링 입자(1002)가 플라즈마(1005)에 노출됨으로써 양으로 대전되어, 스퍼터링 입자(1002)는 산화물 반도체막(1003)에 있어서 다른 스퍼터링 입자(1002)가 퇴적되지 않는 영역에 퇴적된다. 이것은 스퍼터링 입자(1002)가 양으로 대전되어 있음으로써 스퍼터링 입자(1002)끼리 서로 반발하기 때문이다. 이런 스퍼터링 입자의 퇴적은 절연 표면 위에서도 가능하게 된다.

[0183] 도 6의 (B)는 도 6의 (A)의 일점 쇄선 Z1-Z2 부분에 대응하는 단면도이다. 산화물 반도체막(1003)은 c축 방향이 평면에 대하여 수직인 평판 형상의 스퍼터링 입자(1002)가 정연(整然)히 퇴적됨으로써 형성된다. 따라서, 산화물 반도체막(1003)은, 결정의 c축이 괴형성면에 대하여 수직 방향으로 정렬된 CAAC-OS막이다. 상기에서 제시한 모델 구조로 함으로써 절연 표면 위, 비정질막 위, 또는 비정질 절연막 위에서도 결정성이 높은 CAAC-OS막

을 형성할 수 있다.

[0184] 채널 영역에 CAAC-OS막을 적용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 채널 영역에 CAAC-OS막을 적용한 트랜지스터는 양호한 신뢰성을 갖는다.

[0185] 또한, CAAC-OS막을 형성하기 위하여 이하에서 제시하는 조건을 적용하는 것이 바람직하다.

[0186] 성막 시의 불순물 혼입을 저감시킴으로써 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(수소, 물, 이산화 탄소, 및 질소 등)의 농도를 저감시키면 좋다. 또한, 스퍼터링 가스 중의 불순물 농도를 저감시키면 좋다. 구체적으로는, 노점이 -40°C 이하, 바람직하게는 -60°C 이하인 스퍼터링 가스를 사용한다.

[0187] 또한, 성막 시의 피성막면의 가열 온도(예를 들어 기판 가열 온도)를 높임으로써 피성막면에 도달한 후에 스퍼터링 입자의 마이그레이션이 일어난다. 구체적으로는, 피성막면의 온도를 100°C 이상 740°C 이하, 바람직하게는 150°C 이상 500°C 이하로 하여 성막한다.

[0188] 또한, 스퍼터링 가스 중의 산소 비율을 높이고 전력을 최적화함으로써 성막 시의 플라즈마 대미지를 경감시키는 것이 바람직하다. 스퍼터링 가스 중의 산소 비율은 30vol% 이상 100vol% 이하로 한다.

[0189] 스퍼터링용 타깃의 일례로서 In-Ga-Zn 산화물 타깃에 대하여 이하에서 제시한다.

[0190] InO_x 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 mol수 비율로 혼합하고, 가압 처리 후, 1000°C 이상 1500°C 이하의 온도로 가열 처리를 수행함으로써, 다결정인 In-Ga-Zn 산화물 타깃으로 한다. 또한, 이 가압 처리는 냉각(또는 냉각)하면서 수행하여도 좋고, 가열하면서 수행하여도 좋다. 또한, X, Y 및 Z는 임의의 정수(正數)이다. 여기서, 소정의 mol수 비율은, 예를 들어, InO_x 분말, GaO_y 분말, 및 ZnO_z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 또한, 분말의 종류, 및 그 혼합하는 mol수 비율은 제작하는 스퍼터링용 타깃에 따라 적절히 변경하면 좋다.

[0191] 또한, 스퍼터링법에 의하여 형성되는 산화물 반도체막 내에는 수소 또는 물, 수산기를 포함한 화합물 등이 포함되어 있는 경우가 있다. 수소나 물 등을, 도너 준위를 형성하기 쉬우므로 산화물 반도체에는 불순물이다. 따라서, 스퍼터링법을 이용하여 산화물 반도체막을 형성할 때 가능한 한 산화물 반도체막에 포함되는 수소 농도를 저감시키는 것이 바람직하다.

[0192] 산화물 반도체막의 형성 시에 스퍼터링 장치의 반응실의 누설율을 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$ 이하로 함으로써, 스퍼터링 법에 의한 형성 도중의 산화물 반도체막 내로의 알칼리 금속, 수소화물 등의 불순물의 혼입을 저감시킬 수 있다. 또한, 배기계로서 흡착형의 진공 펌프(예를 들어, 크라이오 펌프 등)를 사용함으로써, 배기계로부터 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기를 포함한 화합물, 또는 수소화물 등의 불순물이 역류하는 것을 저감시킬 수 있다.

[0193] 또한, 타깃의 순도를, 99.99% 이상으로 함으로써 산화물 반도체막에 혼입하는 알칼리 금속, 수소 원자, 수소 분자, 물, 수산기, 또는 수소화물 등을 저감시킬 수 있다. 또한, 상기 타깃을 사용함으로써 산화물 반도체막 내의 리튬, 나트륨, 칼륨 등의 알칼리 금속의 농도를 저감시킬 수 있다. 또한, 타깃에 포함되는 실리콘의 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.

[0194] 또한, 산화물 반도체막 및 산화물막을 형성한 후에 산소 분위기, 또는 질소 및 산소 분위기에서 플라즈마 처리를 수행하여도 좋다. 이로써 적어도 산화물 반도체막의 산소 결손을 저감시킬 수 있다.

[0195] 다층막(103)을 형성하기 위한 에칭은 드라이 에칭법 및 웨트 에칭법 중 한쪽 또는 양쪽을 이용하여 수행할 수 있다.

[0196] 또한, 드라이 에칭법으로 다층막(103)을 에칭하는 경우의 에칭 가스로서, 염소(Cl_2), 삼염화 붕소(BCl_3), 사염화 실리콘(SiCl_4), 또는 사염화 탄소(CCl_4) 등을 대표로 하는 염소계 가스를 사용할 수 있다. 또한, 드라이 에칭법으로 다층막(103)을 에칭하는 경우의 플라즈마원으로서, 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma), 유도 결합 플라즈마(ICP: Inductively Coupled Plasma), 전자 사이클로트론 공명(ECR: Electron Cyclotron Resonance) 플라즈마, 헬리온파 여기 플라즈마(HWP: Helicon Wave Plasma), 마이크로파 여기 표면파 플라즈마(SWP: Surface Wave Plasma) 등을 사용할 수 있다. 특히 ICP, ECR, HWP, 및 SWP는 고밀도의 플라즈마를 생성할 수 있다. 드라이 에칭법으로 수행하는 에칭(이하, 드라이 에칭이라고도 함)은 원하는 가공 형상으로

예칭할 수 있도록, 예칭 조건(코일형 전극에 인가되는 전력량, 기판 측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절하여 수행한다.

[0197] 웨트 예칭법에 의하여 다층막(103)을 예칭하는 경우 예칭액으로서 인산과 초산과 질산을 섞은 용액이나, 옥살산을 포함한 용액, 인산을 포함한 용액 등을 사용할 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO., INC. 제조)을 사용하여도 좋다.

[0198] 다음에 제 1 가열 처리를 수행하는 것이 바람직하다. 제 1 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하로 수행하면 좋다. 제 1 가열 처리의 분위기는 불활성 가스 분위기, 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함한 분위기, 또는 감압 상태에서 수행한다. 또는, 제 1 가열 처리의 분위기는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함한 분위기에서 가열 처리를 수행하여도 좋다. 제 1 가열 처리에 의하여 산화물 반도체막(103a)의 결정성을 높이고 또한 게이트 절연막(106) 및 다층막(103)으로부터 물, 수소, 질소, 및 탄소 등의 불순물을 제거할 수 있다.

[0199] 또한, 제 1 가열 처리는 다층막(103)을 형성하는 예칭 공정 전후 중 적어도 한쪽에서 수행할 수 있다.

[0200] 상술한 공정까지를 거쳐 얻어진 구성을 도 3의 (B)에 도시하였다.

[0201] 다음으로, 소스 전극(104a) 및 드레인 전극(104b)에 적용할 수 있는 도전성 재료를 사용하여 다층막(103) 위에 도전막을 형성하고, 이 도전막 위에 레지스트 마스크를 형성하고, 이 레지스트 마스크를 사용하여 상기 도전막의 일부를 예칭함으로써 소스 전극(104a) 및 드레인 전극(104b)을 형성한다.

[0202] 또한, 소스 전극(104a) 및 드레인 전극(104b)을 형성하는 예칭은, 드라이 예칭법 및 웨트 예칭법 중 한쪽 또는 양쪽을 이용하여 수행할 수 있다.

[0203] 또한, 소스 전극(104a) 및 드레인 전극(104b)의 단부는 테이퍼 형상으로 하는 것이 바람직하다. 구체적으로는 단부의 테이퍼각 θ를 80° 이하, 바람직하게는 60° 이하, 더 바람직하게는 45° 이하로 한다.

[0204] 다음으로 제 2 가열 처리를 수행하는 것이 바람직하다. 제 2 가열 처리는 제 1 가열 처리의 기재를 참조하여 수행하면 좋다. 제 2 가열 처리에 의하여 다층막(103)으로부터 수소나 물 등의 불순물을 제거할 수 있다. 수소는 다층막(103) 내를 특히 이동하기 쉽기 때문에 제 2 가열 처리에 의하여 저감해두면 트랜지스터에 안정된 전기 특성을 부여할 수 있다. 또한, 물도 수소를 포함한 화합물이기 때문에 산화물 반도체막(103a) 내에서 불순물이 될 수 있다.

[0205] 또한, 제 2 가열 처리에 의하여 소스 전극(104a) 및 드레인 전극(104b)에 접촉하는 다층막(103)에 저저항 영역(109a) 및 저저항 영역(109b)을 형성할 수 있다.

[0206] 상술한 바와 같이, 다층막(103)으로 함으로써 산화물 반도체막(103a), 산화물막(103b), 및 산화물 반도체막(103a)과 산화물막(103b)의 계면에서의 불순물 농도를 저감시킬 수 있다.

[0207] 상술한 공정까지를 거쳐 얻어진 구성을 도 3의 (C)에 도시하였다.

[0208] 다음에 다층막(103), 소스 전극(104a) 및 드레인 전극(104b) 위에 산화물막(105)을 형성한다. 산화물막(105)은 산화물 반도체막(103a) 및 산화물막(103b)에 적용할 수 있는 재료 및 방법을 이용하여 형성한다. 여기서는, 산화물막(103b)과 같은 재료를 구성하는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 재료를 사용하여 형성한다. 구체적으로는 원자수 비율이 $In:Ga:Zn=1:3:2$ 인 In-Ga-Zn 산화물, 원자수 비율이 $In:Ga:Zn=1:6:4$ 인 In-Ga-Zn 산화물, 또는 원자수 비율이 $In:Ga:Zn=1:9:4$ 인 In-Ga-Zn 산화물을 타깃으로서 사용하여 산화물막을 형성한다.

[0209] 상술한 공정까지를 거쳐 얻어진 구성을 도 3의 (D)에 도시하였다.

[0210] 다음에 산화물막(105) 위에 절연막(120)을 형성한다. 여기서는 산화물 절연막(107a), 산화물 절연막(107b), 및 질화물 절연막(108)을 형성하는 경우에 대하여 설명한다.

[0211] 우선, 산화물 절연막(107a)으로서 제 1 산화 실리콘막을 형성한다. 다음에 산화물 절연막(107b)으로서 제 2 산화 실리콘막을 형성한다. 그 다음에 제 2 산화 실리콘막에 산소 이온을 첨가하는 처리를 수행하여도 좋다. 산소 이온을 첨가하는 처리는 이온 도핑 장치 또는 플라즈마 처리 장치를 사용하면 좋다. 이온 도핑 장치로서, 질량 분리 기능을 갖는 이온 도핑 장치를 사용하여도 좋다. 산소 이온의 원료로서 $^{16}O_2$ 또는 $^{18}O_2$ 등의 산소 가

스, 아산화 질소 가스 또는 오존 가스 등을 사용하면 좋다. 다음에 질화물 절연막(108)으로서 질화 실리콘막을 형성한다.

[0212] 제 1 산화 실리콘막은 CVD법 중의 1종인 플라즈마 CVD법에 의하여 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 180°C 이상 400°C 이하, 바람직하게는 200°C 이상 370°C 이하로 하고, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하여 압력을 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하고, 전극에 고주파 전력을 공급함으로써 성막하면 좋다. 또한, 실리콘을 포함한 퇴적성 가스의 대표예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 아산화 질소, 이산화 질소 등이 있다.

[0213] 또한, 실리콘을 포함한 퇴적성 가스의 유량에 대한 산화성 가스의 유량을 100배 이상으로 함으로써 제 1 산화 실리콘막 내의 수소 함유량을 저감시키고, 또한 댕글링 본드를 저감시킬 수 있다.

[0214] 제 2 산화 실리콘막은 플라즈마 CVD법에 의하여 형성하는 것이 바람직하다. 구체적으로는 기판 온도를 160°C 이상 350°C 이하, 바람직하게는 180°C 이상 260°C 이하로 하고, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하여 압력을 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 전극에 $0.17\text{W}/\text{cm}^2$ 이상 $0.5\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.25\text{W}/\text{cm}^2$ 이상 $0.35\text{W}/\text{cm}^2$ 이하의 고주파 전력을 공급함으로써 성막하면 좋다.

[0215] 상술한 방법을 수행함으로써, 플라즈마 중에서의 가스의 분해 효율이 높아지고 산소 라디칼이 증가하고 가스의 산화가 진행되기 때문에, 제 2 산화 실리콘막으로서 과잉 산소를 포함한 산화 실리콘막을 형성할 수 있다.

[0216] 질화물 절연막(108)의 질화 실리콘막은 플라즈마 CVD법에 의하여 형성하는 것이 바람직하다. 구체적으로는, 기판 온도를 180°C 이상 400°C 이하, 바람직하게는 200°C 이상 370°C 이하로 하고, 실리콘을 포함한 퇴적성 가스, 질소 가스, 및 암모니아 가스를 사용하여 압력을 20Pa 이상 250Pa 이하, 바람직하게는 40Pa 이상 200Pa 이하로 하고, 고주파 전력을 공급함으로써 성막하면 좋다.

[0217] 또한, 질소 가스의 유량은 암모니아 가스의 유량의 5배 이상 50배 이하, 바람직하게는 10배 이상 50배 이하로 한다. 또한, 암모니아 가스를 사용함으로써 실리콘을 포함한 퇴적성 가스 및 질소 가스의 분해를 촉진할 수 있다. 이것은 암모니아 가스가 플라즈마 에너지 및 열 에너지에 의하여 해리하고, 해리함으로써 발생되는 에너지가 실리콘을 포함한 퇴적성 가스의 결합, 및 질소 가스의 결합의 분해에 기여하기 때문이다.

[0218] 따라서, 상술한 방법에 의하여 질화물 절연막(108)에 적용할 수 있는, 수소 가스 및 암모니아 가스의 방출량이 적은 질화 실리콘막을 형성할 수 있다. 또한, 수소의 함유량이 적기 때문에 치밀하게 되고, 수소, 물, 및 산소를 투과시키지 않는, 또는 거의 투과시키지 않는 질화 실리콘막으로 할 수 있다.

[0219] 또한, 절연막(120)에서, 적어도 산화물 절연막(107a) 및 산화물 절연막(107b)을 형성한 후에 제 3 가열 처리를 수행하는 것이 바람직하다. 제 3 가열 처리는 제 1 가열 처리의 기재를 참조하여 수행하면 좋다. 제 3 가열 처리에 의하여 게이트 절연막(106), 산화물 절연막(107a), 및 산화물 절연막(107b) 중 적어도 한 막으로부터 과잉 산소가 방출되고 다층막(103)의 산소 결손을 저감시킬 수 있다. 또한, 다층막(103) 내에서는 인접되는 산소 원자를 산소 결손이 포획함으로써 산소 결손은 외관상 이동한다.

[0220] 또한, 제 3 가열 처리에 의하여 산화물 절연막(107a) 및 산화물 절연막(107b)으로부터 수소나 물을 제거할 수 있다. 또한, 질화물 절연막(108)을 형성한 후에 제 3 가열 처리를 수행하는 경우는 질화물 절연막(108)으로부터도 수소나 물을 제거할 수 있다.

[0221] 상술한 공정까지를 거쳐 얻어진 구성을 도 3의 (E)에 도시하였다.

[0222] 이상과 같이 하여 트랜지스터(100)를 제작할 수 있다.

[0223] 또한, 트랜지스터(100)의 제작 공정에 있어서, 소스 전극(104a) 및 드레인 전극(104b)을 형성할 때 산화물막(103b)의 일부도 에칭되는 경우가 있다. 그러나 산화물 반도체막(103a)의 상면에서, 산화물막(103b)의 형성시에 산화물 반도체막(103a)과 산화물막(103b)의 혼합층이 형성되는 경우가 있다.

[0224] 예를 들어, 산화물 반도체막(103a)이 $\text{In:Ga:Zn}=1:1:1$ [원자수 비율]의 In-Ga-Zn 산화물 또는 $\text{In:Ga:Zn}=3:1:2$ [원자수 비율]의 In-Ga-Zn 산화물, 산화물막(103b)이 $\text{In:Ga:Zn}=1:3:2$ [원자수 비율]의 In-Ga-Zn 산화물 또는 $\text{In:Ga:Zn}=1:6:4$ [원자수 비율]의 In-Ga-Zn 산화물, 산화물막(105)이 $\text{In:Ga:Zn}=1:3:2$ [원자수 비율]의 In-Ga-Zn 산화물 또는 $\text{In:Ga:Zn}=1:6:4$ [원자수 비율]의 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 막인 경우, 산화물막(103b)의 Ga의 함유량은 산화물 반도체막(103a)보다 많기 때문에 산화물 반도체막(103a)의 상면에서 GaO_x 층

또는 산화물 반도체막(103a)보다 Ga을 많이 포함한 혼합층이 형성될 수 있다.

[0225] 이상과 같은 경우의 트랜지스터(100)의 단면 C1-C2 부분에서의 에너지 밴드 구조도를 도 24에 나타내었다. 도 24는 도 2의 (A) 및 (B)에 나타낸 에너지 밴드 구조의 변형예를 나타낸 것이다. 또한, 도 24의 Ec(182)는 게이트 절연막(106)의 전도대 하단의 에너지를 나타낸 것이고, Ec(183a)는 산화물 반도체막(103a)의 전도대 하단의 에너지를 나타낸 것이고, Ec(185)는 산화물막(105)의 전도대 하단의 에너지를 나타낸 것이다.

[0226] 상기로부터, 산화물막(103b)이 에칭되어 산화물막(105)과 산화물 반도체막(103a)이 접촉하는 경우에도 산화물막(105)과 산화물 반도체막(103a) 사이에 GaO_x층 또는 산화물 반도체막(103a)보다 Ga을 많이 포함한 혼합층이 제공되므로 Ec(183a) 및 Ec(185)는 연속 접합한다. 또한, Ec(185)는 Ec(183a)보다 고에너지가 된다.

[0227] (변형 예 1)

[0228] 여기서는 트랜지스터(100)의 변형예에 대하여 설명한다. 도 7의 (A)에 본 변형예인 트랜지스터의 구성 요소의 일부(기판(101), 게이트 전극(110), 게이트 절연막(106), 다층막(103))를 도시하였다. 또한, 도 7의 (B)는 도 7의 (A)에 도시된 다층막(103)의 단부(일점 쇄선의 동그라미표로 둘러싸인 영역)의 확대도이다.

[0229] 트랜지스터(100)의 변형예의 다층막(103)에 있어서는 적어도 산화물 반도체막(103a)이 테이퍼 형상을 갖는다. 더 바람직하게는, 산화물막(103b)도 테이퍼 형상을 갖는다. 또한, 산화물 반도체막(103a)의 테이퍼 형상과 산화물막(103b)의 테이퍼 형상이 상이하다.

[0230] 구체적으로는, 산화물 반도체막(103a)에 있어서 산화물 반도체막(103a)의 하면과 산화물 반도체막(103a)의 측면으로 이루어지는 각도를 제 1 각도 θ1로 하고, 산화물막(103b)에 있어서 산화물막(103b)의 하면과 산화물막(103b)의 측면으로 이루어지는 각도를 제 2 각도 θ2로 한 경우 제 1 각도 θ1을 예각으로 하고 제 2 각도 θ2를 예각 또는 수직으로 할 수 있다.

[0231] 특히, 제 1 각도 θ1 및 제 2 각도 θ2는 어느 쪽도 예각이며 제 1 각도 θ1이 제 2 각도 θ2보다 작은 것이 바람직하다(도 7의 (B) 참조).

[0232] 또한, 제 1 각도 θ1은 10° 이상 90° 미만이고, 30° 이상 80° 이하인 것이 더 바람직하다. 제 2 각도 θ2는 10° 이상 90° 미만이고, 30° 이상 80° 이하인 것이 더 바람직하고, 45° 이상 70° 이하인 것이 더욱 바람직하다.

[0233] 또한, 산화물 반도체막(103a)의 하면은, 산화물 반도체막(103a)의 기판(101) 측의 면, 또는 산화물 반도체막(103a)의 게이트 절연막(106)에 접촉하는 면에 상당한다. 산화물막(103b)의 하면은, 산화물막(103b)의 기판(101) 측의 면, 또는 산화물막(103b)의 산화물 반도체막(103a)과의 경계면에 상당한다. 또한, 다층막(103)의 적층 구조는 STEM(Scanning Transmission Electron Microscopy)을 사용하여 관찰함으로써 그 경계를 확인할 수 있다. 그러나, 산화물 반도체막(103a) 및 산화물막(103b)에 사용되는 재료에 따라서는 상기 경계를 명확하게 확인할 수 없는 경우가 있다.

[0234] 이와 같이 다층막(103)을 다른 테이퍼각을 갖는 테이퍼 형상으로 함으로써 하기에서 제시하는 효과를 얻을 수 있다. 다층막(103)에 있어서, 일정한 테이퍼각을 갖는 테이퍼 형상에 비하여 다른 테이퍼각을 갖는 테이퍼 형상으로 함으로써 소스 전극(104a) 및 드레인 전극(104b)과의 접촉 면적을 확대시킬 수 있다. 따라서, 다층막(103)과 소스 전극(104a) 및 드레인 전극(104b)의 접촉 저항이 저감됨으로써 트랜지스터의 온 전류를 증대시킬 수 있다.

[0235] 또한, 제 2 각도 θ2를 제 1 각도 θ1보다 크게 함으로써 소스 전극(104a) 및 드레인 전극(104b)과의 접촉 면적을 작게 할 수 있고 산화물막(103b)에 형성되는 저저항 영역을 작게 할 수 있다. 이로써, 산화물막(103b)의 저저항화를 억제하면서 채널 영역으로서 기능하는 산화물 반도체막(103a)에 효과적으로 저저항 영역을 형성할 수 있고, 트랜지스터의 온 전류의 증대와 오프 전류의 저감 양쪽 모두를 실현할 수 있다.

[0236] 산화물 반도체막(103a)의 테이퍼 형상과 산화물막(103b)의 테이퍼 형상이 다른 다층막(103)을 형성하기 위해서는, 예를 들어, 다층막(103)을 에칭하여 형성할 때 산화물 반도체막(103a) 및 산화물막(103b)의 에칭 속도가 각각 다른 것을 이용함으로써 형성할 수 있다. 상기 테이퍼 형상은 산화물 반도체막(103a)의 에칭 속도를 산화물막(103b)의 에칭 속도보다 늦게 함으로써 형성할 수 있다.

[0237] 예를 들어, 도 3의 (B)의 공정에서는, 에친트로서 인산을 포함한 용액을 사용한 웨트 에칭에 의하여 실시할 수 있다.

[0238] 다층막(103)을 웨트 에칭하여 형성하는 것의 장점으로서는 이하의 점을 들 수 있다. 예를 들어 다층막(103)으로 가공되는 산화물 반도체막 및 산화물막에 핀 홀 등의 결함이 있는 경우, 드라이 에칭에 의하여 상기 산화물 반도체막 및 상기 산화물막을 가공하면 상기 핀 홀을 통하여 상기 산화물 반도체막 및 상기 산화물막 아래에 제공되어 있는 절연막(게이트 절연막 등)도 에칭하는 경우가 있다. 그러므로 상기 절연막 아래에 제공되어 있는 전극(게이트 전극 등)에 도달하는 개구가 상기 절연막에 형성될 수 있다. 이런 상황하에서 트랜지스터를 제작하면, 상기 전극과 다층막(103) 위에 형성되는 전극(소스 전극 및 드레인 전극 등)에서 단락되어 특성 불량의 트랜지스터가 제작될 경우가 있다. 즉, 드라이 에칭에 의한 다층막(103)의 형성은 트랜지스터 수율의 저하에 이른다. 따라서, 다층막(103)을 웨트 에칭에 의하여 형성함으로써 전기 특성이 양호한 트랜지스터를 높은 생산성으로 제작할 수 있다.

[0239] 또한, 웨트 에칭의 에칭 속도는 에천트의 농도, 및 에천트의 온도 등에 따라 변화되기 때문에 산화물 반도체막(103a)의 에칭 속도가 산화물막(103b)의 에칭 속도보다 늦게 되도록 적절히 조정하는 것이 바람직하다. 또한, 제 2 각도 $\Theta 2$ 를 제 1 각도 $\Theta 1$ 보다 크게 함으로써 상기 웨트 에칭을 수행할 때 에천트에 노출되는 면적을 가능한 한 작게 할 수 있다. 또한, 제 2 각도 $\Theta 2$ 를 제 1 각도 $\Theta 1$ 보다 크게 함으로써 에천트에 기인한 오염이나 결함의 생성에 의하여 산화물막(103b)에 형성되는 저저항 영역을 작게 할 수 있다.

[0240] 예를 들어 상기 에천트로서는, 85% 정도로 조정한 인산 수용액, 또는 인산(72%)과 질산(2%)과 초산(9.8%)을 혼합한 혼합 용액(혼산 알루미늄액이라고도 함)을 들 수 있다. 또한, 에천트의 온도는 20°C~35°C 정도의 실온 또는 상온이 바람직하다. 또한, 에천트는 상기 이외의 것이라도 좋다.

[0241] 다층막(103)은 상기 웨트 에칭에 의하여 형성되고, 트랜지스터(100)의 제작 방법을 적절히 이용하여 게이트 전극(110), 게이트 절연막(106), 소스 전극(104a), 드레인 전극(104b) 및 절연막(120)을 형성함으로써 트랜지스터(100)의 변형예를 제작할 수 있다.

[0242] (변형예 2)

[0243] 본 변형예의 트랜지스터(100)에 있어서, 절연막(120) 위의 다층막(103)과 중첩되는 영역에 도전막(121)을 제공할 수 있다(도 8 참조). 도 8은 이 변형예의 트랜지스터의 채널 길이 방향의 단면도를 도시한 것이다. 여기서, 게이트 전극(110)을 제 1 게이트 전극, 도전막(121)을 제 2 게이트 전극이라고 부를 수 있고 제 1 게이트 전극 및 제 2 게이트 전극 중 한쪽을 게이트 전극으로서 기능시키고 다른 쪽을 백 게이트 전극으로서 기능시킬 수 있다.

[0244] 백 게이트 전극은 게이트 전극과 마찬가지로 기능시킬 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같은 전위로 하여도 좋고 GND 전위나 임의의 전위로 하여도 좋다. 백 게이트 전극의 전위를 변화시킴에 따라 트랜지스터의 문턱 전압을 변화시킬 수 있다.

[0245] 또한, 게이트 전극과 백 게이트 전극은 도전막으로 형성되므로 트랜지스터의 외부에서 발생되는 전기장이 채널 형성 영역에 작용하지 않도록 하는 기능(특히, 정전기에 대한 정전 차폐 기능)도 갖는다. 즉, 정전기 등 외부의 전기장의 영향으로 인하여 트랜지스터의 전기적 특성이 변동되는 것을 방지할 수 있다. 또한, 백 게이트 전극을 제공함으로써 BT 시험 전후에서의 트랜지스터의 문턱 전압의 변화량을 저감시킬 수 있다.

[0246] 백 게이트 전극을 차광성을 갖는 도전막으로 형성함으로써 백 게이트 전극 측으로부터 다층막(103)에 빛이 입사하는 것을 방지할 수 있다. 따라서, 다층막(103)(특히, 산화물 반도체막(103a))의 광 열화를 피하고 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성의 열화를 방지할 수 있다.

[0247] 또한, 본 실시형태는 다른 실시형태, 실시예, 및 참고예에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0248] (실시형태 2)

[0249] 본 실시형태에서는 본 발명의 일 형태인 트랜지스터(100)의 구조와 일부 다른 구조를 갖는 트랜지스터(150)에 대하여 예시한다.

[0250] [반도체 장치의 구성예]

[0251] 도 9에는 반도체 장치의 일 형태인 트랜지스터(150)를 도시하였다. 트랜지스터(150)는 보텀 게이트형 트랜지스터 중의 하나이다. 도 9의 (A)는 트랜지스터(150)의 상면도이다. 도 9의 (B)는 도 9의 (A) 중의 일점 쇄선 A1-A2 부분의 단면도이다. 도 9의 (C)는 도 9의 (A) 중의 일점 쇄선 B1-B2 부분의 단면도이다. 도 9의 (D)는 도 9의 (B)에 도시된 일점 쇄선의 동그라미표에 의하여 둘러싸인 영역의 확대도이다. 또한, 도 9의 (A)에서는

일부의 구성 요소의 기재를 생략하였다.

[0252] 트랜지스터(150)는, 단면 구조에 있어서 다층막(103)의 적층 구조가 트랜지스터(100)와 다르다. 트랜지스터(150)의 다층막(103)에서는, 산화물막(103c) 위에 산화물 반도체막(103a)이 제공되어 있고 산화물 반도체막(103a) 위에 산화물막(103b)이 제공되어 있다(도 9의 (D) 참조). 또한, 트랜지스터(150)의 기타 구성 요소는 트랜지스터(100)와 마찬가지이다.

[0253] 트랜지스터(150)에서도, 산화물막(105)은 산화물막(103b), 소스 전극(104a) 및 드레인 전극(104b)의 상면에 접촉하도록 제공되어 있다.

[0254] 트랜지스터(150)도 트랜지스터(100)와 마찬가지로, 소스 전극(104a) 및 드레인 전극(104b)에 사용하는 도전막의 종류에 따라서는 다층막(103)의 일부로부터 산소를 빼앗음으로써, 또는 혼합층을 형성함으로써, 다층막(103) 내에 저저항 영역(109a) 및 저저항 영역(109b)을 형성하는 경우가 있다.

[0255] 도 9의 (B) 및 (C)에 있어서, 저저항 영역(109a) 및 저저항 영역(109b)은 다층막(103) 내의 소스 전극(104a) 및 드레인 전극(104b)에 접촉하는 계면 근방의 영역이다. 저저항 영역(109a) 및 저저항 영역(109b)의 일부 또는 전부는 소스 영역 및 드레인 영역으로서 기능한다.

[0256] [다층막, 및 다층막에 접촉하는 산화물막]

[0257] 이하에서는 트랜지스터(150)의, 다층막(103)이 갖는 산화물막(103c), 산화물 반도체막(103a), 및 산화물막(103b)에 대하여 설명한다. 또한, 트랜지스터(150)에서의 산화물 반도체막(103a) 및 산화물막(103b)은 트랜지스터(100)와 같은 것이기 때문에 여기서는 트랜지스터(100)와 다른 산화물막(103c)에 대한 설명만 한다.

[0258] 산화물막(103c)은 산화물 반도체막(103a) 및 산화물막(103b)에 적용할 수 있는 재료를 적절히 사용할 수 있다. 그리고, 산화물막(103c)은 산화물 반도체막(103a)을 구성하는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 재료를 사용함으로써 형성되는 것이 바람직하다. 특히, 산화물막(103c)에는 산화물막(103b)에 적용할 수 있는 재료를 사용하는 것이 바람직하다. 이런 재료를 사용함으로써 산화물 반도체막(103a)과 산화물막(103b)의 계면에 계면 준위를 발생시키기 어렵게 할 수 있다. 따라서, 계면에서의 캐리어의 산란이나 포획이 발생되기 어렵고 트랜지스터의 전계 효과 이동도를 향상시킬 수 있게 된다. 또한, 트랜지스터의 문턱 전압의 편차를 저감시킬 수 있다.

[0259] 산화물막(103c), 산화물 반도체막(103a), 및 산화물막(103b)의 형성 공정에 있어서, 도중에서 대기로 노출시키지 않고, 불활성 가스 분위기, 산화성 가스 분위기, 또는 감압하에서 유지하면서 연속적으로 형성함으로써 산화물막(103c)과 산화물 반도체막(103a)의 계면 준위, 및 산화물 반도체막(103a)과 산화물막(103b)의 계면 준위가 더 발생되기 어렵게 할 수 있다.

[0260] 산화물막(103c)의 막 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다.

[0261] 산화물막(103c)은 산화물 반도체막(103a) 및 산화물막(103b)과 마찬가지로 비단결정을 가져도 좋다.

[0262] 또한, 트랜지스터(150)에 있어서, 적어도 산화물 반도체막(103a)은 CAAC-OS막이라도 좋다.

[0263] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0264] 산화물 반도체막(103a)을 CAAC-OS막으로 하기 위해서는, 하지막인 산화물막(103c)이 비정질이거나 또는 CAAC-OS막과 같은 결정성을 갖는 것이 바람직하다.

[0265] 또한, 산화물 반도체막(103a)이 CAAC-OS막일 때 산화물 반도체막(103a) 위에 형성되는 산화물막(103b)은 CAAC-OS막이 되기 쉽다. 다만, 산화물막(103b)은 비정질이라도 좋다.

[0266] 다층막(103)을 사용한 트랜지스터에 있어서, 산화물 반도체막(103a)은 채널이 형성되는 층이므로 산화물 반도체막(103a)이 높은 결정성을 갖는 경우 트랜지스터에 안정된 전기 특성을 부여할 수 있어 바람직하다.

[0267] 트랜지스터(150)도 트랜지스터(100)와 마찬가지로, CPM 측정으로 얻어지는 다층막(103) 내의 국체 준위에 의한 흡수 계수를 $1 \times 10^{-3} / \text{cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} / \text{cm}^{-1}$ 미만으로 하면 좋다. 이로써 트랜지스터의 전계 효과 이동도를 높일 수 있다. 또한, 이렇게 하기 위해서는 산화물 반도체막(103a) 내에서 국체 준위를 형성하는 원소인 실리콘, 게르마늄, 탄소, 하프늄, 티타늄 등의 농도를 $2 \times 10^{18} \text{ atoms/cm}^3$ 미만, 바람직하게는 $2 \times$

10^{17} atoms/cm³ 미만으로 하면 좋다.

[0268] 이하에서는 도 10의 (A) 및 (B), 도 11의 (A) 및 (B)에 나타낸 에너지 밴드 구조도를 사용하여 본 실시형태에서의 다층막(103)의 기능 및 그 효과를 설명한다. 도 10의 (A) 및 (B), 도 11의 (A) 및 (B)는 도 9의 (B)에 도시된 일점 쇄선 C1-C2 부분에서의 에너지 밴드 구조를 나타낸 것이다.

[0269] 도 10의 (A) 및 (B), 도 11의 (A) 및 (B)에 있어서, Ec(182), Ec(183c), Ec(183a), Ec(183b), Ec(185), Ec(186)는 각각 게이트 절연막(106), 산화물막(103c), 산화물 반도체막(103a), 산화물막(103b), 산화물막(105), 절연막(120)의 전도대 하단의 에너지를 나타내었다.

[0270] 게이트 절연막(106) 및 절연막(120)은 절연물이기 때문에 Ec(182) 및 Ec(186)는 Ec(183c), Ec(183a), Ec(183b), 및 Ec(185)보다 진공 준위에 가깝다(전자 친화력이 작다).

[0271] 또한, Ec(183c) 및 Ec(183b)는 Ec(183a)보다 진공 준위에 가깝다. 구체적으로는, Ec(183a)와 Ec(183c)의 에너지 차이 및 Ec(183a)와 Ec(183b)의 에너지 차이를 각각 0.05eV 이상 2eV 이하로 한다. 바람직하게는 상기 에너지 차이의 하한을 0.1eV 이상으로 하고, 더 바람직하게는 상기 에너지 차이의 하한을 0.15eV 이상으로 한다.

[0272] 도 10의 (A) 및 (B), 도 11의 (A) 및 (B)에 있어서, 산화물 반도체막(103a)과 산화물막(103b)의 사이, 산화물 반도체막(103a)과 산화물막(103c)의 사이, 산화물막(103b)과 산화물막(105)의 사이에서 전도대 하단의 에너지는 장벽이 없고 완만하게 변화된다. 바꾸어 말하면, 상기 전도대 하단의 에너지는 연속적으로 변화된다. 이것은, 실시형태 1에서 기재한 바와 같이, 산화물막(103b) 및 산화물막(103c)은 산화물 반도체막(103a)과 공통적인 원소를 포함하고, 산화물 반도체막(103a)과 산화물막(103c)의 사이, 및 산화물 반도체막(103a)과 산화물막(103b)의 사이에서 산소가 상호적으로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.

[0273] 또한, 실시형태 1에서 기재한 바와 같이, 상기 에너지 밴드 구조를 갖는 다층막(103)을 트랜지스터에 사용하는 경우 전자는 주로 산화물 반도체막(103a)을 이동한다. 즉, 채널 영역은 산화물 반도체막(103a)에 형성된다고 할 수 있다. 그러므로, 다층막(103)의 외측의 절연막과의 계면에 준위가 존재하더라도 상기 준위는 채널 영역으로부터 떨어진 위치에 존재하므로 전자의 이동에는 거의 영향을 미치지 않는다. 또한, 다층막(103)을 구성하는 막과 막의 사이에는 준위가 존재하지 않거나 또는 거의 존재하지 않기 때문에 채널 영역에서 전자의 이동을 저해하는 일도 없다. 따라서, 다층막(103)의 산화물 반도체막(103a)은 높은 전자 이동도를 갖는다.

[0274] 특히, 산화물막(105)과 산화물막(103b)을 같은 재료로 형성하는 경우 Ec(185)와 Ec(183b)는 같은 에너지가 된다(도 10의 (A) 참조).

[0275] 도 10의 (A)에 나타낸 바와 같이, 산화물막(105)과 절연막(120)의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위(191)가 형성되고 산화물막(103c)과 게이트 절연막(106)의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위(192)가 형성될 수 있으나, 산화물막(103c), 산화물막(103b), 및 산화물막(105)이 있음으로써 산화물 반도체막(103a)을 트랩 준위(191) 및 트랩 준위(192)로부터 멀리할 수 있다.

[0276] 또한, Ec(183a)와 Ec(183b)의 에너지 차이, 및 Ec(183a)와 Ec(183c)의 에너지 차이가 작은 경우 산화물 반도체막(103a)의 전자가 상기 에너지 차이를 넘어 트랩 준위(191) 및 트랩 준위(192)에 도달하는 경우가 있다. 트랩 준위(191) 및 트랩 준위(192)에 전자가 포획됨으로써, 절연막 계면에 음의 전하가 생겨, 트랜지스터의 문턱 전압은 양의 방향으로 시프트된다.

[0277] 따라서, Ec(183a)와 Ec(183b)의 에너지 차이, 및 Ec(183a)와 Ec(183c)의 에너지 차이를 상기 에너지 차이의 범위 내로 하는 것이 바람직하다. 이로써, 트랜지스터(150)의 문턱 전압의 변동이 저감되고 트랜지스터(150)의 전기 특성을 양호하게 할 수 있다.

[0278] 또한, 트랜지스터(150)에서도 산화물막(105)에는 산화물 반도체막(103a) 및 산화물막(103b)에 적용할 수 있는 재료를 사용할 수 있다. 특히, 산화물막(103b)과 같은 재료를 구성하는 금속 원소 중 1종류 이상의 같은 금속 원소를 포함한 재료로 형성되는 것이 바람직하다. 이로써, 산화물막(103b)과 산화물막(105) 사이에서 전도대 하단의 에너지는 장벽이 없고 완만하게 변화시킬 수 있다.

[0279] 도 10의 (A)에 나타낸 바와 같은 에너지 밴드 구조를 갖기 위해서는, 산화물 반도체막(103a)으로서 원자수 비율이 In:Ga:Zn=1:1:1인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하고, 산화물막(103c), 산화물막(103b), 및 산화물막(105)으로서 원자수 비율이 In:Ga:Zn=1:3:2인 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하면 좋다.

[0280] 또한, 산화물막(103c), 산화물막(103b), 및 산화물막(105)의 밴드 갭은 산화물 반도체막(103a)의 밴드 갭보다 넓은 것이 바람직하다.

[0281] 또한, 도 10의 (A)에서는 산화물막(103c), 산화물막(103b), 및 산화물막(105)에 전도대 하단의 에너지가 같은 재료를 사용하지만, 산화물막(105)에는 산화물막(103c) 및 산화물막(103b)보다 전도대 하단의 에너지가 진공 준위에 가까운 재료를 사용하여도 좋다(도 10의 (B) 참조).

[0282] 구체적으로는, 산화물 반도체막(103a)에 원자수 비율이 $In:Ga:Zn = 1:1:1$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물 반도체막을 사용하고, 산화물막(103c) 및 산화물막(103b)에 원자수 비율이 $In:Ga:Zn = 1:3:2$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하는 경우, 산화물막(105)으로서 예를 들어 원자수 비율이 $In:Ga:Zn = 1:6:4$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하거나, 원자수 비율이 $In:Ga:Zn = 1:9:4$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하면 좋다.

[0283] 바꾸어 말하면, 산화물막(105), 산화물막(103c), 및 산화물막(103b)을 $In-M-Zn$ 산화물을 사용하여 형성하는 경우 산화물막(105)에 있어서의 In에 대한 원소 M의 원자수 비율을 산화물막(103c) 및 산화물막(103b)에 있어서의 In에 대한 원소 M의 원자수 비율보다 크게 하는 것이 바람직하다.

[0284] 또한, 트랜지스터(150)의 에너지 밴드 구조는 도 10의 (A) 및 (B)에 나타낸 구조뿐만 아니고, 산화물막(105) 및 산화물막(103b)에 전도대 하단의 에너지가 같은 재료를 사용하고 산화물막(103c)에 산화물막(105) 및 산화물막(103b)보다 전도대 하단의 에너지가 진공 준위에 가까운 재료를 사용하여도 좋다(도 11의 (A) 참조).

[0285] 또한, 트랜지스터(150)의 에너지 밴드 구조에 대하여, 산화물막(105) 및 산화물막(103c)에는 전도대 하단의 에너지가 같고, 또한 산화물 반도체막(103a) 및 산화물막(103b)보다 전도대 하단의 에너지가 진공 준위에 가까운 재료를 사용하여도 좋다(도 11의 (B) 참조).

[0286] 또한, 산화물막(105)과 절연막(120)의 계면 근방에 형성되는 트랩 준위(191), 및 산화물막(103c)과 게이트 절연막(106)의 계면 근방에 형성되는 트랩 준위(192)로 인한 영향을 줄이기 위하여, $Ec(183a)$ 와 $Ec(183b)$ 의 에너지 차이, $Ec(183a)$ 와 $Ec(183c)$ 의 에너지 차이, 및 $Ec(183b)$ 와 $Ec(185)$ 의 에너지 차이를 각각 0.05eV 이상 2eV 이하로 한다. 바람직하게는 상기 에너지 차이의 하한을 0.1eV 이상으로 하고, 더 바람직하게는 상기 에너지 차이의 하한을 0.15eV 이상으로 한다. 바람직하게는 상기 에너지 차이의 상한을 0.5eV 이하로 하고, 더 바람직하게는 상기 에너지 차이의 상한을 0.4eV 이하로 한다.

[0287] 도 11의 (A)에 나타낸 에너지 밴드 구조를 갖기 위해서는, 산화물 반도체막(103a)에 원자수 비율이 $In:Ga:Zn = 1:1:1$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물 반도체막을 사용하고, 산화물막(103b) 및 산화물막(105)에 원자수 비율이 $In:Ga:Zn = 1:3:2$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하고, 산화물막(103c)으로서는 예를 들어 원자수 비율이 $In:Ga:Zn = 1:6:4$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하거나, 원자수 비율이 $In:Ga:Zn = 1:9:4$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하면 좋다.

[0288] 도 11의 (B)에 나타낸 에너지 밴드 구조를 갖기 위해서는, 산화물 반도체막(103a)에 원자수 비율이 $In:Ga:Zn = 1:1:1$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물 반도체막을 사용하고, 산화물막(103b)에 원자수 비율이 $In:Ga:Zn = 1:3:2$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하고, 산화물막(103c) 및 산화물막(105)으로서는 예를 들어 원자수 비율이 $In:Ga:Zn = 1:6:4$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하거나, 원자수 비율이 $In:Ga:Zn = 1:9:4$ 인 $In-Ga-Zn$ 산화물을 타깃으로서 사용하여 형성한 산화물막을 사용하면 좋다.

[0289] 상기로부터 도 10의 (A) 및 (B), 도 11의 (A) 및 (B)에 나타낸 에너지 밴드 구조를 가짐으로써 다층막(103)의 산화물 반도체막(103a)은 높은 전자 이동도를 갖고, 문턱 전압의 변동이 저감되어, 전기 특성이 양호한 트랜지스터(150)를 실현할 수 있다.

[0290] [반도체 장치의 제작 방법의 예]

[0291] 트랜지스터(150)의 제작 방법의 일례를 이하에서 기재한다.

[0292] 우선, 기판(101) 위에 게이트 전극(110)을 형성하고, 게이트 전극(110) 위에 게이트 절연막(106)을 형성한다(도 12의 (A) 참조). 그 다음에 게이트 절연막(106) 위에 산화물막(103c)으로 가공되는 산화물막을 형성하고, 이 산화물막 위에 산화물 반도체막(103a)으로 가공되는 산화물 반도체막을 형성하고, 이 산화물 반도체막 위에 산화물막(103b)으로 가공되는 산화물막을 형성하여 다층막을 형성한다. 이 다층막 위에 레지스트 마스크를 형성

하고, 이 레지스트 마스크를 사용하여 상기 다층막의 일부를 선택적으로 에칭함으로써 산화물막(103c), 산화물 반도체막(103a), 및 산화물막(103b)을 갖는 다층막(103)을 형성한다(도 12의 (B) 참조). 다음에 다층막(103) 및 게이트 절연막(106) 위에 소스 전극(104a) 및 드레인 전극(104b)을 형성한다(도 12의 (C) 참조). 다층막(103), 소스 전극(104a) 및 드레인 전극(104b) 위에 산화물막(105)을 형성한다(도 12의 (D) 참조). 산화물막(105) 위에 절연막(120)을 형성한다(도 12의 (E) 참조). 또한, 트랜지스터(150)의 제작 방법도 트랜지스터(100)의 제작 방법과 마찬가지로 제 1 가열 처리 내지 제 3 가열 처리를 수행하는 것이 바람직하다.

[0293] 트랜지스터(150)의 제작 방법의 각 공정의 자세한 내용은 실시형태 1을 참조할 수 있다.

[0294] 상술한 공정을 거쳐 트랜지스터(150)를 제작할 수 있다.

[0295] 또한, 트랜지스터(150)의 제작 공정에 있어서, 소스 전극(104a) 및 드레인 전극(104b)을 형성할 때 산화물막(103b)의 일부도 에칭될 수 있다. 그러나 산화물 반도체막(103a)의 상면에서는 산화물막(103b)의 형성시에 산화물 반도체막(103a)과 산화물막(103b)의 혼합층이 형성될 수 있다.

[0296] 예를 들어, 산화물 반도체막(103a)이 $In:Ga:Zn=1:1:1$ [원자수 비율]의 In-Ga-Zn 산화물, 또는 $In:Ga:Zn=3:1:2$ [원자수 비율]의 In-Ga-Zn 산화물, 산화물막(103b)이 $In:Ga:Zn=1:3:2$ [원자수 비율]의 In-Ga-Zn 산화물, 또는 $In:Ga:Zn=1:6:4$ [원자수 비율]의 In-Ga-Zn 산화물, 산화물막(103c)이 $In:Ga:Zn=1:3:2$ [원자수 비율]의 In-Ga-Zn 산화물, 또는 $In:Ga:Zn=1:6:4$ [원자수 비율]의 In-Ga-Zn 산화물, 산화물막(105)이 $In:Ga:Zn=1:3:2$ [원자수 비율]의 In-Ga-Zn 산화물, 또는 $In:Ga:Zn=1:6:4$ [원자수 비율]의 In-Ga-Zn 산화물을 타깃으로서 사용하여 형성한 막인 경우, 산화물막(103b)의 Ga의 함유량이 산화물 반도체막(103a)보다 많기 때문에 산화물 반도체막(103a)의 상면에는 GaO_x층 또는 산화물 반도체막(103a)보다 Ga을 많이 포함한 혼합층이 형성될 수 있다.

[0297] 이러한 경우의 트랜지스터(150)의 단면 C1-C2 부분의 에너지 밴드 구조도를 도 25에 나타내었다. 도 25는 도 10의 (A) 및 (B), 도 11의 (A) 및 (B)에 나타낸 에너지 밴드 구조의 변형예를 나타낸 것이다. 또한, 도 25에 나타낸 Ec(182)는 게이트 절연막(106)의 전도대 하단의 에너지이고, Ec(183a)는 산화물 반도체막(103a)의 전도대 하단의 에너지이고, Ec(183c)는 산화물막(103c)의 전도대 하단의 에너지이고, Ec(185)는 산화물막(105)의 전도대 하단의 에너지이다.

[0298] 상기로부터, 산화물막(103b)이 에칭되어 산화물막(105)과 산화물 반도체막(103a)이 접촉하는 경우에도 산화물막(105)과 산화물 반도체막(103a) 사이에 GaO_x층 또는 산화물 반도체막(103a)보다 Ga을 많이 포함한 혼합층이 제공되므로 Ec(183a) 및 Ec(185)는 연속 접합된다. 또한, Ec(185)는 적어도 Ec(183a)보다 고에너지가 된다.

[0299] (변형 예 1)

[0300] 여기서는, 트랜지스터(150)의 변형예에 대하여 설명한다. 도 13의 (A)는 본 변형예인 트랜지스터의 구성 요소의 일부(기판(101), 게이트 전극(110), 게이트 절연막(106), 다층막(103))를 도시한 것이다. 도 13의 (B)는 도 13의 (A)의 다층막(103)의 단부(일점 쇄선의 동그라미표로 둘러싸인 영역)의 확대도를 도시한 것이다.

[0301] 본 변형예의 다층막(103)에서는 적어도 산화물 반도체막(103a)이 테이퍼 형상을 갖는다. 바람직하게는 산화물막(103b) 및 산화물막(103c)도 테이퍼 형상을 갖는다. 또한, 산화물 반도체막(103a)의 테이퍼 형상과, 산화물막(103b) 및 산화물막(103c)의 테이퍼 형상은 다르다.

[0302] 구체적으로는, 산화물 반도체막(103a)에 있어서 산화물 반도체막(103a)의 하면과 산화물 반도체막(103a)의 측면으로 이루어지는 각도를 제 1 각도 $\theta 1$ 로 하고, 산화물막(103b)에 있어서 산화물막(103b)의 하면과 산화물막(103b)의 측면으로 이루어지는 각도를 제 2 각도 $\theta 2$ 로 하고, 산화물막(103c)에 있어서 산화물막(103c)의 하면과 산화물막(103c)의 측면으로 이루어지는 각도를 제 3 각도 $\theta 3$ 으로 한 경우 제 1 각도 $\theta 1$ 은 예각으로 하고, 제 2 각도 $\theta 2$ 및 제 3 각도 $\theta 3$ 은 예각, 또는 수직으로 할 수 있다.

[0303] 특히, 제 1 각도 $\theta 1$, 제 2 각도 $\theta 2$, 및 제 3 각도 $\theta 3$ 은 모두 예각이고, 적어도 제 1 각도 $\theta 1$ 은 제 2 각도 $\theta 2$ 및 제 3 각도 $\theta 3$ 보다 작은 것이 바람직하다(도 13의 (B) 참조).

[0304] 또한, 제 2 각도 $\theta 2$ 및 제 3 각도 $\theta 3$ 은 같은 각도이라도 좋고 서로 다른 각도이라도 좋다. 예를 들어, 산화물막(103b) 및 산화물막(103c)을 같은 종류의 산화물막으로 함으로써 제 2 각도 $\theta 2$ 및 제 3 각도 $\theta 3$ 을 같은 각도로 할 수 있다.

[0305] 또한, 제 1 각도 $\theta 1$ 은 10° 이상 90° 미만이고, 30° 이상 80° 이하인 것이 더 바람직하다. 제 2 각도 $\theta 2$ 및 제 3 각도 $\theta 3$ 은 10° 이상 90° 미만이고, 30° 이상 80° 이하인 것이 더 바람직하고, 45° 이상 70° 이

하인 것이 더욱 바람직하다.

[0306] 본 변형예에서도, 예를 들어 실시형태 1과 마찬가지로, 산화물막(103c)과, 산화물 반도체막(103a)과, 산화물막(103b)의 에칭 속도가 다른 것을 이용함으로써 도 13의 (A) 및 (B)에 도시된 바와 같은 형상을 형성할 수 있다. 상기 테이퍼 형상은 산화물 반도체막(103a)의 에칭 속도를 산화물막(103b) 및 산화물막(103c)의 에칭 속도보다 늦게 함으로써 형성할 수 있다.

[0307] 예를 들어, 도 12의 (B)의 공정에서는, 예천트로서 인산을 포함한 용액을 사용한 웨트 에칭에 의하여 상술한 테이퍼 형상을 형성할 수 있다. 상기 웨트 에칭의 자세한 내용은 실시형태 1을 참조할 수 있다.

[0308] 또한, 본 변형예에서도, 실시형태 1에 기재된 트랜지스터(100)의 변형예가 갖는 효과를 얻을 수 있다.

[0309] (변형예 2)

[0310] 다음에는, 트랜지스터(150)에 대하여 상기 변형예와 다른 변형예를 도 13의 (C)에 도시하였다. 도 13의 (D)는 도 13의 (C)에 도시된 다층막(103)의 단부(일점 쇄선의 동그라미표로 둘러싸인 영역)의 확대도를 도시한 것이다.

[0311] 본 변형예는, 다층막(103)의 측면에 곡면이 부여되어 있다. 도 13의 (C) 및 (D)에 도시된, 측면에 곡면이 부여된 다층막(103)은 측면 부분에 산화물막(103d)이 형성되고 단부의 단면 형상이 곡면을 갖는다.

[0312] 산화물막(103d)은, 다층막(103)을 형성하기 위한 에칭을 드라이 에칭법으로 수행하고 실시형태 1에 기재된 조건을 적절히 선택하여 형성할 수 있다. 상기 드라이 에칭에 의하여 에칭된 산화물막(103c)의 일부를 다층막의 측면에 다시 부착시켜서 산화물막(103d)을 형성한다. 다층막(103)의 측면에 산화물막(103d)을 형성함으로써 이 측면에 발생되는 국재 준위 밀도를 저감시킬 수 있다. 따라서, 트랜지스터(150)의 전기 특성을 양호하게 할 수 있다.

[0313] (변형예 3)

[0314] 본 변형예의 트랜지스터(150)로서는, 절연막(120) 위의, 다층막(103)과 중첩되는 영역에 도전막(121)을 제공할 수 있다(도 14 참조). 도 14는 본 변형예의 트랜지스터의 채널 길이 방향의 단면도를 도시한 것이다. 이 경우 게이트 전극(110)을 제 1 게이트 전극, 도전막(121)을 제 2 게이트 전극이라고 부를 수 있고 제 1 게이트 전극 및 제 2 게이트 전극 중 한쪽을 게이트 전극으로서 기능시키고 다른 쪽을 백 게이트 전극으로서 기능시킬 수 있다.

[0315] 또한, 본 변형예에 대하여, 도전막(121)을 제공함으로써 얻을 수 있는 효과는 실시형태 1의 기재와 마찬가지이다.

[0316] 또한, 본 실시형태는 다른 실시형태, 실시예, 및 참고예에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0317] (실시형태 3)

[0318] [표시 장치]

[0319] 상기 실시형태에서 설명한 트랜지스터는 표시 장치에 사용할 수 있다. 또한, 상술한 트랜지스터를 사용하고, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를 화소부와 동일한 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다. 상기 트랜지스터를 사용하는 것이 가능한 표시 장치의 구성예에 대하여 도 15 내지 도 19를 사용하여 설명한다.

[0320] 표시 장치에 제공되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함) 등을 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 표시 소자로서 적용할 수 있다. 이하에서는 표시 장치의 일례로서 EL 소자를 사용한 표시 장치 및 액정 소자를 사용한 표시 장치에 대하여 설명한다.

[0321] 또한, 이하에서 제시하는 표시 장치는 표시 소자가 밀봉된 상태의 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태의 모듈을 포함한다.

[0322] 또한, 이하에서 제시하는 표시 장치는 화상 표시 디바이스, 또는 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC 또는 TCP가 장착된 모듈, TCP 끝에 프린트 배선판이 제공된 모듈, 또는 표시 소자에 COG

방식에 의하여 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0323] 또한, 이하에서 제시하는 표시 장치에는, 퍼센지체의 접촉 또는 근접에 의한 센싱(sensing)에 의하여 수행되는 입력 수단(터치 센서)을 제공할 수 있다(도시하지 않았음). 예를 들어, 접촉에 의한 센싱에 의하여 수행되는 입력 수단에는, 저항막 방식, 정전 용량 방식, 적외선 방식, 전자 유도 방식, 표면 탄성파 방식 등 각종 방식을 이용할 수 있다. 또한, 근접에 의한 센싱에 의하여 수행되는 입력 수단은 적외선 카메라 등을 사용하여 실시할 수 있다.

[0324] 상기 입력 수단은, 이하에서 제시하는 표시 장치 위에 별도로 제공된 소위 온-셀 방식으로서 제공하여도 좋고, 이하에서 제시하는 표시 장치와 일체로서 제공된 소위 인-셀 방식으로서 제공하여도 좋다.

[0325] [EL 표시 장치]

[0326] 여기서는, EL 소자를 사용한 표시 장치(EL 표시 장치라고도 함)에 대하여 설명한다.

[0327] 도 15는 EL 표시 장치의 화소의 회로도의 일례를 도시한 것이다.

[0328] 도 15에 도시된 EL 표시 장치는 스위칭 소자(743), 트랜지스터(741), 커패시터(742), 및 발광 소자(719)를 갖는다.

[0329] 트랜지스터(741)의 게이트는 스위칭 소자(743)의 한쪽 단자 및 커패시터(742)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(741)의 소스는 발광 소자(719)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(741)의 드레인은 커패시터(742)의 다른 쪽 단자와 전기적으로 접속되고 전원 전위 VDD가 공급된다. 스위칭 소자(743)의 다른 쪽 단자는 신호선(744)과 전기적으로 접속된다. 발광 소자(719)의 다른 쪽 단자에는 정전위가 공급된다. 또한, 정전위는 접지 전위 GND 또는 이것보다 작은 전위로 한다.

[0330] 또한, 트랜지스터(741)에는 상기 실시형태에 기재된 트랜지스터를 사용한다. 이 트랜지스터는 안정된 전기 특성을 갖는다. 그러므로, 표시 품위가 높은 EL 표시 장치를 실현할 수 있다.

[0331] 스위칭 소자(743)로서는 트랜지스터를 사용하면 바람직하다. 트랜지스터를 사용함으로써, 화소의 면적을 크게 할 수 있어, 해상도가 높은 EL 표시 장치로 할 수 있다. 또한, 스위칭 소자(743)로서, 상기 실시형태에 기재된 트랜지스터를 사용하여도 좋다. 스위칭 소자(743)로서 상기 트랜지스터를 사용함으로써, 트랜지스터(741)와 동일한 공정에 의하여 스위칭 소자(743)를 제작할 수 있어, EL 표시 장치의 생산성을 높일 수 있다.

[0332] 도 16의 (A)는 EL 표시 장치의 상면도를 도시한 것이다. EL 표시 장치는 기판(101)과, 기판(700)과, 실재(734)와, 구동 회로(735)와, 구동 회로(736)와, 화소(737)와, FPC(732)를 갖는다. 실재(734)는 화소(737), 구동 회로(735) 및 구동 회로(736)를 둘러싸도록 기판(101)과 기판(700) 사이에 제공된다. 또한, 구동 회로(735) 및 구동 회로(736)의 한쪽 또는 양쪽을 실재(734)의 외측에 제공하여도 좋다.

[0333] 도 16의 (B)는, 도 16의 (A)의 일점 쇄선 M-N부분에 대응하는 EL 표시 장치의 단면도이다. FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(110)과 동일한 층이다.

[0334] 또한, 도 16의 (B)는 트랜지스터(741)와 커패시터(742)가 동일 평면에 제공된 예를 도시한 것이다. 이와 같은 구조로 함으로써, 커패시터(742)를 트랜지스터(741)의 게이트 전극, 게이트 절연막, 및 소스 전극(드레인 전극)과 동일 평면에 형성할 수 있다. 이와 같이 트랜지스터(741)와 커패시터(742)를 동일 평면에 제공함으로써 EL 표시 장치의 제작 공정을 단축화하여 생산성을 높일 수 있다.

[0335] 도 16의 (B)에서는, 트랜지스터(741)에 도 1에 도시된 트랜지스터를 적용한 예를 도시하였다. 그래서, 트랜지스터(741)의 각 구성 중 이하에서 특별히 설명하지 않는 것에 대해서는 도 1의 기재를 참조한다.

[0336] 트랜지스터(741) 및 커패시터(742) 위에는 절연막(720)이 제공된다.

[0337] 여기서, 절연막(720) 및 절연막(120)에는 트랜지스터(741)의 소스 전극(104a)에 도달하는 개구부가 형성된다.

[0338] 절연막(720) 위에는 전극(781)이 제공된다. 전극(781)은 절연막(720) 및 절연막(120)에 제공된 개구부를 통하여 트랜지스터(741)의 소스 전극(104a)에 접촉한다.

[0339] 전극(781) 위에는 전극(781)에 도달하는 개구부를 갖는 격벽(784)이 제공된다.

[0340] 격벽(784) 위에는 격벽(784)에 제공된 개구부에서 전극(781)에 접촉하는 발광층(782)이 제공된다.

[0341] 발광층(782) 위에는 전극(783)이 제공된다.

[0342] 전극(781), 발광층(782), 및 전극(783)이 중첩되는 영역이 발광 소자(719)가 된다.

[0343] 또한, 절연막(720)에 대해서는 절연막(120)의 기재를 참조한다. 또는, 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘(silicone) 수지 등의 수지막을 사용하여도 좋다.

[0344] 발광층(782)은 1층에 한정되지 않으며, 복수 종류의 발광층 등을 적층시켜 제공하여도 좋다. 예를 들어, 도 16의 (C)에 도시된 바와 같은 구조로 하면 좋다. 도 16의 (C)는 중간층(785a), 발광층(786a), 중간층(785b), 발광층(786b), 중간층(785c), 발광층(786c), 및 중간층(785d)의 순서로 적층된 구조이다. 이 때, 발광층(786a), 발광층(786b), 및 발광층(786c)에 적절한 발광색의 발광층을 사용하면, 연색성(演色性) 또는 발광 효율이 높은 발광 소자(719)를 형성할 수 있다.

[0345] 복수 종류의 발광층을 적층시켜 제공하여 백색광을 얻어도 좋다. 도 16의 (B)에는 도시되지 않았지만, 착색층을 통하여 백색광을 추출하는 구조로 하여도 좋다.

[0346] 여기서는, 3층의 발광층과 4층의 중간층을 제공한 구조를 제시하였지만 이것에 한정되지 않고, 발광층의 개수 및 중간층의 개수는 적절히 변경할 수 있다. 예를 들어, 중간층(785a), 발광층(786a), 중간층(785b), 발광층(786b), 및 중간층(785c)만으로 구성할 수도 있다. 또한, 중간층(785a), 발광층(786a), 중간층(785b), 발광층(786b), 발광층(786c), 및 중간층(785d)으로 구성하며 중간층(785c)을 생략한 구조로 하여도 좋다.

[0347] 또한, 중간층은, 정공 주입층, 정공 수송층, 전자 수송층, 및 전자 주입층 등을 적층 구조로 하여 사용할 수 있다. 또한, 중간층은 이들 층 모두를 가지지 않아도 좋다. 이들 층은 적절히 선택하여 제공하면 좋다. 또한, 같은 기능을 갖는 층을 중복하여 제공하여도 좋다. 또한, 중간층으로서 캐리어 발생층 이외에 전자 릴레이층 등을 적절히 추가하여도 좋다.

[0348] 전극(781)에는 가시광 투과성을 갖는 도전막을 사용하면 좋다. 가시광 투과성을 가진다는 것은 가시광 영역(예를 들어 400nm 내지 800nm의 파장 범위)에서의 평균 투과율이 70% 이상, 특히 80% 이상인 것을 말한다.

[0349] 전극(781)으로서는, 예를 들어, In-Zn-W 산화물막, In-Sn 산화물막, In-Zn 산화물막, 산화 인듐막, 산화 아연막, 및 산화 주석막 등의 산화물막을 사용하면 좋다. 또한, 상술한 산화물막은 Al, Ga, Sb, F 등이 미량으로 첨가되어도 좋다. 또한, 빛을 투과할 정도의 금속 박막(바람직하게는 5nm 내지 30nm 정도)을 사용할 수도 있다. 예를 들어, 5nm의 막 두께를 갖는 Ag막, Mg막, 또는 Ag-Mg 합금막을 사용하여도 좋다.

[0350] 또는, 전극(781)에는 가시광을 효율적으로 반사시키는 막을 사용하는 것이 바람직하다. 전극(781)은 예를 들어, 리튬, 알루미늄, 티타늄, 마그네슘, 란타넘, 은, 실리콘, 또는 니켈을 포함한 막을 사용하면 좋다.

[0351] 전극(783)에는, 전극(781)으로서 제시한 막 중에서 선택한 것을 사용할 수 있다. 다만, 전극(781)이 가시광 투과성을 갖는 경우에는 전극(783)이 가시광을 효율적으로 반사시키면 바람직하다. 또한, 전극(781)이 가시광을 효율적으로 반사시키는 경우에는 전극(783)이 가시광 투과성을 가지면 바람직하다.

[0352] 또한, 전극(781) 및 전극(783)은 도 16의 (B)에 도시된 구조와 같이 제공되지만, 전극(781)과 전극(783)을 교체하여도 좋다. 양극으로서 기능하는 전극에는 일함수가 큰 도전막을 사용하는 것이 바람직하고, 음극으로서 기능하는 전극에는 일함수가 작은 도전막을 사용하는 것이 바람직하다. 다만, 양극과 접촉하도록 캐리어 발생층을 제공하는 경우에는, 일함수를 고려하지 않고 다양한 도전막을 양극에 사용할 수 있다.

[0353] 격벽(784)에 대해서는 절연막(120)의 기재를 참조한다. 또는, 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘(silicone) 수지 등의 수지막을 사용하여도 좋다.

[0354] 또한, 표시 장치에 있어서, 블랙 매트릭스(차광막), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공한다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원 편광을 사용하여도 좋다.

[0355] 발광 소자(719)와 접속되는 트랜지스터(741)는 안정된 전기 특성을 갖는다. 그래서, 표시 품위가 높은 표시 장치를 제공할 수 있다.

[0356] 도 17의 (A) 및 (B)는 도 16의 (B)와 일부 다른 EL 표시 장치의 단면도의 일례를 도시한 것이다. 구체적으로는, FPC(732)와 접속되는 배선이 다르다. 도 17의 (A)에서는 단자(731)를 통하여 FPC(732)와 배선(733b)이 접속되어 있다. 배선(733b)은 소스 전극(104a) 및 드레인 전극(104b)과 동일한 층이다. 도 17의 (B)에서는 단자(731)를 통하여 FPC(732)와 배선(733c)이 접속되어 있다. 배선(733c)은 전극(781)과 동일한 층이다.

[0357] [액정 표시 장치]

[0358] 다음에 액정 소자를 사용한 표시 장치(액정 표시 장치라고도 함)에 대하여 설명한다.

[0359] 도 18은 액정 표시 장치의 화소의 구성예를 도시한 회로도이다. 도 18에 도시된 화소(750)는 트랜지스터(751), 커패시터(752), 및 한 쌍의 전극 사이에 액정이 충전된 소자(753)(이하에서 액정 소자라고도 함)를 갖는다.

[0360] 트랜지스터(751)에서는, 소스 및 드레인 중 한쪽이 신호선(755)에 전기적으로 접속되어 있고, 게이트가 주사선(754)에 전기적으로 접속되어 있다.

[0361] 커패시터(752)에서는, 전극 중 한쪽이 트랜지스터(751)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되어 있고, 전극 중 다른 쪽이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다.

[0362] 액정 소자(753)에서는, 전극 중 한쪽이 트랜지스터(751)의 소스 및 드레인 중 다른 한쪽에 전기적으로 접속되고, 전극 중 다른 쪽이 공통 전위를 공급하는 배선에 전기적으로 접속되어 있다. 또한, 상술한 커패시터(752)의 전극 중 다른 쪽이 전기적으로 접속되는 배선에 공급되는 공통 전위와, 액정 소자(753)의 전극 중 다른 쪽이 전기적으로 접속되는 배선에 공급되는 공통 전위가 다른 전위라도 좋다.

[0363] 또한, 액정 표시 장치도 상면도는 EL 표시 장치와 대략 마찬가지이다. 도 16의 (A)의 일점 쇄선 M-N부분에 대응하는 액정 표시 장치의 단면도를 도 19의 (A)에 도시하였다. 도 19의 (A)에 있어서, FPC(732)는 단자(731)를 통하여 배선(733a)과 접속된다. 또한, 배선(733a)은 게이트 전극(110)과 동일한 층이다.

[0364] 도 19의 (A)에는 트랜지스터(751)와 커패시터(752)가 동일 평면에 제공된 예를 도시하였다. 이와 같은 구조로 함으로써, 커패시터(752)를 트랜지스터(751)의 게이트 전극, 게이트 절연막, 및 소스 전극(드레인 전극)과 동일 평면에 제작할 수 있다. 이와 같이 트랜지스터(751)와 커패시터(752)를 동일 평면에 제공함으로써 액정 표시 장치의 제작 공정을 단축화하여 생산성을 높일 수 있다.

[0365] 트랜지스터(751)에는 상술한 트랜지스터를 적용할 수 있다. 도 19의 (A)에는, 도 1에 도시된 트랜지스터를 적용한 예를 도시하였다. 그래서, 트랜지스터(751)의 각 구성 중 이하에서 특별히 설명하지 않는 것에 대해서는 도 1에 대한 기재를 참조한다.

[0366] 또한, 트랜지스터(751)는 오프 전류가 매우 작은 트랜지스터로 할 수 있다. 따라서, 커패시터(752)에 유지된 전하가 누설되기 어렵고, 액정 소자(753)에 인가되는 전압을 오랫동안 유지할 수 있다. 그러므로, 움직임이 적은 동영상이나 정지 화상을 표시할 때 트랜지스터(751)를 오프 상태로 함으로써, 트랜지스터(751)를 동작시키기 위한 전력이 필요 없게 되어, 소비 전력이 적은 표시 장치로 할 수 있다.

[0367] 액정 표시 장치에 제공되는 커패시터(752)의 크기는 화소부에 배치되는 트랜지스터(751)의 누설 전류 등을 고려하여 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 트랜지스터(751)를 사용함으로써, 각 화소에 있어서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 갖는 커패시터를 제공하면 충분하기 때문에, 화소에 있어서의 개구율을 높일 수 있다.

[0368] 트랜지스터(751) 및 커패시터(752) 위에는 절연막(721)이 제공된다.

[0369] 여기서, 절연막(721) 및 절연막(120)에는 트랜지스터(751)의 드레인 전극(104b)에 도달하는 개구부가 형성된다.

[0370] 절연막(721) 위에는 전극(791)이 제공된다. 전극(791)은 절연막(721) 및 절연막(120)에 형성된 개구부를 통하여 트랜지스터(751)의 드레인 전극(104b)에 접촉한다.

[0371] 전극(791) 위에는 배향막으로서 기능하는 절연막(792)이 제공된다.

[0372] 절연막(792) 위에는 액정층(793)이 제공된다.

[0373] 액정층(793) 위에는 배향막으로서 기능하는 절연막(794)이 제공된다.

[0374] 절연막(794) 위에는 스페이서(795)가 제공된다.

[0375] 스페이서(795) 및 절연막(794) 위에는 전극(796)이 제공된다.

[0376] 전극(796) 위에는 기판(797)이 제공된다.

[0377] 또한, 절연막(721)에 대해서는 절연막(120)의 기재를 참조한다. 또는, 폴리이미드 수지, 아크릴 수지, 에폭시 수지, 실리콘(silicone) 수지 등의 수지막을 사용하여도 좋다.

[0378] 액정층(793)에는 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용하면 좋다. 이를 액정은 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.

[0379] 또한, 액정층(793)에 블루상을 나타내는 액정을 사용하여도 좋다. 이 경우에는, 배향막으로서 기능하는 절연막(792) 및 절연막(794)을 제공하지 않는 구성으로 하면 좋다.

[0380] 전극(791)에는 가시광 투과성을 갖는 도전막을 사용하면 좋다.

[0381] 전극(791)으로서는, 예를 들어, In-Zn-W 산화물막, In-Sn 산화물막, In-Zn 산화물막, 산화 인듐막, 산화 아연막, 및 산화 주석막 등의 산화물막을 사용하면 좋다. 또한, 상술한 산화물막은 Al, Ga, Sb, F 등이 미량으로 첨가되어도 좋다. 또한, 빛을 투과할 정도의 금속 박막(바람직하게는 5nm 내지 30nm 정도)을 사용할 수도 있다.

[0382] 또는, 전극(791)에는 가시광을 효율적으로 반사시키는 막을 사용하는 것이 바람직하다. 전극(791)에는 예를 들어, 알루미늄, 티타늄, 크로뮴, 구리, 몰리브데늄, 은, 탄탈럼, 또는 텉스텐을 포함한 막을 사용하면 좋다.

[0383] 전극(796)은 전극(791)으로서 제시한 막 중에서 선택한 것을 사용할 수 있다. 다만, 전극(791)이 가시광 투과성을 갖는 경우에는 전극(796)이 가시광을 효율적으로 반사시키면 바람직하다. 또한, 전극(791)이 가시광을 효율적으로 반사시키는 경우에는 전극(796)이 가시광 투과성을 가지면 바람직하다.

[0384] 또한, 전극(791) 및 전극(796)은 도 19의 (A)에 도시된 구조와 같이 제공되었지만, 전극(791)과 전극(796)을 교체하여도 좋다.

[0385] 절연막(792) 및 절연막(794)에는 유기 화합물 또는 무기 화합물 중에서 선택한 것을 사용하면 좋다.

[0386] 스페이서(795)에는 유기 화합물 또는 무기 화합물 중에서 선택한 것을 사용하면 좋다. 또한, 스페이서(795)의 형상은 기둥 형상, 구(球) 형상 등 다양한 형상을 가질 수 있다.

[0387] 전극(791), 절연막(792), 액정층(793), 절연막(794), 및 전극(796)이 중첩되는 영역이, 액정 소자(753)가 된다.

[0388] 기판(797)에는 유리, 수지, 또는 금속 등을 사용하면 좋다. 기판(797)은 가요성을 가져도 좋다.

[0389] 도 19의 (B) 및 (C)는 도 19의 (A)와 일부 다른 액정 표시 장치의 단면도의 일례를 도시한 것이다. 구체적으로는, FPC(732)와 접속되는 배선이 다르다. 도 19의 (B)에서는 단자(731)를 통하여 FPC(732)와 배선(733b)이 접속되어 있다. 배선(733b)은 소스 전극(104a) 및 드레인 전극(104b)과 동일한 층이다. 도 19의 (C)에서는 단자(731)를 통하여 FPC(732)와 배선(733c)이 접속되어 있다. 배선(733c)은 전극(791)과 동일한 층이다.

[0390] 액정 소자(753)와 접속되는 트랜지스터(751)는 안정된 전기 특성을 갖는다. 그래서, 표시 품위가 높은 액정 표시 장치를 제공할 수 있다. 또한, 트랜지스터(751)는 오프 전류를 매우 작게 할 수 있기 때문에, 소비 전력이 작은 액정 표시 장치를 제공할 수 있다.

[0391] 액정 표시 장치에 있어서, 동작 모드는 적절히 선택할 수 있다. 예를 들어, 기판에 대하여 직교로 전압을 인가하는 종전계 방식, 기판에 대하여 평행으로 전압을 인가하는 횡전계 방식이 있다. 구체적으로는, TN 모드, VA 모드, MVA 모드, PVA 모드, ASM 모드, TBA 모드, OCB 모드, FLC 모드, AFLC 모드, 또는 FFS 모드 등을 들 수 있다.

[0392] 액정 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 제공한다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원 편광을 사용하여도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용하여도 좋다.

[0393] 또한, 백 라이트로서 복수의 발광 다이오드(LED)를 사용하여 시간 분할 표시 방식(필드 시퀀셜 구동 방식)을 수행할 수도 있다. 필드 시퀀셜 구동 방식을 적용함으로써, 착색층을 사용하지 않고 컬러 표시를 수행할 수 있다.

[0394] 상술한 바와 같이, 화소부에서의 표시 방식으로서는 프로그래시브 방식이나 인터레이스 방식 등을 이용한다. 또한, 컬러 표시 시에 화소에서 제어하는 색 요소로서는 RGB(R은 적색, G는 녹색, B는 청색을 나타냄)의 3색에 한정되지 않는다. 예를 들어, RGBW(W는 백색을 나타냄), 또는 RGB에 황색, 시안, 마젠타 등 중 하나 이상을 추가한 것이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 달라도 좋다. 다만, 본 발명은 컬러 표시

의 액정 표시 장치에 한정되는 것이 아니라, 흑백 표시의 액정 표시 장치에 적용할 수도 있다.

[0395] 또한, 여기서, 본 발명의 일 형태인 트랜지스터를 적용하고 피검지체의 근접 또는 접촉에 의한 센싱에 의하여 수행되는 입력 수단(터치 센서)의 구성예에 대하여 설명한다.

[0396] 여기서는, 정전 용량 방식을 이용한 경우에 대하여 설명한다. 정전 용량 방식의 터치 센서로서는 대표적으로 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다. 또한, 투영형 정전 용량 방식은 주로 구동 방법의 다름에 따라 자기 용량 방식, 상호 용량 방식 등이 있고, 상호 용량 방식을 이용하면 다점 동시 검출이 가능하게 되기 때문에 바람직하다.

[0397] [센서의 검지 방법의 예]

[0398] 도 26의 (A) 및 (B)는 상호 용량 방식의 터치 센서의 구성을 도시한 모식도와, 입출력 파형의 모식도를 도시한 것이다. 터치 센서는 한 쌍의 전극을 구비하고, 이 한 쌍의 전극 사이에 용량이 형성된다. 한 쌍의 전극 중 한쪽에 입력 전압이 입력된다. 또한, 한 쌍의 전극 중 다른 쪽에 흐르는 전류(또는 한 쌍의 전극 중 다른 쪽의 전위)를 검출하는 검출 회로가 구비된다.

[0399] 예를 들어, 도 26의 (A)에 도시된 바와 같이 직사각형파를 입력 전압 파형으로서 사용한 경우, 출력 전류 파형으로서 날카로운 피크를 갖는 파형이 검출된다.

[0400] 또한, 도 26의 (B)에 도시된 바와 같이 전도성을 갖는 피검지체가 용량 소자에 근접 또는 접촉한 경우, 전극간의 용량값이 감소되기 때문에, 이에 따라 출력의 전류값이 감소된다.

[0401] 이와 같이 입력 전압에 대한 출력 전류(또는 전위)의 변화를 이용하여 용량의 변화를 검출함으로써, 피검지체의 근접 또는 접촉을 검지할 수 있다.

[0402] [터치 센서의 구성예]

[0403] 도 26의 (C)는 매트릭스 형상으로 배치된 복수의 용량 소자를 구비하는 터치 센서의 구성예를 도시한 것이다.

[0404] 터치 센서는 X방향(지면(紙面) 횡방향)으로 연장되는 복수의 배선과, 이 복수의 배선과 교차하고 Y방향(지면 종 방향)으로 연장되는 복수의 배선을 갖는다. 교차하는 2개의 배선 사이에는 용량이 형성된다.

[0405] 또한, X방향으로 연장되는 배선에는 입력 전압 및 공통 전위(접지 전위, 기준 전위를 포함함) 중 어느 한쪽이 입력된다. 또한, Y방향으로 연장되는 배선에는 검출 회로(예를 들어 소스 미터, 감지 증폭기 등)가 전기적으로 접속되고 이 배선에 흐르는 전류(또는 전위)를 검출할 수 있다.

[0406] 터치 센서는, X방향으로 연장되는 복수의 배선에 대하여 순차적으로 입력 전압이 입력되고 Y방향으로 연장되는 배선에 흐르는 전류(또는 전위)의 변화를 검출함으로써, 2차원적으로 센싱을 수행할 수 있다.

[0407] [터치 패널의 구성예]

[0408] 이하에서는 복수의 화소를 갖는 표시부에 터치 센서를 내장한 터치 패널의 구성예에 대하여 설명한다. 여기서는, 화소에 제공되는 표시 소자로서 액정 소자를 적용한 예를 제시한다.

[0409] 도 27의 (A)는 본 구성예에서 예시하는 터치 패널의 표시부에 제공되는 화소 회로의 일부를 도시한 등가 회로도이다.

[0410] 하나의 화소는 적어도 트랜지스터(3503)와 액정 소자(3504)를 갖는다. 또한, 트랜지스터(3503)의 게이트에 배선(3501)이, 트랜지스터(3503)의 소스 및 드레인 중 한쪽에는 배선(3502)이 각각 전기적으로 접속되어 있다.

[0411] 화소 회로는 X방향으로 연장되는 복수의 배선(예를 들어 배선(3510_1), 배선(3510_2))과 Y방향으로 연장되는 복수의 배선(예를 들어 배선(3511))을 갖고 이들은 서로 교차하도록 제공되고 이를 사이에 용량이 형성된다.

[0412] 또한, 화소 회로에 제공되는 화소 중, 일부의 인접하는 복수의 화소는 각각에 제공되어 있는 액정 소자의 전극 중 한쪽이 전기적으로 접속되어 하나의 블록을 형성한다. 상기 블록은 섬 형상의 블록(예를 들어 블록(3515_1), 블록(3515_2))과, Y방향으로 연장되는 라인 형상의 블록(예를 들어 블록(3516))의 2종류로 분류된다.

[0413] X방향으로 연장되는 배선(3510_1)(또는 배선(3510_2))은 섬 형상의 블록(3515_1)(또는 블록(3515_2))에 전기적으로 접속된다. 또한, Y방향으로 연장되는 배선(3511)은 라인 형상의 블록(3516)에 전기적으로 접속된다.

[0414] 도 27의 (B)는 X방향으로 연장되는 복수의 배선(3510)과, Y방향으로 연장되는 복수의 배선(3511)을 도시한 등가

회로도이다. X방향으로 연장되는 복수의 배선(3510) 각각에는 입력 전압 또는 공통 전위를 입력할 수 있다. 또한, Y방향으로 연장되는 복수의 배선(3511) 각각에는 접지 전위를 입력하거나, 또는 배선(3511)과 겸출 회로를 전기적으로 접속시킬 수 있다.

[0415] [터치 패널의 동작예]

[0416] 이하에서 도 28 및 도 29를 사용하여 상술한 터치 패널의 동작에 대하여 설명한다.

[0417] 도 29에 나타낸 바와 같이, 1프레임 기간을 기록 기간과 겸지 기간으로 나눈다. 기록 기간은 화소로의 화상 데이터의 기록을 수행하는 기간이고, 배선(3510)(게이트선이라고도 함)이 순차적으로 선택된다. 한편, 겸지 기간은 터치 센서에 의한 센싱을 수행하는 기간이고, X방향으로 연장되는 배선(3510)이 순차적으로 선택되고 입력 전압이 입력된다.

[0418] 도 28의 (A)는 기록 기간에서의 등가 회로도를 도시한 것이다. 기록 기간에서는 X방향으로 연장되는 배선(3510)과, Y방향으로 연장되는 배선(3511) 양쪽에 공통 전위가 입력된다.

[0419] 도 28의 (B)는 겸지 기간의 어느 시점에서의 등가 회로도를 도시한 것이다. 겸지 기간에 있어서, Y방향으로 연장되는 배선(3511) 각각은 겸출 회로와 전기적으로 접속된다. 또한, X방향으로 연장되는 배선(3510) 중 선택된 배선에는 입력 전압이 입력되고 이 외의 배선에는 공통 전위가 입력된다.

[0420] 상술한 바와 같이, 화상의 기록 기간과 터치 센서에 의한 센싱을 수행하는 기간을 독립적으로 제공하는 것이 바람직하다. 이로써, 화소로의 기록 시에 발생되는 노이즈에 기인하여 터치 센서의 감도가 저하되는 것을 억제할 수 있다.

[0421] [화소 구성예]

[0422] 이하에서는 상기 터치 패널에 사용할 수 있는 화소의 구성예에 대하여 설명한다.

[0423] 도 30의 (A)는 FFS(Fringe Field Switching) 모드가 적용된 화소의 일부의 단면도를 도시한 것이다.

[0424] 화소는, 트랜지스터(3521)와, 전극(3522)과, 전극(3523)과, 액정(3524)과, 컬러 필터(3525)를 구비한다. 개구부를 갖는 전극(3523)은 트랜지스터(3521)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 또한, 전극(3523)은 절연층을 개재하여 전극(3522) 위에 제공된다. 전극(3523)과 전극(3522)은 각각 액정 소자의 한쪽의 전극으로서 기능하고, 이들 사이에 전압을 인가함으로써 액정의 배향을 제어할 수 있다.

[0425] 트랜지스터(3521)에는 본 발명의 일 형태인 트랜지스터를 적용할 수 있다. 예를 들어, 트랜지스터(100) 및 트랜지스터(150)를 적용할 수 있다. 전극(3522), 전극(3523), 액정(3524), 및 컬러 필터(3525)에 대해서는 상기 액정 표시 장치에 대한 자세한 사항을 적절히 참조할 수 있다.

[0426] 예를 들어, 전극(3522)을 상술한 배선(3510) 또는 배선(3511)에 전기적으로 접속함으로써 상술한 터치 패널의 화소를 구성할 수 있다.

[0427] 또한, 전극(3522)을 전극(3523) 위에 제공할 수도 있다. 이 경우에는 전극(3522)을 개구부를 갖는 형상으로 하고, 절연층을 개재하여 전극(3523) 위에 제공하면 좋다.

[0428] 도 30의 (B)는 IPS(In-Plane-Switching) 모드가 적용된 화소의 일부의 단면도를 도시한 것이다.

[0429] 화소에 제공되어 있는 전극(3523)과 전극(3522)은 각각 빗살 형상을 갖고 동일 표면 위에 제공되어 있다.

[0430] 예를 들어, 전극(3522)을 상술한 배선(3510) 또는 배선(3511)에 전기적으로 접속함으로써 상술한 터치 패널의 화소를 구성할 수 있다.

[0431] 도 30의 (C)는 VA(Vertical Alignment) 모드가 적용된 화소의 일부의 단면도를 도시한 것이다.

[0432] 전극(3522)은 액정(3524)을 개재하여 전극(3523)과 대향하도록 제공되어 있다. 또한, 배선(3526)이 전극(3522)과 중첩되도록 제공되어 있다. 배선(3526)은 예를 들어 도 30의 (C)에 도시된 화소가 속하는 블록과 다른 블록 사이를 전기적으로 접속하기 위하여 제공할 수 있다.

[0433] 예를 들어, 전극(3522)을 상술한 배선(3510) 또는 배선(3511)에 전기적으로 접속함으로써 상술한 터치 패널의 화소를 구성할 수 있다.

[0434] 또한, 본 실시형태는 다른 실시형태, 실시예, 및 참고예에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0435] (실시형태 4)

[0436] 본 발명의 일 형태인 표시 장치는, 다양한 전자 기기(게임기도 포함함)에 적용할 수 있다. 전자 기기로서는 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라나 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 게임기(파친코(pachinko)기, 슬롯 머신 등), 게임기의 하우징을 들 수 있다. 이러한 전자 기기의 일례를 도 20에 도시하였다.

[0437] 도 20의 (A)는, 휴대 전화기(9000)를 도시한 것이다. 휴대 전화기(9000)는 두 개의 하우징(9030) 및 하우징(9031)을 갖는다. 하우징(9031)에는 표시 패널(9032), 스피커(9033), 마이크로폰(9034), 포인팅 디바이스(9036), 카메라용 렌즈(9037), 외부 접속 단자(9038) 등을 구비한다. 또한, 하우징(9030)에는 휴대형 정보 단말을 충전하는 태양 전지 셀(9040), 외부 메모리 슬롯(9041) 등을 구비한다. 또한, 안테나가 하우징(9031) 내부에 내장되어 있다. 상기 실시형태에서 제시한 표시 장치를 표시 패널(9032)에 적용함으로써 휴대 전화의 표시 품위를 향상시킬 수 있다.

[0438] 또한, 표시 패널(9032)은 터치 패널을 구비하고, 도 20의 (A)에는 영상 표시되어 있는 복수의 조작 키(9035)를 점선으로 도시하였다. 또한, 태양 전지 셀(9040)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장되어 있다.

[0439] 표시 패널(9032)은 사용 형태에 따라 표시 방향이 적절히 변화된다. 또한, 표시 패널(9032)과 동일 면 위에 카메라용 렌즈(9037)를 구비하기 때문에, 영상 전화가 가능하다. 스피커(9033) 및 마이크로폰(9034)은 음성 통화로 한정되지 않고, 영상 전화, 녹음, 재생 등이 가능하다. 또한, 하우징(9030)과 하우징(9031)은 슬라이드하여도 20의 (A)에 도시된 바와 같이 전개(展開)된 상태로부터 충첩한 상태로 할 수 있고, 휴대하기에 적합한 소형화가 가능하다.

[0440] 외부 접속 단자(9038)는 AC 어댑터, 및 USB 케이블과 같은 각종 케이블에 접속될 수 있고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(9041)에 기록 매체를 삽입함으로써 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0441] 도 20의 (B)는 텔레비전 장치(9100)를 도시한 것이다. 텔레비전 장치(9100)는 하우징(9101)에 표시부(9103)가 장착되어 있고, 표시부(9103)로 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9105)에 의하여 하우징(9101)을 지지하는 구성을 도시하였다.

[0442] 텔레비전 장치(9100)의 조작은, 하우징(9101)이 구비하는 조작 스위치나, 별도의 리모트 컨트롤러(9110)에 의하여 수행할 수 있다. 리모트 컨트롤러(9110)가 구비한 조작 키(9109)에 의하여, 채널이나 음량을 조작할 수 있고, 표시부(9103)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9110)에, 상기 리모트 컨트롤러(9110)로부터 출력하는 정보를 표시하는 표시부(9107)를 제공하는 구성을 하여도 좋다.

[0443] 도 20의 (B)에 도시된 텔레비전 장치(9100)는 수신기나 모뎀 등을 구비한다. 텔레비전 장치(9100)는 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자들간 등)의 정보 통신을 수행할 수도 있다.

[0444] 상기 실시형태에 제시된 표시 장치는 표시부(9103), 표시부(9107)에 사용하는 것이 가능하다. 그러므로, 텔레비전 장치의 표시 품위를 향상시킬 수 있다.

[0445] 도 20의 (C)는 컴퓨터(9200)를 도시한 것이다. 컴퓨터(9200)는 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 디바이스(9206) 등을 포함한다.

[0446] 상기 실시형태에 제시된 표시 장치는 표시부(9203)에 사용하는 것이 가능하다. 그러므로, 컴퓨터의 표시 품위를 향상시킬 수 있다.

[0447] 표시부(9203)는 터치 입력 기능을 가지며 컴퓨터(9200)의 표시부(9203)에 표시된 표시 버튼을 손가락 등으로 터치함으로써 화면 조작이나, 정보 입력이 가능하고, 또한, 다른 가전 제품과의 통신이나 다른 가전 제품의 제어를 가능하게 함으로써, 화면 조작에 의하여 다른 가전 제품을 제어하는 제어 장치로 하여도 좋다. 예를 들어, 상기 실시형태에서 설명한 터치 패널을 사용하면 표시부(9203)에 터치 입력 기능을 가지게 할 수 있다.

[0448] 도 21은, 반으로 접을 수 있는 태블릿형 단말(9600)을 도시한 것이다. 도 21의 태블릿형 단말(9600)은 펼친 상

태이이며, 하우징(9630), 표시부(9631a), 및 표시부(9631b), 표시 모드 전환 스위치(9634), 전원 스위치(9635), 전력 절약 모드 전환 스위치(9636), 및 후크(9633)를 가진다.

[0449] 상기 실시형태에 제시된 표시 장치는 표시부(9631a), 표시부(9631b)에 사용하는 것이 가능하다. 그러므로, 태블릿형 단말(9600)의 표시 품위를 향상시킬 수 있다.

[0450] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있고, 표시된 조작 키 패널(9638)을 터치함으로써 데이터를 입력할 수 있다. 또한, 표시부(9631a)에 있어서는 일례로서 영역의 반이 표시만 하는 기능을 갖는 구성이고 영역의 나머지 반이 터치 패널 기능을 갖는 구성을 도시하였지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 모든 영역이 터치 패널의 기능을 갖는 구성으로 하여도 좋다. 예를 들어, 표시부(9631a)의 전체면에 키보드 버튼을 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.

[0451] 또한, 표시부(9631b)에서도 표시부(9631a)와 마찬가지로 표시부(9631b)의 일부를 터치 패널 영역(9632b)으로 할 수 있다. 또한, 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치를 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시할 수 있다.

[0452] 또한, 터치 패널 영역(9632a)과 터치 패널 영역(9632b)에 대하여 동시에 터치 입력할 수도 있다.

[0453] 또한, 표시 모드 전환 스위치(9634)는 세로 표시 또는 가로 표시 등의 표시 방향의 전환이나, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9636)는 태블릿형 단말(9600)에 내장된 광 센서로 검출되는 사용 시의 외광의 광량에 따라 표시의 휘도를 최적인 것으로 할 수 있다. 태블릿형 단말(9600)은 광 센서뿐만 아니라, 자이로, 가속도 센서 등 기울기를 검출하는 센서와 같은 다른 검출 장치를 내장하여도 좋다.

[0454] 또한, 도 21에는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 도시하였지만 특별히 한정되지 않고, 한쪽의 사이즈와 다른 한쪽의 사이즈가 달라도 좋고, 표시의 품질도 달라도 좋다. 예를 들어, 한쪽이 다른 쪽 보다 고정세(高精細)한 표시가 가능한 표시 패널로 하여도 좋다.

[0455] 또한, 본 실시형태는 다른 실시형태, 실시예, 및 참고예에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0456] (실시예)

[0457] 본 실시예에서는 본 발명의 일 형태인 트랜지스터를 제작하고 이 트랜지스터의 초기 전기 특성에 대하여 설명한다. 트랜지스터의 제작 공정에 대하여 도 3을 사용하여 설명한다.

[0458] 우선, 기판(101)으로서 유리 기판을 사용하고, 기판(101) 위에 스퍼터링법으로 두께 100nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의하여 이 텅스텐막 위에 레지스트 마스크를 형성하고, 이 레지스트 마스크를 사용하여 상기 텅스텐막의 일부를 에칭하여, 게이트 전극(110)을 형성하였다.

[0459] 다음에, 게이트 전극(110) 위에 게이트 절연막(106)을 형성하였다. 본 실시예에서는 게이트 절연막(106)을 4층 구조로 하였다. 1번째 층을 두께 50nm의 제 1 질화 실리콘막으로 하고, 2번째 층을 두께 300nm의 제 2 질화 실리콘막으로 하고, 3번째 층을 두께 50nm의 제 3 질화 실리콘막으로 하고, 4번째 층을 두께 50nm의 산화 질화 실리콘막으로 하였다.

[0460] 제 1 질화 실리콘막은, 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 100sccm의 암모니아를 원료 가스로 하여 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하여 형성하였다.

[0461] 제 2 질화 실리콘막은 제 1 질화 실리콘막 형성 시에 사용되는 원료 가스의 조건에 있어서 암모니아의 유량을 2000sccm으로 변경한 조건으로 형성하였다.

[0462] 제 3 질화 실리콘막은, 유량 200sccm의 실레인, 유량 5000sccm의 질소를 원료 가스로 하여 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하여 형성하였다.

[0463] 산화 질화 실리콘막은, 유량 20sccm의 실레인, 유량 3000sccm의 일산화이질소를 원료 가스로 하여 플라즈마 CVD 장치의 반응실에 공급하고, 반응실 내의 압력을 40Pa로 제어하고, 27.12MHz의 고주파 전원을 사용하여 100W의 전력을 공급하여 형성하였다.

[0464] 또한, 상기 제 1 질화 실리콘막, 상기 제 2 질화 실리콘막, 상기 제 3 질화 실리콘막, 및 상기 산화 질화 실리

콘막의 형성 공정에서의 기판 온도는 350°C로 하였다.

[0465] 상술한 공정까지를 거쳐 얻어진 구성에 대해서는 도 3의 (A)를 참조할 수 있다.

[0466] 다음에, 게이트 절연막(106)을 개재하여 게이트 전극(110)과 중첩되는 다층막(103)을 형성하였다.

[0467] 여기서는, 게이트 절연막(106) 위에 두께 35nm의 제 1 In-Ga-Zn 산화물막을 스퍼터링법으로 형성한 후 제 1 In-Ga-Zn 산화물막 위에 두께 20nm의 제 2 In-Ga-Zn 산화물막을 스퍼터링법으로 형성하였다.

[0468] 다음에, 포토리소그래피 공정에 의하여 제 2 In-Ga-Zn 산화물막 위에 레지스트 마스크를 형성하고, 이 레지스트 마스크를 사용하여 제 1 In-Ga-Zn 산화물막 및 제 2 In-Ga-Zn 산화물막의 일부를 에칭하였다. 이 후에 제 1 가열 처리를 수행하여 다층막(103)을 형성하였다.

[0469] 제 1 In-Ga-Zn 산화물막은, 스퍼터링 타깃을 In:Ga:Zn=1:1:1(원자수 비율)의 타깃으로 하고, 유량 50sccm의 아르곤 및 유량 50sccm의 산소를 스퍼터링 가스로 하여 스퍼터링 장치의 반응실 내에 공급하고, 반응실 내의 압력을 0.3Pa로 제어하고, 5kW의 직류 전력을 공급하여 형성하였다. 또한, 제 1 In-Ga-Zn 산화물막의 형성 시의 기판 온도를 170°C로 하였다.

[0470] 제 2 In-Ga-Zn 산화물막은, 스퍼터링 타깃을 In:Ga:Zn=1:3:2(원자수 비율)의 타깃으로 하고, 유량 90sccm의 아르곤 및 유량 10sccm의 산소를 스퍼터링 가스로 하여 스퍼터링 장치의 반응실 내에 공급하고, 반응실 내의 압력을 0.3Pa로 제어하고, 5kW의 직류 전력을 공급하여 형성하였다. 또한, 제 2 In-Ga-Zn 산화물막의 형성 시의 기판 온도를 100°C로 하였다.

[0471] 제 1 가열 처리는, 질소 분위기에서 450°C로 1시간 동안 가열 처리를 수행한 후, 질소 및 산소 분위기에서 450°C로 1시간 동안 가열 처리를 수행하였다.

[0472] 상술한 공정까지를 거쳐 얻어진 구성에 대해서는 도 3의 (B)를 참조할 수 있다.

[0473] 다음에, 다층막(103)에 접촉하는 소스 전극(104a) 및 드레인 전극(104b)을 형성하였다.

[0474] 게이트 절연막(106) 및 다층막(103) 위에 도전막을 형성하였다. 이 도전막으로서, 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 이 알루미늄막 위에 두께 100nm의 티타늄막을 형성하였다. 다음에, 포토리소그래피 공정에 의하여 상기 도전막 위에 레지스트 마스크를 형성하고, 이 레지스트 마스크를 사용하여 상기 도전막의 일부를 에칭하여, 소스 전극(104a) 및 드레인 전극(104b)을 형성하였다.

[0475] 다음에, 감압된 반응실로 기판을 이동하고, 220°C로 가열한 후, 일산화이질소가 충전된 반응실로 기판을 이동하였다. 다음에 반응실에 제공되는 상부 전극에 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 공급함으로써 발생시킨 산소 플라즈마에 다층막(103)을 노출시켰다.

[0476] 상술한 공정까지를 거쳐 얻어진 구성에 대해서는 도 3의 (C)를 참조할 수 있다.

[0477] 다음에, 다층막(103), 소스 전극(104a) 및 드레인 전극(104b) 위에 산화물막(105)으로서 두께 20nm의 제 3 In-Ga-Zn 산화물막을 형성하였다.

[0478] 제 3 In-Ga-Zn 산화물막은, 스퍼터링 타깃을 In:Ga:Zn=1:3:2(원자수 비율)의 타깃으로 하고, 유량 90sccm의 아르곤 및 유량 10sccm의 산소를 스퍼터링 가스로 하여 스퍼터링 장치의 반응실 내에 공급하고, 반응실 내의 압력을 0.3Pa로 제어하고, 5kW의 직류 전력을 공급하여 형성하였다. 또한, 제 3 In-Ga-Zn 산화물막의 형성 시의 기판 온도를 100°C로 하였다.

[0479] 상술한 공정까지를 거쳐 얻어진 구성에 대해서는 도 3의 (D)를 참조할 수 있다. 또한, 본 실시예에서는 실시형태 1에서 설명한 제 2 가열 처리는 수행하지 않았다.

[0480] 다음으로, 상기 플라즈마 처리 후에 대기에 노출시키지 않고 산화물막(105) 위에 산화물 절연막(107b)을 형성하고, 이 후에 제 3 가열 처리를 수행하고, 산화물 절연막(107b) 위에 질화물 절연막(108)을 형성함으로써 절연막(120)을 형성하였다. 산화물 절연막(107b)으로서, 두께 400nm의 산화 질화 실리콘막을 형성하였다. 질화물 절연막(108)으로서, 두께 100nm의 질화 실리콘막을 형성하였다. 또한, 본 실시예에서는 산화물 절연막(107a)은 형성하지 않았다.

[0481] 산화물 절연막(107b)은, 유량 200sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로 하고, 반응실의 압력을 200Pa로 하고, 기판 온도를 220°C로 하고, 1500W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마

CVD법에 의하여 두께 400nm의 산화 질화 실리콘막을 형성하였다.

[0482] 제 3 가열 처리로서, 질소 및 산소 분위기에서 350°C로 1시간 동안의 가열 처리를 수행하였다.

[0483] 질화물 절연막(108)은, 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암모니아를 원료 가스로 하고, 반응실의 압력을 100Pa로 하고, 기판 온도를 350°C로 하고, 1000W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여 질화 실리콘막을 형성하였다.

[0484] 상술한 공정을 거쳐 본 발명의 일 형태인 트랜지스터를 제작하였다. 또한, 본 실시예에서는 기판 내에 같은 구조를 갖는 트랜지스터를 20개 제작하였다. 또한, 제작된 각 트랜지스터는 채널 길이(L)가 6 μ m, 채널 폭(W)이 50 μ m의 트랜지스터이다.

[0485] 다음에, 제작한 트랜지스터의 초기 전기 특성으로서 Vg-Id 특성을 측정하였다. 여기서는, 기판 온도를 25°C로 하고, 소스-드레인간의 전위차(이하에서 드레인 전압이라고 함)를 1V, 10V로 하고, 소스-게이트 전극간의 전위차(이하에서 게이트 전압이라고 함)를 -20V~+15V까지 변화시켰을 때의 소스-드레인간에 흐르는 전류(이하에서 드레인 전류라고 함)의 변화 특성, 즉, Vg-Id 특성을 측정하였다.

[0486] 도 31은 제작한 트랜지스터의 Vg-Id 특성을 나타낸 것이다. 도 31에서, 가로축은 게이트 전압 Vg, 세로축은 드레인 전류 Id를 나타낸 것이다. 또한, 실선 각각은 드레인 전압 Vd가 1V 및 10V일 때의 Vg-Id 특성, 파선은 드레인 전압 Vd가 10V일 때의 게이트 전압에 대한 전계 효과 이동도를 나타낸 것이다. 또한, 이 전계 효과 이동도는 각 시료의 포화 영역에서의 결과이다.

[0487] 도 31을 보면 알다시피 본 발명의 일 형태인 트랜지스터는 불량 없이 동작할 수 있음이 확인되었다.

[0488] (참고예)

[0489] 실시형태 2에서 제시한 다층막(103)의 물성 분석 결과에 대하여 설명하기로 한다.

[0490] [다층막 내의 실리콘 농도]

[0491] 우선, 다층막(103)의 각 막에서의 실리콘 농도에 대하여 도 22를 사용하여 설명한다.

[0492] 여기서는 실리콘 웨이퍼 위에 다층막(103)을 형성한 시료를 제작하고, 상기 다층막의 실리콘 농도를 비행 시간 이차 이온 질량 분석(ToF-SIMS: Time of flight secondary ion mass spectrometry)에 의하여 평가하였다.

[0493] 실리콘 웨이퍼 위에 산화물막(103c)을 형성하였다. 산화물막(103c)은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:2[원자수 비율])인 타깃을 사용하고 스퍼터링법으로 형성한 산화물막이다. 또한, 스퍼터링 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판의 온도를 200°C로 하고, DC 전력을 0.5kW 인가함으로써 형성하였다.

[0494] 산화물막(103c) 위에 산화물 반도체막(103a)을 형성하였다. 산화물 반도체막(103a)은, In-Ga-Zn 산화물(In:Ga:Zn=1:1:1[원자수 비율])인 타깃을 사용하고 스퍼터링법으로 형성한 산화물 반도체막이다. 또한, 스퍼터링 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판의 온도를 300°C로 하고, DC 전력을 0.5kW 인가함으로써 형성하였다.

[0495] 또한, 산화물 반도체막(103a) 위에 산화물막(103b)을 형성하였다. 산화물막(103b)은, In-Ga-Zn 산화물(In:Ga:Zn=1:3:2[원자수 비율])인 타깃을 사용하고 스퍼터링법으로 형성한 산화물막이다. 또한, 스퍼터링 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판의 온도를 200°C로 하고, DC 전력을 0.5kW 인가함으로써 형성하였다.

[0496] 이 후에 450°C로 2시간 동안 가열 처리를 수행하여 시료A를 제작하였다. 또한, 산화물막(103b)을 형성한 후에 가열 처리를 수행하지 않은 시료B를 비교용 시료로서 준비하였다. 그리고 시료A 및 시료B의 비행 시간 이차 이온 질량 분석을 수행하였다. 도 22에는, 깊이 방향의 In을 나타낸 이차 이온 강도, Ga을 나타낸 이차 이온 강도, Zn을 나타낸 이차 이온 강도, 및 SiO_3 의 이차 이온 강도로부터 환산한 Si 농도[atoms/cm³]를 나타내었다. 시료A 및 시료B의 다층막(103)의 두께는 양쪽 모두, 산화물 반도체막(103a)이 10nm이고 산화물막(103b)이 10nm이다.

[0497] 도 22를 보면, 다층막(103)의 각 막의 조성은 형성 시의 타깃의 조성에 따라 변화되는 것을 알 수 있다. 다만, 각 막의 조성에 대하여 도 22를 사용하여 단순히 비교할 수는 없다.

[0498] 도 22를 보면, 다층막(103)의 실리콘 웨이퍼와 산화물 반도체막(103a)의 계면, 및 산화물막(103b)의 상면에서 SiO_3 농도가 높아지는 것을 알 수 있었다. 또한, 산화물 반도체막(103a)의 SiO_3 농도가 ToF-SIMS의 검출 하한인 $1 \times 10^{18} \text{ atoms/cm}^3$ 정도인 것을 알 수 있었다. 이것은 산화물막(103b) 및 산화물막(103c)이 있으므로 실리콘 웨이퍼나 표면의 오염 등에 기인한 실리콘의 산화물 반도체막(103a)까지 영향을 미치는 일이 없어졌다고 생각된다.

[0499] 또한, 도 22에 나타낸 as-depo(가열 처리를 수행하지 않은 시료)와 가열 처리 후의 시료를 비교함으로써, 가열 처리에 의하여 실리콘의 확산되기 어렵고 형성 시의 혼합이 주된 것이라고 알 수 있다.

[0500] 또한, 산화물 반도체막(103a)을 산화물막(103b) 및 산화물막(103c)으로 끼워으로써 산화물 반도체막(103a)이 게이트 절연막(106) 등 실리콘을 포함한 절연막과 직접 접촉하지 않기 때문에, 이 절연막 내의 실리콘의 산화물 반도체막(103a)에 혼입하는 것을 방지할 수 있다.

[0501] [국제 준위의 CPM 측정]

[0502] 다음에, 다층막(103)의 국제 준위에 대하여 일정 광전류 측정법에 의하여 평가한 결과를 설명한다. 다층막(103) 내의 국제 준위 밀도를 저감시킴으로써 다층막(103)을 사용한 트랜지스터에 안정된 전기 특성을 부여할 수 있다.

[0503] 또한, 트랜지스터가 높은 전계 효과 이동도를 가지며 안정된 전기 특성을 갖기 위해서는 CPM 측정으로 얻어지는 다층막(103) 내의 국제 준위에 의한 흡수 계수를 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만으로 하면 좋다.

[0504] 평가가 수행된 시료는, 실리콘 웨이퍼 위에 다층막(103)을 형성한 시료이다.

[0505] 실리콘 웨이퍼 위에 산화물막(103c)을 형성하였다. 산화물막(103c)은, In-Ga-Zn 산화물($\text{In:Ga:Zn}=1:3:2$ [원자수 비율])인 타깃을 사용하고 스퍼터링법으로 형성한 산화물막이다. 또한, 형성 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판의 온도를 200°C로 하고, DC 전력을 0.5kW 인가함으로써 형성하였다.

[0506] 산화물막(103c) 위에 산화물 반도체막(103a)을 형성하였다. 산화물 반도체막(103a)은, In-Ga-Zn 산화물($\text{In:Ga:Zn}=1:1:1$ [원자수 비율])인 타깃을 사용하고 스퍼터링법으로 형성한 산화물 반도체막이다. 또한, 형성 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판의 온도를 200°C로 하고, DC 전력을 0.5kW 인가함으로써 형성하였다.

[0507] 산화물 반도체막(103a) 위에 산화물막(103b)을 형성하였다. 산화물막(103b)은, In-Ga-Zn 산화물($\text{In:Ga:Zn}=1:3:2$ [원자수 비율])인 타깃을 사용하고 스퍼터링법으로 형성한 산화물막이다. 또한, 형성 가스로서 아르곤 가스를 30sccm, 산소 가스를 15sccm 사용하고, 압력을 0.4Pa로 하고, 기판의 온도를 200°C로 하고, DC 전력을 0.5kW 인가함으로써 형성하였다.

[0508] 여기서, CPM에 의한 평가의 정밀도를 높이기 위해서는, 다층막(103)이 어느 정도의 두께를 갖는 것이 필요하다. 구체적으로는 다층막(103)에 포함되는 산화물막(103c)의 두께를 30nm로 하고, 산화물 반도체막(103a)의 두께를 100nm로 하고, 산화물막(103b)의 두께를 30nm로 하였다.

[0509] 도 23의 (A)는, 분광 광도계에 의하여 측정한 흡수 계수(점선)와 CPM에 의하여 측정한 흡수 계수(실선)를 다층막(103)의 각 층의 에너지 갭 이상의 에너지 범위에 있어서 피팅한 결과를 나타낸 것이다. 또한, CPM에 의하여 측정한 흡수 계수로 얻어진 우르바흐 에너지(Urbach energy)는 78.7meV이었다. 도 23의 (A)의 파선의 동그라미 표에 의하여 둘러싸인 에너지 범위에 있어서, CPM에 의하여 측정한 흡수 계수로부터 백 그라운드(가는 점선)를 빼고 상기 에너지 범위에서의 흡수 계수의 적분값을 도출하였다(도 23의 (B) 참조). 결과적으로, 본 시료의 국제 준위에 의한 흡수 계수는 $2.02 \times 10^{-4} \text{ cm}^{-1}$ 인 것을 알 수 있었다.

[0510] 여기서 얻어진 국제 준위는 불순물이나 결함에 기인한 준위라고 생각된다. 따라서, 다층막(103)은 불순물이나 결함에 기인한 준위가 극히 적다는 것을 알 수 있었다. 즉, 다층막(103)을 사용한 트랜지스터는 높은 전계 효과 이동도를 가지며 안정된 전기 특성을 갖는 것을 알 수 있다.

부호의 설명

[0511] 100: 트랜지스터

101: 기판

102: 절연막

103: 다층막

103a: 산화물 반도체막

103b: 산화물막

103c: 산화물막

103d: 산화물막

104a: 소스 전극

104b: 드레인 전극

105: 산화물막

106: 게이트 절연막

107a: 산화물 절연막

107b: 산화물 절연막

108: 질화물 절연막

109a: 저저항 영역

109b: 저저항 영역

110: 게이트 전극

120: 절연막

121: 도전막

150: 트랜지스터

182: Ec

183a: Ec

183b: Ec

183c: Ec

185: Ec

186: Ec

191: 트랩 준위

192: 트랩 준위

700: 기판

719: 발광 소자

720: 절연막

721: 절연막

731: 단자

732: FPC

733a: 배선

733b: 배선

733c: 배선

734: 실재

735: 구동 회로

736: 구동 회로

737: 화소

741: 트랜지스터

742: 커패시터

743: 스위칭 소자

744: 신호선

750: 화소

751: 트랜지스터

752: 커패시터

753: 액정 소자

754: 주사선

755: 신호선

781: 전극

782: 발광층

783: 전극

784: 격벽

785a: 중간층

785b: 중간층

785c: 중간층

785d: 중간층

786a: 발광층

786b: 발광층

786c: 발광층

791: 전극

792: 절연막

793: 액정층

794: 절연막

795: 스페이서

796: 전극

797: 기판

1000: 타깃

1001: 이온

1002: 스파터링 입자

1003: 산화물 반도체막

1004: 비정질막

1005: 플라즈마

3501: 배선

3502: 배선

3503: 트랜지스터

3504: 액정 소자

3510: 배선

3510_1: 배선

3510_2: 배선

3511: 배선

3515_1: 블록

3515_2: 블록

3516: 블록

3521: 트랜지스터

3522: 전극

3523: 전극

3524: 액정

3525: 컬러 필터

3526: 배선

9000: 휴대 전화기

9030: 하우징

9031: 하우징

9032: 표시 패널

9033: 스피커

9034: 마이크로폰

9035: 조작 키

9036: 포인팅 디바이스

9037: 카메라용 렌즈

9038: 외부 접속 단자

9040: 태양 전지 셀

9041: 외부 메모리 슬롯

9100: 텔레비전 장치

9101: 하우징

9103: 표시부

9105: 스탠드

9107: 표시부

9109: 조작 키

9110: 리모트 컨트롤러

9200: 컴퓨터

9201: 본체

9202: 하우징

9203: 표시부

9204: 키보드

9205: 외부 접속 포트

9206: 포인팅 디바이스

9600: 태블릿형 단말

9630: 하우징

9631a: 표시부

9631b: 표시부

9632a: 영역

9632b: 영역

9633: 후크

9634: 스위치

9635: 전원 스위치

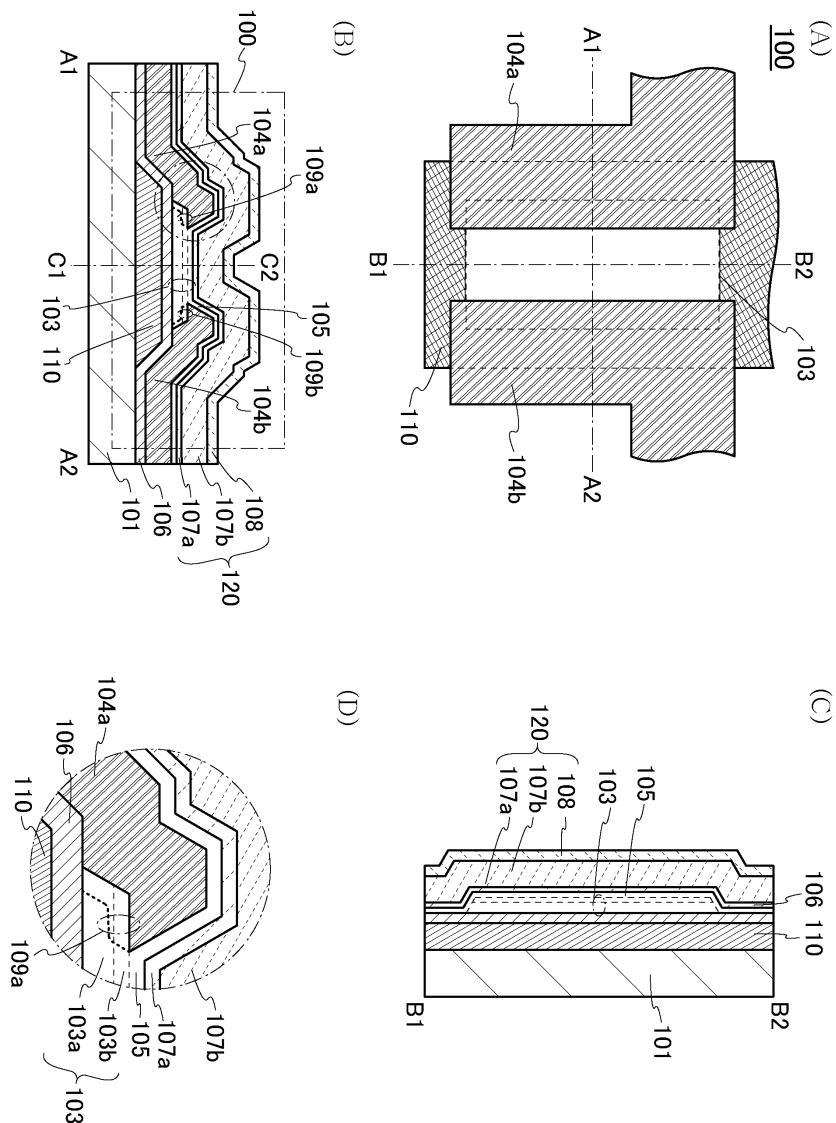
9636: 스위치

9638: 조작 키 패널

9639: 베튼

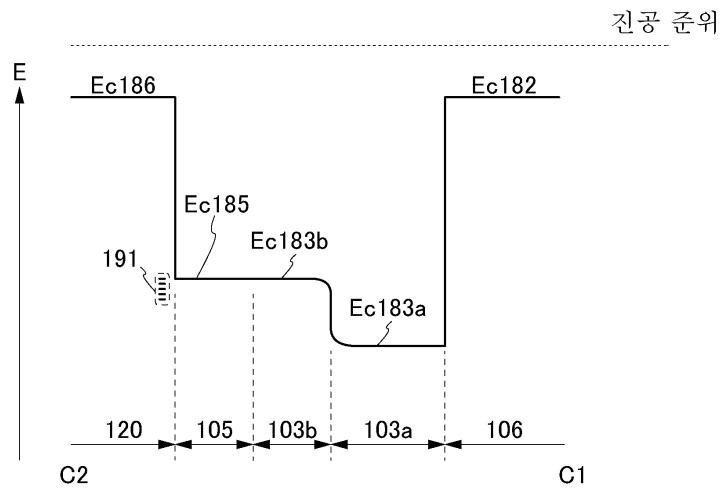
도면

도면1

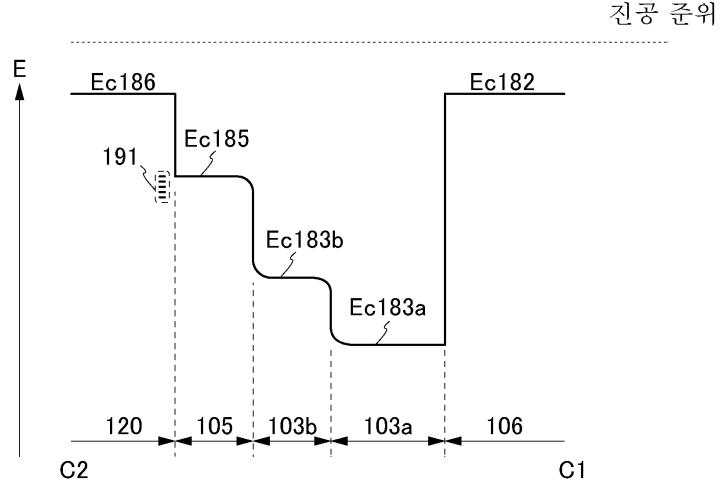


도면2

(A)

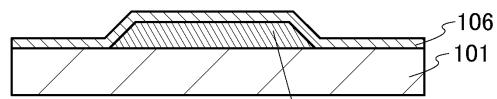


(B)

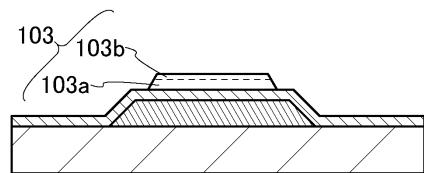


도면3

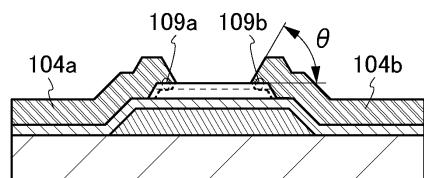
(A)



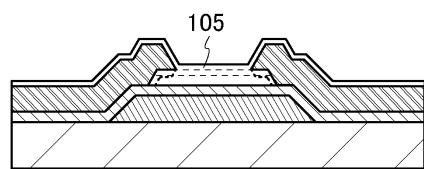
(B)



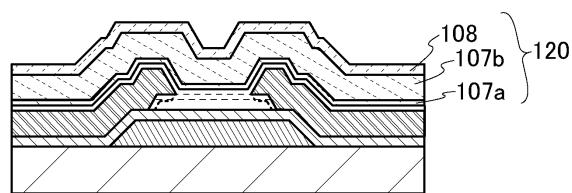
(C)



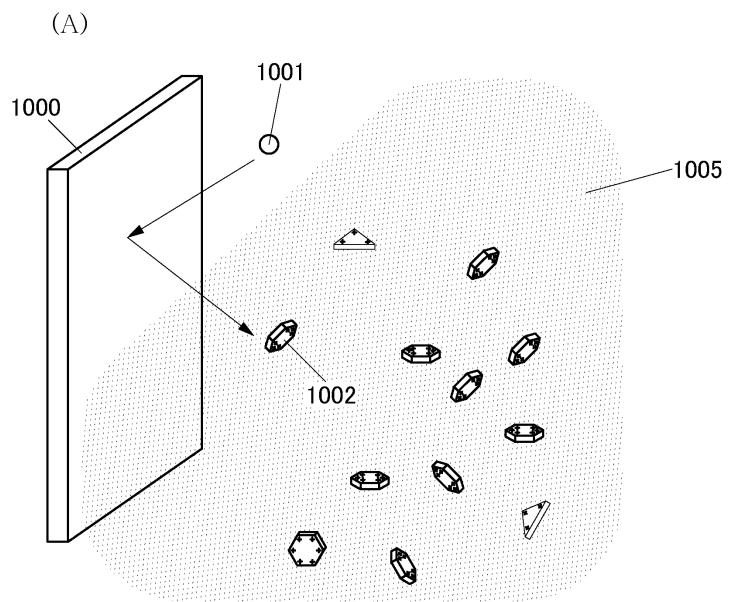
(D)



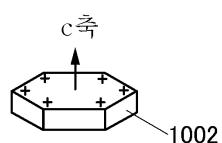
(E)



도면4

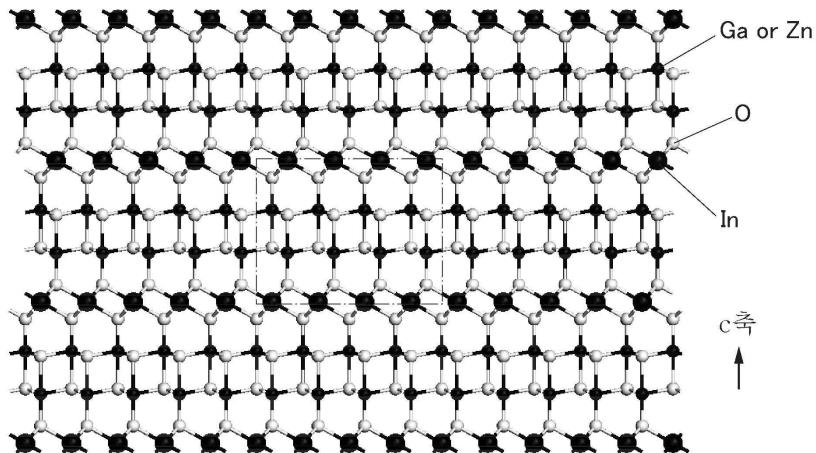


(B)

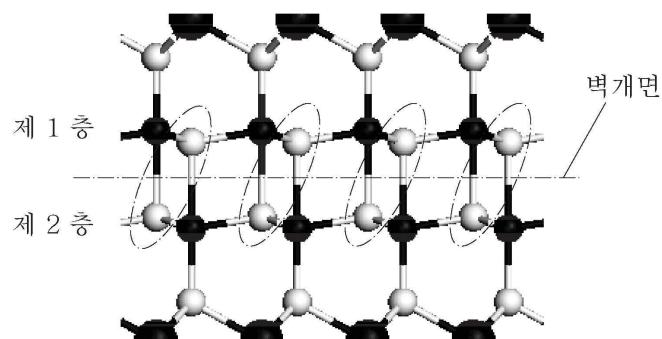


도면5

(A)

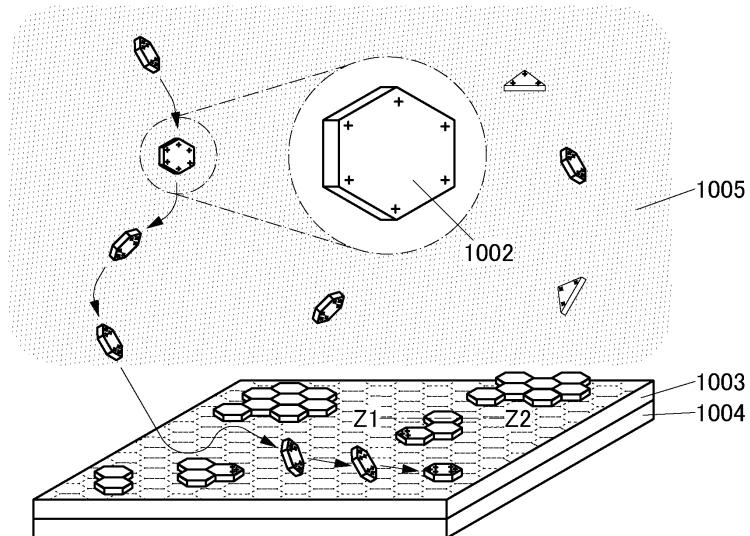


(B)

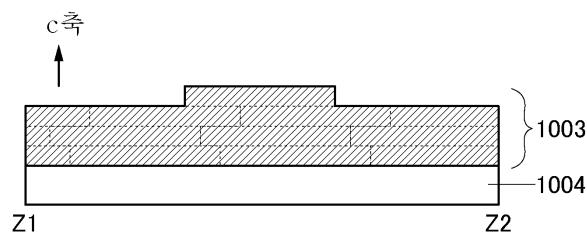


도면6

(A)

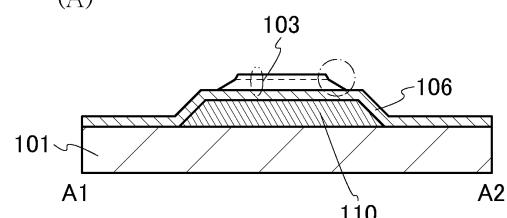


(B)

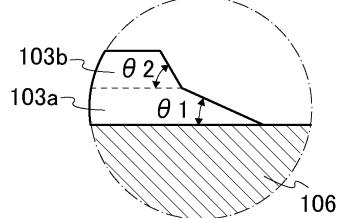


도면7

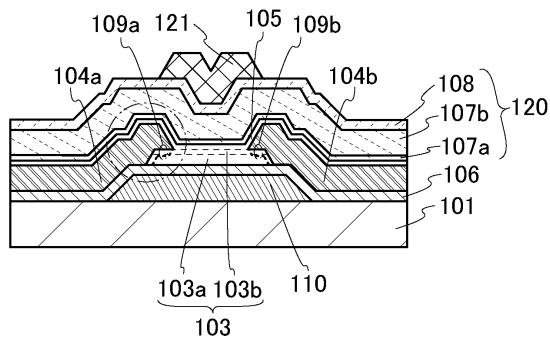
(A)



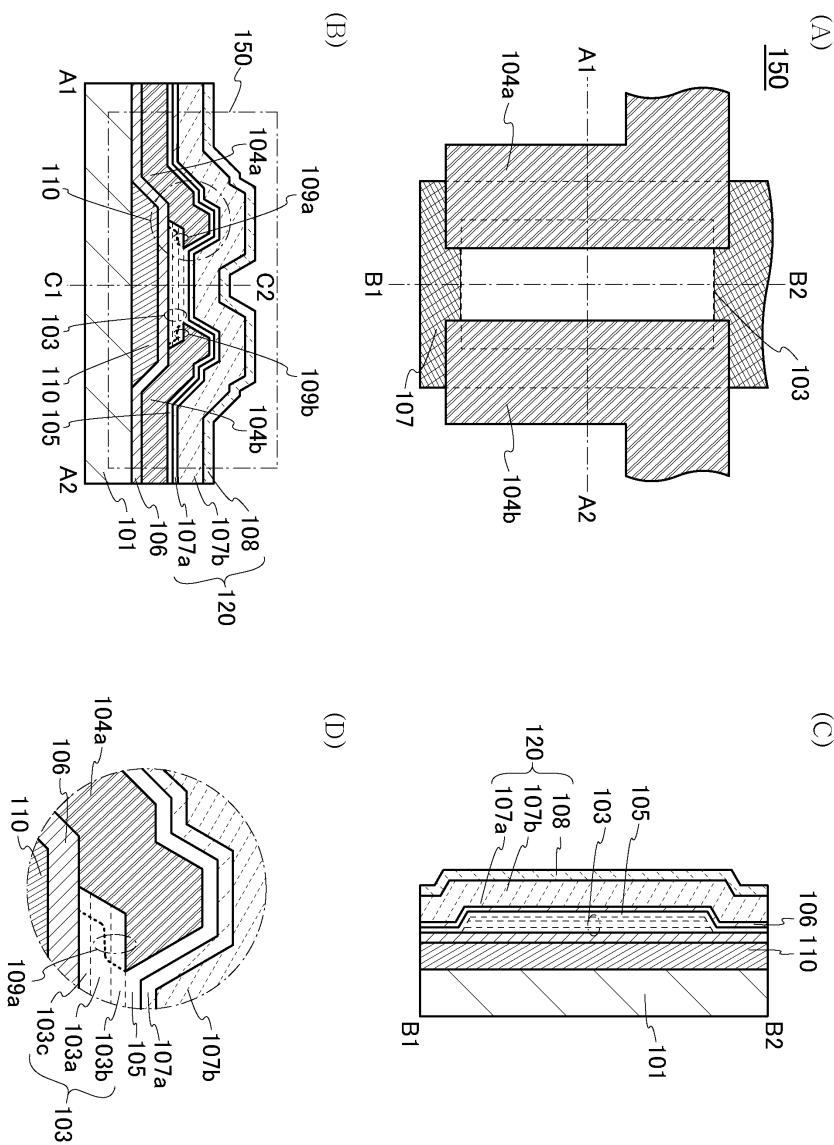
(B)



도면8

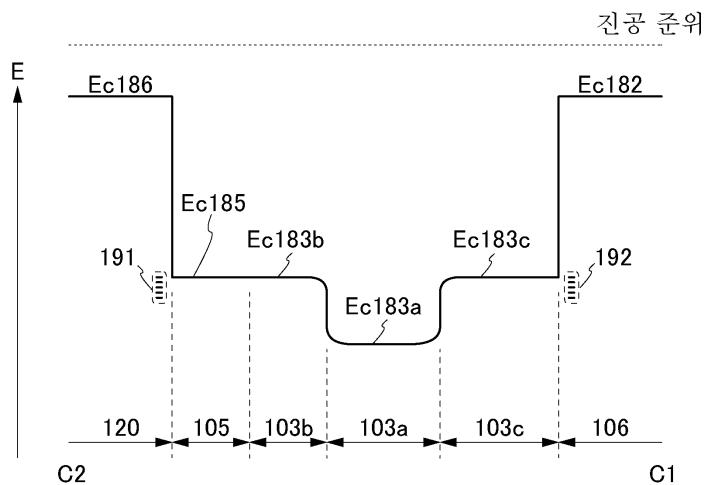


도면9

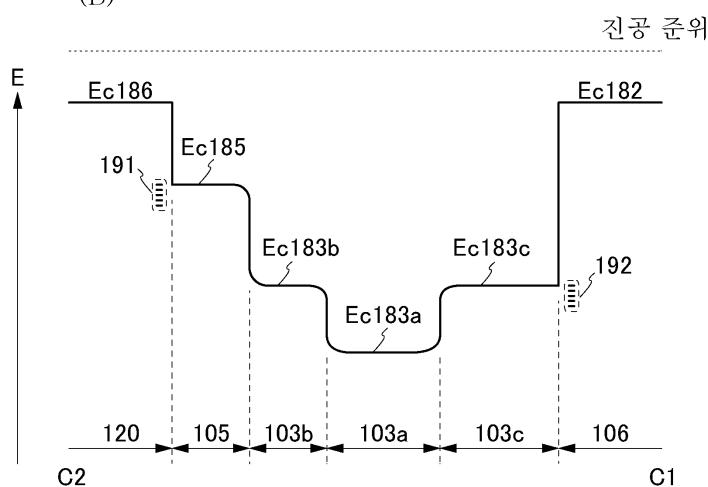


도면10

(A)

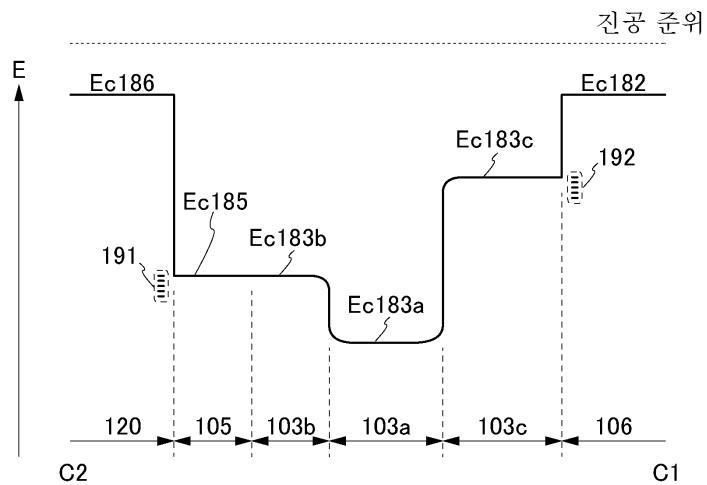


(B)

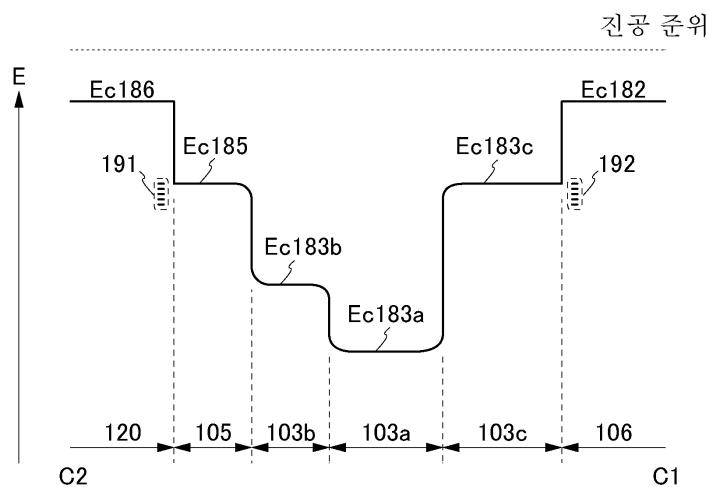


도면11

(A)

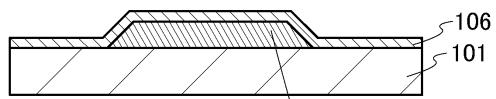


(B)

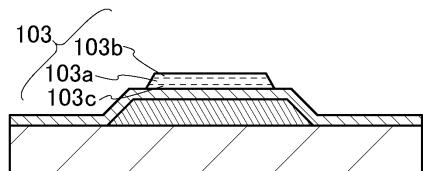


도면12

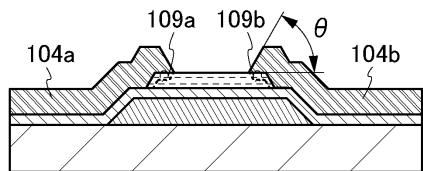
(A)



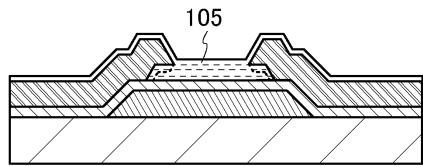
(B)



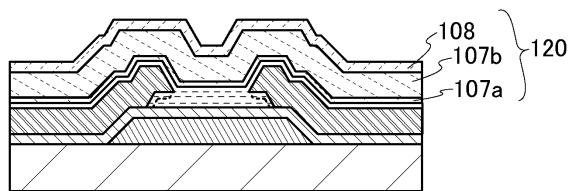
(C)



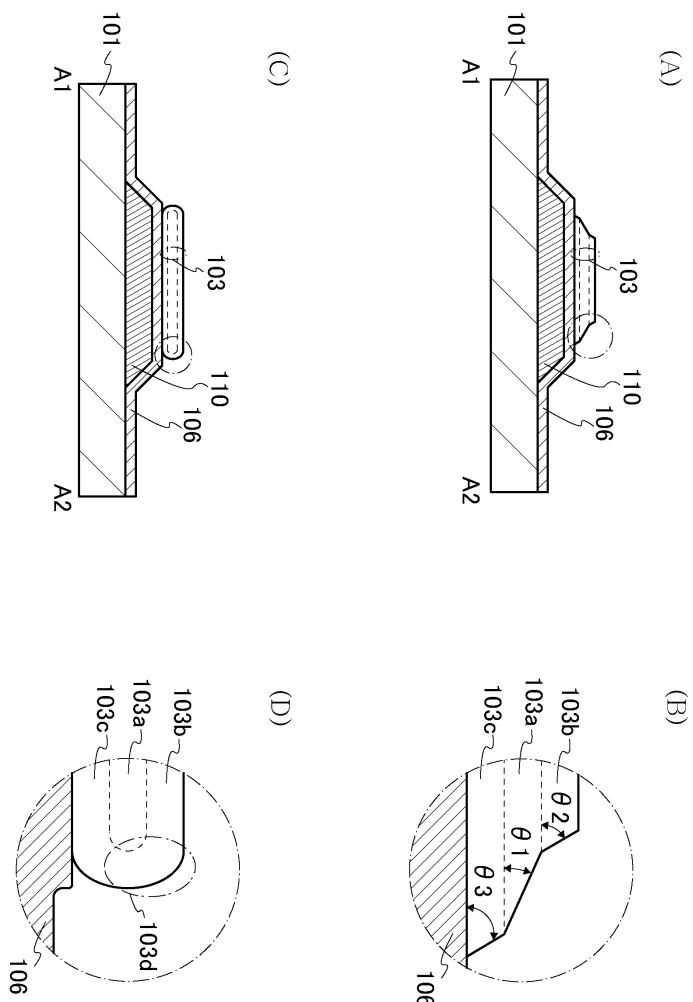
(D)



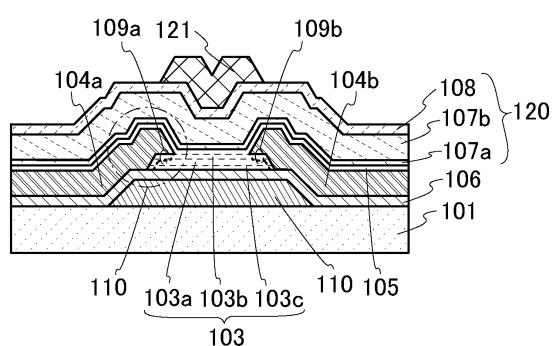
(E)



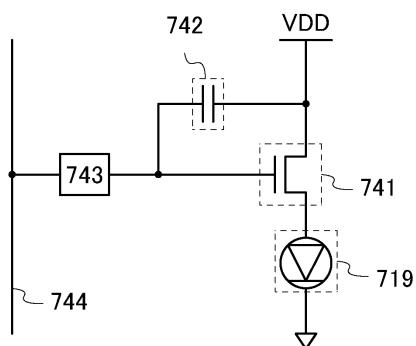
도면13



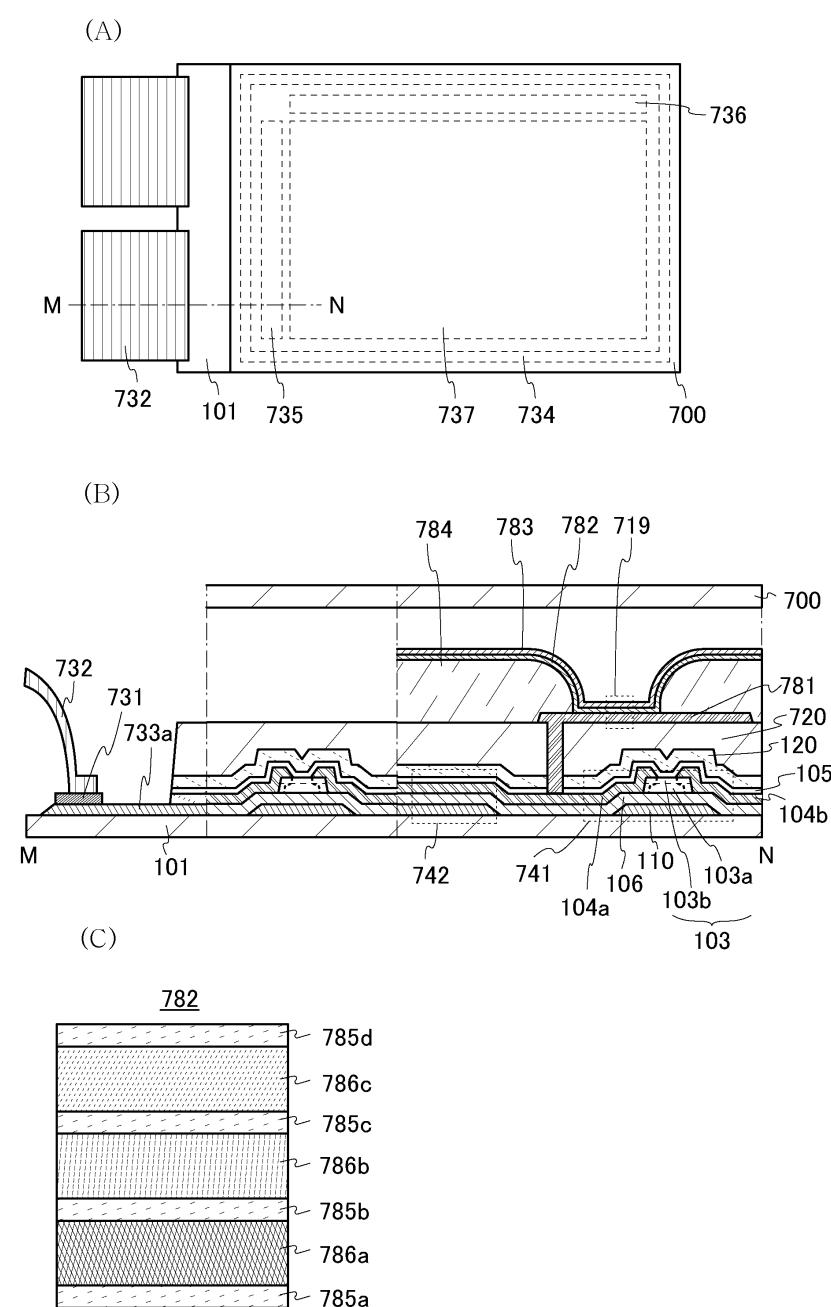
도면14



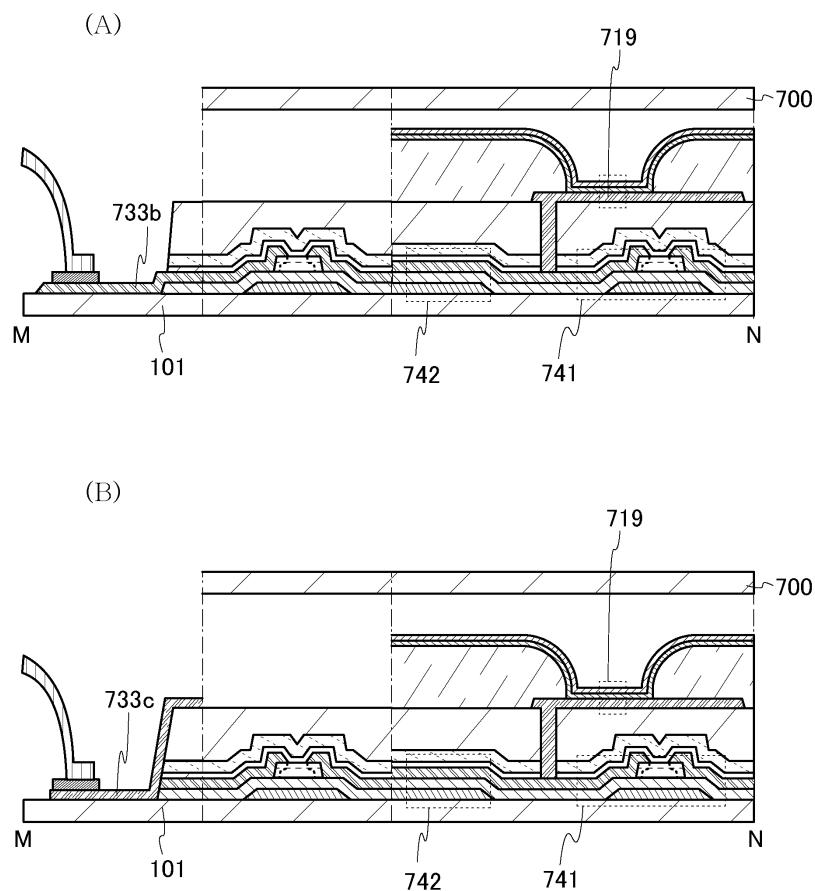
도면15



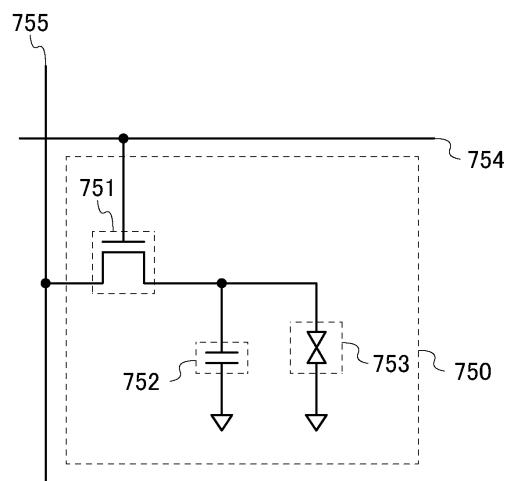
도면16



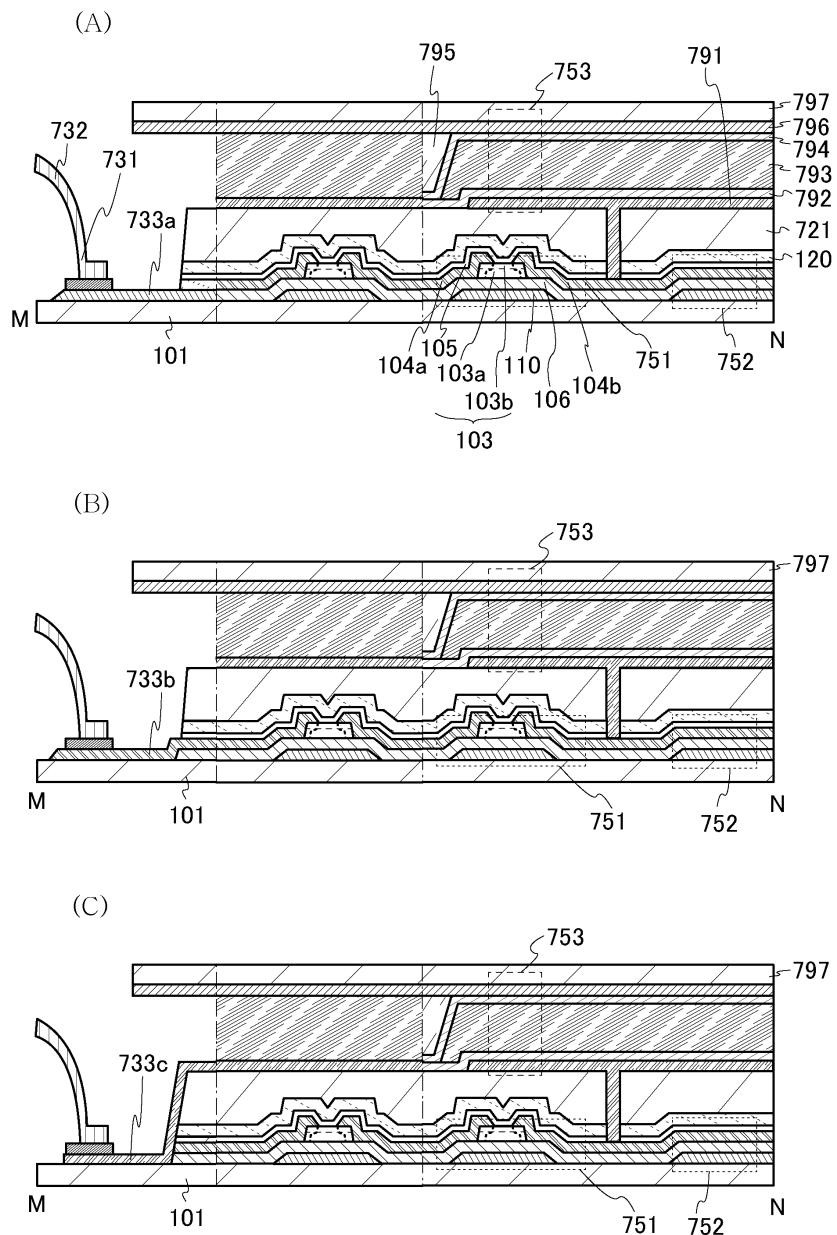
도면17



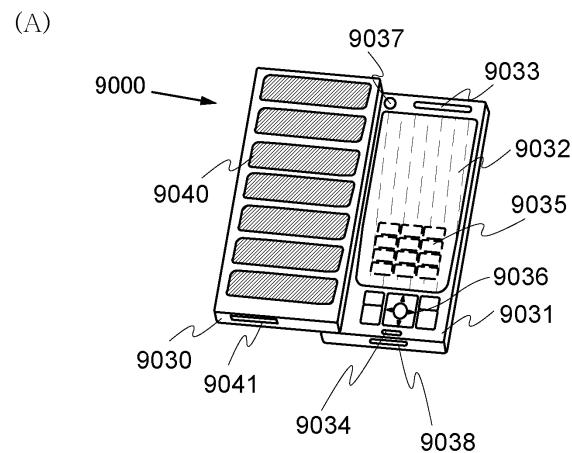
도면18



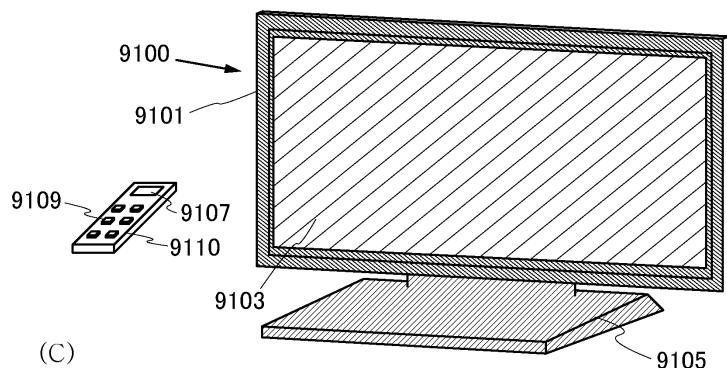
도면19



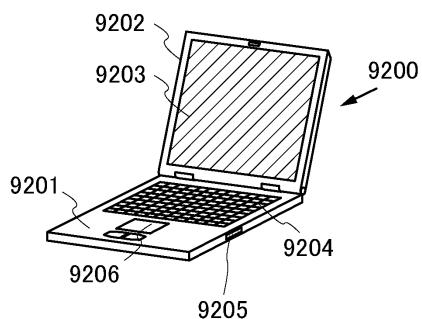
도면20



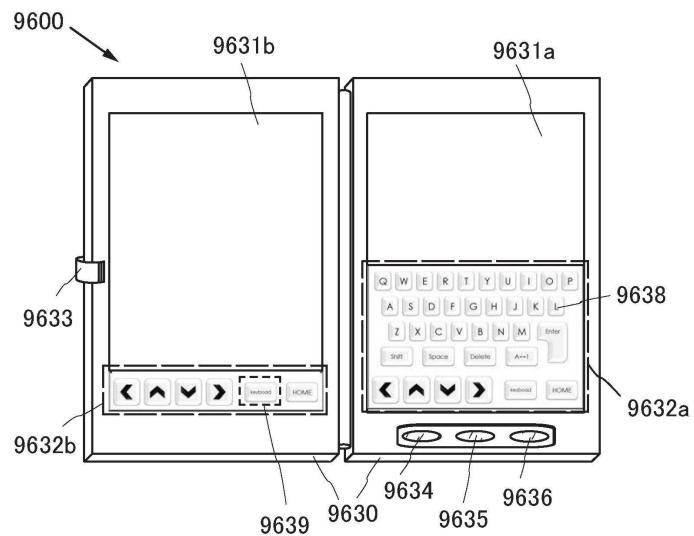
(B)



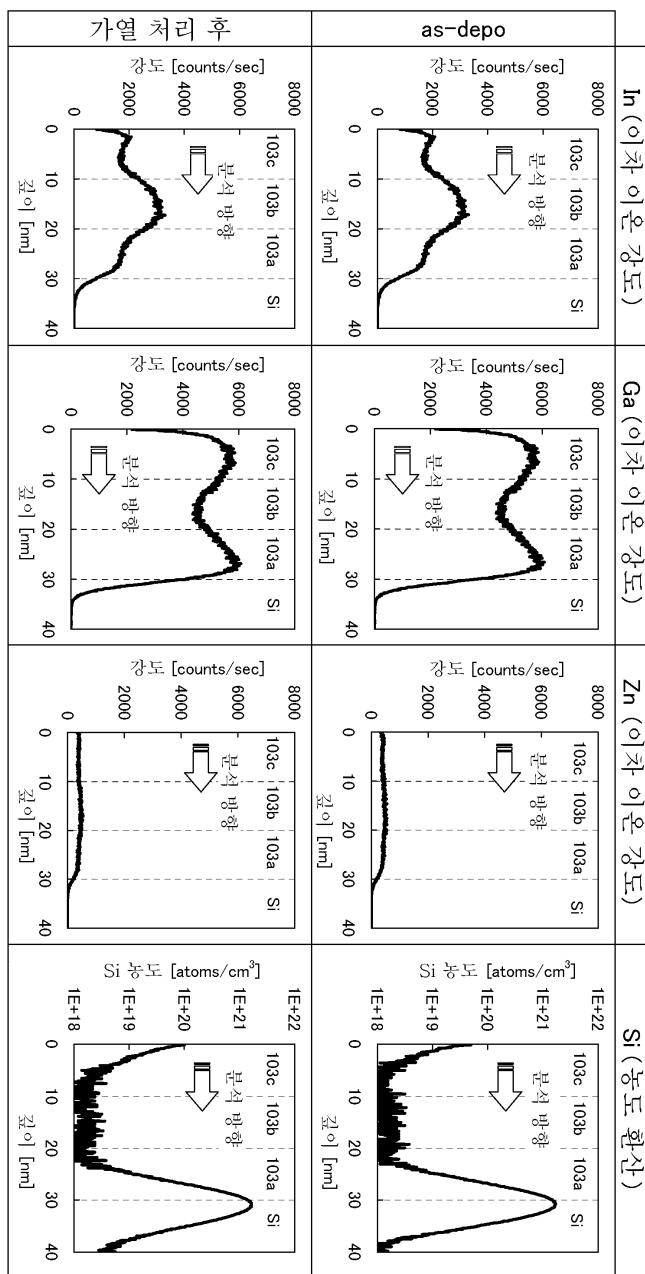
(C)



도면21

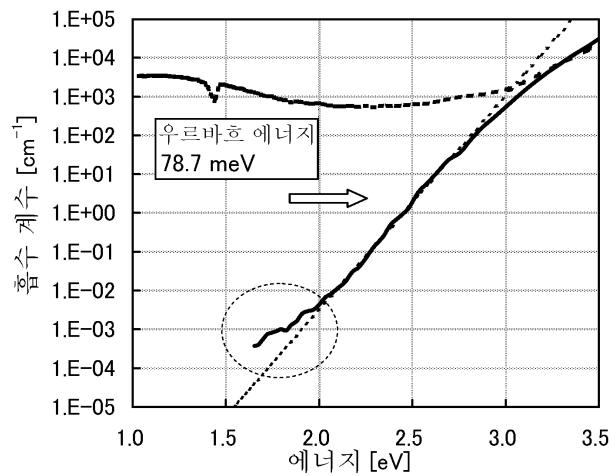


도면22

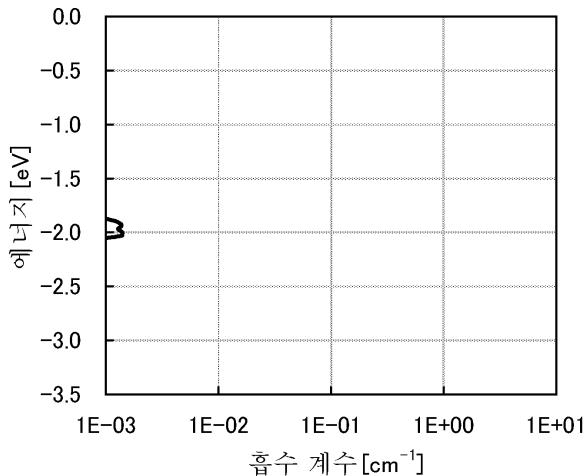


도면23

(A)

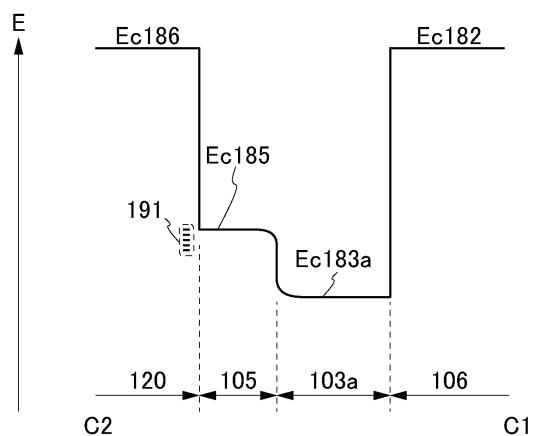


(B)

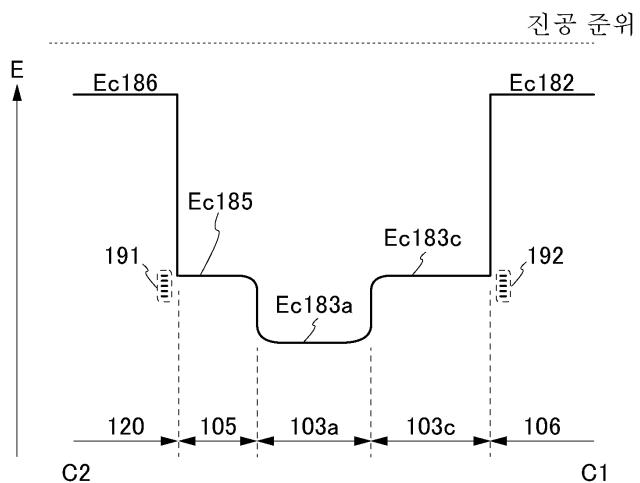


도면24

진공 준위

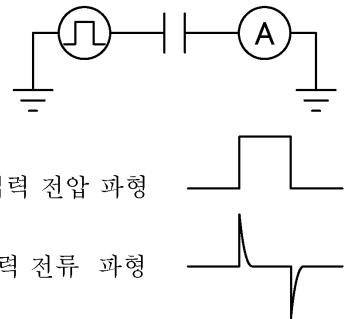


도면25

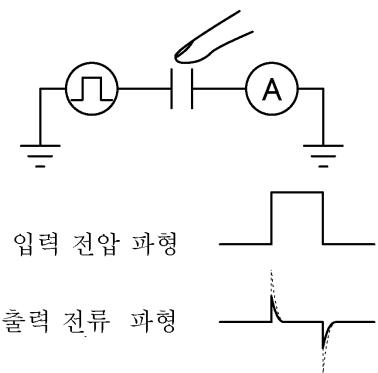


도면26

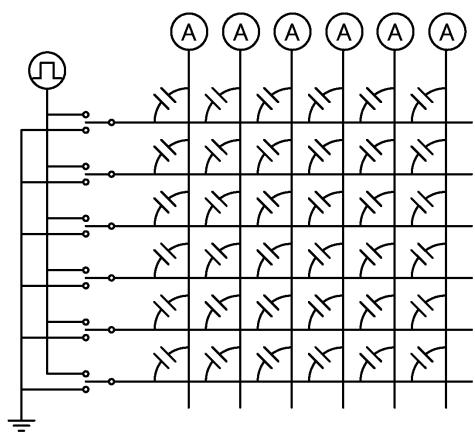
(A)



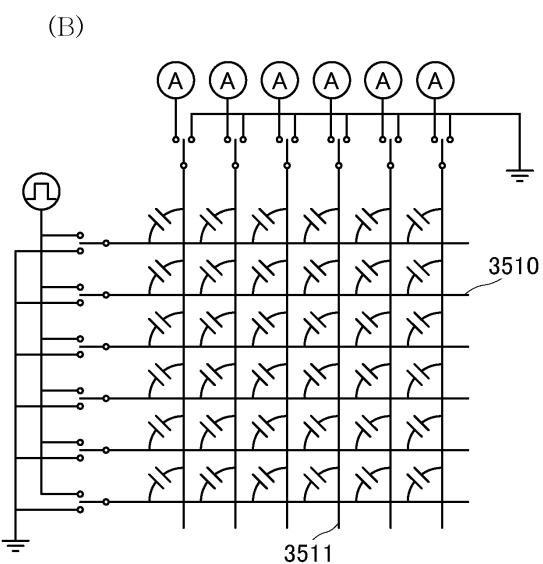
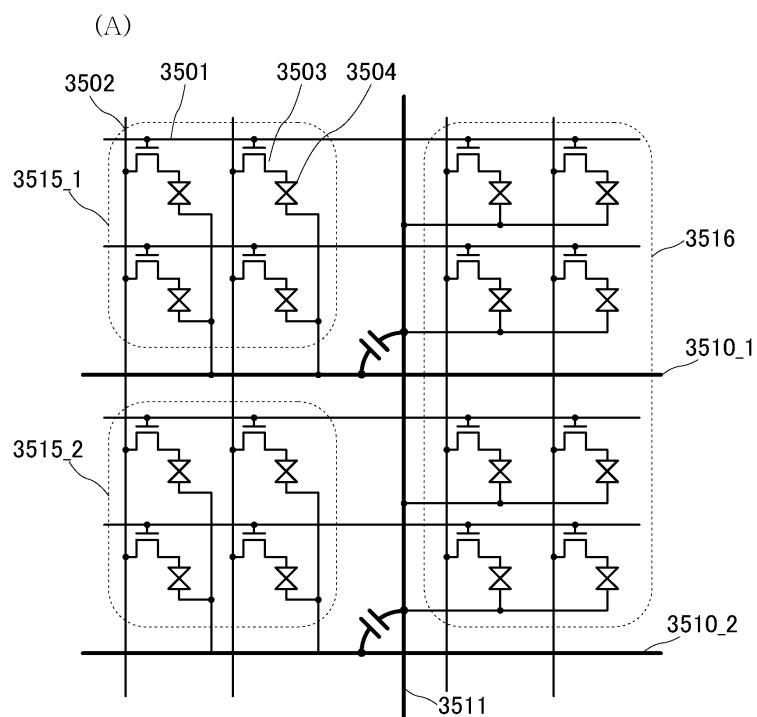
(B)



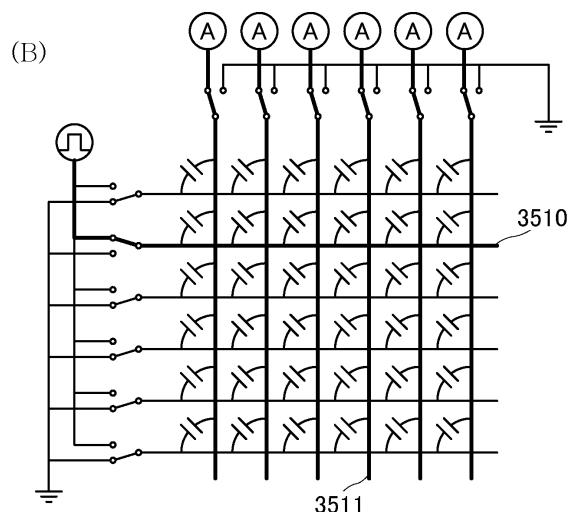
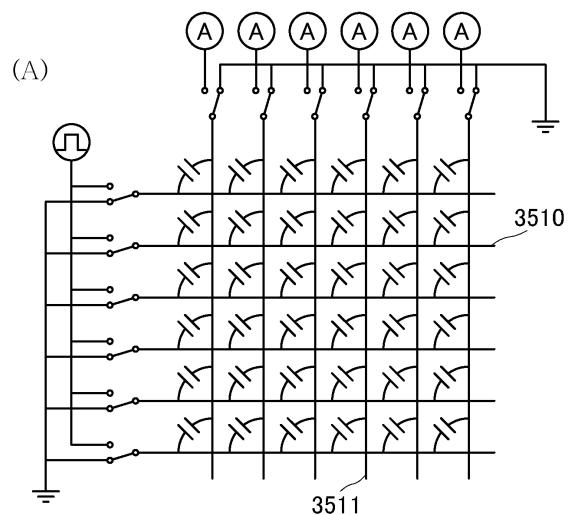
(C)



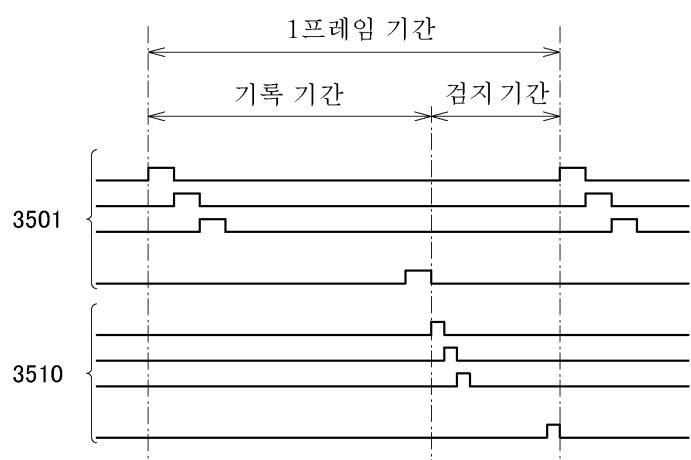
도면27



도면28

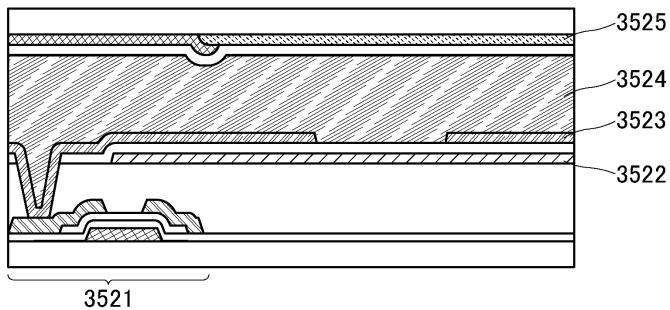


도면29

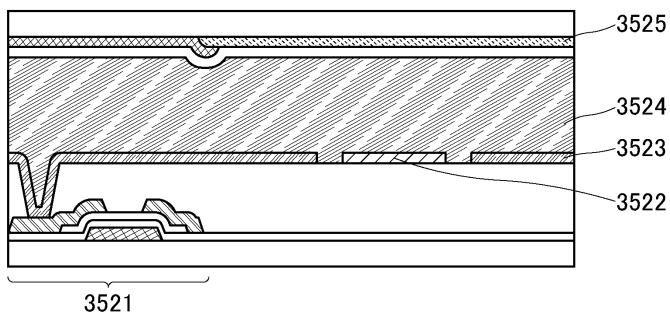


도면30

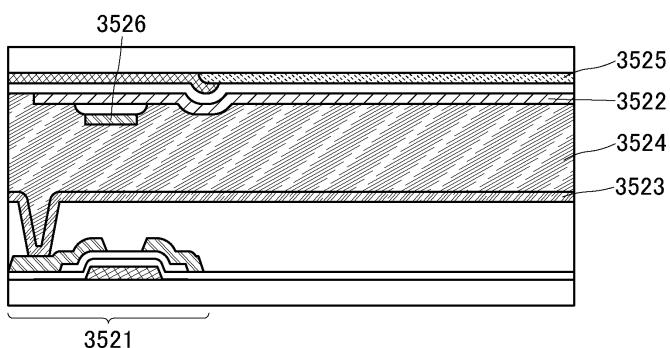
(A)



(B)



(C)



도면31

