(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/28

(45) 공고일자 2002년03월25일
(11) 등록번호 10-0328536
(24) 등록일자 2002년03월02일

(21) 출원번호 10-1999-0005989
(22) 출원일자 1999년02월23일

(65) 공개번호 특2000-0005599
(43) 공개일자 2000년01월25일

(30) 우선권주장 1998-176166 1998년06월23일 일본(JP)

(73) 특허권자
미쓰비시덴키 가부시키가이샤
다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자
오까다마사까즈
일본도꾜도지요다꾸마루노우찌2쪼메2-3미쓰비시덴키가부시키가이샤내
히가시따니게이이찌
일본도꾜도지요다꾸마루노우찌2쪼메2-3미쓰비시덴키가부시키가이샤내
가와시마히로시
일본도꾜도지요다꾸마루노우찌2쪼메2-3미쓰비시덴키가부시키가이샤내

(74) 대리인
장수길
구영창
주성민

심사관 : 권인희

(54) 향상된 층간 콘택을 가지는 반도체 디바이스

요약

본 발명에 따르면, 실리콘 반도체 디바이스는 불순물 영역을 가진 다수의 활성 영역과 활성 영역들을 서로로부터 전기적으로 절연하는 절연 영역을 구비한다. 절연 영역은 실리콘 질화물 막으로 형성된다. 콘택 홀은 중간층 절연막을 관통하여 불순물 영역에 이른다. 이 반도체 디바이스에서는, 콘택 홀이 불순물 영역에 이르는 경우에도 절연 영역 내로의 침식량이 감소된다.

대표도
도 1

색인어
반도체 디바이스, 불순물 영역, 콘택 홀, 중간층 절연막, 활성 영역

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 반도체 디바이스의 단면도.

도 2(a) 내지 도 2(d)는 본 발명의 제 1 실시예에서 설명하는 반도체 디바이스를 제조하는 한 프로세스의 단면도.

도 3(a) 내지 도 3(d)는 본 발명의 제 1 실시예에서 설명하는 반도체 디바이스를 제조하는 다른 프로세스의 단면도.

도 4는 본 발명의 제 4 실시예에 따른 반도체 디바이스의 단면도.

도 5(a) 내지 도 5(d)는 본 발명의 제 4 실시예에서 설명하는 반도체 디바이스를 제조하는 한 프로세스의 단면도.

도 6은 본 발명의 제 6 실시예에 따른 반도체 디바이스의 단면도.

도 7(a) 내지 도 7(d)는 본 발명의 제 6 실시예에서 설명하는 반도체 디바이스를 제조하는 한 프로세스의 단면도.

도 8은 본 발명의 제 8 실시예에 따른 반도체 디바이스의 단면도.

도 9(a) 내지 도 9(c)는 본 발명의 제 8 실시예에서 설명하는 반도체 디바이스를 제조하는 한 프로세스의 단면도.

도 10은 본 발명의 제 10 실시예에 따른 반도체 디바이스의 단면도.

도 11(a) 내지 도 11(c)는 본 발명의 제 10 실시예에서 설명하는 반도체 디바이스를 제조하는 한 프로세스의 단면도.

도 12는 본 발명의 제 12 실시예에 따른 반도체 디바이스의 단면도.

도 13(a) 내지 도 13(c)는 본 발명의 제 12 실시예에서 설명하는 반도체 디바이스를 제조하는 한 프로세스의 단면도.

도 14(a) 내지 도 14(b)는 테스트 목적으로 본 발명의 제 12 실시예에서 설명한 반도체 디바이스의 구조에 대한 단면도 및 평면도.

도 15는 본 발명의 제 12 실시예에 따른 반도체 디바이스에서 콘택 홀 내의 패턴과 절연 이산화물 내의 침식량간의 관계를 도시한 도면.

도 16은 본 발명의 제 14 실시예에 따른 반도체 디바이스에서 콘택 홀 주변에 있는 한 구조의 부분 평면도.

도 17은 본 발명의 제 14 실시예에 따른 반도체 디바이스에서 콘택 홀 주변에 있는 다른 구조의 부분 평면도.

도 18은 통상적인 반도체 디바이스의 단면도.

도 19(a) 내지 도 19(d)는 통상적인 반도체 디바이스를 제조하는 한 프로세스의 단면도.

도 20(a) 내지 도 20(b)는 통상적인 반도체 디바이스의 한 구조의 단면도로서, 그 구조의 기능을 설명하기 위한 단면도.

< 도면의 주요 부분에 대한 부호의 설명

1 : 반도체 디바이스

2 : 활성 영역(P-웰)

3 : N-웰

4, 17, 19, 23, 26 : 산화물 막

5 : 게이트 산화물 막

6 : 게이트 전극

7, 24 : 측벽

8 : 불순물 영역(N^+ 확산층)

8a : 돌출부

9 : 고융점 실리사이드 층

10 : 중간층 절연막

11 : 콘택 홀

12 : 침식된 부분

13 : 확산층

14 : 알루미늄 전극

15, 18, 29 : 절연 영역

16, 20, 21, 25 : 질화물 막

22 : 폴리실리콘 막

27 : 실리콘 층

28 : 장벽 금속 층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 중간층 절연막을 관통하는 콘택 홀(contact hole) 내에 개선된 접점을 가진 반도체 디바이스 및 그의 제조 방법에 관한 것이다. 특히, 본 발명은 중간층을 관통하는 콘택 홀이 반도체 기판 내의 활성 영역에 대한 절연 영역에 이르는 경우 그 절연 영역이 덜 침식되는 반도체 기판에 관한 것이다.

통상적인 반도체 디바이스는 도 18의 단면도에 도시한 바와 같은 접점 구조를 갖는다. 여기서, 반도체 기판(1)은 P-웰(2) 및 N-웰(3)과 이들 위에 형성된 절연 영역(절연 산화물 막)(4)을 가진다. 게이트 산화물 막(5), 게이트 전극(6), 측벽(7), N^+ 확산층(8) 및 고융점 실리사이드 층(9)은 능동 반도체 소자를 형성한다. 중간층 산화물 막(10)을 관통하는 콘택 홀(11)은 알루미늄 전극(14)에 의한 중간층 접속을 위한 것이다. 주목되는 것은 절연 영역(절연 산화물 막)(4)이 콘택 홀(11)의 형성 시에 생기는 침식된 부분(12)을 갖는다는 것이다. 또한, 확산층(13)이 전류 누설의 방지를 위해 형성된다.

상기한 통상의 반도체 디바이스는 도 19의 단면도에 도시한 프로세스에 따라 제조된다.

통상의 프로세스에 있어서는, 우선 도 19(a)에 도시한 바와 같이 기판(1)위에 산화물 막(19) 및 질화물 막(20)을 침착시킨 다음에 선택적인 에칭을 행한다. 다음, 에칭된 부분을 산화물 막으로 충진시키고, 그 웨이퍼의 전체 표면을 CMP 기법(화학기계적 연마 기법)에 의해 연마하여 절연막(4)을 형성한다. 그런 후, 질화물 막(20)과 산화물 막(19)을 제거한다.

그 다음, 도 19(b)에 도시한 바와 같이 기판(1)에 N-형 불순물 및 P-형 불순물을 이온 주입법에 의해 도핑하여 P-웰(2) 및 N-웰(3)을 형성한다.

다음, 도 19(c)에 도시한 바와 같이 웨이퍼의 전체 표면을 산화시켜 게이트 산화물 막(5)을 형성하고, 이 산화물 막 위에 CVD 기법에 의해 폴리실리콘을 침착시킨 후, 선택적 에칭에 의해 게이트 전극(6)을 형성한다.

다음, 전체 표면 위에 산화물 막을 침착시키고 에치-백(etch-back)을 행하여 게이트 전극(6)의 측부에 측벽(7)을 형성한다. 그 다음, N-형 불순물의 주입에 의해 N^+ 확산층(불순물 영역)(8)을 형성한다. 그 다음, 웨이퍼의 전체 표면에 대해 고융점 금속으로 스퍼터링을 행하되 그 스퍼터링은 램프 어닐링(lamp annealing)에 의해 고융점 실리사이드 층(9)내로 선택적으로 행한다.

다음, 도 19(d)에 도시한 바와 같이, CVD에 의해 중간층 산화물 막(10)을 침착시키고 선택적 에칭에 의해 콘택 홀(11)을 형성한다. 이같은 선택적 에칭은 중간층 산화물 막(10)의 두께 변동 및 에칭 속도 변동을 고려해서 에칭 깊이가 중간층 산화물 막(10) 두께의 120%를 초과하지 않도록 행해야 한다.

다음, 콘택 홀(11)의 저부 내로 N-형 불순물을 주입하고 확산층(13)을 형성하여 전류 누설을 방지한다.

다음, 장벽 금속 층 재료 및 알루미늄을 스퍼터링하고 선택적 에칭을 행하여 장벽 금속 층(28) 및 알루미늄 전극(14)을 형성함으로써 전체 프로세스를 완료한다(도 18 참조).

상기한 통상적인 반도체 디바이스의 구성을 도 20(a) 및 도 20(b)의 단면도에 도시했는데, 이들 도면을 참조하여 그 디바이스의 동작을 설명하겠다.

도 20(a)에 도시한 바와 같이, 상기한 통상적인 반도체 디바이스의 콘택 홀(14)은 절연 산화물 막(4)내의 침식된 부분의 깊이(D)가 N^+ 확산층(8)의 확산 깊이(X_j)보다 크게 형성된다. 이 바람직하지 못한 결과로 인해, 대량의 전류가 일차적인 전류 경로(AA)뿐만 아니라 이차적인 전류 경로(BB)를 통해 흐르게 된다. 이러한 상황에 대처하도록, 도 20(b)에 도시한 바와 같이, 확산층(13)을 형성하여 전류 누설을 방지한다.

확산층(13)을 형성하기 위해서는 포토리소그라피 및 이온 주입 공정이 필요하기 때문에, 그 결과 공정 수가 증가된다. 또한, 전류 누설 방지를 위한 확산층(13)은 도 20(b)와 같이 N^+ 확산층(8)과 P-웰(2)간의 접합 용량을 증가시켜, 그 결과 회로 속도가 저하된다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 종래 기술에 연관된 문제점을 다루어 해결하고자 하는 것이다.

따라서, 본 발명의 목적은 개선된 반도체 디바이스 및 그의 제조 방법을 제공함으로써, 전류 누설 방지를 위한 확산층을 형성할 필요성을 배제시켜 공정 수를 줄이고 또한 불순물 영역(N^+ 확산층)과 반도체 기판(P-웰)간의 용량을 감소시키고자 하는 것이다.

발명의 구성 및 작용

본 발명의 일 관점에 따르면, 반도체 디바이스는 반도체 기판과 상기 반도체 기판의 표면상에 형성된 다수의 불순물 영역을 포함한다. 상기 반도체 기판의 표면상에는 상기 불순물 영역들을 서로로부터 전기적으로 절연시키기 위한 절연 영역이 형성된다. 상기 실리콘 반도체 기판의 표면상에는 중간층 절연막이 형성된다. 콘택 홀은 상기 중간층 절연막을 관통하여 상기 불순물 영역과 상기 절연 영역간의 경계의 양쪽편 영역에 이르도록 제공된다. 또한, 상기 절연 영역은 상기 중간층 절연막보다 상당히 높은 에칭 선택도를 가진 재료를 포함하며, 상기 콘택 홀의 저부는 상기 절연 영역 내로 상기 불순물 영역의 깊이보다 작은 깊이로 연장한다.

이 반도체 디바이스에서, 상기 반도체 기판은 실리콘으로 구성될 수도 있으며, 상기 중간층 절연막은 실리콘 이산화물로 구성될 수 있으며, 상기 절연 영역은 실리콘 질화물로 구성될 수도 있다.

이 반도체 디바이스에서, 상기 반도체 기판은 실리콘으로 구성될 수도 있으며, 상기 중간층 절연막은 실리콘 이산화물로 구성될 수 있으며, 상기 절연 영역은 실리콘 질화물 층과 그 층 바로 밑에 형성된 실리콘 산화물 층의 이중 층 구조로 구성될 수도 있다.

본 발명의 다른 관점에 따르면, 상기 반도체 디바이스에서, 상기 절연 영역은 적어도 불순물 영역을 포함하는 활성 영역들과의 경계에서 상기 중간층 절연막보다 상당히 높은 에칭 선택도를 가진 재료를 포함한다.

이 반도체 디바이스에서, 상기 반도체 기판은 실리콘으로 구성될 수도 있으며, 상기 중간층 절연막은 실리콘 이산화물로 구성될 수 있으며, 상기 절연 영역 내의 상기 재료는 실리콘 질화물로 구성될 수도 있다.

본 발명의 또다른 관점에 따르면, 상기 반도체 디바이스는 반도체 기판의 전체 표면상에 형성된 중간막과 이 중간막상에 형성된 중간층 절연막을 포함한다. 콘택 홀은 상기 중간층 절연막과 상기 중간막을 관통하여 상기 불순물 영역과 상기 절연 영역간의 경계의 양쪽편 영역에 이르도록 제공되며, 상기 콘택 홀은 접점 재료로 충진된다. 또한, 상기 중간막은 상기 중간층 절연막보다 상당히 높은 에칭 선택도를 가진 재료를 포함하며, 상기 콘택 홀의 저부는 상기 절연 영역 내로 상기 불순물 영역의 깊이보다 작은 깊이로 연장한다.

이 반도체 디바이스에서, 상기 반도체 기판은 실리콘으로 구성될 수도 있으며, 상기 중간층 절연막은 실리콘 이산화물로 구성될 수 있으며, 상기 중간막 내의 상기 재료는 실리콘 질화물로 구성될 수도 있다.

이 반도체 디바이스에서, 상기 반도체 기판은 실리콘으로 구성될 수도 있으며, 상기 중간층 절연막은 실리콘 이산화물로 구성될 수 있으며, 상기 중간막은 실리콘 질화물 층과 그 층 바로 밑에 형성된 실리콘 산화물 층의 이중 층 구조로 구성될 수도 있다.

이 반도체 디바이스에서, 상기 반도체 기판은 실리콘으로 구성될 수도 있으며, 상기 중간층 절연막은 실리콘 이산화물로 구성될 수 있으며, 상기 중간막은 폴리실리콘 층과 그 층 바로 밑에 형성된 실리콘 이산화물 층의 이중 층 구조로 구성될 수도 있다.

이 반도체 디바이스에서, 상기 불순물 영역은 상기 절연 영역 내로 침입하는 돌출부를 가질 수도 있으며, 상기 콘택 홀은 상기 돌출부 내의 상기 불순물 영역과 상기 돌출부의 양측부에 인접한 상기 절연 영역에 이른다.

본 발명의 다른 목적, 특징 및 장점은 다음의 설명으로부터 더욱 확실하게 알 수 있을 것이다.

이제, 본 발명의 몇가지 양호한 실시예를 도면을 참조해서 설명하고자 한다. 이들 도면에서 동일 또는 대응하는 부분에는 동일한 부호를 병기하고 그들에 대한 설명은 간략화하거나 생략하겠다.

제 1 실시예

본 발명의 제 1 실시예에 관련된 반도체 디바이스는 도 1의 단면도에 도시한 바와 같이 구성된다.

도 1을 참조하면, 반도체 디바이스(1)는 P 전도형의 단결정 실리콘으로 형성된다. (이하에서는 "P 전도형"이란 용어를 간단히 "P-형"이라고도 하겠다.) 반도체 기판(1)은 활성 영역으로서 작용하는 P-웰(2)과 그 내에 형성된 N-웰(3)을 가지며, 서로 인접하는 P-웰(2)들은 절연 질화물 막(15)에 의해서 서로로부터 분리된다.

또한, 도 1에는 게이트 산화물 막(실리콘 이산화물 막)(5), 게이트 전극(6), 측벽(실리콘 이산화물 막)(7), 불순물 영역으로서의 N^+ 확산층(8), 고융점 실리사이드 층(9), 중간층 절연막으로서의 중간층 산화물 막(10), 콘택 홀(11), 콘택 홀(11)을 분리 영역(15)내에 형성할 때에 형성되는 침식된 부분(12) 및 접점으로서의 알루미늄 전극(14)이 도시된다.

이 실시예에 관련된 반도체 디바이스는 분리 영역(15)이 통상의 실리콘 이산화물 막 대신에 분리 질화물 막으로 형성되는 것을 특징으로 한다.

전형적인 예의 반도체 디바이스에 있어서는, 콘택 홀(11)이 약 0.2㎛ 내지 0.3㎛의 직경을 가질 수도 있다. 이러한 직경은 크기를 더욱 작게 해야 하고 밀도를 더욱 높게 해야 한다는 요구에 따라 훨씬 더 작아지는 경향이 있다. 또한, N^+ 확산층(8)의 폭을 작게 해야 한다는 요구도 존재한다. 따라서, 이들 요구를 충족시킬 경우, 그 결과 콘택 홀(11)은 N^+ 확산층(8)의 영역 너머로 연장하여 부분적으로 절연 질화물 막(15)에 이르게 된다.

상기한 제 1 실시예에 관련된 반도체 디바이스의 구조를 요약하면 다음과 같다.

반도체 디바이스는 실리콘 등으로 형성된 반도체 기판(1)의 표면상에 (불순물 영역으로서의) N^+ 확산층(8)을 가진 (활성 영역으로서 작용하는) 다수의 P-웰(2)과 P-웰(2)들을 전기적으로 절연하기 위한 (절연 영역으로서의) 절연 질화물 막(15)을 구비한다. 절연 영역 또는 적어도 그 절연 영역의 상부층은 중간층 절연막(실리콘 이산화물 막)보다 높은 에칭 선택도를 가진 재료로 만들어진다. 다시 말해서, 절연 영역의 재료는 중간층 절연막에 대한 속도보다 낮은 속도로 에칭된다. 또한, 절연 영역은 N^+ 확산층(8)의 측면과 접하도록 형성된다. 절연 영역은 N^+ 확산층(8)의 깊이보다 더 깊게 형성하는 바람직하다. 실리콘 질화물 막은 절연층의 전형적인 예이다.

실리콘 반도체 기판의 표면상에는 또한 중간층 산화물 막(10)이 형성되는데, 콘택 홀(11)은 그 중간층 산화물 막(10)을 관통하여 N^+ 확산층(8)에 이른다.

전형적으로, 콘택 홀(11)은 N^+ 확산층(8)과 실리콘 질화물 막(절연 영역)(15)에 이르러 실리콘 질화물 막(절연 영역)(15) 표면으로부터의 깊이(D)가 N^+ 확산층(불순물 영역)(8)의 깊이(X_j)보다 작게 되는 정도로 실리콘 질화물 막(절연 영역)(15)을 침식하도록 형성된다.

고융점 실리사이드 층(9)은 반도체 기판(1)상의 N^+ 확산층(8)상에 형성될 수도 있다. 또한, 장벽 금속 층(28)은 콘택 홀(11)의 내측에 형성될 수도 있다.

상술한 바와 같이, 제 1 실시예에 관련된 반도체 디바이스에 의하면, 콘택 홀(11)이 실리콘 질화물 막(절연 영역)(15)에 이르는 경우에도 알루미늄 전극(14)으로부터 P-웰로 전류가 누설될 가능성이 없게 되는 장점이 제공되는데, 이는 절연 질화물 막(15)내의 침식량이 작아 침식된 부분(12)이 N^+ 확산층(8)보다 깊지 않기 때문이다.

또한, 이 반도체 디바이스에 있어서는, 통상적인 기술과는 달리 전류 누설 방지를 위한 확산층이 필요하지 않다. 따라서, 프로세스 단계의 수가 줄어들며 N^+ 확산층(8)과 P-웰(2)간의 용량이 증대될 가능성이 배제된다고 하는 또다른 장점이 제공된다.

제 2 실시예

제 2 실시예는 도 2(a) 내지 도 2(d)의 단면도에 도시한 바와 같이 제 1 실시예에서 설명한 반도체 디바이스를 제조하는 프로세스를 논증한다.

도 2(a)에 도시한 바와 같이, 이 프로세스에서는 먼저 실리콘 반도체 기판(1)의 전체 표면상에 실리콘 이산화물 막(19)과 실리콘 질화물 막(20)을 침착시킨다. 다음, 상부층상에 레지스트 패턴층(도시안함)을 형성하고, 선택적 에칭을 수행하여 그들 3개층의 일부분 즉 절연 영역을 형성할 부분을 제거한다.

에칭에 의해 제거된 반도체 기판(1) 부분에는 실리콘 질화물 막을 매설한다. 다음, 웨이퍼의 전체 표면을 CMP에 의해서 연마하여 절연 질화물 막(15)을 형성한다. 다음, 질화물 막(20) 및 산화물 막(19)을 제거한다.

다음, 기판을 이온 주입법에 의해 N-형 불순물 및 P-형 불순물로 도핑하여 P-웰(2) 및 N-웰(3)을 제각기 형성한다.

다음, 도 2(b)에 도시한 바와 같이, 웨이퍼의 전체 표면을 산화시켜 게이트 산화물 막(5)을 형성한다. 그 다음, 게이트 산화물 막(5)상에 CVD에 의해서 폴리실리콘을 침착시키고 선택적 에칭을 수행하여 게이트 전극(6)을 형성한다.

다음, 전체 표면상에 실리콘 이산화물 막을 침착시킨다. 그 다음, 에치-백을 수행하여 게이트 전극(6)의 측부에 측벽(7)을 형성한다. 그 다음, N-형 불순물의 주입에 의해서 N^+ 확산층(8)을 형성한다. 다음, 웨이퍼의 전체 표면을 고융점 금속으로 스퍼터링하고 램프 어닐링하여 고융점 실리사이드 층(9)을 선택적으로 형성한다.

다음, 도 2(c)에 도시한 바와 같이, CVD에 의해서 중간층 산화물 막(10)을 침착시킨다. 다음, 그 위에 레지스트 패턴층(도시안함)을 형성하고, 중간층 산화물 막(10)을 선택적으로 에칭하여 콘택 홀(11)을 형성하되 절연 질화물 막(15)에 대한 에칭 선택도를 더 높게 한다. 이러한 에칭시에는, 중간층 산화물 막(10)의 두께 변동 및 에칭 속도의 변동을 고려하여, 에칭 깊이가 중간층 산화물 막(10)의 두께를 초과하도록 소정 크기의 오버-에칭을 수행해야 한다.

도 2(d)는 콘택 홀(11)의 저부에 대한 확대 단면도이다. 에칭은 절연 질화물 막(15)의 침식된 부분(12)의 깊이(D)가 N^+ 확산층(8)의 확산 깊이(X_j)보다 작을 때에 중단되도록 제어해야만 한다. 또한, N^+ 확산층(8)은 그의 확산 깊이(X_j)가 실리콘 질화물 막(15)의 침식된 부분(12)의 깊이(D)보다 크게 되도록 형성해야만 한다.

에칭 중단막으로서 실리콘 질화물 막을 사용하여 수행하는 실리콘 이산화물 막에 대한 에칭은 예를 들어 ECR형의 플라즈마 발생기에서 0.133Pa(1mTorr)의 C_4F_8/O_2 가스의 도움을 받아 수행할 수도 있다.

다음, 장벽 금속 층용의 재료 및 알루미늄으로 스퍼터링을 행하고 선택적 에칭을 행하여 장벽 금속 층(28)을 콘택 홀(11)의 내면상에 형성하고 장벽 금속 층(28)내의 콘택 홀(11)을 알루미늄 전극(14)으로 충진시켜서 프로세스를 완료한다. (도 1 참조)

제 2 실시예에 관련된 프로세스는 (도 19(d)를 참조하여 설명한) 통상의 프로세스와는 달리 전류 누설 방지를 위한 확산층(13)을 형성하지 않고 또한 질화물 막에 비해 산화물 막에 대해 높은 선택도를 가진 에칭 가스를 사용하여 콘택 홀(11)을 만든다.

상기한 프로세스를 요약하면 다음과 같다. 사전 규정한 깊이의 에칭을 반도체 기판(1)의 표면상에 행하여 다수의 P-웰(활성 영역)(2)을 전기적으로 절연하는 절연 영역이 형성되는 중공의(즉 속이 빈) 공간을 형성한다. 이렇게 반도체 기판(1)내에 형성한 중공의 공간에 실리콘 질화물 막을 매설한다. 실리콘 질화물 막이 매설된 반도체 기판(1)의 표면을 CMP에 의해 연마하여 절연 질화물 막의 절연 영역(15)을 형성한다.

다음, 통상의 단계들을 수행하여 P-웰상에 원하는 소자를 형성하고 그 위에 중간층 산화물 막(10)을 형성하며 중간층 접점을 위해 중간층 산화물 막을 관통하는 콘택 홀(11)을 형성한다.

제 2 실시예에서 중요한 것은, 콘택 홀(11)이 N^+ 확산층(불순물 영역)(8)과 절연 질화물 막(절연 영역)(15)에 이르는 경우에도, 절연 질화물 막(15) 표면으로부터의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되는 정도로 콘택 홀(11)이 형성된다는 것이다.

상술한 바와 같이, 제 2 실시예는 절연 질화물 막(15)이 활성 영역을 절연시키기 위한 절연 영역으로서 형성되어 콘택 홀(11)의 저부에서 과도한 오버-에칭이 발생되지 않도록 함을 특징으로 한다.

이러한 오버-에칭 제어는 콘택 홀(11)내에서의 절연 질화물 막(절연 영역)(15)의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 될 수 있게 한다. 따라서, 알루미늄 전극(14)으로부터 P-웰(2)로의 전류 누설이 억제된다.

또한, 통상의 기술과는 달리, 제 2 실시예의 프로세스는 전류 누설 방지를 위한 확산층 형성 단계가 필요 없게 하므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 감소된다.

제 3 실시예

제 3 실시예는 도 3(a) 내지 도 3(d)의 단면도에 도시한 바와 같이 제 1 실시예에서 설명한 반도체 디바이스를 제조하는 프로세스를 논증한다.

도 3(a)에 도시한 바와 같이, 이 프로세스에서는 먼저 반도체 기판(1)의 전체 표면상에 실리콘 질화물 막을 침착시킨다. 그 다음, 실리콘 질화물 막에 대해 선택적 에칭을 수행해서 그 실리콘 질화물 막의 일부분 즉 활성 영역을 형성할 부분을 제거한다. 이때, 나머지 실리콘 질화물 막이 절연 질화물 막(15)으로 된다.

다음, 도 3(b)에 도시한 바와 같이 반도체 기판(1) 표면상의 질화물 막이 제거된 노출된 부분을 실리콘 층(27)으로 피복한다. 이 실리콘 층(27)은 SiH_2Cl_2 및 HCl로 이루어진 가스로 선택적 CVD에 의해서 에피택셜적으로 성장시킨다. 다음, 웨이퍼의 전체 표면을 CMP에 의해서 연마한다.

다음, 도 3(c)에 도시한 바와 같이 웨이퍼를 이온 주입법에 의해 N-형 불순물 및 P-형 불순물로 도핑하여 P-웰(2) 및 N-웰(3)을 제각기 형성한다. 이후의 단계들은 도 2(b)를 참조한 제 2 실시예에서 설명한 것들과 동일하다.

다음, 도 3(d)에 도시한 바와 같이, 도 2(c)를 참조하여 설명한 것들과 동일한 단계들을 수행한다.

주목해야 할 것으로는, 제 3 실시예는 도 19(d)를 참조하여 설명한 통상의 기술과는 달리 전류 누설 방지를 위한 확산층(13)을 형성하지 않고 콘택 홀(11)을 위한 에칭에 산화물 막 및 질화물 막에 대해 높은 선택도를 가진 가스가 사용한다는 것이다.

상기한 프로세스를 요약하면 다음과 같다. 먼저, 예를 들어 실리콘으로 구성된 반도체 기판(1)의 표면상에 실리콘 질화물을 침착한다. 다음, 이 실리콘 질화물 막을 선택적으로 에칭하여 그의 특정 부분 즉 반도체 기판(1)의 표면상에 활성 영역을 형성할 부분을 제거한다. 다음, 실리콘 질화물 막이 제거된 반도체 기판(1)의 표면상에 실리콘 층(27)을 성장시킨다. 다음, 반도체 기판(1)의 표면을 CMP에 의해 연마한다. 이렇게 형성한 실리콘 층(27)은 활성 영역으로서 작용한다.

다음, 통상의 단계들을 수행하여 실리콘 층(27)내에 P-웰(2)을 형성하고 원하는 소자를 형성한다. 다음, 그 위에 중간층 산화물 막(10)을 형성한다. 다음, 중간층 접속을 용이하게 하기 위해 중간층 산화물 막(10)을 관통하는 콘택 홀(11)을 형성한다.

제 3 실시예에서 중요한 것은, 콘택 홀(11)이 N^+ 확산층(불순물 영역)(8)과 절연 질화물 막(절연 영역)(15)에 이르며 절연 질화물 막(15)내로의 침식 깊이(D)가 N^+ 확산층(불순물 영역)(8)의 깊이(X_j)보다 작게 되는 정도로 콘택 홀(11)이 형성된다는 것이다.

상술한 바와 같이, 제 3 실시예는 절연 질화물 막(15)내로의 침식 깊이(D)가 N^+ 확산층(불순물 영역)(8)의 깊이(X_j)보다 작게 되는 정도로 콘택 홀(11)이 형성됨을 특징으로 한다. 이러한 구조 덕분에 알루미늄 전극(14)으로부터 P-웰(2)로의 전류 누설이 방지된다.

또한, 통상의 기술과는 달리, 제 3 실시예의 프로세스는 전류 누설 방지를 위한 확산층(13)의 형성 단계가 필요 없게 하므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 감소된다.

제 4 실시예

본 발명의 제 4 실시예에 관련된 반도체 디바이스는 도 4의 단면도에 도시한 바와 같이 구성된다.

도 4를 참조하면, 절연 영역(18)은 다수의 P-웰(활성 영역)(2)을 서로로부터 분리한다. 절연 영역(18)은 절연 산화물 막(17) 및 절연 질화물 막(18)으로 구성된 다층 구조를 갖는데, 이것이 제 4 실시예의 특징이다. 다른 부분들은 제 1 실시예의 것들과 동일하므로 이들에 대한 설명은 생략한다.

상기한 제 4 실시예에 관련된 반도체 디바이스의 구조를 요약하면 다음과 같다.

그 반도체 디바이스는 실리콘 질화물 막(16)의 상부층과 실리콘 이산화물 막(17)의 하부층으로 구성된 절연 영역(18)을 가진다. 실리콘 질화물은 실리콘 이산화물 막보다 낮은 에칭 속도를 가진다. 실리콘 질화물 층(16)은 N^+ 확산층(불순물 영역)(8)의 측부와 접하는 상태로 형성된다. 실리콘 질화물 층(16)은 N^+ 확산층(8)보다 더 깊게 형성하는 것이 바람직할 것이다.

상술한 구조에 의하면, 콘택 홀(11)이 절연 영역(18)에 이르는 경우에도 알루미늄 전극(14)으로부터 P-웰(2)로 전류가 누설되지 않게 된다는 장점이 제공되는데, 이는 절연 영역(18)내로의 침식 깊이(D)가 N^+ 확산층(불순물 영역)(8)의 두께보다 작기 때문이다.

또한, 통상의 것과는 달리, 제 4 실시예의 반도체 디바이스는 전류 누설 방지를 위한 확산층(13)이 필요 없게 되므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 증대될 가능성이 배제된다.

또한, 상술한 구조에서는 절연 질화물 막(15)내의 스트레스 때문에 반도체 기판(1)과 N^+ 확산층(8)을 가로질러 흐르는 스트레스 전류 누설이 억제된다. 스트레스 전류 누설은 제 1 실시예의 반도체 디바이스에서 생길 수도 있다. 또한, 유전 상수가 낮은 산화물 막(17)은 절연막이 동일한 두께를 가질 경우 반도체 기판(1)과 알루미늄 전극(14)간의 용량을 감소시킨다.

제 5 실시예

제 5 실시예는 도 5(a) 내지 도 5(d)의 단면도에 도시한 바와 같이 제 4 실시예에서 설명한 반도체 디바이스를 제조하는 프로세스를 논증한다.

도 5(a)에 도시한 바와 같이, 이 프로세스에서는 먼저 실리콘 반도체 기판(1)의 전체 표면상에 실리콘 이산화물 막(17)을 CVD 또는 열적 산화에 의해서 피복한다.

다음, 산화물 막(17)상에 CVD에 의해서 실리콘 질화물 막(16)을 침착시킨다. 다음, 질화물 막(16)과 산화물 막(17)을 선택적으로 에칭하여 반도체 기판(1)상에 활성 영역을 위한 중공의 공간이 형성되도록 한다. 질화물 막(16)과 산화물 막(17)의 에칭되지 않은 부분들은 절연 영역(절연 다층막)(18)을 형성한다.

다음, 도 5(b)에 도시한 바와 같이 반도체 기판(1) 표면의 노출된 부분을 실리콘 층(27)으로 피복한다. 이 실리콘 층(27)은 SiH_2Cl_2 및 HCl로 이루어진 가스로 선택적 CVD에 의해서 Si-에피택셜적으로 성장시킨다. 다음, 웨이퍼의 전체 표면을 CMP에 의해서 연마한다.

다음, 웨이퍼를 이온 주입법에 의해 N-형 불순물 및 P-형 불순물로 도핑하여 P-웰(2) 및 N-웰(3)을 제각기 형성한다. 이후의 단계들은 도 2(b)를 참조한 제 2 실시예에서 설명한 것들과 동일하다.

다음, 도 5(d)에 도시한 바와 같이, 도 2(c)를 참조하여 설명한 것들과 동일한 단계들을 수행한다.

제 5 실시예는 도 19(d)에 도시한 통상의 기술에서 기본적인 전류 누설 방지를 위한 확산층(13)이 없다는 것을 특징으로 한다. 또한, 제 5 실시예는 콘택 홀(11)의 형성 시에 질화물 막보다 산화물 막에 대해 높은 선택도를 가진 에칭 가스를 사용하는 것을 특징으로 한다.

상술한 프로세스를 요약하면 다음과 같다.

먼저, 실리콘 반도체 기판(1)의 표면상에 실리콘 이산화물 막(17)을 침착한 다음에 실리콘 질화물 막(16)을 침착시킨다. 다음, 반도체 기판(1)상의 실리콘 질화물 막(16)과 실리콘 산화물 막(17)을 선택적으로 에칭하여 실리콘 층(27)을 성장시킬 특정 부분을 제거한다. 다음, 실리콘 층(27)을 가진 반도체 기판(1)의 표면을 CMP에 의해서 연마한다. 이렇게 형성한 실리콘 층(27)은 활성 영역으로서 작용한다.

다음, 통상의 단계들을 수행하여 실리콘 층(27)내에 P-웰(2)을 형성하고 원하는 소자를 형성한다. 다음, 그 위에 중간층 산화물 막(10)을 형성한다. 다음, 중간층 접속을 용이하게 하기 위해 중간층 산화물 막(10)을 관통하는 콘택 홀(11)을 형성한다.

제 5 실시예에서 중요한 것은, 콘택 홀(11)이 N^+ 확산층(불순물 영역)(8)과 절연 영역(15)에 이르며 절연 질화물 막(15)내로의 침식 깊이(D)가 N^+ 확산층(불순물 영역)(8)의 깊이(X_j)보다 작게 되는 정도로 콘택 홀(11)이 형성된다는 것이다.

상술한 바와 같이, 제 5 실시예는 절연 영역(15)내로의 침식 깊이(D)가 N^+ 확산층(불순물 영역)(8)의 깊이(X_j)보다 작게 되는 정도로 콘택 홀(11)이 형성됨을 특징으로 한다. 이러한 구조 덕분에 알루미늄 전극(14)으로부터 P-웰(2)로의 전류 누설이 방지된다.

또한, 통상의 기술과는 달리, 제 5 실시예의 프로세스는 전류 누설 방지를 위한 확산층(13)의 형성 단계가 필요 없게 하므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 감소된다.

제 6 실시예

본 발명의 제 6 실시예에 관련된 반도체 디바이스는 도 6의 단면도에 도시한 바와 같이 구성된다.

도 6을 참조하면, 절연 영역(29)은 다수의 P-웰(활성 영역)(2)을 서로로부터 분리한다. 절연 영역(29)은 절연 산화물 막(4) 및 절연 질화물 막(21)으로 구성되며, 실리콘 질화물 막(21)은 절연 산화물 막(4)과 반도체 기판(1)간에 중간 삽입된다. 다른 부분들은 제 1 실시예의 것들과 동일하므로 이들에 대한 설명은 생략한다.

상기한 제 6 실시예에 관련된 반도체 디바이스의 구조를 요약하면 다음과 같다.

그 반도체 디바이스의 실리콘 반도체 기판(1)상에는 제각기 N^+ 확산층(불순물 영역)(8)을 가진 다수의 P-웰(활성 영역)(2)과 그들 P-웰(2)을 전기적으로 절연하는 절연 영역(29)이 형성된다. 절연 영역(29)은 두가지의 재료로 구성된다. 이들 두 재료 중의 하나 즉 P-웰(2)과 접하는 재료는 실리콘 이산화물보다 낮은 에칭 속도를 갖는다. 이러한 재료의 양호한 예는 실리콘 질화물 막이다.

절연 영역(29)은 실리콘 질화물 막(21)과 절연 산화물 막(4)으로 구성되며, 실리콘 질화물 막(21)은 실리콘 반도체 기판(1)과 접하고 절연 산화물 막(4)은 실리콘 질화물 막(21)에 의해 둘러싸인다.

전형적으로, 콘택 홀(11)은 N^+ 확산층(불순물 영역)(8)과 절연 영역(29)에 이른다. 그리고, 콘택 홀(11)은 절연 영역(29)에 이르는 저부가 실리콘 질화물 막(21)에 의해서 차단되도록 형성된다.

상술한 바와 같이, 제 6 실시예의 반도체 디바이스에 의하면, 콘택 홀(11)의 저부가 절연 영역(29)에 이르러 그 절연 영역을 상당히 침식하는 경우에도 알루미늄 전극(14)으로부터 P-웰(2)로 전류가 누설되지 않게 된다는 장점이 제공되는데, 이는 알루미늄 전극(14)이 실리콘 질화물 막(21)에 의해서 절연되기 때문이다.

또한, 제 6 실시예는 통상의 기술과는 달리 전류 누설 방지를 위한 확산층이 필요 없게 되므로, P-웰(2)과 N^+ 확산층(불순물 영역)(8)간의 용량이 증대될 가능성이 배제된다.

제 7 실시예

제 7 실시예는 도 7(a) 내지 도 7(d)의 단면도에 도시한 바와 같이 제 6 실시예에서 설명한 반도체 디바이스를 제조하는 프로세스를 논증한다.

도 7(a)에 도시한 바와 같이, 이 프로세스에서는 먼저 반도체 기판(1)의 전체 표면상에 이산화물 막(19)과 질화물 막(20)을 침착시킨다. 다음, 선택적 에칭을 수행하여 이산화물 막(19), 질화물 막(20) 및 반도체 기판(1)을 제거하여 절연 영역을 형성할 중공의 공간을 형성한다.

다음, 도 7(b)에 도시한 바와 같이 웨이퍼를 질소 함유 가스 분위기에서 어닐링하여 실리콘 질화물 막(21)을 반도체 기판(1)의 에칭된 표면상에 형성한다.

다음, 도 7(c)에 도시한 바와 같이 반도체 기판(1)내의 실리콘 질화물 막(21)으로 피복된 오목부를 실리콘 이산화물 막으로 충진시키고, 그 실리콘 이산화물 막을 CMP에 의해서 연마하여 절연 산화물 막(15)을 형성한다.

다음, 에칭을 수행하여 반도체 기판(1)상의 질화물 막(20) 및 산화물 막(19)을 제거한다.

다음, 도 7(d)에 도시한 바와 같이 N-형 불순물 및 P-형 불순물로 이온 주입을 행하여 P-웰(2) 및 N-웰(3)을 제각기 형성한다. 이후의 단계들은 제 1 실시예에서 도 2(b) 및 도 2(c)를 참조하여 설명한 것들과 동일하다.

제 7 실시예는 도 19(d)를 참조하여 설명한 통상의 프로세스와는 달리 전류 누설 방지를 위한 확산층(13)을 형성하지 않고 또한 질화물 막보다 산화물 막에 대해 높은 선택도를 가진 에칭 가스를 사용하여 콘택 홀(11)을 만든다.

상기한 제 7 실시예에 따른 반도체 제조 프로세스를 요약하면 다음과 같다.

이 프로세스에서는, 먼저 사전 규정한 깊이의 선택적 에칭을 수행하여 반도체 기판(1)내의 활성 영역들을 전기적으로 절연하는 절연 영역이 형성되는 공간을 형성한다. 다음, 상기한 에칭에 의해 반도체 기판(1)내에 형성한 오목부의 내면을 질화시켜 실리콘 질화물 막(21)을 형성한다. 다음, 실리콘 질화물 막(21)상에 실리콘 이산화물 막을 형성한다. 다음, 실리콘 이산화물이 형성된 반도체 기판(1)의 표면을 CMP에 의해 연마하여 절연 질화물 막(21)과 절연 산화물 막(4)으로 구성된 절연 영역(29)을 형성한다.

다음, 통상의 단계들을 수행하여 P-웰(활성 영역)(2)을 형성하고 원하는 소자를 형성한다. 다음, 그 위에 중간층 산화물 막(10)을 형성한다. 그 다음, 기판 내의 활성 영역에 대한 중간층 접속을 용이하게 하기 위해 중간층 산화물 막(10)을 관통하는 콘택 홀(11)을 형성한다.

상술한 구조에 의하면, 콘택 홀(11)이 절연 영역(29)에 이르러 그 절연 영역 내로의 침식량이 큰 경우에도, 알루미늄 전극(14)으로부터 P-웰(2)로 전류가 누설되지 않는다는 장점이 제공되는데, 이는 알루미늄 전극(14)이 질화물 실리콘 막(21)에 의해서 절연되기 때문이다.

또한, 통상의 것과는 달리, 제 7 실시예의 반도체 디바이스는 전류 누설 방지를 위한 확산층이 필요 없게 되므로, P-웰(2)과 N^+ 확산층(불순물 영역)(8)간의 용량이 증대될 가능성이 배제된다.

상기한 구조에서는 에칭 중단막으로서 작용하는 실리콘 질화막(21)을 형성하기가 쉽다.

제 8 실시예

본 발명의 제 8 실시예에 관련된 반도체 디바이스는 도 8의 단면도에 도시한 바와 같이 구성된다.

도 8을 참조하면, 절연 산화물 막(4)은 실리콘 이산화물 막, 웨이퍼의 전체 표면상에 또는 보다 구체적으로는 고융점 실리사이드 층(9)상에 형성된 다른 실리콘 이산화물 막(23), 실리콘 이산화물 막(23)상에 형성된 폴리실리콘 막(22) 및 콘택 홀(11)의 측면상에 형성된 측벽(실리콘 이산화물 막)(24)으로 형성된다. 다른 부분들은 제 1 실시예의 것들과 동일하므로 이들에 대한 설명은 생략한다.

제 8 실시예에 관련된 반도체 디바이스는 에칭 중단층으로서 작용하는 폴리실리콘 층(22)이 중간층 산화물 막(중간층 절연막)(10) 바로 밑에 형성되고 폴리실리콘 층(22) 아래에 고융점 실리사이드 층(9)과 접하는 실리콘 이산화물 막(23)이 형성되는 것을 특징으로 한다. 또한, 콘택 홀(11)은 그 내에 형성된 절연막의 내측벽(24)을 가져 인접한 접점들이 폴리실리콘 층(22)을 통해 단락되는 것이 방지된다.

상기한 제 8 실시예에 관련된 반도체 디바이스의 구조를 요약하면 다음과 같다.

그 반도체 디바이스의 예를 들어 실리콘으로 만들어진 반도체 기판(1)상에는 제각기 N^+ 확산층(불순물 영역)(8)을 가진 다수의 P-웰(활성 영역)(2)과 그들 P-웰(2)을 전기적으로 절연하는 절연 산화물 막(29)을 형성한다.

능동 소자들이 형성되는 반도체 기판(1)의 전체 표면은 실리콘 이산화물 막(23)으로 피복한다. 이 실리콘 이산화물 막(23)상에는 폴리실리콘 막(22)을 형성하고, 폴리실리콘 막(22)상에는 중간층 산화물 막(10)을 형성한다.

콘택 홀(11)은 중간층 산화물 막(10), 폴리실리콘 막(22) 및 실리콘 이산화물 막(23)을 관통하여 N^+ 확산층(8)에 이르도록 개방시킨다. 콘택 홀(11)의 내면상에는 측벽(실리콘 이산화물 막)(24)을 형성한다.

전형적으로, 콘택 홀(11)은 N^+ 확산층(8)과 절연 산화물 막(4)에 이르러 절연 산화물 막(4)내로의 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되는 정도로 절연 산화물 막(4)을 침식하도록 형성한다.

필요에 따라서는, 고융점 실리사이드 층(9)을 실리콘 반도체 기판(1)내의 N^+ 확산층(8)의 표면상에 형성한다. 또한, 장벽 금속 층(28)을 콘택 홀(11)의 내면상에 형성한다.

상술한 바와 같이, 제 8 실시예의 반도체 디바이스에 의하면, 콘택 홀(11)의 저부가 절연 산화물 막(4)에 이르는 경우에도, 알루미늄 전극(14)으로부터 P-웰(2)로 전류가 누설되지 않는다는 장점이 제공되는데, 이는 절연 산화물 막(4)내로의 침식량이 작아 침식 깊이가 N^+ 확산층(8)의 깊이보다 작기 때문이다.

또한, 통상의 것과는 달리, 제 8 실시예는 전류 누설 방지를 위한 확산층이 필요 없게 되므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 증대될 가능성이 배제된다.

제 9 실시예

제 9 실시예는 도 9(a) 내지 도 9(c)의 단면도에 도시한 바와 같이 제 8 실시예에서 설명한 반도체 디바이스를 제조하는 프로세스를 논증한다.

도 9(a)에 도시한 바와 같이, 이 프로세스에서는 먼저 반도체 기판(1)의 표면상에 절연 산화물 막(4), P-웰(2), N-웰(3), 게이트 전극(6), 측벽(7), N^+ 확산층(8) 및 고융점 실리사이드 층(9)을 형성한다. 이들 단계는 통상적인 기술의 것들과 동일하다.

도 9(b)에 도시한 바와 같이, 능동 소자들을 형성할 웨이퍼의 전체 표면상에 (보다 구체적으로는 고융점 실리사이드 층(9)상에) 산화물 막(23)을 CVD에 의해 침착시킨다. 다음, 산화물 막(23)상에 폴리실리콘 막(22)을 형성하고 이 폴리실리콘 막상에는 CVD에 의해 중간층 산화물 막(10)을 침착시킨다.

다음, 도 9(c)에 도시한 바와 같이, 사전 규정된 위치에 개구들을 가진 레지스트 패턴(도시안함)을 통해서 폴리실리콘 막에 비해 산화물 막에 대해 큰 선택도로 선택적 에칭을 수행하여 중간층 산화물 막(10)내에 콘택 홀을 개방시킨다. 이러한 에칭은 폴리실리콘(22)에서 중단된다.

콘택 홀을 통해 공급되는 염소 함유 가스에 의한 에칭을 폴리실리콘 막(22)에 대해 수행하고, 불소 함유 가스에 의한 에칭을 얇은 산화물 막(23)에 대해 수행한다.

다음, 웨이퍼의 전체 표면상에 얇은 산화물 막을 침착시키고, 불소 함유 가스에 의한 에치-백을 수행하여 콘택 홀(11)내에 측벽(24)을 형성한다.

최종 단계로서 장벽 금속 재료 및 알루미늄에 의한 스퍼터링을 행하고, 그 다음 선택적 에칭을 행하여 콘택 홀(11) 내면상의 장벽 금속 층(28)과 이 장벽 금속 층에 의해 둘러싸인 콘택 홀(11)내의 알루미늄 전극(14)을 형성한다. (도 8 참조)

상술한 바와 같이, 제 9 실시예는 도 19(d)를 참조하여 설명한 통상의 기술과는 달리 전류 누설 방지를 위한 확산층(13)이 필요 없게 된다.

상술한 제 9 실시예에 따라 반도체 디바이스를 제조하기 위한 프로세스를 요약하면 다음과 같다.

이 프로세스에서는, 먼저 반도체 기판(1)의 표면상에 다수의 P-웰(활성 영역)(2)과 이들 P-웰을 서로로부터 전기적으로 절연하는 절연 산화물 막(4)을 형성한다. 각각의 P-웰은 N^+ 확산층(불순물 영역)(8) 및 그 위에 형성된 소자를 가진다. 다음, 웨이퍼의 전체 표면을 실리콘 이산화물 막(23)으로 피복하고 이 실리콘 이산화물 막상에 폴리실리콘 막(22)을 형성한다.

다음, 폴리실리콘 막(22)을 중간층 산화물 막(10)으로 피복하고, 이 중간층 산화물 막상에 사전 규정된 개구를 가진 레지스트 패턴(도시안함)을 형성한다. 다음, 폴리실리콘 막(27)에 비해 중간층 산화물 막(10)에 대해 높은 선택도로 에칭을 수행하여 콘택 홀을 개방시킨다.

다음, 콘택 홀을 통한 에칭을 폴리실리콘 막(22) 및 실리콘 이산화물 막(23)에 대해 수행하여 N^+ 확산층(8)에 이르는 콘택 홀(11)을 개방시킨다. 이 콘택 홀(11)은 N^+ 확산층(8)과 절연 산화물 막(4)에 이르러 절연 막(4)내로의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되도록 형성할 수도 있다.

상술한 바와 같이, 제 9 실시예는 두꺼운 중간층 막(10)의 에칭을 에칭 중단막으로서 사용되는 폴리실리콘 막(22)에 의해서 차단하고 그 다음 콘택 홀(11)의 저부에서 얇은 폴리실리콘 막(22) 및 산화물 막(23)에 대해 부가적인 에칭을 수행한다. 이러한 에칭의 장점은 콘택 홀(11)의 저부에 대한 오버-에칭의 제어가 용이하며 과도한 오버-에칭의 필요성이 배제된다는 것이다. 따라서, 절연 산화물 막(4)내로의 침식량을 제한하는 것이 가능하게 된다.

결과적으로, 제 9 실시예에 따르면, 콘택 홀(11)은 절연 산화물 막(4)내로의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되도록 형성된다. 이같은 구조에 의하면, 알루미늄 전극(14)으로부터 P-웰(2)로의 전류 누설 흐름이 방지된다.

또한, 통상의 기술과는 달리, 제 9 실시예는 전류 누설 방지를 위한 확산층을 형성할 필요가 없게 되므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 감소된다.

제 10 실시예

본 발명의 제 10 실시예에 관련된 반도체 디바이스는 도 10의 단면도에 도시한 바와 같이 구성된다.

도 10을 참조하면, 절연 산화물 막(4)은 실리콘 이산화물 막 및 웨이퍼의 전체 표면상에 (보다 구체적으로는 고융점 실리사이드 층(9)상에) 형성되는 질화물(실리콘 질화물) 막으로 형성된다. 다른 부분들은 제 1 실시예의 것들과 동일하므로 이들에 대한 설명은 생략한다.

제 10 실시예는 제 1 실시예와는 달리 질화물 막(25)을 에칭 중단막으로서 사용하는 반면에, 제 1 실시예는 에칭 중단막으로서 웨이퍼의 전체 표면 위에 침착된 폴리실리콘 층(22) 및 산화물 막(23)을 사용한다.

제 10 실시예의 반도체 디바이스에서는 실리콘 반도체 기판(1)의 표면상에 제각기 N^+ 확산층(불순물 영역)(8)을 가진 다수의 P-웰(활성 영역)(2)과 이들 P-웰을 서로로부터 전기적으로 절연하는 절연 산화물 막(4)을 형성한 것을 특징으로 한다. 또한, 소자들이 위에 형성되는 웨이퍼의 전체 표면상에 질화물 막(실리콘 질화물 막)(25)을 형성하고, 이 질화물 막 상에 중간층 산화물 막(10)을 형성한다.

중간층 산화물 막(10)은 N^+ 확산층(8)에 이르는 콘택 홀(11)에 의해서 관통시킨다.

전형적으로, 콘택 홀(11)은 N^+ 확산층(8)과 절연 산화물 막(4)에 이르러 절연 산화물 막(4)내로의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되는 정도로 형성한다.

상술한 바와 같이, 제 10 실시예의 반도체 디바이스에 의하면, 콘택 홀(11)의 저부가 절연 산화물 막(4)에 이르는 경우에도, 알루미늄 전극(14)으로부터 P-웰(2)로 전류가 누설되지 않는다는 장점이 제공되는데, 이는 절연 산화물 막(4)내로의 침식량이 작아 침식 깊이가 N^+ 확산층(8)의 깊이보다 작기 때문이다.

또한, 통상의 기술과는 달리, 제 10 실시예는 전류 누설 방지를 위한 확산층이 필요 없게 되므로, 공정 수가 감소되고 P-웰(2)과 N^+ 확산층(8)간의 용량이 증대될 가능성이 배제된다.

상기한 구조의 또다른 장점은 알루미늄 전극(14)과 반도체 기판(1)간의 용량 감소가 폴리실리콘 층(22)과 산화물 막(23)의 이중 층 구조를 이용하는 제 5 실시예에서 달성되는 것보다 더욱 크다.

제 11 실시예

제 11 실시예는 도 11(a) 내지 도 11(c)의 단면도에 도시한 바와 같이 제 10 실시예에서 설명한 반도체 디바이스를 제조하는 프로세스를 논증한다.

도 11(a)에 도시한 바와 같이, 이 프로세스에서는 먼저 반도체 기판(1)의 표면상에 절연 산화물 막(4), P-웰(2), N-웰(3), 게이트 전극(6), 측벽(7), N^+ 확산층(8) 및 고융점 실리사이드 층(9)을 형성한다. 이들 단계는 통상적인 기술의 것들과 동일하다.

다음, 도 11(b)에 도시한 바와 같이, 웨이퍼의 전체 표면상에 질화물 막(25)을 CVD에 의해 침착시키고 이 질화물 막(25)상에 CVD에 의해 중간층 산화물 막(10)을 침착시킨다.

다음, 도 11(c)에 도시한 바와 같이, 사전 규정된 위치에 개구를 가진 레지스트 패턴(도시안함)을 통해서 질화물 막(25)보다 중간층 산화물 막(10)에 대해 높은 선택도로 선택적 에칭을 수행하여 중간층 산화물 막(10)내에 홀을 개방시킨다. 이러한 에칭은 질화물 막(25)에서 중단된다. 다음, 질화물 막(25)을 그 홀을 통해 불소 함유 가스로 에칭한다.

최종 단계로서 장벽 금속 재료 및 알루미늄에 의한 스퍼터링을 행하고, 그 다음 선택적 에칭을 행하여 장벽 금속 층(28)과 알루미늄 전극(14)을 형성한다. (도 10 참조)

상술한 바와 같이, 제 11 실시예는 도 19(d)를 참조하여 설명한 통상의 기술과는 달리 전류 누설 방지를 위한 확산층(13)이 필요 없게 된다.

상술한 제 11 실시예에 따라 반도체 디바이스를 제조하기 위한 프로세스를 요약하면 다음과 같다.

이 프로세스에서는, 먼저 반도체 기판(1)의 표면상에 다수의 P-웰(활성 영역)(2)과 이들 P-웰을 서로로부터 전기적으로 절연하는 절연 산화물 막(4)을 형성한다. 각각의 P-웰은 N^+ 확산층(불순물 영역)(8) 및 그 위에 형성된 능동 소자를 가진다. 다음, 실리콘 반도체 기판(1)의 전체 표면을 실리콘 질화물 막(25)으로 피복한다.

다음, 실리콘 질화물 막(25)상에 중간층 산화물 막(10)을 형성하고 이 중간층 산화물 막상에 사전 규정된 개구를 가진 레지스트 패턴을 형성한다. 다음, 실리콘 질화물 막(25)에 비해 높은 선택도로 에칭을 행하여 중간층 산화물 막(10)내에 홀을 개방시킨다. 다음, 홀을 통한 에칭을 실리콘 질화물 막(25)에 대해 수행하여 N^+ 확산층(8)에 이르는 콘택 홀(11)을 개방시킨다. 이 콘택 홀(11)은 N^+ 확산층(8)과 절연 산화물 막(4)에 이르러 절연 산화물 막(4)내로의 침식 깊이가 N^+ 확산층(8)의 깊이보다 작게 되도록 형성한다.

상술한 바와 같이, 제 11 실시예는 두꺼운 중간층 산화물 막(10)의 에칭을 에칭 중단막으로서 사용되는 실리콘 질화물 막(25)에 의해서 차단하고 그 다음 콘택 홀(11)의 저부에서 얇은 실리콘 질화물 막(25)에 대해 부가적인 에칭을 수행하는 것이다. 이러한 에칭의 장점은 콘택 홀(11)의 저부에 대한 오버-에칭의 제어가 용이하며 과도한 오버-에칭의 필요성이 배제된다는 것이다. 따라서, 절연 산화물 막(4)내로의 침식량을 제한하는 것이 가능하게 된다.

결과적으로, 제 11 실시예에 따르면, 콘택 홀(11)은 절연 산화물 막(4)내로의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되도록 형성된다. 이같은 구조에 의하면, 알루미늄 전극(14)으로부터 P-웰(2)로의 전류 누설 흐름이 방지된다.

또한, 통상의 기술과는 달리, 제 11 실시예는 전류 누설 방지를 위한 확산층을 형성할 필요가 없게 되므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 감소된다.

제 12 실시예

본 발명의 제 12 실시예에 관련된 반도체 디바이스는 도 12의 단면도에 도시한 바와 같이 구성된다.

도 12를 참조하면, 절연 영역으로서의 절연 산화물(실리콘 이산화물) 막(4), 웨이퍼의 전체 표면상에 또는 보다 구체적으로는 고융점 실리사이드 층(9)상에 형성되는 실리콘 이산화물 막(26) 및 이 실리콘 이산화물 막상에 형성된 실리콘 질화막(25)으로 형성된다. 다른 부분들은 제 5 또는 6 실시예의 것들과 동일하므로 이들에 대한 설명은 생략한다.

제 12 실시예는 제 6 실시예와는 달리 도 12에 도시한 바와 같이 금속 실리사이드 막(9)과 질화막(25)간에 중간 삽입된 얇은 산화물 막(26)을 에칭 중단막으로서 사용하는 반면에, 제 6 실시예는 에칭 중단막으로서 금속 실리사이드 층(9)상에 침착되는 질화물 막(25)을 사용한다. 산화물 막(26)은 저온 침착에 의해 형성한 것이 바람직하며, 더욱 바람직하게는 NSG 막일 것이다.

제 12 실시예의 반도체 디바이스에서는 실리콘 반도체 기판(1)의 표면상에 제각기 N^+ 확산층(불순물 영역)(8)을 가진 다수의 P-웰(활성 영역)(2)과 이들 P-웰을 서로로부터 전기적으로 절연하는 절연 산화물 막(4)을 형성한 것을 특징으로 한다. 또한, 소자들이 위에 형성되는 웨이퍼의 전체 표면상에 실리콘 이산화물 막(26)을 형성하고, 이 실리콘 이산화물 막 상에 중간층 산화물 막(10)을 형성한다. 이 실리콘 이산화물 막(26)은 저온 침착에 의해 형성한 것이 바람직하며, 더욱 바람직하게는 NSG 막일 것이다.

이들 중간층 산화물 막(10), 실리콘 질화물 막(25) 및 실리콘 산화물 막(26)은 N^+ 확산층(8)에 이르는 콘택 홀(11)에 의해서 관통시킨다. 전형적으로, 콘택 홀(11)은 N^+ 확산층(불순물 영역)(8)과 절연 산화물 막(4)에 이르러 절연 산화물 막(4)내로의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되는 정도로 형성한다.

상술한 바와 같이, 제 12 실시예의 반도체 디바이스에 의하면, 콘택 홀(11)이 절연 산화물 막(4)에 이르는 경우에도, 알루미늄 전극(14)으로부터 P-웰(2)로 전류가 누설되지 않는다는 장점이 제공되는데, 이는 절연 산화물 막(4)내로의 침식량이 작아 침식 깊이가 N^+ 확산층(8)의 깊이보다 작기 때문이다.

또한, 통상의 기술과는 달리, 제 12 실시예는 전류 누설 방지를 위한 확산층이 필요 없게 되므로, 공정 수가 감소되고 P-웰(2)과 N^+ 확산층(8)간의 용량이 증대될 가능성이 배제된다.

상기한 구조의 또다른 장점은 실리콘 질화물 막(25)의 침착 동안에 금속 실리사이드 층(9)이 산화되지 않게 할 수 있고 또한 금속 실리사이드 층(9)의 저항이 증대되지 않게 할 수 있다는 것이다.

제 13 실시예

제 13 실시예는 도 13(a) 내지 도 13(c)의 단면도에 도시한 바와 같이 제 12 실시예에서 설명한 반도체 디바이스를 제조하는 프로세스를 논증한다.

도 13(a)에 도시한 바와 같이, 이 프로세스에서는 먼저 P-형 실리콘 등의 반도체 기판(1)의 표면상에 절연 영역(4), P-웰(2), N-웰(3), 게이트 전극(6), 측벽(7), N^+ 확산층(8) 및 고융점 실리사이드 층(9)을 형성한다. 이들 단계는 통상적인 기술의 것들과 동일하다.

다음, 도 13(b)에 도시한 바와 같이, 반도체(1)의 전체 표면상에 실리콘 이산화물 막(26)을 바람직하게는 저온 침착에 의해 형성한다. 더욱 바람직하게는, 실리콘 이산화물 막(26)이 USG(비도핑 실리케이트 유리) 또는 NSG(비실리케이트 유리) 막일 것이다. 그 일 예로서는 대기압 CVD에 의해 형성한 비도핑 산화물 막이 있다.

다음, 산화물 막(26)상에 CVD에 의해 질화물 막(25)을 침착시킨 후에 CVD에 의해서 중간층 산화물 막(10)을 침착시킨다.

다음, 도 13(c)에 도시한 바와 같이, 사전 규정된 위치에 개구를 가진 레지스트 패턴(도시안함)을 통해서 산화물 막과 질화물 막에 대해 높은 선택도로 중간층 산화물 막(10)을 선택적으로 에칭하여 중간층 산화물 막(10)내에 홀을 개방시킨다. 이러한 에칭은 질화물 막(25)에서 중단된다.

다음, 질화물 막(25) 및 산화물 막(NSG 막)(26)을 그 홀을 통해 불소 함유 가스에 의해 예를 들어 ECR 플라즈마 에칭 시스템을 사용하여 0.5 내지 0.8Pa(4 내지 6mTorr)에서 CHF_3/O_2 가스로 에칭한다.

최종 단계로서 장벽 금속 재료 및 알루미늄에 의한 스퍼터링을 행하고, 그 다음 선택적 에칭을 행하여 콘택 홀(11)내에 장벽 금속 층(28)을 형성하고 그 내에 알루미늄 전극(14)을 형성한다. (도 12 참조)

제 13 실시예에 관련된 반도체를 평가하기 위해, 에칭을 행하여 콘택 홀을 형성했다. 그 결과의 샘플은 도 14(a) 및 도 14(b)에 제각기 도시된 바와 같은 구조 및 평면 레이아웃을 가진다. 절연 산화물 막(4)내로의 (에칭으로 인한) 침식량을 도 15에 도시한 바와 같이 콘택 홀 내의 패턴(영역)에 대해 도시했다.

콘택 홀(11)이 절연 산화물 막(4)에 이르도록 구성한 (도 14(a) 및 도 14(b)에 도시된 바와 같은) 반도체 구조에서는, 에칭으로 인한 침식 깊이(D)는

$$D = 100 + 950 \times SB/(SA+SB)(Å)$$

으로 규정되며, 여기서 SA는 콘택 홀의 저부에서 절연 산화물 막(4)의 노출된 면적이고 SB는 금속 실리사이드 층(9)의 노출된 면적이다. D와 SB/(SA+SB)간의 관계는 도 15에 도시한 바와 같다.

이 식은 SB가 작고 SA가 클수록 D가 작아짐을 의미한다.

이 실시예에서는, N^+ 확산층(8)의 깊이(X_j)가 콘택 홀의 레이아웃에서 SA 및 SB로부터 계산한 D보다 크게 되도록 N^+ 확산층(8)을 형성했다.

상술한 제 13 실시예에 따라 반도체 디바이스를 제조하기 위한 프로세스를 요약하면 다음과 같다.

이 프로세스에서는, 먼저 반도체 기판(1)의 표면상에 다수의 P-웰(활성 영역)(2)과 이들 P-웰을 서로로부터 전기적으로 절연하는 절연 산화물 막(4)을 형성한다. 각각의 P-웰은 N^+ 확산층(불순물 영역)(8) 및 그 위에 형성된 능동 소자를 가진다. 다음, 반도체 기판(1)의 전체 표면을 산화물 막(실리콘 이산화물 막)(26)으로 피복한다. 다음, 이 산화물 막상에 질화물 막(실리콘 질화물 막)(25)을 형성한다.

다음, 실리콘 질화물 막(25)상에 중간층 산화물 막(10)을 형성하고 이 중간층 산화물 막상에 사전 규정된 개구(도시안함)를 가진 레지스트 패턴을 형성한다. 다음, 실리콘 질화물 막(25)에 비해 높은 선택도로 에칭을 행하여 중간층 산화물 막(10)내에 홀을 개방시킨다. 다음, 홀을 통한 에칭을 질화물 막(25) 및 산화물 막(26)에 대해 수행하여 N^+ 확산층(8)에 이르는 콘택 홀(11)을 개방시킨다.

바람직하게는 산화물 막(26)을 저온 침착에 의해 형성하고 더욱 바람직하게는 USG 막으로 형성해야 할 것이다.

이 콘택 홀(11)은 N^+ 확산층(8)과 절연 산화물 막(4)에 이르러 절연 산화물 막(4)내로의 침식 깊이가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되도록 형성한다.

또한, N^+ 확산층(8)은 그의 깊이(X_j)가 콘택 홀(11)의 레이아웃으로부터 D를 추산하는 것에 의해 절연 산화물 막(4)내로의 침식 깊이(D)보다 크도록 해야 할 것이다.

상술한 바와 같이, 제 13 실시예는 두꺼운 중간층 산화물 막(10)의 에칭을 에칭 중단막으로서 사용되는 질화물 막(25)에 의해서 차단하고 그 다음 콘택 홀(11)의 저부에서 얇은 질화물 막(25) 및 산화물 막(26)에 대해 부가적인 에칭을 수행하는 것을 특징으로 한다. 이러한 에칭의 장점은 콘택 홀(11)의 저부에 대한 오버-에칭의 제어가 용이하며 과도한 오버-에칭의 필요성이 배제된다는 것이다. 따라서, 절연 산화물 막(4)내로의 침식량을 제한하는 것이 가능하게 된다.

결과적으로, 제 13 실시예에 따르면, 콘택 홀(11)은 절연 산화물 막(4)내로의 침식 깊이(D)가 N^+ 확산층(8)의 깊이(X_j)보다 작게 되도록 형성된다. 이같은 구조에 의하면, 알루미늄 전극(14)으로부터 P-웰(2)로의 전류 누설 흐름이 방지된다.

또한, 통상의 기술과는 달리, 제 13 실시예는 전류 누설 방지를 위한 확산층을 형성할 필요가 없게 되므로, P-웰(2)과 N^+ 확산층(8)간의 용량이 감소된다.

제 14 실시예

본 발명의 제 14 실시예에 관련된 반도체 디바이스는 도 16의 부분 평면도에 도시한 바와 같이 구성된다.

도 16을 참조하면, N^+ 확산층(불순물 영역)(8)과 활성 영역들을 서로로부터 절연하는 절연 산화물 막(4)이 도시된다. 이 실시예에서, N^+ 확산층(8)은 절연 산화물 막(4)내로 침입하는 돌출부(8a)를 가지며, 콘택 홀(11)은 N^+ 확산층(8)의 돌출부(8a)와 그 돌출부를 둘러싸는 절연 산화물 막(4)에 이르도록 형성된다.

도 16에서, SA는 콘택 홀의 저부에서 절연 영역(절연 산화물 막)(4)의 노출된 면적이고 SB는 콘택 홀의 저부에서 금속 실리사이드 층(9)의 노출된 면적이다.

이 실시예에서는, (도 16에 도시한 바와 같이) 콘택 홀(11)내에 3-방향에서 절연 산화물 막(4)을 포함하도록 하고 또한 SA 면적을 크게 하여, 제 13 실시예에서 설명한 바와 같이 SA 및 SB와 관련된 침식 깊이(D)가 감소되도록 했다.

상기한 제 14 실시예와 관련된 반도체 디바이스의 구조를 요약하면 다음과 같다.

제 14 실시예에서는, P-웰(활성 영역)(2)이 P-웰(2)과 절연 산화물 막(4)간의 경계를 가로질러 절연 산화물 막(4) 내로 돌출하는 돌출부를 가진다. 달리 말해서, N^+ 확산층(8)은 돌출부(8a)를 갖도록 형성된다. 또한, 콘택 홀(11)은 N^+ 확산층(8)의 돌출부(8a)와 그 돌출부를 둘러싸는 절연 산화물 막(4)에 이르도록 형성된다.

더욱 구체적으로 말해서, 콘택 홀(11)은, 그 홀이 N^+ 확산층(8)의 돌출부(8a)에 이르고, 절연 산화물 막(4)이 돌출부(8a)의 선단부 및 측부들과 접하는 식으로 형성된다.

상술한 바와 같이, 이 실시예에 따르면, 콘택 홀(11)내에 적당한 패턴을 선택하는 것에 의해 절연 산화물 막(4)내로의 침식량을 감소시킬 수 있다. 또한, N^+ 확산층(8)을 그의 깊이가 절연 산화물 막(4)의 예측되는 침식량보다 크게 되도록 형성할 수 있다.

이 실시예에 따른 레이아웃에 의하면, P-웰(2)과 N^+ 확산층(8)간의 용량이 감소될 수 있다.

제 15 실시예

본 발명의 제 15 실시예에 관련된 반도체 디바이스는 도 17의 부분 평면도에 도시한 같이 구성된다.

이 실시예는 제 14 실시예에 비해 장점을 가진다. 제 14 실시예에서, 콘택 홀(11)이 도 17에 도시한 바와 같이 x 방향으로 변위된 경우에는, 콘택 홀의 저부에서 금속 실리사이드 층(9)의 노출된 면적(SB)이 변하므로 접점 저항이 변한다.

이 실시예에서, 절연막(4)의 노출된 영역은 콘택 홀(11)내의 두 방향에 의해서 결정된다.

달리 말해서, 이 실시예에서 콘택 홀(11)은 그 홀이 N^+ 확산층(8)의 돌출부(8a)의 중간 부분에 이르고 절연 산화물 막(4)이 P-웰(2)의 돌출부 내에 형성된 N^+ 확산층(8)의 돌출부(8a)의 선단부를 제외한 그 돌출부(8a)의 양측부와 접하도록 형성된다.

이 구조의 장점은 콘택 홀(11)이 x 방향으로 변위되더라도 금속 실리사이드 층(9)의 노출된 면적(SB)이 변하지 않고 그대로 유지됨으로써 접점 저항이 안정적으로 유지된다는 것이다.

분명, 상술한 개시 내용으로부터 본 발명의 많은 수정 및 변형이 가능할 것이다. 따라서, 당업자라면, 특허청구범위의 범주 내에서 상술한 방식이 아닌 다른 방식으로 구현할 수 있음을 알 것이다.

발명의 효과

본 발명의 효과 및 장점을 요약하면 다음과 같다.

상술한 바와 같이, 본 발명에 따른 반도체 디바이스에 의하면, 중간층 접속을 위한 콘택 홀이 절연 영역에 이르더라도 절연 영역 내로의 침식량이 작기 때문에 또는 콘택 홀이 활성 영역의 불순물 영역으로부터 절연되어 접점이 불순물 영역과 접촉하지 않기 때문에 접점으로부터 불순물 영역으로의 전류 누설 흐름이 방지된다는 장점이 제공된다.

또한, 본 발명의 반도체 디바이스에서는, 통상의 기술과는 달리, 전류 누설을 방지하기 위한 확산층이 필요하지 않기 때문에, 반도체 기판(또는 웰)과 불순물 영역간의 용량을 감소시킬 수 있고 또한 확산층이 없으므로 제조 공정 수가 줄어든다.

(57) 청구의 범위

청구항 1.

반도체 디바이스에 있어서,

반도체 기판과,

상기 반도체 기판의 표면상에 사전설정된 깊이로 형성된 다수의 불순물 영역과,

상기 반도체 기판의 표면상에 상기 불순물 영역들을 서로로부터 전기적으로 절연시키기 위해 형성된 절연 영역과,

상기 실리콘 반도체 기판의 표면상에 형성된 중간층 절연막과,

상기 중간층 절연막을 관통하여 상기 불순물 영역과 상기 절연 영역간의 경계의 양쪽편 영역에 이르는 콘택 홀과,

상기 콘택 홀 내에 충진된 접점 재료

을 구비하며, 상기 절연 영역은 상기 중간층 절연막보다 사실상 높은 에칭 선택도를 가진 재료를 상기 불순물 영역의 깊이보다 큰 깊이까지 포함하며, 상기 콘택 홀의 저부는 상기 절연 영역 내로 상기 불순물 영역의 깊이보다 작은 깊이로 연장하는 반도체 디바이스.

청구항 2.

반도체 디바이스에 있어서,

반도체 기판과,

상기 실리콘 반도체 기판의 표면상에 형성된 다수의 활성 영역과,

상기 실리콘 반도체 기판의 표면상에 상기 활성 영역들을 서로로부터 전기적으로 절연시키기 위해 형성된 절연 영역과,

상기 실리콘 반도체 기판의 표면상에 형성된 중간층 절연막과,

상기 중간층 절연막을 관통하여 상기 불순물 영역과 상기 절연 영역간의 경계의 양쪽편 영역에 이르는 콘택 홀과,

상기 콘택 홀 내에 충진된 접점 재료

을 구비하며, 상기 절연 영역은 적어도 상기 활성 영역들과의 경계에서 상기 중간층 절연막보다 사실상 높은 에칭 선택도를 가진 재료를 포함하는 반도체 디바이스.

청구항 3.

반도체 디바이스에 있어서,

반도체 기판과,

상기 반도체 기판의 표면상에 사전설정된 깊이로 형성된 다수의 불순물 영역과,

상기 반도체 기판의 표면상에 상기 불순물 영역들을 서로로부터 전기적으로 절연시키기 위해 형성된 절연 영역과,

상기 반도체 기판의 전체 표면상에 형성된 중간막과,

상기 중간막상에 형성된 중간층 절연막과,

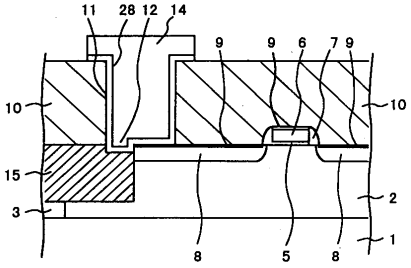
상기 중간층 절연막과 상기 중간막을 관통하여 상기 불순물 영역과 상기 절연 영역간의 경계의 양쪽편 영역에 이르는 콘택 홀과,

상기 콘택 홀 내에 충진된 접점 재료

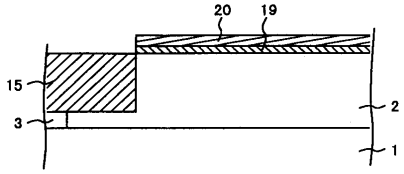
을 구비하며, 상기 중간막은 상기 중간층 절연막보다 사실상 높은 에칭 선택도를 가진 재료를 포함하며, 상기 콘택 홀의 저부는 상기 절연 영역 내로 상기 불순물 영역의 깊이보다 작은 깊이로 연장하는 반도체 디바이스.

도면

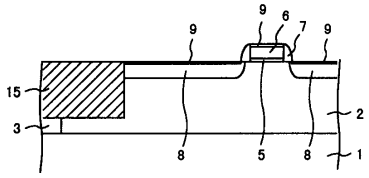
도면 1



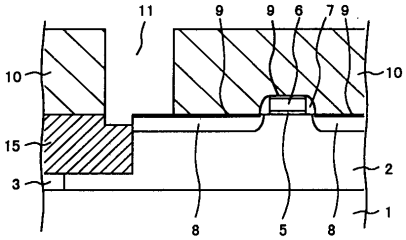
도면 2a



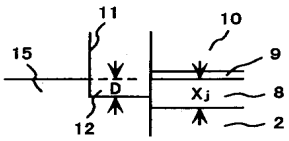
도면 2b



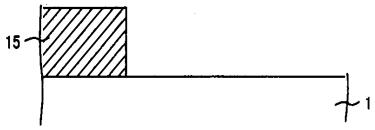
도면 2c



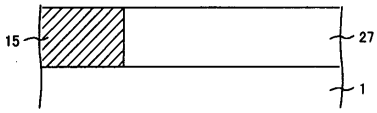
도면 2d



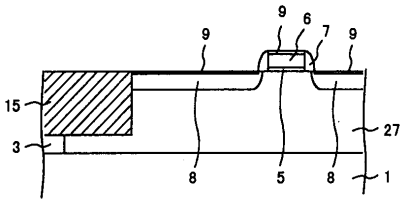
도면 3a



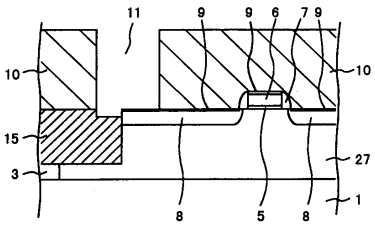
도면 3b



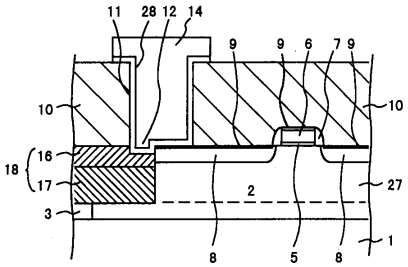
도면 3c



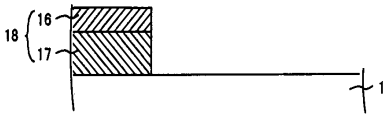
도면 3d



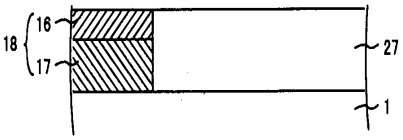
도면 4



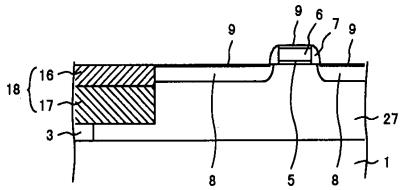
도면 5a



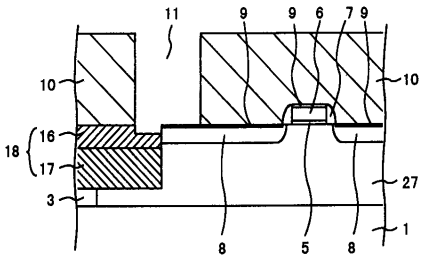
도면 5b



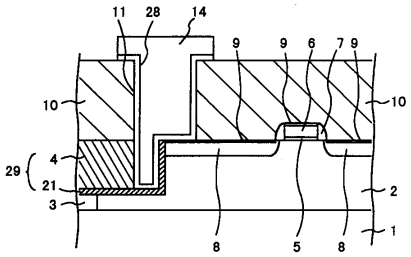
도면 5c



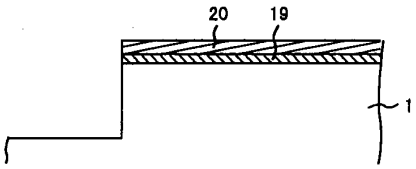
도면 5d



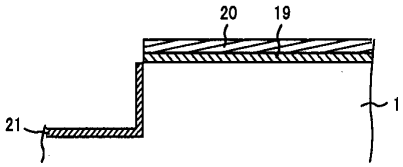
도면 6



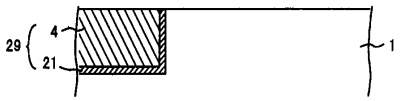
도면 7a



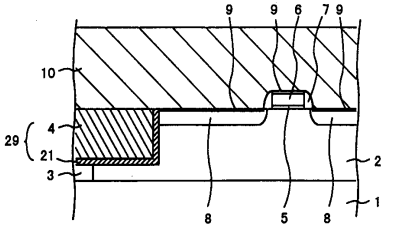
도면 7b



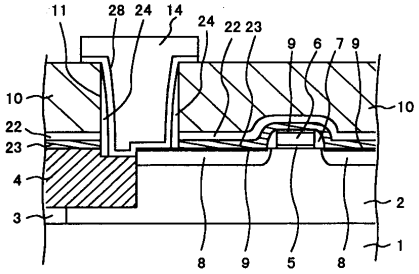
도면 7c



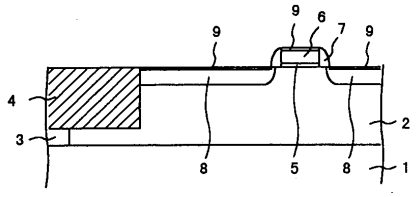
도면 7d



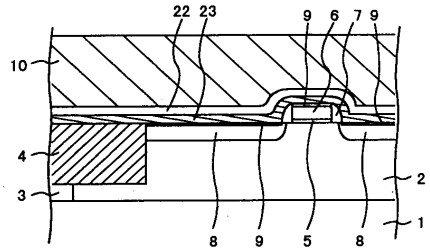
도면 8



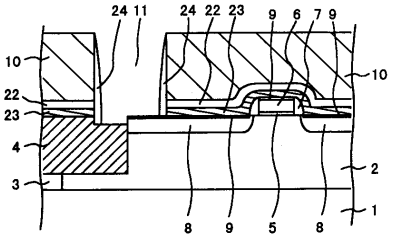
도면 9a



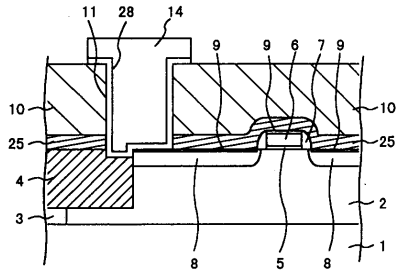
도면 9b



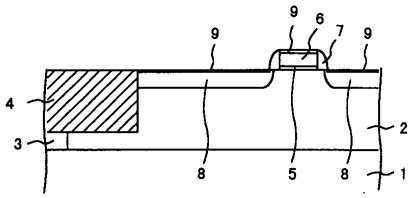
도면 9c



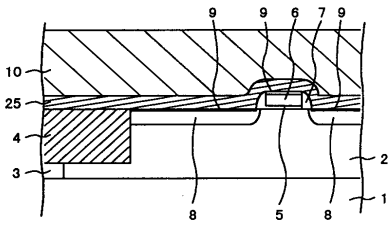
도면 10



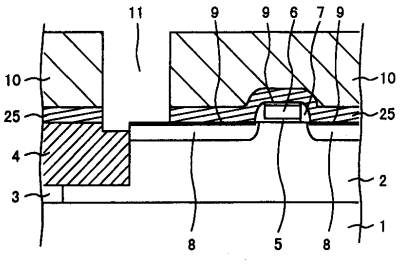
도면 11a



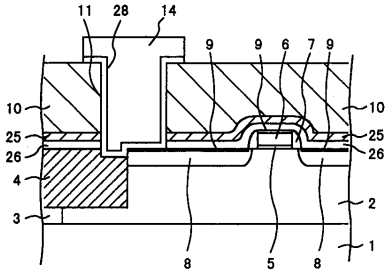
도면 11b



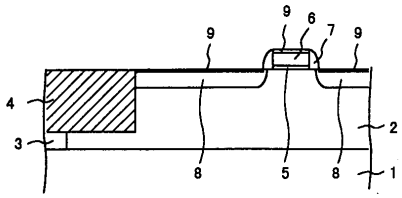
도면 11c



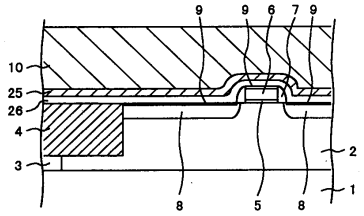
도면 12



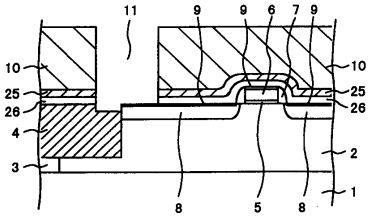
도면 13a



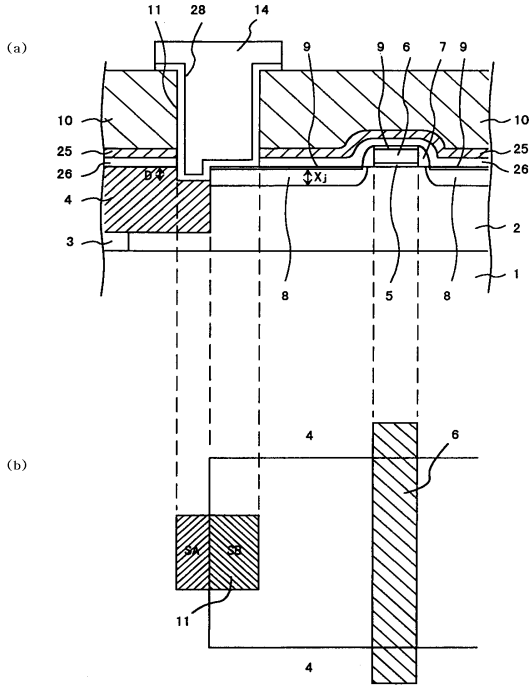
도면 13b



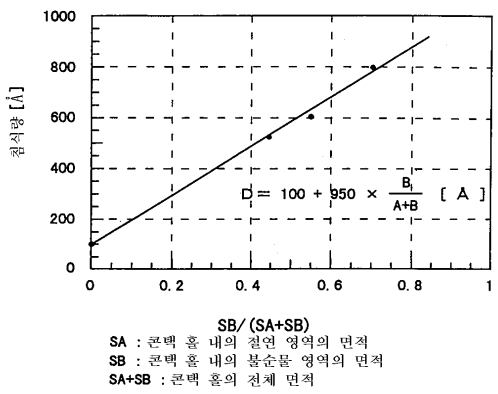
도면 13c



도면 14

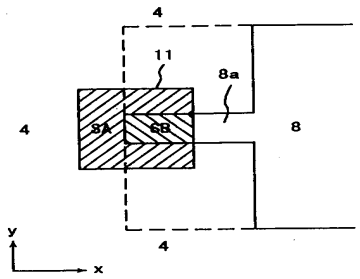


도면 15

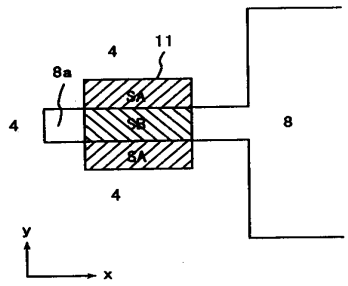


SA : 콘택 홀 내의 철연 영역의 면적
SB : 콘택 홀 내의 불순물 영역의 면적
SA+SB : 콘택 홀의 전체 면적

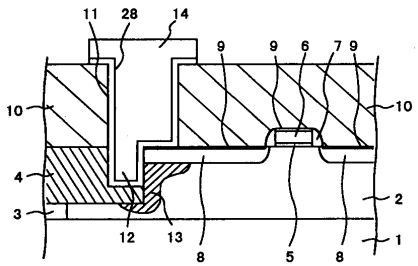
도면 16



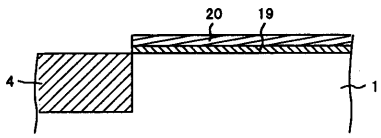
도면 17



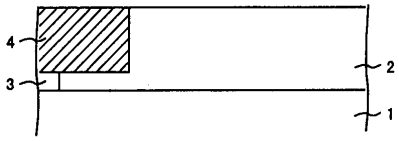
도면 18



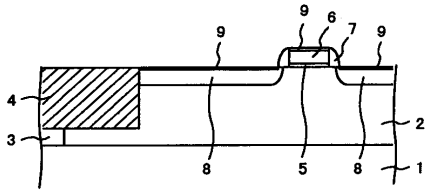
도면 19a



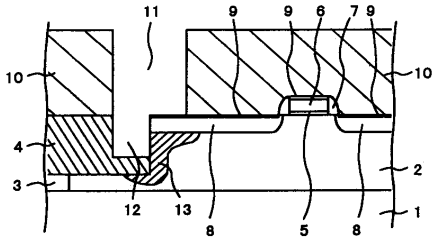
도면 19b



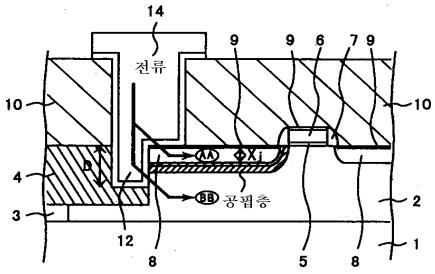
도면 19c



도면 19d



도면 20a



도면 20b