(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4139687号
(P4139687)

(45)発行日　平成20年8月27日(2008.8.27)　(24)登録日　平成20年6月13日(2008.6.13)

(51)Int.Cl.			F I		
G02F	1/133	(2006.01)	G02F	1/133	505
G09G	3/20	(2006.01)	G02F	1/133	550
G09G	3/36	(2006.01)	G09G	3/20	612F
			G09G	3/20	612U
			G09G	3/20	623B

請求項の数 15　(全 12 頁)　最終頁に続く

(21)出願番号　特願2002-570216 (P2002-570216)
(86)(22)出願日　平成14年2月25日 (2002.2.25)
(65)公表番号　特表2004-523003 (P2004-523003A)
(43)公表日　平成16年7月29日 (2004.7.29)
(86)国際出願番号　PCT/IB2002/000570
(87)国際公開番号　WO2002/071378
(87)国際公開日　平成14年9月12日 (2002.9.12)
審査請求日　平成17年2月23日 (2005.2.23)
(31)優先権主張番号　0105148.1
(32)優先日　平成13年3月2日 (2001.3.2)
(33)優先権主張国　英国 (GB)

(73)特許権者　307003227
ティーピーオー　ホンコン　ホールディング　リミテッド
香港，シャティン，サイエンス　パーク　イースト　アベニュー，フィリップス　エレクトロニクス　ビルディング　５，フロア　２
(74)代理人　100072051
弁理士　杉村　興作
(74)代理人　100107227
弁理士　藤谷　史朗
(74)代理人　100114292
弁理士　来間　清志
(74)代理人　100134005
弁理士　澤田　達也

最終頁に続く

(54)【発明の名称】アクティブマトリックスディスプレイデバイス

(57)【特許請求の範囲】

【請求項１】

行及び列に配置された液晶画素のアレイを有するディスプレイデバイスであって、画素駆動信号が与えられる列導体を画素の各列が共有し、画素駆動信号を発生する列アドレス回路が設けられており、この列アドレス回路は、別々の信号レベルラインに可能な全ての駆動信号レベルを発生する回路と、各信号レベルラインと関連するバッファとを有しており、バッファの出力は列に選択的に切換えて供給され、列アドレス回路が更に、各列に与える信号レベルを記憶するメモリを有し、バッファは記憶された信号レベルに応じて制御されるようになっているディスプレイデバイス。

【請求項２】

請求項１に記載のディスプレイデバイスにおいて、各バッファに対するバイアス電流が、バッファ出力を切換えて供給すべき列の個数に応じて制御されるようになっているディスプレイデバイス。

【請求項３】

請求項１に記載のディスプレイデバイスにおいて、各信号レベルラインが複数のバッファと関連しており、これら複数のバッファの各々は互いに異なる出力負荷に適しており、バッファ出力を切換えて供給すべき列の個数に応じて前記複数のバッファの１つを選択するようになっているディスプレイデバイス。

【請求項４】

請求項３に記載のディスプレイデバイスにおいて、各信号レベルラインに２つのバッフ

ァが関連しているディスプレイデバイス。
【請求項５】
請求項１に記載のディスプレイデバイスにおいて、各バッファが複数の出力段を有し、使用する出力段の個数が、バッファ出力を切換えて供給すべき列の個数に応じて制御されるようになっているディスプレイデバイス。
【請求項６】
請求項１に記載のディスプレイデバイスにおいて、このディスプレイデバイスが更に、追加のバッファを有し、この追加のバッファは、個々のバッファ出力を切換えて供給すべき列の個数が列の総数の半分を超えた場合に用いられるようになっているディスプレイデバイス。
【請求項７】
請求項６に記載のディスプレイデバイスにおいて、複数の追加のバッファが設けられ、これら追加のバッファは、個々のバッファ出力を切換えて供給すべき列の個数が列の総数の予め決定した一部を超えた場合に用いられるようになっているディスプレイデバイス。
【請求項８】
請求項１～７のいずれか一項に記載のディスプレイデバイスにおいて、各画素が薄膜トランジスタスイッチング装置と液晶セルとを有し、各列の画素が、当該列における画素の薄膜トランジスタのゲートに接続された行導体を共有しており、行駆動回路が行の画素のトランジスタをスイッチング制御する行アドレス信号を生じるようになっているディスプレイデバイス。
【請求項９】
行及び列に配置された液晶画素のアレイを有するディスプレイデバイスに画素駆動信号を供給する画素駆動信号供給方法であって、
可能な全ての画素駆動信号レベルを発生させる工程と、
各画素駆動信号レベルを関連のバッファに供給する工程と、
画素の行に対する必要な画素駆動信号をメモリ内に記憶する工程と、
各画素駆動信号によりアドレスすべき行の画素の必要数を計算する工程と、
この計算されて画素の必要数に応じてバッファを制御する工程と、
アドレスすべき行に対する行アドレス周期中、バッファの出力を列上に切換えて供給する工程と
を有する画素駆動信号供給方法。
【請求項１０】
請求項９に記載の画素駆動信号供給方法において、バッファを制御する前記工程が、バッファに適切なバイアス電流を供給する工程を有している画素駆動信号供給方法。
【請求項１１】
請求項９に記載の画素駆動信号供給方法において、バッファを制御する前記工程が、各画素駆動信号レベルに対し二者択一のバッファを選択する工程を有している画素駆動信号供給方法。
【請求項１２】
請求項９に記載の画素駆動信号供給方法において、バッファを制御する前記工程が、各バッファに接続すべき複数の出力段を選択する工程を有している画素駆動信号供給方法。
【請求項１３】
請求項９に記載の画素駆動信号供給方法において、バッファを制御する前記工程が、個々のバッファ出力を切換えて供給する必要のある列の個数が列の総数の半分を超える場合に個々のバッファの出力負荷を共有する追加のバッファを用いる工程を有している画素駆動信号供給方法。
【請求項１４】
請求項１３に記載の画素駆動信号供給方法において、バッファ出力を切換えて供給する必要のある列の個数が列の総数のうち予め決定した一部を超える場合に１つ以上のバッファの出力負荷を共有する複数の追加のバッファを用いる画素駆動信号供給方法。

【請求項１５】
別々の信号レベルライン上に可能なあらゆる駆動信号レベルを発生する回路と、各信号レベルラインと関連するバッファとを有し、液晶ディスプレイの列を駆動する列駆動回路であって、バッファの出力が列出力上に選択的に切換えて供給されるようになっており、列駆動回路が更に、各列に与えるべき信号レベルを記憶するメモリを有しており、バッファは記憶された信号レベルに応じて制御されるようになっている列駆動回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アクティブマトリックスディスプレイデバイス、特にディスプレイの画素に駆動信号を供給するのに用いる回路に関するものである。
【０００２】
アクティブマトリックスディスプレイデバイスは、代表的に、行及び列に配置した画素のアレイを有する。各行の画素は、この行における画素の薄膜トランジスタのゲートに接続された行導体を共有している。各列の画素は、画素駆動信号が与えられる列導体を共有している。行導体における信号は、トランジスタがターンオンしているかターンオフしているかを決定するものであり、この行導体における高電圧パルスによりトランジスタがターンオンすると、列導体からの信号が液晶材料の領域に流され、これにより液晶材料の光透過特性を変える。行電極パルスを除去した後にも液晶材料上に電圧が維持されているようにするために、画素構造の一部として追加の蓄積キャパシタを設けることができる。米国特許第 5130829号明細書には、アクティブマトリックスディスプレイデバイスの設計がより詳細に開示されている。
【０００３】
アクティブマトリックスディスプレイデバイスに対するフレーム（フィールド）周期では、画素の行を短時間でアドレスする必要があり、従って、液晶材料を所望の電圧レベルに充電又は放電させるためには、トランジスタの電流駆動能力に条件が課せられる。これらの電流条件を満足させるためには、薄膜トランジスタに印加されるゲート電圧が、約３０ボルトだけ離れた値間で変動する必要がある。例えば、（ソースに対して）約－１０ボルト又はそれよりも低いゲート電圧を印加することによりトランジスタをターンオフでき、一方、液晶材料を充分に急速に充電又は放電させるのに必要とするソース‐ドレイン電流を生じるのに充分にトランジスタをバイアスするには、約２０ボルト又はそれよりも高い電圧が必要になる。
【０００４】
行導体でこのように大きな電圧変動を得るには、高電圧素子を用いて行駆動回路を構成する必要がある。
【０００５】
列導体に与えられる電圧は、代表的に約１０ボルトだけ変化し、この変化は、液晶材料を白及び黒状態間で駆動するのに要する駆動信号間の差を表わす。列導体における電圧変動を低減させうる種々の駆動方式が提案されている為、列駆動回路には低電圧素子を用いることができる。いわゆる“共通電極駆動方式”においては、液晶材料層の全体に接続された共通電極が発振電圧に駆動される。いわゆる“４レベル駆動方式”は、容量結合効果を用いて列導体における電圧変動を低減させるために、より複雑な行電極波形を用いる。
【０００６】
これらの駆動方式によれば、列駆動回路に対し低電圧素子を用いうるようになる。しかし、列駆動回路では、複雑性及び電力の非効率性が依然として大きい。各行が順番にアドレスされ、いずれの１行の行アドレス期間中にも、各列に画素信号が与えられる。従来では、行アドレス周期の全期間に亙り列中の画素を駆動信号レベルに保持するために、各列にバッファが設けられていた。この多数のバッファの為に電力消費量が高くなった。
【０００７】
群の列間でバッファを共有する多重方式を形成することが提案された。バッファの出力

は群の列に順番に切換る。バッファが１つの列に信号を与えている際には、このバッファはスイッチにより他の列から分離されている。ディスプレイのライン周期は、列を所要電圧に充電するのに要する時間よりも著しく長い為、多重化は可能である。モバイル分野の小型のディスプレイでは、ライン周期を１５０μｓよりも長くでき、一方、１列を充電するのに要する時間は代表的に１０μｓよりも短い。

【０００８】

列が所要の電圧に充電され、且つこの列への所要の電圧の印加が終了された後に、充電された列のキャパシタンスと画素キャパシタンスとの間で電荷転送が行われる。列キャパシタンスは画素キャパシタンスの約３０倍にすることができる為、画素への電荷転送による電圧変化はほんの僅かとなる。しかし、この電荷転送によれば、（ＴＦＴの抵抗値が高い結果）画素の時定数が大きくなるにもかかわらず、短い列アドレスパルスを用いて画素を充電しうるようになる。

【０００９】

この多重方式に対する問題は、群内の列間にクロストークがあるということである。その理由は、特に、群のうちの１つの列を除く全ての列が如何なる時点においても実効的に浮動状態にあり、従って、信号レベルの変動を受けやすい為である。行アドレス周期中、行中の全ての画素のＴＦＴがスイッチオンされる（実際にはこれにより列キャパシタンスと画素との間で電荷転送を可能にする）為、列導体におけるいかなる信号変動もクロストークの結果として画素に伝達される。

【００１０】

本発明は、列駆動回路にとって必要とされるバッファの個数を減少させる他の方法を提供することにある。

【００１１】

本発明の第１の観点によれば、行及び列に配置された液晶画素のアレイを有するディスプレイデバイスであって、画素駆動信号が与えられる列導体を画素の各列が共有し、画素駆動信号を発生する列アドレス回路が設けられており、この列アドレス回路は、別々の信号レベルラインに可能な全ての駆動信号レベルを発生する回路と、各信号レベルラインと関連するバッファとを有しており、バッファの出力は列に選択的に切換えて供給され、列アドレス回路が更に、各列に与える信号レベルを記憶するメモリを有し、バッファは記憶された信号レベルに応じて制御されるようになっているディスプレイデバイスを提供するものである。

【００１２】

本発明は、可能な各グレーレベル出力に対しバッファをグレーレベル発生回路に設けた他の解決策を提供する。バッファの応答は出力負荷に極めて依存し、これらのバッファは代表的に、特定の範囲の出力負荷に対し適しているように設計される。ディスプレイには多数の列がある為、バッファの出力負荷には、バッファ出力を与える必要のある列の個数の関数として極めて大きな変化が生じる。従って、記憶された信号レベルに応じてバッファを制御し、いかなる出力負荷に対しもバッファが確実に安定化されるようにする。

【００１３】

一例では、各バッファに対するバイアス電流が、バッファ出力を切換えて供給すべき列の個数に応じて制御されるようにする。

【００１４】

他の例では、各信号レベルラインが複数のバッファと関連しており、これら複数のバッファの各々は互いに異なる出力負荷に適しており、バッファ出力を切換えて供給すべき列の個数に応じて前記複数のバッファの１つを選択するようにする。各信号レベルラインは２つのバッファと関連させることができる。

【００１５】

更に他の例では、各バッファが複数の出力段を有し、使用する出力段の個数が、バッファ出力を切換えて供給すべき列の個数に応じて制御されるようにする。

【００１６】

更に他の例では、追加のバッファを設け、この追加のバッファは、個々のバッファ出力を切換えて供給すべき列の個数が列の総数の半分を超えた場合に用いられるようにする。

【００１７】

これらの各例は、バッファ構成を安定化するために、各バッファに必要とする出力負荷を用いてバッファ構成を制御しうるようにする配列を得るものである。グレーレベルの個数は代表的に列の個数よりも著しく少ない為、本発明の構成によれば、必要とするバッファの個数が低減される。

【００１８】

好ましくは、各画素が薄膜トランジスタスイッチング装置と液晶セルとを有し、各列の画素が、当該列における画素の薄膜トランジスタのゲートに接続された行導体を共有しており、行駆動回路が行の画素のトランジスタをスイッチング制御する行アドレス信号を生じるようにする。

【００１９】

本発明の第２の観点によれば、行及び列に配置された液晶画素のアレイを有するディスプレイデバイスに画素駆動信号を供給する画素駆動信号供給方法であって、

可能な全ての画素駆動信号レベルを発生させる工程と、

各画素駆動信号レベルを関連のバッファに供給する工程と、

画素の行に対する必要な画素駆動信号をメモリ内に記憶する工程と、

各画素駆動信号によりアドレスすべき行の画素の必要数を計算する工程と、

この計算されて画素の必要数に応じてバッファを制御する工程と、

アドレスすべき行に対する行アドレス周期中、バッファの出力を列上に切換えて供給する工程と

を有する画素駆動信号供給方法を提供する。

【００２０】

バッファを制御する前記工程は、バッファに適切なバイアス電流を供給する工程を有するか、又は各画素駆動信号レベルに対し二者択一のバッファを選択する工程を有するか、又は各バッファに接続すべき複数の出力段を選択する工程を有するようにしうる。

【００２１】

本発明は、別々の信号レベルライン上に可能なあらゆる駆動信号レベルを発生する回路と、各信号レベルラインと関連するバッファとを有し、液晶ディスプレイの列を駆動する列駆動回路であって、バッファの出力が列出力上に選択的に切換えて供給するようになっており、列駆動回路が更に、各列に与えるべき信号レベルを記憶するメモリを有し、バッファは記憶された信号レベルに応じて制御されるようになっている列駆動回路をも提供する。

【００２２】

本発明の実施例を以下に添付図面を用いて詳細に説明する。

図１は、アクティブマトリックス液晶ディスプレイに対する通常の画素構造を示す。ディスプレイは行及び列の画素アレイとして構成されている。各行の画素は行導体１０を共用し、各列の画素は列導体１２を共用している。各画素は、共通の列導体１２と共通電位点１８との間に直列に配置された薄膜トランジスタ（ＴＦＴ）１４及び液晶セル１６を有する。トランジスタ１４は共通の行導体１０に与えられる信号によりスイッチオン及びスイッチオフされる。従って、行導体１０は関連する画素行の各トランジスタ１４のゲート１４ａに接続されている。各画素は更に、一端２２で次の行電極、又は前の行電極、又は別のキャパシタ電極に接続されている蓄積キャパシタ２０を有することができる。この蓄積キャパシタ２０は、トランジスタ１４がターンオフした後に駆動電圧を液晶セル１６の両端間に維持する手助けをする。キックバックのような種々の影響を低減せしめたり、画素キャパシタンスのグレーレベル依存性を低減せしめたりするには、総合の画素キャパシタンスを更に高くするのも望ましい。

【００２３】

必要なグレーレベルを得るための所望の電圧に液晶セル１６を駆動するには、行導体１

０における行アドレスパルスと同期した適切な信号を列導体１２に与える。この行アドレスパルスは薄膜トランジスタ１４をターンオンさせ、これにより、列導体１２が液晶セル１６を所望の電圧に充電するとともに蓄積キャパシタ２０を同じ電圧に充電するようにする。

【００２４】

トランジスタ１４は行アドレスパルスの終了時にターンオフする。蓄積キャパシタ２０は、液晶漏洩効果を減少させるとともに、液晶セルキャパシタンスの電圧依存性により生ぜしめられる画素キャパシタンスの百分率変化を減少させる。行は、これらの全てが１フレーム周期内でアドレスされるように順次にアドレスされ、次のフレーム周期内でリフレッシュされる。

【００２５】

図２に示すように、行アドレス信号は行駆動回路３０により与えられ、画素駆動信号は列アドレス回路３２により表示画素のアレイ３４に与えられる。

【００２６】

アモルファスシリコン薄膜装置として構成した薄膜トランジスタ１４を介して充分な電流を取出しうるようにするには、高いゲート電圧を用いる必要がある。特に、トランジスタがターンオンしている期間は、ディスプレイをリフレッシュさせる必要のある全フレーム期間を行数で分割した期間にほぼ等しい。オフ状態の漏洩電流を必要な程度小さくさせ、液晶セル１６を使用可能時間内で充電又は放電させるためにオン状態で充分な電流を流すために、オン状態のゲート電圧とオフ状態のゲート電圧とを約３０ボルト相違させることは周知である。その結果、行駆動回路３０は高電圧素子を用いる。

【００２７】

図１のディスプレイを駆動するには、種々の既知のアドレス様式があるが、これらの点はここで詳細に説明しない。既知の動作技術の幾つかは、例えば、米国特許第 5130829号明細書及び国際公開パンフレットＷＯ99/52012に詳細に説明されている。これらの文献は参考のためのものである。本発明はいかなる特定の駆動様式にも適合でき、この理由で、いずれの駆動様式の正確な動作の更なる説明も省略する。これは当業者にとって周知なことである。

【００２８】

図３は、通常の列駆動回路を示す。個数ｎの異なる画素駆動信号レベルはグレーレベル発生器４０、例えば、抵抗アレイにより発生される。スイッチングマトリックス４２が各列（Column）への所要レベルの切換えを制御し、このスイッチングマトリックスはラッチ回路４４からのデジタル入力に基づくｎ個のグレーレベルのうちの１つを選択するコンバータ４３のアレイを有する。このデジタル入力は、必要とする画像データ４５を記憶しているＲＡＭから取出される。各列には、列中の画素を行アドレス周期の全期間の間所要の駆動信号レベルに保持するバッファ４６が設けられている。バッファ４６の個数がこのように多い為に、電力消費量が高くなる。

【００２９】

アクティブマトリックスＬＣＤを駆動する低電力チップセットにおける電力を低減させるためには、バッファの全個数を少なくする必要がある。これにより、占領される面積も小さくしうる。本発明によれば、グレーレベル電圧を発生させ、次に、図４に示すように関連のバッファを経て関連の列に切換えて供給する。

【００３０】

グレーレベル発生器５０は、最大電圧点及び最小電圧点間の抵抗アレイを有しており、各タップ５２が関連のバッファ５４に対し設けられている。合計でＮ個のバッファがあり、これらがＮ個のグレースケールレベルを生ぜしめる。スイッチングマトリックス５６にはＮ個の信号レベルが与えられ、このスイッチングマトリックスがＮ個のレベルうちの１つのレベルを、ＲＡＭから与えられる画像データ５８に基づいて各列に切換えて供給するようになっている。各列は、Ｎ個のうちの１つを選択する１オブＮ（１of Ｎ）セレクタ５７と関連する。図４の例では、必要とする画素データが６ビットワードにより規定されて

おり、グレースケールレベルの総数Ｎを６４とする。

【００３１】

いずれの１つのバッファ５４が駆動している列の個数は、アドレスされた行において同じ画素データを有する画素の個数に依存する。このことは、５００個の列を有するディスプレイの場合、各バッファが有する可能な最大／最小負荷比は５００／１であることを意味する。この負荷範囲はあまりにも大きすぎ、バッファが不安定又は極めて大きくなってしまう。これを回避するために、本発明によれば、列の個数が分り、従って、各バッファが対処している負荷を決定しうる構成を提供する。

【００３２】

行に対する画素データのヒストグラムをＲＡＭ中に構成する。これにより、各バッファが駆動している列数を決定しうるようにし、従って、負荷を計算しうるようにする。次に、図４に矢印６０で線図的に示し、ＲＡＭヒストグラムデータを表わす記憶された画素データに応じてバッファを制御する。

【００３３】

図５は、ヒストグラムデータを記憶するＲＡＭの構成を示す。画像データは、通常のように、入力端７０においてホストから受ける。この画像データは、ラインストア７４を用いているメモリの画像データ記憶区分７２内に書込まれる。本発明は、画像中の各行に対するヒストグラムデータを記憶するのに準備したＲＡＭの追加の領域７６を用いて実行しうる。ヒストグラムデータはカウンタ７８を用いて得る。１行に対するメモリのヒストグラム部分７６の構成を図６に詳細に示す。Ｎ個の信号レベルＶ１、Ｖ２、…、ＶＮの各々を有する行における画素の個数を数N_{VN}として記憶する。

【００３４】

画像データはホストからＲＡＭの領域７２に書込まれ、次に、列駆動スイッチングマトリックス５６をリフレッシュする必要がある場合にはいつでも、領域７２からこの列駆動スイッチングマトリックス５６に画像データが送られる。データがラインストア７４を介してＲＡＭの領域７２に書込まれている間中、一連のカウンタ７８がヒストグラムデータを構築し、行データの全てが到来した際に、カウンタ７８によりヒストグラムをＲＡＭ中の適切な位置７６に記憶させる。従って、ヒストグラムは、データが到来した際に１度だけ計算する必要があるだけである。他の方法は、ディスプレイを更新している際で、ヒストグラムデータをＲＡＭから読出している際に、このヒストグラムデータを計算する方法である。しかし、この後者の場合には、各行当りのヒストグラムの計算回数は１秒当りフレームレートに相当し、これに電力を要する。

【００３５】

このヒストグラムデータを用いてバッファの構成を制御し、バッファが所要の出力負荷で安定となるようにするには種々の方法がある。

【００３６】

図７は、ヒストグラムデータを用いて、簡単な２段増幅器の容量性駆動能力を変えるようにする第１の例を示す。通常の２段回路８０を、出力段８２を並列に追加することにより拡張する。これらの追加の出力段８２は、ヒストグラム情報（Ｈ０、Ｈ１、Ｈ２及びＨ３）からの制御の下で有効となる。従って、複数の出力段を、所要の出力負荷の関数として動作状態に切換えることができる。このようにすることにより、低出力の要求がある際に低電力消費を保つことができ、しかもバッファを流れる電流を高めることにより高出力要求を許容することもできる。このように、第２段を負荷容量に適合するように制御でき、これにより種々の負荷に対し同様な設定特性を与えることができる。例えば、選択出力段を切換えることにより、出力インピーダンス、スルーレート及び安定余裕を制御することができる。図示の回路では、出力段の切換えの“分解能”は４列である為、増幅器の各出力段は、最低値からこの最低値の４倍である最高値まで変化する容量性負荷を駆動しうるようにする必要がある。図示の例では、最初の出力段は１～４列に対するものであり、次の出力段は５～１６列に対するものであり、以下の出力段は同様な関係の出力段に対するものである。増幅器の出力段を調整するこの方法によれば、バッファの出力インピーダ

ンスを有効に調整して所要の出力負荷に対する安定性を維持する。使用されないバッファ分の電力を下げることができる為、全体の電力が減少される。

【００３７】

所望の出力負荷に応じてバッファ構成を変えるのに他の方式があること勿論である。例えば、バッファにバイアス電流入力を与えることができる。この場合、バイアス電流を出力負荷の関数として変えて所望の整合をとるようにすることができる。或いはまた、バッファにバッファローディング用キャパシタを設けることができる。出力負荷が増大すると、バッファローディング用キャパシタを回路から切り離し、全体の負荷キャパシタンス（バッファローディング用キャパシタンス及び出力負荷キャパシタンス）がほぼ一定に維持されるようにする。

【００３８】

図８は、各信号レベルラインが２つのバッファ５４ａ及び５４ｂと関連している回路構成を示す。２つのバッファの各々は、互いに異なる出力負荷に適している。これら２つのバッファの１つは、バッファ出力を切換えて供給する必要のある列の個数に依存して選択される。従って、入力端６０におけるヒストグラムデータは、相補対に配置されたスイッチ６２を制御する。これにより、最大の出力負荷変化を半分にしうる。各信号レベルラインをより多くのバッファと関連させることができること勿論である。

【００３９】

図９の例では、追加のバッファ９２が設けられており、この追加のバッファ９２は、個々のバッファ出力を切換えて供給する必要のある列の個数が列の総数の半分を超えた場合に用いられる。従って、図９のバッファ５４０が、（ヒストグラムデータ６０から決定される）行の画素の半分よりも多い画素に給電する必要がある場合には、スイッチングマトリックス９４が対応する信号レベルＶ１をグレーレベル発生器５０から追加のバッファ９２に供給する。このバッファ９２の出力は幾つかの列を駆動するのに用いられ、バッファ５４０の出力がその他の列を駆動するのに用いられる。その後、スイッチングマトリックス５６がＮ＋１個の信号レベルを受け、ヒストグラムデータ６０がスイッチングマトリックス５６を制御するのに用いられる為、行の画素の半分よりも多い画素に対し１つの信号レベルが必要である場合には、この負荷がこの信号レベルに対するバッファと追加のバッファとで共有される。

【００４０】

追加のバッファを２つ以上として、個々のバッファに必要とする出力負荷範囲を更に減少させることができる。

【００４１】

言葉“行”及び“列”は、本明細書においては任意性があるものである。これらの言葉は、共通接続ラインを共有する素子の直交ラインを有する素子アレイが存在することを明瞭にするために用いたものである。通常、行はディスプレイの左右に延在し、列はディスプレイの上下に延在するものと考えられているが、これらの言葉の使用はこの点に制限されるものではない。

【００４２】

列駆動回路は集積回路として構成することができ、本発明は上述したディスプレイを構成する列駆動回路にも関するものである。

本発明の他の特徴は当業者にとって明らかである。

【図面の簡単な説明】

【００４３】

【図１】アクティブマトリックス液晶ディスプレイに対する既知の画素構成の一例を示す回路図である。

【図２】行及び列駆動回路を有するディスプレイデバイスを示す線図である。

【図３】通常の列駆動回路を示す構成図である。

【図４】本発明による列駆動回路を示す構成図である。

【図５】図４の回路のメモリを詳細に示すブロック線図である。

【図６】図５のメモリの一部を詳細に示す線図である。
【図７】本発明の列駆動回路に用いるバッファの１つの構成例を示す回路である。
【図８】本発明の列駆動回路に用いるバッファの他の構成例を示す回路図である。
【図９】本発明の列駆動回路に用いるバッファの更に他の構成例を示す回路図である。

【図１】

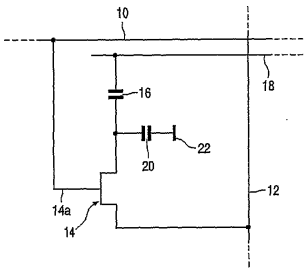


FIG. 1

【図２】

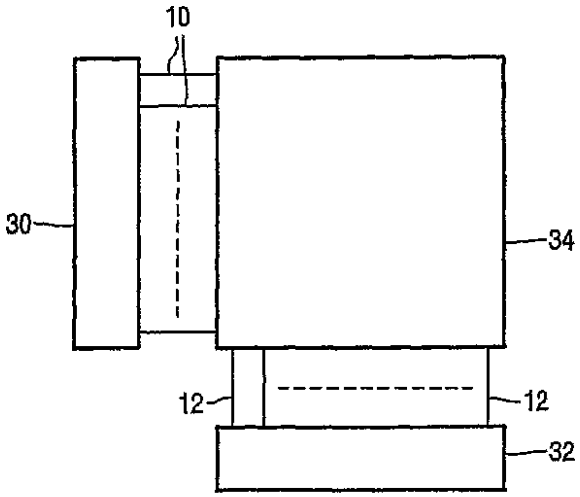


FIG. 2

【図３】

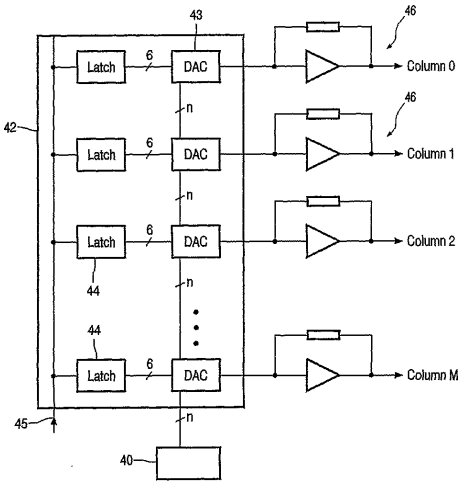


FIG. 3

【図４】

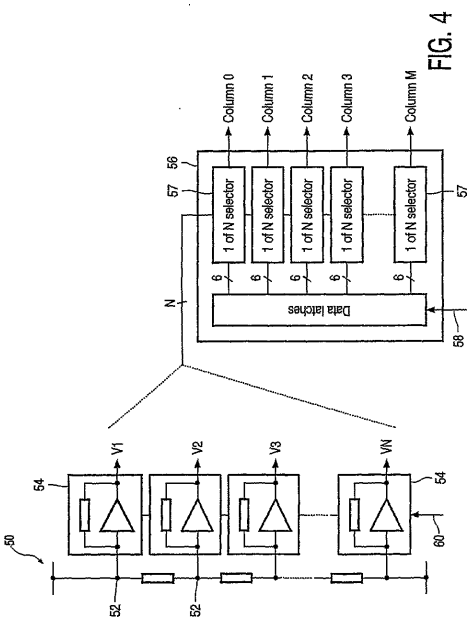


FIG. 4

【図５】

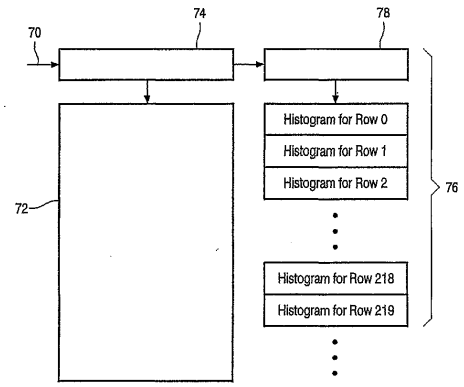


FIG. 5

【図６】

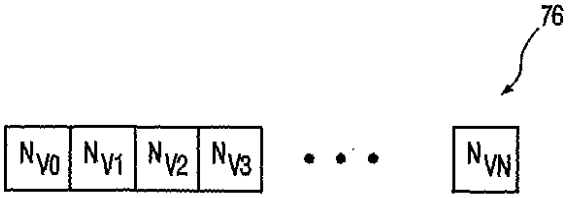


FIG. 6

【図７】

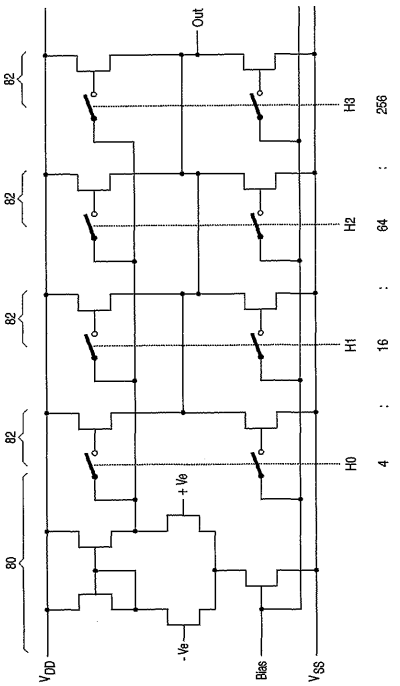


FIG. 7

【図８】

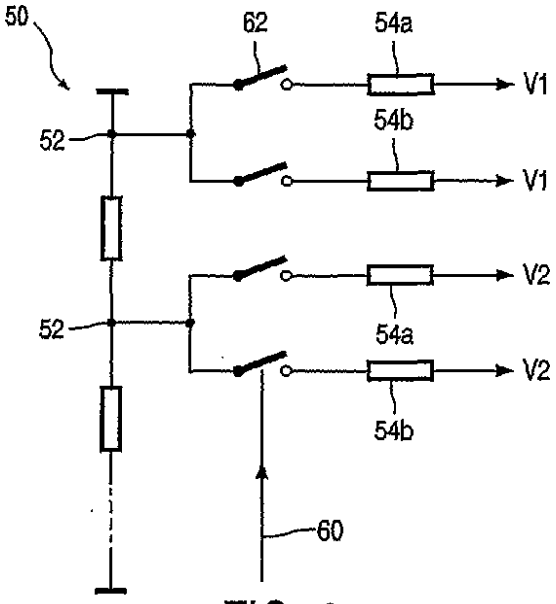


FIG. 8

【図９】

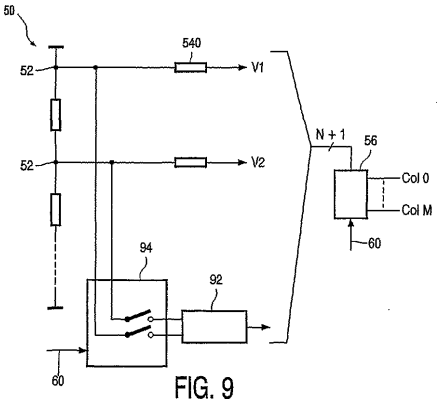


FIG. 9

フロントページの続き

(51)Int.Cl. F I
G09G 3/36

(74)代理人 100086645
弁理士 岩佐 義幸
(74)代理人 100113745
弁理士 藤原 英治
(72)発明者 ジェイソン アール ヘクター
オランダ国 ５６５６ アーアー アインドーフェン プロフ ホルストラーン ６
(72)発明者 ニール シー バード
オランダ国 ５６５６ アーアー アインドーフェン プロフ ホルストラーン ６

審査官 藤田 都志行

(56)参考文献 特開平５－４０４５１（ＪＰ，Ａ）
特開平８－２１１３６７（ＪＰ，Ａ）
特開平１１－３０７７２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
G02F 1/133
G09G 3/20
G09G 3/36