

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5084134号  
(P5084134)

(45) 発行日 平成24年11月28日(2012.11.28)

(24) 登録日 平成24年9月14日(2012.9.14)

(51) Int.Cl.	F I
<b>G02F 1/1345 (2006.01)</b>	G02F 1/1345
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611A
<b>G09F 9/30 (2006.01)</b>	G09G 3/20 680H
<b>G09F 9/35 (2006.01)</b>	G09G 3/20 631A
請求項の数 9 (全 23 頁) 最終頁に続く	

(21) 出願番号 特願2005-336426 (P2005-336426)	(73) 特許権者 00004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日 平成17年11月21日(2005.11.21)	
(65) 公開番号 特開2007-140310 (P2007-140310A)	(73) 特許権者 303018827 NLTテクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
(43) 公開日 平成19年6月7日(2007.6.7)	(74) 代理人 100095407 弁理士 木村 満
審査請求日 平成20年10月16日(2008.10.16)	(72) 発明者 高取 憲一 東京都港区芝五丁目7番1号 日本電気株式会社社内
特許法第30条第1項適用 2005年5月25日~27日開催の「2005 SID International Symposium」で発表	(72) 発明者 芳賀 浩史 東京都港区芝五丁目7番1号 日本電気株式会社社内
	最終頁に続く

(54) 【発明の名称】 表示装置及びこれらを用いた機器

(57) 【特許請求の範囲】

【請求項1】

容量を有するデータ保持回路と、複数の画素を有する表示部とが一の第1支持基板上に形成された表示装置において、前記画素には、それぞれ画素電極が設けられ、前記表示部の上方には前記第1支持基板に対向する第2支持基板が設けられているが、前記データ保持回路が配置された領域の上方には対向基板が存在せず、かつ、

前記容量を有するデータ保持回路は、2つのノード間の電位の大小を増幅して当該電位の状態を保持するセンスアンプ回路を有し、前記センスアンプ回路が、第1及び第2のラッチ回路を有し、前記第1及び第2のラッチ回路の少なくとも一方のラッチ回路と、前記2つのノードのいずれか一方との間に、信号伝達を可能又は不可能とする伝達制御部が設けられている、

ことを特徴とする表示装置。

【請求項2】

前記第1のラッチ回路の出力電圧振幅が、前記第2のラッチ回路の出力電圧振幅より小さいことを特徴とする請求項1に記載の表示装置。

【請求項3】

前記データ保持回路内の前記容量の誘電体と、前記画素に設けられる蓄積容量の誘電体とが同一の誘電体膜で形成されていることを特徴とする請求項1又は2に記載の表示装置。

【請求項4】

前記第1支持基板上に、前記表示部を駆動する駆動回路が設けられていることを特徴とする請求項1乃至3のいずれか1項に記載の表示装置。

【請求項5】

前記データ保持回路内の前記容量の誘電体と、前記画素に設けられる蓄積容量の誘電体とが、前記駆動回路を構成するトランジスタの少なくとも1つのゲート絶縁膜と同じ誘電体膜を用いて形成されていることを特徴とする請求項4に記載の表示装置。

【請求項6】

請求項1乃至5のいずれか1項に記載の表示装置を有する機器において、前記表示装置の周囲に導電層が配置され、前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の100倍より大きいことを特徴とする機器。

10

【請求項7】

前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の1000倍より大きいことを特徴とする請求項6に記載の機器。

【請求項8】

請求項1乃至7のいずれか1項に記載の表示装置を有する機器において、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層がlow-k材料からなることを特徴とする機器。

【請求項9】

20

請求項1乃至7のいずれか1項に記載の表示装置を有する機器において、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が空気からなることを特徴とする機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プロジェクタ、ノートPC、モニタ、携帯電話、PDA等を使用される表示装置及びこれらを用いた機器に関する。

【背景技術】

【0002】

30

近時の技術の発展に伴い、従来はシリコン技術によって作成されたLSI等によって外部に設けられていた駆動回路等の各種回路を支持基板上に内蔵した表示装置が実用化されている。このような回路内蔵型表示装置の一例として、高価な石英基板を用いた高温プロセスによる高温ポリシリコンTFT (Thin Film Transistor) 技術による表示装置が公知である。また、低温プロセスによって前駆膜を形成し、これをレーザ等でアニールすることで多結晶化する低温ポリシリコン技術により、ガラス基板等の上に回路を内蔵した表示装置も実用化されている。

【0003】

具体的な例として、特許文献1にアクティブマトリクス型表示装置が開示されている。図15は、特許文献1の図37に記載されている従来の一般的な駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

40

【0004】

図15を参照すると、従来の駆動回路一体型液晶表示装置においては、マトリクス状に配線されM行N列の画素が配置されたアクティブマトリクス表示領域110、行方向の走査回路(走査線(ゲート線)駆動回路)109、列方向の走査回路(データ線駆動回路)3504、アナログスイッチ3505及びレベルシフタ3503等が、表示デバイス基板101上に、ポリシリコンTFTによって一体化して形成されている。

【0005】

また、コントローラIC(Integrated Circuit)102として、コントローラ113、メモリ111、デジタル・アナログ変換回路(DAC回路)3502及び走査回路/デー

50

タレジスタ3501等が単結晶シリコンのウエハー上に形成された集積回路チップ（ICチップ）が、表示デバイス基板101の外部に実装されている。更に、インタフェース回路114がシステム側回路基板104上に形成され、コントローラ113及びメモリ111と接続されている。

【0006】

また、ポリシリコンTFTで構成された従来の駆動回路一体型液晶表示装置の中には、DAC回路等のより複雑な回路を一体化して形成した装置も存在する。図16は、特許文献1の図38に記載されている従来のDAC回路内蔵型の駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

【0007】

従来のDAC回路内蔵型の駆動回路一体型液晶表示装置では、DAC回路を内蔵しない図15の装置と同様に、マトリクス状に配線されM行N列の画素が配列されたアクティブマトリクス表示領域110、行方向の走査回路109及び列方向の走査回路3504を有し、これに加えて、データレジスタ3507、ラッチ回路105、DAC回路106、セレクト回路107、レベルシフト（Dビット）108等の回路が表示デバイス基板101上に一体化して形成されている。

【0008】

このDAC回路内蔵型の駆動回路一体型液晶表示装置の表示デバイス基板101の外部に実装されているコントローラIC103は、高電圧を使用するDAC回路3502を含まず、メモリ111、出力バッファ回路112及びコントローラ113と全て低電圧の回路・素子で構成可能である。この結果、液晶に書き込むための電圧信号を生成するために必要となる高電圧用のプロセスを併用することなくコントローラIC103を作製できるため、その価格は前述のDAC回路3502を混載したコントローラIC102よりも低く抑えることができる。

【0009】

【特許文献1】特開2004-046054号公報（図37、図38）

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、これらの従来技術による駆動回路一体型液晶表示装置は、液晶モジュールに対して1フレーム時間毎に全ての画素の表示データをシリアルに高速転送しているため、高精細化し、画素数が多くなる程必要な転送レートが高くなり、高速転送の結果、ドライバICにも高速性が要求され、回路素子を構成する多数のCMOS（Complementary Metal Oxide Semiconductor）に貫通電流等が生じ、動作速度の上昇と共に消費電力が増大する。高速動作をするICは、価格も増大する。そして、階調数が増大すると回路構成の複雑化及び転送速度の更なる増大が生じ、消費電力の更なる増大及びコストの増大を招く。即ち、ディスプレイの高精細化及び多階調化に伴いドライバICの価格及び消費電力が上昇するため、システム全体の消費電力及び価格を抑える必要性から、画素数及び階調数が制限されるという問題点がある。

【0011】

また、表示デバイス基板101の上の各回路ブロックに使用する電圧が夫々異なるため、複数の電圧に対応したプロセスを併用する必要性があり、製造プロセスコストが高くなるという問題点もある。

【0012】

また、これらの駆動回路一体型液晶表示装置は、コントローラIC及びインタフェース回路114が表示デバイス基板の外部に実装されているため、表示装置の縮小ができない、という問題点もある。

【0013】

そこで、本発明者らは、支持基板上への各種回路の集積を進め、支持基板上にメモリを集積する構造及びこの駆動方法の発明を既に特許出願した（特願2004-272638

10

20

30

40

50

号)。この技術によって、ポリシリコンTFT等のSOI (Silicon on Insulator) 構造のMOS (Metal Oxide Semiconductor) 型トランジスタを集積した回路において、履歴効果による動作不良を抑制し、これらのMOS型トランジスタを構成要素として含むラッチ型センスアンプ回路及びラッチ回路の感度を向上させることが可能である。

【0014】

このように、先願発明は、初期の目的を達成したものの、支持基板上にメモリを集積する構造においては、ビット線の寄生容量の低減が困難であるため、メモリセルの容量を小さくすることに限界があり、フレームメモリの回路面積を減少させることが難しい。この結果、このフレームメモリを使用した表示装置の大きさを小さくしにくい。

【0015】

また、この技術は、メモリセルの容量が大きいため充放電に必要な電流が大きく、また、回路面積が大きいため配線抵抗による電位の低下及び配線の寄生容量の充放電等による消費電力が大きく、消費電力を下げることに限界がある。

【0016】

本発明はかかる問題に鑑みてなされたものであって、液晶モジュールに対して1フレーム時間毎に全ての画素の表示データをシリアルに高速転送する場合と、高速転送しない場合とに限らず、コントローラIC及びインタフェース回路が表示デバイス基板と一の基板上に形成されるため小型化が可能で、また、メモリセルの容量を小さくすることによって回路面積が小さく、低消費電力化が可能であり、メモリ部の動作の信頼度が高く、低コストである表示装置と、これらの表示装置を使用した機器を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明に係る表示装置は、容量を有するデータ保持回路と、複数の画素を有する表示部とが一の第1支持基板上に形成された表示装置において、前記画素には、それぞれ画素電極が設けられ、前記表示部の上方には前記第1支持基板に対向する第2支持基板が設けられているが、前記データ保持回路が配置された領域の上方には対向基板が存在せず、かつ

前記容量を有するデータ保持回路は、2つのノード間の電位の大小を増幅して当該電位の状態を保持するセンスアンプ回路を有し、前記センスアンプ回路が、第1及び第2のラッチ回路を有し、前記第1及び第2のラッチ回路の少なくとも一方のラッチ回路と、前記2つのノードのいずれか一方との間に、信号伝達を可能又は不可能とする伝達制御部が設けられている、ことを特徴とする。本発明においては、データ保持回路に対向する支持基板が無い場合、データ保持回路の寄生容量が小さい。その結果、データ保持回路内のメモリセル等の容量と寄生容量の比を一定にした場合、データ保持回路内の容量を小さくできる。データ保持回路の容量が小さいため、データ保持回路のレイアウトに必要な面積が小さい。

【0026】

また、前記第1のラッチ回路の出力電圧振幅は、前記第2のラッチ回路の出力電圧振幅より小さいことが好ましい。この構成のセンスアンプ回路では、データ保持回路からの読み出し信号を2段階で増幅することが可能なため、データ保持回路内の容量を通常より小さくすることができる。すなわち、センスアンプによる容量の低減効果と、寄生容量の低減による容量の低減効果の相乗効果により、データ保持回路内の容量を極めて小さくすることができる。これと共に、容量に印加する電圧を小さくできる。この結果、消費電力を大きく削減することができる。また、2段階の増幅するセンスアンプを使用するため、最小読み出し電圧幅を小さくすることができ、特性の変動等が生じても安定な動作を実現できる。

【0027】

前記データ保持回路内の前記容量の誘電体と、前記画素に設けられる蓄積容量の誘電体とが同一の誘電体膜で形成されていることが好ましい。これにより、プロセス増が抑えられる。

10

20

30

40

50

## 【 0 0 2 8 】

なお、前記第 1 支持基板上に、前記表示部を駆動する駆動回路が設けることもできる。

## 【 0 0 2 9 】

前記データ保持回路内の前記容量の誘電体と、前記画素に設けられる蓄積容量の誘電体とが、前記駆動回路を構成するトランジスタの少なくとも 1 つのゲート絶縁膜と同じ誘電体膜を用いて形成されていることが好ましい。これによって、プロセス増を大きく抑えることができる。これにより、データ保持回路を内蔵した高性能な表示装置を低コストで提供することができる。

## 【 0 0 3 3 】

本発明に係る機器は、前記表示装置を有し、前記表示装置の周囲に導電体層が配置され、前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 100 倍より大きいことを特徴とする。この構成により、機器との間の寄生容量が小さい。これにより、データ保持回路の容量を小さくすることができる。

10

## 【 0 0 3 4 】

前記表示装置の周囲の導電体層と前記データ保持回路との間の距離が、前記データ保持回路の容量の誘電体の膜厚の 1000 倍より大きいことがより好ましい。この構成により、機器との間の寄生容量が小さい。これにより、データ保持回路の容量を小さくすることができる。データ保持回路内の容量を小さくしない場合は、この寄生容量との比が大きくなり、寄生容量の影響をほとんど受けなくなる。その結果、極めて安定した動作が得られる。

20

## 【 0 0 3 5 】

また、本発明に係る他の機器は、前記表示装置を有し、前記機器の内壁と前記表示装置との間に誘電体層が設けられ、前記誘電体層が low - k 材料（低誘電率材料）で形成されていることを特徴とする。この構成により、機器との間の寄生容量を小さくすることができ、これにより、データ保持回路の容量を小さくすることができる。

## 【 0 0 3 6 】

更に、本発明に係る更に他の機器は、前記表示装置を有し、前記誘電体層が空気で形成することを特徴とする。この構成により、機器との間の寄生容量を小さくすることができ、これにより、データ保持回路の容量を小さくすることができる。更に、容量が小さくできるために、容量の充放電に要する消費電力を大きく削減することが可能である。

30

## 【 発明の効果 】

## 【 0 0 3 7 】

本発明によれば、データ保持回路の寄生容量を小さくすることによってデータ保持回路自体の容量を小さくすることができ、この結果回路のレイアウト面積を小さくすることができる。また、非導電性の遮光膜を設けることで回路部への光照射の影響を受けず、光リーク電流による電荷の漏洩が無いために、リークに対する対策としてしばしば使用される高電圧の印加や、短い周期でのリフレッシュ等が必要でなくなるために、消費電力を大きく削減することができる。また、機器との間の寄生容量とデータ保持回路内の容量との比が大きいため、機器との間の寄生容量の影響をほとんど受けず、極めて安定した動作が得られる。更に、データ保持回路の容量を、表示部を駆動する駆動回路のトランジスタのゲート酸化膜と同じ膜で形成することによりプロセス増を抑えることができる。

40

## 【 発明を実施するための最良の形態 】

## 【 0 0 3 8 】

次に、本発明の実施形態について、添付の図面を参照して具体的に説明する。図 1 ( a ) は、本発明の第 1 実施形態に係る表示装置を示す斜視図、図 1 ( b ) は、図 1 ( a ) の A - A ' 線に沿った断面図である。第 1 の支持基板 1 の上に、容量（図示せず）を備えるデータ保持回路 3 と表示部 4 とが一定の間隔を設けて平行に並べられている。また、表示部 4 のデータ保持回路 3 に最も近い辺とその対向する辺とは、これらの 2 辺に沿うようにスペーサ 5 がデータ保持回路 3 と接することなく、また第 1 の支持基板 1 の端部より外

50

側に存在することなく、表示部 4 の厚さよりも厚く形成されている。

【 0 0 3 9 】

表示部 4 の上方には、第 1 の支持基板 1 と対向する第 2 の支持基板 2 が設けられ、スペーサ 5 によって第 1 の支持基板との間に一定の間隔が設けられているが、データ保持回路 3 が配置された領域の上方には対向基板が存在しない。

【 0 0 4 0 】

このように構成された表示装置においては、データ保持回路 3 の容量と直列又は並列に接続される対向する支持基板が存在しないため、データ保持回路 3 の容量と対向する支持基板との間の寄生容量が存在しない。そのため、データ保持回路 3 の容量に付随する寄生容量が小さく、結果、データ保持回路 3 の容量とデータ保持回路 3 の容量に付随する寄生容量の比を一定にした場合、データ保持回路 3 の容量を小さくすることができる。また、データ保持回路 3 の容量を小さくできるため、データ保持回路 3 のレイアウトに必要な面積が小さい。

10

【 0 0 4 1 】

次に、本発明の第 2 実施形態について説明する。図 2 ( a ) は、本発明の第 2 実施形態に係る表示装置を示す斜視図、図 2 ( b ) は、図 2 ( a ) の A - A ' 線に沿った断面図である。図 2 において、図 1 と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第 1 実施形態では、表示部 4 の上方に第 1 の支持基板 1 と対向する第 2 の支持基板 2 が設けられ、データ保持回路 3 が配置された領域の上方には対向基板が存在しない構造であったのに対し、本実施形態では第 1 の支持基板 1 と対向する第 2 の支持基板 2 がデータ保持回路 3 の上にも存在するように設けられている点が異なり、それ以外は同様の構造である。なお、第 2 の支持基板 2 のデータ保持回路 3 と平面視で交差する部分のうちデータ保持回路 3 側の面の反対側の面には導電体膜 ( 図示せず ) が存在していてもよい。

20

【 0 0 4 2 】

このように構成された表示装置においては、データ保持回路 3 の容量と直列又は並列に接続される対向する第 2 の支持基板 2 との間の寄生容量が、第 2 の支持基板 2 のデータ保持回路 3 と対向する面のデータ保持回路 3 に対向する領域に導電体膜を有する場合に比べて小さい。そのため、データ保持回路 3 の容量に付随する寄生容量が小さく、結果、データ保持回路 3 の容量とデータ保持回路 3 の容量に付随する寄生容量の比を一定にした場合、データ保持回路 3 の容量を小さくすることができる。また、データ保持回路 3 の容量を小さくできるため、データ保持回路 3 のレイアウトに必要な面積が小さい。

30

【 0 0 4 3 】

次に、本発明の第 3 実施形態について説明する。図 3 ( a ) は、本発明の第 3 実施形態に係る表示装置を示す斜視図、図 3 ( b ) は、図 3 ( a ) の A - A ' 線に沿った断面図である。図 3 において、図 1 及び図 2 と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第 2 実施形態では、第 1 の支持基板 1 と対向する第 2 の支持基板 2 がデータ保持回路 3 の上にも存在するように設けられていたが、本実施形態においては、この第 2 の支持基板 2 のデータ保持回路 3 側の面のデータ保持回路 3 に対向する領域に、非導電体による遮光膜 6 が設けられている点が異なり、それ以外は同様の構造である。遮光膜 6 は、透過する光の強度を弱くする機能を有していればよく、非導電体であれば特に材料、膜厚及び膜構成等を問わない。また、透過しようとする光を吸収することによって遮光の機能を持たせてもよいし、反射させることによって遮光の機能を持たせてもよい。

40

【 0 0 4 4 】

このように構成された表示装置においては、データ保持回路 3 の領域に第 2 の支持基板 2 側から光が照射されても、光リーク電流等の悪影響を生じにくい。また、万が一、光リーク電流が生じた場合でも、その電流の大きさは遮光膜 6 が存在しないときよりもはるかに小さい。同時に、遮光膜 6 が非導電体から形成されているため、データ保持回路 3 の容量に付随する寄生容量が小さく、その結果、データ保持回路 3 の容量とデータ保持回路 3 の容量に付随する寄生容量の比を一定にした場合、データ保持回路 3 の容量を小さくすることができる。また、データ保持回路 3 の容量を小さくできるため、データ保持回路 3 の

50

レイアウトに必要な面積が小さい。

【0045】

次に、本発明の第4実施形態について説明する。上述の第2実施形態において、第1の支持基板と第2の支持基板との間には、データ保持回路3、表示部4及びスペーサ5しか存在しなかったのに対し、本実施形態においては、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に、周波数に応じて誘電率及び誘電異方性が変化する媒体が存在するように構成されている点が異なり、それ以外は同様の構造を有している。

【0046】

このデータ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に存在する媒体は、特に、周波数に応じて誘電率が小さくなる性質を有するものが好ましい。また、この媒体が誘電異方性を有する場合、周波数によって誘電異方性の符号が変わるほど大きな変化を示すことが好ましい。このような材料の一例として、2周波駆動液晶等の名前と呼ばれる液晶物質がある。この材料は、低周波下では誘電異方性が正であるが、高周波下では誘電異方性が負となる。即ち、ある周波数(クロスオーバー周波数と呼ばれる)で、誘電率の符号が逆転するクロスオーバー現象と呼ばれる現象が生じる。この結果、低周波下と高周波下とで誘電率の値が異なり、高周波下で誘電率が低下する。このような材料の誘電異方性と周波数の関係を図4に示す。このような材料は、高周波下では誘電異方性の符号が変化すると共に、通常、その絶対値は低周波下の値に比べて小さい。

【0047】

このクロスオーバー周波数は、材料によって異なるが、一般的には数MHz(メガヘルツ)である。例えば、データ保持回路3へのアクセス信号が1MHz以上の場合には、上記媒体の誘電率が低下し始める領域であり、アクセス信号によって同一基板上の他の配線との間の電界が発生し、その電界方向の誘電率が低下する。このため、データ保持回路3の上の媒体の誘電率は、データ保持回路3の動作時に小さくなり、その結果、データ保持回路3の容量に付随する寄生容量が小さくなる。

【0048】

次に、本発明の第5実施形態について説明する。上述の第3実施形態において、第2の支持基板2のデータ保持回路3側の面のデータ保持回路3に対向する領域に非導電体による遮光膜6が設けられており、第1の支持基板と第2の支持基板との間には、データ保持回路3、表示部4、スペーサ5及び非導電体による遮光膜6しか存在しなかったのに対し、本実施形態においては、それに加えて、第4実施形態と同様に、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に、周波数に応じ誘電率及び誘電異方性が変化する媒体が存在するように構成されている点が異なり、それ以外は同様の構造である。

【0049】

このように構成された表示装置においては、上述の第3実施形態と同様に、データ保持回路3の領域に第2の支持基板2側から光が照射されても、光リーク電流等の悪影響を生じにくい。また、万が一、光リーク電流が生じた場合でも、その電流の大きさは遮光膜6が存在しないときよりもはるかに小さい。同時に、遮光膜6が非導電体から形成されているため、データ保持回路3の容量に付随する寄生容量が小さく、その結果、データ保持回路3の容量とデータ保持回路3の容量に付随する寄生容量の比を一定にした場合、データ保持回路3の容量を小さくすることができる。また、データ保持回路3の容量を小さくできるため、データ保持回路3のレイアウトに必要な面積が小さい。

【0050】

また、上述の第4実施形態と同様に、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間に備える媒体に、クロスオーバー周波数が数MHzである2周波駆動液晶を選択することにより、データ保持回路3の容量に付随する寄生容量を小さくすることができる。

【0051】

次に、本発明の第6実施形態について説明する。図5(a)は、本発明の第6実施形態

10

20

30

40

50

に係る表示装置を示す斜視図、図5(b)は、図5(a)のA-A'線に沿った断面図である。図5において、図1乃至3と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第5実施形態において、第2の支持基板2のデータ保持回路3側の面のデータ保持回路3に対向する領域に非導電体による遮光膜6が設けられていたのに対し、本実施形態においては、非導電体による遮光膜6ではなく導電体膜7が設けられている点  
10

【0052】

このように構成された表示装置において、第1の支持基板1の上に設けられたデータ保持回路3と第2の支持基板2の上に設けられた導電体膜7との間に電界が生じる場合、クロスオーバー周波数が数MHzである2周波駆動液晶が設けられていることによって、データ保持回路3へのアクセス信号が例えば1MHz以上の場合には、電界方向の誘電率が小さくなる。その結果、データ保持回路3の容量に付随する寄生容量を小さくすることができる。

【0053】

次に、本発明の第7実施形態について説明する。本実施形態においては、上述の第4乃至7実施形態で使用される周波数に応じ誘電率及び誘電異方性が変化する媒体が、データ保持回路3の近辺の第1の支持基板1と第2の支持基板2との間だけでなく、表示部4を覆うように第1の支持基板1と第2の支持基板2との間に設けられ、この媒体が表示部4の表示媒体を兼ねる構造となっている。この媒体は、上述の2周波駆動液晶を使用することが好ましい。  
20

【0054】

表示部4の駆動周波数は一般的に数十乃至数百Hzであり、2周波駆動液晶は誘電率が高く、誘電異方性が例えば正であり、且つその値が大きい特性を有する領域である。一方、データ保持回路3のアクセス信号は上述のように例えば1MHz以上であり、2周波駆動液晶の誘電率が低い領域である。このため、本発明の表示装置の動作時は、表示部4では高い誘電異方性により平均的に高い誘電率となっている一方、データ保持回路3の近辺では誘電率が小さくなっている。これにより、高い誘電異方性により表示信号に対し十分な応答が得られると共に、データ保持回路3では低い誘電率のためデータ保持回路3の容量に付随する寄生容量が小さくなっている。この結果、本実施形態の表示装置によって良好な表示を安定して得ることができる。  
30

【0055】

次に、本発明の第8実施形態について説明する。図6(a)は、本発明の第8実施形態に係る表示装置を示す斜視図、図6(b)は、図6(a)のA-A'線に沿った断面図である。図6において、図1乃至5と同一構成物には同一符号を付して、その詳細な説明は省略する。上述の第6実施形態において、第2の支持基板2のデータ保持回路3側の面のデータ保持回路3に対向する領域に導電体膜7が設けられていたのに対し、本実施形態においては、第2の支持基板2のデータ保持回路3と対向する面のデータ保持回路3に対向する領域ではなく、第2の支持基板2の第1の支持基板と対向する面の反対側の面の全面に導電体膜8が設けられている点  
40

【0056】

このように設けられる導電体膜8としては、例えば、タッチパネルのセンサ用途の導電体膜又はIPS(In-Place-Switching)方式の表示モード等で外部の電界の影響を表示部に与えないために使用される導電体膜等を使用することが好ましい。

【0057】

本実施形態においては、第2の支持基板2の第1の支持基板と対向する面の反対側の面の全面に上述のような導電体膜8が設けられていても、第2の支持基板2の厚みが存在するために、データ保持回路3の容量に付随する寄生容量を小さく抑えることが可能である。  
。

【0058】

次に、本発明の第9実施形態について説明する。本発明の第9実施形態は、第1乃至8  
50



実施形態の表示装置の容量（図示せず）を有するデータ保持回路 3 に、2つのノード間の電位の大小を増幅してラッチするセンスアンプ回路を設けるといものである。センスアンプ回路を使用することで、データ保存手段 3 の容量に蓄積されたデータを容易に読み出すことが可能になる。

【0059】

図 7 は、センスアンプ付メモリセルアレイ 1 2 1 の 1 ビット線分の回路図の一例、図 8 は、メモリの構成の一例を示す図である。この回路は、ビット線対（X B、B）、2本のビット線に交互に接続された 2 4 0 個のメモリセル 1 6 1、プリチャージ回路 1 6 2、センスアンプ回路 1 6 0 等によって構成されている。データ書き込み時、データ線 1 6 3 のデータは、列デコーダ 1 2 3 からの信号で選択されたビット線対（X B、B）に書き込まれる。ビット線対（X B、B）に書き込まれたデータは、選択されたワード線（図示例では、W [ 2 3 9 ]、W [ 1 1 8 ]、W [ 1 ]、W [ 0 ]）のメモリセル 1 6 1 に書き込まれる。一方、データ読み出し時には、選択されたワード線のデータがビット線対（X B、B）に読み出され、センスアンプ回路 1 6 0 で増幅され、出力レジスタ側に出力される。

10

【0060】

図 7 に示すようなビット線対（X B、B）間に容量によるデータ保持回路（メモリセル 1 6 1）が配置される場合、ビット線対の寄生容量とセンスアンプ回路 1 6 0 の動作に関して次のような関係を導くことができる。まず、読み出し時にデータ保持回路（メモリセル 1 6 1）の容量に保持されたデータはビット線対に読み出されるが、そのとき、信号を増幅し得るべき電圧値を  $V_{DD}$ 、データ保持回路の容量を  $C_s$ 、ビット線対の寄生容量を  $C_b$  とすると、読み出される電圧  $V$  は、下記数式 1 によって与えられる。

20

【0061】

【数 1】

$$|\Delta V| = \frac{C_s}{2 \cdot (C_s + C_b)} \cdot V_{DD}$$

【0062】

このビット線対に読み出される電圧  $V$  がセンスアンプ回路 1 6 0 の感度  $S_A$  より大きいとき、図 7 に示すようなビット線回路が正常に動作する。ここで、センスアンプ 1 6 0 の感度  $S_A$  とは、センスアンプ回路 1 6 0 が誤動作するかしないかの境界であり、電圧値で与える場合、この値が小さいほど感度が良いことになる。これより、データ保持回路の容量  $C_s$  と、ビット線対の寄生容量  $C_b$  の間に下記数式 2 に示す関係が得られる。

30

【0063】

【数 2】

$$C_s > \frac{2 \cdot S_A}{V_{DD} - 2 \cdot S_A}$$

【0064】

即ち、ビット線対の寄生容量  $C_b$  が大きくなると、データ保持回路の容量  $C_s$  を大きくする必要があり、ビット線対の寄生容量  $C_b$  が小さくなると、データ保持回路の容量  $C_s$  を小さくすることができる。

40

【0065】

図 8 は、メモリの構成を示す図である。フレームメモリのコア部分は、センスアンプ付メモリセルアレイ 1 2 1、行デコーダ 1 2 2 及び列デコーダ 1 2 3 から構成される。センスアンプ付メモリセルアレイ 1 2 1 は、行デコーダ 1 2 2 によって行アドレスを、列デコーダ 1 2 3 によって列アドレスを指定することによって特定のメモリセルにアクセスすることが可能である。また、メモリセルから読み出されたデータ信号は、センスアンプを介してデータ出力される。上述のフレームメモリ回路が、ガラス基板 1 2 0 上に形成されている。

【0066】

50

次に、本発明の第10実施形態について説明する。図9乃至10は、本実施形態のビット線回路の構成を示すブロック図である。図示の便宜上、2つの図に分割しているが、図9(DRAM回路図上部)及び図10(DRAM回路図下部)に示した点J同士、点K同士を接続することにより、1つのビット線回路が構成される。

【0067】

本実施形態のビット線回路は、上述の第9実施形態において、容量(図示せず)を有するデータ保持回路3に、2つのノード間の電位の大小を増幅してラッチするセンスアンプ回路が1つ設けられていたのに対し、本実施形態では、センスアンプ回路が2段構成、即ちノード間の電位差を比較的小さな振幅値まで増幅する第1の回路である小振幅プリアンプ回路4902及び小振幅プリアンプ回路によって得られた電位差を本来必要とされる振幅値まで増幅する第2の回路であるフルスイングアンプ回路4903によって構成される。

10

【0068】

小振幅プリアンプ回路4902を形成する素子(4901a及び4901b)にフルスイング時の電圧がかからないようにするため、フルスイングアンプ回路4903を動作させる前にスイッチM03及びM04をオフにして小振幅プリアンプ回路4902をビット線から切り離す。このように、小振幅プリアンプ回路4902とフルスイングアンプ回路4903とで構成し、フルスイングアンプ回路4903で増幅された高い電圧、即ち最終的に必要とされる出力電圧が小振幅プリアンプ回路4902に印加されないよう駆動しているため、小振幅プリアンプ回路4902を構成する素子に印加される電圧が低く抑えられる。

20

【0069】

更に、本実施形態では小振幅プリアンプ回路4902とフルスイングアンプ回路4903の2段構成とするため、センスアンプの感度を良くできる。通常は、フルスイングアンプ回路4903の感度で $S_A$ が決定されるが、本実施形態では小振幅プリアンプ回路4902を有することによりフルスイングアンプ回路4903の感度より小さい値の感度が $S_A$ となる。すなわち、本実施の形態では、数式2において $S_A$ の値が小さくなり、データ保持回路の容量 $C_s$ を第9実施形態より小さくすることが可能である。このように、本実施形態は、2段構成のセンスアンプ回路の効果によりビット線対の寄生容量 $C_b$ を小さくできるとともに、第2の支持基板2との容量が小さく抑えられるため、データ保持回路3の容量に付随する寄生容量を小さくできる。

30

【0070】

次に、本発明の第11実施形態について説明する。本実施形態においては、データ保持回路3と表示部4を有する第1の支持基板1の上に、駆動回路が設けられる。また、データ保持回路3の容量を構成する誘電体と、表示部4の画素の蓄積容量を形成する誘電体とは、駆動回路を形成するトランジスタのゲート絶縁膜と同じ膜で形成される。これにより、データ保持回路3の容量を形成するために特別なプロセスを採用する必要がなく、このため、低コストで本発明の表示装置を形成することができる。

【0071】

次に、本発明の第12実施形態について説明する。本実施形態は、第1乃至11実施形態において、データ保持回路3を読み出し動作のみでリフレッシュ可能なメモリセルを使用したDRAM(Dynamic Random Access Memory)としたものである。このとき、メモリセルは読み出し動作のみでリフレッシュ可能とするために、読み出しの繰り返し期間より長いリテンション時間(保持期間、記憶期間)を有するメモリセルを使用する。また、メモリセルのトランジスタの一部に両側LDD(Lightly Doped Drain)構造を使用することが好ましい。特に、メモリ容量に接続されるトランジスタに両側LDD構造を使用することが好ましい。これにより、メモリセルの容量のリテンション時間を長くすることができる。

40

【0072】

本発明の第12実施形態によれば、従来のDRAMと異なり、リフレッシュ動作の回数

50

を大きく低減することが可能である。例えば16.7ミリ秒に1回の読み出し動作の場合、16.7ミリ秒に1回のリフレッシュ動作しか行われない。これによって、リフレッシュ動作に伴う消費電力が大きく削減され、低消費電力な表示装置が得られる。

【0073】

また、トランジスタのソース側もドレイン側もLDD構造とした両側LDD構造を用いることによってリーク電流を大きく抑えることができる。この結果、リテンション時間が長くなる。両側LDD構造のLDDの構成は単純なLDD構造としてもよいし、ゲート電極がLDD領域に重なっているGOLD (Gate Overlapped LDD) 構造としてもよい。

【0074】

一例として、本発明のメモリセル、特に1トランジスタ1容量構造のメモリセルでの容量のリテンション時間の測定結果の一例を図12に示す。また、図11は、この測定に用いたメモリセルの構造を示す概略図である。このメモリセルは、1トランジスタと1容量とで構成され、トランジスタのゲートにワード線が接続されている(このノードを $N_w$ とする)。また、トランジスタのソース又はドレインの、容量と接続されない側にビット線が接続されている(このノードを $N_b$ とする)。トランジスタと容量との間のノードを $N_s$ とする。図12に示す測定では $N_w = 0V$ とし、 $N_s = 5V$ で $N_b = 0V$ としたときの $N_s$ の電圧、及び $N_s = 0V$ で $N_b = 5V$ としたときの $N_s$ の電圧の時間変化を示す。図12から分かるように、この構造でのリテンション時間は、通常の表示での読み出し時間16.7ミリ秒より十分に長い。この結果、読み出し部にのみリフレッシュされる機能があってもデータが保存可能である。

【0075】

次に、本発明の第13実施形態について説明する。本実施形態は、上述の第1乃至12実施形態の表示装置を使用した機器に関するものである。機器に使用される場合、表示装置の周囲に機器内の導電体層が配置されることがある。例えば、機器のケースの内部の一部又は全部が金属めっきされていたり、一部領域に電磁シールド用の薄い銅箔が使用されていたりする場合などである。この場合では、機器の表示装置の周囲の導電体層とデータ保持回路3の容量との間の距離が、前記データ保持回路3の容量の誘電体の膜厚の100倍より大きいことが好ましい。また、1000倍大きいことがより好ましい。これにより、機器とデータ保持回路3の間の寄生容量を減らすことができ、回路面積を小さくすることが可能である。

【0076】

次に、本発明の第14実施形態について説明する。本実施形態は、上述の第1乃至12実施形態の表示装置を使用した機器に関するものである。機器の内壁と表示装置とを固定したり衝撃に対する緩衝力を与えたりするために、表示装置と機器との間に誘電体層が設けられることがある。即ち、この誘電体層は表示装置と機器とを固定する接着剤であり、又は、機器の内壁と表示装置との間の緩衝材である。この場合では、上述の誘電体層はlow-k材料を使用する。low-k材料とは、低誘電率材料のことであり、通常、低誘電率の基準としては、酸化シリコン膜( $SiO_2$ )の比誘電率より小さいものとされる。酸化シリコン膜の比誘電率は、石英結晶で4.2であり、通常のプラズマCVD (Chemical Vapor Deposition) 成膜では3.8程度となる。このため、比誘電率が4より低いものを一般的にlow-k材料と呼ぶ。

【0077】

このように構成された表示装置においては、機器とデータ保持回路3の間の寄生容量を減らすことができ、回路面積を小さくすることが可能である。

【0078】

次に、本発明の第15実施形態について説明する。本実施形態は、上述の第1乃至第12実施形態の表示装置を使用した機器に関するものであり、本実施形態においては上述の第14実施形態において述べた誘電体層がlow-k材料ではなく、空気からなることを特徴とする。空気層の比誘電率は約1であり、極めて小さい。

【0079】

このように構成された表示装置においては、機器とデータ保持回路3の間の寄生容量を減らすことができ、回路面積を小さくすることが可能である。

【実施例1】

【0080】

次に、本発明の第1実施例について説明する。本実施例では、本発明の第3実施形態に係る表示装置の第1の支持基板1をガラス基板とし、表示部4及びデータ保持回路3をポリシリコン(多結晶シリコン、poly-Si)のTFTアレイで作製した。

【0081】

具体的には、第1の支持基板1としてのガラス基板上に酸化シリコン膜を形成した後、アモルファスシリコンを成長させた。次にエキシマレーザを使用してこのアモルファスシリコンをアニールしてポリシリコン化させ、更に100 (10nm)の酸化シリコン膜を成長させた。

【0082】

ガラス基板上に上述の工程によって形成したシリコン膜を所望の形状にパターニングした後、フォトリソをパターニングし、リンイオンをドーピングすることによりソースとドレイン領域とを形成した。更に、900 (90nm)の酸化シリコン膜を成長させた後、マイクロクリスタルシリコン( $\mu$ -c-Si)とタングステンシリサイド(WSi)を成長させ、ゲート形状にパターニングした。

【0083】

酸化シリコン膜と窒化シリコン膜を連続成長させた後、コンタクト用の穴をあけ、アルミニウム膜とチタン膜とをスパッタで形成し、これをパターニングした。窒化シリコン膜を形成し、コンタクト用の穴をあけ、画素電極用に透明電極であるITO(Indium Tin Oxide:酸化インジウム)を形成しパターニングした。このようにしてプレーナ型のTFT画素スイッチを形成し、TFTアレイを形成した。

【0084】

周辺回路部は、上述の画素スイッチの形成方法と同様にnチャンネルTFTと共に、nチャンネルTFTとほぼ同様の形成方法でイオンドーピングによってpチャンネルとしたpチャンネルTFTとを作りこんだ。

【0085】

データ保持回路3はTFTで形成されたDRAMとし、1つのメモリセルは1つのトランジスタと1つの容量とで形成した。このメモリセルは、ビット線とワード線に接続される。このようなメモリセルを二つのビット線間に交互に配置することで、ビット線対とメモリセルとで構成されるメモリセルアレイを形成した。

【0086】

以上の工程によって形成されたTFT基板上的表示部4のデータ保持回路3に最も近い辺とその対向する辺とに、これらの辺に沿うようにパターニングされた4 $\mu$ mの柱を形成し、セルギャップを保つためのスペーサ5として使用すると同時に耐衝撃力を有するようにした。

【0087】

また、第2の支持基板2において、TFT基板と対向させたときに画素領域部4と対向する領域にITOをパターニングし、DRAM部(データ保持回路3)と対向する領域には非導電体の光吸収性樹脂による遮光膜6を設け、同一の面のそれ以外の領域には紫外線硬化用のシール材を塗布した。

【0088】

TFT基板の表示部4に液晶をディスペンサで滴下し、TFT基板と第2の支持基板2とを合わせ、シール部に紫外線を照射して接着した。液晶材料はネマチック液晶とし、カイラル材を加えラビング方向をマッチさせることによって、TN(Twisted Nematic)型とした。

【0089】

本実施例では、ポリシリコン膜の形成にエキシマレーザを用いたが、他のレーザ、例え

10

20

30

40

50

ば、連続発振するCW (Continuous Wave Oscillation) レーザ等を使用してもよい。

【実施例2】

【0090】

次に、本発明の第2実施例について説明する。本実施例では、本発明の第1実施形態に係る表示装置の第1の支持基板1をガラス基板とし、表示部4及びデータ保持回路3をポリシリコン(多結晶シリコン、poly-Si)のTFTアレイで作製した。

【0091】

本実施形態は、第2の支持基板2がDRAM部(データ保持回路3)の上には存在しない構造である。第2の支持基板2をTFT基板と対向させるとき、画素領域部4に対向する領域にITOをパターンニングし、またこの面の画素領域部4の周辺部に対向する領域に4 $\mu$ mの樹脂スペーサを形成した。

10

【0092】

実施例1と同様の工程によって形成されたTFT基板の画素領域部4の外周には熱硬化用のシール材を塗布した。

【0093】

TFT基板と第2の支持基板2とを熱印加により接着した後、樹脂スペーサ5によって設けられている隙間に液晶を注入した。液晶材料はネマチック液晶とし、カイラル材を加えラビング方向をマッチさせることによって、TN型とした。

【0094】

上述の実施例2と比較する目的で、TFT基板のDRAM部(データ保持回路3)に対向する領域にITOを有する第2の支持基板2が存在する構成の表示装置を作製した。これを比較例1とする。なお、比較例1と本発明の実施例2では、データ保持回路3の容量は各々最適化した。

20

【0095】

本発明の実施例2と比較例1とを比較すると、ビット線1ミクロン当たりの寄生容量は、比較例1で0.30fFに対し、実施例2では0.25fFと16%減少している。この効果により、メモリセルアレイ部のレイアウト長さWは、比較例1で4.4mmであったのに対し、実施例2では2.3mmと大きく減少した。減少率は、47%を超える。

【0096】

寄生容量の差以上にメモリセルアレイ部のレイアウト長さが異なるのは、寄生容量が大きいと必要なメモリセルの容量が大きく、ビット線の長さが長くなり、ビット線の長さが長くなるとビット線全体での寄生容量が増え、必要なメモリセルの容量が大きくなる、という関係を有するため、設計においてビット線1ミクロン当たりの寄生容量、ビット線長及びメモリセルの容量をパラメータとし、最適化することで、メモリセルアレイ部のレイアウト長さが決定されるためである。このような最適化の結果、上述のように、実施例2と比較例1とではメモリセルアレイ部のレイアウト長さに大きな差が生じた。

30

【実施例3】

【0097】

次に、本発明の第3実施例について説明する。上述の実施例1において、第2の支持基板2のTFT基板と対向する面の反対側の面には膜が設けられていなかったのに対し、本実施例においては、第2の支持基板2のTFT基板側の面の反対側の面に導電体膜8が設けられている点が異なり、それ以外は同様の構造である。このような構成であっても、本実施例の表示装置は上述の比較例1と比較して小さな回路面積が得られた。

40

【0098】

ここで、第2の支持基板2に設けられている導電体膜7又は8(データ保持回路3側の面に設けられているかデータ保持回路3側の面の反対側の面に設けられているかを問わない)とDRAM部(データ保持回路3)との距離をd、DRAM部(データ保持回路3)の容量の誘電体膜の膜厚をtとして、図13に比較例1のDRAM部(データ保持回路3)の回路面積と本発明のDRAM部(データ保持回路3)の回路面積の比と、上述のdとtの比が満たすべき関係を示す。

50

## 【 0 0 9 9 】

図 1 3 から分かるように、D R A M 部（データ保持回路 3）の容量の誘電体膜の膜厚  $t$  に比べて、第 2 の支持基板 2 に設けられている導電体膜 6 又は 7 と D R A M 部（データ保持回路 3）との距離  $d$  が大きくなるにつれて、D R A M 部（データ保持回路 3）の回路面積を小さくすることができる。特に、 $t : d$  が  $1 : 100$  を超えると、D R A M 部（データ保持回路 3）の回路面積を比較例 1 の  $3 / 4$  以下にすることが可能であり、更に  $t : d$  が  $1 : 1000$  を超えると、回路面積の縮小がほぼ飽和するため、最も回路面積を小さくする構成が可能である。

## 【 0 1 0 0 】

即ち、例えば D R A M 部（データ保持回路 3）の容量の誘電体膜厚が  $200 \text{ nm}$  のときは、第 2 の支持基板 2 の導電体膜 7 又は 8 との距離を  $200 \mu\text{m}$  以上とすると最小の回路面積が実現できる。また、D R A M 部（データ保持回路 3）の容量の誘電体膜厚が  $50 \text{ nm}$  のときは、第 2 の支持基板 2 の導電体膜 7 又は 8 との距離を  $50 \mu\text{m}$  以上とすると最小の回路面積が実現できる。

10

## 【 0 1 0 1 】

第 2 の支持基板 2 として薄い基板を使用した場合、例えばその基板厚が  $50 \mu\text{m}$  より薄いとき、最小の回路面積を実現したい場合には D R A M 部（データ保持回路 3）の容量の誘電体膜厚を  $50 \text{ nm}$  より薄くするとよい。このような薄い基板は、例えば、ガラス基板の研磨、フッ酸等の薬液処理及びレーザーアブレーションによる剥離等によって得られる。また、プラスチック基板を使用してもよい。

20

## 【 0 1 0 2 】

一方、D R A M 部（データ保持回路 3）の容量の誘電体膜厚が例えば  $200 \text{ nm}$  の場合は、本発明の表示装置を機器内に設置する場合に、D R A M 部（データ保持回路 3）と機器の構造物との間に  $200 \mu\text{m}$  以上の空間を設け、この空間に導電体を介在させないことで、回路面積を最小にすることができる。

## 【 実施例 4 】

## 【 0 1 0 3 】

次に、本発明の第 4 実施例について説明する。本実施例では、本発明の第 1 実施形態に基づき 2 段構成のセンスアンプを使用する第 9 実施形態を実施した。T F T 基板の形成方法は、上述の実施例 1 で説明した方法と同様である。以下、特に D R A M 部（データ保持回路 3）の回路の構成とその動作を説明する。

30

## 【 0 1 0 4 】

本実施例のビット線回路の構成について図 9 及び図 10 を参照して説明する。図示の便宜上、2 つの図に分割しているが、図 9（D R A M 回路図上部）及び図 10（D R A M 回路図下部）に示した点 J 同士、点 K 同士を接続することにより、1 つのビット線回路が構成される。

## 【 0 1 0 5 】

第 1 の回路、即ち小振幅プリアンプ回路 4 9 0 2 と、第 2 の回路、即ちフルスイングアンプ回路 4 9 0 3 とがビット線対に接続される。ビット線 O D D にはワードアドレスが奇数の場合に選択されるメモリセルが接続される。一例として N チャネルの M O S（Metal Oxide Semiconductor）型トランジスタ M 1 2 と容量 C 2 とで構成されるメモリセル 5 3 0 3 が W L \_ O D D で選択されるセルとして図中に示されている。同様に、ビット線 E V N にはワードアドレスが偶数の場合に選択されるメモリセルが接続される。一例として N チャネルの M O S 型トランジスタ M 1 3 と容量 C 1 とで構成されるメモリセル 5 3 0 4 がワード線 W L \_ E V N で選択されるセルとして図中に示されている。それ以外の複数のメモリセルは省略されている。

40

## 【 0 1 0 6 】

更に、ビット線対には N チャネルの M O S 型トランジスタ M 1 4 乃至 1 6 で構成されるプリチャージ回路 5 3 0 2 が接続され、P C ノードに与える信号でこれらの M O S 型トランジスタのオン・オフが制御される。P C S には  $V_{DD1} / 2$  が与えられており、制御線

50

PCにハイレベルが与えられたとき、ビット線対は $V_{DD1}/2$ に設定される。

【0107】

データ読み出し用に、ビット線EVNにはMTG3A、MXTG3Aで構成されたトランスファゲートが接続され、これは制御線TG3AとXTG3A(TG3Aと相補関係の信号が与えられる)でオン・オフする。また、ビット線ODDにはMTG3B、MXTG3Bで構成されたトランスファゲートが接続され、これは制御線TG3BとXTG3Bでオン・オフする。これら2つのトランスファゲートはデータをOUTノードに読み出す際に活性化される。読み出すメモリセルのワードアドレスが偶数が奇数かに応じていずれか一方のみのトランスファゲートがオンするよう制御される。

【0108】

データ書き込み用にビット線EVNにはアナログスイッチMTG1Aが接続され、これは制御線TG1Aでオン・オフする。また、ビット線ODDにはアナログスイッチMTG1Bが接続され、これは制御線TG1Bでオン・オフする。これら2つのアナログスイッチはデータを書き込む際に活性化される。書き込むメモリセルのワードアドレスが偶数が奇数かに応じてどちらか一方のみのアナログスイッチがオンするよう制御される。

【0109】

MDRGT及びMXDRGTで構成されるトランスファゲートはカラムデコーダ(図示せず)でオン・オフが制御される。書き込み動作時で且つカラムアドレスがそのビット線回路に相当する場合DRGTがオンされ、データバスの信号をスイッチMTG1A、MTG1Bに転送し、どちらか一方のスイッチを経てビット線に書き込む。

【0110】

本実施例では電源電圧を $V_{DD1}$ とした。また、小振幅プリアンプ回路4902及びフルスイングアンプ回路4903のSANノードは $V_{SS}(=0V)$ に接続した。また、SAPは $V_{DD1}$ に接続した。メモリセル5303及び5304内の容量のMOS型トランジスタに接続されない側の端子Vplateは $V_{DD1}/2$ に接続して、容量端子間の電圧ストレスを最小限にした。図12には各ビット線の寄生容量として $C_d$ を記載した。

【0111】

次に、図14を参照して本実施例のDRAM回路の動作について説明する。まず、メモリセル5303及び5304からOUTノードにデータを読み出す場合の動作について説明する。

【0112】

AのタイミングでPCを立ち上げることで、プリチャージ回路5302によりビット線対(ODD、EVN)は $V_{DD1}/2$ にプリチャージされる。ビット線対がプリチャージされたBのタイミングでPASにハイレベルを与えスイッチM03及びM04をオンにする。すると、ノードA及びBがこの $V_{DD1}/2$ にプリチャージされる。

【0113】

その後、Cのタイミングで1つのワード線に高電圧を与える。ここでは例としてWL<sub>EVN</sub>に高電圧を与える。これによりビット線EVNには、メモリセル5304のC1によって保持されていた電圧により $V$ の電圧が読み出される。このC1によって保持されていた電圧が $V_{DD}$ の場合は、 $V_{DD1}/2 + |V|$ の電圧、C1によって保持されていた電圧が0の場合は、 $V_{DD1}/2 - |V|$ の電圧がビット線EVNに現れる。 $|V|$ の値は上述の数式1で示される値である。

【0114】

以下、メモリセル5304のC1によって保持されていた電圧が $V_{DD1}$ であり、WL<sub>EVN</sub>に高電圧を与えたとき、ビット線EVNに $V_{DD1}/2 + |V|$ の電圧が現れた場合について説明する。

【0115】

Dのタイミングで、SE3にハイレベルを与えることで小振幅プリアンプ回路4902が増幅・ラッチ動作を開始する。EVNの電圧が $V_{DD1}/2 + |V|$ 、ODDの電圧が $V_{DD1}/2$ であるため、小振幅プリアンプ回路4902のセンス動作によりODDの

10

20

30

40

50

電圧は  $V_{SS}$  ( $= 0V$ ) まで引き下げられる。一方、 $EVN$  の電圧はほとんど下がらず、たとえば ( $V_{DD1}/2$ ) - 程度となる。ここでは、 $V_{DD1}/2$  と、電圧が高いほうのノードが安定した電圧との差を示す。

【0116】

小振幅プリアンプ回路4902によって、 $EVN$  と  $ODD$  の電位差  $V$  が所望の電位差に増幅され、ビット線対 ( $ODD$ 、 $EVN$ ) に書き込みが完了すれば、 $E$  で示すように  $PAS$  をロウレベルとして、スイッチ  $M03$ 、 $M04$  をオフにして小振幅プリアンプ回路4902をビット線対から切り離す。

【0117】

その後、小振幅プリアンプ回路4902には  $M01$  及び  $M02$  のボディ電位をリセットするためのボディ電位リセットパルスが与えられる。

10

【0118】

一方、小振幅プリアンプ回路4902で増幅されてビット線対に保持されている電圧 ( $0$ 、 $(V_{DD1}/2)$  - ) はタイミング  $F$  において、フルスイングアンプ回路4903によって ( $0$ 、 $V_{DD1}$ ) に増幅される。

【0119】

電源電圧まで増幅された信号は  $MTG3A$  等で構成されるトランスファゲートをオンすることで  $OUT$  ノードに読み出される。

【0120】

ここまでが1周期の動作であり、再び読み出すか又は書き込む場合はビット線のプリチャージに動作を戻す。

20

【0121】

ここでは  $OUT$  ノードにデータを読み出す動作を説明したが、このときメモリセル5303及び5304のリフレッシュ動作も同時に行われている。即ち、 $SE1$  及び  $SE2$  によってフルスイングアンプ回路4903が  $F$  のタイミングで活性化される際、ワード線 (ここでは  $WL\_EVN$ ) はハイレベルが与えられているので、電源電圧まで増幅されたビット線の信号はそのままメモリセル (ここでは5304) に書き込まれ、メモリセルのデータはリフレッシュされる。

【0122】

次に、データバスからメモリセル5304内の容量  $C1$  に  $0V$  を書き込む際の動作について説明する。

30

【0123】

$A$  のタイミングから  $F$  のタイミング及び小振幅プリアンプ回路4902にボディ電位リセットパルスが与える駆動は、上述のメモリセル5303及び5304から  $OUT$  ノードにデータを読み出す場合の動作と同様であるので、ここでは  $F$  のタイミング以降について説明する。

【0124】

$G$  のタイミングで  $MTG1A$  をオンにする。このときカラムデコーダ (図示せず) によって  $MDRG1$  等で構成されるトランスファゲートはオンにされており、また、 $WL\_EVN$  により  $M13$  がオンにされているので、データバスからビット線  $EVN$ 、 $M13$  のバスでデータバスに現れている  $0V$  を容量  $C1$  に書き込むことができる。このとき、フルスイングアンプ4903はラッチ状態であるが、データバス、 $MDRG1$  等で構成されるトランスファゲート及び  $MTG1A$  のインピーダンスが十分低く、ラッチ状態を反転させることが可能であり、これによってデータを書き込む。

40

【0125】

ここまでが1周期の動作であり、再び読み出すか又は書き込む場合はビット線のプリチャージに動作を戻す。

【0126】

ボディ電位リセット動作を行うことでラッチ型センスアンプ回路の感度が高くなり、 $V$  の絶対値が小さい場合であっても誤動作せず安定した読み出し動作が可能となった。そ

50



のため、1組のビット線対に接続可能なメモリセル数を増やすことが可能となり、単位面積あたりのメモリ容量（メモリセルの容量値ではなく、メモリできる情報量）を向上させることが可能になる。

【0127】

なお、電源投入後はメモリセルへの書き込み動作が、メモリセルからの読み出し動作より先に行われる。この書き込み動作時に小振幅プリアンプ回路4902のMOS型トランジスタ4901a及び4901bにボディ電位リセットパルスが与えられるので、電源投入後最初の読み出しであってもラッチ型センスアンプの誤動作を避けることができる。

【0128】

更に、センスアンプが2段構成であるため、ラッチ型センスアンプ回路全体の感度が向上し、Vの絶対値が小さい場合であっても安定した読み出し動作が可能となった。そのため、1組のビット線対に接続可能なメモリセル数を増やすことが可能となり、単位面積あたりのメモリ容量を向上させることが可能となる。

【0129】

更に、第2の支持基板2とのこれらの容量との間の寄生容量が存在しないため、DRAM部（データ保持回路3）の容量に付随する寄生容量を大きく減らすことができる。その結果、メモリセル内の容量のサイズを小さくすることができ、1組のビット線対に接続可能なメモリセル数を増やすことが可能となり、よって、単位面積あたりのメモリ容量を向上させることが可能となる。

【0130】

上述の実施例では、本発明を判りやすく説明するために、データ保持回路3としてDRAMを使用しているが、他の容量を使用するデータ保持回路であってもよい。また、その容量の構造は、基板面に垂直な方向に2つの電極を有する構成であってもよいし、基板面に平行な方向に2つの電極を有する構成であってもよい。

【図面の簡単な説明】

【0131】

【図1】(a)は本発明の第1実施形態に係る表示装置を示す斜視図、(b)は(a)のA-A'線に沿った断面図である。

【図2】(a)は本発明の第2実施形態に係る表示装置を示す斜視図、(b)は(a)のA-A'線に沿った断面図である。

【図3】(a)は本発明の第3実施形態に係る表示装置を示す斜視図、(b)は(a)のA-A'線に沿った断面図である。

【図4】2周波駆動液晶の誘電異方性のクロスオーバー現象を示す模式図である。

【図5】(a)は本発明の第6実施形態に係る表示装置を示す斜視図、(b)は(a)のA-A'線に沿った断面図である。

【図6】(a)は本発明の第8実施形態に係る表示装置を示す斜視図、(b)は(a)のA-A'線に沿った断面図である。

【図7】センスアンプ付メモリセルアレイ121の1ビット線分の回路図である。

【図8】フレームメモリの構成の一例を示すブロック図である。

【図9】本発明の第9実施形態に係る表示装置のビット線回路の上部を示す回路図である。

【図10】本発明の第9実施形態に係る表示装置のビット線回路の下部を示す回路図である。

【図11】1トランジスタ1容量構造のメモリセルの構造を示す概略図である。

【図12】図11に示すメモリセルの容量のリテンション時間の測定結果である。

【図13】比較例1のDRAM部（データ保持回路3）の回路面積と本発明のDRAM部（データ保持回路3）の回路面積の比と、dとtの比が満たすべき関係を示すグラフである。

【図14】本発明の第4実施例に係る表示装置のDRAM回路の動作を示すブロック図である。

10

20

30

40

50

【図15】従来技術の一般的な駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

【図16】従来技術のDAC回路内蔵型の駆動回路一体型液晶表示装置のディスプレイシステムの構成を示すブロック図である。

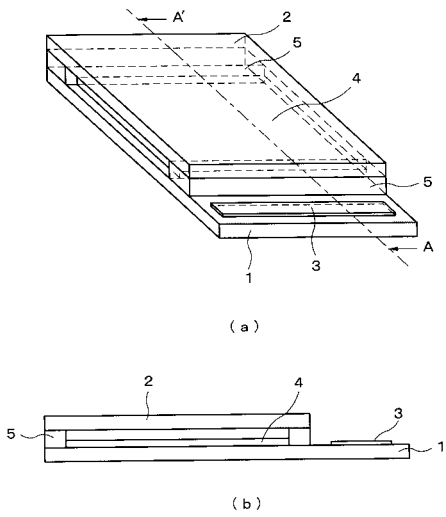
【符号の説明】

【0132】

1	; 第1の支持基板	
2	; 第2の支持基板	
3	; データ保持回路	
4	; 表示部	10
5	; スペース	
6	; 非導電体による遮光膜	
7	; 導電体膜	
8	; 導電体膜	
101	; 表示デバイス基板	
102	; コントローラIC	
103	; コントローラIC	
104	; システム側回路基板	
105	; ラッチ回路	
106	; デジタル・アナログ変換回路(DAC回路)	20
107	; セレクタ回路	
108	; レベルシフタ(Dビット)	
109	; 行方向の走査回路(走査線(ゲート線)駆動回路)	
110	; M行N列アクティブマトリクス表示領域	
111	; メモリ	
112	; 出力バッファ回路	
113	; コントローラ	
114	; インタフェース回路	
120	; ガラス基板	
121	; センスアンプ付メモリセルアレイ	30
122	; 行デコーダ	
123	; 列デコーダ	
160	; センスアンプ回路	
161	メモリセル	
162	プリチャージ回路	
163	; データ線	
3501	; 走査回路/データレジスタ	
3502	; デジタル・アナログ変換回路(DAC回路)	
3503	; レベルシフタ	
3504	; 列方向の走査回路(データ線駆動回路)	40
3505	; アナログスイッチ	
3506	列方向の走査回路(データ線駆動回路)	
4901a	; MOS型トランジスタ	
4901b	; MOS型トランジスタ	
4902	; 小振幅プリアンプ回路	
4903	; フルスイングアンプ回路	
4904	; ステップ波形電圧印加部又は履歴抑制部、又は電圧印加部	
4905a	; 伝達制御部	
4905b	; 伝達制御部	
5001	; 第1の期間	50

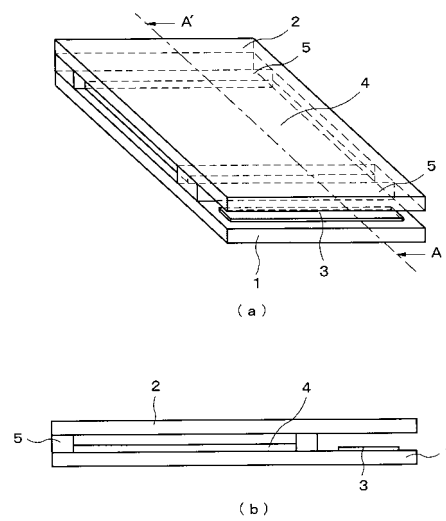
- 5 0 0 2 ; 第 2 の 期 間
- 5 3 0 1 a ; ビ ッ ト 線
- 5 3 0 1 b ; ビ ッ ト 線
- 5 3 0 2 ; プ リ チ ャ ー ジ 回 路
- 5 3 0 3 ; メ モ リ セ ル
- 5 3 0 4 ; メ モ リ セ ル
- 5 4 0 1 ; 電 圧 信 号 入 力 過 程
- B ; B ノ ー ド
- X B ; X B ノ ー ド

【 図 1 】



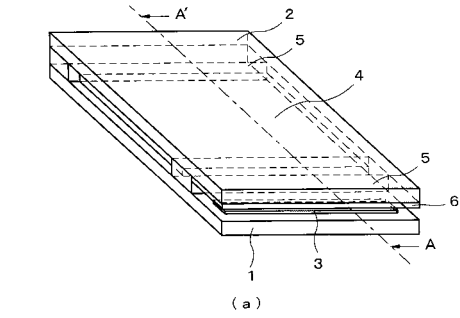
- 1 : 第 1 の 支 持 基 板
- 2 : 第 2 の 支 持 基 板
- 3 : デ ー タ 保 持 回 路
- 4 : 表 示 部
- 5 : ス ペ ー サ

【 図 2 】



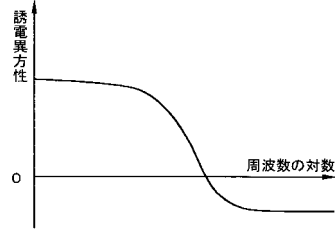
- 1 : 第 1 の 支 持 基 板
- 2 : 第 2 の 支 持 基 板
- 3 : デ ー タ 保 持 回 路
- 4 : 表 示 部
- 5 : ス ペ ー サ

【図3】

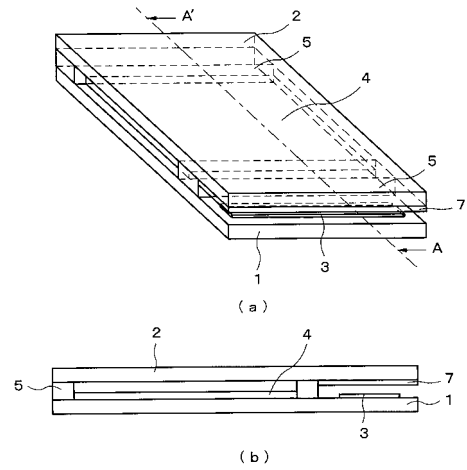


1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路  
 4: 表示部 5: スペース 6: 非導電体による遮光膜

【図4】

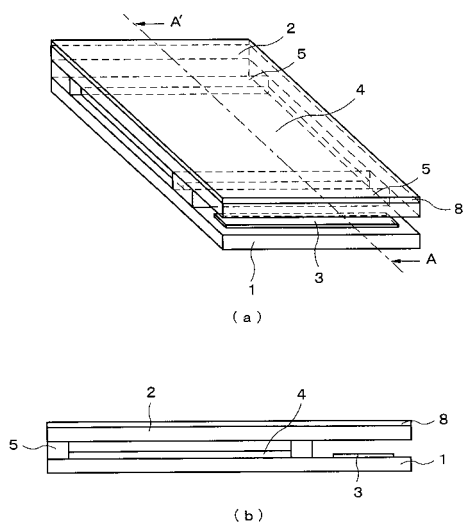


【図5】



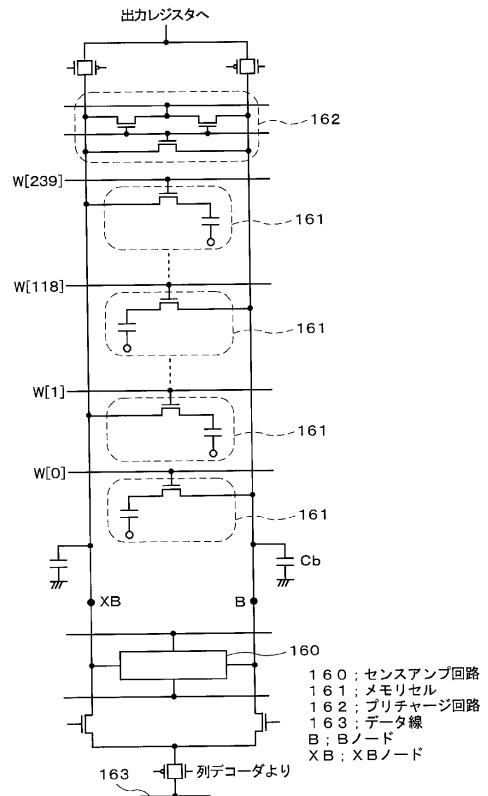
1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路  
 4: 表示部 5: スペース 7: 導電体膜

【図6】



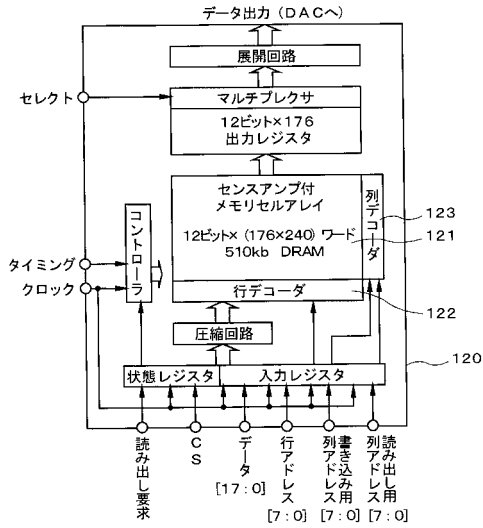
1: 第1の支持基板 2: 第2の支持基板 3: データ保持回路  
 4: 表示部 5: スペース 8: 導電体膜

【図7】



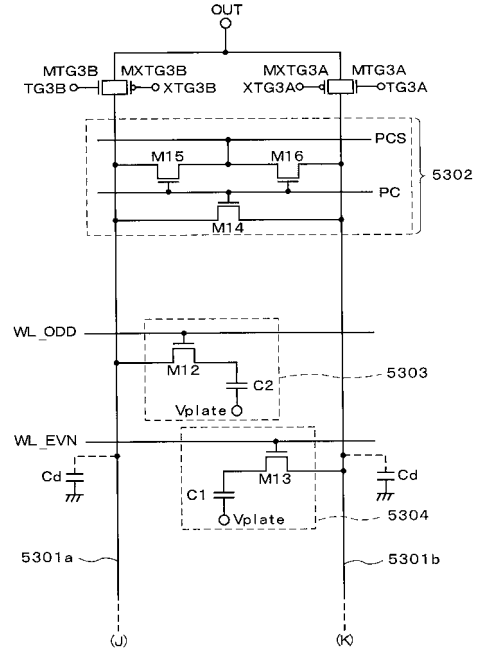
160: センスアンプ回路  
 161: メモリセル  
 162: プリチャージ回路  
 163: データ線  
 B: Bノード  
 XB: XBノード

【図 8】



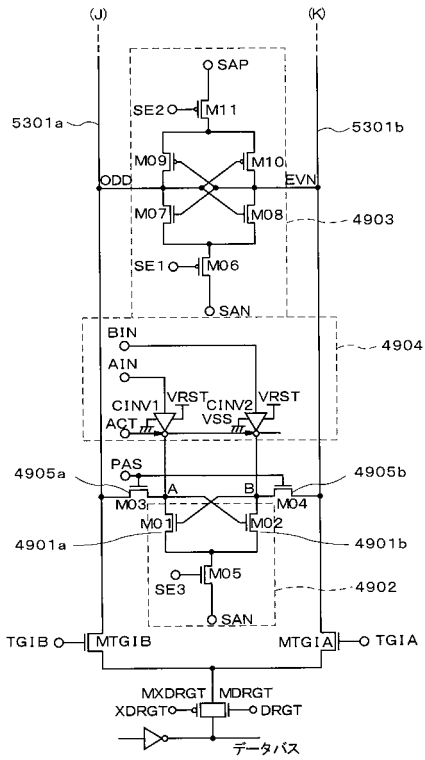
120 : ガラス基板  
121 : センスアンプ付メモリセルアレイ  
122 : 行デコーダ  
123 : 列デコーダ

【図 9】



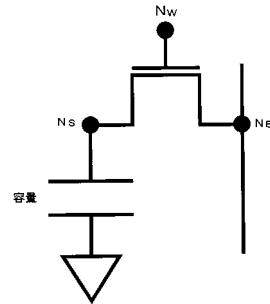
5301a : ビット線  
5301b : ビット線  
5302 : プリチャージ回路  
5303 : メモリセル  
5304 : メモリセル

【図 10】

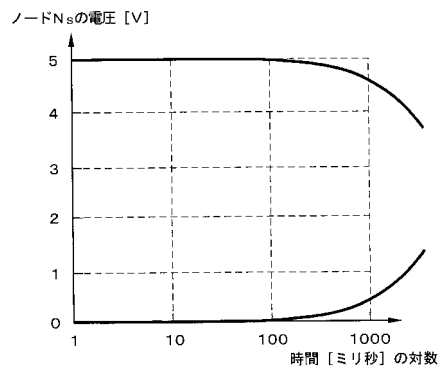


4901a、4901b : MOS型トランジスタ  
4902 : 小振幅プリアンプ回路  
4903 : フルスイングアンプ部  
4904 : ステップ波形電圧印加部、履歴抑制部又は電圧印加部  
4905a、4905b : 伝達制御部  
5301a、5301b : ビット線

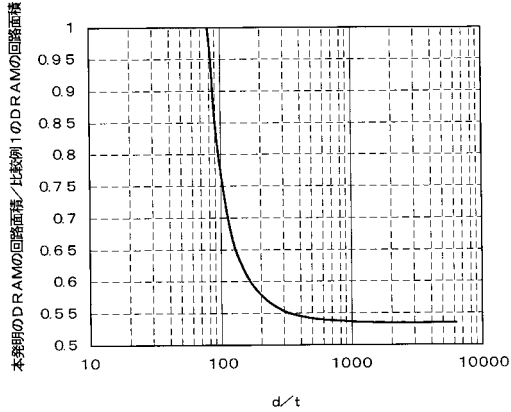
【図 11】



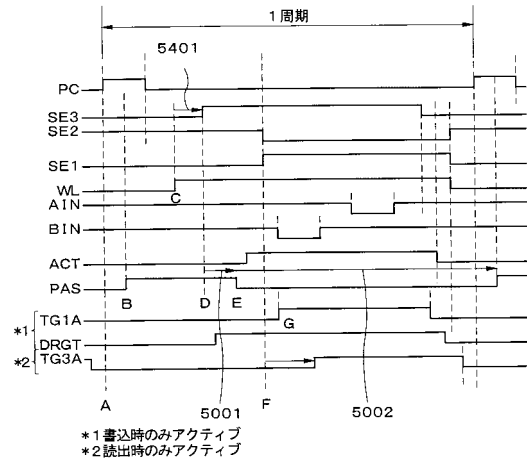
【図 12】



【図13】

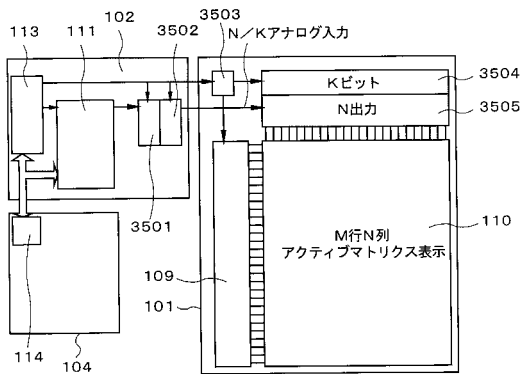


【図14】



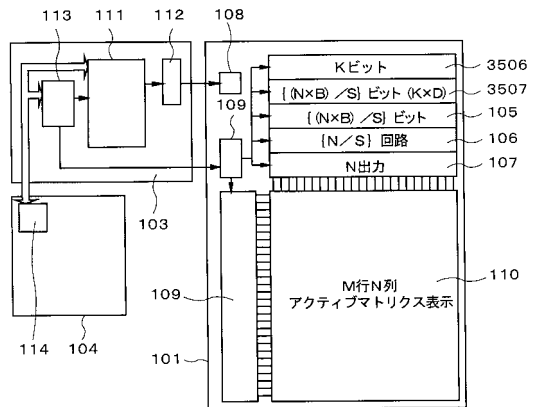
5001: 第1の期間      5002: 第2の期間  
 5401: 電圧信号入力過程

【図15】



101: 表示デバイス基板      102: コントローラIC  
 104: システム側回路基板  
 109: 行方向の走査回路 (走査線 (ゲート線) 駆動回路)  
 110: M行N列アクティブマトリクス表示領域      111: メモリ  
 113: コントローラ      114: インタフェース回路  
 3501: 走査回路/データレジスタ  
 3502: デジタル・アナログ変換回路 (DAC回路)  
 3503: レベルシフタ  
 3504: 列方向の走査回路 (データ線駆動回路)  
 3505: アナログスイッチ

【図16】



101: 表示デバイス基板      103: コントローラIC  
 104: システム側回路基板      105: ラッチ回路  
 106: デジタル・アナログ変換回路 (DAC回路)  
 107: セレクタ回路      108: レベルシフタ (Dビット)  
 109: 行方向の走査回路 (走査線 (ゲート線) 駆動回路)  
 110: M行N列アクティブマトリクス表示領域  
 111: メモリ      112: 出力バッファ回路  
 113: コントローラ      114: インタフェース回路  
 3506: 列方向の走査回路 (データ線駆動回路)  
 3507: データレジスタ

## フロントページの続き

(51)Int.Cl.		F I			
<b>G 0 2 F</b>	<b>1/133</b>	<b>(2006.01)</b>	G 0 9 F	9/30	3 1 0
			G 0 9 F	9/35	
			G 0 2 F	1/133	5 5 0

審査官 高 木 尚哉

(56)参考文献 特開2004 - 311984 (JP, A)  
 特開2001 - 148194 (JP, A)  
 特開平11 - 085065 (JP, A)  
 特開2005 - 010448 (JP, A)  
 特開2004 - 235586 (JP, A)  
 特開2005 - 244212 (JP, A)  
 特開2005 - 196949 (JP, A)  
 特開平09 - 269511 (JP, A)  
 特開2002 - 156954 (JP, A)  
 特表2005 - 519344 (JP, A)  
 特開平10 - 091759 (JP, A)  
 特開2002 - 318554 (JP, A)  
 特開2002 - 082656 (JP, A)  
 特開2004 - 046054 (JP, A)  
 特開2004 - 272638 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3 - 1 / 1 3 4 5
G 0 2 F	1 / 1 3 5 - 1 / 1 3 6
G 0 9 F	9 / 3 0
G 0 9 F	9 / 3 5
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6