



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0019782
(43) 공개일자 2011년02월28일

(51) Int. Cl.

B60L 9/08 (2006.01) H02M 7/12 (2006.01)

(21) 출원번호 10-2011-7001457

(22) 출원일자(국제출원일자) 2008년07월31일

심사청구일자 2011년01월21일

(85) 번역문제출일자 2011년01월19일

(86) 국제출원번호 PCT/JP2008/063793

(87) 국제공개번호 WO 2010/013343

국제공개일자 2010년02월04일

(71) 출원인

미쓰비시덴키 가부시카이가이샤

일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자

마츠모토 다케오

일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키 가부시카이가이샤 내

(74) 대리인

특허법인태평양

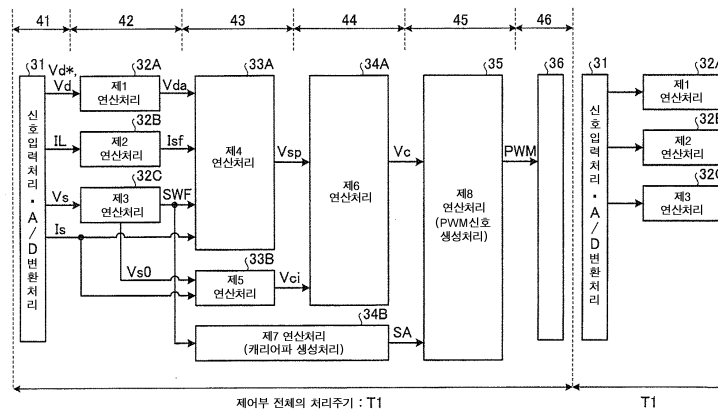
전체 청구항 수 : 총 8 항

(54) 교류 전기차의 제어장치

(57) 요약

교류 가선으로부터 변압기를 통하여 입력된 교류 전압을 직류 전압으로 변환하는 PWM 컨버터(3)의 동작을 제어하는 컨버터 제어부(20)를 구비한 교류 전기차의 제어장치에 있어서, 컨버터 제어부(20)에서 실행되는 연산 처리는 적어도 제1 ~ 제6 연산 처리 블록으로 구분되어 있고, 당해 제1 ~ 제6 연산 처리 블록은 FPGA로 구성됨과 아울러 제1 ~ 제3 연산 처리 블록 및 제4, 제5 연산 처리 블록은, 동시 병행 처리가 가능해지도록 구성되어 있다.

대표도 - 도2



특허청구의 범위

청구항 1

교류 가선으로부터 변압기를 통하여 입력된 교류 전압을 직류 전압으로 변환하는 PWM 컨버터를 가지는 교류 전기차에 적용되고, 당해 PWM 컨버터의 동작을 제어하는 컨버터 제어부를 구비한 교류 전기차의 제어장치에 있어서,

상기 컨버터 제어부에서 실행되는 연산 처리는 복수의 연산 처리 블록으로 구분되어 있고,

상기 구분된 복수의 연산 처리 블록은 FPGA로 구성됨과 아울러, 당해 구분된 복수의 연산 처리 블록의 몇 개는 동시 병행 처리가 가능해지도록 구성되어 있는 것을 특징으로 하는 교류 전기차의 제어장치.

청구항 2

청구항 1에 있어서,

상기 FPGA로 구성된 연산 처리 블록의 연산에서 사용하는 계인 정수 및 필터 정수를 포함한 정수의 설정 또는 변경은, 당해 FPGA로 구성된 연산 처리 블록 이외의 처리 블록에서 소프트웨어 처리에 의해서 행해지는 것을 특징으로 하는 교류 전기차의 제어장치.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 FPGA로 구성된 복수의 연산 처리 블록에는

소정의 직류 전압 기준과 실제의 컨버터 직류 전압에 기초하여 직류 전압 보정량을 산출하여 출력하는 제1 연산 처리부와,

컨버터 출력 전류에 기초하여 컨버터 입력 전류의 피드 포워드량을 산출하여 출력하는 제2 연산 처리부와,

필터를 통과한 가선 전압을 출력함과 아울러 가선 전압의 필터 출력에 의해 기본 정현파를 산출하여 출력하는 제3 연산 처리부가 포함되는 것을 특징으로 하는 교류 전기차의 제어장치.

청구항 4

청구항 3에 있어서,

상기 제1 연산 처리부, 상기 제2 연산 처리부, 및 상기 제3 연산 처리부는 동시 병렬 처리가 가능해지도록 구성되어 있는 것을 특징으로 하는 교류 전기차의 제어장치.

청구항 5

청구항 1 또는 청구항 4 중 어느 한 항에 있어서,

상기 FPGA로 구성된 복수의 연산 처리 블록에는

직류 전압 보정량, 컨버터 입력 전류의 2차 전류 피드 포워드량, 기본 정현파, 및 컨버터 입력 전류에 기초하여 컨버터 전압 기준의 생성에 필요한 제1 보정량을 산출하여 출력하는 제4 연산 처리부와,

가선 전압의 필터 출력과 컨버터 입력 전류에 기초하여 컨버터 전압 기준의 생성에 필요한 제2 보정량을 산출하는 제5 연산 처리부가 포함되는 것을 특징으로 하는 교류 전기차의 제어장치.

청구항 6

청구항 5에 있어서,

상기 제4 연산 처리부 및 상기 제5 연산 처리부는 동시 병행 처리가 가능해지도록 구성되어 있는 것을 특징으로 하는 교류 전기차의 제어장치.

청구항 7

청구항 5 또는 청구항 6에 있어서,

상기 FPGA로 구성된 복수의 연산 처리 블록에는

상기 제1 보정량과 상기 제2 보정량에 기초하여 컨버터 전압 기준을 산출하여 출력하는 제6 연산 처리부와,

기본 정현파에 기초하여 상기 PWM 컨버터를 구동하기 위한 PWM 신호의 생성에 필요한 캐리어를 산출하여 출력하는 제7 연산 처리부와,

상기 컨버터 전압 기준과 상기 캐리어에 기초하여 상기 PWM 신호를 생성하여 출력하는 제8 연산 처리부가 포함되는 것을 특징으로 하는 교류 전기차의 제어장치.

청구항 8

청구항 7에 있어서,

상기 제6 연산 처리부 및 상기 제7 연산 처리부는 동시 병행 처리가 가능해지도록 구성되어 있는 것을 특징으로 하는 교류 전기차의 제어장치.

명세서

기술분야

[0001] 본 발명은 교류 전기차의 제어장치에 관한 것이며, 특히 컨버터부의 제어 연산을 FPGA(Field Programmable Gate Alley)에서 처리하도록 한 교류 전기차의 제어장치에 관한 것이다.

배경기술

[0002] 종래의 교류 전기차의 제어장치에서 컨버터 제어부의 전형적인 구성은, 예를 들어 하기 특허 문헌 1의 도 2 등에 도시되어 있다. 이 특허 문헌 1에 도시된 컨버터 제어부를 포함하여, 종래의 컨버터 제어부에서는 컨버터 제어에 의한 제어 연산의 대부분이 아날로그량의 가감승제를 주로 한 연산의 집합체이며, 부동 소수점수의 연산에 의한 구성이 용이하다는 이유로, DSP(Digital Signal Processor)를 이용한 소프트웨어에 의한 연산 처리가 주류로 되었다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) [특허 문헌 1] 일본국 특개소 62-77867호 공보

발명의 내용

해결하려는 과제

[0004] 상술한 바와 같이, 종래의 교류 전기차의 제어장치에 있어서 컨버터 제어부에서는 DSP를 이용한 소프트웨어에 의한 연산 처리가 중심이 되어 구성되어 있었다.

[0005] 그렇지만, DSP에 의한 소프트웨어 연산의 경우, 일반적으로 하드웨어 연산에 비해 처리 속도가 빠를 수 없고, 이에 더하여 제어 정밀도 향상을 도모하기가 어렵다는 과제가 있었다.

[0006] 또, DSP에 의한 소프트웨어 연산이 주체가 되는 경우, 처리 속도가 비교적 빠른 제어 모듈(하드웨어)과, 처리 속도가 느린 제어 모듈(소프트웨어) 간의 데이터 수수(授受)에서, 의도하지 않는 지연이나 타이밍 차이가 생겨서, 결과적으로 컨버터 동작에 의해 발생하는 귀선(歸線) 전류의 고조파에 이상적으로는 발생하지 않는 전원 주파수의 비동기 성분이 증첩하여, 다른 신호기기의 동작을 방해할 수 있다는 문제점이 있었다.

[0007] 또한, DSP를 이용한 소프트웨어에 의한 연산 처리를 대신하여, FPGA에 의한 연산 처리를 중심으로 하는 구성으로 변경하는 것도 생각할 수 있다. 그렇지만, 컨버터 제어부의 연산은 아날로그량의 가감승제를 주로 한 연산이

기 때문에, 고정 소수점수 연산을 실시하는 FPGA에서 정밀도 있는 연산을 실행하기 위하여는 큰 비트수가 필요하고, 결과적으로 FPGA 본래의 특징인 처리 속도가 빠른 연산이 곤란하게 된다는 문제점이 있었다.

[0008] 본 발명은 상기를 감안하여 이루어진 것으로서, 컨버터 제어부의 제어 연산을 FPGA에 의해 처리하는 경우에, 처리 속도의 저하를 억제하고 소망한 제어 정밀도를 확보하면서, 귀선 고조파의 영향을 저감할 수 있는 교류 전기차의 제어장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 상술한 과제를 해결하여 목적을 달성하기 위해서, 본 발명에 관한 교류 전기차의 제어장치는 교류 가선으로부터 변압기를 통하여 입력된 교류 전압을 직류 전압으로 변환하는 PWM 컨버터를 가지는 교류 전기차에 적용되고, 당해 PWM 컨버터의 동작을 제어하는 컨버터 제어부를 구비한 교류 전기차의 제어장치에 있어서, 상기 컨버터 제어부에서 실행되는 연산 처리는 복수의 연산 처리 블록으로 구분되어 있고, 상기 구분된 복수의 연산 처리 블록은 FPGA로 구성됨과 아울러, 당해 구분된 복수의 연산 처리 블록의 몇 개는 동시 병행 처리가 가능해지도록 구성되어 있는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명에 관한 교류 전기차의 제어장치에 의하면, 컨버터 제어부에서 실행되는 연산 처리 블록은 복수의 연산 처리 블록으로 구분됨과 아울러, 당해 구분된 복수의 연산 처리 블록은 FPGA로 구성되고, 또한, 당해 구분된 복수의 연산 처리 블록의 몇 개는 동시 병행 처리가 가능해지도록 구성되어 있으므로, 처리 속도의 저하를 억제하고 소망한 제어 정밀도를 확보하면서, 귀선 고조파의 영향을 저감 할 수 있는 효과를 얻는 것이 가능해진다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시 형태에 관한 컨버터 제어부의 구성을 주체로 하여 나타내는 기능 블록도이다.
 도 2는 도 1에 도시된 컨버터 제어부(20)에서의 각 처리 흐름을 나타내는 도면이다.
 도 3은 도 2에 도시된 신호 입력 처리·A/D 변환 처리 블록의 구체적인 처리 내용을 나타내는 도면이다.
 도 4는 도 1과는 다른 구성의 교류 전기차에 적용되는 제어장치의 구성을 나타내는 도면이다.
 도 5는 도 1 및 도 4와는 다른 구성의 교류 전기차에 적용되는 제어장치의 구성을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하에 첨부 도면 참조하여, 본 발명에 관한 교류 전기차의 제어장치의 실시 형태를 상세하게 설명한다. 또한, 이하에 나타내는 실시 형태에 의해 본 발명이 한정되는 것은 아니다.

[0013] 도 1은 본 발명의 실시 형태에 관한 컨버터 제어부의 구성을 주체로 하여 나타내는 기능 블록도이며, 상단부에는 교류 전기차의 구동계를 나타내고, 하단부에는 교류 전기차의 제어계를 이루는 컨버터 제어부(20)를 나타내고 있다.

[0014] 도 1에 있어서, 교류 전기차의 구동계에서는, 교류 가선(18)으로부터의 교류 전력이 입력되는 팬더그래프(1), 팬더그래프(1)로부터 공급되는 교류 전력을 입력으로 하는 주변압기(2), 주변압기(2)의 교류 전압이 인가되고, 인가된 교류 전압을 직류 전압으로 변환하는 PWM 컨버터(3), PWM 컨버터(3)의 직류 전압을 평활화하는 필터 캐패시터(이하 「FC」로 표기; 5), 및 FC(5)에 의해 평활화된 직류 전압에 의해 구동되는 부하(4)를 구비하여 구성된다. 또한, 부하(4)에는 PWM 컨버터(3)로부터 출력되는 직류 전압을 교류 전압으로 변환하는 인버터, 이 인버터의 교류 전압이 인가되는 교류 모터, 교류 모터에 의해 구동되는 철도 차량 등이 포함된다.

[0015] 한편, 교류 전기차의 제어계를 이루는 컨버터 제어부(20)는 제1 ~ 제6 연산 처리부(21~26), 캐리어 생성부(14), PWM 신호 생성부(15), 및 AD 변환기(6; 6a ~ 6 d)를 구비하여 구성된다.

[0016] 제1 연산 처리부(21)는 필터(7a), 가감산기(11a), 정전압 제어부(13)를 구비하고 있고, 내부에서 생성되는 소정의 직류 전압 기준(Vd*)과 실제의 컨버터 직류 전압(Vd)에 기초하여 직류 전압 보정량(Vda)을 산출한다. 또한, 컨버터 직류 전압(Vd)은 예를 들면 도시된 것처럼, FC(5)의 양단 전압을 검출한 검출치를 이용할 수 있다.

[0017] 제2 연산 처리부(22)는 연산 증폭기(도면에서 「G1」은 게인값을 나타내며, 이하 마찬가지로 도시함; 10a)를 구비하고 있고, 컨버터 출력 전류(IL)에 기초하여 컨버터 입력 전류의 피드 포워드(feed forward)량(이하 「2차

전류 피드 포워드량」이라고 함; Isf)을 산출한다. 또한, 컨버터 출력 전류(IL)는 예를 들면 도시된 같이, PWM 컨버터(3)와 부하(4)를 연결하는 직류 모선에 흐르는 전류를 검출한 검출치를 이용할 수 있다.

- [0018] 제3 연산 처리부(23)는 필터(7b), 기본 정현파 생성부(8)를 구비하고 있고, 가선 전압(Vs)의 필터 출력에 기초하여 기본 정현파(SWF)를 산출한다. 또한, 제3 연산 처리부(23)는 기본 정현파(SWF)와 함께 필터(7b)를 통과한 가선 전압(Vs0)도 출력한다.
- [0019] 제4 연산 처리부(24)는 가감산기(11b, 11c), 곱셈기(12), 연산 증폭기(10b)를 구비하고 있고, 직류 전압 보정량(Vda), 2차 전류 피드 포워드량(Isf), 기본 정현파(SWF), 및 컨버터 입력 전류(Is)에 기초하여 후술하는 컨버터 전압 기준(Vc)의 생성에 필요한 제1 보정량(Vsp)을 산출한다.
- [0020] 제5 연산 처리부(25)는 여현파 생성부(9), 연산 증폭기(10c), 가감산기(11e)를 구비하고 있고, 가선 전압 필터 출력(Vs0)과 컨버터 입력 전류(Is)에 기초하여 컨버터 전압 기준(Vc)의 생성에 필요한 제2 보정량(Vci)을 산출한다.
- [0021] 제6 연산 처리부(26)는 가감산기(11d)를 구비하고 있고, 제1 보정량(Vsp)과 제2 보정량(Vci)에 기초하여, 컨버터 전압 기준(Vc)을 산출한다.
- [0022] 캐리어 생성부(14)는 기본 정현파(SWF)에 기초하여 PWM 신호의 생성에 필요한 캐리어(SA)를 산출한다.
- [0023] PWM 신호 생성부(15)는 컨버터 전압 기준(Vc)과 캐리어(SA)에 기초하여 PWM 컨버터(3)에 구비되는 스위칭 소자(도시 생략)를 구동하기 위한 PWM 신호를 생성 출력한다.
- [0024] 또한, 도 1에서는, 2차 전류 피드 포워드량(Isf)을 산출하는 제2 연산 처리부(22)를 갖는 구성을 도시하였지만, 제2 연산 처리부(22)를 생략해도 컨버터 제어는 가능하다. 단, 제2 연산 처리부(22)는 동시 연산이 가능한 처리부이기도 하고, 본 실시 형태의 동작을 설명하는데 있어서 키가 되는 처리부 중 하나를 이룬다. 이 때문에, 이 이후의 설명에서는 제2 연산 처리부(22)를 포함하는 것을 전제로 하여 설명한다.
- [0025] 다음으로, 컨버터 제어부(20)의 보다 상세한 동작 설명을 도 1 및 도 2의 각 도면을 참조하여 설명한다. 여기서, 도 2는 도 1에 도시된 컨버터 제어부(20)에 있어서 각 처리의 흐름을 나타내는 도면이다.
- [0026] 본 실시 형태에 관한 컨버터 제어부(20)에서는 컨버터 제어부(20)에서 실행되는 각부 연산 처리 등을, 도 2에 나타내는 바와 같이, 컨버터 제어부 전체의 처리 주기(T1) 내에서 제1 처리 기간(41) ~ 제6 처리 기간(46)까지의 6개 처리 기간으로 구분하고 있다. 구체적으로, 제1 처리 기간(41)에서는 신호 입력 처리·A/D(아날로그/디지털) 변환 처리 블록(31)에 의한 처리가 실행되고, 제2 처리 기간(42)에서는 제1 연산 처리 블록(32A), 제2 연산 처리 블록(32B) 및 제3 연산 처리 블록(32C)에 의한 각 처리가 실행되고, 제3 처리 기간(43)에서는 제4 연산 처리 블록(33A) 및 제5 연산 처리 블록(33B)에 의한 각 처리가 실행되고, 제4 처리 기간(44)에서는 제6 연산 처리 블록(34A) 및 제7 연산 처리(캐리어 파 생성 처리) 블록(34B)에 의한 각 처리가 실행되고, 제5 처리 기간(45)에서는 제8 연산 처리(PWM 신호 생성 처리) 블록(35)에 의한 처리가 실행되고, 제6 처리 기간(46)에서는 신호 출력 처리 블록(36)에 의한 처리가 실행된다.
- [0027] 또한, 도 2에서는, 제5 연산 처리 블록(33B) 및 제7 연산 처리 블록(34B)에 의한 각 처리의 개시 시기를, 제4 연산 처리 블록(33A)에 의한 처리의 개시 시기에 맞춘 것처럼 나타내고 있지만, 이 경우로 제한되지 않는다. 예를 들면, 제5 연산 처리 블록(33B)은 제4 연산 처리 블록(33A) 보다도 선행하여 실시하는 것이 가능함과 아울러, 자기의 처리 완료 시기와 제4 연산 처리 블록(33A)의 처리 완료 시기를 거의 일치시키도록, 제3 처리 기간(43) 내의 임의 시점을 처리의 개시 시점으로 설정하는 것도 가능하다. 또, 제7 연산 처리 블록(34B)은 자기의 처리 완료 시기와 제6 연산 처리 블록(34A)의 처리 완료 시기를 거의 일치시키도록, 제3 처리 기간(43) 및 제4 처리 기간(44)에 의한 각 처리 기간 내의 임의 시점을 처리의 개시 시점으로 설정하는 것이 가능하다.
- [0028] 다음으로, 각 처리 블록에 대해서 설명한다. 신호 입력 처리·A/D 변환 처리 블록(31)에는 A/D 변환기(6a ~ 6d)에 의해 행해지는 A/D 변환 처리, 연산 증폭기(10a ~ 10c)에서의 각 계인의 설정 처리, 필터(7a, 7b)에서의 필터 정수의 입력 처리 등이 포함된다. 또, 제1 연산 처리 블록(32A)은 제1 연산 처리부(21)에 의해서 실행되는 처리에 대응한다. 이하, 마찬가지로, 제2 연산 처리 블록(32B)은 제2 연산 처리부(22)에 의해서 실행되는 처리에 대응하고, 제3 연산 처리 블록(32C)은 제3 연산 처리부(23)에 의해서 실행되는 처리에 대응하고, 제4 연산 처리 블록(33A)은 제4 연산 처리부(24)에 의해서 실행되는 처리에 대응하고, 제5 연산 처리 블록(33B)은 제5 연산 처리부(25)에 의해서 실행되는 처리에 대응하고, 제6 연산 처리 블록(34A)은 제6 연산 처리부(26)에 의해서 실행되는 처리에 대응한다. 이에 더하여, 제7 연산 처리(캐리어 파 생성 처리) 블록(34B)은 캐리어 생성부(14)

에 의해서 실행되는 처리에 대응하고, 제8 연산 처리(PWM 신호 생성 처리) 블록(35)은 PWM 신호 생성부(15)에 의해서 실행되는 처리에 대응한다. 또, 신호 출력 처리 블록(36)은 PWM 신호를 PWM 컨버터(3)에 출력할 때의 인터페이스 처리 등에 대응한다.

- [0029] 다음으로, 본 실시 형태에 관한 컨버터 제어부(20)의 동작을 도 1에 나타내는 각 구성요소와 도 2에 나타내는 각 처리 블록에 관계지어 설명한다.
- [0030] (제1 연산 처리부(21)의 동작)
- [0031] 컨버터 제어부(20)에 입력된 컨버터 출력 전압(Vd)은 A/D변환기(6a)에 의해 디지털 신호로 변환된다(신호 입력 처리·A/D 변환 처리 블록(31)). 변환된 디지털 신호는 제1 연산 처리부(21) 내의 필터(7a)에 입력되고, 가감산기(11a)에서 직류 전압 기준(Vd*)과 필터(7a) 출력의 차분이 산출되고, 정전압 제어부(13)에서 직류 전압 보정량(Vda)이 산출된다(제1 연산 처리 블록(32A)).
- [0032] (제2 연산 처리부(22)의 동작)
- [0033] 컨버터 제어부(20)에 입력된 컨버터 출력 전류(IL)는 A/D변환기(6b)에 의해 디지털 신호로 변환된다(신호 입력 처리·A/D 변환 처리 블록(31)). 변환된 디지털 신호는 제2 연산 처리부(22) 내의 연산 증폭기(10a)에 의해 게인(G1)이 곱해져 2차 전류 피드 포워드량(Isf)이 산출된다(제2 연산 처리 블록(32B)).
- [0034] (제3 연산 처리부(23)의 동작)
- [0035] 컨버터 제어부(20)에 입력된 가선 전압(Vs)은 A/D변환기(6d)에 의해 디지털 신호로 변환된다(신호 입력 처리·A/D 변환 처리 블록(31)). 변환된 디지털 신호는 제3 연산 처리부(23) 내의 필터(7b)에 입력되고, 가선 전압 필터 출력(Vs0)이 생성됨과 아울러, 가선 전압 필터 출력(Vs0)이 기본 정현파 생성부(8)에 입력되어, 기본 정현파(SWF)가 산출된다(제3 연산 처리 블록(32C)).
- [0036] 또한, 이러한 제1 연산 처리부(21) ~ 제3 연산 처리부(23)의 동작은 동시 병행 처리가 가능하기 때문에, FPGA 상에서 다른 회로를 이용한 연산 처리로 할 수 있다.
- [0037] (제4 연산 처리부(24)의 동작)
- [0038] 컨버터 제어부(20)에 입력된 컨버터 입력 전류(Is)는 A/D 변환기(6c)에 의해 디지털 신호로 변환된다(신호 입력 처리·A/D 변환 처리 블록(31)). 한편, 제1 연산 처리부(21) ~ 제3 연산 처리부(23)에 의한 각 출력인, 직류 전압 보정량(Vda), 2차 전류 피드 포워드량(Isf), 기본 정현파(SWF)는 제4 연산 처리부(24)에 입력된다. 여기서, 직류 전압 보정량(Vda)과 2차 전류 피드 포워드량(Isf)은 제4 연산 처리부(24) 내의 가감산기(11b)에 입력되고, 그 가산 출력(Isp)이 곱셈기(12)에 의해서 기본 정현파(SWF)와 곱셈되어, 컨버터 입력 전류 기준(Is*)가 산출됨과 아울러 A/D변환기(6c)에 의해 디지털 신호로 변환된 컨버터 입력 전류(Is)와의 편차(ΔIs)가 가감산기(11c)에서 산출되고, 연산 증폭기(10b)에 의해 게인(G2)을 곱한 제1 보정량(Vsp)이 산출된다(이상, 제4 연산 처리 블록(33A)).
- [0039] (제5 연산 처리부(25)의 동작)
- [0040] A/D 변환기(6c)에 의해 디지털 신호로 변환된 컨버터 입력 전류(Is)는 제5 연산 처리부(25) 내의 여현파 생성부(9)에도 입력된다(신호 입력 처리·A/D 변환 처리 블록(31)). 제5 연산 처리부(25)에서는 컨버터 입력 전류(Is)에 기초하여 여현파 생성부(9)에 의해 여현파(CWF)가 생성됨과 아울러 연산 증폭기(10c)에 의해 게인(G3)을 곱한 보정량(VL)이 산출된다. 산출된 보정량(VL)과 제3 연산 처리부(23)로부터 입력된 가선 전압 필터 출력(Vs0)이 가감산기(11e)에 입력되고, 그 감산 출력이 제2 보정량(Vci)으로서 산출된다(이상, 제5 연산 처리 블록(33B)).
- [0041] 또한, 이러한 제4 연산 처리부(24) 및 제5 연산 처리부(25)의 동작도, 동시 병행 처리가 가능하기 때문에, FPGA 상에서 다른 회로를 이용한 연산 처리로 할 수 있다.
- [0042] (제6 연산 처리부(26)의 동작)
- [0043] 제4 연산 처리부(24) 및 제5 연산 처리부(25)에 의한 각 출력인, 제1 보정량(Vsp) 및 제2 보정량(Vci)은 제6 연산 처리부(26) 내의 가감산기(11d)에 입력되어, 그 감산 출력이 컨버터 전압 기준(Vc)으로서 산출된다(제6 연산 처리 블록(34A)).
- [0044] (캐리어 생성부(14)의 동작)

- [0045] 캐리어 생성부(14)에서는 제3 연산 처리부(23)로부터 입력된 기본 정현파(SWF)에 기초하여, PWM 신호의 생성에 필요한 캐리어(SA)가 산출된다(제7 연산 처리 블록(34B)). 또한, 캐리어 생성부(14)에 의한 연산 처리는 상기 제4 연산 처리부(24) 및 제5 연산 처리부(25)에 의한 각 연산 처리와 병행하여 실시할 수도 있고, 상기 제6 연산 처리부(26)에 의한 연산 처리와 병행하여 실시할 수도 있다.
- [0046] (PWM 신호 생성부(15)의 동작)
- [0047] PWM 신호 생성부(15)에서는 상기 제6 연산 처리부(26)에서 산출된 컨버터 전압 기준(V_c)과 캐리어 생성부(14)에서 산출된 SA에 기초하여 PWM 컨버터(3)를 구동하는 PWM 제어 신호가 생성된다(제8 연산 처리 블록(35)). 또, 생성된 PWM 제어 신호는 PWM 컨버터(3)를 향해서 출력된다(신호 출력 처리 블록(36)).
- [0048] 상술한 바와 같이, 본 실시 형태에 관한 컨버터 제어부에서는 각 연산 처리 등을 컨버터 제어부 전체의 처리 주기(T1) 내에서 실행함과 아울러 이러한 각 연산 처리가 처리 주기(T1) 내에 모두 포함되도록 FPGA에 의해 실행하도록 하고 있다.
- [0049] 도 3은 도 2에 도시된 신호 입력 처리·A/D 변환 처리 블록의 구체적인 처리 내용을 나타낸 도면이다. 도 3에 나타내는 바와 같이, 신호 입력 처리·A/D 변환 처리 블록에서는 컨버터 직류 전압(V_d)의 A/D 변환 처리(51), 컨버터 출력 전류(IL)의 A/D 변환 처리(52), 가선 전압(V_s)의 A/D 변환 처리(53), 컨버터 입력 전류(I_s)의 A/D 변환 처리(54), 직류 전압 기준(V_{d*})의 신호 입력 처리(55), 게인 정수(G1, G2, G3)의 입력 처리(56), 필터 정수의 입력 처리(57) 등의 처리가 실행된다.
- [0050] 여기서, FPGA에 의해 컨버터 제어부의 연산을 실현하는 경우, 각 연산에 이용하는 정수를 FPGA에 내장시켜 둘 수 있다. 그렇지만, FPGA 논리의 변경은 소프트웨어 논리의 변경에 비하여 특수한 장비가 필요하고, 작업이 복잡해진다. 이 때문에, 예를 들면 조정의 단계에서 제어부의 정수를 변경하려고 했을 때에 간단하게 변경 작업을 실행할 수 없고, 조정에 시간이 걸린다.
- [0051] 한편, 본 실시 형태에 관한 컨버터 제어부에서는, 도 3에 나타내는 바와 같이, 신호 입력 처리·A/D 변환 처리 블록(31)에서 제어 연산에서 이용하는 게인 정수(G1 ~ G3)나 필터 정수의 설정 또는 변경을 소프트웨어로부터 독취하는 구성으로 하고 있으므로, 조정에 시간이 걸린다는 문제는 발생하지 않는다. 즉, 본 실시 형태에 관한 컨버터 제어부에서는 게인 정수나 필터 정수의 변경을 소프트웨어의 변경으로 실현되도록 하고 있으므로, FPGA 내장 정수의 변경과 같은 특별한 장비나 절차를 필요로 하지 않게 되어, 조정의 용이화, 시간 단축을 도모할 수 있다.
- [0052] 또한, 도 2 및 도 3에 나타내는 처리에서는 게인 정수나 필터 정수의 독취는 각 처리 주기의 모두(冒頭)에서 실행하도록 하고 있지만, 이에 제한되지 않는다. 예를 들면, 전원 투입 직후와 같은 미리 결정된 타이밍에서 독취 처리를 실행하도록 할 수도 있고, 본 실시 형태와 동일한 효과를 얻을 수 있다.
- [0053] 상술된 것처럼, 본 실시 형태에 의한 교류 전기차의 제어 장치에 의하면, 컨버터 제어부의 연산을 FPGA에 의해 실현할 때에, 컨버터 제어에 필요한 복수의 연산 처리 가운데, 동시 연산이 가능한 연산 처리의 몇 개를 조합시켜 병행 처리하도록 하고 있으므로, 비트수가 큰 고정 소수점수 연산이더라도, 고속 처리를 실현할 수 있다.
- [0054] 또, 본 실시 형태에 의한 교류 전기차의 제어장치에 의하면, 컨버터 제어에 필요한 복수의 연산 처리를 FPGA에 의한 처리 중에 모두 완결시킬 수 있으므로, 처리 속도가 다른 제어 모듈간에서 의도하지 않은 처리 지연이나 타이밍 차이 등을 회피할 수 있다. 그 결과, 컨버터 동작에 의해 발생하는 귀선 고조파를 저감 할 수 있어서, 다른 신호기기의 동작에 대한 영향을 작게 하는 것이 가능해진다.
- [0055] 또, 본 실시 형태에 의한 교류 전기차의 제어장치에 의하면, 제어 연산에서 이용하는 게인 정수나 필터 정수의 변경을 소프트웨어의 변경으로 실현할 수 있으므로, FPGA 내장 정수의 변경과 같은 특별한 장비나 절차가 불필요해져서, 조정의 용이화, 조정 시간의 단축화가 가능해진다.
- [0056] 도 4는 도 1과는 다른 구성의 교류 전기차에 적용되는 제어장치의 구성을 나타내는 도면이다. 도 1의 제어장치에서는 가선 전압(V_s)으로서 주변압기(2)의 1차측 전압을 모니터링하도록 구성하고 있었지만, 도 4의 제어장치에서는 주변압기(2)의 3차측 전압을 모니터링하도록 구성하고 있다. 또한, 주변압기(2)의 3차측 전압을 모니터링하는 구성이라도, 컨버터 제어부(20)를 도 1과 동일 또는 동등하게 구성함으로써, 상기한 제어장치와 동일한 효과를 얻을 수 있다는 것은 말할 필요도 없다.
- [0057] 또, 도 5는, 도 1 및 도 4와는 다른 구성의 교류 전기차에 적용되는 제어장치의 구성을 나타내는 도면이다. 도 1의 교류 전기차는 1개의 PWM 컨버터를 가지는 구성이었지만, 도 5의 교류 전기차는 2개의 PWM 컨버터가 부하에

대해서 병렬로 접속되어 있다. 이와 같은 교류 전기차의 경우, 도 5에 나타내는 바와 같이, 제1 연산 처리부(21) 및 제2 연산 처리부(22)를 공통화하는 한편으로, 제3 연산 처리부(23) ~ 제6 연산 처리부(26), 및 캐리어 생성부(14) 및 PWM 신호 생성부(15)를 개별적으로 마련함으로써, 도 2와 동일한 연산 처리 블록으로 분할한 처리가 가능해진다. 따라서 도 5에 나타내는 제어장치의 구성이라도, 상기한 제어장치와 마찬가지로 효과를 얻을 수 있다는 것은 말할 필요도 없다.

[0058] 또, 본 실시 형태에 관한 제어장치에서는 신호 입력 처리·A/D 변환 처리 블록 및 신호 출력 처리 블록(36) 이외의 연산 처리 블록을, 제1 ~ 제8 연산 처리 블록으로 구분하고 있기 때문에, 도 1, 도 4, 도 5와 같이 교류 전기차의 사양·구성, 혹은 제어장치의 사양·구성이 변경되는 경우라도, 당해 사양 등의 변경에 대응하여 필요한 연산 블록만 변경하면 되기 때문에, 기종 변경·조정의 용이화, 시간 단축화가 가능해진다. 또, 고장 등의 불만에 대해서도 고장난 부분의 분리가 용이해지므로, 복구의 용이성과 장치의 신뢰성을 향상시키는 것이 가능해진다.

[0059] 또한, 본 실시 형태와 같이 제어 장치의 연산 처리를 제1 ~ 제8 연산 처리 블록으로 구분한 경우, 개개의 리소스가 작아져서, FPGA 상의 배치 자유도가 증가한다. 이 때문에, 고속연산 처리를 유지하면서, 비교적 소형의 FPGA를 복수 구성할 수 있어서, 제어장치 전체의 소형화를 도모하는 것도 가능하다.

[0060] 이상과 같이, 본 발명에 관한 교류 전기차의 제어장치는 컨버터부의 제어 연산을 FPGA에 의해 처리할 수 있는 발명으로서 유용하다.

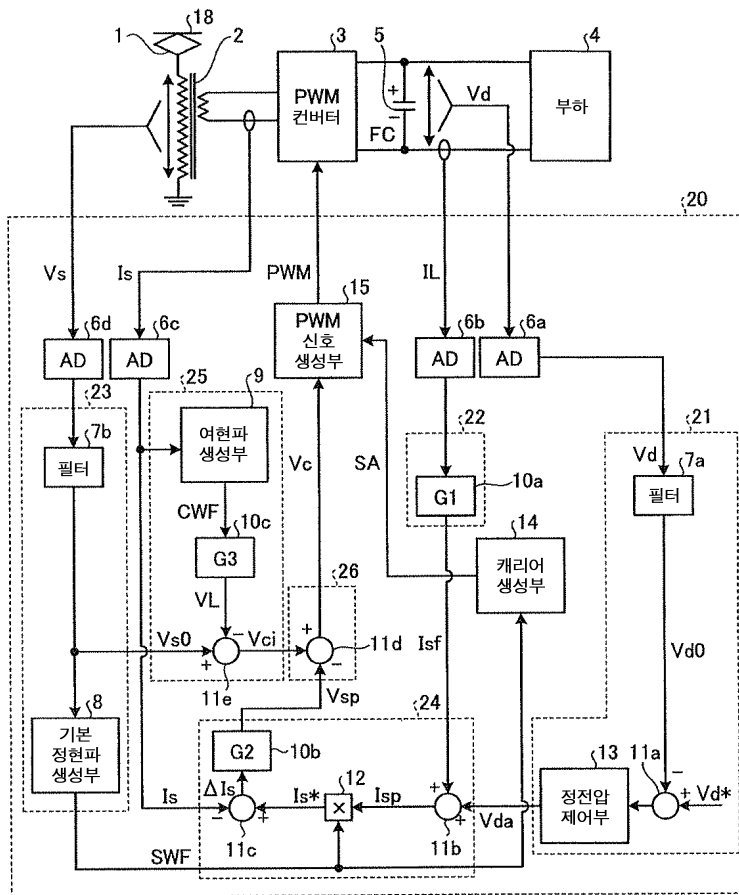
부호의 설명

- [0061]
- | | |
|---------------------------------|------------------|
| 1: 팬더그래프 | 2: 주변압기 |
| 3: PWM 컨버터 | 4: 부하 |
| 6a ~6d: A/D변환기 | 7a, 7b: 필터 |
| 8: 기본 정현파 생성부 | 9: 여현파 생성부 |
| 10a ~ 10c: 연산 증폭기 | 11a ~ 11e: 가감산기 |
| 12: 곱셈기 | 13: 정전압 제어부 |
| 14: 캐리어 생성부 | 15: PWM 신호 생성부 |
| 18: 가산 | 20: 컨버터 제어부 |
| 21: 제1 연산 처리부 | 22: 제2 연산 처리부 |
| 23: 제3 연산 처리부 | 24: 제4 연산 처리부 |
| 25: 제5 연산 처리부 | 26: 제6 연산 처리부 |
| 31: 신호 입력 처리·A/D 변환 처리 블록 | |
| 32A: 제1 연산 처리 블록 | 32B: 제2 연산 처리 블록 |
| 32C: 제3 연산 처리 블록 | 33A: 제4 연산 처리 블록 |
| 33B: 제5 연산 처리 블록 | 34A: 제6 연산 처리 블록 |
| 34B: 제7 연산 처리(캐리어 웨이브 생성 처리) 블록 | |
| 35: 제8 연산 처리(PWM 신호 생성 처리) 블록 | |
| 36: 신호 출력 처리 블록 | 41: 제1 처리 기간 |
| 42: 제2 처리 기간 | 43: 제3 처리 기간 |
| 44: 제4 처리 기간 | 45: 제5 처리 기간 |
| 46: 제6 처리 기간 | |
| 51: 컨버터 직류 전압(Vd)의 A/D변환 처리 | |

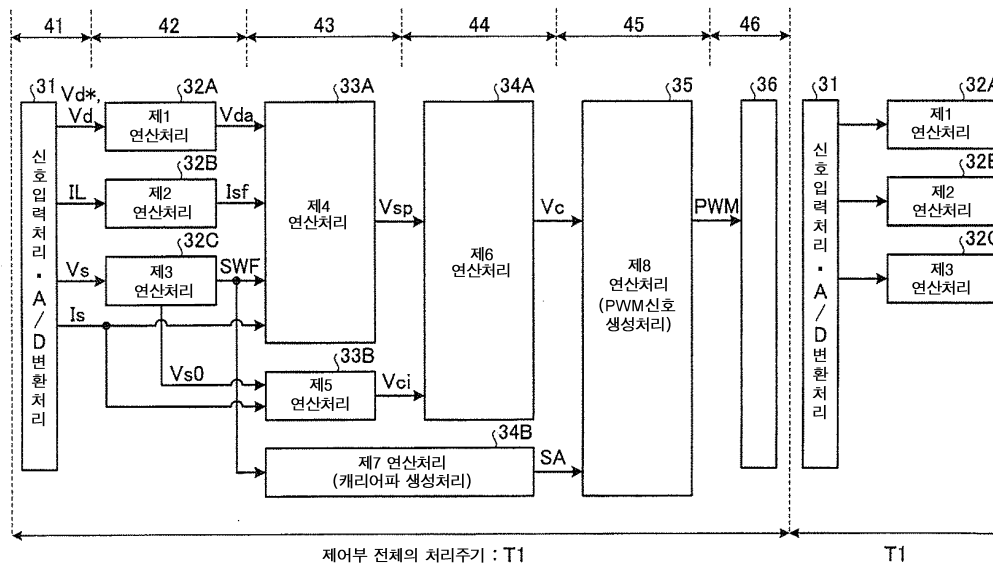
- 52: 컨버터 출력 전류(IL)의 A/D변환 처리
- 53: 가선 전압(Vs)의 A/D변환 처리
- 54: 컨버터 입력 전류(Is)의 A/D변환 처리
- 55: 직류 전압 기준 Vd*의 신호 입력 처리
- 56: 게인 정수 G1, G2, G3의 입력 처리
- 57: 필터 정수의 입력 처리

도면

도면1



도면2



도면3

