(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-270010
(P2006-270010A)
(43)公開日　平成18年10月5日(2006.10.5)

(51)Int.Cl.			F I			テーマコード（参考）
H01G	4/12	(2006.01)	H01G	4/12	346	5E001
H01G	4/30	(2006.01)	H01G	4/30	301F	5E082
H01G	2/24	(2006.01)	H01G	1/04		

審査請求 未請求　請求項の数 17　ＯＬ　（全 21 頁）

(21)出願番号　特願2005-138683 (P2005-138683)
(22)出願日　平成17年5月11日 (2005.5.11)
(31)優先権主張番号　特願2004-282381 (P2004-282381)
(32)優先日　平成16年9月28日 (2004.9.28)
(33)優先権主張国　日本国 (JP)
(31)優先権主張番号　特願2005-49196 (P2005-49196)
(32)優先日　平成17年2月24日 (2005.2.24)
(33)優先権主張国　日本国 (JP)
(31)優先権主張番号　特願2004-158428 (P2004-158428)
(32)優先日　平成16年5月27日 (2004.5.27)
(33)優先権主張国　日本国 (JP)
(31)優先権主張番号　特願2004-282392 (P2004-282392)
(32)優先日　平成16年9月28日 (2004.9.28)
(33)優先権主張国　日本国 (JP)

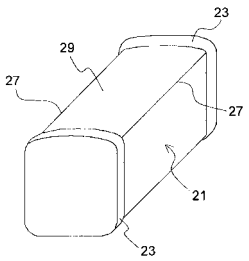
(71)出願人　000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町６番地
(74)代理人　100104318
弁理士　深井　敏和
(72)発明者　山崎　洋一
鹿児島県国分市山下町１番４号　京セラ株式会社総合研究所内

Ｆターム(参考)　5E001 AB03　AF02
5E082 AA01　AB03　FG04　FG26　GG10
LL01　MM26

最終頁に続く

(54)【発明の名称】チップ型電子部品

(57)【要約】
【課題】　小型であっても視認性が高くかつ機械的強度の高いチップ型電子部品、ならびに、外部電極の破壊を防止でき、かつセラミック本体を大きくできるチップ型電子部品を提供することである。
【解決手段】　セラミック本体２１の、少なくとも一面が凸状の湾曲面２９を具備しているチップ型電子部品である。このチップ型電子部品は、積層方向の面が凸状に湾曲し、前記凸状の主面に対して垂直方向かつ導体部が露出しないセラミック本体の側面が凹状に湾曲しているのがよく、一面のみが凸状の湾曲面を具備していてもよい。また、絶縁層と導体層とを交互に積層してなるセラミック本体と、一対の外部電極とを具備してなり、前記セラミック本体の前記外部電極間の中央部における積層方向の厚みを、端面側の厚みよりも大きくしたチップ型電子部品である。
【選択図】図６



【特許請求の範囲】
【請求項１】
内部に導体部を有するセラミック本体により構成されるチップ型電子部品であって、前記セラミック本体の、少なくとも一面が凸状の湾曲面であることを特徴とするチップ型電子部品。
【請求項２】
前記セラミック本体が略直方体状であり、前記セラミック本体の厚さ方向における少なくとも一方の面が凸状に湾曲するとともに、セラミック本体の側面が凹状に湾曲している請求項１記載のチップ型電子部品。
【請求項３】
セラミック本体の体積が８ｍｍ^{3}以下で、かつ、凸状および凹状の湾曲面の曲率半径ｒ１およびｒ１１が５０ｍｍ以下である請求項１または２記載のチップ型電子部品。
【請求項４】
厚さ方向の膨張率および幅方向の膨張率が絶対値で１％より大きい請求項１～３のいずれかに記載のチップ型電子部品。
【請求項５】
厚さ方向の膨張率および幅方向の膨張率が絶対値で５％より大きい請求項４記載のチップ型電子部品。
【請求項６】
凸状の湾曲面が、セラミック本体の幅方向に沿って厚さを変化させて形成されている請求項１～５のいずれかに記載のチップ型電子部品。
【請求項７】
一面のみが凸状の湾曲面である請求項１記載のチップ型電子部品。
【請求項８】
セラミック本体の体積が１ｍｍ^{3}以下で、かつ、湾曲面の曲率半径ｒ２が５ｍｍ以下である請求項1または７記載のチップ型電子部品。
【請求項９】
厚さ方向の膨張率が１％より大きい請求項７または８に記載のチップ型電子部品。
【請求項１０】
厚さ方向の膨張率が５％より大きい請求項９記載のチップ型電子部品。
【請求項１１】
湾曲面が他の面とは異なる色調である請求項１～１０のいずれかに記載のチップ型電子部品。
【請求項１２】
前記セラミック本体が、セラミックからなる複数の絶縁層と、該絶縁層と交互に積層された導体部とからなる請求項１～１１のいずれかに記載のチップ型電子部品。
【請求項１３】
セラミックからなる複数の絶縁層と導体層とを交互に積層してなるセラミック本体と、該セラミック本体の両端面に形成され前記導体層と１層おきに交互に接続された一対の外部電極とを具備してなるチップ型電子部品であって、
前記セラミック本体は、前記外部電極間の中央部における積層方向の厚みが、端面側の厚みよりも大きいことを特徴とするチップ型電子部品。
【請求項１４】
外部電極間における積層方向の厚みが端面側から中央部にかけて漸次拡大されている請求項１３記載のチップ型電子部品。
【請求項１５】
セラミック本体の体積が８ｍｍ^{3}以下で、かつ、湾曲面の曲率半径ｒ３が５０ｍｍ以下である請求項１３または１４記載のチップ型電子部品。
【請求項１６】
外部電極の厚みが５μｍ以上である請求項１３～１５のいずれかに記載のチップ型電子

部品。
【請求項１７】
セラミック本体の積層方向の最大厚みをｔ、セラミック本体の積層方向と同一方向における外部電極の最大幅をｔ０としたときに、ｔ≧ｔ０の関係を満足する請求項１３～１６のいずれかに記載のチップ型電子部品。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明はチップ型電子部品に関し、特に、積層セラミックコンデンサ、インダクタ、抵抗体、半導体素子等、その形状が略直方体状をした小型のチップ型電子部品に関する。
【背景技術】
【０００２】
近年、電子機器は小型化、実装の高密度化が図られており、例えば特許文献１に記載されているように、コンデンサ、インダクタ、抵抗体、半導体素子等の様々な特性を持ったチップ型電子部品が、前記電子機器を構成する基板上に混在して搭載されている。特許文献１に記載されているようなチップ型電子部品（特許文献１の回路素子に相当）としては、例えば特許文献２に記載されている小型の積層セラミックコンデンサ（大きさ：長さ２ｍｍ、幅１．２５ｍｍ、厚み１．２５ｍｍ）等がある。
【０００３】
しかしながら、上記したように基板上には多種多様なチップが混在するため、実装時及びリペア時の作業は煩雑化している。そこで、用いるチップ型電子部品の表面にその特性や製造元のメーカー名などの情報を記載することが考案されている。しかし、基板の高密度化およびチップ型電子部品の小型化により、部品表面の情報を視認することが困難になっている。
【０００４】
また、小型化したチップ型電子部品は、それ自体の機械的強度が小さい。このため、自動機による搬送や基板上への実装の際に、掴まれる強さや基板上へ設置されるときの速さや強さでチップ型電子部品が破壊されるという問題があった。また、焼成後のセラミック本体の稜線部などは角ばっているために、実装時にチッピングが発生しやすいという問題があった。
【０００５】
一方、図１４は、下記の非特許文献１に記載されているような、従来の代表的な積層セラミックコンデンサを示す概略断面図である。図１４に示すように、この積層セラミックコンデンサは、セラミック本体７１の対向する端面に一対の外部電極７３を形成し構成されている。このような積層型のチップ型電子部品（積層型電子部品）では、外部電極７３まで含めた最外周の寸法が規格寸法となっている。つまり、セラミック本体７１の積層方向の厚みｔ３は、外部電極７３の同じ方向の厚みｔ４よりも小さくなっているが、積層型電子部品の規格寸法は、上記外部電極７３の厚みｔ４で規定されている。
【０００６】
そのため、積層セラミックコンデンサの場合、小型高容量化を達成するために、容量発生部であるセラミック本体７１の大きさを可能な限り大きくし、一方、外部電極７３は極力薄くして、全体の寸法ができる限り小さくなるように設計し製造されている。
【０００７】
しかしながら、外部電極７３を薄く形成すると、容量発生部であるセラミック本体７１は大きくできるが、実装時に、外部電極７３に、はんだ食われが発生したり、実装や搬送などの工程においても外部電極７３のはがれが発生しやすいという問題があった。
【０００８】
一方、外部電極７３のはがれの発生を防止するために、外部電極７３を厚く形成すると、セラミック本体７１を小さくしなければならず、このため静電容量が低く抑えられるこ

ととなり、また、外部電極７３がセラミック本体７１の外形表面から突出した構造になりやすいことから、落下などの衝突の際には、外部電極７３の方が衝撃面になりやすく、このため外部電極７３が破壊されやすいという問題があった。

【０００９】

【特許文献１】特開２００３－３１８３１２号公報

【特許文献２】特開２０００－１１４０９７号公報

【非特許文献１】日本規格協会編　ＪＩＳハンドブック２００１　２３電子部品　Ｃ５１０１－１０

【発明の開示】

【発明が解決しようとする課題】

【００１０】

本発明の主たる課題は、実装時において、小型であっても、部品表面に記載された情報の視認性が高いチップ型電子部品を提供することである。

本発明の他の課題は、小型であっても機械的強度の高いチップ型電子部品を提供することである。

本発明のさらに他の課題は、小型であってもチッピングなどの欠損を防止できるチップ型電子部品を提供することである。

本発明のさらに他の課題は、小型であっても外部電極を厚くして外部電極の破壊を防止でき、かつセラミック本体を大きくできるチップ型電子部品を提供することである。

【課題を解決するための手段】

【００１１】

本発明者は、上記課題を解決すべく鋭意研究を重ねた結果、以下の構成からなる解決手段を見出した。

（１）内部に導体部を有するセラミック本体により構成されるチップ型電子部品であって、前記セラミック本体の、少なくとも一面が凸状の湾曲面であることを特徴とするチップ型電子部品。

（２）前記セラミック本体が略直方体状であり、前記セラミック本体の厚さ方向における少なくとも一方の面が凸状に湾曲するとともに、セラミック本体の側面が凹状に湾曲している前記（１）記載のチップ型電子部品。

（３）セラミック本体の体積が８ｍｍ^{3}以下、かつ、凸状および凹状の湾曲面の曲率半径ｒ１およびｒ１１が５０ｍｍ以下である前記（１）または（２）記載のチップ型電子部品。

（４）厚さ方向の膨張率および幅方向の膨張率が絶対値で１％より大きい前記（１）～（３）のいずれかに記載のチップ型電子部品。

（５）厚さ方向の膨張率および幅方向の膨張率が絶対値で５％より大きい前記（１）～（４）のいずれかに記載のチップ型電子部品。

（６）凸状の湾曲面が、セラミック本体の幅方向に沿って厚さを変化させて形成されている前記（１）～（５）のいずれかに記載のチップ型電子部品。

【００１２】

（７）一面のみが凸状の湾曲面である前記（１）記載のチップ型電子部品。

（８）セラミック本体の体積が１ｍｍ^{3}以下、かつ、湾曲面の曲率半径ｒ２が５ｍｍ以下である前記（１）または（７）記載のチップ型電子部品。

（９）厚さ方向の膨張率が１％より大きい前記（７）または（８）記載のチップ型電子部品。

（１０）厚さ方向の膨張率が５％より大きい前記（９）記載のチップ型電子部品。

（１１）湾曲面が他の面とは異なる色調である前記（１）～（１０）のいずれかに記載のチップ型電子部品。

（１２）前記セラミック本体が、セラミックからなる複数の絶縁層と、該絶縁層と交互に積層された導体部とからなる前記（１）～（１１）のいずれかに記載のチップ型電子部品。

【００１３】
（１３）セラミックからなる複数の絶縁層と導体層とを交互に積層してなるセラミック本体と、該セラミック本体の両端面に形成され前記導体層と１層おきに交互に接続された一対の外部電極とを具備してなるチップ型電子部品であって、前記セラミック本体は、前記外部電極間の中央部における積層方向の厚みが、端面側の厚みよりも大きいことを特徴とするチップ型電子部品。
（１４）外部電極間における積層方向の厚みが端面側から中央部にかけて漸次拡大されている前記（１３）記載のチップ型電子部品。
（１５）セラミック本体の体積が８ｍｍ^{3}以下で、かつ、湾曲面の曲率半径ｒ３が５０ｍｍ以下である前記（１３）または（１４）記載のチップ型電子部品。
（１６）外部電極の厚みが５μｍ以上である前記（１３）～（１５）のいずれかに記載のチップ型電子部品。
（１７）セラミック本体の積層方向の最大厚みをｔ、セラミック本体の積層方向と同一方向における外部電極の最大幅をｔ０としたときに、ｔ≧ｔ０の関係を満足する前記（１３）～（１６）のいずれかに記載のチップ型電子部品。
【発明の効果】
【００１４】
前記（１）によれば、チップ型電子部品を構成するセラミック本体の一面の面積が大きくなり、チップ情報を大きな文字で記載でき、かつ、視野が広角化するので、拡大鏡等を用いた実装作業時のチップの確認が容易となる。また、チップに記載される情報量が増加することにより、修理時のチップ部品交換の際にも、多くの情報がチップから得られるため、リペアを迅速かつ確実に行うことができる。セラミック本体の一面が凸状の湾曲面を具備しているために、例えば強度試験における加圧試験時に、凸状の湾曲面が所定の冶具で加圧された場合でも、圧力が分散され、破壊などの機械的損傷を免れる。
【００１５】
前記（２）によれば、凸状の一面に凹状の湾曲面が隣接することによって、セラミック本体側面がアーチ状の部位で構成されるために、チップ型電子部品の機械的強度がさらに増加し、素体強度試験に対する耐性が更に向上する。
【００１６】
前記（５）によれば、例えば混成集積回路などにおいて最も数多く実装され、かつ、自動機により高速に搬送および実装されると共に、実装等の工程に耐えうる機械的強度を必要とする積層セラミックコンデンサなどの小型の積層電子部品に好適である。
【００１７】
前記（６）によれば、凸状の湾曲面が、セラミック本体の幅方向に沿って厚さを変化させて形成されているために、焼成後においてもセラミック本体の稜線部や角部に丸みがある。このため、実装や搬送工程などでの取り扱いにおいて、これら稜線部や角部にチッピングなどの欠損が発生するのを防止できる。また、稜線部や角部に丸みがあるので、通称バレルといわれる研磨工程を省くことができる。上記凸状の湾曲面はチップ型電子部品の上面側に向くように載置することが好ましい。
前記（７）によれば、セラミック本体の一面のみが凸状の湾曲面であるので、例えば上面以外はフラットな面にすることができ、小型の部品であっても載置安定性に優れる。
【００１８】
この場合、特に、前記（８）に記載のように、セラミック本体の体積が１ｍｍ^{3}以下であるような極めて小型の電子部品により好適である。さらに、セラミック本体表面の曲率半径ｒ２は５ｍｍ以下であるので、チッピング防止という点でさらに望ましい。前記（１１）によれば、特に情報の視認性が困難となる小型のチップ型電子部品に好適であり、色調でも視認性を高めることができる。前記（１２）によれば、例えば、混成集積回路などにおいて、最も数多く実装され、しかも最も高機能かつ小型化された部品として多用されている積層セラミックコンデンサなどの小型の積層電子部品に好適である。
【００１９】

前記（１３）によれば、外部電極間の中央部における積層方向の厚みを端面側よりも厚くすることにより、外部電極をセラミック本体の外形表面から突出した構造にしなくても、外部電極を十分に厚く形成でき、また、外部電極の表面とセラミック本体の側面とをほぼ同一面に形成できる。このため、落下などの衝突の際にも、外部電極だけで衝撃を受けることを低減でき、落下時の衝撃による欠損や破壊を防止できる。また、外部電極の厚みを薄くする必要もないため、実装時における外部電極のはんだ食われや、実装や搬送などの工程で発生する外部電極のはがれも防止できる。この場合、前記（１５），（１６）の構成であるのが好ましい。また、上記の構造であれば、規格寸法の範囲内でセラミック本体の体積を大きく出来ることから、例えば、積層セラミックコンデンサの場合には、容量発生部であるセラミック本体の積層数を増すことでき、これにより静電容量を高めることができる。

【００２０】

前記（１４）によれば、セラミック本体の外部電極間の中央部が、積層方向の断面視で凸状に湾曲面を有しているので、セラミック本体の表面に衝撃などで欠損しやすい角部が減少し、セラミック本体についても欠損などの発生を防止できる。前記（１７）の構成によれば、セラミック本体の一面が凸状の湾曲面であるので、強度試験における加圧時に、凸状の湾曲面を所定の冶具で加圧された場合でも、加圧圧力を分散でき、破壊などの機械的損傷を低減できる。

【発明を実施するための最良の形態】

【００２１】

＜第１の実施形態＞

次に、本発明のチップ型電子部品について、特に、積層セラミックコンデンサを例に、図面を参照して詳細に説明する。図１は、この実施形態にかかるチップ型電子部品を示す概略斜視図である。図２は、凸状の湾曲面の曲率半径ｒ１を説明するための概略断面図であり、図３は、凹状の湾曲面の曲率半径ｒ１１を説明するための概略断面図である。

【００２２】

本発明のチップ型電子部品は、セラミック本体１の端部に一対の外部電極３を有したものであり、内部に導体部５を具備し、その外観形状は、いわゆる鳥瞰視したときに直方体状に見えるものである。本発明では、前記セラミック本体１の厚さ方向（積層方向）の面（片面または両面）が凸状に湾曲するとともに、前記凸状の面に対して両側面が凹状に湾曲している。特に、前記セラミック本体１の上下面および両側面が、それぞれ凸状（湾曲面９ａ）および凹状（湾曲面９ｂ）に湾曲していることが望ましい。なお、前記面（および側面）は、セラミック本体１を構成する主面となる。

【００２３】

より詳しくは、図２および図３に示すように、セラミック本体１が、セラミックからなる複数の絶縁層７と導体部５とが交互に積層されているのが望ましい。セラミック本体１は、体積が８ｍｍ^{3}以下、好ましくは５．５ｍｍ^{3}以下であり、かつ湾曲面９ａ，９ｂの表面の曲率半径ｒ１、ｒ１１が５０ｍｍ以下であることが望ましい。なお、湾曲面９ａ，９ｂの曲率半径ｒ１、ｒ１１は同じ値であってもよく、異なる値であってもよい。

【００２４】

チップ型電子部品を構成するセラミック本体１が、湾曲面９ａ、９ｂを有しない場合には、セラミック本体１の主面の面積が小さいために、チップ情報を大きな文字で記載できず、視野も狭くなり、拡大鏡等を用いた実装作業においてもチップ部品の確認が困難となる。また、修理時のチップ部品交換の際にも、チップ型電子部品から得られる情報が少ないために、リペアを迅速かつ確実に行うことができない。さらに、強度試験における加圧時に、主面を所定の冶具で加圧したときに、圧力が分散されにくく、破壊などの機械的損傷が発生しやすく、実装や搬送組立時に電子部品が破壊されやすい。

【００２５】

図４は、チップ型電子部品の積層方向（厚さ方向）および幅方向の膨張率を評価する方法を示す概略断面図である。積層方向の膨張率ｘ１は、図４に示すように、セラミック本

体１における導体部５の積層方向の最長長さをａ１、導体部５が露出しないセラミック本体１の側面における積層方向長さをｂ１としたとき、式：ｘ１＝｛（ａ１－ｂ１）／ｂ１｝×１００で表される。膨張率ｘ１は、チップ型電子部品の破壊強度を高めるという理由から０％より大きく、好ましくは１％より大きく、より好ましくは５％よりも大きいのがよい。なお、ａ１＞ｂ１であるのが好ましい。

【００２６】

また、幅方向の膨張率ｙは、幅方向の最短長さをｄ、同方向におけるセラミック本体１の端部間の長さをｃとしたとき、式：ｙ＝｛（ｄ－ｃ）／ｃ｝×１００で表される。この膨張率ｙは、チップ型電子部品の破壊強度を高めるという理由から絶対値で０％より大きく、好ましくは絶対値で１％より大きく、より好ましくは絶対値で５％よりも大きいのがよい。チップ型電子部品が小型の場合には、上記膨張率ｙが大きすぎると載置安定性に劣ることから、載置安定性、破壊強度、視認性などの特性を満足するという点で、ｙ＜１０の関係が好ましい。なお、ｄ＜ｃであるのが好ましい。

【００２７】

また、セラミック本体１の湾曲した湾曲面９ａ，９ｂの表面の曲率半径ｒ１およびｒ１１がそれぞれ５０ｍｍ以下であることがより望ましい。こうして本発明によれば、ｘ１およびｙに規定する膨張率および曲率半径を上記の関係にすることでチップ型電子部品の破壊強度を高めることができる。

【００２８】

また、湾曲面が他の面とは異なる色調であること、つまり、湾曲面９ａ、９ｂが互いに異なる色調であること、あるいはコントラストの点で色そのものが異なることが望ましい。湾曲面９ａ、９ｂを互いに他の面とは異なる色調とするためには、内部の導体部５の端部からセラミック本体１の表面までの距離ｗ１、ｗ２を異なる寸法に調整することにより形成できる。例えば、図４における導体部５の最上層から湾曲したセラミック本体１の表面までの距離ｗ１を、導体部5の端部とセラミック本体１の側面との距離ｗ２よりも小さくすることにより、導体部5がセラミック本体１から透けてみえる程度によって色調差を形成できる。これによって情報の視認性がより向上し、湾曲面９ａ、９ｂの区別が容易になる。

【００２９】

図５は、この実施形態にかかるチップ型電子部品の製造方法を示す概略図である。まず、図５（ａ）に示すように、セラミック粉末を含むグリーンシート１１上に矩形状の導体パターン１３を形成する。図５（ａ）において、パターンＡはグリーンシート１１上に導体パターン１３のみ形成したもの、パターンＢ、Ｃ、Ｄはグリーンシート１１上に形成した導体パターン１３の周囲にグリーンシートと同じ材質で寸法の異なるセラミックパターン15a,15b,15cを形成し、導体パターン１３の段差を無くしたものをそれぞれ準備する。

【００３０】

そして、パターンＡ～Ｄのグリーンシート１１を、例えば図５（ｂ）に示す組合せで、セラミック本体成形体の主面が所定の形状に湾曲するように積層し、所定形状に切断して、内部に導体パターン１３を有するセラミック本体成形体を形成する。ついで、ラバープレスなどを用いて加圧加熱する。次に、セラミック本体成形体を焼成して、内部に導体部を有するセラミック本体を作製する。

【００３１】

すなわち、グリーンシート１１は、積層体の中央部分から上部および下部に向かってパターンＢ、Ｃ、ＤおよびAの順になるように積層するのが好ましい。これにより、凸状の湾曲面９ａと、凹状の湾曲面９ｂとが形成される。グリーンシート１１の積層枚数は、通常１５～４００枚程度であり、この範囲内でグリーンシート１１のパターンごとの枚数および組み合わせを決定すればよい。また、膨張率および曲率半径は、積層枚数、成形体の加圧時の圧力によっても調整可能である。

最後に上記セラミック本体の両端部に、例えば、外部電極を形成して積層セラミックコンデンサを完成させる。

【００３２】
＜第２の実施形態＞
次に、本発明の他の実施形態にかかるチップ型電子部品について、特に、積層セラミックコンデンサを例に、図面を参照して詳細に説明する。図６は、この実施形態にかかるチップ型電子部品を示す概略斜視図、図７はその概略断面図である。このチップ型電子部品は、セラミック本体２１の内部に絶縁層２４を介して導体部２５を具備し、その端部に一対の外部電極２３、２３を有している。その外観形状は、いわゆる鳥瞰視したときに直方体状に見えるものであり、特に、セラミック本体２１の長寸稜辺２７を含む少なくとも一面が凸状の湾曲面２９を具備していることが重要である。この実施形態では、セラミック本体２１の上面のみに凸状の湾曲面２９が形成されている。なお、前記一面は、セラミック本体２１を構成する主面となる。
また、セラミック本体２１は体積が１ｍｍ^{3}以下の小型である。このセラミック本体２１は複数の絶縁層２４からなり、該絶縁層２４間に導体部２５が積層されているのが望ましい。
【００３３】
これに対し、セラミック本体２１が湾曲面２９を有しないと、セラミック本体の主面の面積が小さいために、チップ情報を大きな文字で記載できず、視野も狭くなり、拡大鏡等を用いた実装作業においてもチップ部品の確認が困難となる。また、記載される情報量が少ないために、修理時のチップ部品交換の際にも、チップ部品から得られる情報が少なく、そのため、リペアを迅速かつ確実に行うことができない。さらには、稜線部が角ばっているためにチッピングが起きやすい。
【００３４】
図８は、湾曲面の曲率半径ｒ２を説明するための概略断面図である。図9はチップ型電子部品について積層方向の膨張率を評価する方法を示す概略断面図である。積層方向の膨張率ｘ２は、図9に示すように、対向する外部電極２３方向に対して垂直な面における中央部付近の積層方向の最長長さをａ２、セラミック本体２１の端部側面の積層方向長さをｂ２としたときに、式：ｘ２＝｛（ａ２－ｂ２）／ｂ２｝×１００として表されるものである。この膨張率ｘ２は、チップ型電子部品の破壊強度を高めるという理由から０％より大きく、好ましくは１％より大きく、より好ましくは５％よりも大きいのがよい。
【００３５】
また、視認性やチッピング防止の点で、図８に示すセラミック本体２１の表面の曲率半径ｒ２が５ｍｍ以下であることがより望ましい。さらに、湾曲面２９が他の面とは異なる色調であること、あるいはコントラストの点で色そのものが異なることが例えば、積層方向の湾曲面と平坦な側面とが認識しやすいという点で望ましい。
【００３６】
湾曲面２９を他の面とは異なる色調とするためには、内層される導体部２５の端部からセラミック本体２１の表面までの距離ｗ３、ｗ４を異なる寸法に調整することにより形成できる。つまり、例えば図９における導体部２５の最上層から湾曲したセラミック本体２１の表面までの距離ｗ３を、導体部２５の端部とセラミック本体２１の側面との距離ｗ４よりも小さくすることにより、導体部２５がセラミック本体２１から透けてみえる程度によって色調差を形成できる。
【００３７】
図１０は、この実施形態にかかるチップ型電子部品の製造方法を示す概略図である。まず、図１０（ａ）に示すように、セラミック粉末を含むグリーンシート３１上に矩形状の導体パターン３３を形成する。この場合、パターンＥはグリーンシート３１上に導体パターン３３のみ形成したもの、パターンＦはグリーンシート３１上に形成した導体パターン３３の周囲にグリーンシート３１と同じ材質のセラミックパターン３５を形成し、導体パターン３３の段差を無くしたものである。
【００３８】
そして、例えば図１０（ｂ），（ｃ）に示す組合せで、セラミック本体成形体の主面が

所定の形状に湾曲するように複数積層し、所定形状に切断して、内部に導体パターン３３を有するセラミック本体成形体を形成する。ついで、ラバープレスなどを用いて加圧加熱する。次に、セラミック本体成形体を焼成して、図７，図８に示すような内部に導体部２５を有するセラミック本体２１を作製する。

最後に、上記セラミック本体２１の端部に、例えば、一対の外部電極２３を形成して本発明に係る積層セラミックコンデンサを完成させる。

【００３９】

図１０（ｂ）の組合せでは、パターンＦのグリーンシート３１を複数枚積層し、得られたパターンＦの積層体の上下面にパターンＥのグリーンシート３１を積層し、さらに上面に導体パターン３３のないグリーンシート３１を配置している。これにより上下面に湾曲面２９を形成することができる。

【００４０】

一方、図１０（ｃ）の組合せでは、パターンＦのグリーンシート３１を複数枚積層し、得られたパターンＦの積層体の上面にのみパターンＥのグリーンシート３１および導体パターン３３のないグリーンシート３１を配置している。これにより上面のみに湾曲面２９を形成することができる。その他は前述の実施形態と同様である。

【００４１】

＜第３の実施形態＞

次に、本発明のさらに他の実施形態について、特に、積層セラミックコンデンサを例に、図面を参照して詳細に説明する。図１１は、この実施形態にかかるチップ型電子部品を示す概略断面図である。

【００４２】

図１１に示すように、このチップ型電子部品は、セラミックからなる複数の絶縁層４１（セラミック層）と導体層４３とを交互に積層してなるセラミック本体４５を有し、該セラミック本体４５の両端面４７に前記導体層４３が１層おきに交互に接続された一対の外部電極４９、４９をそれぞれ具備してなる。

【００４３】

この実施形態では、前記セラミック本体４５の前記外部電極４９間の中央部５１における積層方向の厚みｔが、端面４７側の厚みｔ１よりも大きくなっている。つまり、セラミック本体４５の積層方向の最大厚みをｔ、セラミック本体４５の積層方向と同一方向における外部電極４９の最大幅をｔ０としたときに、ｔ≧ｔ０の関係を満足することがより好ましい。ここで、外部電極４９の幅ｔ０とは、図１１に明示されているように、セラミック本体４５の積層方向と同一方向の最大幅のことをいう。

【００４４】

外観形状は、いわゆる鳥瞰視したときに直方体状に見えるものであり、特に、セラミック本体４５の長さ方向の稜辺を含む少なくとも一面が凸状の湾曲面５０を呈している。その形状は、上記したようにセラミック本体４５の外部電極４９間の中央部５１が、積層方向の断面視で凸状の湾曲面５０を有しているものである。つまり、本発明の積層型電子部品は、図１１に示すように、セラミック本体４５の外部電極４９間の積層方向の厚みが、端面４７側から中央部５１にかけて漸次拡幅されているものがより望ましい。なお、前記一面は、セラミック本体４５を構成する主面となる。

セラミック本体４５は、上記のように湾曲面ではなく、外部電極形成部の端部領域のみの厚みｔ１が小さいものでもよい。

【００４５】

これに対し、セラミック本体４５の中央部５１における最大厚みｔが、端面４７側の厚みｔ１よりも大きくなく、従来のような直方体状であると、外部電極４９がセラミック本体４５の外形表面から突出した構造になりやすい。このため、落下などの衝突の際に、外部電極４９の方が衝撃面になりやすく、外部電極４９が破壊されやすくなる。また、外部電極４９の破壊を抑制するため、外部電極４９を厚く形成すると、規格寸法に適合させるためにセラミック本体４５を小さくしなければならず、このため静電容量が低くなる。

【００４６】
図１２は、セラミック本体４５の積層方向に対して垂直な湾曲面の曲率半径を示す断面図である。本発明がより効果的となる形態として、セラミック本体４５の体積が８ｍｍ^{3}以下、特に、５．５ｍｍ^{3}以下の小型形状であることが好ましく、かつ、湾曲面５０の曲率半径ｒ３が５０ｍｍ以下であることが望ましい。このような部品としては、上記の積層セラミックコンデンサに限らず、積層型インダクタ、積層型アクチュエータ、抵抗体などが挙げられる。
【００４７】
なお、セラミック本体４５の積層方向の膨張率ｘ３は、図１１に示すように、導体層４３の延長方向に対して垂直な面における中央部付近の積層方向の最大長さをｔ、セラミック本体４５の端部の積層方向長さをｔ１としたときに、式：ｘ３＝｛（ｔ－ｔ１）／ｔ１｝×１００で表される。膨張率ｘ３は、０％より大きく、好ましくは１％より大きく、より好ましくは５％よりも大きいのがよい。
【００４８】
図１３は、この実施形態にかかるチップ型電子部品の製造方法を示す概略図である。すなわち、図１３（ａ）はグリーンシート６１およびその積層成形体を端面から見た製造方法を示し、同図（ｂ）は側面から見た製造方法を示している。
【００４９】
まず、セラミック粉末を含むグリーンシート６１上に矩形状の導体パターン６３を形成する。この場合、パターンＧは、グリーンシート６１上に導体パターン６３のみ形成したもの、パターンＨはグリーンシート６１上に形成した導体パターン６３の周囲にグリーンシート６１と同じ材質のセラミックパターン６5を形成し、導体パターン６３の段差を無くしたものである。
【００５０】
ついで、パターンＧ，Ｈの各グリーンシート６１を、例えば図１３（a），（b）に示す組み合わせで積層し、所定形状に切断して、内部に導体パターン６３を有するセラミック本体成形体を形成する。すなわち、図１３（a），（b）では、パターンＨのグリーンシート６１を中央部にその両面にパターンＧグリーンシート６１を配置している。これによって、セラミック本体成形体の主面が所定の形状に湾曲するようになる。このとき、導体層４３が１層おきに交互に端面から露出するように、図１３（b）に示すように、各グリーンシート６１上の導体パターン６３の位置を交互に反対方向にしている。
【００５１】
成形後、ラバープレスなどを用いて加圧加熱し、次に、セラミック本体成形体を焼成して、内部に導体部を有するセラミック本体を作製する。最後に、上記セラミック本体の端部に、例えば、外部電極を形成して本発明に係る積層セラミックコンデンサを完成させる。その他は前述の実施形態と同様である。
【００５２】
以上の実施形態では、本発明の電子部品として、積層セラミックコンデンサを例に挙げて説明したが、本発明の電子部品は、積層セラミックコンデンサのみに限定されるものではなく、例えば積層型インダクタ、積層型アクチュエータ、抵抗体などにも好適に適用可能である。
【００５３】
［実施例Ｉ］
（チップ型電子部品の作成）
基本的に図１に示す構造のチップ型電子部品を作製し評価した。まず、チタン酸バリウム粉末を主成分とする誘電体粉末を含む厚さ３μｍの誘電体グリーンシートを作製した。この誘電体グリーンシートの上面にＮｉを主成分とする導体ペーストを厚み１～１．５μｍで印刷し、図５に示すパターンＡ、Ｂ、Ｃ、Ｄのグリーンシートをそれぞれ作製した。次に、種々の形態になるようにパターンＡ、Ｂ、Ｃ、Ｄのグリーンシートを積層し、その上下に導体パターンを印刷していない厚さ１０μｍの誘電体グリーンシートを所定枚数で

積層した。ついで、ラバープレスを行い、この後、所望の寸法になるように切断し、セラミック本体成形体を形成した。次に、作製したセラミック本体成形体を還元雰囲気中１２５０～１２８０℃の温度で焼成を行い、バレル研磨し端面に銅の外部電極を形成して、図１，２に示すようなチップ型電子部品を作製した。得られた各電子部品におけるセラミック本体の形状を表１に示す。

なお、内部の導体パターンの印刷面積を変化させて、セラミック本体の側面に浮き出る色調を調製した。また、比較例である試料Ｎｏ．Ｉ－８は、パターンＤのグリーンシートのみを積層して形成したものである。

【００５４】

作製したチップ型電子部品について、以下に示す方法で色調差、膨張率、曲率半径および破壊強度を評価した。評価結果を表１に示す。なお、試料数は全ての評価において１０個とした。

【００５５】

（色調差）

セラミック本体の積層方向の表面（図１に示す面９ａ）およびその側面（図１に示す面９ｂ）との色調差を色差計により評価した。この場合、色調差が２０％以上を色調差ありとした。

【００５６】

（膨張率）

積層方向の膨張率ｘ１は、図４に示すように、セラミック本体における導体層の積層方向の最長長さをａ１、導体層が露出しないセラミック本体の側面における積層方向長さをｂ１としたときに、式：ｘ１＝｛（ａ１－ｂ１）／ｂ１｝×１００として表した。また、積層方向に垂直な方向の膨張率ｙは、導体部の延長方向で且つセラミック本体の導体部が露出しない方向における幅方向の最短長さをｄ、同方向のセラミック本体１の端部間の長さをｃとしたときに、式：ｙ＝｛（ｄ－ｃ）／ｃ｝×１００として表した。今回の評価では、両面の膨張率をそれぞれ測定した場合には、それらの平均値を膨張率とした。

【００５７】

（曲率半径）

曲率半径ｒ１は、作製したセラミック本体の研磨した断面を電子顕微鏡により撮影し、その写真を用いてコンパスを使って測定した。

（破壊強度）

破壊強度はオートグラフを用いて測定した。

【表１】

試料No.	セラミック本体の形状			上面と側面の色調差	積層方向の膨張率 *3 %	幅方向の膨張率*4 %	曲率半径		破壊強度 MPa
	湾曲面の箇所	寸法*2 mm^3	積層数 層				上下面 mm	側面 mm	
Ｉ－１	積層方向の上下面および側面	２×１×１．８	50	あり	5.5	−5.1	5.2	55	555
Ｉ－２	積層方向の上下面および側面	２×１×１．８	100	あり	5.6	−5.2	4.5	49	521
Ｉ－３	積層方向の上下面および側面	２×１×１．８	300	あり	5.9	−5.3	4.6	48	501
Ｉ－４	積層方向の上下面	２×１×１．８	100	あり	5.1	−	5	−	430
Ｉ－５	積層方向の上下面および側面	３×２×１．８	100	あり	4.3	−3.2	8	86	489
Ｉ－６	積層方向の上下面および側面	２×１×１．８	100	なし	5.2	−5	4	49	500
Ｉ－７	積層方向の上下面および側面	２×１×１．８	100	あり	2.6	−1.2	6	59	460
＊Ｉ－８	なし	２×１×１．８	100	あり	0	0	−	−	390

＊印は本発明の範囲外の試料を示す。
＊２：外部電極方向長さ×幅×厚み
＊３：x1＝{(a1−b1)／b1}×100
＊４：y＝{(d−c)／c}×100

【００５８】

表１から明らかなように、セラミック本体の少なくとも一面を湾曲面とした試料Ｎｏ．Ｉ－１～７では、強度は４３０ＭＰａ以上であり、特に、セラミック本体の対向する表面を凹凸状に湾曲させた試料Ｎｏ．Ｉ－１～３、５～７では、破壊強度が４６０ＭＰａ以上であった。また、セラミック本体の寸法を２×１×１．８mm^3とし、積層方向の膨張率を５％以上、幅方向の膨張率を－５％以上（マイナスの場合、絶対値で大きいこと）とし、曲率半径を、上下面で５２ｍｍ以下、側面で５５ｍｍとした以下とした試料Ｎｏ．Ｉ－１～３、６では、破壊強度が５００ＭＰａ以上であった。これに対して、積層方向および幅方向の膨張率がともに０（曲率半径は測定不可）である試料Ｎｏ．Ｉ－８では破壊強度

が３９０ＭＰａと低かった。

【００５９】

また、湾曲した表面を有する試料Ｎｏ．Ｉ－１～３，５～７では、表面が全面フラットな試料Ｎｏ．Ｉ－８に比べてセラミック本体表面の面積が増した。これにより少なくとも１．１倍以上大きな印字が可能となり、チップ部品の視認性が向上した。

【００６０】

［実施例II］

（チップ型電子部品の作成）

基本的に図６に示す構造のチップ型電子部品を作製し評価した。まず、実施例Ｉと同様にして、図１０に示すようなパターンＥ、Ｆの誘電体グリーンシートを作製した。

【００６１】

次に、種々の形態になるようにパターンＥ，Ｆのグリーンシートを積層し、その上下に導体パターンを印刷していない誘電体グリーンシートを実施例Ｉより少ない枚数で積層し、ラバープレスを行った。この後、所望の寸法になるように切断し、セラミック本体の成形体を形成した。次に、実施例Ｉと同様にして焼成し、バレル研磨し、ついで外部電極を形成して、図6,7に示すようなチップ型電子部品を作製した。得られた各電子部品におけるセラミック本体の形状を表２に示す。

なお、比較例である試料Ｎｏ．II －８は、パターンFのグリーンシートのみを積層して形成したものである。

【００６２】

作製したチップ型電子部品について、実施例Ｉと同様にして色調差、積層方向の膨張率ｘ２、曲率半径ｒ２および破壊強度を評価した。これらの評価結果を表２に示す。なお、試料数は全ての評価において１０個とした。

【００６３】

【表２】

試料No.	セラミック本体の形状			上面と側面の色調差	積層方向の膨張率 *3 %	曲率半径 上下面 mm	破壊強度 MPa
	湾曲面の箇所	寸法*2 mm^3	積層数 層				
II－1	積層方向の上下面	1×1×0.8	50	あり	5.5	4.9	791
II－2	積層方向の上下面	1×1×0.8	100	あり	5.6	4.7	756
II－3	積層方向の上下面	1×1×0.8	300	あり	5.9	4.6	711
II－4	積層方向の上面のみ	1×1×0.8	100	あり	5.1	3.8	654
II－5	積層方向の上下面	2×1×0.8	100	あり	5.6	4.7	522
II－6	積層方向の上下面	1×1×0.8	100	なし	5.2	4.2	703
II－7	積層方向の上下面	1×1×0.8	100	あり	2.6	2	460
*II－8	なし	1×1×0.8	100	あり	0	－	400

＊印は本発明の範囲外の試料を示す。
＊2:外部電極方向長さ×幅×厚み
＊3:x2＝{(a2－b2)／b2}×100

【００６４】

表２の結果から明らかなように、セラミック本体の表面を湾曲させた本願発明の試料Ｎｏ．II－１～７では、破壊強度が４６０ＭＰａ以上であった。また、積層方向の膨張率を５．１以上とし、曲率半径を４．２～４．９ｍｍとした試料Ｎｏ．II－１～６では、破壊強度が５２２ＭＰａ以上となり、さらに、同一積層数でもカバー層の厚みを薄くして色調差をつけたものは、色調差をつけていない試料に比較して破壊強度が低かった。

これに対して、積層方向の膨張率が０（曲率半径は測定不可）である本発明外の試料Ｎｏ．II－８では破壊強度が４００ＭＰａと低かった。

【００６５】

また、湾曲した表面を有する試料Ｎｏ．II－１～７では、表面が全面フラットな従来の試料Ｎｏ．II－８に比べてセラミック本体表面の面積が増し、これにより少なくとも１．１倍以上大きな印字が可能となり、チップ部品の視認性が向上した。

【００６６】

［実施例III］

（チップ型電子部品の作成）
基本的に図１１に示す構造のチップ型電子部品を作製し評価した。まず、実施例Ｉと同様にして、図１３に示すようなパターンＧ、Ｈの誘電体グリーンシートを作製した。
【００６７】
次に、種々の形態になるようにパターンＧ、Ｈのグリーンシートを積層し、その上下に導体パターンを印刷していない誘電体グリーンシートを積層し、ラバープレスを行った。この後、所望の寸法になるように切断し、セラミック本体成形体を形成した。次に、実施例Ｉと同様にして成形体を焼成し、バレル研磨した。ついで両端面に銅の外部電極を表３に示す厚みで形成して、図１１,１２に示すようなチップ型電子部品を作製した。ここで、外部電極の厚みは、銅のペースト粘度により調整した。表３中の外部電極の厚みは、図１１の（ｔ０－ｔ１）／２で表される値である。
なお、比較例である試料Ｎｏ．III‐８は、パターンHのグリーンシートのみを積層して形成したものである。また、セラミック本体の形状が上下面フラットである試料Ｎｏ．III‐７は、内部導体の段差の影響が軽減されるので、このような形状に形成された。
【００６８】
作製したチップ型電子部品について、実施例Ｉと同様にして色調差、曲率半径ｒ３および破壊強度について評価し、さらに積層方向の膨張率ｘ３および落下試験の評価を以下に示す方法で実施した。これらの評価結果を表３に併せて示す。なお、試料数は全ての評価において１０個とした。
【００６９】
（積層方向の膨張率）
セラミック本体の積層方向の膨張率ｘ３は、図１１に示すように、内部電極の延長方向に対して垂直な面における中央部付近の積層方向の最大長さをｔ、セラミック本体の端部の積層方向長さをｔ１としたときに、式：ｘ３＝｛（ｔ－ｔ１）／ｔ１｝×１００として表した。今回の評価では、対向する面を測定した場合には２面の平均値とした。
【００７０】
（落下試験）
落下試験は、試料を高さ１ｍからコンクリートブロック上に落下させて、落下後の外部電極の状態を観察し、欠けやクラックの有無を評価した。
【００７１】

【表３】

試料No.	セラミック本体			外部電極厚み	電子部品本体の積層方向厚みtと同じ方向の外部電極幅tOとの関係	上面と側面の色調差	積層方向の膨張率 *3	曲率半径 上下面	破壊強度	落下試験での外部電極欠け不良率
	形状	寸法*2 mm^3	積層数 層	μm			%	mm	MPa	%
III－1	図11	3×2×1.8	50	4	t>tO	なし	4.5	89	236	0
III－2	図11	3×2×1.8	100	4	t>tO	あり	4.7	68	211	0
III－3	図11	3×2×1.8	300	4	t>tO	あり	5	56	190	0
III－4	図11	2×1×1.8	100	4	t>tO	あり	5.1	50	266	0
III－5	図11	2×1×1.8	100	4	t>tO	あり	5.2	49	259	0
III－6	図11	2×1×1.8	100	6	t<tO	あり	5.4	48	187	0.1
III－7	上下面フラット*4	2×1×1.8	20	4	t<tO	なし	1.8	98	155	0.3
*III－8	図14	2×1×1.8	100	4	t<tO	あり	0	－	132	0.8

＊印は本発明の範囲外の試料を示す。
＊2:外部電極方向長さ×幅×厚み
＊3:x3＝{(t－t1)／t1}×100
＊4:上下面が湾曲していなく外部電極形成部の端部領域のみの厚みt1が小さい

【００７２】

表３の結果から明らかなように、試料Ｎｏ．III－１～７では、破壊強度が１５５ＭＰａ以上、落下試験での不良率が０．３％以下であった。また、積層方向の膨張率を５以上とし、曲率半径を８９ｍｍ以下とした試料Ｎｏ．III－１～６では、破壊強度が１８７ＭＰａ以上、落下試験での不良率が０．１％以下となり、さらに、外部電極の厚みを４ｍｍとし、セラミック本体の積層方向厚みｔを同じ方向の外部電極の幅ｔ０より大きくした試料Ｎｏ．III－１～４では、破壊強度がさらに向上し、落下試験での不良率が低下した。これに対して、積層方向の積層方向の膨張率が０（曲率半径は測定不可）である本発明外の試料Ｎｏ．III－８では、破壊強度が１３２ＭＰａと小さく、落下試験での不良率も０．８％と高かった。

【００７３】

試料Ｎｏ．III－１～７では、表面が全面フラットな従来の試料Ｎｏ．III－８に比べてセラミック本体表面の面積が増し、これにより少なくとも１．１倍以上大きな印字が可能となり、チップ部品の視認性が向上した。

【図面の簡単な説明】

【００７４】

【図１】本発明の第１の実施形態にかかるチップ型電子部品を示す概略斜視図である。

【図２】本発明の第１の実施形態にかかる凸状の湾曲面の曲率半径ｒ１を説明するための概略断面図である。

【図３】本発明の第１の実施形態にかかる凹状の湾曲面の曲率半径ｒ１１を説明するための概略断面図である。

【図４】本発明の第１の実施形態にかかるチップ型電子部品の積層方向（厚さ方向）および幅方向の膨張率を評価する方法を示す概略断面図である。

【図５】（ａ），（ｂ）は、本発明の第１の実施形態にかかるチップ型電子部品の製造方法を示す概略図である。

【図６】本発明の第２の実施形態にかかるチップ型電子部品を示す概略斜視図である。

【図７】本発明の第２の実施形態にかかるチップ型電子部品を示す概略断面図である。

【図８】本発明の第２の実施形態にかかる湾曲面の曲率半径ｒ２を説明するための概略断面図である。

【図９】本発明の第２の実施形態にかかるチップ型電子部品について積層方向の膨張率を評価する方法を示す概略断面図である。

【図１０】（ａ），（ｂ），（ｃ）は、本発明の第２の実施形態にかかるチップ型電子部品の製造方法を示す概略図である。

【図１１】本発明の第３の実施形態にかかるチップ型電子部品を示す概略断面図である。

【図１２】本発明の第３の実施形態にかかる湾曲面の曲率半径ｒ３を説明するための概略断面図である。

【図１３】（ａ），（ｂ）は、本発明の第３の実施形態にかかるチップ型電子部品の製造方法を示す概略図である。

【図１４】従来の積層セラミックコンデンサを示す概略断面図である。

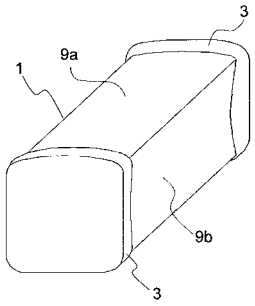
【符号の説明】

【００７５】

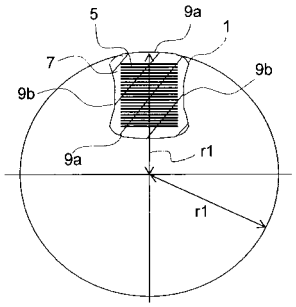
１，２１　セラミック本体
３，２３，４９　外部電極
５，２５　導体部
７，２４　絶縁層
９，２９　湾曲面
２７　長寸稜辺
４１　セラミック層
４３　導体層
４５　セラミック本体
４７　端面

５１　中央部

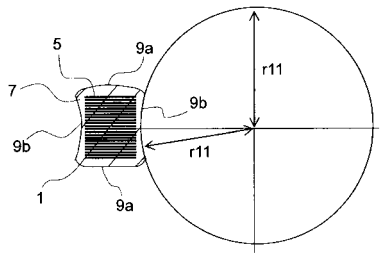
【図１】



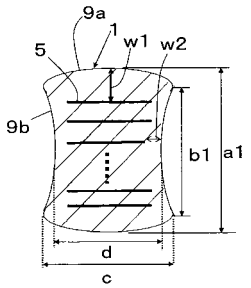
【図２】



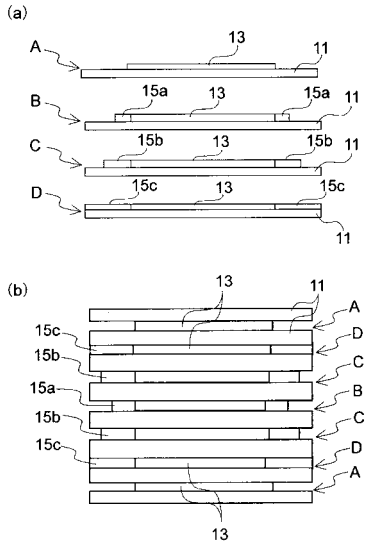
【図３】



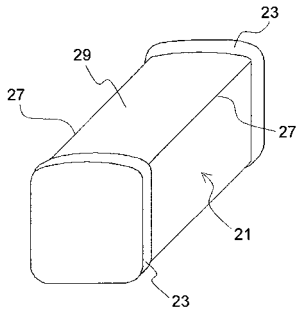
【図４】



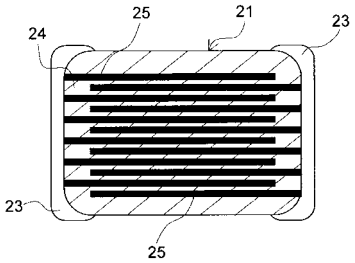
【図５】



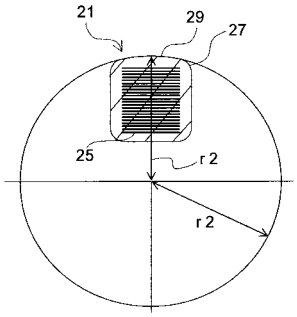
【図６】



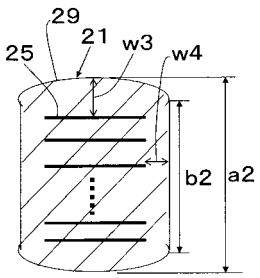
【図７】



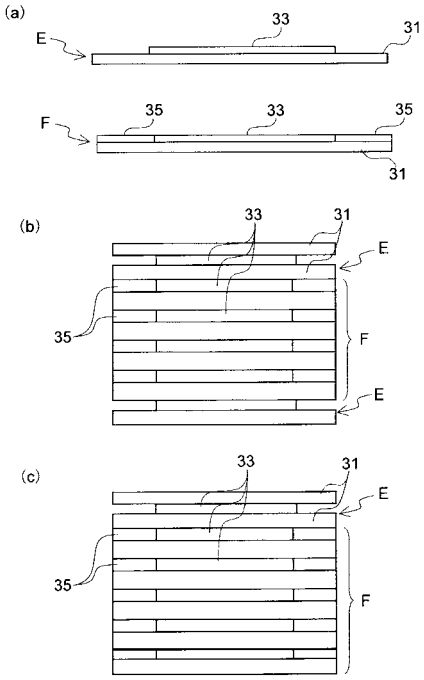
【図８】



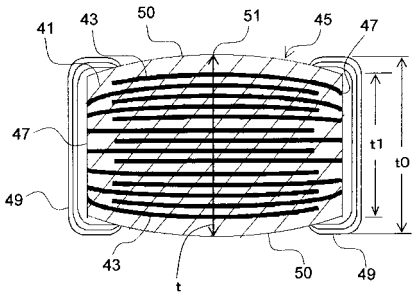
【図９】



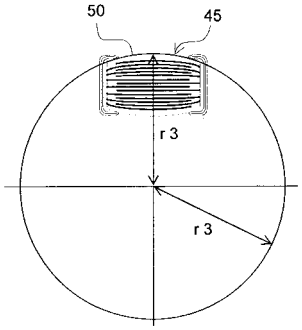
【図１０】



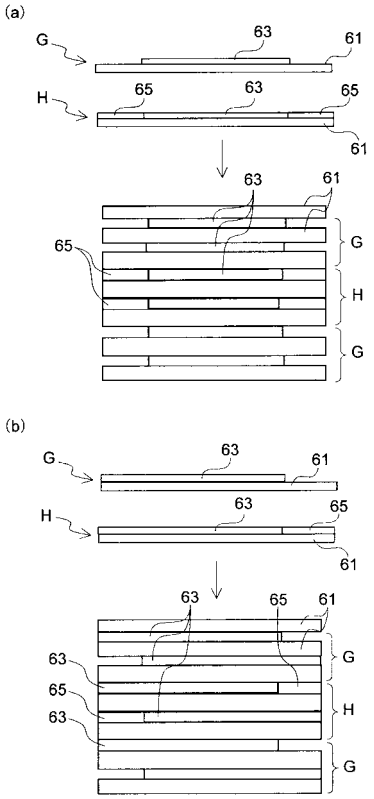
【図１１】



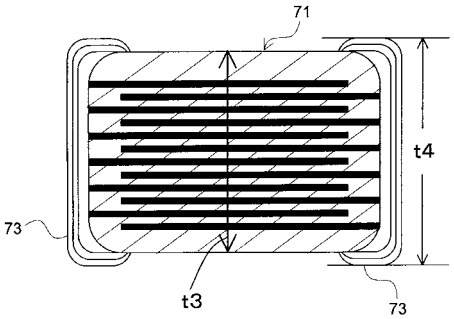
【図１２】



【図１３】



【図１４】



フロントページの続き

(31)優先権主張番号 特願2005-49195(P2005-49195)
(32)優先日 平成17年2月24日(2005.2.24)
(33)優先権主張国 日本国(JP)
(31)優先権主張番号 特願2004-282383(P2004-282383)
(32)優先日 平成16年9月28日(2004.9.28)
(33)優先権主張国 日本国(JP)
(31)優先権主張番号 特願2005-49197(P2005-49197)
(32)優先日 平成17年2月24日(2005.2.24)
(33)優先権主張国 日本国(JP)