

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 4 月 14 日 (14.04.2005)

PCT

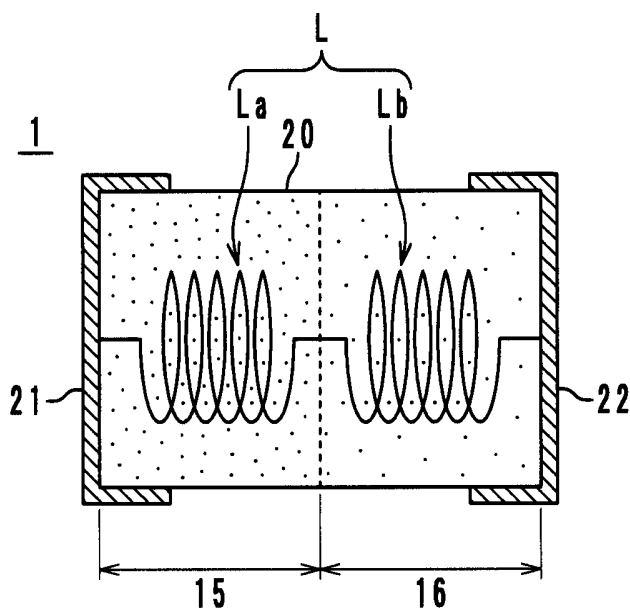
(10) 国際公開番号
WO 2005/034151 A1

- (51) 国際特許分類: H01F 27/00, (74) 代理人: 森下 武一 (MORISHITA, Takekazu); 〒5410054 大阪府大阪市中央区南本町 4 丁目 2 番 18 号 サンモビル Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/012546
- (22) 国際出願日: 2004 年 8 月 31 日 (31.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2003-341438 2003 年 9 月 30 日 (30.09.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高澤 知生 (TAKAZAWA, Tomoo) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

/ 続葉有 /

(54) Title: LAYERED CERAMIC ELECTRONIC PART AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 積層セラミック電子部品およびその製造方法



(57) Abstract: In a low-permeability coil unit (15) composed of layered low-permeability ceramic green sheets, a first coil (La) and a plenty of holes are formed. On the other hand, in a high-permeability coil unit (16) composed of layered high-permeability ceramic green sheets, a second coil (Lb) and a small number of holes are formed. The first coil (La) and the second coil (Lb) are electrically connected in series and constitute a spiral coil (L). The coil unit (16) having the small number of holes and made of ferrite ceramics has a high permeability and a high dielectric constant while the coil unit (15) having the plenty of holes and made of ferrite ceramics has a low permeability and a low dielectric constant.

(57) 要約: 低透磁率セラミックグリーンシートを積み重ねて構成した低透磁率コイル部 (15) の内部には、第1コイル (La) と多数の空孔が形成される。一方、高透磁率セラミックグリーンシートを積み重ねて構成した高透磁率コイル部 (16) の内部にも、

第2コイル (Lb) と少数の空孔が形成される。第1コイル (La) と第2コイル (Lb) は電氣的に直列に接続して螺旋状コイル (L) を構成する。空孔の少ないフェライトセラミックスからなるコイル部 (16) は透磁率および誘電率が高く、空孔の多いフェライトセラミックスからなるコイル部 (15) は透磁率および誘電率が低い。



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

積層セラミック電子部品およびその製造方法

技術分野

- [0001] 本発明は積層セラミック電子部品およびその製造方法、特に、積層インダクタや積層コンデンサ、積層LC複合部品などの積層セラミック電子部品およびその製造方法に関する。

背景技術

- [0002] 従来、チップ型のノイズ対策部品において、広い周波数帯域において高インピーダンスを確保してノイズ低減効果を得るために、高透磁率の磁性体層と低透磁率の磁性体層とを積層して、それぞれの内部にコイルを配置し、これを直列接続したものがある。
- [0003] そのような例として、特許文献1に記載のように、透磁率の高い磁性体層と透磁率の低い磁性体層とを、非磁性体中間層を介して一体的に積層した構造を有する積層インダクタが提案されている。非磁性体中間層は、透磁率の高い磁性体層と透磁率の低い磁性体層の各々の材料が相互拡散するのを防止し、両者の磁気特性が劣化するのを防止する。
- [0004] また、特許文献2に記載のように、コンデンサ部とコイル部をそれぞれ異なる誘電率の誘電体層で構成し、これら異なる誘電率の誘電体層を一体的に積層した構造を有する積層LC複合部品も知られている。
- [0005] しかしながら、特許文献1の積層インダクタのように、非磁性体中間層を使用した場合には、磁性体層同士の接合と比較して接合強度が弱くなるという問題があった。また、良好な接合を得るためには、焼成時の磁性体層の収縮率と非磁性体中間層の収縮率とを合わせる必要があり、煩雑な作業や技術が要求される。さらに、中間層のための新たな材料を準備しなければならず、これは製造コストが上昇する一つの要因であった。特許文献2の積層LC複合部品の場合も略同様の問題がある。

特許文献1:特開平9-7835号公報

特許文献2:特開平6-232005号公報

発明の開示

発明が解決しようとする課題

- [0006] そこで、本発明の目的は、中間層を設ける必要がなく、かつ、誘電率や透磁率の制限が少ない積層セラミック電子部品およびその製造方法を提供することにある。

課題を解決するための手段

- [0007] 前記目的を達成するため、本発明に係る積層セラミック電子部品は、
- (a) セラミック層と内部電極とを積み重ねて構成した第1素子部と、
 - (b) セラミック層と内部電極とを積み重ねて構成した第2素子部とを備え、
 - (c) 少なくとも第1素子部と第2素子部を積み重ねてセラミック積層体を構成し、第1素子部のセラミック層の空孔率と第2素子部のセラミック層の空孔率とが異なっていること、
- を特徴とする。
- [0008] そして、例えば、第1素子部が内部電極を電氣的に接続して構成した第1コイルを内蔵し、第2素子部が内部電極を電氣的に接続して構成した第2コイルを内蔵し、第1コイルと第2コイルが電氣的に接続してインダクタを構成している。あるいは、第1素子部が内部電極を電氣的に接続して構成したコイルを内蔵し、第2素子部がセラミック層を間に挟んで対向する内部電極にて構成したコンデンサを内蔵し、第2素子部のセラミック層の空孔率が、第1素子部のセラミック層の空孔率より低く、コイルとコンデンサが電氣的に接続してLCフィルタを構成している。
- [0009] セラミック層は、空孔を高い割合で含んでいると、透磁率や誘電率が低くなる。従って、同一種類の材料であっても、空孔率を異ならせることにより、異なる透磁率や誘電率をもつ第1素子部および第2素子部が得られる。
- [0010] また、本発明に係る積層セラミック電子部品の製造方法は、
- (d) セラミック層と内部電極とを積み重ねて構成した第1素子部と、セラミック層と内部電極とを積み重ねて構成した第2素子部とを備え、少なくとも第1素子部と第2素子部を積み重ねてセラミック積層体を構成した積層セラミック電子部品の製造方法において、
 - (e) 第1素子部のセラミック層となるセラミックスラリーへの粒状焼失材の添加量と、

第2素子部のセラミック層となるセラミックスラリーへの粒状焼失材の添加量とを異ならせ、セラミック層の空孔率が互いに異なった第1素子部および第2素子部を作製すること、

を特徴とする。

- [0011] 前記第1素子部のセラミック層となるセラミックスラリー又は前記第2素子部のセラミック層となるセラミックスラリーのいずれかに粒状焼失材は添加されなくてもよい。

発明の効果

- [0012] 本発明によれば、第1素子部のセラミック層の空孔率と第2素子部のセラミック層の空孔率とを異ならせることにより、第1素子部のセラミック層と第2素子部のセラミック層が同一種類の材料であっても、第1素子部と第2素子部の透磁率や誘電率を異ならせることができる。この結果、中間層を設ける必要がなく、かつ、誘電率や透磁率の設計の自由度が高い積層セラミック電子部品が得られる。

図面の簡単な説明

- [0013] [図1]本発明に係る積層セラミック電子部品の第1実施例を示す分解斜視図。
[図2]図1に示した積層セラミック電子部品の外観斜視図。
[図3]図2に示した積層セラミック電子部品のセラミック積層体の一部を模式的に示す拡大断面図。
[図4]図2に示した積層セラミック電子部品を模式的に示す断面図。
[図5]図4に示した積層セラミック電子部品の周波数特性を示すグラフ。
[図6]本発明に係る積層セラミック電子部品の第3実施例を示す分解斜視図。
[図7]図6に示した積層セラミック電子部品を模式的に示す断面図。

発明を実施するための最良の形態

- [0014] 以下、本発明に係る積層セラミック電子部品およびその製造方法の実施例について添付の図面を参照して説明する。
- [0015] (第1実施例、図1～図5)

図1に示すように、積層インダクタ1は、コイル用導体パターン5や層間接続用ビアホール6を設けた内層用低透磁率セラミックグリーンシート12と、引出し用ビアホール8を設けた外層用低透磁率セラミックグリーンシート12と、コイル用導体パターン5や

層間接続用ビアホール6を設けた内層用高透磁率セラミックグリーンシート13と、引出し用ビアホール8を設けた外層用高透磁率セラミックグリーンシート13などで構成されている。

- [0016] 高透磁率セラミックグリーンシート13は、以下のようにして作製される。ニッケル、亜鉛および銅の酸化物原料を混合して800℃、1時間仮焼した。その後、ボールミルにより粉砕し、乾燥することにより、平均粒径が約2 μ mのNi-Zn-Cu系フェライト原料(酸化物混合粉末)を得た。
- [0017] 次に、このフェライト原料に、溶媒、結合剤および分散剤を加えて混練し、スラリー状にする。この後、スラリー状のフェライト原料を用いてドクターブレード法などの方法で厚さ40 μ mの高透磁率セラミックグリーンシート13を作製した。
- [0018] 一方、低透磁率セラミックグリーンシート12は、以下のようにして作製される。ニッケル、亜鉛および銅の酸化物原料を混合して800℃、1時間仮焼した。その後、ボールミルにより粉砕し、乾燥することにより、平均粒径が約2 μ mのNi-Zn-Cu系フェライト原料(酸化物混合粉末)を得た。
- [0019] 次に、このフェライト原料に、市販の球状ポリマー、例えば平均粒径が8 μ mの架橋ポリスチレンからなる球状の焼失材を添加し、溶媒、結合剤および分散剤を加えて混練し、スラリー状にする。本第1実施形態では、焼失材として、積水化成工業株式会社(SEKISUI PLASTICS CO., LTD.)製の、商品名がテクポリマー(TECHPOLYMER)と称する焼失材を用い、空孔率が60%となるようにフェライト原料に添加した。この後、スラリー状のフェライト原料を用いてドクターブレード法などの方法で厚さ40 μ mの低透磁率セラミックグリーンシート12を作製した。焼失材は、後工程の焼成の際に焼失して、その後に空孔を形成することになる。
- [0020] コイル用導体パターン5は、Ag, Pd, Cu, Auやこれらの合金などからなり、スクリーン印刷などの方法により形成される。また、層間接続用ビアホール6や引出し用ビアホール8は、レーザビームなどを用いてビアホールの孔をあけ、この孔にAg, Pd, Cu, Auやこれらの合金などの導電性ペーストを充填することによって形成される。
- [0021] コイル用導体パターン5は層間接続用ビアホール6を介して電氣的に直列に接続され、螺旋状コイルLを形成する。螺旋状コイルLの両端部は引出し用ビアホール8に

電氣的に接続される。

[0022] 各シート12, 13は積み重ねられて圧着され、図2に示すような直方体形状を有するセラミック積層体20とされる。そして、これを400℃で3時間熱処理(脱結合剤処理)を行った後、915℃で2時間焼成することにより、焼結セラミック積層体20を得る。

[0023] これにより、低透磁率セラミックグリーンシート12を積み重ねて構成した低透磁率コイル部15の内部には、コイル用導体パターン5を電氣的に直列に接続して構成した第1コイルLaと多数の空孔32(図3参照)が形成される。空孔32の平均径は5〜20 μm であり、低透磁率コイル部15の空孔の体積含有率(空孔率)は30〜80%が好ましい。低透磁率コイル部15の空孔率は以下の式で算出される。ただし、空孔(空気)の比重を $0\text{g}/\text{cm}^3$ とした。

[0024] 低透磁率コイル部15の空孔率 $=\{1-(W/V)/G\} \times 100(\%)$

W:低透磁率コイル部15のセラミックシート(焼成後)12のみの総重量

V:低透磁率コイル部15のセラミックシート(焼成後)12のみの体積

G:フェライト原料の理論密度

[0025] 空孔率が30%未満になると、誘電率が高くなり、十分に誘電率を低下させることができないからである。また、空孔率が80%を超えると、焼成後の低透磁率コイル部15の機械的強度が低下し、その後の樹脂含浸加工などが困難になるため好ましくないからである。

[0026] 一方、高透磁率セラミックグリーンシート13を積み重ねて構成した高透磁率コイル部16の内部にも、コイル用導体パターン5を電氣的に直列に接続して構成した第2コイルLbと少数の空孔が形成される。第2コイルLbと第1コイルLaは電氣的に直列に接続して螺旋状コイルLを構成する。空孔は、スラリー状のフェライト原料を作製する際に抱き込んだ気泡や結合剤および分散剤の揮発性成分によって生じたものである。ただし、高透磁率コイル部16に形成される空孔は少なく、その空孔率は10%以下である。高透磁率コイル部16のそれぞれの空孔率は以下の式で算出される。

[0027] 高透磁率コイル部16の空孔率 $=\{1-(W1/V1)/G\} \times 100(\%)$

W1:高透磁率コイル部16のセラミックシート(焼成後)13の総重量

V1:高透磁率コイル部16のセラミックシート(焼成後)13の体積

G:フェライト原料の理論密度

- [0028] なお、低透磁率コイル部15や高透磁率コイル部16に形成される空孔は、開空孔（オープンポア）および閉空孔（クローズドポア）を含む。また、高透磁率コイル部16は低透磁率コイル部15より相対的に透磁率が高ければよく、積層インダクタ1の仕様により、高透磁率コイル部16のセラミックグリーンシート13として、焼失材を添加したものを使用してもよい。
- [0029] 次に、焼結セラミック積層体20の左右の端面には、外部電極21、22が形成される。外部電極21、22は引出し用ビアホール8を介して螺旋状コイルLに電氣的に接続される。外部電極21、22の折り返し部は四つの側面にそれぞれ延在している。外部電極21、22は、塗布、焼き付けなどの方法により形成される。
- [0030] 次に、焼結セラミック積層体20を、誘電率3.4のエポキシ系樹脂（あるいは、水溶性ガラスでもよい）中に浸漬し、空孔内にエポキシ系樹脂を充填するとともに、焼結セラミック積層体20の表面にエポキシ系樹脂膜を形成する。この後、150〜180℃（2時間）でエポキシ系樹脂を硬化させた。なお、前述の外部電極21、22の焼き付け温度は850℃前後と高温であるため、樹脂含浸の前に外部電極21、22を形成しておくことが好ましい。
- [0031] 図3は、焼結セラミック積層体20の低透磁率コイル部15の一部拡大断面図である。焼結セラミック積層体20の内部には複数の空孔32が形成されている。空孔32には、エポキシ系樹脂33が充填されており、焼結セラミック積層体20の表面もエポキシ系樹脂33によって覆われている。この空孔32のうち、30〜70体積％は、樹脂33で充填されている。すなわち、空孔32には、その内部全体に樹脂33が充填されていてもよいが、その内部の一部のみに充填されていてもよく、その場合には、空孔32内に充填された樹脂33中にさらに空孔34が形成される。
- [0032] 次に、樹脂を含浸させた焼結セラミック積層体20をバレル研磨して、外部電極21、22の金属表面をより確実に露出させた後、ニッケルめっきおよびSnめっきを行って、外部電極21、22の表面にめっき層を形成する。こうして、図4に示すような積層インダクタ1が得られる。
- [0033] 以上の構成からなる積層インダクタ1において、空孔の少ないフェライトセラミックス

からなるコイル部16は透磁率が高く、空孔の多いフェライトセラミックスからなるコイル部15は透磁率が低い。本第1実施例の場合、高透磁率コイル部16の初透磁率は430であり、低透磁率コイル部15の初透磁率は133であった。

[0034] また、空孔の少ないフェライトセラミックスからなるコイル部16は透磁率および誘電率が高く、空孔の多いフェライトセラミックスからなるコイル部15は透磁率および誘電率が低くなる。従って、コイル部15の第1コイルLaのインダクタンスの方がコイル部16の第2コイルLbのインダクタンスより小さくなる。そして、コイル部15の第1コイルLaに並列に形成される浮遊容量Caが、コイル部16の第2コイルLbに並列に形成される浮遊容量Cbより小さくなる。従って、第1コイルLaと浮遊容量Caとで形成されるLC並列共振回路の共振周波数 $Fa = 1 / 2 \pi (LaCa)^{1/2}$ は、第2コイルLbと浮遊容量Cbとで形成されるLC並列共振回路の共振周波数 $Fb = 1 / 2 \pi (LbCb)^{1/2}$ より高くなる。この結果、広帯域で高インピーダンスの積層インダクタ1を得ることができる。

[0035] 図5は、積層インダクタ1のインピーダンス特性を示すグラフである。図5において、実線41が低透磁率コイル部15のインピーダンス特性を表示し、実線42が高透磁率コイル部16のインピーダンス特性を表示し、実線43が両者の合成インピーダンス特性を表示する。

[0036] この結果、高インピーダンス帯域幅が広帯域にわたってノイズ除去効果をもつ積層インダクタ1を得ることができる。

[0037] また、フェライトセラミック材料には、同一種類のフェライト材料を用いているので、非磁性体中間層を挟んだ従来の積層インダクタと比較して、低透磁率コイル部15と高透磁率コイル部16の接合界面での接合強度が強い。さらに、焼成時の低透磁率コイル部15の収縮率と高透磁率コイル部16の収縮率が略等しいので、良好な接合が容易に得られる。また、低透磁率コイル部15と高透磁率コイル部16の各々のフェライトセラミック材料の相互拡散によって、コイル部15、16の磁気特性が劣化するという心配もない。

[0038] また、積層インダクタ1は、いわゆる横巻タイプであり、セラミックグリーンシート12、13の積み重ね方向が、セラミック積層体20の実装面と平行であり、かつ、外部電極21、22に対して垂直である。外部電極21と22の間には、誘電率の異なるコイル部15、

16が直列に配置されており、浮遊容量Ca, Cbは主として対向する外部電極21と22の間で発生する。本第1実施例の場合、空孔の多いフェライトセラミックスからなるコイル部15は、空孔の少ないフェライトセラミックスからなるコイル部16より誘電率が1/10程度となっている。コイル部15, 16は直列に配置されているから、積層インダクタ1全体の浮遊容量は小さくなり、高周波特性は良くなる。

[0039] さらに、必要であれば、コイル部15, 16にそれぞれ内蔵されている第1コイルLaの巻回方向と第2コイルLbの巻回方向を逆向きにしてもよい。これにより、第1コイルLaと第2コイルLbの磁氣的結合が抑えられ、低透磁率コイル部15の第1コイルLaによる高周波ノイズ除去効果と、高透磁率コイル部16の第2コイルLbによる低周波ノイズ除去効果が互いに独立に発揮されることになり、より一層ノイズ除去効果に優れた積層インダクタ1が得られる。

[0040] (第2実施例)

本第2実施例は、前記第1実施例と同様の構成からなる積層インダクタであり、高透磁率セラミックグリーンシートおよび低透磁率セラミックグリーンシートは第1実施例と同様の材料および同様の工程によって作製される。但し、高透磁率セラミックグリーンシートの作製に際してフェライト原料に焼失材を添加することにより、空孔率20%の高透磁率コイル部とした。低透磁率セラミックグリーンシートは第1実施例と同様に作製され、低透磁率コイル部の空孔率は60%である。

[0041] 本第2実施例によれば、前記第1実施例と同様の作用効果を奏するとともに、高透磁率コイル部及び低透磁率コイル部のいずれにも焼失材が添加されているので、二つのコイル部は焼成時の収縮率が接近し、その接合強度が第1実施例よりも大きくなる。また、高透磁率コイル部にも樹脂が含浸されるので、積層体の強度も大きくなる。

[0042] (第3実施例、図6および図7)

図6に示すように、積層LCフィルタ51は、コイル部65, 66の間にコンデンサ部67を挟んだ構造を有している。コイル部65, 66はそれぞれ、コイル用導体パターン55や層間接続用ビアホール56を設けたセラミックグリーンシート62と、引出し用ビアホール58を設けたセラミックグリーンシート62などで構成されている。コンデンサ部67は、コンデンサ導体59や層間接続用ビアホール56を設けたセラミックグリーンシート

63と、コンデンサ導体60や層間接続用ビアホール56を設けたセラミックグリーンシート63などで構成されている。

[0043] セラミックグリーンシート63は前記第1実施例のセラミックグリーンシート13と同様にして作製されるので、その詳細な説明は省略する。一方、セラミックグリーンシート62も、空孔率が80%となるように焼失材をフェライト原料に添加したこと以外は、前記第1実施例のセラミックグリーンシート12と同様にして作製されるので、その詳細な説明は省略する。

[0044] 各シート62, 63は積み重ねられて圧着された後、焼成され、図7に示すような直方体形状を有する焼結セラミック積層体70とされる。これにより、セラミックグリーンシート62を積み重ねて構成したコイル部65, 66の内部にはそれぞれコイル用導体パターン55を電氣的に直列に接続してなるコイルL1, L2と多数の空孔が形成される。

[0045] 一方、セラミックグリーンシート63を積み重ねて構成したコンデンサ部67の内部には、コンデンサ電極59と60を対向させてなるコンデンサCと少数の空孔が形成される。コンデンサCとコイルL1, L2は電氣的に接続してT型LCフィルタを構成する。

[0046] 次に、焼結セラミック積層体70の左右の端面および中央部に、外部電極71, 72, 73が形成される。外部電極71, 72はそれぞれ、引出し用ビアホール58を介して螺旋状コイルL1, L2に電氣的に接続される。

[0047] 次に、焼結セラミック積層体70を、誘電率3.4のエポキシ系樹脂(あるいは、水溶性ガラス)中に浸漬し、樹脂を含浸させる。樹脂を含浸させた焼結セラミック積層体70をバレル研磨した後、外部電極71-73の表面にめっき層を形成する。こうして、積層LCフィルタ51が得られる。

[0048] 以上の構成からなる積層LCフィルタ51において、空孔の少ないフェライトセラミックスからなるコンデンサ部67は誘電率および透磁率が高く、空孔の多いフェライトセラミックスからなるコイル部65, 66は誘電率および透磁率が低い。本第3実施例の場合、コンデンサ部67の初透磁率は430、比誘電率は14.5である。コイル部65, 66の初透磁率は65、比誘電率は4.0である。

[0049] 従って、コイル部65, 66の誘電率を小さくすることができ、コイルL1, L2のそれぞれと並列に形成される浮遊容量を抑えることができる。この結果、高周波特性の良好

な積層LCフィルタ51を得ることができる。このように、コイル部65, 66に空孔を形成することによってコイル部65, 66の誘電率を低くすることにより、同一種類のフェライトセラミック材料で、浮遊容量の影響の小さい積層LCフィルタ51を得ることができる。

[0050] なお、本第3実施例ではコイル部65, 66の空孔を多くしているが、積層LCフィルタ51の仕様によっては、コンデンサ部67の空孔を多くするものであってもよい。

[0051] (他の実施例)

なお、本発明は、前記実施例に限定されるものではなく、その要旨の範囲内で種々に変更することができる。

[0052] 例えば、空孔率が互いに異なる3以上の素子部からなる積層セラミック電子部品であってもよい。積層セラミック電子部品としては、積層インダクタの他に、例えば積層インピーダンス素子、積層LCフィルタ、積層コンデンサ、積層トランスなどがある。積層コンデンサの場合には、高空孔率の誘電体セラミック層(言い換えると低誘電率の誘電体セラミック層)を積層して構成した第1素子部と、低空孔率の誘電体セラミック層(高誘電率の誘電体セラミック層)を積層して構成した第2素子部を備えたものである。さらに、セラミック材料には、磁性体セラミックス、誘電体セラミックス、半導体セラミックス、圧電体セラミックスなどの各種の機能性セラミックスを適用することができる。

[0053] また、前記実施例は個製品の例で説明したが、量産の場合には、複数の積層インダクタを含んだマザー積層ブロックの状態で製造してもよいことは言うまでもない。

[0054] また、積層セラミック電子部品を製造する場合、導体パターンやビアホールを設けたセラミックシートを積み重ねた後、一体的に焼成する工法に必ずしも限定されない。セラミックシートは予め焼成されたものを用いてもよい。また、以下に説明する工法によって積層セラミック電子部品を製造してもよい。すなわち、印刷などの手法によりペースト状のセラミック材料を塗布してセラミック層を形成した後、そのセラミック層の上からペースト状の導電性材料を塗布して導体パターンやビアホールを形成する。さらにペースト状のセラミック材料を上から塗布してセラミック層とする。こうして順に重ね塗りをすることにより、積層構造を有するセラミック電子部品が得られる。

産業上の利用可能性

[0055] 以上のように、本発明は、LC複合部品などの積層セラミック電子部品に有用であり

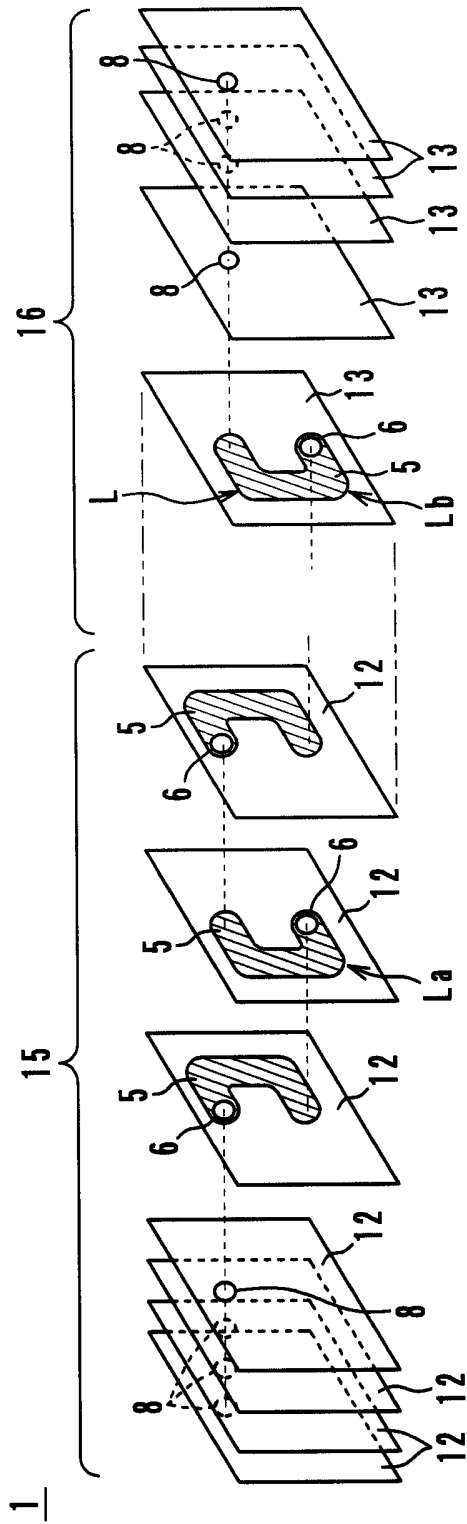
、誘電率や透磁率の異なる素子部を中間層を設けることなく必要な強度で接合できる点で優れている。

請求の範囲

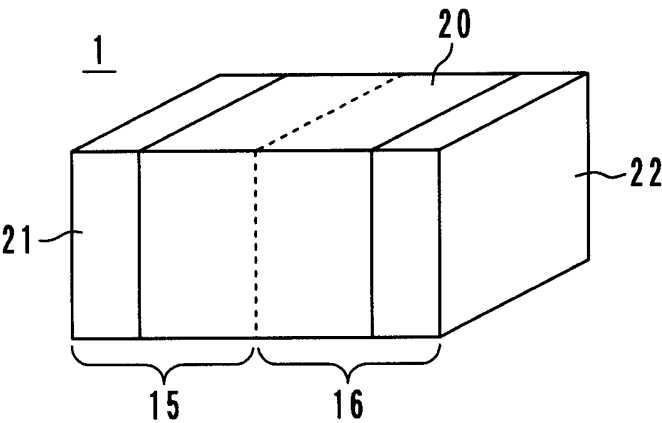
- [1] セラミック層と内部電極とを積み重ねて構成した第1素子部と、セラミック層と内部電極とを積み重ねて構成した第2素子部とを備え、少なくとも前記第1素子部と前記第2素子部を積み重ねてセラミック積層体を構成し、前記第1素子部のセラミック層の空孔率と前記第2素子部のセラミック層の空孔率とが異なっていること、
- を特徴とする積層セラミック電子部品。
- [2] 前記第1素子部が内部電極を電氣的に接続して構成した第1コイルを内蔵し、前記第2素子部が内部電極を電氣的に接続して構成した第2コイルを内蔵し、前記第1コイルと前記第2コイルが電氣的に接続してインダクタを構成していることを特徴とする請求の範囲第1項に記載の積層セラミック電子部品。
- [3] 前記第1素子部が内部電極を電氣的に接続して構成したコイルを内蔵し、前記第2素子部がセラミック層を間に挟んで対向する内部電極にて構成したコンデンサを内蔵し、前記第2素子部のセラミック層の空孔率が、前記第1素子部のセラミック層の空孔率より低く、前記コイルと前記コンデンサが電氣的に接続してLCフィルタを構成していることを特徴とする請求の範囲第1項に記載の積層セラミック電子部品。
- [4] 前記第1素子部および前記第2素子部のセラミック層は同一種類のセラミック材料からなることを特徴とする請求の範囲第1項、第2項又は第3項に記載の積層セラミック電子部品。
- [5] セラミック層と内部電極とを積み重ねて構成した第1素子部と、セラミック層と内部電極とを積み重ねて構成した第2素子部とを備え、少なくとも前記第1素子部と前記第2素子部を積み重ねてセラミック積層体を構成した積層セラミック電子部品の製造方法において、
- 前記第1素子部のセラミック層となるセラミックスラリーへの粒状焼失材の添加量と、前記第2素子部のセラミック層となるセラミックスラリーへの粒状焼失材の添加量とを異ならせ、セラミック層の空孔率が互いに異なった第1素子部および第2素子部を製作すること、
- を特徴とする積層セラミック電子部品の製造方法。

- [6] 前記第1素子部のセラミック層となるセラミックスラリー又は前記第2素子部のセラミック層となるセラミックスラリーのいずれかには粒状焼失材は添加されないことを特徴とする請求の範囲第5項に記載の積層セラミック電子部品の製造方法。
- [7] 前記第1素子部および前記第2素子部のセラミック層となるセラミックスラリーは同一種類のセラミック材料を用いることを特徴とする請求の範囲第5項又は第6項に記載の積層セラミック電子部品の製造方法。

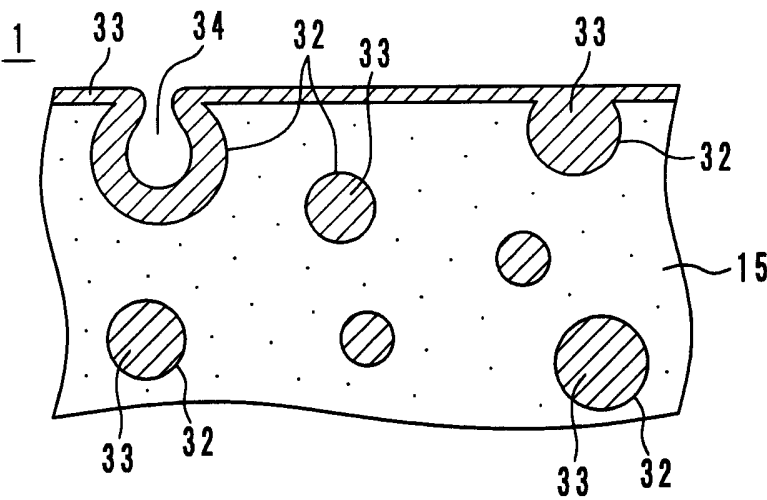
[図1]



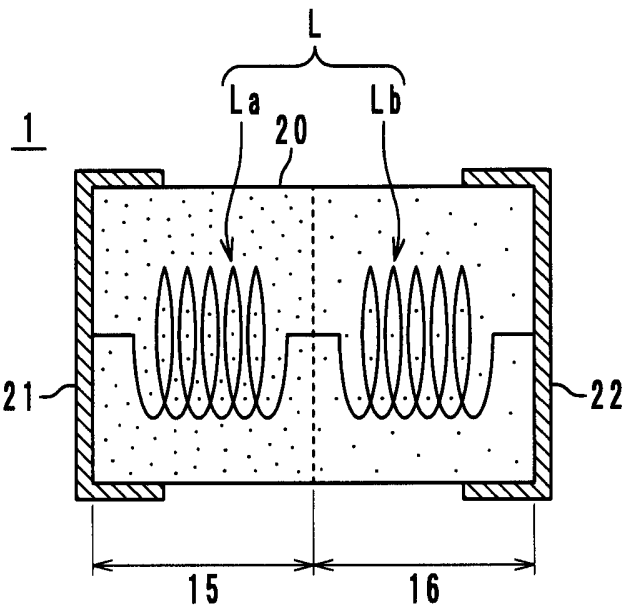
[図2]



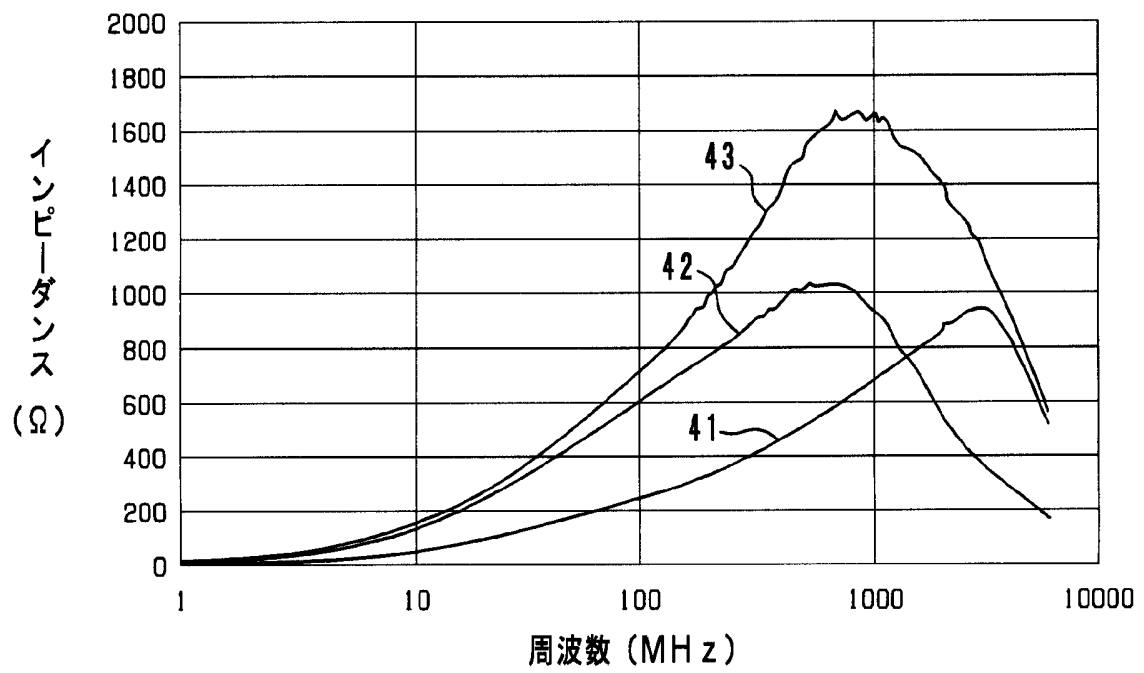
[図3]



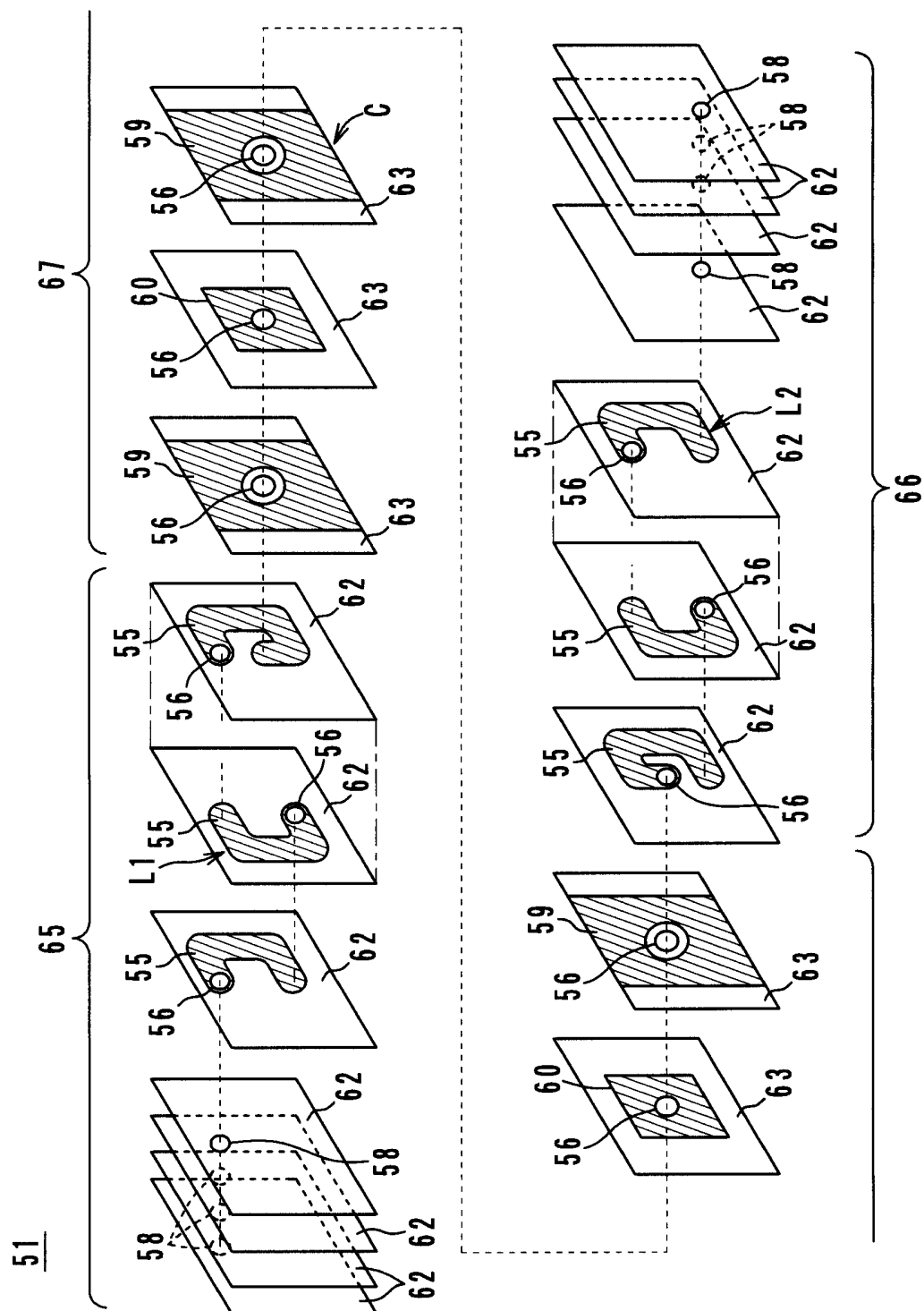
[図4]



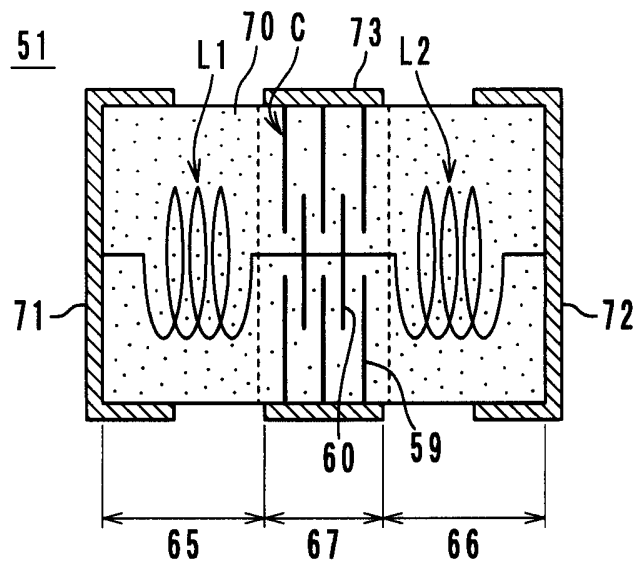
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/012546

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01F27/00, H01F17/00, H01G4/40, H03H7/075

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01F27/00, H01F17/00, H01G4/40, H03H7/075

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-7835 A (TDK Corp.), 10 January, 1997 (10.01.97), Full text; all drawings (Family: none)	1-4 5-7
Y A	JP 6-232005 A (TDK Corp.), 19 August, 1994 (19.08.94), Full text; all drawings (Family: none)	1-4 5-7
Y A	JP 11-238613 A (Matsushita Electric Industrial Co., Ltd.), 31 August, 1999 (31.08.99), Full text; all drawings & EP 872856 A & CN 1198577 A & KR 98081530 A & US 6284060 B & TW 428183 A	1-4 5-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 November, 2004 (16.11.04)

Date of mailing of the international search report
30 November, 2004 (30.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/012546

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2004-297020 A (Murata Mfg. Co., Ltd.), 21 October, 2004 (21.10.04), Full text; all drawings & CN 1448968 A & KR 2003079702 A & US 6762925 B	1-7
A	JP 11-254276 A (Hitachi Metals, Ltd.), 24 December, 1999 (24.12.99), Full text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H01F 27/00, H01F 17/00, H01G 4/40, H03H 7/075		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H01F 27/00, H01F 17/00, H01G 4/40, H03H 7/075		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 9-7835 A (ティーディーケイ株式会社) 1997. 01. 10, 全文, 全図 (ファミリーなし)	1-4 5-7
Y A	JP 6-232005 A (ティーディーケイ株式会社) 199 4. 08. 19, 全文, 全図 (ファミリーなし)	1-4 5-7
Y A	JP 11-238613 A (松下電器産業株式会社) 199 9. 08. 31, 全文, 全図 & EP 872856 A & C N 1198577 A & KR 98081530 A & U S 6284060 B & TW 428183 A	1-4 5-7
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 16. 11. 2004		国際調査報告の発送日 30.11.2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 重田 尚郎 5 R 9298 電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E A	J P 2004-297020 A (株式会社村田製作所) 2004. 10. 21, 全文, 全図 & CN 1448968 A & KR 2003079702 A & US 6762925 B	1-7
A	J P 11-254276 A (日立金属株式会社) 1999. 12. 24, 全文, 全図 (ファミリーなし)	1-7