



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 01 04 82
(21) PV 2312-82

(40) Zveřejněno 30 11 82
(45) Vydáno 01 04 84

223 142

(11) (B1)

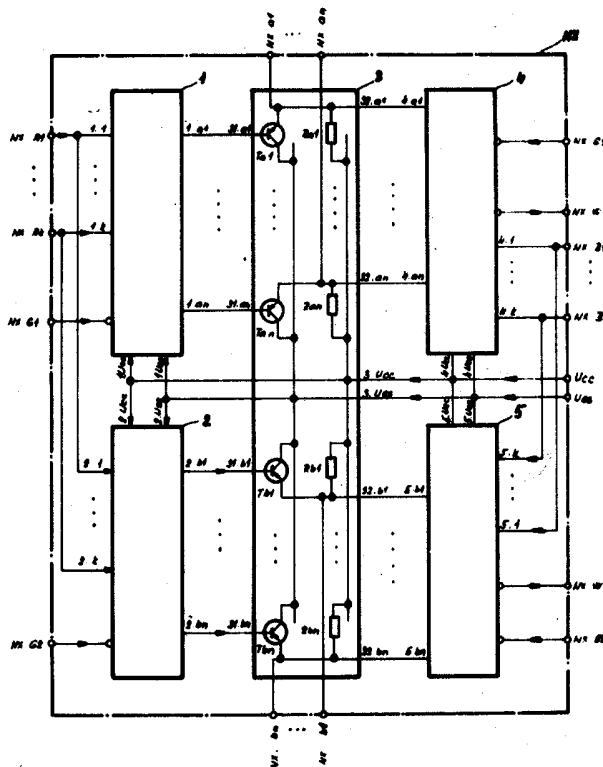
(51) Int. Cl.³ G 05 B 23/02

(75)

Autor vynálezu BREJŠKA JIŘÍ ing., PŘÍBRAM
HABADA OLDŘICH, PŘÍBRAM
BUGÁR JÁN ing., PŘÍBRAM
HRUZA JAN ing., PŘÍBRAM

(54) Logický vyhodnocovací obvod, zejména pro vyhodnocování elektrického propojení konečné logické struktury

Vynález řeší logický vyhodnocovací obvod, zejména pro vyhodnocování elektrického propojení konečné logické struktury řídicích automatů, sestávající ze dvou demultiplexních členů, výstupního členu a dvou multiplexních členů. Logický vyhodnocovací obvod dle vynálezu svojí strukturou dovoluje jednoduché připojení na návazné zařízení. Umožňuje výhodné řešení blokové skladby těchto jednotek, zejména s připojením k návaznému řídicímu systému, kde může vytvářet účinnou periferní část pro styk systému s vnějším prostředím. Je určen k využití v obecných aplikacích řídicích systémů, především v aplikacích s mikroprocesorovými nebo minipočítačovými systémy.



Vynález se týká logického vyhodnocovacího obvodu, zejména pro vyhodnocování elektrického propojení konečné logické struktury řídicích automatů, sestávající ze dvou demultiplexních členů, výstupního členu a dvou multiplexních členů.

V současné době jsou známy podobné vyhodnocovací obvody, které jsou však řešeny komplikovanějším způsobem. Rovněž je znám způsob vyhodnocování elektrického propojení pomocí vstupních a výstupních jednotek počítačových řídicích systémů. Nedostatky stávajících způsobů spočívají, zejména v jejich složitosti v prvním případě, v případě počítačového a mikropočítačového řízení je tento způsob testování výhodnější u menšího množství vstupů. Při větším množství vstupů a výstupů zde ovšem narůstá podstatně kabeláž a celé zařízení se komplikuje svým rozsahem.

Uvedené nedostatky do značné míry odstraňuje logický vyhodnocovací obvod podle vynálezu. Jeho podstata spočívá v tom, že první demultiplexní člen, který je opatřen prvním vnějším výběrovým vstupem, je svým prvním až k-tým adresovacím vstupem propojen s prvním až k-tým adresovacím vnějším výběrovým vstupem a s prvním až k-tým adresovacím vstupem druhého demultiplexního členu. Druhý demultiplexní člen je opatřen druhým vnějším výběrovým vstupem. Jeho první napájecí vstup je propojen s prvním napájecím vstupem prvního demultiplexního členu. Druhý napájecí vstup prvního demultiplexního členu je propojen s druhým napájecím vstupem druhého demultiplexního členu. Druhý až n-tý výstup druhého demultiplexního členu je propojen s prvním až n-tým vstupem druhé skupiny výstupního členu. První až n-tý vstup první skupiny výstupního členu je propojen s prvním až n-tým výstupem prvního demultiplexního členu. Výstupní člen je opatřen

prvním až n -tým vnějším vstupem první skupiny a prvním až n -tým vnějším vstupem druhé skupiny. Prostřednictvím prvního až n -tého výstupu druhé skupiny je výstupní člen propojen s prvním až n -tým vstupem druhého multiplexního členu. Druhý multiplexní člen je opatřen druhým vnějším stavovým výstupem a druhým vnějším stavovým vstupem. První napájecí vstup druhého multiplexního členu je propojen s prvním napájecím vstupem prvního multiplexního členu. Druhý napájecí vstup druhého multiplexního členu je propojen s druhým napájecím vstupem prvního multiplexního členu. První multiplexní člen je opatřen prvním vnějším stavovým vstupem. Jeho první až n -tý vstup je propojen s prvním až n -tým výstupem první skupiny výstupního členu. První až k -tý adresovací vstup prvního multiplexního členu je propojen jednak s prvním až k -tým adresovacím vstupem druhého multiplexního členu, jednak s prvním až k -tým adresovacím vnějším stavovým vstupem. První vnější napájecí vstup je propojen s prvním napájecím vstupem prvního multiplexního členu a s prvním napájecím vstupem druhého multiplexního členu, dále s prvním napájecím vstupem výstupního členu a dále s prvním napájecím vstupem druhého demultiplexního členu a s prvním napájecím vstupem prvního demultiplexního členu. Druhý vnější napájecí vstup je propojen s druhým napájecím vstupem druhého multiplexního členu a s druhým napájecím vstupem prvního multiplexního členu, dále s druhým napájecím vstupem výstupního členu a dále s druhým napájecím vstupem druhého demultiplexního členu a s druhým napájecím vstupem prvního demultiplexního členu.

Logický vyhodnocovací obvod svojí strukturou dovoluje jednoduché připojení na návazné zařízení. Umožňuje výhodné řešení blokové skladby těchto jednotek, zejména s připojením k návaznému řídicímu systému, kde může vytvářet účinnou periferní část pro styk systému s vnějším prostředím.

Na připojeném výkresu je znázorněno příkladné schéma logického vyhodnocovacího obvodu dle vynálezu

Logický vyhodnocovací obvod sestává z prvního a druhého demultiplexního členu 1, 2, výstupního členu 3 a z prvního a druhého multiplexního členu 4, 5. První demultiplexní člen 1, který je opatřen prvním vnějším výběrovým vstupem Nx.G1, je svým prvním až k -tým adresovacím vstupem 1.1 až 1.k propojen s prvním až k -tým adresovacím vnějším výběrovým vstupem Nx.A1 až Nx.Ak a s prvním až k -tým adresovacím vstupem 2.1 až 2.k

druhého demultiplexního členu 2. Druhý demultiplexní člen 2 je opatřen druhým vnějším výběrovým vstupem Nx.G2. Jeho první napájecí vstup 2.Ucc je propojen s prvním napájecím vstupem 1.Ucc prvního demultiplexního členu 1. Druhý napájecí vstup 1.Uss prvního demultiplexního členu 1 je propojen s druhým napájecím vstupem 2.Uss druhého demultiplexního členu 2. Druhý až n-tý výstup 2.b1 až 2.bn druhého demultiplexního členu 2 je propojen s prvním až n-tým vstupem 3l.b1 až 3l.bn druhé skupiny výstupního členu 3. První až n-tý vstup 3l.a1 až 3l.an první skupiny výstupního členu 3 je propojen s prvním až n-tým výstupem 1.a1 až 1.an prvního demultiplexního členu 1. Výstupní člen 3 je opatřen prvním až n-tým vnějším vstupem Nx.a1 až Nx.an první skupiny a prvním až n-tým vnějším vstupem Nx.b1 až Nx.bn druhé skupiny. Prostřednictvím prvního až n-tého výstupu 32.b1 až 32.bn druhé skupiny je výstupní člen 3 propojen s prvním až n-tým vstupem 5.b1 až 5.bn druhého multiplexního členu 5, který je opatřen druhým vnějším stavovým výstupem Nx.W2 a druhým vnějším stavovým vstupem Nx.S2. První napájecí vstup 5.Ucc druhého multiplexního členu 5 je propojen s prvním napájecím vstupem 4.Ucc prvního multiplexního členu 4. Druhý napájecí vstup 5.Uss druhého multiplexního členu 5 je propojen s druhým napájecím vstupem 4.Uss prvního multiplexního členu 4, který je opatřen prvním vnějším stavovým vstupem Nx.S1 a prvním vnějším stavovým výstupem Nx.W1. První až n-tý vstup 4.a1 až 4.an prvního multiplexního členu 4 je propojen s prvním až n-tým výstupem 32.a1 až 32.an první skupiny výstupního členu 3. První až k-tý adresovací vstup 4.1 až 4.k prvního multiplexního členu 4 je propojen jednak s prvním až k-tým adresovacím vstupem 5.1 až 5.k druhého multiplexního členu 5, jednak s prvním až k-tým adresovacím vnějším stavovým vstupem Nx.B1 až Nx.Bk. První vnější napájecí vstup Ucc je propojen s prvním napájecím vstupem 4.Ucc prvního multiplexního členu 4 a s prvním napájecím vstupem 5.Ucc druhého multiplexního členu, dále s prvním napájecím vstupem 3.Ucc výstupního členu 3 a dále s prvním napájecím vstupem 2.Ucc druhého demultiplexního členu 2 a s prvním napájecím vstupem 1.Ucc prvního demultiplexního členu 1. Druhý vnější napájecí vstup Uss je propojen s druhým napájecím vstupem 5.Uss druhého multiplexního členu 5 a s druhým napájecím vstupem 4.Uss prvního multiplexního členu 4, dále s druhým napájecím vstupem 3.Uss

výstupního členu 3 a dále s druhým napájecím vstupem 2.Uss druhého demultiplexního členu 2 a s druhým napájecím vstupem 1.Uss prvního demultiplexního členu 1.

První demultiplexní člen 1 obsahuje převodník kódu BCD na kód 1 z n a je opatřen prvním až k-tým adresovacím vnějším výběrovým vstupem Nx.A1 až Nx.Ak, kterým je převáděna příslušná adresovací kombinace a dále prvním vnějším výběrovým vstupem Nx.G1. Druhý demultiplexní člen 2 obsahuje obdobný výběrový obvod s tím, že je navíc opatřen druhým vnějším výběrovým vstupem Nx.G2. Výstupní člen 3 obsahuje běžné aktivní a pasivní prvky, jak je znázorněno v připojeném výkresu. Výstupní člen 3 je opatřen dále prvním až n-tým vnějším vstupem Nx.a1 až Nx.An první skupiny a prvním až n-tým vnějším vstupem Nx.b1 až Nx.bn druhé skupiny. První multiplexní člen 4 obsahuje logický výběrový obvod, opatřený prvním až k-tým vnějším vstupem Nx.B1 až Nx.Bk, prvním vnějším stavovým výstupem Nx.W1 a prvním vnějším stavovým vstupem Nx.S1. Druhý multiplexní člen 5 obsahuje podobný logický výběrový obvod a je opatřen druhým vnějším stavovým výstupem Nx.W2 a druhým vnějším stavovým vstupem Nx.S2.

Naadresování požadovaného místa logické struktury se provádí prostřednictvím prvního nebo druhého demultiplexního členu 1, 2. Příslušný výstup z demultiplexních členů 1, 2 je vybírán na základě přiváděné vstupní kombinace signálů na prvním až k-tém adresovacím vnějším výběrovém vstupu Nx.A1 až Nx.Ak. Tato kombinace je zaváděna v BCD kódu, výběr příslušného demultiplexního členu 1, 2 je prováděn signálem na prvním nebo druhém vnějším výběrovém vstupu Nx.G1, Nx.G2. Všechny výstupy demultiplexních členů 1, 2 jsou v klidovém stavu nastaveny na úroveň log 1, čímž jsou zavřeny všechny tranzistory ve výstupním členu 3. Naadresovaný výstup je překlopen do stavu log 0, čímž je otevřen příslušný tranzistor a tato změna se přenesla na vnější vstup Nx.a1 až Nx.an, Nx.b1 až Nx.bn. Tyto vstupy jsou přivedeny na vlastní testovanou soustavu vyhodnocovaných míst a slouží k dvousměrnému přenosu signálů mezi výstupním členem 3 a testovanou soustavou. Po otevření vybraného příslušného tranzistoru se tato změna může převést na libovolné testované místo. Zjištění, zda požadované místo Nx.a1 až Nx.an, Nx.b1 až Nx.bn je na příslušné napěťové úrovni, se provádí prostřednictvím prvního nebo druhého multiplexního členu 4, 5, který je aktivován prvním nebo druhým

stavovým vstupem Nx.S1, Nx.S2 a příslušné pořadové číslo vstupu 4.a1 až 4.an, 5.b1 až 5.bn je vybráno vstupní kombinací signálů na prvním až k-tém vnějším stavovém vstupu Nx.B1 až Nx.Bk. Stav tohoto vstupu se pak buď prvním nebo druhým vnějším stavovým výstupem Nx.W1, Nx.W2 přivádí do nadřazené vnější řídicí logiky nebo přímo jako vstup do návazného řídicího systému.

Logický vyhodnocovací obvod dle vynálezu je určen k využití v obecných aplikacích řídicích systémů, především v aplikacích s mikroprocesorovými nebo minipočítačovými systémy, kde obvod umožňuje sestavení speciální komunikační jednotky pro styk systému s vnějším prostředím.

PŘEDMĚT VYNÁLEZU

Logický vyhodnocovací obvod, zejména pro vyhodnocování elektrického propojení konečné logické struktury řídicích automatů, sestávající ze dvou demultiplexních členů, výstupního členu a dvou multiplexních členů, vyznačený tím, že první demultiplexní člen (1), který je opatřen prvním vnějším výběrovým vstupem ($Nx.G1$), je svým prvním až k -tým adresovacím vstupem (1.1 až 1. k) propojen s prvním až k -tým adresovacím vnějším výběrovým vstupem ($Nx.A1$ až $Nx.Ak$) a s prvním až k -tým adresovacím vstupem (2.1 až 2. k) druhého demultiplexního členu (2), který je opatřen druhým vnějším výběrovým vstupem ($Nx.G2$) a jehož první napájecí vstup (2.Ucc) je propojen s prvním napájecím vstupem (1.Ucc) prvního demultiplexního členu (1), jehož druhý napájecí vstup (1.Uss) je propojen s druhým napájecím vstupem (2.Uss) druhého demultiplexního členu (2), jehož druhý až n -tý výstup (2.b1 až 2.bn) je propojen s prvním až n -tým vstupem (31.b1 až 31.bn) druhé skupiny výstupního členu (3), jehož první až n -tý vstup (31.a1 až 31.an) první skupiny je propojen s prvním až n -tým výstupem (1.a1 až 1.an) prvního demultiplexního členu (1), přičemž výstupní člen (3) je opatřen prvním až n -tým vnějším vstupem ($Nx.a1$ až $Nx.an$) první skupiny a prvním až n -tým vnějším vstupem ($Nx.b1$ až $Nx.bn$) druhé skupiny a prostřednictvím prvního až n -tého výstupu (32.b1 až 32.bn) druhé skupiny je výstupní člen (3) propojen s prvním až n -tým vstupem (5.b1 až 5.bn) druhého multiplexního členu (5), který je opatřen druhým vnějším stavovým výstupem ($Nx.W2$) a druhým vnějším stavovým vstupem ($Nx.S2$) a jehož první napájecí vstup (5.Ucc) je propojen s prvním napájecím vstupem (4.Ucc) prvního multiplexního členu (4), kdežto druhý napájecí vstup (5.Uss) druhého multiplexního členu (5) je propojen s druhým napájecím vstupem (4.Uss) prvního multiplexního členu (4), který je opatřen prvním vnějším stavovým vstupem ($Nx.S1$) a prvním vnějším stavovým výstupem ($Nx.W1$) a jehož první až n -tý vstup (4.a1 až 4.an) je propojen s prvním až n -tým výstupem (32.a1 až 32.an) první skupiny výstupního členu (3), přičemž první až k -tý adresovací vstup (4.1 až 4. k) prvního multiplexního členu (4) je propojen jednak s prvním až k -tým adresovacím vstupem (5.1 až 5. k) druhého multiplexního členu (5), jednak s prvním až k -tým adresovacím

vnějším stavovým vstupem ($Nx.B1$ až $Nx.Bk$), zatímco první vnější napájecí vstup (U_{cc}) je propojen s prvním napájecím vstupem ($4.U_{cc}$) prvního multiplexního členu (4) a s prvním napájecím vstupem ($5.U_{cc}$) druhého multiplexního členu (5), dále s prvním napájecím vstupem ($3.U_{cc}$) výstupního členu (3) a dále s prvním napájecím vstupem ($2.U_{cc}$) druhého demultiplexního členu (2) a s prvním napájecím vstupem ($1.U_{cc}$) prvního demultiplexního členu (1), kdežto druhý vnější napájecí vstup (U_{ss}) je propojen s druhým napájecím vstupem ($5.U_{ss}$) druhého multiplexního členu (5) a s druhým napájecím vstupem ($4.U_{ss}$) prvního multiplexního členu (4), dále s druhým napájecím vstupem ($3.U_{ss}$) výstupního členu (3) a dále s druhým napájecím vstupem ($2.U_{ss}$) druhého demultiplexního členu (2) a s druhým napájecím vstupem ($1.U_{ss}$) prvního demultiplexního členu (1).

1 výkres

