(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118872068 A
(43)申请公布日 2024.10.29

(21)申请号 202280093475.2
(22)申请日 2022.11.28
(30)优先权数据
2022-039205 2022.03.14 JP
(85)PCT国际申请进入国家阶段日
2024.09.11
(86)PCT国际申请的申请数据
PCT/JP2022/043800 2022.11.28
(87)PCT国际申请的公布数据
WO2023/176056 JA 2023.09.21
(71)申请人 罗姆股份有限公司
地址 日本
(72)发明人 中野佑纪
(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 金成哲 郑毅
(51)Int.Cl.
H01L 29/78(2006.01)
H01L 21/336(2006.01)
H01L 29/06(2006.01)
H01L 29/12(2006.01)
H01L 29/47(2006.01)
H01L 29/739(2006.01)
H01L 29/872(2006.01)

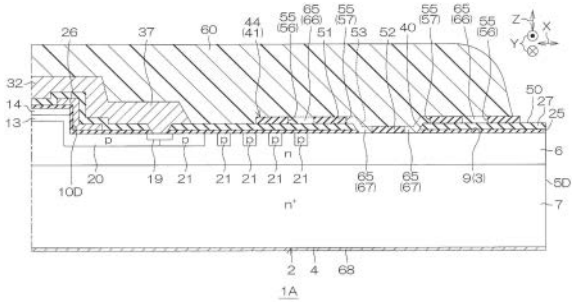
权利要求书2页 说明书38页 附图52页

(54)发明名称

半导体装置

(57)摘要

半导体装置(1A)包括:具有主面(3)的芯片(2);包含绝缘体且包覆上述主面的第一无机膜(27);包含绝缘体且包覆上述第一无机膜的第二无机膜(41);形成于上述第二无机膜的至少一个贯通孔(55);以及填埋上述贯通孔并包覆上述第二无机膜的有机膜(60)。



CN 118872068 A

1.一种半导体装置,其特征在于,包括:

芯片,其具有主面;

第一无机膜,其包含绝缘体,且包覆上述主面;

第二无机膜,其包含绝缘体,且包覆上述第一无机膜;

至少一个贯通孔,其形成于上述第二无机膜;以及

有机膜,其填埋上述贯通孔并包覆上述第二无机膜。

2.根据权利要求1所述的半导体装置,其特征在于,

至少一个上述贯通孔具有在剖视时使上述第一无机膜露出的膜侧贯通孔,上述有机膜具有在上述膜侧贯通孔内与上述第一无机膜相接的部分。

3.根据权利要求1或2所述的半导体装置,其特征在于,

至少一个上述贯通孔包括在剖视时使上述主面露出的面侧贯通孔,

上述有机膜具有在上述面侧贯通孔内与上述主面相接的部分。

4.根据权利要求3所述的半导体装置,其特征在于,

上述面侧贯通孔在剖视时使上述主面以及上述第一无机膜露出,

上述有机膜在上述面侧贯通孔内与上述主面以及上述第一无机膜双方相接。

5.根据权利要求1~4中任一项所述的半导体装置,其特征在于,

上述第一无机膜包括使上述主面露出的基底贯通孔,

上述第二无机膜具有在上述基底贯通孔外包覆上述第一无机膜的第一部分、以及在上述基底贯通孔内包覆上述主面的第二部分,

上述有机膜具有包覆上述第一部分的部分、以及包覆上述第二部分的部分。

6.根据权利要求5所述的半导体装置,其特征在于,

上述第二部分具有相对于上述第一部分的表面的高度位置位于上述主面侧的表面,且在与上述第一部分之间形成有台阶部。

7.根据权利要求5或6所述的半导体装置,其特征在于,

上述第二无机膜具有小于上述基底贯通孔的宽度的1/2的厚度。

8.根据权利要求5~7中任一项所述的半导体装置,其特征在于,

至少一个上述贯通孔包括在剖视时使上述基底贯通孔的壁部露出的壁侧贯通孔,

上述有机膜具有在上述壁侧贯通孔内与上述基底贯通孔的壁部相接的部分。

9.根据权利要求1~8中任一项所述的半导体装置,其特征在于,

还包括配置在上述主面的内方部上的电极,

至少一个上述贯通孔形成于上述电极的周围。

10.根据权利要求1~9中任一项所述的半导体装置,其特征在于,

还包括由第一面部、第二面部以及连接面部划分在上述主面上的台面部,该第一面部形成于上述主面的内方部,该第二面部以从上述第一面部向上述芯片的厚度方向凹陷的方式形成于上述主面的周缘部,该连接面部连接上述第一面部以及上述第二面部,

上述第一无机膜包覆上述第二面部,

上述第二无机膜在上述第二面部侧包覆上述第一无机膜,

上述贯通孔在上述第二面部侧形成于上述第二无机膜,

上述有机膜在上述第二面部侧填埋上述贯通孔并包覆上述第二无机膜。

11.根据权利要求10所述的半导体装置,其特征在于,

在上述第二面部侧从上述第一面部空出间隔地形成有上述第二无机膜。

12.根据权利要求10或11所述的半导体装置,其特征在于,

上述第二无机膜在上述第二面部侧不包覆金属。

13.根据权利要求1～12中任一项所述的半导体装置,其特征在于,

上述第二无机膜包含与上述第一无机膜不同的绝缘体。

14.根据权利要求1～13中任一项所述的半导体装置,其特征在于,

上述第一无机膜包含氧化膜。

15.根据权利要求1～14中任一项所述的半导体装置,其特征在于,

上述第二无机膜包含氮化膜。

16.根据权利要求1～15中任一项所述的半导体装置,其特征在于,

上述有机膜包含感光性树脂膜。

17.根据权利要求1～16中任一项所述的半导体装置,其特征在于,

上述芯片包含宽带隙半导体的单晶。

18.一种半导体装置,其特征在于,包括:

芯片,其具有主面;

无机膜,其包含绝缘体,且包覆上述主面;

至少一个贯通孔,其形成于上述无机膜,以及有机膜,其填埋上述贯通孔并包覆上述无机膜。

19.根据权利要求18所述的半导体装置,其特征在于,

上述贯通孔使上述主面露出,

上述有机膜在上述贯通孔内与上述主面相接。

20.根据权利要求18或19所述的半导体装置,其特征在于,上述无机膜由氧化膜或者氮化膜构成。

半导体装置

技术领域

[0001] 本申请主张基于2022年3月14日提出的日本国专利申请2022－039205号的优先权,本申请的全部内容在此通过引用而录入。本公开涉及半导体装置。

背景技术

[0002] 专利文献1公开了包括半导体基板、层间绝缘层、无机保护层以及有机保护层的半导体装置。层间绝缘层包覆半导体基板。无机保护层包覆层间绝缘层。有机保护层包覆无机保护层。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利申请公开第2019/0080976号说明书

发明内容

[0006] 发明所要解决的课题

[0007] 一个实施方式提供一种能够提高可靠性的半导体装置。

[0008] 用于解决课题的方案

[0009] 一个实施方式提供一种半导体装置,其包括:芯片,其具有主面;第一无机膜,其包含绝缘体,且包覆上述主面;第二无机膜,其包含绝缘体,且包覆上述第一无机膜;至少一个贯通孔,其形成于上述第二无机膜;以及有机膜,其填埋上述贯通孔并包覆上述第二无机膜。

[0010] 一个实施方式提供一种半导体装置,其包括:芯片,其具有主面;无机膜,其包含绝缘体,且包覆上述主面的周缘部;至少一个贯通孔,其形成于上述无机膜;以及有机膜,其填埋上述贯通孔并包覆上述无机膜。

[0011] 上述的或者其它目的、特征以及效果通过参照附图来说明的实施方式而变得清楚。

附图说明

[0012] 图1是表示第一实施方式的半导体装置的俯视图。

[0013] 图2是沿图1所示的II-II线的剖视图。

[0014] 图3是表示芯片的内方部的放大俯视图。

[0015] 图4是沿图3所示的IV-IV线的剖视图。

[0016] 图5是表示栅极电极以及源极电极的布局例的俯视图。

[0017] 图6是表示第二无机膜的布局例的俯视图。

[0018] 图7是表示芯片的周缘部的放大剖视图。

[0019] 图8A是表示贯通孔的第一布局例的示意图。

[0020] 图8B是表示贯通孔的第二布局例的示意图。

[0021] 图8C是表示贯通孔的第三布局例的示意图。
[0022] 图8D是表示贯通孔的第四布局例的示意图。
[0023] 图8E是表示贯通孔的第五布局例的示意图。
[0024] 图8F是表示贯通孔的第六布局例的示意图。
[0025] 图8G是表示贯通孔的第七布局例的示意图。
[0026] 图8H是表示贯通孔的第八布局例的示意图。
[0027] 图8I是表示贯通孔的第九布局例的示意图。
[0028] 图8J是表示贯通孔的第十布局例的示意图。
[0029] 图8K是表示贯通孔的第十一布局例的示意图。
[0030] 图8L是表示贯通孔的第十二布局例的示意图。
[0031] 图8M是表示贯通孔的第十三布局例的示意图。
[0032] 图8N是表示贯通孔的第十四布局例的示意图。
[0033] 图8O是表示贯通孔的第十五布局例的示意图。
[0034] 图8P是表示贯通孔的第十六布局例的示意图。
[0035] 图8Q是表示贯通孔的第十七布局例的示意图。
[0036] 图8R是表示贯通孔的第十八布局例的示意图。
[0037] 图8S是表示贯通孔的第十九布局例的示意图。
[0038] 图8T是表示贯通孔的第二十布局例的示意图。
[0039] 图9是表示第二实施方式的半导体装置的图。
[0040] 图10是表示第三实施方式的半导体装置的图。
[0041] 图11是表示第四实施方式的半导体装置的图。
[0042] 图12是表示第五实施方式的半导体装置的图。
[0043] 图13是表示第六实施方式的半导体装置的图。
[0044] 图14是表示第七实施方式的半导体装置的图。
[0045] 图15是表示第八实施方式的半导体装置的图。
[0046] 图16是表示图15所示的第二无机膜的布局例的俯视图。
[0047] 图17是表示图15所示的芯片的周缘部的放大剖视图。
[0048] 图18是表示第九实施方式的半导体装置的俯视图。
[0049] 图19是沿图18所示的XIX-XIX线的剖视图。
[0050] 图20是表示第一极性电极的布局例的俯视图。
[0051] 图21是表示第二无机膜的布局例的俯视图。
[0052] 图22是表示芯片的周缘部的放大剖视图。
[0053] 图23是表示第十实施方式的半导体装置的图。
[0054] 图24是表示第十一实施方式的半导体装置的图。
[0055] 图25是表示第十二实施方式的半导体装置的图。
[0056] 图26是表示第十三实施方式的半导体装置的图。
[0057] 图27是表示第十四实施方式的半导体装置的图。
[0058] 图28是表示第十五实施方式的半导体装置的图。
[0059] 图29是表示第十六实施方式的半导体装置的图。

[0060] 图30是表示图29所示的第二无机膜的布局例的俯视图。

[0061] 图31是表示图29所示的芯片的周缘部的放大剖视图。

[0062] 图32是表示芯片的一个变形例的剖视图。

[0063] 图33是表示芯片的一个变形例的剖视图。

具体实施方式

[0064] 以下,参照附图对实施方式进行详细说明。附图是示意图,并非严格地图示,比例尺等未必一致。另外,对于附图之间对应的结构标注同一参照符号,省略或者简化重复的说明。对于省略或者简化了说明的结构,应用在省略或者简化之前进行的说明。

[0065] 图1是表示第一实施方式的半导体装置1A的俯视图。图2是沿图1所示的II-II线的剖视图。图3是表示芯片2的内方部的放大俯视图。图4是沿图3所示的IV-IV线的剖视图。图5是表示栅极电极30以及源极电极32的布局例的俯视图。图6是表示第二无机膜41的布局例的俯视图。图7是表示芯片2的周缘部的放大剖视图。

[0066] 参照图1～图7,在该方式(this embodiment)中,半导体装置1A包含宽带隙半导体的单晶,且包含形成为六面体形状(具体而言为长方体形状)的芯片2。也就是,半导体装置1A是“宽带隙半导体装置”。

[0067] 芯片2也可以称为“半导体芯片”或者“宽带隙半导体芯片”。宽带隙半导体是具有超过Si(硅)的带隙的带隙的半导体。例示出GaN(氮化镓)、SiC(碳化硅)以及C(金刚石)作为宽带隙半导体。

[0068] 在该方式中,芯片2作为宽带隙半导体的一例是包含六方晶的SiC单晶的“SiC芯片”。也就是,半导体装置1A是“SiC半导体装置”。六方晶的SiC单晶具有包含2H(Hexagonal)—SiC单晶、4H—SiC单晶、6H—SiC单晶等的多种的多晶类型。在该方式中,示出了芯片2包含4H—SiC单晶的例子,但芯片2也可以由其它的多晶类型构成。

[0069] 芯片2具有一方侧的第一主面3、另一方侧的第二主面4、以及连接第一主面3及第二主面4的第一～第四侧面5A～5D。第一主面3以及第二主面4在从它们的法线方向Z观察的俯视(以下简称为“俯视”。)时形成为四边形状。法线方向Z也是芯片2的厚度方向。第一主面3以及第二主面4优选由SiC单晶的c面形成。

[0070] 该情况下,优选第一主面3由SiC单晶的硅面形成,第二主面4由SiC单晶的碳面形成。第一主面3以及第二主面4也可以具有在预定的偏离方向上相对于c面以预定的角度倾斜的偏离角。偏离方向优选为SiC单晶的a轴方向([11—20]方向)。偏离角也可以为超过0°且10°以下。偏离角优选为5°以下。第二主面4既可以由具有研磨痕的研磨面构成,也可以由不具有研磨痕的平滑面构成。

[0071] 第一侧面5A以及第二侧面5B在沿第一主面3的第一方向X上延伸,且在与第一方向X交叉(具体而言为正交)的第二方向Y上对置。第三侧面5C以及第四侧面5D在第二方向Y上延伸,且在第一方向X上对置。

[0072] 也可以是第一方向X是SiC单晶的m轴方向([1—100]方向),第二方向Y是SiC单晶的a轴方向。当然,也可以是第一方向X是SiC单晶的a轴方向,第二方向Y是SiC单晶的m轴方向。第一～第四侧面5A～5D既可以由具有研磨痕的研磨面构成,也可以由不具有研磨痕的平滑面构成。

[0073] 芯片2也可以在法线方向Z上具有5μm以上且200μm以下的厚度。芯片2的厚度也可以为150μm以下、100μm以下、80μm以下、50μm以下或者40μm以下。第一～第四侧面5A～5D也可以在俯视时具有0.5mm以上且10mm以下的长度。第一～第四侧面5A～5D的长度优选为1mm以上。

[0074] 第一～第四侧面5A～5D的长度特别优选为2mm以上。也就是,芯片2具有1mm见方以上(优选为2mm见方以上)的平面面积,优选在剖视时具有100μm以下(优选为50μm以下)的厚度。在该方式中,第一～第四侧面5A～5D的长度设定为4mm以上且6mm以下的范围。

[0075] 半导体装置1A包括在芯片2内形成于第一主面3侧的区域(表层部)的n型(第一导电型)的第一半导体区域6。第一半导体区域6形成为沿第一主面3延伸的层状,且从第一主面3以及第一～第四侧面5A～5D露出。在该方式中,第一半导体区域6由外延层(具体而言为SiC外延层)构成。

[0076] 第一半导体区域6也可以在法线方向Z上具有1μm以上且50μm以下的厚度。第一半导体区域6的厚度优选为3μm以上且30μm以下。第一半导体区域6的厚度特别优选为5μm以上且25μm以下。

[0077] 半导体装置1A包括在芯片2内形成于第二主面4侧的区域(表层部)的n型的第二半导体区域7。第二半导体区域7形成为沿第二主面4延伸的层状,且从第二主面4以及第一～第四侧面5A～5D露出。第二半导体区域7具有比第一半导体区域6高的n型杂质浓度,且与第一半导体区域6电连接。

[0078] 在该方式中,第二半导体区域7由半导体基板(具体而言为SiC半导体基板)构成。也就是,芯片2具有包含半导体基板以及外延层的层叠结构。第二半导体区域7也可以在法线方向Z上具有1μm以上且200μm以下的厚度。第二半导体区域7的厚度也可以为150μm以下、100μm以下、50μm以下或者40μm以下。

[0079] 第二半导体区域7的厚度也可以为5μm以上。第二半导体区域7的厚度优选为10μm以上。根据具有比较小的厚度的第二半导体区域7,能够削减第二半导体区域7引起的电阻值(例如接通电阻)。在该方式中,第二半导体区域7具有超过第一半导体区域6的厚度的厚度。

[0080] 半导体装置1A包括形成于第一主面3的活性面8(active surface)、外侧面9(outer surface)以及第一～第四连接面10A～10D(connecting surface)。活性面8、外侧面9以及第一～第四连接面10A～10D在第一主面3中划分出台面部11(台地)。活性面8也可以称为“第一面部”、外侧面9也可以称为“第二面部”、第一～第四连接面10A～10D也可以称为“连接面部”。活性面8、外侧面9以及第一～第四连接面10A～10D(也就是台面部11)也可以被视为芯片2(第一主面3)的构成要素。

[0081] 活性面8从第一主面3的周缘(第一～第四侧面5A～5D)向内方空出间隔地形成。活性面8具有在第一方向X以及第二方向Y上延伸的平坦面。在该方式中,活性面8在俯视时形成为具有与第一～第四侧面5A～5D平行的四边的四边形状。

[0082] 外侧面9位于活性面8外,从活性面8向芯片2的厚度方向(第二主面4侧)凹陷。具体而言,外侧面9以小于第一半导体区域6的厚度的深度凹陷,以使第一半导体区域6露出。外侧面9在俯视时沿活性面8以带状延伸,形成为包围活性面8的环状(具体而言为四边环状)。外侧面9具有在第一方向X以及第二方向Y上延伸的平坦面,相对于活性面8大致平行地形

成。外侧面9与第一～第四侧面5A～5D相连。

[0083] 第一～第四连接面10A～10D在法线方向Z上延伸,将活性面8以及外侧面9连接。第一连接面10A位于第一侧面5A侧,第二连接面10B位于第二侧面5B侧,第三连接面10C位于第三侧面5C侧,第四连接面10D位于第四侧面5D侧。第一连接面10A以及第二连接面10B在第一方向X上延伸,且在第二方向Y上对置。第三连接面10C以及第四连接面10D在第二方向Y上延伸,且在第一方向X上对置。

[0084] 第一～第四连接面10A～10D也可以以划分出四棱柱状的台面部11的方式在活性面8以及外侧面9之间大致垂直地延伸。第一～第四连接面10A～10D也可以以划分出四棱锥台状的台面部11的方式从活性面8朝向外侧面9向斜下倾斜。这样,半导体装置1A包括在第一主面3形成于第一半导体区域6的台面部11。台面部11仅形成于第一半导体区域6,而不形成于第二半导体区域7。

[0085] 半导体装置1A作为器件结构的一例包括形成于活性面8(第一主面3)的MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)结构12。在图2中,用虚线简化地示出MISFET结构12。以下,参照图3以及图4,对MISFET结构12的具体的结构进行说明。

[0086] MISFET结构12包括形成于活性面8的表层部的p型(第二导电型)的主体区域13。主体区域13从第一半导体区域6的底部向活性面8侧空出间隔地形成。主体区域13形成为沿活性面8延伸的层状。主体区域13也可以从第一～第四连接面10A～10D的一部分露出。

[0087] MISFET结构12包括形成于主体区域13的表层部的n型的源极区域14。源极区域14具有比第一半导体区域6高的n型杂质浓度。源极区域14从主体区域13的底部向活性面8侧空出间隔地形成。源极区域14形成为沿活性面8延伸的层状。源极区域14也可以从活性面8的整个区域露出。源极区域14也可以从第一～第四连接面10A～10D的一部分露出。源极区域14在与第一半导体区域6之间且在主体区域13内形成沟道。

[0088] MISFET结构12包括形成于活性面8的多个栅极结构15。多个栅极结构15在俯视时在第一方向X上空出间隔地排列,且分别形成为在第二方向Y上延伸的带状。多个栅极结构15贯通主体区域13以及源极区域14而到达第一半导体区域6。多个栅极结构15控制主体区域13内的沟道的反转以及非反转。

[0089] 在该方式中,各栅极结构15包括栅极沟槽15a、栅极绝缘膜15b以及栅极埋设电极15c。栅极沟槽15a形成于活性面8,划分出栅极结构15的壁面。栅极绝缘膜15b包覆栅极沟槽15a的壁面。栅极埋设电极15c隔着栅极绝缘膜15b埋设于栅极沟槽15a,且隔着栅极绝缘膜15b而与沟道对置。

[0090] MISFET结构12包括形成于活性面8的多个源极结构16。多个源极结构16在活性面8中分别配置于相邻的一对栅极结构15之间的区域。多个源极结构16分别形成为在俯视时在第二方向Y上延伸的带状。多个源极结构16贯通主体区域13以及源极区域14而到达第一半导体区域6。多个源极结构16具有超过栅极结构15的深度的深度。具体而言,多个源极结构16具有与外侧面9的深度大致相等的深度。

[0091] 各源极结构16包括源极沟槽16a、源极绝缘膜16b以及源极埋设电极16c。源极沟槽16a形成于活性面8,划分出源极结构16的壁面。源极绝缘膜16b包覆源极沟槽16a的壁面。源极埋设电极16c隔着源极绝缘膜16b埋设于源极沟槽16a。

[0092] MISFET结构12包括多个p型的接触区域17,该多个p型的接触区域17在芯片2内分别形成于沿多个源极结构16的区域。多个接触区域17具有比主体区域13高的p型杂质浓度。各接触区域17包覆各源极结构16的侧壁以及底壁,且与主体区域13电连接。

[0093] MISFET结构12包括多个p型的阱区域18,该多个p型的阱区域18在芯片2内分别形成于沿多个源极结构16的区域。各阱区域18也可以具有比主体区域13高、且比接触区域17低的p型杂质浓度。各阱区域18隔着对应的接触区域17包覆对应的源极结构16。各阱区域18包覆对应的源极结构16的侧壁以及底壁,且与主体区域13以及接触区域17电连接。

[0094] 参照图7,半导体装置1A包括形成于外侧面9的表层部的p型的外部接触区域19。外部接触区域19具有超过主体区域13的p型杂质浓度的p型杂质浓度。外部接触区域19在俯视时从活性面8的周缘以及外侧面9的周缘空出间隔地形成,且形成为沿活性面8延伸的带状。

[0095] 在该方式中,外部接触区域19在俯视时形成为包围活性面8的环状(具体而言为四边环状)。外部接触区域19从第一半导体区域6的底部向外侧面9空出间隔地形成。外部接触区域19相对于多个栅极结构15(源极结构16)的底壁位于第一半导体区域6的底部侧。

[0096] 半导体装置1A包括形成于外侧面9的表层部的p型的外部阱区域20。外部阱区域20具有小于外部接触区域19的p型杂质浓度的p型杂质浓度。外部阱区域20的p型杂质浓度优选与阱区域18的p型杂质浓度大致相等。外部阱区域20在俯视时形成于活性面8的周缘以及外部接触区域19之间的区域,且形成为沿活性面8延伸的带状。

[0097] 在该方式中,外部阱区域20在俯视时形成为包围活性面8的环状(具体而言为四边环状)。外部阱区域20从第一半导体区域6的底部向外侧面9空出间隔地形成。外部阱区域20也可以形成为比外部接触区域19深。外部阱区域20相对于多个栅极结构15(源极结构16)的底壁位于第一半导体区域6的底部侧。

[0098] 外部阱区域20与外部接触区域19电连接。在该方式中,外部阱区域20从外部接触区域19侧朝向第一~第四连接面10A~10D延伸,且包覆第一~第四连接面10A~10D。外部阱区域20在活性面8的表层部中与主体区域13电连接。

[0099] 半导体装置1A包括在外侧面9的表层部中形成于外侧面9的周缘以及外部接触区域19之间的区域的至少一个(优选为两个以上且二十个以下)的p型的场区域21。在该方式中,半导体装置1A包括五个场区域21。多个场区域21在外侧面9中缓和芯片2内的电场。场区域21的个数、宽度、深度、p型杂质浓度等是任意的,可根据应缓和的电场来取得各种值。

[0100] 多个场区域21从外部接触区域19侧向外侧面9的周缘侧空出间隔地排列。多个场区域21在俯视时形成为沿活性面8延伸的带状。在该方式中,多个场区域21在俯视时形成为包围活性面8的环状(具体而言为四边环状)。由此,多个场区域21分别形成为FLR(Field Limiting Ring,场限制环)区域。

[0101] 多个场区域21从第一半导体区域6的底部向外侧面9空出间隔地形成。多个场区域21相对于多个栅极结构15(源极结构16)的底壁位于第一半导体区域6的底部侧。多个场区域21也可以形成为比外部接触区域19深。最内的场区域21也可以与外部接触区域19连接。

[0102] 半导体装置1A包括包覆第一主面3的主面绝缘膜25。主面绝缘膜25也可以包括氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在该方式中,主面绝缘膜25具有由氧化硅膜构成的单层结构。主面绝缘膜25特别优选包括由芯片2的氧化物构成的氧化硅膜。

[0103] 主面绝缘膜25包覆活性面8、外侧面9以及第一~第四连接面10A~10D。主面绝缘

膜25与栅极绝缘膜15b以及源极绝缘膜16b相连,以使栅极埋设电极15c以及源极埋设电极16c露出的方式包覆活性面8。主面绝缘膜25以包覆外部接触区域19、外部阱区域20以及多个场区域21的方式,包覆外侧面9以及第一～第四连接面10A～10D。

[0104] 主面绝缘膜25也可以与第一～第四侧面5A～5D相连。该情况下,主面绝缘膜25的外壁也可以由具有研磨痕的研磨面构成。主面绝缘膜25的外壁也可以与第一～第四侧面5A～5D形成一个研磨面。当然,主面绝缘膜25的外壁也可以由不具有研磨痕的平滑面构成。另外,主面绝缘膜25的外壁也可以从外侧面9的周缘向内方空出间隔地形成,且使第一半导体区域6从外侧面9的周缘部露出。

[0105] 半导体装置1A包括在外侧面9中以包覆第一～第四连接面10A～10D中的至少一个的方式形成于主面绝缘膜25上的侧壁结构26。在该方式中,侧壁结构26在俯视时形成为包围活性面8的环状(四边环状)。

[0106] 侧壁结构26也可以具有跃上活性面8上的部分。侧壁结构26也可以包含无机绝缘体或者多晶硅。侧壁结构26也可以是与源极结构16电连接的侧壁配线。

[0107] 半导体装置1A包含绝缘体,且包含形成于主面绝缘膜25上的第一无机膜27。第一无机膜27也可以称为“第一无机绝缘膜”、“基底绝缘膜”、“中间绝缘膜”或者“层间绝缘膜”。第一无机膜27也可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。在该方式中,第一无机膜27包含氧化硅膜。

[0108] 第一无机膜27隔着主面绝缘膜25包覆活性面8、外侧面9以及第一～第四连接面10A～10D。具体而言,第一无机膜27经由侧壁结构26包覆活性面8、外侧面9以及第一～第四连接面10A～10D。第一无机膜27在活性面8侧包覆MISFET结构12,在外侧面9侧包覆外部接触区域19、外部阱区域20以及多个场区域21。

[0109] 在该方式中,第一无机膜27与第一～第四侧面5A～5D相连。第一无机膜27的外壁也可以由具有研磨痕的研磨面构成。第一无机膜27的外壁也可以与第一～第四侧面5A～5D形成一个研磨面。当然,第一无机膜27的外壁也可以由不具有研磨痕的平滑面构成。另外,第一无机膜27的外壁也可以从外侧面9的周缘向内方空出间隔地形成,且使第一半导体区域6从外侧面9的周缘部露出。

[0110] 半导体装置1A包括配置在第一主面3(第一无机膜27)上的栅极电极30。栅极电极30从第一主面3的周缘空出间隔地配置在第一主面3的内方部。在该方式中,栅极电极30配置在活性面8上。

[0111] 具体而言,栅极电极30在活性面8的周缘部配置在接近第三连接面10C(第三侧面5C)的中央部的区域。在该方式中,栅极电极30在俯视时形成为四边形状。当然,栅极电极30也可以在俯视时形成为四边形状以外的多边形状、圆形状或者椭圆形状。

[0112] 栅极电极30优选具有第一主面3的25％以下的平面面积。栅极电极30的平面面积也可以为第一主面3的10％以下。栅极电极30也可以具有0.5μm以上且15μm以下的厚度。栅极电极30优选比第一无机膜27厚。栅极电极30也可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜以及导电性多晶硅膜中的至少一种。

[0113] 栅极电极30也可以包含纯Cu膜(纯度为99％以上的Cu膜)、纯Al膜(纯度为99％以上的Al膜)、AlCu合金膜、AlSi合金膜、以及AlSiCu合金膜中的至少一个。在该方式中,栅极电极30具有包括从芯片2侧依次层叠的Ti膜以及Al合金膜(在该方式中为AlSiCu合金膜)的

层叠结构。

[0114] 半导体装置1A包括从栅极电极30空出间隔地配置在第一主面3(第一无机膜27)上的源极电极32。源极电极32从第一主面3的周缘空出间隔地配置在第一主面3的内方部。在该方式中,源极电极32配置在活性面8上。在该方式中,源极电极32具有主体电极部33、以及至少一个(在该方式中为多个)引出电极部34A、34B。

[0115] 主体电极部33在俯视时从栅极电极30空出间隔地配置在第四侧面5D(第四连接面10D)侧的区域,且在第一方向X上与栅极电极30对置。在该方式中,主体电极部33在俯视时形成为具有与第一～第四侧面5A～5D平行的四边的多边形状(具体而言为四边形状)。

[0116] 多个引出电极部34A、34B包括一方侧(第一侧面5A侧)的第一引出电极部34A、以及另一方侧(第二侧面5B侧)的第二引出电极部34B。第一引出电极部34A在俯视时从主体电极部33相对于栅极电极30向位于第二方向Y的一方侧(第一侧面5A侧)的区域引出,且在第二方向Y上与栅极电极30对置。

[0117] 第二引出电极部34B在俯视时从主体电极部33相对于栅极电极30向位于第二方向Y的另一方侧(第二侧面5B侧)的区域引出,且在第二方向Y上与栅极电极30对置。也就是,多个引出电极部34A、34B在俯视时从第二方向Y的两侧夹着栅极电极30。

[0118] 源极电极32(主体电极部33以及引出电极部34A、34B)贯通第一无机膜27以及主面绝缘膜25,且与多个源极结构16、源极区域14以及多个阱区域18电连接。当然,源极电极32也可以不具有引出电极部34A、34B,而是仅由主体电极部33构成。

[0119] 源极电极32具有超过栅极电极30的平面面积的平面面积。源极电极32的平面面积优选为第一主面3的50％以上。源极电极32的平面面积特别优选为第一主面3的75％以上。源极电极32也可以具有0.5μm以上且15μm以下的厚度。源极电极32优选比第一无机膜27厚。源极电极32也可以包含Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜以及导电性多晶硅膜中的至少一种。

[0120] 源极电极32优选包含纯Cu膜(纯度为99％以上的Cu膜)、纯Al膜(纯度为99％以上的Al膜)、AlCu合金膜、AlSi合金膜、以及AlSiCu合金膜中的至少一个。在该方式中,源极电极32具有包括从芯片2侧依次层叠的Ti膜以及Al合金膜(在该方式中为AlSiCu合金膜)的层叠结构。源极电极32优选包含与栅极电极30相同的导电材料。

[0121] 半导体装置1A包括从栅极电极30引出到第一主面3(第一无机膜27)上的至少一个(在该方式中为多个)栅极配线36A、36B。多个栅极配线36A、36B优选包含与栅极电极30相同的导电材料。在该方式中,多个栅极配线36A、36B包覆活性面8,不包覆外侧面9。多个栅极配线36A、36B在俯视时向活性面8的周缘以及源极电极32之间的区域引出,沿源极电极32以带状延伸。

[0122] 具体而言,多个栅极配线36A、36B包括第一栅极配线36A以及第二栅极配线36B。第一栅极配线36A在俯视时从栅极电极30向第一侧面5A侧的区域引出。第一栅极配线36A具有沿第三侧面5C在第二方向Y上以带状延伸的部分、以及沿第一侧面5A在第一方向X上以带状延伸的部分。第二栅极配线36B在俯视时从栅极电极30向第二侧面5B侧的区域引出。第二栅极配线36B具有沿第三侧面5C在第二方向Y上以带状延伸的部分、以及沿第二侧面5B在第一方向X上以带状延伸的部分。

[0123] 多个栅极配线36A、36B在活性面8(第一主面3)的周缘部与多个栅极结构15的两端

部交叉(具体而言为正交)。多个栅极配线36A、36B贯通第一无机膜27而与多个栅极结构15电连接。多个栅极配线36A、36B既可以与多个栅极结构15直接连接,也可以经由导体膜而与多个栅极结构15电连接。

[0124] 半导体装置1A包括从源极电极32引出到第一主面3(第一无机膜27)上的源极配线37。源极配线37优选包含与源极电极32相同的导电材料。源极配线37在比多个栅极配线36A、36B靠外侧面9侧的区域中形成为沿活性面8的周缘延伸的带状。在该方式中,源极配线37在俯视时形成为包围栅极电极30、源极电极32以及多个栅极配线36A、36B的环状(具体而言为四边环状)。

[0125] 源极配线37隔着第一无机膜27包覆侧壁结构26,且从活性面8侧向外侧面9侧引出。源极配线37优选遍及整周地包覆侧壁结构26的整个区域。源极配线37具有在外侧面9侧贯通第一无机膜27以及主面绝缘膜25并与外侧面9(具体而言为外部接触区域19)连接的部分。源极配线37也可以贯通第一无机膜27并与侧壁结构26电连接。

[0126] 半导体装置1A包括在第一无机膜27形成于包覆外侧面9(第一主面3的周缘部)的部分的至少一个(单一或者多个)基底贯通孔40。单一或者多个基底贯通孔40在俯视时从活性面8的周缘以及外侧面9的周缘空出间隔地形成,贯通主面绝缘膜25而使外侧面9(第一主面3的周缘部)露出。

[0127] 单一或者多个基底贯通孔40从栅极电极30以及源极电极32向外侧面9的周缘侧空出间隔地形成。也就是,单一或者多个基底贯通孔40形成于栅极电极30的周围以及源极电极32的周围。具体而言,单一或者多个基底贯通孔40从源极配线37向外侧面9的周缘侧空出间隔地形成。也就是,单一或者多个基底贯通孔40形成于源极配线37的周围。

[0128] 单一或者多个基底贯通孔40优选从多个场区域21(最外的场区域21)向外侧面9的周缘侧空出间隔地形成。也就是,单一或者多个基底贯通孔40优选形成于场区域21的周围。单一或者多个基底贯通孔40的开口边缘部优选形成为弯曲状。

[0129] 基底贯通孔40的个数以及布局是任意的。例如,至少一个基底贯通孔40也可以在俯视时以包围活性面8的方式形成于第一无机膜27。也就是,至少一个基底贯通孔40也可以在俯视时以包围栅极电极30、源极电极32、栅极配线36A、36B以及源极配线37的方式形成于第一无机膜27。

[0130] 至少一个基底贯通孔40包围活性面8的形态可包含未封端状或者封端状的单一基底贯通孔40从多个方向与活性面8对置的形态。另外,至少一个基底贯通孔40包围活性面8的形态可包含未封端状或者封端状的多个基底贯通孔40从多个方向与活性面8对置的形态。

[0131] 多个方向优选为四个方向。四个方向是第一~第四侧面5A~5D的四个法线方向。也就是,四个方向是第一方向X的一方侧、第一方向X的另一方侧、第二方向Y的一方侧以及第二方向Y的另一方侧。另外,四个方向能够由SiC单晶的四个晶体方向定义。例如,四个晶体方向是a轴方向的一方向(例如[11—20]方向)、a轴方向的另一方向(例如[—1—120]方向)、m轴方向的一方向(例如[—1100]方向)、以及m轴方向的另一方向(例如[1—100]方向)。

[0132] 至少一个基底贯通孔40也可以在俯视时形成为三角形状、四边形状、六边形状、八边形状等多边形状。至少一个基底贯通孔40也可以在俯视时形成为圆形状。至少一个基底

贯通孔40也可以在俯视时形成为在第一方向X以及第二方向Y的任一方上延伸的带状、长方形状、椭圆形状或者长圆形状。至少一个基底贯通孔40也可以在俯视时形成为在与第一方向X以及第二方向Y交叉的方向上延伸的带状、长方形状、椭圆形状或者长圆形状。

[0133] 至少一个基底贯通孔40也可以具有在第一方向X上延伸的部分(边)和/或在第二方向Y上延伸的部分(边)。至少一个基底贯通孔40也可以具有在与第一方向X以及第二方向Y交叉的方向上延伸的部分(边)。至少一个基底贯通孔40也可以在俯视时形成为C字形状、L字形状、T字形状或者十字形状。

[0134] 至少一个基底贯通孔40也可以在俯视时在活性面8的侧方形成为环状。也就是,至少一个基底贯通孔40也可以在俯视时形成为不包围活性面8的小尺寸的环状。该情况下,至少一个基底贯通孔40也可以在俯视时形成为三角环状、四边环状、六边环状、八边环状等多边环状。另外,至少一个基底贯通孔40也可以在俯视时形成为圆环状。

[0135] 另外,至少一个基底贯通孔40也可以在俯视时形成为在第一方向X以及第二方向Y的任一方上延伸的带环状、长方形环状、椭圆环状或者长圆环状。另外,至少一个基底贯通孔40也可以在俯视时形成为在与第一方向X以及第二方向Y交叉的方向上延伸的带环状、长方形环状、椭圆环状或者长圆环状。

[0136] 当然,至少一个基底贯通孔40也可以在俯视时形成为包围活性面8的大尺寸的环状。该情况下,至少一个基底贯通孔40也可以形成为沿第一无机膜27延伸的环状(例如四边环状)。当然,只要第一无机膜27的尺寸允许,则至少一个基底贯通孔40也可以形成为多边环状、圆环状、椭圆环状或者长圆环状。

[0137] 多个基底贯通孔40也可以在第一方向X上空出间隔地形成。多个基底贯通孔40也可以在第二方向Y上空出间隔地形成。多个基底贯通孔40也可以在第一方向X以及第二方向Y上空出间隔地形成。多个基底贯通孔40也可以在与第一方向X以及第二方向Y交叉的方向上空出间隔地形成。

[0138] 可以形成有在第一方向X上以条纹状延伸的多个基底贯通孔40。也可以形成有在第二方向Y上以条纹状延伸的多个基底贯通孔40。在第一方向X上以条纹状延伸的多个基底贯通孔40以及在第二方向Y上以条纹状延伸的多个基底贯通孔40也可以以在第一方向X或者第二方向Y上相邻的方式并存。也就是,在第一方向X上延伸的至少一个基底贯通孔40以及在第二方向Y上延伸的至少一个基底贯通孔40也可以以在第一方向X或者第二方向Y上相邻的方式形成。

[0139] 当然,也可以形成有格子状的基底贯通孔40,该格子状的基底贯通孔40一体地包括在第一方向X上以条纹状延伸的多个基底贯通孔40以及在第二方向Y上以条纹状延伸的多个基底贯通孔40。也就是,也可以形成有沿第一方向X以及第二方向Y以网眼状(格子状)延伸的基底贯通孔40。当然,也可以形成有沿与第一方向X以及第二方向Y交叉的方向以网眼状(格子状)延伸的基底贯通孔40。

[0140] 在上述的基底贯通孔40的说明中,也可以是第一方向X为SiC单晶的a轴方向,第二方向Y为SiC单晶的m轴方向。当然,在上述的基底贯通孔40的说明中,也可以是第一方向X为SiC单晶的m轴方向,第二方向Y为SiC单晶的a轴方向。单一或者多个基底贯通孔40的布局也可以根据沿SiC单晶的晶体方向产生的应力的观点来决定。也就是,通过调节单一或者多个基底贯通孔40的布局,能够抑制特定的方向(晶体方向)上的应力的偏颇。

[0141] 半导体装置1A可包括将上述的基底贯通孔40的多个布局中的至少两个组合而成的布局。在该方式中,半导体装置1A包括在俯视时形成为沿外侧面9的周缘(第一主面3的周缘)延伸的带状的至少一个基底贯通孔40。在该方式中,基底贯通孔40在俯视时形成为包围活性面8的环状(具体而言为四边环状)。基底贯通孔40具有活性面8侧的内壁部以及外侧面9的周缘侧的外壁部。

[0142] 基底贯通孔40优选具有比第一无机膜27的厚度大的宽度。基底贯通孔40的宽度是与基底贯通孔40的延伸方向正交的方向的宽度。基底贯通孔40的宽度也可以为1μm以上且15μm以下,基底贯通孔40的宽度优选为2μm以上且10μm以下。基底贯通孔40的宽度特别优选为5μm以下。

[0143] 半导体装置1A包含绝缘体,且包括包覆第一无机膜27的第二无机膜41。

[0144] 第二无机膜41也可以称为“第二无机绝缘膜”、“上侧绝缘膜”或者“钝化膜”。

[0145] 第二无机膜41也可以包含氧化硅膜、氮化硅膜以及氮氧化硅膜中的至少一个。第二无机膜41优选包含与第一无机膜27不同的绝缘体。第二无机膜41优选包含氮化硅膜。

[0146] 第二无机膜41既可以具有第一无机膜27的厚度以上的厚度,也可以具有小于第一无机膜27的厚度的厚度。第二无机膜41的厚度优选小于栅极电极30(源极电极32)的厚度。第二无机膜41的厚度也可以为0.1μm以上且5μm以下。第二无机膜41的厚度优选为1μm以上且2.5μm以下。第二无机膜41的厚度优选为小于基底贯通孔40的宽度的1/2。

[0147] 第二无机膜41选择性地包覆活性面8以及外侧面9。在该方式中,第二无机膜41具有栅极包覆部42、源极包覆部43以及外侧包覆部44。也可以将栅极包覆部42称为“第一包覆部”、将源极包覆部43称为“第二包覆部”、将外侧包覆部44称为“第三包覆部”。

[0148] 栅极包覆部42包覆栅极电极30。在该方式中,栅极包覆部42仅包覆栅极电极30,使源极电极32、栅极配线36A、36B以及源极配线37露出。栅极包覆部42从栅极电极30的周缘向内方空出间隔地配置在栅极电极30上,使栅极电极30的周缘部露出。

[0149] 具体而言,栅极包覆部42使栅极电极30的电极侧壁露出。栅极包覆部42在俯视时形成为沿栅极电极30的周缘延伸的带状,划分出使栅极电极30的内方部露出的栅极开口45。在该方式中,栅极开口45在俯视时形成为四边形状。

[0150] 源极包覆部43包覆源极电极32。在该方式中,源极包覆部43仅包覆源极电极32,使栅极电极30、栅极配线36A、36B以及源极配线37露出。源极包覆部43从源极电极32的周缘向内方空出间隔地配置在源极电极32上,使源极电极32的周缘部露出。

[0151] 具体而言,源极包覆部43使源极电极32的电极侧壁露出。源极包覆部43在俯视时形成为沿源极电极32的周缘部延伸的带状,划分出使源极电极32的内方部露出的源极开口46。在该方式中,源极开口46在俯视时形成为沿源极电极32的周缘的多边形状。源极包覆部43在栅极包覆部42以及源极包覆部43之间的区域中划分出使第一无机膜27、栅极电极30的电极侧壁以及源极电极32的电极侧壁露出的第一露出部47(第一除去部)。

[0152] 外侧包覆部44在外侧面9(第一主面3的周缘部)包覆第一无机膜27。在该方式中,外侧包覆部44从活性面8的周缘(第一~第四连接面10A~10D)以及外侧面9的周缘(第一~第四侧面5A~5D)空出间隔地包覆第一无机膜27。具体而言,外侧包覆部44在外侧面9从栅极电极30、源极电极32、栅极配线36A、36B以及源极配线37空出间隔地配置在第一无机膜27上。也就是,外侧包覆部44不包覆金属(电极)。

[0153] 外侧包覆部44在栅极包覆部42以及外侧包覆部44之间的区域中划分出使栅极电极30的电极侧壁、栅极配线36A、36B以及源极配线37露出的第二露出部48(第二除去部)。第二露出部48也使活性面8以及外侧面9之间的台阶(也就是侧壁结构26)露出。第二露出部48与第一露出部47连接。

[0154] 外侧包覆部44在源极包覆部43以及外侧包覆部44之间的区域中划分出使源极电极32的电极侧壁、栅极配线36A、36B以及源极配线37露出的第三露出部49(第三除去部)。第三露出部49也使活性面8以及外侧面9之间的台阶(也就是侧壁结构26)露出。第三露出部49与第一露出部47以及第二露出部48连接。

[0155] 外侧包覆部44在俯视时形成为沿外侧面9的周缘(第一主面3的周缘)延伸的带状。在该方式中,外侧包覆部44在俯视时形成为包围活性面8的环状(具体而言为四边环状)。外侧包覆部44具有活性面8侧的内缘部以及外侧面9的周缘侧的外缘部。

[0156] 外侧包覆部44的内缘部优选位于比最外的场区域21靠活性面8侧。也就是,外侧包覆部44优选配置为与至少一个场区域21重叠。另外,外侧包覆部44优选隔着第一无机膜27而与至少一个场区域21对置。当然,外侧包覆部44的内缘部也可以位于比最内的场区域21靠活性面8侧。也就是,外侧包覆部44也可以配置为与全部的场区域21重叠。

[0157] 外侧包覆部44的外缘部从外侧面9的周缘向内方空出间隔地形成,在与外侧面9的周缘之间划分出切割道50。切割道50在俯视时形成为沿外侧面9的周缘(第一~第四侧面5A~5D)延伸的带状。在该方式中,切割道50在俯视时形成为包围第一主面3的内方部(活性面8)的环状(具体而言为四边环状)。在该方式中,切割道50使第一无机膜27露出。

[0158] 当然,在主面绝缘膜25以及第一无机膜27使外侧面9露出的情况下,切割道50也可以使外侧面9露出。切割道50也可以具有1μm以上且200μm以下的宽度。切割道50的宽度是与切割道50的延伸方向正交的方向的宽度。切割道50的宽度优选为5μm以上且50μm以下。

[0159] 外侧包覆部44从第一无机膜27上进入基底贯通孔40内,在基底贯通孔40内与外侧面9(第一主面3的周缘部)直接连接。外侧包覆部44具有比基底贯通孔40的宽度大的宽度。外侧包覆部44从第一无机膜27上经由基底贯通孔40的内壁部进入基底贯通孔40内,并经由基底贯通孔40的外壁部被引出至第一无机膜27上。由此,外侧包覆部44包覆基底贯通孔40的内壁部以及外壁部双方。

[0160] 在该方式中,外侧包覆部44包括第一部分51以及第二部分52。第一部分51是在基底贯通孔40外包覆第一无机膜27的部分。第一部分51具有相对于活性面8位于外侧面9侧的第一上表面。第二部分52是在基底贯通孔40内包覆外侧面9的部分。第二部分52具有相对于第一上表面位于外侧面9侧的第二上表面。也就是,第二部分52在与第一部分51之间划分出朝向外侧面9侧凹陷的凹槽部53(台阶部)。

[0161] 半导体装置1A包括形成于外侧包覆部44(第二无机膜41)的至少一个(单一或者多个)贯通孔55。在俯视时形成有单一贯通孔55的情况下,在剖视时呈现多个贯通孔55的情况下,也可以被视为在剖视时形成有多个贯通孔55。

[0162] 即使在俯视时形成有单一贯通孔55的情况下,在多个贯通孔55被视为一体化的情况下,也可以被视为形成有多个贯通孔55。与之相反,即使在俯视时形成有多个贯通孔55的情况下,在多个贯通孔55被视为一体化的情况下,也可以被视为形成有单一贯通孔55。

[0163] 单一或者多个贯通孔55从栅极电极30以及源极电极32向外侧面9的周缘侧空出间

隔地形成。也就是,单一或者多个贯通孔55形成于栅极电极30的周围以及源极电极32的周围。具体而言,单一或者多个贯通孔55从源极配线37向外侧面9的周缘侧空出间隔地形成。

[0164] 也就是,单一或者多个贯通孔55形成于源极配线37的周围。单一或者多个贯通孔55优选从多个场区域21(最外的场区域21)向外侧面9的周缘侧空出间隔地形成。也就是,单一或者多个贯通孔55优选形成于场区域21的周围。

[0165] 基于剖面中观察的露出对象,贯通孔55分类为第一型贯通孔56以及第二型贯通孔57。第一型贯通孔56以在剖视时仅使第一无机膜27露出的方式形成于外侧包覆部44。第一型贯通孔56形成于第二无机膜41的第一部分51。

[0166] 一个或者多个第一型贯通孔56也可以相对于基底贯通孔40仅形成于活性面8侧的区域。一个或者多个第一型贯通孔56也可以相对于基底贯通孔40仅形成于外侧面9的周缘侧的区域。多个第一型贯通孔56也可以相对于基底贯通孔40形成于活性面8侧的区域、以及相对于基底贯通孔40形成于外侧面9的周缘侧的区域。

[0167] 第二型贯通孔57以使外侧面9露出的方式形成于外侧包覆部44。第二型贯通孔57至少形成于外侧包覆部44的第二部分52。第二型贯通孔57也可以以使外侧面9以及第一无机膜27双方露出的方式,通过基底贯通孔40的壁部形成于外侧包覆部44。也就是,第二型贯通孔57也可以形成于外侧包覆部44的第一部分51以及第二部分52。

[0168] 第二型贯通孔57也可以通过基底贯通孔40的内壁部以及基底贯通孔40的外壁部的任一方或者双方。也就是,第二型贯通孔57既可以在剖视时使基底贯通孔40的一部分露出,也可以在剖视时使基底贯通孔40的整个区域露出。

[0169] 半导体装置1A可在一个剖面中包括第一型贯通孔56以及第二型贯通孔57的任一方或者双方。半导体装置1A也可以在任意的第一剖面中仅包括第一型贯通孔56,在与第一剖面不同的任意的第二剖面中仅包括第二型贯通孔57。

[0170] 半导体装置1A也可以在第一剖面中包括第一型贯通孔56以及第二型贯通孔57双方,在第二剖面中仅包括第一型贯通孔56。半导体装置1A也可以在第一剖面中包括第一型贯通孔56以及第二型贯通孔57双方,在第二剖面中仅包括第二型贯通孔57。

[0171] 贯通孔55属于第一型贯通孔56以及第二型贯通孔57的任一个根据任意的剖面中的该贯通孔55的露出对象来判断,贯通孔55的布局(个数、平面形状、尺寸等)是任意的。以下,对贯通孔55的布局进行说明。贯通孔55的布局的说明也适用于第一型贯通孔56的布局以及第二型贯通孔57的布局。

[0172] 至少一个贯通孔55优选在俯视时以包围活性面8的方式形成于外侧包覆部44。也就是,至少一个贯通孔55也可以在俯视时以包围栅极电极30、源极电极32、栅极配线36A、36B以及源极配线37的方式形成于第一无机膜27。

[0173] 至少一个贯通孔55包围活性面8的形态可包括未封端状或者封端状的单一贯通孔55从多个方向与活性面8对置的形态。另外,至少一个贯通孔55包围活性面8的形态可包括未封端状或者封端状的多个贯通孔55从多个方向与活性面8对置的形态。

[0174] 多个方向优选为四个方向。四个方向是第一~第四侧面5A~5D的四个法线方向。也就是,四个方向是第一方向X的一方侧、第一方向X的另一方侧、第二方向Y的一方侧以及第二方向Y的另一方侧。另外,四个方向能够由SiC单晶的四个晶体方向定义。四个晶体方向也可以是a轴方向的一方向(例如[11—20]方向)、a轴方向的另一方向(例如[—1—120]方

向)、m轴方向的一方向(例如[－1100]方向)、以及m轴方向的另一方向(例如[1－100]方向)。

[0175] 至少一个贯通孔55也可以在俯视时形成为三角形状、四边形状、六边形状、八边形状等多边形状。至少一个贯通孔55也可以在俯视时形成为圆形状。至少一个贯通孔55也可以在俯视时形成为在第一方向X以及第二方向Y的任一方延伸的带状、长方形状、椭圆形状或者长圆形状。至少一个贯通孔55也可以在俯视时形成为在与第一方向X以及第二方向Y交叉的方向上延伸的带状、长方形状、椭圆形状或者长圆形状。

[0176] 至少一个贯通孔55也可以具有在第一方向X上延伸的部分(边)和/或在第二方向Y上延伸的部分(边)。至少一个贯通孔55也可以具有在与第一方向X以及第二方向Y交叉的方向上延伸的部分(边)。至少一个贯通孔55也可以在俯视时形成为C字形状、L字形状、T字形状或者十字形状。

[0177] 至少一个贯通孔55也可以在俯视时在活性面8的侧方形成为环状。也就是,至少一个贯通孔55也可以在俯视时形成为不包围活性面8的小尺寸的环状。该情况下,至少一个贯通孔55也可以在俯视时形成为三角环状、四边环状、六边环状、八边环状等多边环状。另外,至少一个贯通孔55也可以在俯视时形成为圆环状。

[0178] 另外,至少一个贯通孔55也可以在俯视时形成为在第一方向X以及第二方向Y的任一方上延伸的带环状、长方形环状、椭圆环状或者长圆环状。另外,至少一个贯通孔55也可以在俯视时形成为在与第一方向X以及第二方向Y交叉的方向上延伸的带环状、长方形环状、椭圆环状或者长圆环状。

[0179] 当然,至少一个贯通孔55也可以在俯视时形成为包围活性面8的大尺寸的环状。该情况下,至少一个贯通孔55也可以形成为沿外侧包覆部44延伸的环状(例如四边环状)。当然,只要外侧包覆部44的尺寸允许,则至少一个贯通孔55也可以形成为多边环状、圆环状、椭圆环状或者长圆环状。

[0180] 多个贯通孔55也可以在第一方向X上空出间隔地形成。多个贯通孔55也可以在第二方向Y上空出间隔地形成。多个贯通孔55也可以在第一方向X以及第二方向Y上空出间隔地形成。多个贯通孔55也可以在与第一方向X以及第二方向Y交叉的方向上空出间隔地形成。

[0181] 也可以形成有在第一方向X上以条纹状延伸的多个贯通孔55。也可以形成有在第二方向Y上以条纹状延伸的多个贯通孔55。在第一方向X上以条纹状延伸的多个贯通孔55以及在第二方向Y上以条纹状延伸的多个贯通孔55也可以以在第一方向X或者第二方向Y上相邻的方式并存。也就是,在第一方向X上延伸的至少一个贯通孔55以及在第二方向Y上延伸的至少一个贯通孔55也可以以在第一方向X或者第二方向Y上相邻的方式形成。

[0182] 当然,也可以形成有格子状的贯通孔55,该格子状的贯通孔55一体地包括在第一方向X上以条纹状延伸的多个贯通孔55以及在第二方向Y上以条纹状延伸的多个贯通孔55。也就是,也可以形成有沿第一方向X以及第二方向Y以网眼状(格子状)延伸的贯通孔55。当然,也可以形成有沿与第一方向X以及第二方向Y交叉的方向以网眼状(格子状)延伸的贯通孔55。

[0183] 半导体装置1A可包括将上述的贯通孔55的多个布局中的至少两个组合而成的布局。以下,参照图8A～图8T,示出具有从上述贯通孔55的布局提取出的特征的第一～第二十

布局例。

[0184] 图8A～图8T是表示贯通孔55的第一～第二十布局例的示意图。第一～第二十布局例均为将贯通孔55的布局的一例图示化的例子,贯通孔55的布局不限制于第一～第二十布局例。半导体装置1A可包括将第一～第二十布局例中的至少两个布局例组合而成的布局。

[0185] 参照图8A(第一布局例),多个贯通孔55也可以在俯视时在第一方向X以及第二方向Y上空出间隔地以矩阵状排列。该情况下,多个贯通孔55优选在俯视时以矩阵状形成于外侧包覆部44中的沿第一～第四侧面5A～5D延伸的多个部分,从多个方向包围活性面8。在该例中,多个贯通孔55在俯视时分别形成为四边形状。

[0186] 当然,参照图8B(第二布局例),多个贯通孔55也可以在俯视时分别形成为沿外侧包覆部44延伸的带状。另外,参照图8C(第三布局例),多个贯通孔55也可以在俯视时分别形成为圆形状。

[0187] 另外,参照图8D(第四布局例),多个贯通孔55也可以在俯视时分别形成为四边形状以外的多边形状(在此为六边形状)。另外,参照图8E(第五布局例),多个贯通孔55也可以在俯视时分别形成为在活性面8的侧方不包围活性面8的环状。

[0188] 另外,参照图8F(第六布局例),多个贯通孔55也可以包括在俯视时在第一方向X上延伸的至少一个(在该例中为多个)第一贯通孔55A以及在第二方向Y上延伸的至少一个(在该例中为多个)第二贯通孔55B。多个第一贯通孔55A以及多个第二贯通孔55B也可以在任意的布局中在第一方向X以及第二方向Y上空出间隔地排列。

[0189] 多个第一贯通孔55A也可以在第一方向X上排列成一列,且在第一方向X上相互对置。多个第一贯通孔55A也可以在第二方向Y上排列成一列,且在第二方向Y上相互对置。多个第二贯通孔55B也可以在第一方向X上排列成一列,且在第一方向X上相互对置。多个第二贯通孔55B也可以在第二方向Y上排列成一列,且在第二方向Y上相互对置。

[0190] 当然,多个第一贯通孔55A以及多个第二贯通孔55B也可以在第一方向X上交替地排列,且在第一方向X上相互对置。另外,多个第一贯通孔55A以及多个第二贯通孔55B也可以在第二方向Y上交替地排列,且在第二方向Y上相互对置。

[0191] 另外,参照图8G(第七布局例),多个贯通孔55也可以分别具有在俯视时在第一方向X上延伸的部分(边)以及在第二方向Y上延伸的部分(边)。在该例中,各贯通孔55在俯视时形成为十字状。当然,各贯通孔55也可以在俯视时形成为C字形状、L字形状或者T字形状。

[0192] 另外,参照图8H(第八布局例),多个贯通孔55也可以在俯视时分别在与第一方向X以及第二方向Y交叉的方向上延伸。例如,多个贯通孔55也可以包括在第一交叉方向上延伸的多个第一贯通孔55A以及在第二交叉方向上延伸的多个第二贯通孔55B。第一交叉方向是与第一方向X以及第二方向Y交叉的方向(以下相同)。第二交叉方向是与第一方向X、第二方向Y以及第一交叉方向交叉的方向(以下相同)。

[0193] 第一交叉方向是设定第一方向X以及第二方向Y的座标轴时以0°＜θ＜90°的倾斜角度延伸的方向。第一交叉方向优选以30°＜θ＜60°的倾斜角度(更优选以45°±5°的倾斜角度)延伸。另一方面,第二交叉方向是以90°＜θ＜180°的倾斜角度延伸的方向。第二交叉方向优选以120°＜θ＜150°的倾斜角度(更优选以135°±5°的倾斜角度)延伸。第二交叉方向特别优选为第一交叉方向的正交方向。

[0194] 多个第一贯通孔55A也可以在第一方向X上排列成一列,且在第一方向X上相互对

置。多个第一贯通孔55A也可以在第二方向Y上排列成一列,且在第二方向Y上相互对置。多个第二贯通孔55B也可以在第一方向X上排列成一列,且在第一方向X上相互对置。多个第二贯通孔55B也可以在第二方向Y上排列成一列,且在第二方向Y上相互对置。

[0195] 当然,多个第一贯通孔55A以及多个第二贯通孔55B也可以在第一方向X上交替地排列,且在第一方向X上相互对置。另外,多个第一贯通孔55A以及多个第二贯通孔55B也可以在第二方向Y上交替地排列,且在第二方向Y上相互对置。当然,多个贯通孔55也可以仅由多个第一贯通孔55A或者多个第二贯通孔55B构成。

[0196] 另外,参照图8I(第九布局例),多个贯通孔55也可以分别具有在俯视时在第一交叉方向上延伸的部分以及在第二交叉方向上延伸的部分。在该例中,各贯通孔55在俯视时形成为与第一方向X以及第二方向Y交叉的十字状。当然,各贯通孔55也可以在俯视时形成为与第一方向X以及第二方向Y交叉的C字形状、L字形状或者T字形状。

[0197] 在上述的图8A～图8I中,示出了多个贯通孔55在俯视时以矩阵状排列的例子。但是,参照图8J(第十布局例),多个贯通孔55也可以在第一方向X以及第二方向Y上空出间隔地以交错状排列。

[0198] 也就是,在该例中,半导体装置1A分别包括在第二方向Y上排列成一列的多个贯通孔55,且包括在第一方向X上空出间隔地形成的多个组。属于一方的组的多个贯通孔55相对于属于另一方的组的多个贯通孔55在第二方向Y上偏移地配置。属于一方的组的多个贯通孔55在第一方向X上与属于另一方的组的多个贯通孔55之间的区域对置。

[0199] 当然,半导体装置1A也可以分别包括在第一方向X上排列成一列的多个贯通孔55,且包括在第二方向Y上空出间隔地形成的多个组。该情况下,属于一方的组的多个贯通孔55相对于属于相邻的组的多个贯通孔55在第一方向X上偏移地配置。

[0200] 参照图8K(第十一布局例),多个贯通孔55也可以在俯视时从活性面8向外侧面9的周缘侧空出间隔地排列,且形成为沿外侧包覆部44延伸的条纹状。该情况下,多个贯通孔55也可以形成为从多个方向(例如四个方向)包围活性面8的封端状或者未封端状。

[0201] 参照图8L(第十二布局例),与第十一布局例相同,多个贯通孔55在俯视时形成为沿外侧包覆部44延伸的条纹状。在该例中,多个贯通孔55在俯视时形成为分别具有在第一交叉方向上延伸的部分以及在第二交叉方向上延伸的部分的锯齿状。

[0202] 参照图8M(第十三布局例),与第十一布局例相同,多个贯通孔55在俯视时形成为沿外侧包覆部44延伸的条纹状。在该例中,多个贯通孔55形成为在与外侧包覆部44的延伸方向交叉的方向上延伸的条纹状。多个贯通孔55也可以在第一交叉方向或者第二交叉方向上延伸。当然,也可以形成有在第一交叉方向上以条纹状延伸的多个贯通孔55以及在第二交叉方向上以条纹状延伸的多个贯通孔55。

[0203] 参照图8N(第十四布局例),多个贯通孔55也可以在俯视时在外侧包覆部44的延伸方向上空出间隔地排列,且形成为在与外侧包覆部44的延伸方向交叉的方向上延伸的条纹状。在该例中,多个贯通孔55与外侧包覆部44的延伸方向(也就是,第一方向X或者第二方向Y)正交。

[0204] 参照图8O(第十五布局例),与第十四布局例相同,多个贯通孔55在俯视时形成为在与外侧包覆部44的延伸方向交叉的方向上延伸的条纹状。在该例中,多个贯通孔55形成为分别具有在第一交叉方向上延伸的部分以及在第二交叉方向上延伸的部分的锯齿状。

[0205] 参照图8P(第十六布局例),也可以形成有沿外侧包覆部44的延伸方向以锯齿状延伸的单一贯通孔55。单一贯通孔55由以锯齿状连接的多个第一贯通孔55A以及多个第二贯通孔55B构成。

[0206] 多个第一贯通孔55A在外侧包覆部44的延伸方向上空出间隔地排列,分别形成为在与外侧包覆部44的延伸方向交叉(具体而言为正交)的方向上延伸的带状。多个第二贯通孔55B分别在外侧包覆部44的延伸方向上延伸,将一对第一贯通孔55A的一端部彼此以及一对第一贯通孔55A的另一端部彼此沿外侧包覆部44的延伸方向交替地连接。

[0207] 参照图8Q(第十七布局例),也可以形成有在第一方向X以及第二方向Y上延伸的网眼状(格子状)的单一贯通孔55。单一贯通孔55由以格子状连接的多个第一贯通孔55A以及多个第二贯通孔55B构成。多个第一贯通孔55A形成为在第一方向X上延伸的条纹状。多个第二贯通孔55B以与多个第一贯通孔55A连接的方式形成为在第二方向Y上延伸的条纹状。

[0208] 当然,参照图8R(第十八布局例),也可以形成有在与第一方向X以及第二方向Y交叉的方向上延伸的网眼状(格子状)的单一贯通孔55。单一贯通孔55由以格子状连接的多个第一贯通孔55A以及多个第二贯通孔55B构成。多个第一贯通孔55A形成为在第一交叉方向上延伸的条纹状。多个第二贯通孔55B以与多个第一贯通孔55A连接的方式形成为在第二交叉方向上延伸的条纹状。

[0209] 参照图8S(第十九布局例),在俯视时,六边形状的多个贯通孔55也可以排列成蜂窝状。蜂窝状的排列也是交错状的排列的一例。该情况下,在俯视时,以六边网眼状(六边格子状)延伸的部分形成于外侧包覆部44。当然,参照图8T(第二十布局例),也可以在俯视时形成有以六边网眼状(六边格子状)延伸的单一贯通孔55。该情况下,在俯视时排列成蜂窝状的多个六边形状的部分形成于外侧包覆部44。

[0210] 参照图8A～图8T,在第一～第二十布局例中,在俯视时形成有单一或者多个贯通孔55。第一～第二十一布局例的单一或者多个贯通孔55在剖视时分别包括第一型贯通孔56以及第二型贯通孔57。

[0211] 在形成有单一贯通孔55的情况下,第一型贯通孔56由单一贯通孔55的一部分构成,第二型贯通孔57由单一贯通孔55的一部分构成。另一方面,在形成有多个贯通孔55的情况下,第一型贯通孔56由一个贯通孔55构成,第二型贯通孔57由一个贯通孔55构成。

[0212] 在上述的贯通孔55的说明中,也可以是第一方向X为SiC单晶的a轴方向,第二方向Y为SiC单晶的m轴方向。当然,在上述的贯通孔55的说明中,也可以是第一方向X为SiC单晶的m轴方向,第二方向Y为SiC单晶的a轴方向。单一或者多个贯通孔55的布局也可以根据沿SiC单晶的晶体方向产生的应力的观点来决定。也就是,通过调节单一或者多个贯通孔55的布局,能够抑制特定的方向(晶体方向)上的应力的偏颇。

[0213] 半导体装置1A包括包覆第二无机膜41的有机膜60。有机膜60也可以称为“有机绝缘膜”或者“树脂膜”。有机膜60优选包含热固化性树脂以外的树脂。有机膜60也可以由透光性树脂或者透明树脂构成。有机膜60优选由负型或者正型的感光性树脂膜构成。有机膜60优选包含聚酰亚胺膜、聚酰胺膜以及聚苯并噁唑膜中的至少一个。在该方式中,有机膜60包含聚苯并噁唑膜。

[0214] 有机膜60优选具有小于芯片2的厚度的厚度。有机膜60的厚度优选超过第一无机膜27的厚度。有机膜60的厚度优选超过第二无机膜41的厚度。有机膜60的厚度特别优选超

过栅极电极30(源极电极32)的厚度。有机膜60的厚度也可以为3μm以上且30μm以下。有机膜60的厚度优选为20μm以下。

[0215] 有机膜60填埋第二无机膜41的第一露出部47、第二露出部48以及第三露出部49，并包覆第二无机膜41的栅极包覆部42、源极包覆部43以及外侧包覆部44。有机膜60在第一露出部47、第二露出部48以及第三露出部49中包覆栅极电极30的周缘部、源极电极32的周缘部、多个栅极配线36A、36B以及源极配线37。

[0216] 在该方式中，有机膜60包覆栅极电极30的电极侧壁、源极电极32的电极侧壁、多个栅极配线36A、36B的整个区域以及源极配线37的整个区域。有机膜60中包覆栅极电极30的部分划分出使栅极电极30的内方部露出的栅极焊盘开口61。

[0217] 在该方式中，栅极焊盘开口61在俯视时形成为四边形状，且与栅极开口45连通。栅极焊盘开口61也可以使栅极包覆部42的内缘部露出。当然，有机膜60也可以包覆栅极包覆部42的整个区域。

[0218] 有机膜60中包覆源极电极32的部分划分出使源极电极32的内方部露出的源极焊盘开口62。在该方式中，源极焊盘开口62在俯视时形成为沿源极电极32的周缘的多边形状，且与源极开口46连通。源极焊盘开口62也可以使源极包覆部43的内缘部露出。当然，有机膜60也可以包覆源极包覆部43的整个区域。

[0219] 有机膜60在外侧面9侧(第一主面3的周缘侧)填埋全部的贯通孔55(单一或者多个贯通孔55)并包覆第二无机膜41的外侧包覆部44。由此，有机膜60具有位于单一或者多个贯通孔55内的单一或者多个锚固部65。单一或者多个锚固部65具有与单一或者多个贯通孔55的布局匹配的布局。有机膜60相对于第二无机膜41(外侧包覆部44)的连接面积通过锚固部65而增加。

[0220] 在剖视时使第一无机膜27露出的第一型贯通孔56形成于外侧包覆部44的情况下，有机膜60具有在第一型贯通孔56内与第一无机膜27以及外侧包覆部44相接的第一型锚固部66。在剖视时使外侧面9(第一主面3)露出的第二型贯通孔57形成于外侧包覆部44的情况下，有机膜60具有在第二型贯通孔57内与外侧面9(第一主面3)以及外侧包覆部44相接的第二型锚固部67。

[0221] 在第二型贯通孔57使外侧面9(第一主面3)、基底贯通孔40的壁部以及第一无机膜27露出的情况下，第二型锚固部67在第二型贯通孔57内与外侧面9(第一主面3)、基底贯通孔40的壁部、第一无机膜27以及外侧包覆部44相接。在第二型贯通孔57使基底贯通孔40的内壁部、外侧面9(第一主面3)以及基底贯通孔40的外壁部露出的情况下，第二型锚固部67与基底贯通孔40的内壁部、外侧面9(第一主面3)以及基底贯通孔40的外壁部相接。第二型锚固部67在基底贯通孔40内与外侧面9连接的同时，与外侧面9(第一主面3)以及第一无机膜27之间的台阶部啮合。

[0222] 在该方式中，有机膜60包覆外侧包覆部44的第一部分51以及第二部分52，且包覆由第一部分51以及第二部分52划分出的凹槽部53。也就是，有机膜60从第一部分51上进入第一型贯通孔56，在第一型贯通孔56内包覆第一无机膜27。另外，有机膜60从第一部分51上进入凹槽部53，在凹槽部53内包覆第二部分52。

[0223] 并且，有机膜60在凹槽部53内从第二部分52上进入基底贯通孔40(第二型贯通孔57)内，在基底贯通孔40(第二型贯通孔57)内包覆外侧面9以及第一无机膜27。有机膜60相

对于第二无机膜41(外侧包覆部44)的连接面积也通过凹槽部53而增加。在该方式中,上述连接面积通过由基底贯通孔40、凹槽部53以及第二型贯通孔57形成的台阶结构而增加。

[0224] 有机膜60的外缘部从外侧面9的周缘向内方空出间隔地形成,在与外侧面9的周缘之间划分出切割道50。在该方式中,有机膜60的外缘部使第二无机膜41的外缘部露出。也就是,有机膜60与第二无机膜41一起划分出切割道50。当然,有机膜60也可以包覆第二无机膜41的外缘部的整个区域。

[0225] 半导体装置1A包括包覆第二主面4的漏极电极68(第三主面电极)。漏极电极68与第二主面4电连接。漏极电极68与从第二主面4露出的第二半导体区域7形成欧姆接触。漏极电极68也可以以与芯片2的周缘(第一～第四侧面5A～5D)相连的方式包覆第二主面4的整个区域。

[0226] 漏极电极68也可以从芯片2的周缘向内方空出间隔地包覆第二主面4。漏极电极68构成为在与源极电极32之间施加有500V以上且3000V以下的漏极源极电压。也就是,芯片2形成为在第一主面3以及第二主面4之间施加500V以上且3000V以下的电压。

[0227] 以上,半导体装置1A包括芯片2、第二无机膜41(无机膜)、贯通孔55以及有机膜60。芯片2具有第一主面3。第二无机膜41包含绝缘体,且包覆第一主面3。贯通孔55形成于第二无机膜41。有机膜60填埋贯通孔55并包覆第二无机膜41。

[0228] 根据该结构,具有贯通孔55引起的凹凸(unevenness)的粘接区域形成于第二无机膜41以及有机膜60之间。由此,能够提高有机膜60相对于第二无机膜41的连接强度。其结果,在第二无机膜41、有机膜60产生了应力的情况下,能够抑制有机膜60从第二无机膜41剥离。

[0229] 另外,通过具有凹凸的粘接区域,能够延长湿气(水分)的侵入路径。其结果,能够抑制以第二无机膜41以及有机膜60之间的区域为起点的湿气的进入,因此能够抑制湿气引起的劣化(包含腐蚀)。因而,能够提供可提高可靠性的半导体装置1A。

[0230] 贯通孔55优选使第一主面3露出。根据该结构,能够形成有机膜60,该有机膜60具有在贯通孔55内与第一主面3相接的部分、以及在贯通孔55外与第二无机膜41相接的部分。

[0231] 因而,利用使第一主面3露出的贯通孔55能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。第二无机膜41优选由氮化硅膜(氮化膜)构成。根据该结构,能够在氮化硅膜以及有机膜60之间得到提高连接强度的效果以及抑制湿气的侵入的效果。

[0232] 在其它观点中,半导体装置1A包括芯片2、第一无机膜27、第二无机膜41、至少一个贯通孔55、以及有机膜60。芯片2具有第一主面3。第一无机膜27包含绝缘体,且包覆第一主面3。第二无机膜41包含绝缘体,且包覆第一无机膜27。贯通孔55形成于第二无机膜41。有机膜60填埋贯通孔55并包覆第二无机膜41。

[0233] 根据该结构,具有贯通孔55引起的凹凸的粘接区域形成于第二无机膜41以及有机膜60之间。由此,能够提高有机膜60相对于第二无机膜41的连接强度。其结果,在第二无机膜41、有机膜60产生了应力的情况下,能够抑制有机膜60从第二无机膜41剥离。

[0234] 另外,通过具有凹凸的粘接区域,能够延长湿气的侵入路径。其结果,能够抑制以第二无机膜41以及有机膜60之间的区域为起点的湿气的进入,因此能够抑制湿气引起的劣化。因而,能够提供可提高可靠性的半导体装置1A。

[0235] 至少一个贯通孔55优选具有在剖视时使第一无机膜27露出的第一型贯通孔56。根据该结构,能够形成有机膜60,该有机膜60具有在第一型贯通孔56内与第一无机膜27相接的部分、以及在第一型贯通孔56外与第二无机膜41相接的部分。因而,利用第一型贯通孔56能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0236] 至少一个贯通孔55优选具有在剖视时使第一主面3露出的第二型贯通孔57。根据该结构,能够形成有机膜60,该有机膜60具有在第二型贯通孔57内与第一主面3相接的部分、以及在第二型贯通孔57外与第二无机膜41相接的部分。因而,利用第二型贯通孔57能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0237] 第二型贯通孔57也可以在剖视时使第一主面3以及第一无机膜27露出。根据该结构,能够形成有机膜60,该有机膜60具有在第二型贯通孔57内与第一主面3及第一无机膜27相接的部分、以及在第二型贯通孔57外与第二无机膜41相接的部分。因而,利用第二型贯通孔57能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0238] 第一无机膜27优选具有使第一主面3露出的基底贯通孔40。该情况下,第二无机膜41优选具有在基底贯通孔40外包覆第一无机膜27的第一部分51、以及在基底贯通孔40内包覆第一主面3的第二部分52。有机膜60优选具有包覆第一部分51的部分、以及包覆第二部分52的部分。

[0239] 根据该结构,具有基底贯通孔40引起的凹凸的粘接区域经由第一无机膜27形成于第一主面3以及第二无机膜41之间。由此,能够提高第二无机膜41相对于第一无机膜27(第一主面3)的连接强度。其结果,在第二无机膜41等产生了应力的情况下,能够抑制第二无机膜41从第一无机膜27剥离。另外,通过具有凹凸的粘接区域,能够延长湿气的侵入路径。其结果,能够抑制以第一无机膜27以及第二无机膜41之间的区域为起点的湿气的进入,因此能够抑制湿气引起的劣化(包含腐蚀)。

[0240] 第二部分52优选具有相对于第一部分51的表面的高度位置位于第一主面3侧的表面,且在与第一部分51之间划分出凹槽部53(台阶部)。根据该结构,具有凹槽部53以及贯通孔55引起的凹凸的粘接区域形成于第二无机膜41以及有机膜60之间。由此,利用凹槽部53以及贯通孔55能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。第二无机膜41优选具有小于基底贯通孔40的宽度的1/2的厚度。

[0241] 至少一个贯通孔55优选包括在剖视时使基底贯通孔40的壁部露出的第二型贯通孔57。根据该结构,能够形成有机膜60,该有机膜60具有在第二型贯通孔57内与基底贯通孔40的壁部相接的部分、以及在第二型贯通孔57外与第二无机膜41相接的部分。因而,利用使基底贯通孔40的壁部露出的第二型贯通孔57能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0242] 半导体装置1A也可以包括多个贯通孔55。根据该结构,能够形成有机膜60,该有机膜60具有位于多个贯通孔55内的多个部分。因而,利用多个贯通孔55能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0243] 多个贯通孔55也可以在俯视时形成为条纹状。根据该结构,能够形成有机膜60,该有机膜60具有经由多个贯通孔55而与第二无机膜41以条纹状啮合的部分。多个贯通孔55也可以在第一方向X以及第二方向Y上空出间隔地排列成矩阵状或者交错状。根据该结构,能

够形成有机膜60,该有机膜60具有经由多个贯通孔55而与第二无机膜41以矩阵状或者交错状啮合的部分。

[0244] 半导体装置1A也可以包括具有在第一方向X上延伸的部分以及在第二方向Y上延伸的部分的贯通孔55。根据该结构,能够形成有机膜60,该有机膜60具有在贯通孔55内在第一方向X上延伸的部分以及在第二方向Y上延伸的部分。半导体装置1A也可以包括在第一方向X上延伸的贯通孔55以及在第二方向Y上延伸的贯通孔55。根据该结构,能够形成有机膜60,该有机膜60具有在沿第一方向X延伸的贯通孔55内在第一方向X上延伸的部分、以及在沿第二方向Y延伸的贯通孔55内在第二方向Y上延伸的部分。

[0245] 半导体装置1A也可以包括在与第一方向X以及第二方向Y交叉的方向上延伸的贯通孔55。根据该结构,能够形成有机膜60,该有机膜60具有在贯通孔55内在与第一方向X以及第二方向Y交叉的方向上延伸的部分。

[0246] 第一方向X以及第二方向Y也可以由芯片2的第一～第四侧面5A～5D的延伸方向定义。第一方向X以及第二方向Y也可以由SiC单晶的晶体方向定义。例如,也可以是第一方向X为SiC单晶的a轴方向、第二方向Y为SiC单晶的m轴方向。当然,也可以是第一方向X为SiC单晶的m轴方向、第二方向Y为SiC单晶的a轴方向。

[0247] 半导体装置1A也可以包括配置在第一主面3的内方部的栅极电极30(第一主面电极)。该情况下,优选至少一个贯通孔55形成于栅极电极30的周围。根据该结构,在栅极电极30的周围能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。由此,能够保护栅极电极30免受外力、湿气的影响。

[0248] 该情况下,第二无机膜41优选具有局部地包覆栅极电极30的栅极包覆部42。另外,有机膜60优选具有隔着第二无机膜41的栅极包覆部42包覆栅极电极30的部分。根据该结构,能够适当地保护栅极电极30。

[0249] 栅极包覆部42也可以使栅极电极30的周缘部(电极侧壁)露出。根据该结构,能够抑制栅极电极30的周缘部所产生的应力引起的第二无机膜41的剥离。在该结构中,有机膜60优选包覆栅极电极30的周缘部。

[0250] 有机膜60具有比第二无机膜41柔软的物性。也就是,有机膜60的弹性模量比第二无机膜41的弹性模量小。因此,即使在有机膜60包覆栅极电极30的情况下,也可抑制栅极电极30所产生的应力引起的有机膜60的剥离。由此,能够由有机膜60适当地保护栅极电极30。栅极电极30也可以在俯视时包覆第一主面3的25%以下的区域。

[0251] 半导体装置1A也可以包括配置在第一主面3的内方部的源极电极32(第二主面电极)。该情况下,优选至少一个贯通孔55形成于源极电极32的周围。根据该结构,在源极电极32的周围能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。由此,能够保护源极电极32免受外力、湿气的影响。

[0252] 该情况下,第二无机膜41优选具有局部地包覆源极电极32的源极包覆部43。另外,有机膜60优选具有隔着第二无机膜41的源极包覆部43包覆源极电极32的部分。根据该结构,能够适当地保护源极电极32。

[0253] 源极包覆部43也可以使源极电极32的周缘部(电极侧壁)露出。根据该结构,能够抑制源极电极32的周缘部所产生的应力引起的第二无机膜41的剥离。在该结构中,有机膜60优选包覆源极电极32的周缘部。根据该结构,能够由有机膜60适当地保护源极电极32。源

极电极32也可以在俯视时包覆第一主面3的50％以上的区域。

[0254] 第二无机膜41优选具有在第一主面3的周缘部包覆第一无机膜27的外侧包覆部44。该情况下,贯通孔55优选形成于第二无机膜41的外侧包覆部44。有机膜60优选包覆第二无机膜41的栅极包覆部42、源极包覆部43以及外侧包覆部44。外侧包覆部44优选不包覆金属。根据该结构,能够可靠地防止金属所产生的应力引起的外侧包覆部44的剥离。

[0255] 栅极电极30(源极电极32)优选比第一无机膜27厚。第二无机膜41优选比栅极电极30(源极电极32)薄。有机膜60优选比芯片2薄。有机膜60优选比第二无机膜41厚。有机膜60优选比栅极电极30(源极电极32)厚。

[0256] 一个或者多个贯通孔55优选在俯视时以包围栅极电极30以及源极电极32的方式形成于第二无机膜41。也就是,一个或者多个贯通孔55优选在俯视时以包围第一主面3的内方部的方式形成于第二无机膜41。

[0257] 半导体装置1A也可以包含划分在第一主面3上的台面部11。台面部11由形成于第一主面3的内方部的活性面8(第一面部)、以从活性面8向芯片2的厚度方向凹陷的方式形成于第一主面3的周缘部的外侧面9(第二面部)、以及连接活性面8及外侧面9的第一～第四连接面10A～10D(连接面部)划分在第一主面3上。

[0258] 该情况下,第一无机膜27具有包覆外侧面9的部分。第二无机膜41具有在外侧面9侧包覆第一无机膜27的部分。贯通孔55具有在外侧面9侧包覆第二无机膜41的部分。有机膜60在外侧面9侧填埋贯通孔55并包覆第二无机膜41。根据该结构,在比活性面8向厚度方向凹陷的外侧面9能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0259] 半导体装置1A也可以包括包覆第一～第四连接面10A～10D的至少一个的侧壁结构26。该情况下,第一无机膜27也可以包覆侧壁结构26。另一方面,第二无机膜41(外侧包覆部44)优选从侧壁结构26空出间隔地形成。有机膜60也可以隔着第一无机膜27包覆侧壁结构26。

[0260] 第二无机膜41优选包括与第一无机膜27不同的绝缘体。第一无机膜27优选包含氧化膜。第二无机膜41优选包含氮化膜。有机膜60优选包含感光性树脂膜。

[0261] 芯片2优选包含宽带隙半导体的单晶。宽带隙半导体的单晶在提高电特性的方面是有效的。另外,根据宽带隙半导体的单晶,通过比较高的硬度抑制芯片2的变形,并且能够实现芯片2的薄化以及芯片2的平面面积的增加。芯片2的薄化以及芯片2的平面面积的扩张在提高电特性的方面是有效的。

[0262] 例如,芯片2也可以具有在俯视时具有1mm见方以上的面积的第一主面3。芯片2也可以具有200μm以下的厚度。芯片2优选在剖视时具有150μm以下的厚度。具有200μm以下的厚度的比较薄的芯片2容易因应力而变形。这一点,根据半导体装置1A的结构,即使在由于应力而芯片2变形的情况下,也能够抑制有机膜60从第二无机膜41剥离。

[0263] 半导体装置1A优选包括包覆芯片2的第二主面4的漏极电极68(第三主面电极)。漏极电极68在与源极电极32之间形成经由芯片2的电位差(例如500V以上且3000V以下)。

[0264] 在比较薄的芯片2的情况下,源极电极32以及漏极电极68之间的距离缩短,因此第一主面3的周缘以及源极电极32之间的放电现象的风险变高。这一点,根据具有贯通孔55的第二无机膜41,能够通过贯通孔55使源极电极32以及漏极电极68之间的距离增加。因而,能

够提高源极电极32以及漏极电极68之间的绝缘性,能够抑制放电现象。

[0265] 图9与图7对应,是表示第二实施方式的半导体装置1B的图。参照图9,半导体装置1B具有使半导体装置1A变形的形态。具体而言,半导体装置1B包括以与外侧面9的周缘(第一～第四侧面5A～5D)相连的方式形成于第一无机膜27的基底贯通孔40。

[0266] 与第一实施方式的情况相同,基底贯通孔40形成于比多个场区域21靠外侧面9的周缘侧。基底贯通孔40形成为沿外侧面9的周缘(第一～第四侧面5A～5D)延伸的环状(具体而言为四边环状),使外侧面9的周缘部露出。

[0267] 在该方式中,第二无机膜41的外侧包覆部44从第一无机膜27上向基底贯通孔40内引出,在基底贯通孔40内包覆外侧面9的周缘部。也就是,与第一实施方式的情况相同,第二无机膜41包括包覆第一无机膜27的第一部分51以及包覆外侧面9的第二部分52。外侧包覆部44在基底贯通孔40内从外侧面9的周缘(第一～第四侧面5A～5D)向内方空出间隔地形成,划分出使外侧面9的周缘部露出的切割道50。

[0268] 单一或者多个贯通孔55也可以形成于第二无机膜41的第一部分51以及第二无机膜41的第二部分52的任一方或者双方。也就是,单一或者多个贯通孔55也可以在剖视时具有第一型贯通孔56以及第二型贯通孔57的任一方或者双方。

[0269] 当然,单一或者多个贯通孔55也可以仅形成于第一部分51,而不形成于第二部分52。另外,单一或者多个贯通孔55也可以仅形成于第二部分52,而不形成于第一部分51。此外,由于单一或者多个贯通孔55的布局与第一实施方式的情况相同,因此省略该布局的说明。

[0270] 图10与图7对应,是表示第三实施方式的半导体装置1C的图。参照图10,半导体装置1C具有使半导体装置1A变形的形态。具体而言,半导体装置1C包括在俯视时以及在剖视时使第一无机膜27的基底贯通孔40的整个区域露出的上侧贯通孔70。上侧贯通孔70在剖视时形成第二型贯通孔57。

[0271] 上侧贯通孔70通过在半导体装置1A中除去外侧包覆部44中的第二部分52而形成。因此,外侧包覆部44仅具有包覆第一无机膜27的第一部分51,而不具有位于基底贯通孔40内的第二部分52。上侧贯通孔70也可以在俯视时形成为包围活性面8的环状(具体而言为四边环状)。

[0272] 半导体装置1C也可以包括由上侧贯通孔70(第二型贯通孔57)构成的单一贯通孔55。当然,半导体装置1C除了上侧贯通孔70(第二型贯通孔57)以外也可以包括包含第一型贯通孔56的单一或者多个贯通孔55。该情况下,上侧贯通孔70以外的贯通孔55的布局是任意的。例如,在第一实施方式中叙述的贯通孔55的多个布局(例如第一～第二十布局例)中的至少一个也可以作为上侧贯通孔70以外的贯通孔55的布局来应用。

[0273] 在该方式中,有机膜60从第二无机膜41上进入第一型贯通孔56,在第一型贯通孔56内与第一无机膜27相接。有机膜60从第二无机膜41上进入上侧贯通孔70(第二型贯通孔57),在上侧贯通孔70内从第一无机膜27上进入基底贯通孔40。有机膜60在基底贯通孔40内与外侧面9以及第一无机膜27相接。使基底贯通孔40的整个区域露出的上侧贯通孔70也可以应用于第二实施方式的半导体装置1B。

[0274] 图11与图7对应,是表示第四实施方式的半导体装置1D的图。参照图11,半导体装置1D具有使半导体装置1A变形的形态。具体而言,半导体装置1D在第一无机膜27中不具有

基底贯通孔40。

[0275] 单一或者多个贯通孔55仅使第一无机膜27露出,不使外侧面9露出。另外,单一或者多个贯通孔55仅包括在剖视时使第一无机膜27露出的第一型贯通孔56,不包括使外侧面9露出的第二型贯通孔57。单一或者多个贯通孔55的布局与第一实施方式的情况相同,因此省略该布局的说明。

[0276] 有机膜60从第二无机膜41上进入单一或者多个贯通孔55(第一型贯通孔56)。在该方式中,有机膜60在单一或者多个贯通孔55内仅与第一无机膜27以及第二无机膜41相接,不与外侧面9相接。

[0277] 图12与图7对应,是表示第五实施方式的半导体装置1E的图。参照图12,半导体装置1E具有使半导体装置1A变形的形态。与第一实施方式的情况相同,半导体装置1E包括单一或者多个基底贯通孔40。在图12中,作为一例,示出了形成有多个基底贯通孔40的例子。

[0278] 在该方式中,外侧包覆部44以使基底贯通孔40露出的方式从基底贯通孔40向活性面8侧空出间隔地形成。在该方式中,外侧包覆部44配置在源极配线37以及基底贯通孔40之间的区域,隔着第一无机膜27而与多个场区域21重叠。

[0279] 在该方式中,单一或者多个贯通孔55仅使第一无机膜27露出,不使外侧面9露出。也就是,单一或者多个贯通孔55仅包括在剖视时使第一无机膜27露出的第一型贯通孔56,不包括使外侧面9露出的第二型贯通孔57。单一或者多个贯通孔55的布局与第一实施方式的情况相同,因此省略该布局的说明。

[0280] 在该方式中,有机膜60在外侧面9侧(第一主面3的周缘侧)填埋全部的基底贯通孔40并包覆第一无机膜27。由此,有机膜60具有位于单一或者多个基底贯通孔40内的单一或者多个基底锚固部75。多个基底锚固部75具有与单一或者多个基底贯通孔40的布局匹配的布局。有机膜60相对于第一无机膜27的连接面积通过基底锚固部75而增加。

[0281] 另外,有机膜60在外侧面9侧(第一主面3的周缘侧)填埋全部的贯通孔55(单一或者多个贯通孔55)并包覆第二无机膜41。由此,有机膜60具有位于单一或者多个贯通孔55内的单一或者多个锚固部65。单一或者多个锚固部65具有与单一或者多个贯通孔55的布局匹配的布局。有机膜60相对于第二无机膜41的连接面积通过锚固部65而增加。

[0282] 以上,半导体装置1E包括芯片2、第一无机膜27(无机膜)、基底贯通孔40(贯通孔55)以及有机膜60。芯片2具有第一主面3。第一无机膜27包含绝缘体,且包覆第一主面3。基底贯通孔40形成于第一无机膜27。有机膜60填埋基底贯通孔40并包覆第一无机膜27。

[0283] 根据该结构,具有贯通孔55引起的凹凸的粘接区域形成于第一无机膜27以及有机膜60之间。由此,能够提高有机膜60相对于第一无机膜27的连接强度。其结果,在第一无机膜27、有机膜60产生了应力的情况下,能够抑制有机膜60从第一无机膜27剥离。

[0284] 另外,通过具有凹凸的粘接区域,能够延长湿气(水分)的侵入路径。其结果,能够抑制以第一无机膜27以及有机膜60之间的区域为起点的湿气的进入,能够抑制湿气引起的劣化(包含腐蚀)。因而,能够提供可提高可靠性的半导体装置1E。

[0285] 基底贯通孔40优选使第一主面3露出。根据该结构,能够形成有机膜60,该有机膜60具有在基底贯通孔40内与第一主面3相接的部分、以及在基底贯通孔40外与第一无机膜27相接的部分。

[0286] 因而,利用使第一主面3露出的基底贯通孔40能够提高有机膜60相对于第一无机

膜27的连接强度的同时,能够延长湿气的侵入路径。第一无机膜27优选由氧化硅膜(氧化膜)构成。根据该结构,在氧化硅膜以及有机膜60之间,能够得到提高连接强度的效果以及抑制湿气的侵入的效果。

[0287] 半导体装置1E也可以包括多个基底贯通孔40。根据该结构,能够形成有机膜60,该有机膜60具有位于多个基底贯通孔40内的多个部分。因而,利用多个基底贯通孔40能够提高有机膜60相对于第一无机膜27的连接强度的同时,能够延长湿气的侵入路径。

[0288] 多个基底贯通孔40也可以在俯视时形成为条纹状。根据该结构,能够形成有机膜60,该有机膜60具有经由多个基底贯通孔40而与第一无机膜27以条纹状啮合的部分。多个基底贯通孔40也可以在第一方向X以及第二方向Y上空出间隔地排列成矩阵状或者交错状。根据该结构,能够形成有机膜60,该有机膜60具有经由多个基底贯通孔40而与第一无机膜27以矩阵状或者交错状啮合的部分。

[0289] 半导体装置1E也可以包括具有在第一方向X上延伸的部分以及在第二方向Y上延伸的部分的基底贯通孔40。根据该结构,能够形成有机膜60,该有机膜60具有在基底贯通孔40内在第一方向X上延伸的部分以及在第二方向Y上延伸的部分。

[0290] 半导体装置1E也可以包括在第一方向X上延伸的基底贯通孔40以及在第二方向Y上延伸的基底贯通孔40。根据该结构,能够形成有机膜60,该有机膜60具有在沿第一方向X延伸的基底贯通孔40内在第一方向X上延伸的部分、以及在沿第二方向Y延伸的基底贯通孔40内在第二方向Y上延伸的部分。

[0291] 半导体装置1E也可以包括在与第一方向X以及第二方向Y交叉的方向上延伸的基底贯通孔40。根据该结构,能够形成有机膜60,该有机膜60具有在基底贯通孔40内在与第一方向X以及第二方向Y交叉的方向上延伸的部分。

[0292] 第一方向X以及第二方向Y也可以由芯片2的第一～第四侧面5A～5D的延伸方向定义。第一方向X以及第二方向Y也可以由SiC单晶的晶体方向定义。例如,也可以是第一方向X为SiC单晶的a轴方向、第二方向Y为SiC单晶的m轴方向。当然,也可以是第一方向X为SiC单晶的m轴方向、第二方向Y为SiC单晶的a轴方向。

[0293] 半导体装置1E优选包括以使基底贯通孔40露出的方式配置在第一无机膜27上的第二无机膜41。该情况下,有机膜60优选包覆第二无机膜41。根据该结构,能够抑制有机膜60从第一无机膜27剥离,因此也能够抑制有机膜60从第二无机膜41剥离。由此,通过第一无机膜27、第二无机膜41以及有机膜60能够抑制湿气的进入。

[0294] 第二无机膜41优选包含与第一无机膜27不同的绝缘体。第二无机膜41优选由氮化硅膜(氮化膜)构成。第二无机膜41也可以以使基底贯通孔40露出的方式配置在比基底贯通孔40靠第一主面3的内方部侧。

[0295] 半导体装置1E也可以包括形成于第二无机膜41的贯通孔55。该情况下,有机膜60优选填埋贯通孔55并包覆第二无机膜41。根据该结构,具有贯通孔55引起的凹凸的粘接区域也形成于第二无机膜41以及有机膜60之间。因而,利用基底贯通孔40以及贯通孔55能够提高有机膜60相对于第一无机膜27以及第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0296] 贯通孔55优选使第一无机膜27露出。根据该结构,能够形成有机膜60,该有机膜60具有在贯通孔55内与第一无机膜27相接的部分、以及在贯通孔55外与第二无机膜41相接的

部分。因而,利用使第一无机膜27露出的贯通孔55能够提高有机膜60相对于第二无机膜41的连接强度的同时,能够延长湿气的侵入路径。

[0297] 图13与图7对应,是表示第六实施方式的半导体装置1F的图。参照图13,半导体装置1F具有使半导体装置1E变形的形态。具体而言,半导体装置1F在第二无机膜41中不具有贯通孔55。

[0298] 图14与图7对应,是表示第七实施方式的半导体装置1G的图。参照图14,半导体装置1G具有使半导体装置1E变形的形态。具体而言,半导体装置1G包括第二无机膜41,该第二无机膜41具有栅极包覆部42以及源极包覆部43,不具有外侧包覆部44。当然,半导体装置1G也可以不具有第二无机膜41。

[0299] 图15与图2对应,是表示第八实施方式的半导体装置1H的图。图16是表示图15所示的第二无机膜41的布局例的俯视图。图17是表示图15所示的芯片2的周缘部的放大剖视图。参照图15~图17,半导体装置1H具有使半导体装置1A变形的形态。具体而言,半导体装置1H包括第二无机膜41,该第二无机膜41一体地具有栅极包覆部42、源极包覆部43以及外侧包覆部44。

[0300] 也就是,在该方式中,第二无机膜41包覆栅极电极30的周缘部(电极侧壁)、源极电极32的周缘部(电极侧壁)、多个栅极配线36A、36B的整个区域以及源极配线37的整个区域。与第一实施方式的情况相同,第二无机膜41具有使栅极电极30的内方部露出的栅极开口45、以及使源极电极32的内方部露出的源极开口46。

[0301] 外侧包覆部44是第二无机膜41中位于外侧面9的正上方的部分。更具体而言,外侧包覆部44是第二无机膜41中包覆外侧面9的周缘以及源极配线37之间的区域的部分。与第一实施方式的情况相同,单一或者多个贯通孔55形成于外侧包覆部44。也就是,单一或者多个贯通孔55仅形成于外侧面9侧的区域,而不形成于活性面8侧的区域。单一或者多个贯通孔55的布局与第一实施方式的情况相同,因此省略该布局的说明。

[0302] 在该方式中,有机膜60隔着第二无机膜41包覆栅极电极30的周缘部(电极侧壁)、源极电极32的周缘部(电极侧壁)、多个栅极配线36A、36B的整个区域以及源极配线37的整个区域。有机膜60的其它结构与第一实施方式的情况相同,因此省略有机膜60的其它结构的说明。一体地包括栅极包覆部42、源极包覆部43以及外侧包覆部44的第二无机膜41也可以应用于第二~第七实施方式的半导体装置1B~1G。

[0303] 图18是表示第九实施方式的半导体装置1I的俯视图。图19是沿图18所示的XIX-XIX线的剖视图。图20是表示第一极性电极84的布局例的俯视图。图21是表示第二无机膜41的布局例的俯视图。图22是表示芯片2的周缘部的放大剖视图。

[0304] 参照图18~图22,半导体装置1I包括上述的芯片2。在该方式中,芯片2不具有台面部11,包括平坦的第一主面3。也就是,半导体装置1I不具有第一~第四连接面10A~10D,包括与活性面8位于同一平面上的外侧面9。半导体装置1I包括形成于活性面8的作为器件结构的一例的SBD(Schottky Barrier Diode,肖特基势垒二极管)结构80。

[0305] 半导体装置1I包括形成于活性面8的n型的二极管区域81。在该方式中,二极管区域81利用第一半导体区域6的一部分而形成。

[0306] 半导体装置1I包括在第一主面3中从外侧面9划分出活性面8的p型的保护区域82。保护区域82从第一主面3的周缘向内方空出间隔地形成于第一半导体区域6的表层部,从外

侧面9划分出二极管区域81。在该方式中,保护区域82在俯视时形成为包围二极管区域81的环状(在该方式中为四边环状)。保护区域82具有二极管区域81侧的内缘部、以及第一主面3的周缘侧的外缘部。

[0307] 半导体装置1I包括选择性地包覆第一主面3的上述的第一无机膜27。第一无机膜27具有在活性面8侧使二极管区域81以及保护区域82的内缘部露出的开口83。第一无机膜27包覆外侧面9(第一主面3的周缘部)。在该方式中,第一无机膜27与第一~第四侧面5A~5D相连。

[0308] 第一无机膜27的外壁也可以由具有研磨痕的研磨面构成。第一无机膜27的外壁也可以与第一~第四侧面5A~5D形成一个研磨面。当然,第一无机膜27的外壁也可以由不具有研磨痕的平滑面构成。另外,第一无机膜27的外壁也可以从第一主面3的周缘向内方空出间隔地形成,使第一半导体区域6从外侧面9露出。

[0309] 半导体装置1I包括配置在第一主面3上的第一极性电极84(主面电极)。在该方式中,第一极性电极84是“阳极电极”。第一极性电极84从第一主面3的周缘向内方空出间隔地配置。在该方式中,第一极性电极84在俯视时形成为沿第一主面3的周缘的四边形状。第一极性电极84从第一无机膜27上进入开口83,与第一主面3以及保护区域82的内缘部电连接。

[0310] 第一极性电极84与二极管区域81(第一半导体区域6)形成肖特基结。由此,形成有SBD结构80。第一极性电极84的平面面积优选为第一主面3的50%以上。第一极性电极84的平面面积特别优选为第一主面3的75%以上。第一极性电极84也可以具有0.5μm以上且15μm以下的厚度。第一极性电极84优选比第一无机膜27厚。

[0311] 第一极性电极84也可以具有包含Ti系金属膜以及Al系金属膜的层叠结构。Ti系金属膜也可以具有由Ti膜或者TiN膜构成的单层结构。Ti系金属膜也可以具有以任意的顺序包含Ti膜以及TiN膜的层叠结构。Al系金属膜优选比Ti系金属膜厚。Al系金属膜也可以包含纯Al膜(纯度为99%以上的Al膜)、AlCu合金膜、AlSi合金膜、以及AlSiCu合金膜中的至少一个。

[0312] 半导体装置1I包括在第一无机膜27中形成于包覆外侧面9(第一主面3的周缘部)的部分的上述的至少一个(单一或者多个)基底贯通孔40。单一或者多个基底贯通孔40在俯视时从保护区域82以及外侧面9的周缘空出间隔地形成,使外侧面9露出。

[0313] 在该方式中,基底贯通孔40在俯视时从第一极性电极84的周缘以及第一主面3的周缘空出间隔地形成。也就是,单一或者多个基底贯通孔40形成于第一极性电极84的周围。基底贯通孔40的开口边缘部优选形成为弯曲状。单一或者多个基底贯通孔40的布局与第一实施方式的情况相同,因此省略该布局的说明。

[0314] 半导体装置1I包括选择性地包覆第一无机膜27以及第一极性电极84的上述的第二无机膜41。在该方式中,第二无机膜41包括电极包覆部85以及外侧包覆部44。电极包覆部85仅包覆第一极性电极84,使第一无机膜27露出。电极包覆部85从第一极性电极84的周缘向内方空出间隔地配置在第一极性电极84上,使第一极性电极84的周缘部露出。

[0315] 具体而言,电极包覆部85使第一极性电极84的电极侧壁露出。电极包覆部85在俯视时形成为沿第一极性电极84的周缘部延伸的带状,划分出使第一极性电极84的内方部露出的接触开口86。在该方式中,接触开口86在俯视时形成为四边形状。

[0316] 外侧包覆部44在外侧面9(第一主面3的周缘部)包覆第一无机膜27。在该方式中,

外侧包覆部44从第一主面3的周缘(第一～第四连接面10A～10D)以及第一极性电极84的周缘空出间隔地包覆第一无机膜27。也就是,外侧包覆部44不包覆金属(电极)。

[0317] 外侧包覆部44在电极包覆部85以及外侧包覆部44之间的区域中划分出使第一极性电极84的周缘部(电极侧壁)露出的露出部87(除去部)。外侧包覆部44在俯视时形成为沿第一主面3的周缘延伸的带状。在该方式中,外侧包覆部44在俯视时形成为包围活性面8(具体而言为第一极性电极84)的环状(具体而言为四边环状)。外侧包覆部44具有活性面8侧的内缘部以及外侧面9的周缘侧的外缘部。

[0318] 外侧包覆部44的内缘部位于比第一极性电极84的周缘靠第一主面3的周缘侧,使第一无机膜27从与第一极性电极84之间露出。外侧包覆部44的外缘部从第一主面3的周缘向内方空出间隔地形成,在与第一主面3的周缘之间划分出切割道50。

[0319] 外侧包覆部44从第一无机膜27上进入基底贯通孔40内,在基底贯通孔40内与外侧面9(第一主面3的周缘部)直接连接。外侧包覆部44具有比基底贯通孔40的宽度大的宽度。外侧包覆部44从第一无机膜27上经由基底贯通孔40的内壁部进入基底贯通孔40内,经由基底贯通孔40的外壁部向第一无机膜27上引出。由此,外侧包覆部44包覆基底贯通孔40的内壁部以及外壁部双方。

[0320] 在该方式中,外侧包覆部44包括第一部分51以及第二部分52。第一部分51是在基底贯通孔40外包覆第一无机膜27的部分。第一部分51具有相对于活性面8位于外侧面9侧的表面。第二部分52是在基底贯通孔40内包覆外侧面9的部分。第二部分52具有相对于第一部分51的表面位于外侧面9侧的表面。也就是,第二部分52在与第一部分51之间划分出朝向外侧面9侧凹陷的凹槽部53(台阶部)。

[0321] 半导体装置1I包括形成于外侧包覆部44(第二无机膜41)的至少一个(也就是,单一或者多个)贯通孔55。在该方式中,单一或者多个贯通孔55在俯视时从第一极性电极84的周缘以及第一主面3的周缘空出间隔地形成。此外,单一或者多个贯通孔55的布局与第一实施方式的情况相同,因此省略该布局的说明。

[0322] 半导体装置1I包括包覆第二无机膜41的上述的有机膜60。有机膜60填埋第二无机膜41的露出部87并包覆第二无机膜41的电极包覆部85以及外侧包覆部44。有机膜60在露出部87包覆第一极性电极84的周缘部(电极侧壁)。

[0323] 有机膜60中包覆第一极性电极84的部分划分出使第一极性电极84的内方部露出的焊盘开口88。在该方式中,焊盘开口88在俯视时形成为四边形状,且与接触开口86连通。焊盘开口88也可以使电极包覆部85的内缘部露出。当然,有机膜60也可以包覆电极包覆部85的整个区域。

[0324] 有机膜60在外侧面9侧(第一主面3的周缘侧)填埋全部的贯通孔55(单一或者多个贯通孔55)并包覆第二无机膜41的外侧包覆部44。由此,有机膜60具有位于单一或者多个贯通孔55内的单一或者多个锚固部65。单一或者多个锚固部65具有与单一或者多个贯通孔55的布局匹配的布局。有机膜60相对于第二无机膜41(外侧包覆部44)的连接面积通过锚固部65而增加。

[0325] 在剖视时使第一无机膜27露出的第一型贯通孔56形成于外侧包覆部44的情况下,有机膜60具有在第一型贯通孔56内与第一无机膜27以及外侧包覆部44相接的第一型锚固部66。在剖视时使外侧面9(第一主面3)露出的第二型贯通孔57形成于外侧包覆部44的情况

下,有机膜60具有在第二型贯通孔57内与外侧面9(第一主面3)以及外侧包覆部44相接的第二型锚固部67。

[0326] 在第二型贯通孔57使外侧面9(第一主面3)、基底贯通孔40的壁部以及第一无机膜27露出的情况下,第二型锚固部67在第二型贯通孔57内与外侧面9(第一主面3)、基底贯通孔40的壁部、第一无机膜27以及外侧包覆部44相接。在第二型贯通孔57使基底贯通孔40的内壁部、外侧面9(第一主面3)以及基底贯通孔40的外壁部露出的情况下,第二型锚固部67与基底贯通孔40的内壁部、外侧面9(第一主面3)以及基底贯通孔40的外壁部相接。第二型锚固部67在基底贯通孔40内与外侧面9连接的同时,与外侧面9(第一主面3)以及第一无机膜27之间的台阶部啮合。

[0327] 在该方式中,有机膜60包覆外侧包覆部44的第一部分51以及第二部分52,且包覆由第一部分51以及第二部分52划分出的凹槽部53。也就是,有机膜60从第一部分51上进入第一型贯通孔56,在第一型贯通孔56内包覆第一无机膜27。另外,有机膜60从第一部分51上进入凹槽部53,在凹槽部53内包覆第二部分52。

[0328] 并且,有机膜60在凹槽部53内从第二部分52上进入基底贯通孔40(第二型贯通孔57)内,在基底贯通孔40(第二型贯通孔57)内包覆外侧面9以及第一无机膜27。有机膜60相对于第二无机膜41(外侧包覆部44)的连接面积也通过凹槽部53而增加。在该方式中,上述连接面积通过由基底贯通孔40、凹槽部53以及第二型贯通孔57形成的台阶结构而增加。

[0329] 有机膜60的外缘部从外侧面9的周缘向内方空出间隔地形成,在与外侧面9的周缘之间划分出切割道50。在该方式中,有机膜60的外缘部使第二无机膜41的外缘部露出。也就是,有机膜60与第二无机膜41一起划分出切割道50。当然,有机膜60也可以包覆第二无机膜41的外缘部的整个区域。

[0330] 半导体装置1I包括包覆第二主面4的第二极性电极89(第二主面电极)。第二极性电极89在该方式是“阴极电极”。第二极性电极89与第二主面4电连接。第二极性电极89与从第二主面4露出的第二半导体区域7形成欧姆接触。第二极性电极89也可以以与芯片2的周缘(第一~第四侧面5A~5D)相连的方式包覆第二主面4的整个区域。

[0331] 第二极性电极89也可以从芯片2的周缘向内方空出间隔地包覆第二主面4。第二极性电极89构成为在与第一极性电极84之间施加500V以上且3000V以下的电压。也就是,芯片2形成为在第一主面3以及第二主面4之间施加500V以上且3000V以下的电压。

[0332] 以上,半导体装置1I包括芯片2、第二无机膜41(无机膜)、贯通孔55以及有机膜60。芯片2具有第一主面3。第二无机膜41包含绝缘体,包覆第一主面3的周缘部。贯通孔55形成于第二无机膜41。有机膜60填埋贯通孔55并包覆第二无机膜41。

[0333] 根据该结构,具有贯通孔55引起的凹凸的粘接区域形成于第二无机膜41以及有机膜60之间。由此,能够提高有机膜60相对于第二无机膜41的连接强度。其结果,在第二无机膜41、有机膜60产生了应力的情况下,能够抑制有机膜60从第二无机膜41剥离。

[0334] 另外,通过具有凹凸的粘接区域,能够延长湿气(水分)的侵入路径。其结果,能够抑制以第二无机膜41以及有机膜60之间的区域为起点的湿气的进入,因此能够抑制湿气引起的劣化(包含腐蚀)。因而,能够提供可提高可靠性的半导体装置1I。

[0335] 在其它观点中,半导体装置1I包括芯片2、第一无机膜27、第二无机膜41、至少一个贯通孔55、以及有机膜60。芯片2具有第一主面3。第一无机膜27包含绝缘体,且包覆第一主

面3。第二无机膜41包含绝缘体,且包覆第一无机膜27。贯通孔55形成于第二无机膜41。有机膜60填埋贯通孔55并包覆第二无机膜41。

[0336] 根据该结构,具有贯通孔55引起的凹凸的粘接区域形成于第二无机膜41以及有机膜60之间。由此,能够提高有机膜60相对于第二无机膜41的连接强度。其结果,在第二无机膜41、有机膜60产生了应力的情况下,能够抑制有机膜60从第二无机膜41剥离。

[0337] 另外,通过具有凹凸的粘接区域,能够延长湿气的侵入路径。其结果,能够抑制以第二无机膜41以及有机膜60之间的区域为起点的湿气的进入,因此能够抑制湿气引起的劣化。因而,能够提供可提高可靠性的半导体装置1A。这样,根据半导体装置1I,能够起到与第一实施方式的半导体装置1A相同的效果。

[0338] 图23与图22对应,是表示第十实施方式的半导体装置1J的图。参照图23,半导体装置1J具有使半导体装置1I变形的形态。具体而言,半导体装置1J包括以与外侧面9的周缘(第一～第四侧面5A～5D)相连的方式形成于第一无机膜27的基底贯通孔40。

[0339] 与第九实施方式的情况相同,基底贯通孔40形成于比保护区域82(第一极性电极84)靠外侧面9的周缘侧。基底贯通孔40形成为沿外侧面9的周缘(第一～第四侧面5A～5D)延伸的环状(具体而言为四边环状),使外侧面9的周缘部露出。

[0340] 在该方式中,第二无机膜41的外侧包覆部44从第一无机膜27上向基底贯通孔40内引出,在基底贯通孔40内包覆外侧面9的周缘部。也就是,与第九实施方式的情况相同,第二无机膜41包括包覆第一无机膜27的第一部分51以及包覆外侧面9的第二部分52。外侧包覆部44在基底贯通孔40内从外侧面9的周缘(第一～第四侧面5A～5D)向内方空出间隔地形成,划分出使外侧面9的周缘部露出的切割道50。

[0341] 单一或者多个贯通孔55也可以形成于第二无机膜41的第一部分51以及第二无机膜41的第二部分52的任一方或者双方。也就是,单一或者多个贯通孔55也可以在剖视时具有第一型贯通孔56以及第二型贯通孔57的任一方或者双方。

[0342] 当然,单一或者多个贯通孔55也可以仅形成于第一部分51,而不形成于第二部分52。另外,单一或者多个贯通孔55也可以仅形成于第二部分52,而不形成于第一部分51。单一或者多个贯通孔55的布局与第九实施方式(第一实施方式)的情况相同,因此省略该布局的说明。

[0343] 图24与图22对应,是表示第十一实施方式的半导体装置1K的图。参照图24,半导体装置1K具有使半导体装置1I变形的形态。具体而言,半导体装置1K包括在俯视时以及在剖视时使第一无机膜27的基底贯通孔40的整个区域露出的上侧贯通孔70(第二型贯通孔57)。

[0344] 上侧贯通孔70通过在半导体装置1I中除去外侧包覆部44中的第二部分52而形成。因此,侧包覆部仅具有包覆第一无机膜27的第一部分51,而不具有位于基底贯通孔40内的第二部分52。上侧贯通孔70也可以在俯视时形成为包围活性面8的环状(具体而言为四边环状)。

[0345] 半导体装置1K也可以包括由上侧贯通孔70(第二型贯通孔57)构成的单一贯通孔55。当然,半导体装置1K除了上侧贯通孔70(第二型贯通孔57)以外也可以包括包含第一型贯通孔56的单一或者多个贯通孔55。该情况下,上侧贯通孔70以外的贯通孔55的布局是任意的。例如,在第九实施方式(第一实施方式)中叙述的贯通孔55的多个布局(例如第一～第二十布局例)中的至少一个也可以作为上侧贯通孔70以外的贯通孔55的布局来应用。

[0346] 在该方式中,有机膜60从第二无机膜41上进入第一型贯通孔56,在第一型贯通孔56内与第一无机膜27相接。有机膜60从第二无机膜41上进入上侧贯通孔70(第二型贯通孔57),在上侧贯通孔70内从第一无机膜27上进入基底贯通孔40。有机膜60在基底贯通孔40内与外侧面9以及第一无机膜27相接。使基底贯通孔40的整个区域露出的上侧贯通孔70也可以应用于第十实施方式的半导体装置1J。

[0347] 图25与图22对应,是表示第十二实施方式的半导体装置1L的图。参照图25,半导体装置1L具有使半导体装置1I变形的形态。具体而言,半导体装置1L在第一无机膜27中不具有基底贯通孔40。

[0348] 单一或者多个贯通孔55仅使第一无机膜27露出,不使外侧面9露出。另外,单一或者多个贯通孔55仅包括在剖视时使第一无机膜27露出的第一型贯通孔56,不包括使外侧面9露出的第二型贯通孔57。单一或者多个贯通孔55的布局与第九实施方式(第一实施方式)的情况相同,因此省略该布局的说明。

[0349] 有机膜60从第二无机膜41上进入单一或者多个贯通孔55(第一型贯通孔56)。在该方式中,有机膜60在单一或者多个贯通孔55内仅与第一无机膜27以及第二无机膜41相接,不与外侧面9相接。

[0350] 图26与图22对应,是表示第十三实施方式的半导体装置1M的图。参照图26,半导体装置1M具有使半导体装置1I变形的形态。与第九实施方式(第一实施方式)的情况相同,半导体装置1M包括单一或者多个基底贯通孔40。在图26中,作为一例,示出了形成有多个基底贯通孔40的例子。

[0351] 在该方式中,外侧包覆部44以使基底贯通孔40露出的方式从基底贯通孔40向活性面8侧空出间隔地形成。在该方式中,外侧包覆部44配置在保护区域82(具体而言为第一极性电极84)以及基底贯通孔40之间的区域。

[0352] 在该方式中,单一或者多个贯通孔55仅使第一无机膜27露出,不使外侧面9露出。另外,单一或者多个贯通孔55仅包括在剖视时使第一无机膜27露出的第一型贯通孔56,不包括使外侧面9露出的第二型贯通孔57。单一或者多个贯通孔55的布局与第九实施方式(第一实施方式)的情况相同,因此省略该布局的说明。

[0353] 在该方式中,有机膜60在外侧面9侧(第一主面3的周缘侧)中填埋全部的基底贯通孔40并包覆第一无机膜27。由此,有机膜60具有位于单一或者多个基底贯通孔40内的单一或者多个基底锚固部75。多个基底锚固部75具有与单一或者多个基底贯通孔40的布局匹配的布局。有机膜60相对于第一无机膜27的连接面积通过基底锚固部75而增加。

[0354] 另外,有机膜60在外侧面9侧(第一主面3的周缘侧)填埋全部的贯通孔55(单一或者多个贯通孔55)并包覆第二无机膜41。由此,有机膜60具有位于单一或者多个贯通孔55内的单一或者多个锚固部65。单一或者多个锚固部65具有与单一或者多个贯通孔55的布局匹配的布局。有机膜60相对于第二无机膜41的连接面积通过锚固部65而增加。

[0355] 以上,半导体装置1M包括芯片2、第一无机膜27(无机膜)、基底贯通孔40(贯通孔55)以及有机膜60。芯片2具有第一主面3。第一无机膜27包含绝缘体,且包覆第一主面3。基底贯通孔40形成于第一无机膜27。有机膜60填埋基底贯通孔40并包覆第一无机膜27。

[0356] 根据该结构,能够提高有机膜60相对于第一无机膜27的连接强度。由此,在第一无机膜27、有机膜60产生了应力的情况下,能够抑制有机膜60从第一无机膜27剥离。因而,能

够抑制以剥离部为起点的湿气的进入,因此能够抑制湿气引起的劣化。因而,能够提供可提高可靠性的半导体装置1M。这样,根据半导体装置1M,起到与第五实施方式的半导体装置1E的效果相同的效果。

[0357] 图27与图22对应,是表示第十四实施方式的半导体装置1N的图。参照图27,半导体装置1N具有使半导体装置1M变形的形态。具体而言,半导体装置1N在第二无机膜41中不具有贯通孔55。

[0358] 图28与图22对应,是表示第十五实施方式的半导体装置10的图。参照图28,半导体装置10具有使半导体装置1M变形的形态。具体而言,半导体装置10包括第二无机膜41,该第二无机膜41具有栅极包覆部42以及源极包覆部43,而不具有外侧包覆部44。当然,半导体装置10也可以不具有第二无机膜41。

[0359] 图29与图19对应,是表示第十六实施方式的半导体装置1P的图。图30是表示图29所示的第二无机膜41的布局例的俯视图。图31是表示图29所示的芯片2的周缘部的放大剖视图。参照图29～图31,半导体装置1P具有使半导体装置1I变形的形态。具体而言,半导体装置1P包括第二无机膜41,该第二无机膜41一体地具有电极包覆部85以及外侧包覆部44。

[0360] 也就是,在该方式中,第二无机膜41包覆第一极性电极84的周缘部(电极侧壁)。与第九实施方式的情况相同,第二无机膜41具有使第一极性电极84的内方部露出的接触开口86。外侧包覆部44是第二无机膜41中位于外侧面9的正上方的部分。更具体而言,外侧包覆部44是第二无机膜41中包覆外侧面9的周缘以及第一极性电极84之间的区域的部分。

[0361] 与第九实施方式的情况相同,单一或者多个贯通孔55形成于外侧包覆部44。也就是,单一或者多个贯通孔55仅形成于外侧面9侧的区域,不形成于活性面8侧的区域。单一或者多个贯通孔55的布局与第九实施方式(第一实施方式)的情况相同,因此省略该布局的说明。

[0362] 在该方式中,有机膜60隔着第二无机膜41包覆第一极性电极84的周缘部(电极侧壁)。有机膜60的其它结构与第九实施方式的情况相同,因此省略有机膜60的其它结构的说明。一体地具有电极包覆部85以及外侧包覆部44的第二无机膜41也可以应用于第十～第十五实施方式的半导体装置1J～10。

[0363] 以下,参照图32以及图33,示出了应用于各实施方式的芯片2的变形例。在图32以及图33中,示出了变形例的芯片2应用于半导体装置1A的形态。但是,变形例的芯片2也可以应用于第二～第十六实施方式。

[0364] 参照图32,半导体装置1A也可以包括在芯片2的内部比第一半导体区域6薄的第二半导体区域7。也就是,芯片2也可以包括比半导体基板厚的外延层。第一半导体区域6也可以具有1μm以上且50μm以下(优选为5μm以上且25μm以下)的厚度。第二半导体区域7也可以具有0.1μm以上且小于50μm的厚度。第二半导体区域7的厚度也可以为5μm以上(优选为10μm以上)。

[0365] 参照图33,半导体装置1A也可以在芯片2的内部不具有第二半导体区域7,而是仅包括第一半导体区域6。该情况下,第一半导体区域6从芯片2的第一主面3、第二主面4以及第一～第四侧面5A～5D露出。也就是,在该方式中,芯片2不具有半导体基板,具有由外延层构成的单层结构。第一半导体区域6也可以具有1μm以上且50μm以下(优选为5μm以上且25μm以下)的厚度。

[0366] 上述的各实施方式还能够以其它方式来实施。例如,在上述的各实施方式中公开的特征能够在它们之间适当组合。即,也可以采用同时包括在上述的第一～第十六实施方式中公开的特征中的至少两个特征。

[0367] 在上述的第一～第八实施方式中,示出了具有台面部11的芯片2。但是,也可以采用不具有台面部11而是具有平坦地延伸的第一主面3的芯片2。该情况下,去除侧壁结构26。

[0368] 在上述的第一～第八实施方式中,示出了具有源极配线37的形态。但是,也可以采用不具有源极配线37的形态。在上述的第一～第八实施方式中,示出了在芯片2的内部控制沟道的沟槽栅极型的栅极结构15。但是,也可以采用从第一主面3上控制沟道的平面栅极型的栅极结构15。

[0369] 在上述的第九～第十六实施方式中,示出了不具有台面部11的芯片2。但是,也可以采用具有台面部11的芯片2。在上述的第九～第十六实施方式中,示出了在第一主面3的表层部形成有一个保护区域82的例子。但是,也可以在第一主面3的表层部空出间隔地形成有多个保护区域82。该情况下,外侧包覆部44也可以隔着第一无机膜27而与一个或者多个保护区域82对置。

[0370] 在上述的各实施方式中,示出了MISFET结构12以及SBD结构80形成于不同的芯片2的形态。但是,MISFET结构12以及SBD结构80也可以在同一芯片2中形成于第一主面3的不同的区域。该情况下,SBD结构80也可以作为MISFET结构12的环流二极管而形成。并且,该情况下,也可以是源极电极32兼作第一极性电极84、漏极电极68兼作第二极性电极89。

[0371] 在上述的各实施方式中,示出了“第一导电型”为“n型”、“第二导电型”为“p型”的形态。但是,在上述的各实施方式中,也可以采用“第一导电型”为“p型”、“第二导电型”为“n型”的形态。该情况的具体的结构通过在上述的说明以及附图中将“n型”置换为“p型”的同时,将“p型”置换为“n型”而得到。

[0372] 在上述的第一～第八实施方式中,示出了n型的第二半导体区域7。但是,也可以采用p型的第二半导体区域7。该情况下,形成IGBT(Insulated Gate Bipolar Transistor,绝缘栅双极晶体管)结构来代替MISFET结构12。该情况下,在上述的说明中,MISFET结构12的“源极”置换为IGBT结构的“发射极”,MISFET结构12的“漏极”置换为IGBT结构的“集电极”。p型的第二半导体区域7也可以是包含通过离子注入法导入到芯片2的第二主面4的表层部的p型杂质的杂质区域。

[0373] 以下,示出了从该说明书以及附图提取出的特征例。以下,附图标记等表示上述的各实施方式中的对应构成要素等,并非将各项目(Clause)的范围限定于实施方式的意思。以下的项目的“半导体装置”也可以根据需要置换为“宽带隙半导体装置”、“SiC半导体装置”、“半导体开关装置”、“半导体整流装置”等。

[0374] [A1]一种半导体装置1A～1P,包括:

[0375] 芯片2,其具有主面3;第一无机膜27,其包含绝缘体,且包覆上述主面3;第二无机膜41,其包含绝缘体,且包覆上述第一无机膜27;至少一个贯通孔55,其形成于上述第二无机膜41;以及有机膜60,其填埋上述贯通孔55并包覆上述第二无机膜41。

[0376] [A2]根据A1所记载的半导体装置1A～1P,

[0377] 至少一个上述贯通孔55包括在剖视时使上述第一无机膜27露出的膜侧贯通孔56,上述有机膜60具有在上述膜侧贯通孔56内与上述第一无机膜27相接的部分66。

[0378] [A3]根据A1或A2所记载的半导体装置1A～1P，

[0379] 至少一个上述贯通孔55包括在剖视时使上述主面3露出的面侧贯通孔57，上述有机膜60具有在上述面侧贯通孔57内与上述主面3相接的部分67。

[0380] [A4]根据A3所记载的半导体装置1A～1P，

[0381] 上述面侧贯通孔57在剖视时使上述主面3以及上述第一无机膜27露出，上述有机膜60在上述面侧贯通孔57内与上述主面3以及上述第一无机膜27双方相接。

[0382] [A5]根据A1～A4中任一项所记载的半导体装置1A～1P，

[0383] 上述第一无机膜27包括使上述主面3露出的基底贯通孔40，上述第二无机膜41具有在上述基底贯通孔40外包覆上述第一无机膜27的第一部分51、以及在上述基底贯通孔40内包覆上述主面3的第二部分52，上述有机膜60具有包覆上述第一部分51的部分、以及包覆上述第二部分52的部分。

[0384] [A6]根据A5所记载的半导体装置1A～1P，

[0385] 上述第二部分52具有相对于上述第一部分51的表面的高度位置位于上述主面3侧的表面，且在与上述第一部分51之间形成台阶部53。

[0386] [A7]根据A5或A6所记载的半导体装置1A～1P，

[0387] 上述第二无机膜41具有小于上述基底贯通孔40的宽度的1/2的厚度。

[0388] [A8]根据A5～A7中任一项所记载的半导体装置1A～1P，

[0389] 至少一个上述贯通孔55包括在剖视时使上述基底贯通孔40的壁部露出的壁侧贯通孔57，上述有机膜60具有在上述壁侧贯通孔57内与上述基底贯通孔40的壁部相接的部分67。

[0390] [A9]根据A1～A8中任一项所记载的半导体装置1A～1P，

[0391] 还包括配置在上述主面3的内方部的电极30、32、84，至少一个上述贯通孔55形成于上述电极30、32、84的周围。

[0392] [A10]根据A9所记载的半导体装置1A～1P，

[0393] 多个上述电极30、32、84空出间隔地配置在上述主面3的内方部，至少一个上述贯通孔55形成于多个上述电极30、32、84的周围。

[0394] [A11]根据A1～A10中任一项所记载的半导体装置1A～1P，

[0395] 还包括由第一面部8、第二面部9以及连接面部10A～10D划分在上述主面3上的台面部11，其中，该第一面部8形成于上述主面3的内方部，该第二面部9以从上述第一面部8向上述芯片2的厚度方向凹陷的方式形成于上述主面3的周缘部，该连接面部10A～10D连接上述第一面部8以及上述第二面部9，上述第一无机膜27包覆上述第二面部9，上述第二无机膜41在上述第二面部9侧包覆上述第一无机膜27，上述贯通孔55在上述第二面部9侧形成于上述第二无机膜41，上述有机膜60在上述第二面部9侧填埋上述贯通孔55并包覆上述第二无机膜41。

[0396] [A12]根据A11所记载的半导体装置1A～1P，

[0397] 上述第二无机膜41在上述第二面部9侧从上述第一面部8空出间隔地形成。

[0398] [A13]根据A11或A12所记载的半导体装置1A～1P，

[0399] 上述第二无机膜41在上述第二面部9侧不包覆金属。

[0400] [A14]根据A1～A13中任一项所记载的半导体装置1A～1P，

[0401] 上述第二无机膜41包含与上述第一无机膜27不同的绝缘体。

[0402] [A15]根据A1～A14中任一项所记载的半导体装置1A～1P,

[0403] 上述第一无机膜27包含氧化膜。

[0404] [A16]根据A1～A15中任一项所记载的半导体装置1A～1P,

[0405] 上述第二无机膜41包含氮化膜。

[0406] [A17]根据A1～A16中任一项所记载的半导体装置1A～1P,

[0407] 上述有机膜60包含感光性树脂膜。

[0408] [A18]根据A1～A17中任一项所记载的半导体装置1A～1P,

[0409] 上述芯片2包含宽带隙半导体的单晶。

[0410] [A19]根据A1～A18中任一项所记载的半导体装置1A～1P,

[0411] 上述芯片2包含SiC单晶。

[0412] [A20]根据A1～A19中任一项所记载的半导体装置1A～1P,

[0413] 上述芯片2具有200μm以下的厚度。

[0414] [A21]根据A1～A20中任一项所记载的半导体装置1A～1P,

[0415] 上述芯片2具有100μm以下的厚度。

[0416] [A22]根据A1～A21中任一项所记载的半导体装置1A～1P,

[0417] 上述芯片2具有80μm以下的厚度。

[0418] [A23]根据A1～A22中任一项所记载的半导体装置1A～1P,

[0419] 上述芯片2具有50μm以下的厚度。

[0420] [A24]根据A1～A23中任一项所记载的半导体装置1A～1P,

[0421] 上述芯片2具有包括基板7以及外延层6的层叠结构,且具有由上述外延层6形成的上述主面3。

[0422] [A25]根据A24所记载的半导体装置1A～1P,

[0423] 上述外延层6比上述基板7薄。

[0424] [A26]根据A24所记载的半导体装置1A～1P,

[0425] 上述外延层6比上述基板7厚。

[0426] [A27]根据A1～A23中任一项所记载的半导体装置1A～1P,

[0427] 上述芯片2具有由外延层6构成的单层结构。

[0428] [A28]根据A1～A27中任一项所记载的半导体装置1A～1P,

[0429] 还包括形成于上述主面3的内方部的器件结构12、80,至少一个上述贯通孔55形成于上述器件结构12、80的周围。

[0430] [A29]根据A28所记载的半导体装置1A～1P,

[0431] 上述器件结构12、80包括MISFET(Metal Insulator Semiconductor Field Effect Transistor,金属绝缘体半导体场效应晶体管)结构12以及SBD(Schottky Barrier Diode,肖特基势垒二极管)结构80中的至少一方。

[0432] [B1]一种半导体装置1A～1P,包括:

[0433] 芯片2,其具有主面3;无机膜27、41,其包含绝缘体,且包覆上述主面3;至少一个贯通孔40、55,其形成于上述无机膜27、41;以及有机膜60,其填埋上述贯通孔40、55并包覆上述无机膜27、41。

[0434] [B2]根据B1所记载的半导体装置1A～1P，

[0435] 上述贯通孔40、55使上述主面3露出，上述有机膜60在上述贯通孔40、55内与上述主面3相接。

[0436] [B3]根据B1或B2所记载的半导体装置，

[0437] 上述无机膜27、41包覆上述主面的周缘部，上述贯通孔40、55使上述主面3的周缘部露出，上述有机膜60在上述主面3的周缘部侧填埋上述贯通孔40、55并包覆上述无机膜27、41。

[0438] [B4]根据B1～B3中任一项所记载的半导体装置1A～1P，

[0439] 上述无机膜27、41由氧化膜构成。

[0440] [B5]根据B1～B3中任一项所记载的半导体装置1A～1P，

[0441] 上述无机膜27、41由氮化膜构成。

[0442] [B6]根据B1～B5中任一项所记载的半导体装置1A～1P，

[0443] 上述有机膜60由感光性树脂膜构成。

[0444] [B7]根据B1～B6中任一项所记载的半导体装置1A～1P，

[0445] 上述有机膜60比上述无机膜27、41厚。

[0446] [B8]根据B1～B7中任一项所记载的半导体装置1A～1P，

[0447] 还包括配置在上述主面3的内方部的电极30、32、84，上述贯通孔40、55形成于上述主面3的周缘以及上述电极30、32、84的周缘之间的区域。

[0448] [B9]根据B8所记载的半导体装置1A～1P，

[0449] 上述有机膜60具有包覆上述电极30、32、84的周缘部的部分，且具有使上述电极30、32、84的内方部露出的开口61、62、88。

[0450] [B10]根据B8或B9所记载的半导体装置1A～1P，

[0451] 单一或者多个上述贯通孔40、55以在俯视时包围上述电极30、32、84的方式形成于上述电极30、32、84的周围。

[0452] [B11]根据B8～B10中任一项所记载的半导体装置1A～1P，

[0453] 上述有机膜60比上述电极30、32、84厚。

[0454] [B12]根据B1～B11中任一项所记载的半导体装置1A～1P，

[0455] 多个上述贯通孔40、55空出间隔地形成于上述无机膜27、41，上述有机膜60填埋多个上述贯通孔40、55。

[0456] [B13]根据B1～B12中任一项所记载的半导体装置1A～1P，

[0457] 还包括形成于上述主面3的表层部的第一导电型的半导体区域6、以及在上述主面3的周缘部形成于上述半导体区域6的表层部的第二导电型的杂质区域21、82，上述贯通孔40、55在上述主面3的面方向上从上述杂质区域21、82向上述主面3的周缘侧空出间隔地形成。

[0458] [B14]根据B13所记载的半导体装置1A～1P，

[0459] 上述贯通孔40、55使上述半导体区域6露出。

[0460] [B15]根据B1～B14中任一项所记载的半导体装置1A～1P，

[0461] 还包括由第一面部8、第二面部9以及连接面部10A～10D划分在上述主面3的台面部11，其中，该第一面部8形成于上述主面3的内方部，该第二面部9以从上述第一面部8向上

述芯片2的厚度方向凹陷的方式形成于上述主面3的周缘部,该连接面部10A～10D连接上述第一面部8以及上述第二面部9,上述无机膜27、41包覆上述第二面部9,上述贯通孔40、55在上述第二面部9侧形成于上述无机膜27、41,上述有机膜60在上述第二面部9侧填埋上述贯通孔40、55并包覆上述无机膜27、41。

[0462] [B16]根据B15所记载的半导体装置1A～1P,

[0463] 上述有机膜60具有位于上述第一面部8的正上方的部分。

[0464] [B17]根据B1～B16中任一项所记载的半导体装置1A～1P,

[0465] 上述芯片2具有200μm以下的厚度。

[0466] [B18]根据B1～B17中任一项所记载的半导体装置1A～1P,

[0467] 上述芯片2包含宽带隙半导体的单晶。

[0468] [B19]根据B1～B18中任一项所记载的半导体装置1A～1P,

[0469] 上述芯片2包含SiC单晶。

[0470] [B20]根据B1～B19中任一项所记载的半导体装置1A～1P,

[0471] 还包括形成于上述主面3的内方部的器件结构12、80,至少一个上述贯通孔55形成于上述主面3的周缘部。

[0472] [C1]一种半导体装置1A～1P,包括:

[0473] 芯片2,其具有主面3;第一无机膜27,其包覆上述主面3;第一侧贯通孔40,其以使上述主面3露出的方式形成于上述第一无机膜27;第二无机膜41,其包覆上述第一无机膜27;第二侧贯通孔55,其以使上述第一无机膜27露出的方式形成于上述第二无机膜41;以及有机膜60,其包覆上述第一无机膜27以及上述第二无机膜41,具有在上述第一侧贯通孔40内与上述主面3相接的部分、以及在上述第二侧贯通孔55内与上述第一无机膜27相接的部分。

[0474] [C2]根据C1所记载的半导体装置1A～1P,

[0475] 上述第二无机膜41具有在上述第一侧贯通孔40外包覆上述第一无机膜27的第一部分51、以及在上述第一侧贯通孔40内包覆上述主面3的第二部分52,上述有机膜60包覆上述第二无机膜41的上述第一部分51以及上述第二部分52。

[0476] [C3]根据C2所记载的半导体装置1A～1P,

[0477] 上述第二部分52具有相对于上述第一部分51的表面的高度位置位于上述主面3侧的表面,且在与上述第一部分51之间形成有台阶。

[0478] [C4]根据C1～C3中任一项所记载的半导体装置1A～1P,

[0479] 至少一个上述第二侧贯通孔形成于与上述第一侧贯通孔重叠的位置。

[0480] [C5]根据C1～C4中任一项所记载的半导体装置1A～1P,

[0481] 至少一个上述第二侧贯通孔形成于不与上述第一侧贯通孔重叠的位置。

[0482] 以上,对实施方式进行了详细说明,但这些只不过是明确技术内容的具体例。从该说明书提取出的各种技术思想并不限制于说明书内的说明顺序、实施方式的顺序等,能够在它们之间适当组合。

[0483] 符号说明

[0484] 1A—半导体装置;1B—半导体装置;1C—半导体装置;1D—半导体装置;1E—半导体装置;1F—半导体装置;1G—半导体装置;1H—半导体装置;1I—半导体装置;1J—半导体

装置;1K—半导体装置;1L—半导体装置;1M—半导体装置;1N—半导体装置;1O—半导体装置;1P—半导体装置;2—芯片;3—第一主面;6—第一半导体区域(外延层);7—第二半导体区域(基板);8—活性面(第一面部);9—外侧面(第二面部);10A—第一连接面(连接面部);10B—第二连接面(连接面部);10C—第三连接面(连接面部);10D—第四连接面(连接面部);12—MISFET结构(器件结构);21—场区域(杂质区域);27—第一无机膜;30—栅极电极;32—源极电极;40—基底贯通孔;41—第二无机膜;42—栅极包覆部;43—源极包覆部;44—外侧包覆部;51—第一部分;52—第二部分;53—凹槽部(台阶部);55—贯通孔;56—第一型贯通孔(膜侧贯通孔);57—第二型贯通孔(壁侧贯通孔/面侧贯通孔);60—有机膜;61—栅极焊盘开口;62—源极焊盘开口;80—SBD结构(器件结构);82—保护区域(杂质区域);84—第一极性电极;85—电极包覆部;87—焊盘开口。

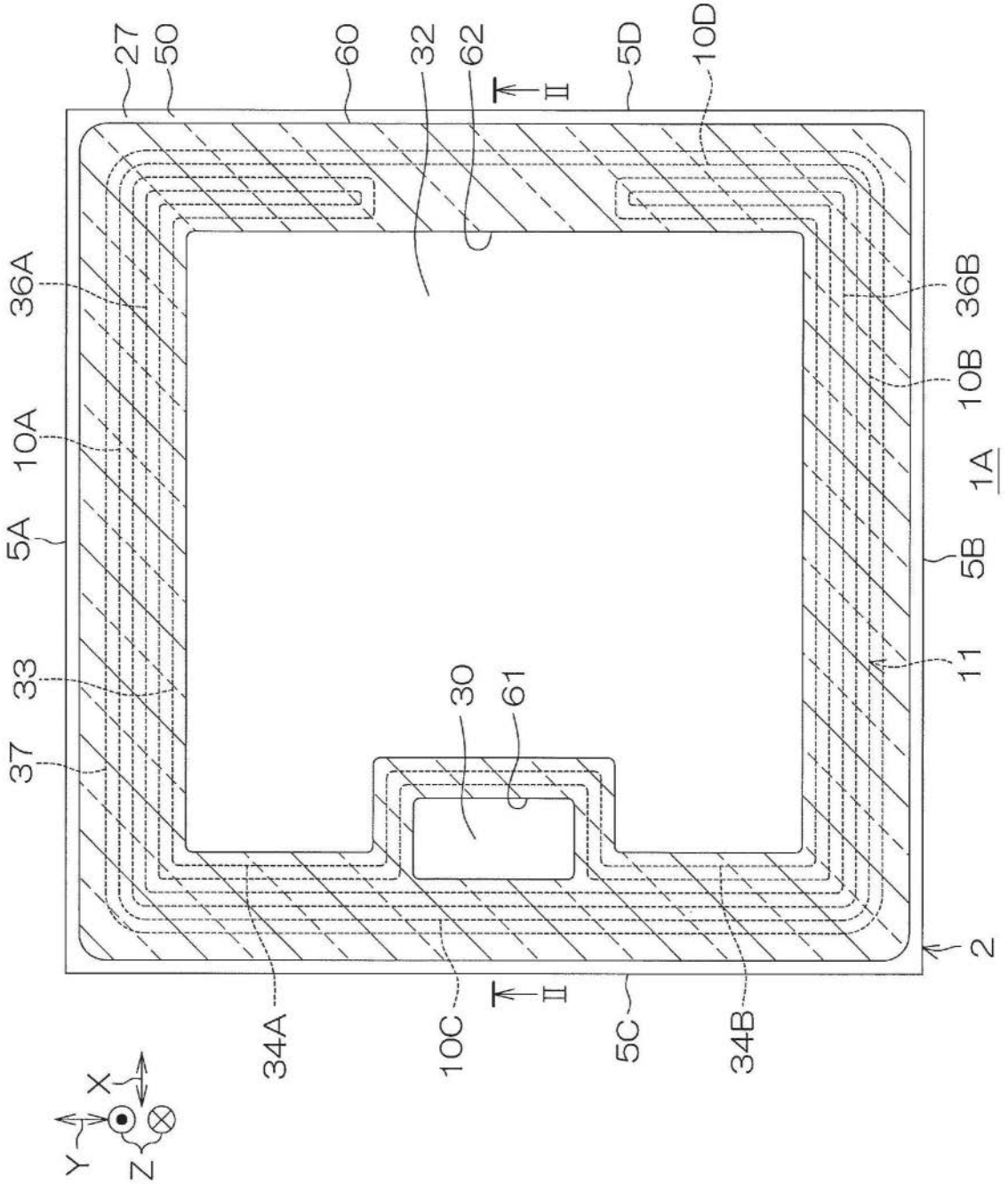

27
50
60
32
62
II
5D
10D
36A
36B
10B
10A
1A
5A
5B
33
30
61
11
37
2
34A
10C
II
5C
34B
X
Y
Z

图1

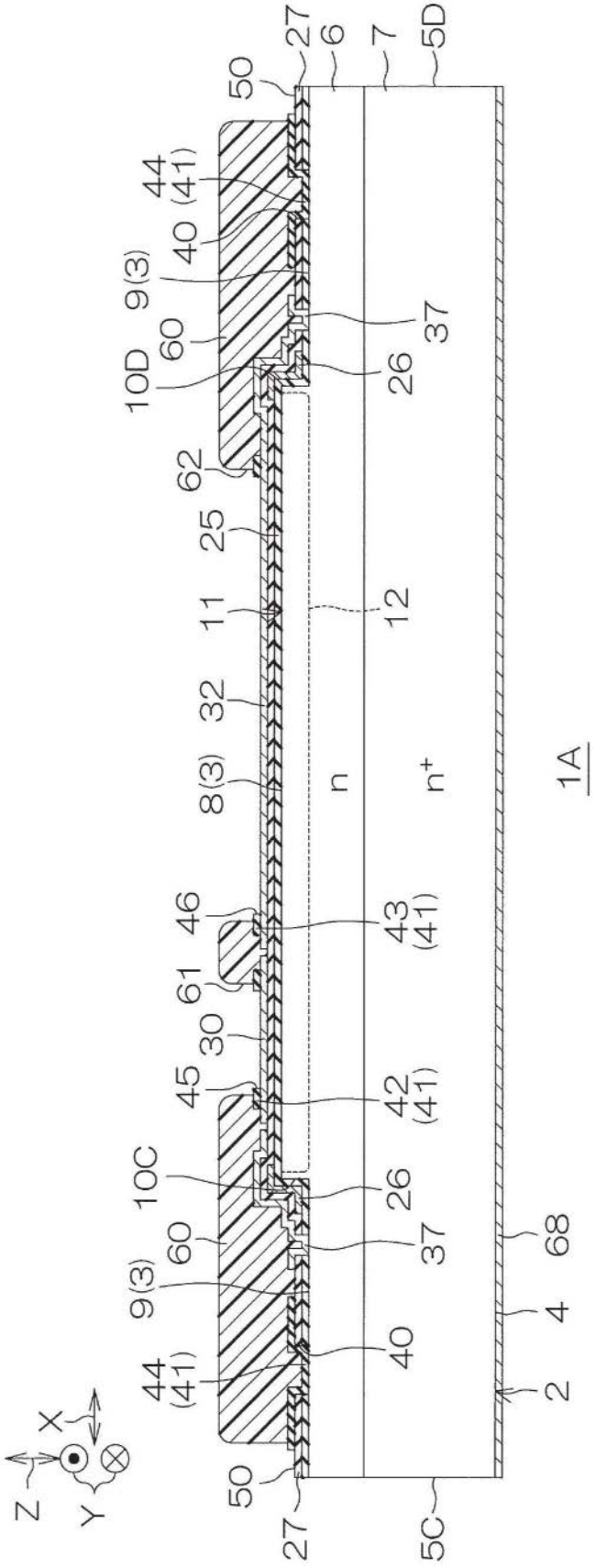

27
6
7
5D
50
44
(41)
40
9(3)
60
10D
62
25
11
12
32
8(3)
n
n+
1A
46
43
(41)
61
30
45
42
(41)
10C
26
37
60
9(3)
44
(41)
40
50
27
5C
68
4
2
X
Z
Y

图2

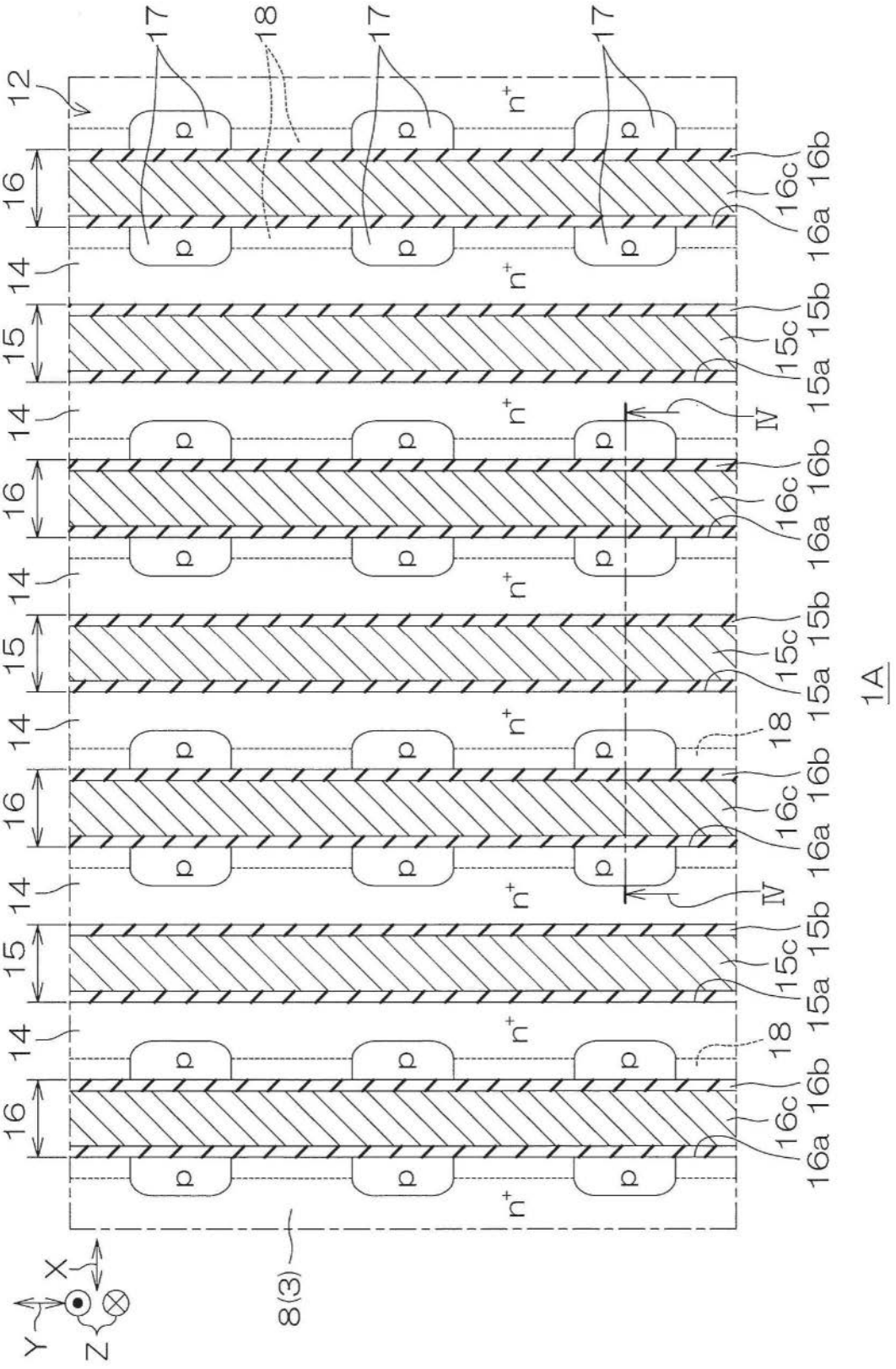


图3

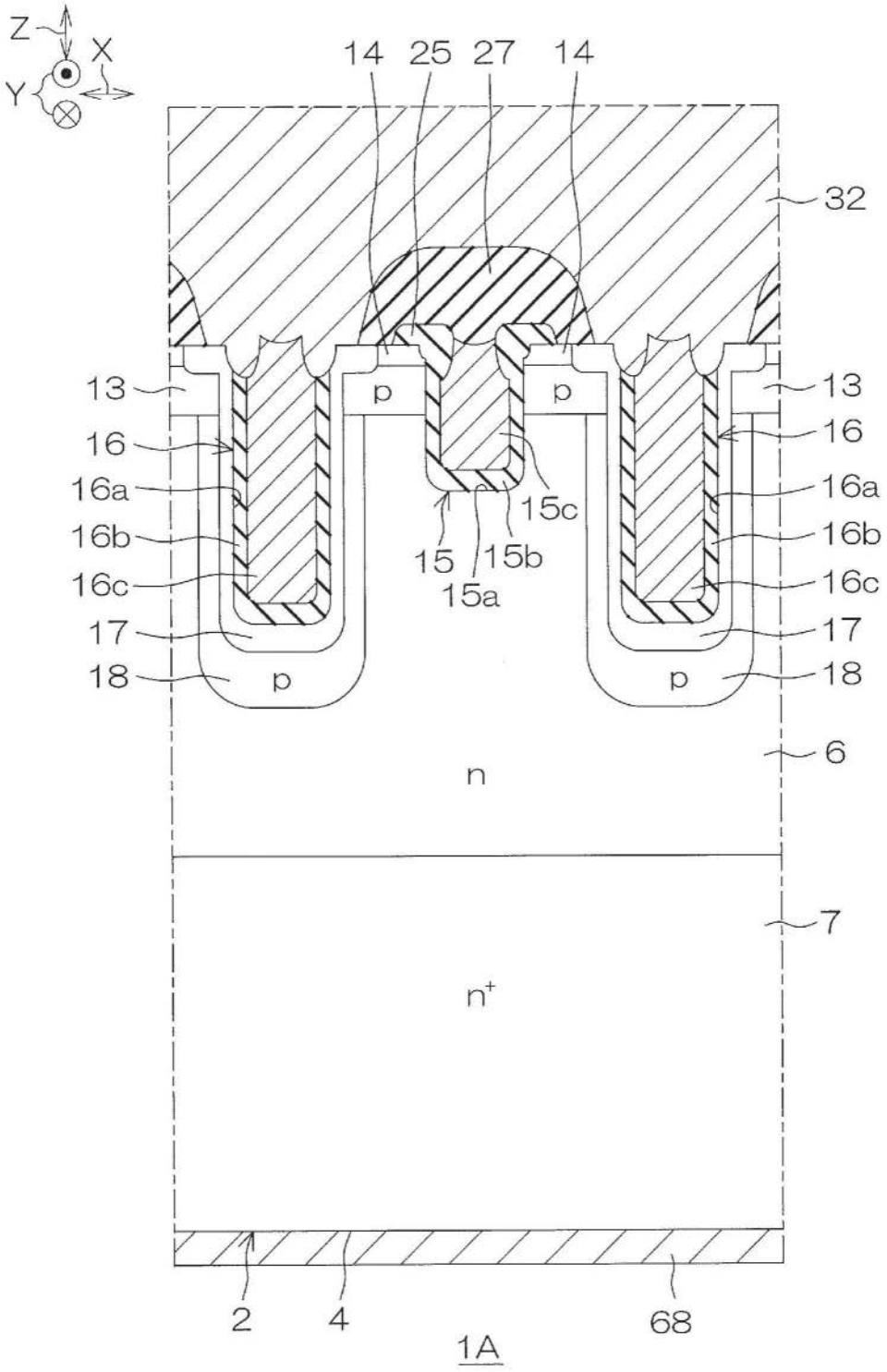

Z
X
Y
14
25
27
14
32
13
13
16
16
16a
16a
16b
16b
16c
16c
15c
15
15b
15a
17
17
18
18
p
p
p
p
n
6
7
n+
2
4
68
1A

图4

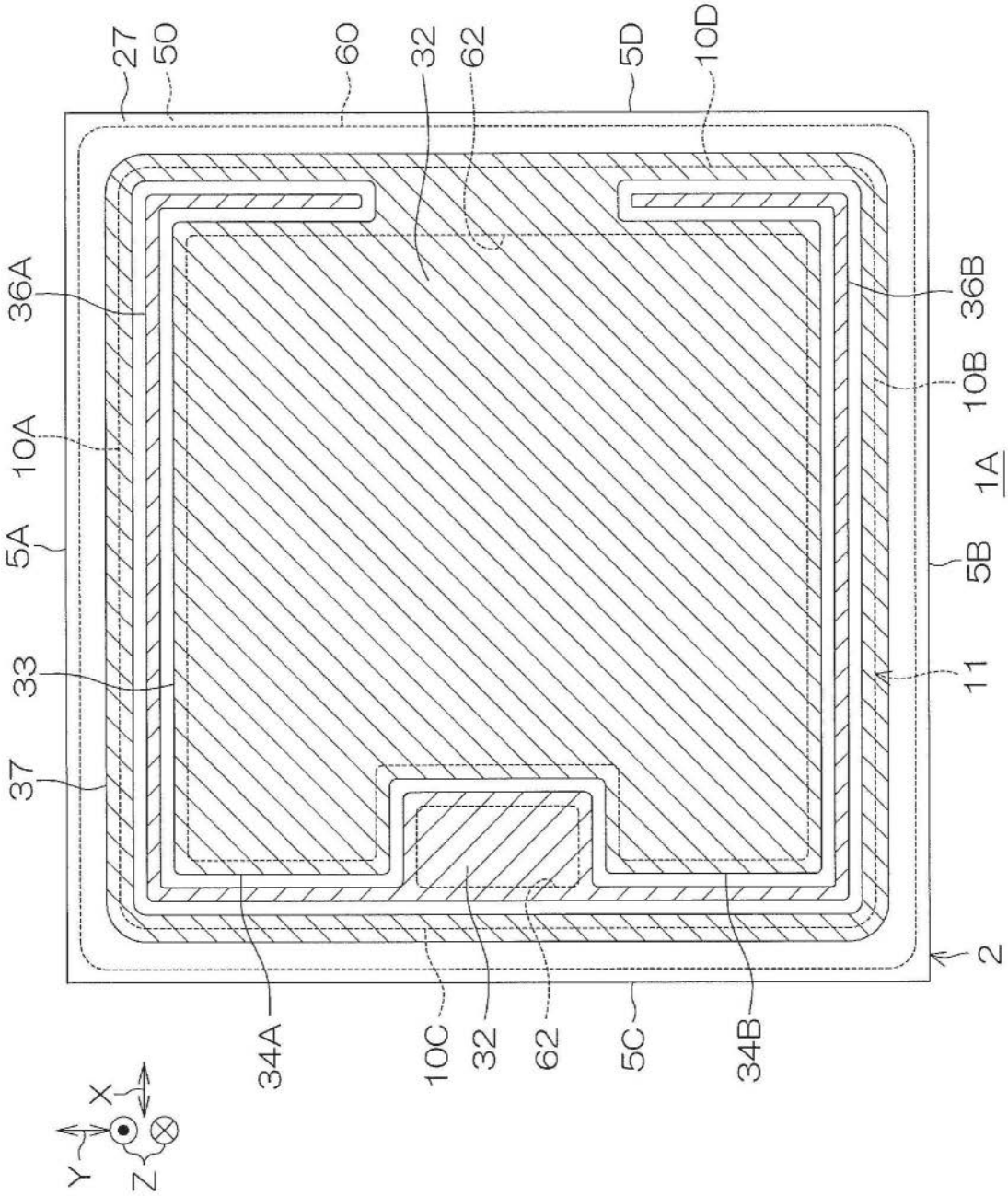

27
50
60
32
62
5D
10D
36A
36B
10B
10A
1A
5A
5B
33
11
37
2
34A
10C
32
62
5C
34B
X
Y
Z

图5

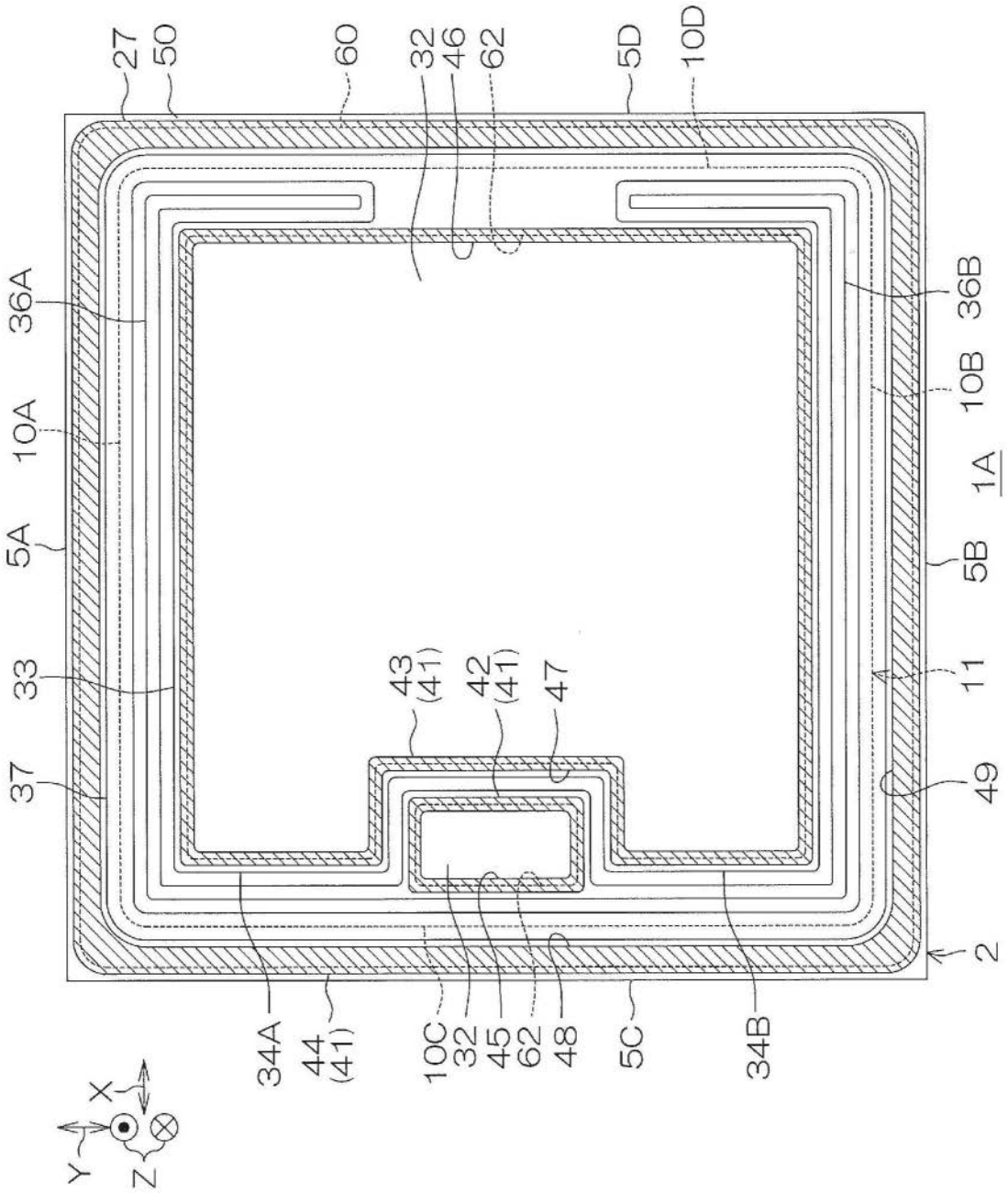

27
50
60
32
46
62
5D
10D
36A
36B
10A
10B
1A
5A
5B
33
43
(41)
42
(41)
47
11
37
49
2
34A
44
(41)
10C
32
45
62
48
5C
34B
X
Y
Z

图6

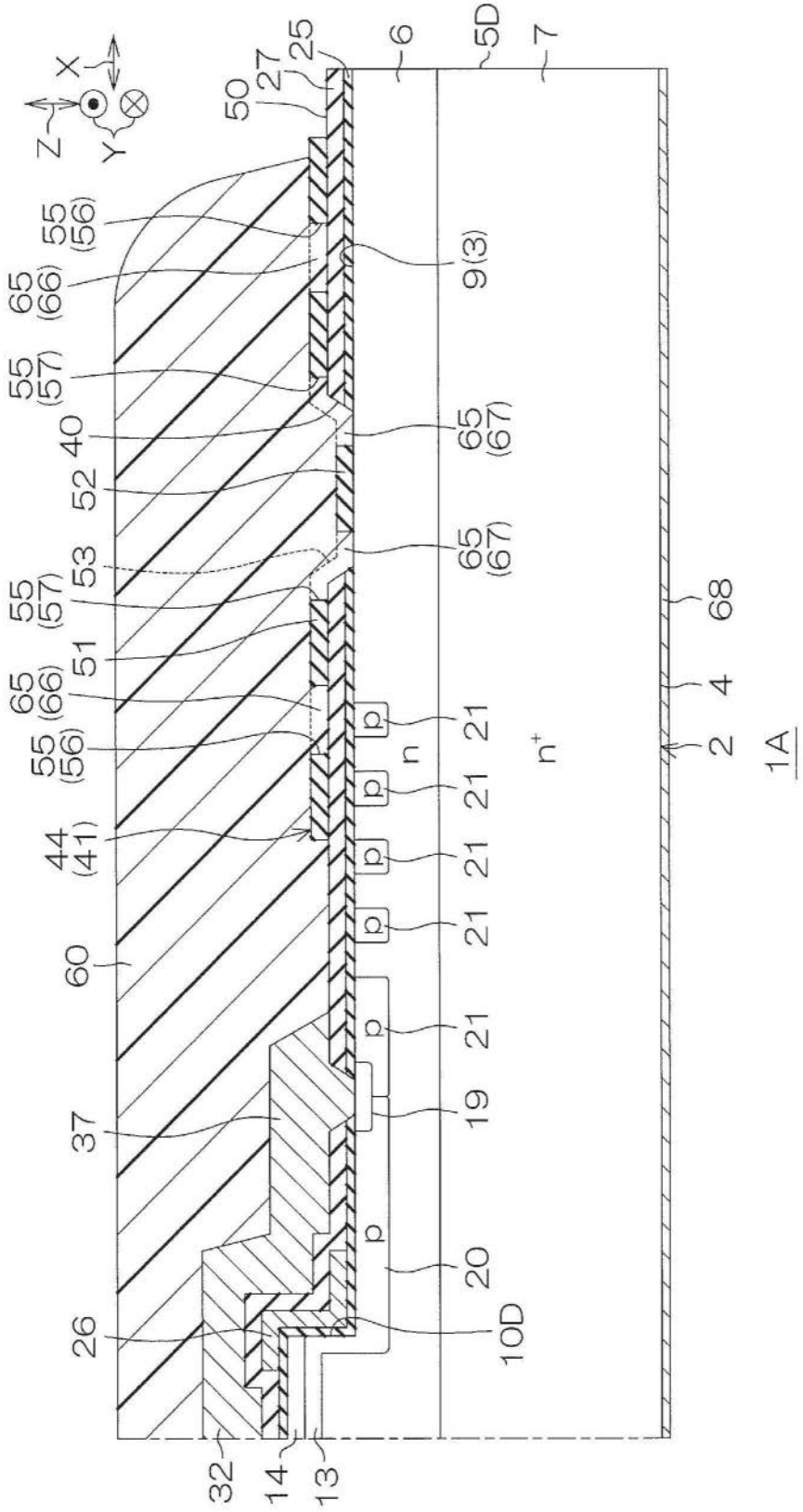

X
Z
Y
50
27
25
6
5D
7
55
(56)
65
(66)
9(3)
55
(57)
40
52
53
51
65
(67)
68
4
2
1A
44
(41)
60
37
26
10D
20
19
21
p
n
n+
32
14
13

图7

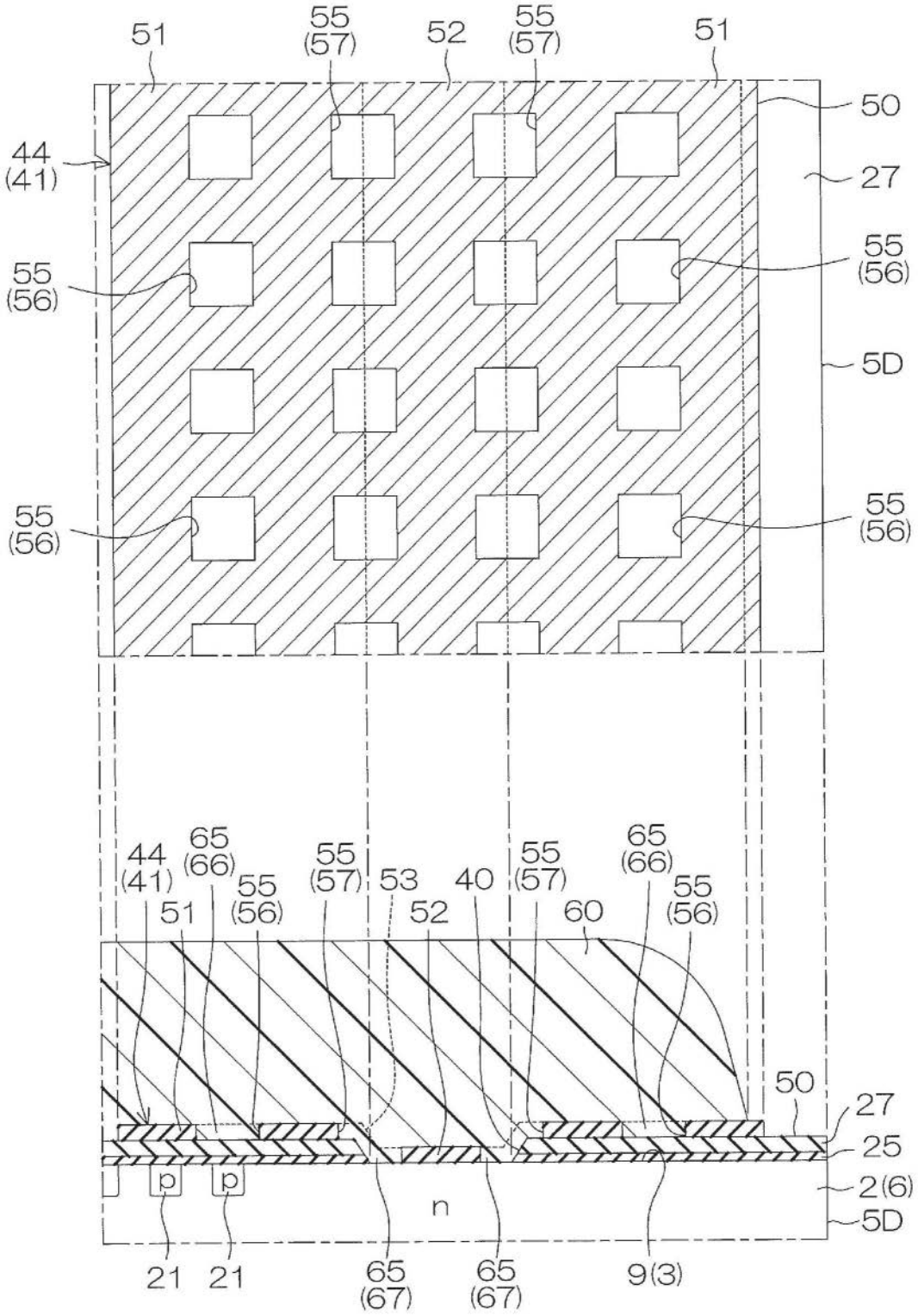

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
2(6)
5D
p
p
n
21
21
65
(67)
65
(67)
9(3)

图8A

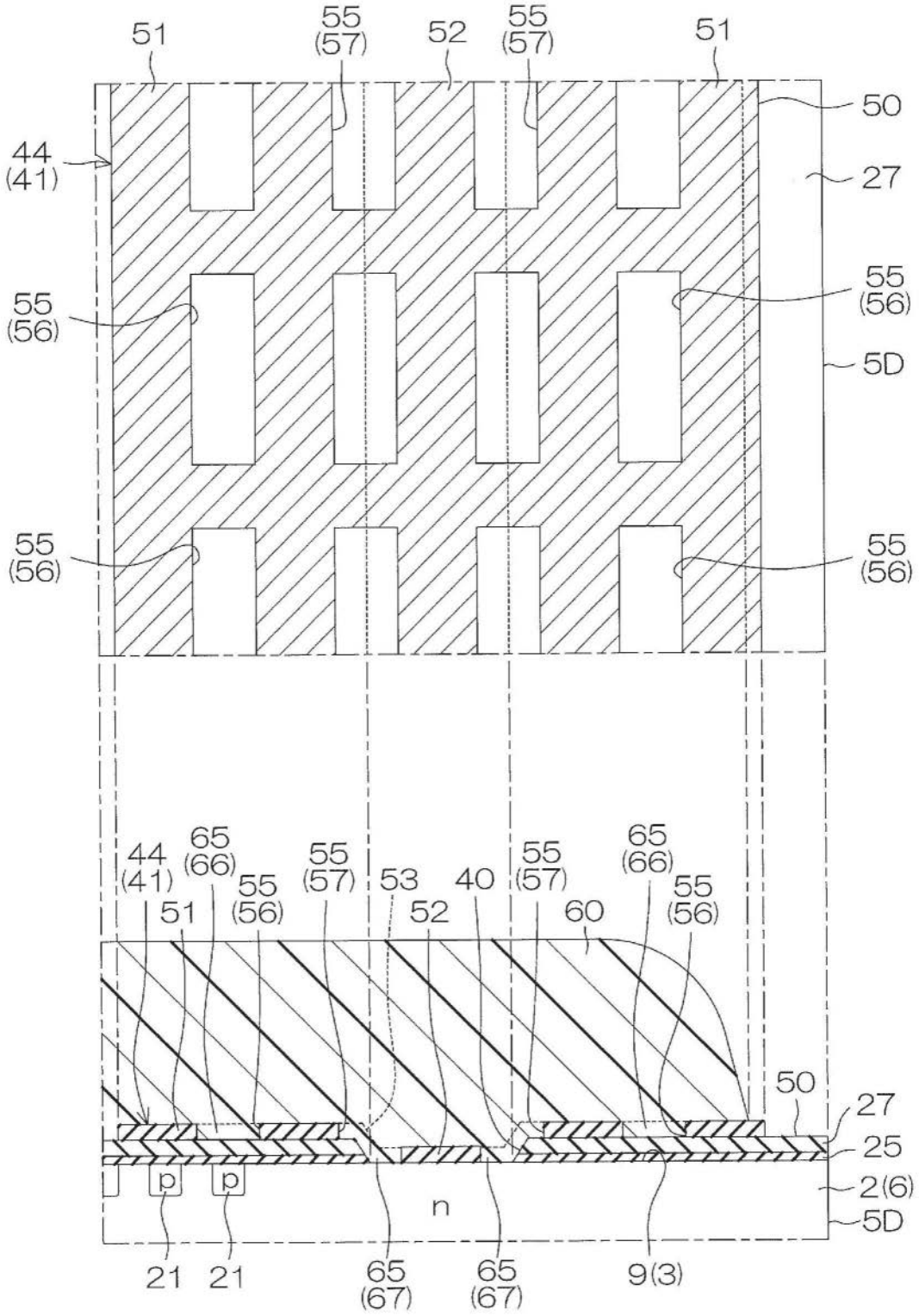

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
65
(67)
9(3)

图8B

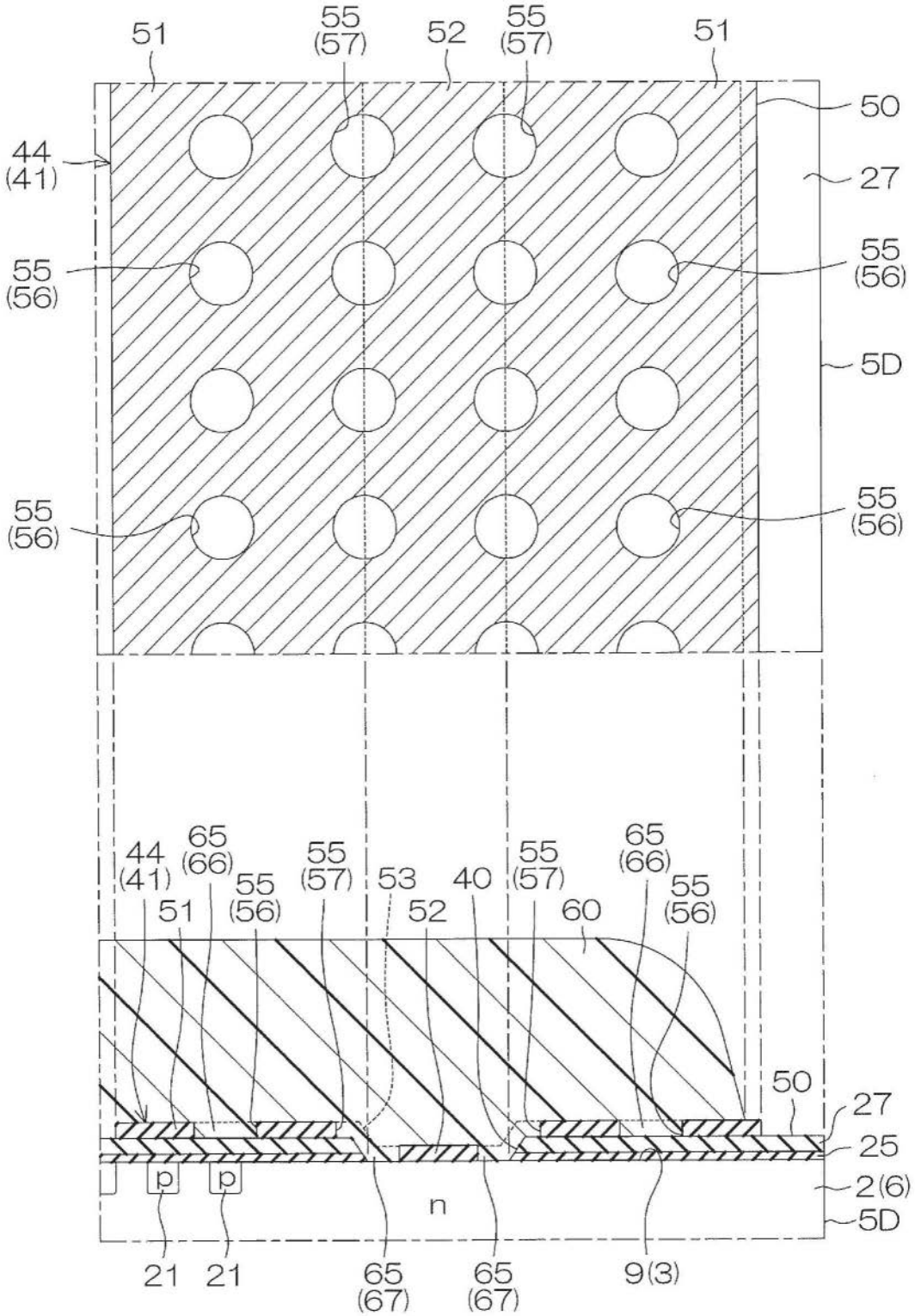

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
65
(67)
9(3)

图8C

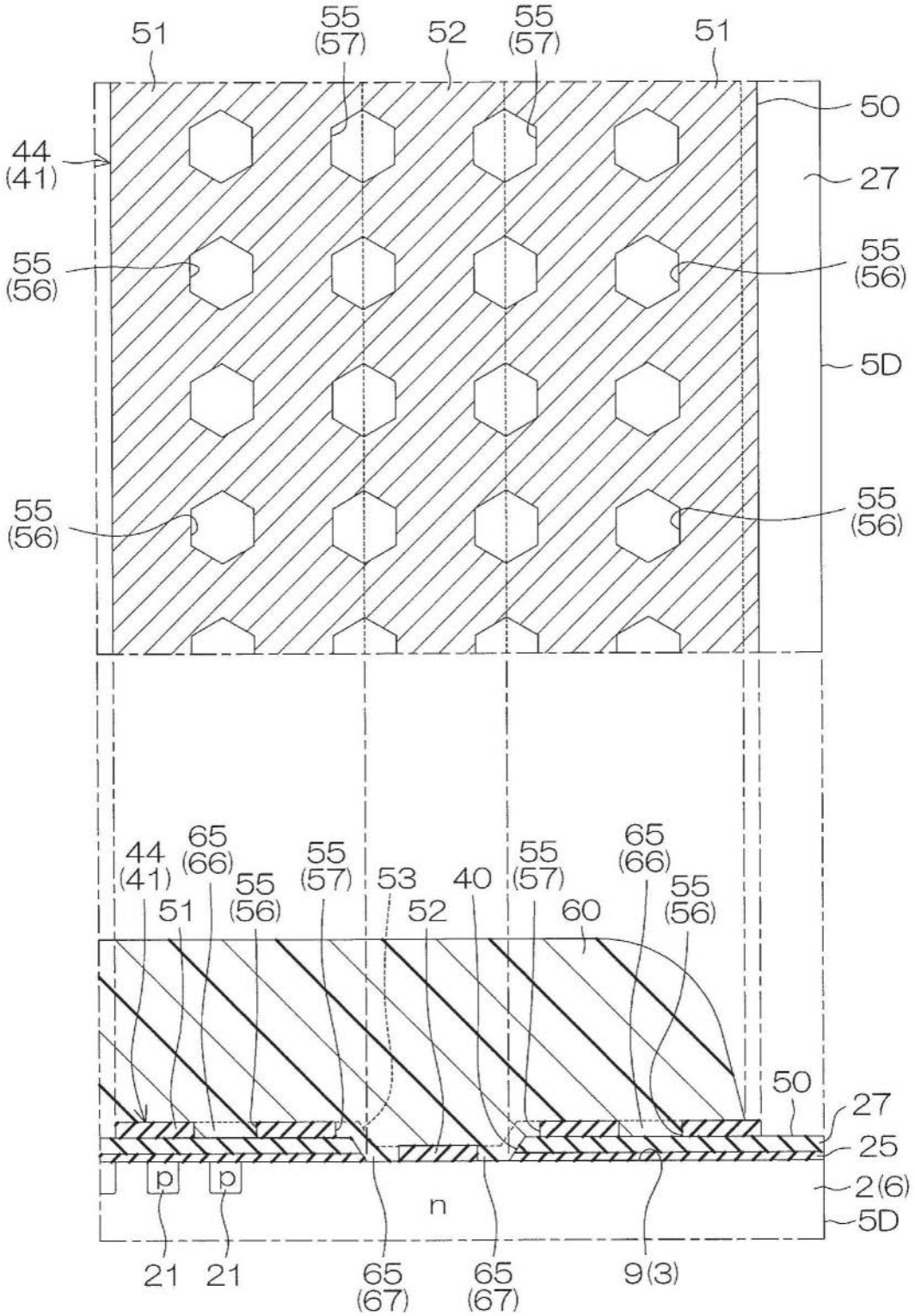

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
65
(67)
9(3)

图8D

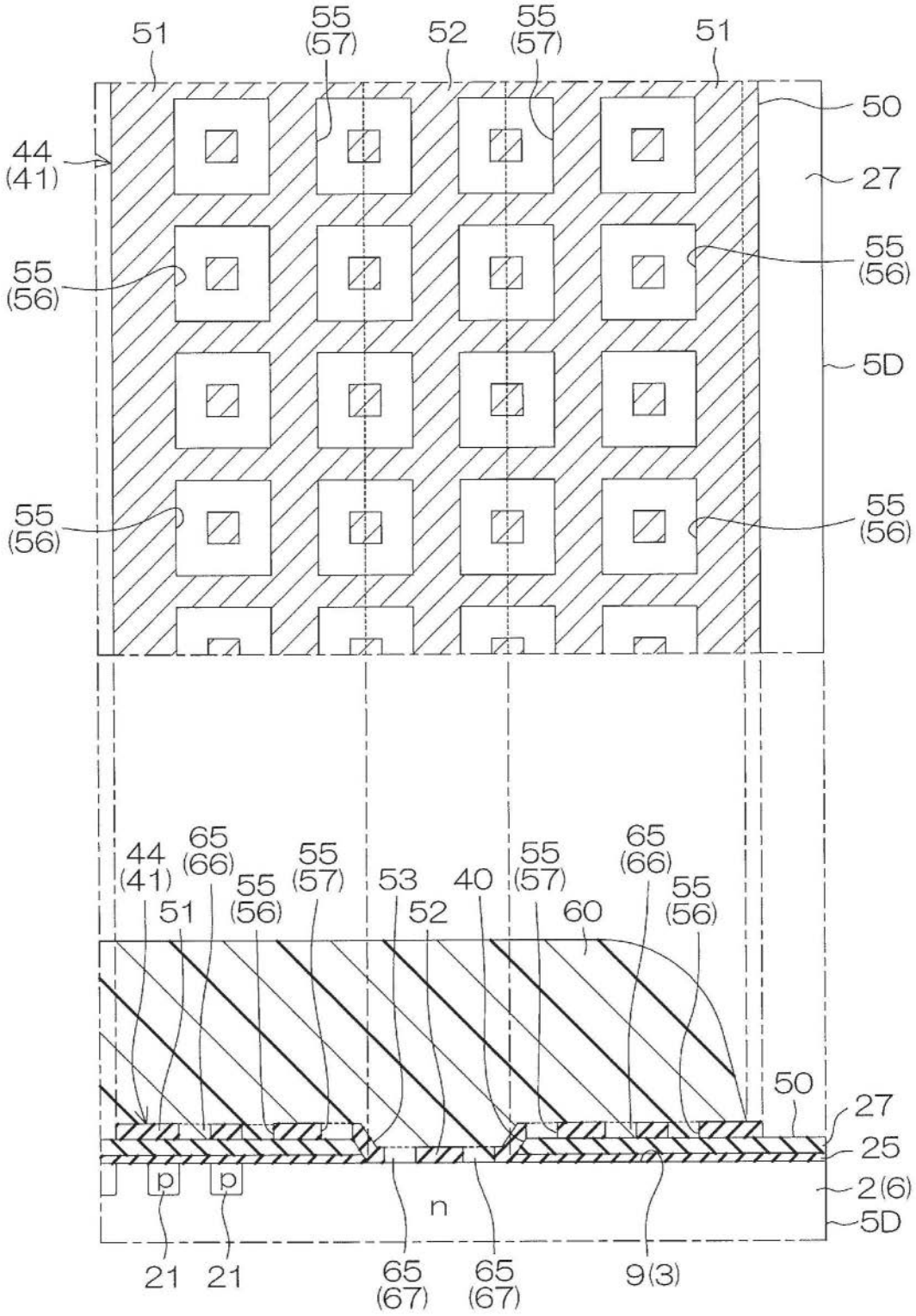

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
2(6)
5D
p
p
n
21
21
65
(67)
65
(67)
9(3)

图8E

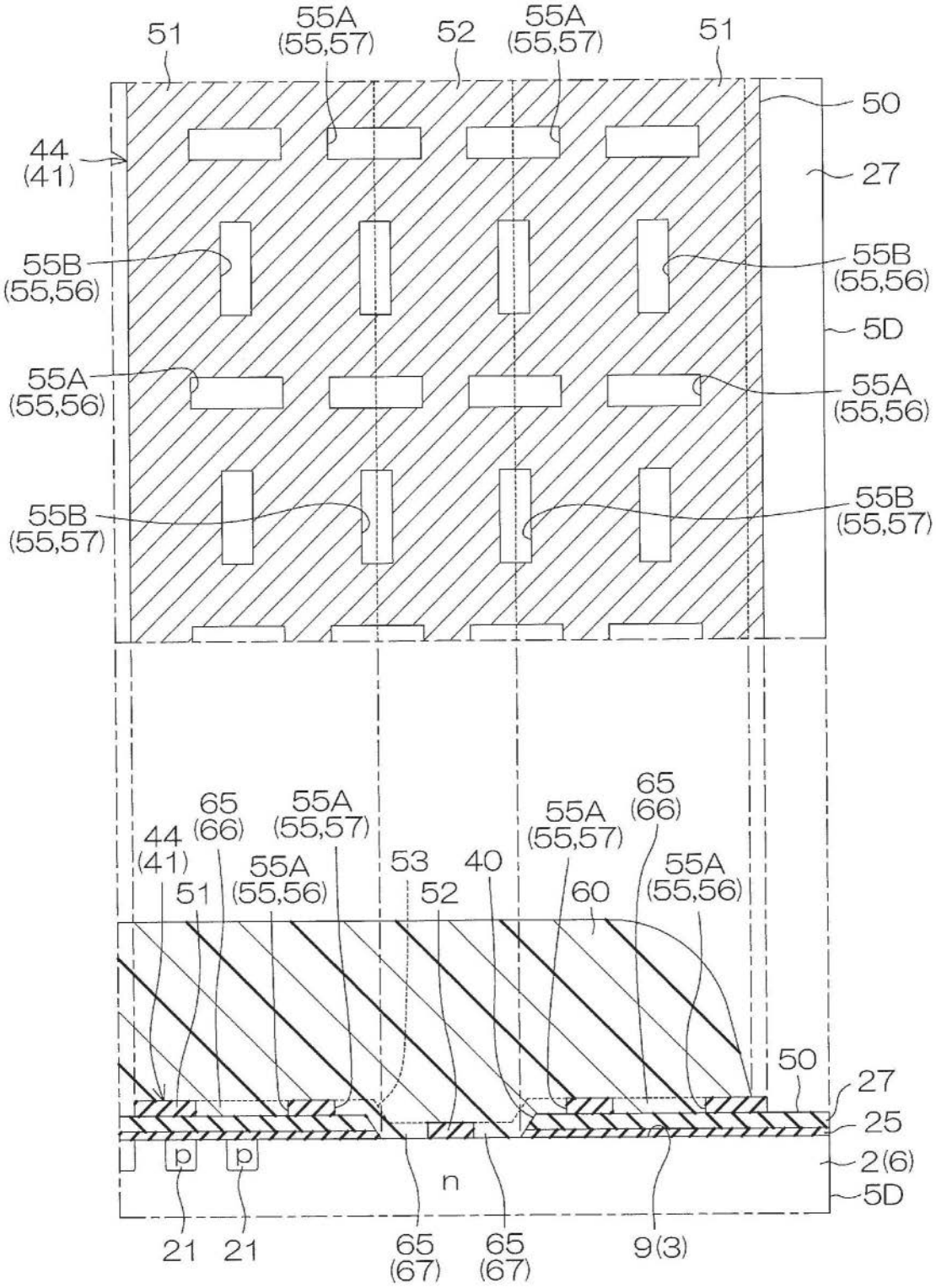

51
55A
(55,57)
52
55A
(55,57)
51
50
44
(41)
27
55B
(55,56)
55B
(55,56)
5D
55A
(55,56)
55A
(55,56)
55B
(55,57)
55B
(55,57)
65
(66)
55A
(55,57)
44
(41)
55A
(55,56)
53
40
55A
(55,57)
65
(66)
51
52
60
55A
(55,56)
50
27
25
2(6)
5D
p
p
n
21
21
65
(67)
65
(67)
9(3)

图8F

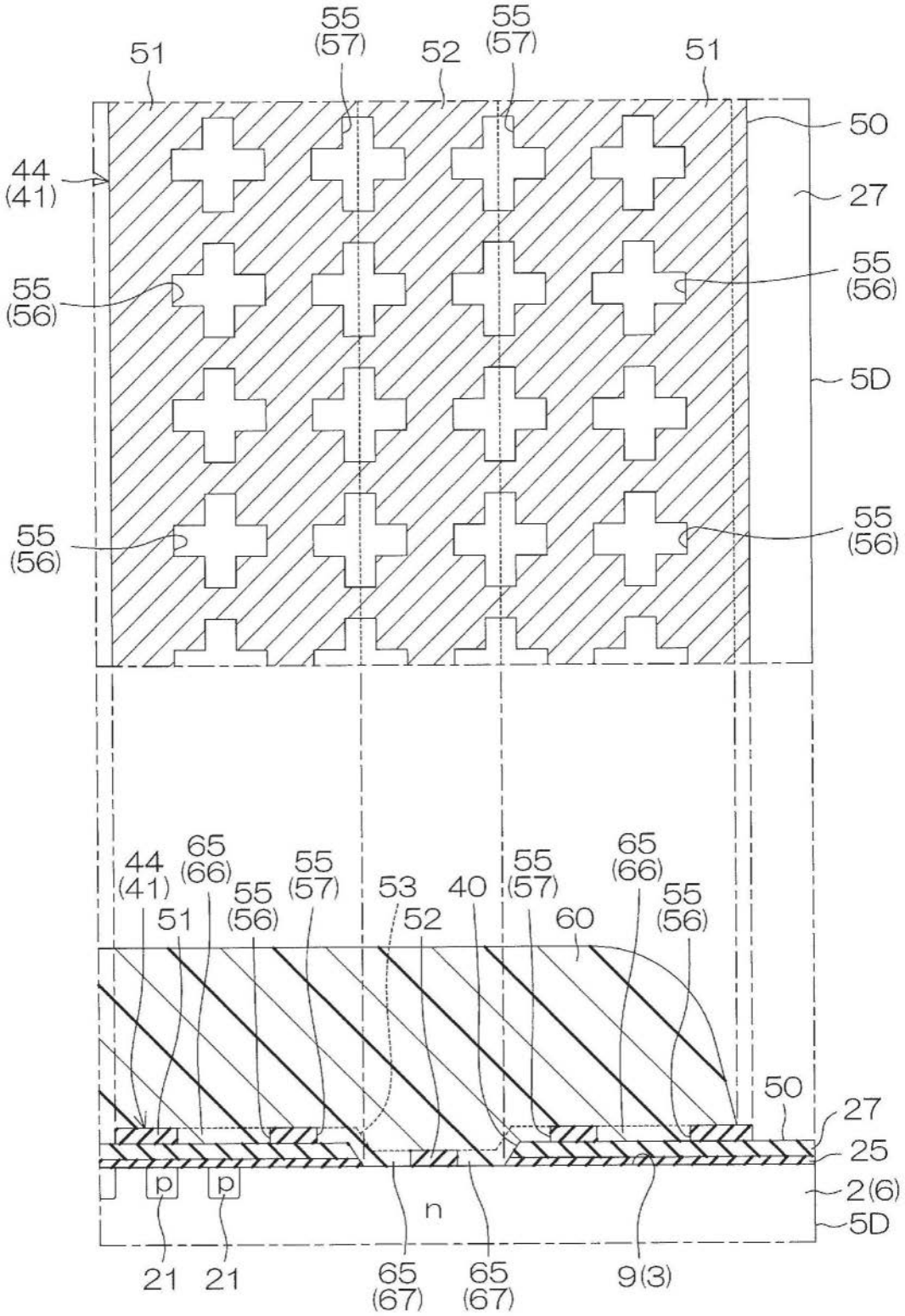

55
(57)
55
(57)
51
52
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
55
(56)
52
60
50
27
25
2(6)
5D
p
p
n
21
21
65
(67)
65
(67)
9(3)

图8G

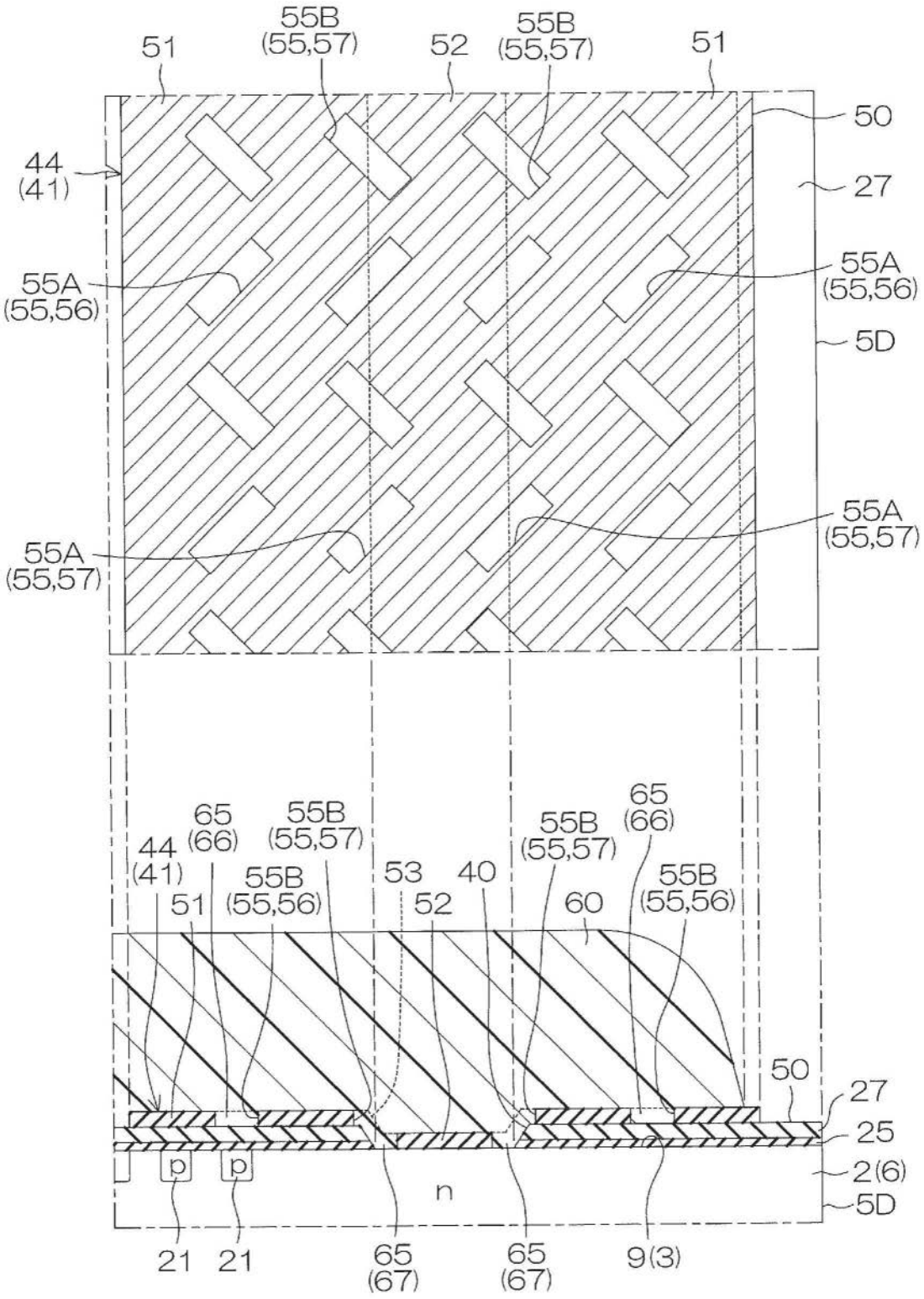

55B
(55,57)
51
52
55B
(55,57)
51
50
44
(41)
27
55A
(55,56)
55A
(55,56)
5D
55A
(55,57)
55A
(55,57)
65
(66)
55B
(55,57)
44
(41)
55B
(55,56)
53
40
55B
(55,57)
65
(66)
55B
(55,56)
51
52
60
50
27
25
p
p
2(6)
n
5D
21
21
65
(67)
65
(67)
9(3)

图8H

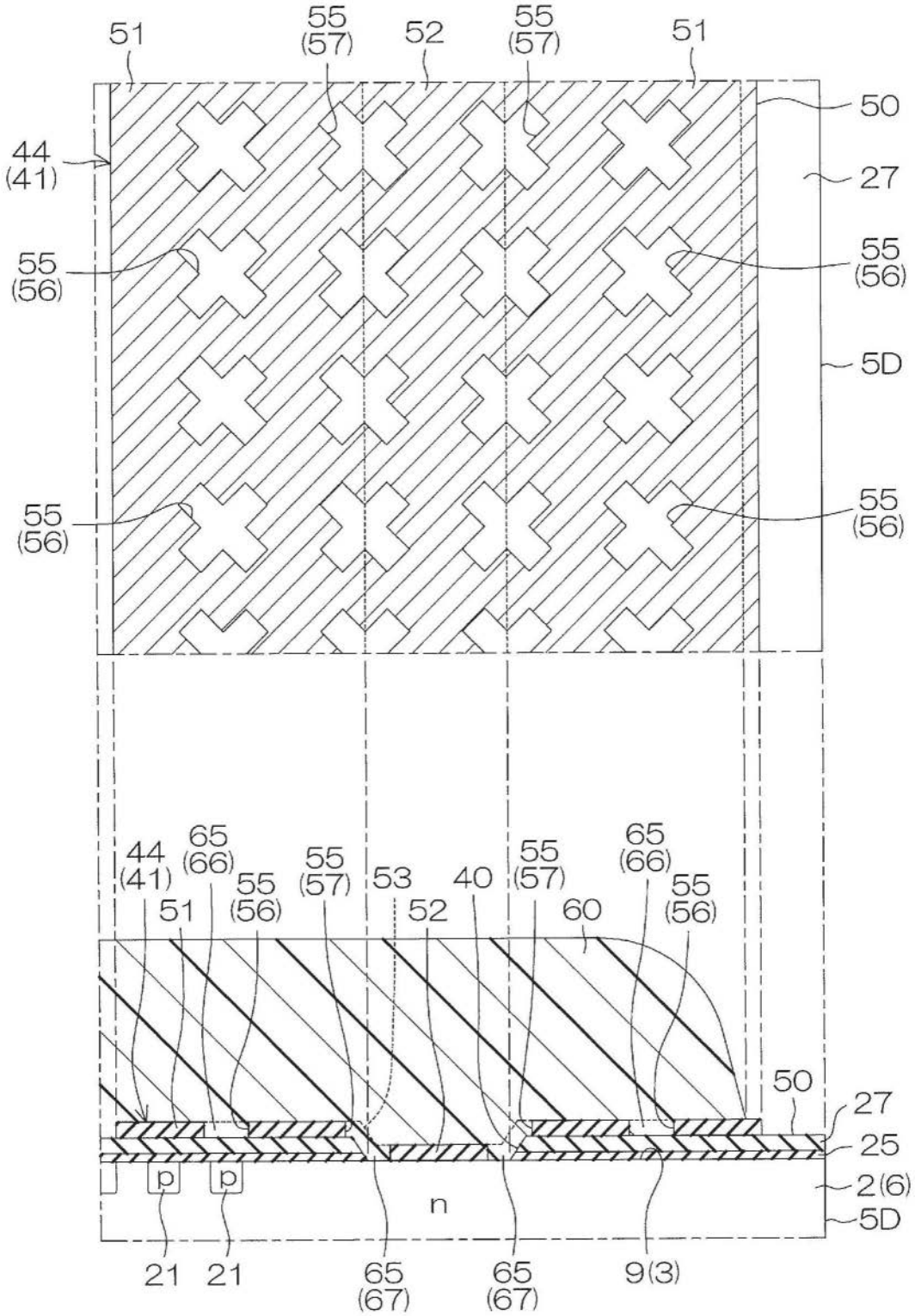

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
65
(67)
9(3)

图8I

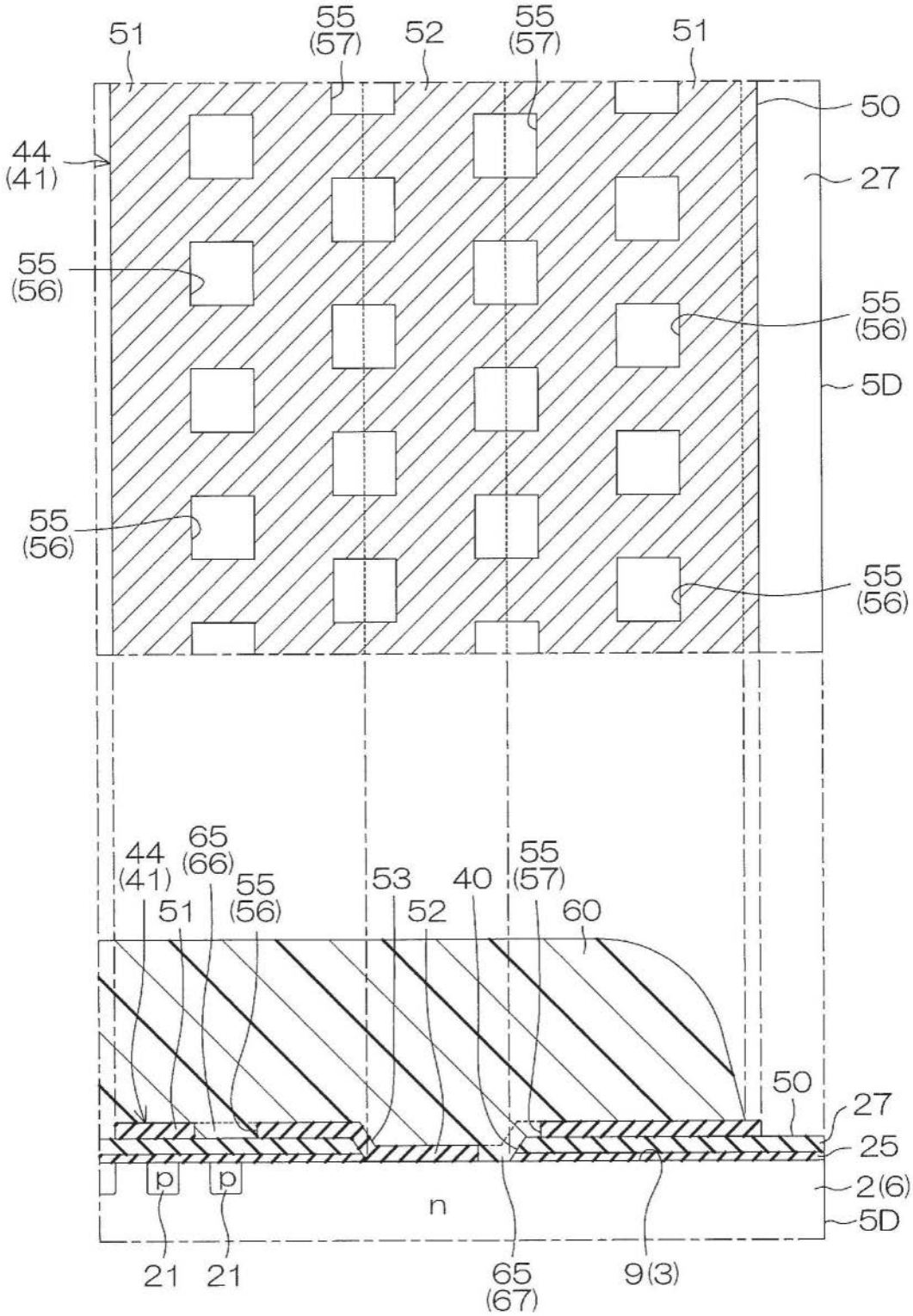

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
55
(56)
53
40
55
(57)
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
9(3)

图8J

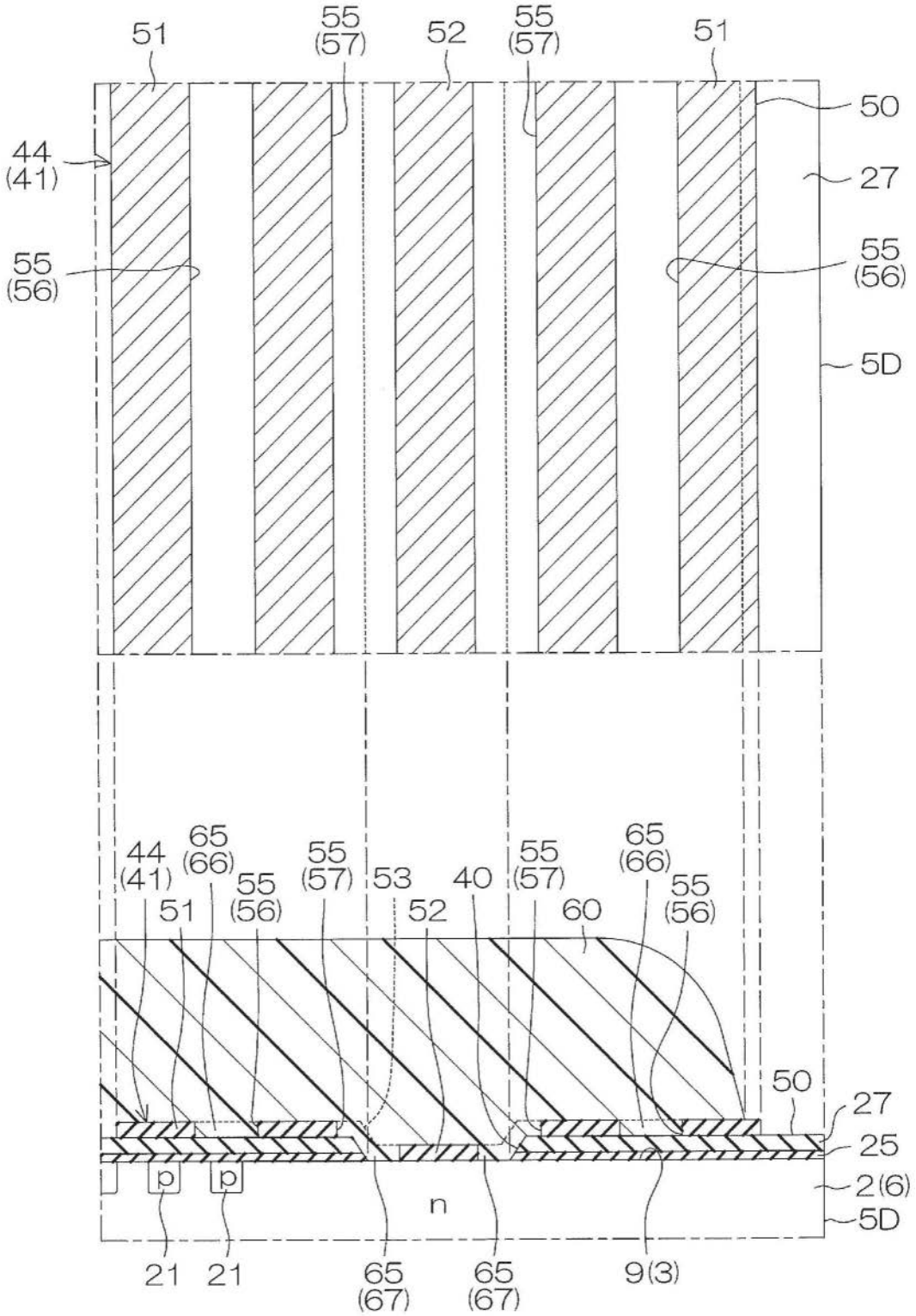

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
65
(67)
9(3)

图8K

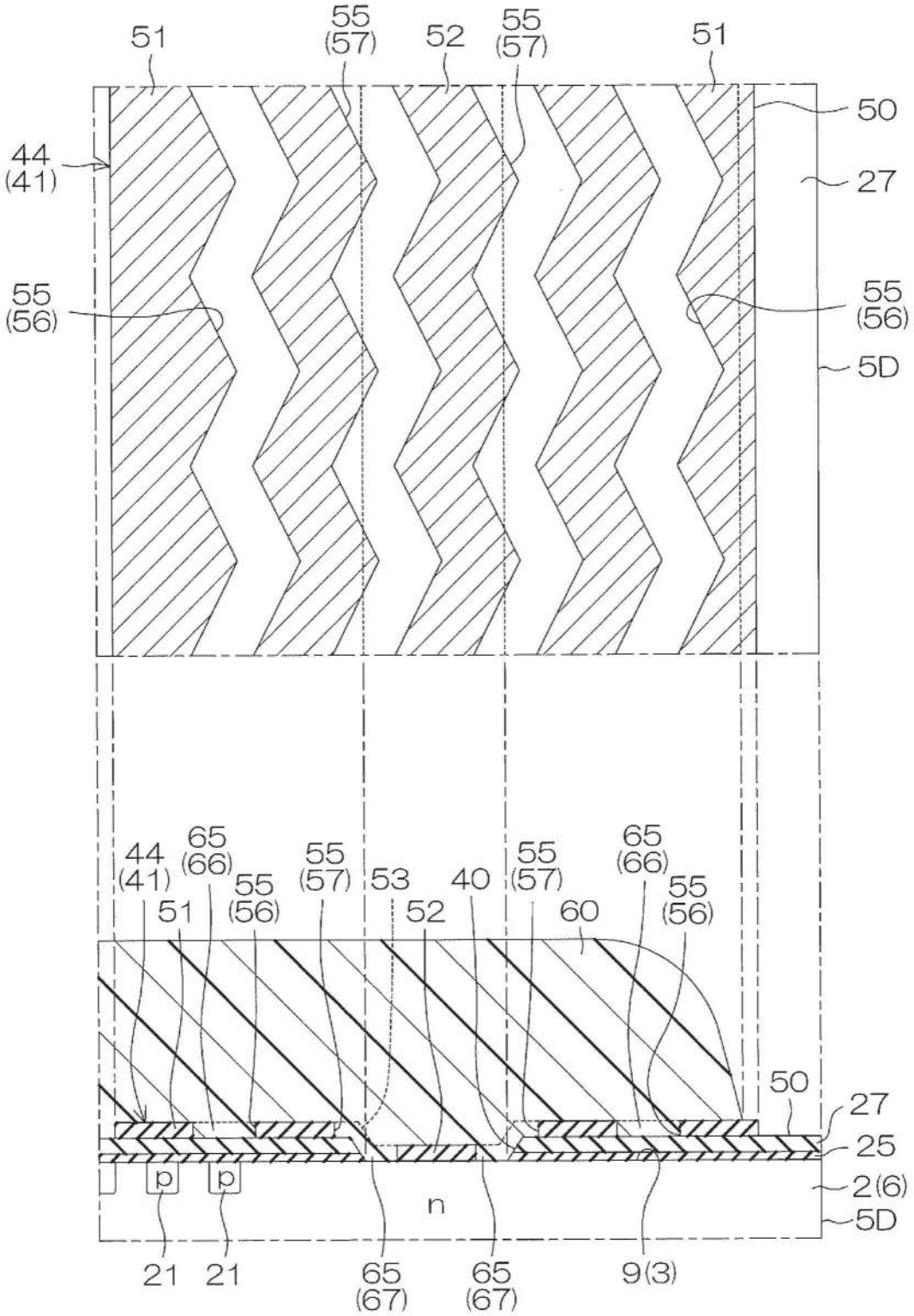

51
55
(57)
52
55
(57)
51
50
44
(41)
27
55
(56)
55
(56)
5D
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
65
(67)
9(3)

图8L

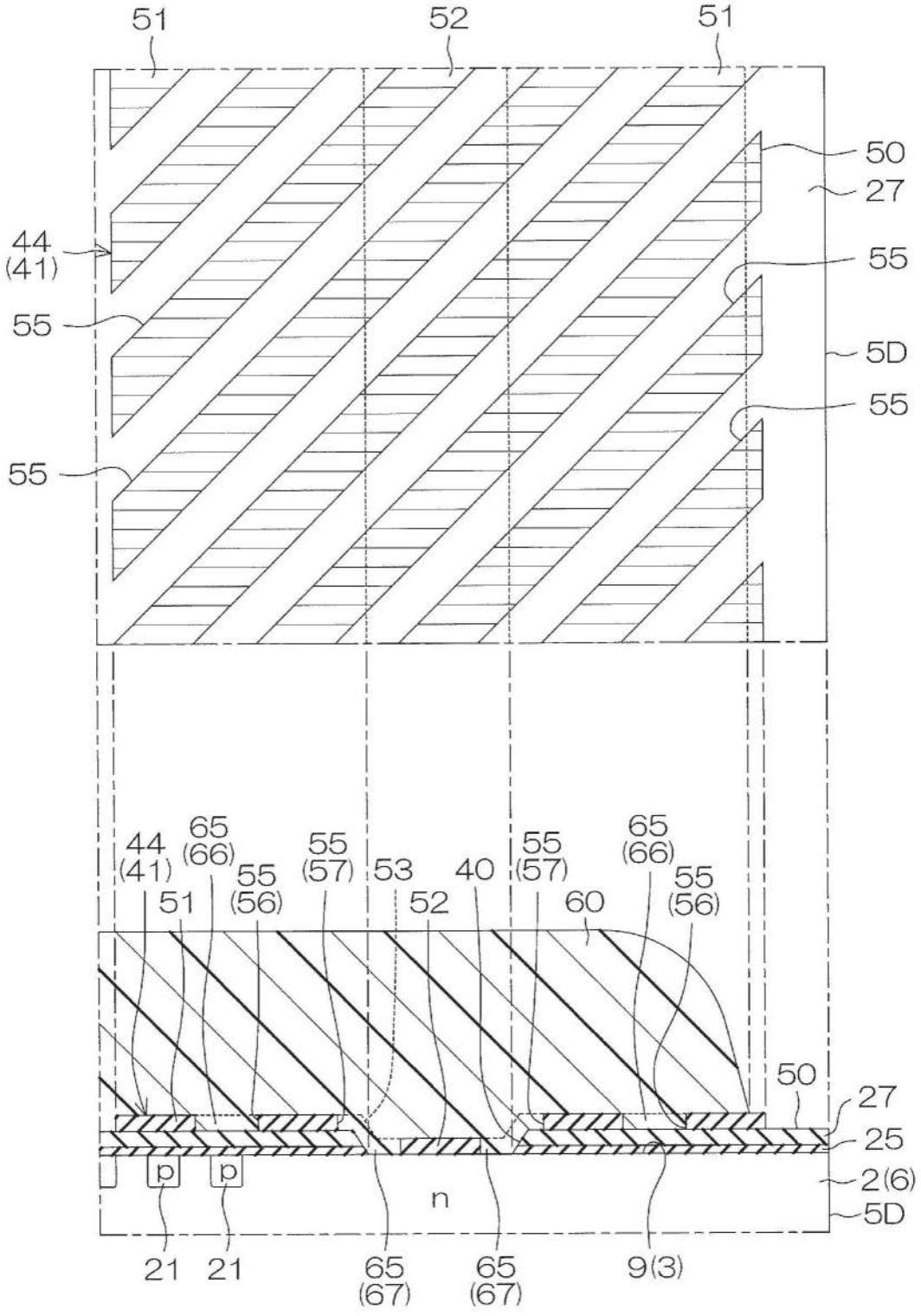

51
52
51
50
27
44
(41)
55
55
5D
55
55
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
p
p
2(6)
n
5D
21
21
65
(67)
65
(67)
9(3)

图8M

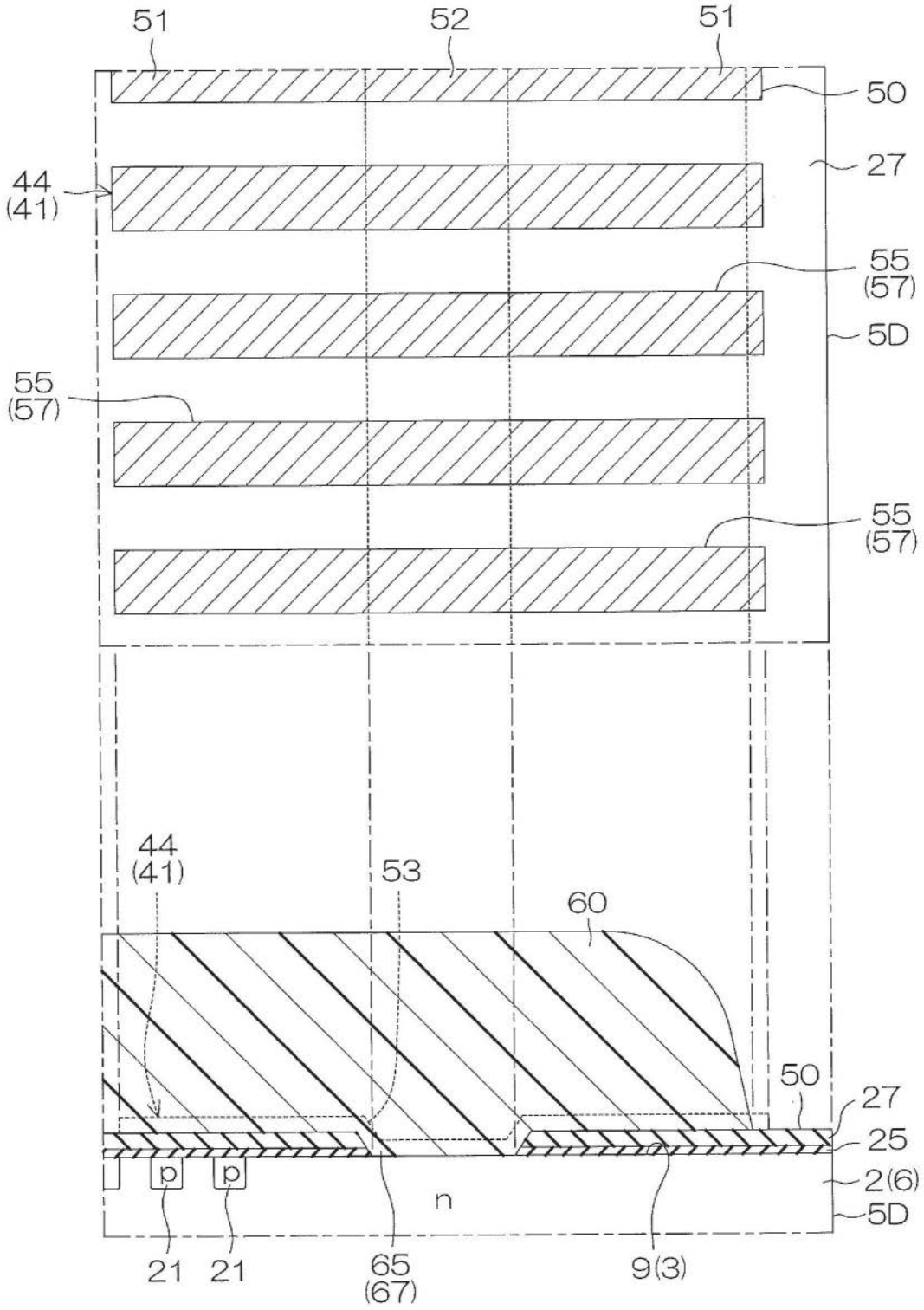

51
52
51
50
27
44
(41)
55
(57)
5D
55
(57)
55
(57)
44
(41)
53
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
9(3)

图8N

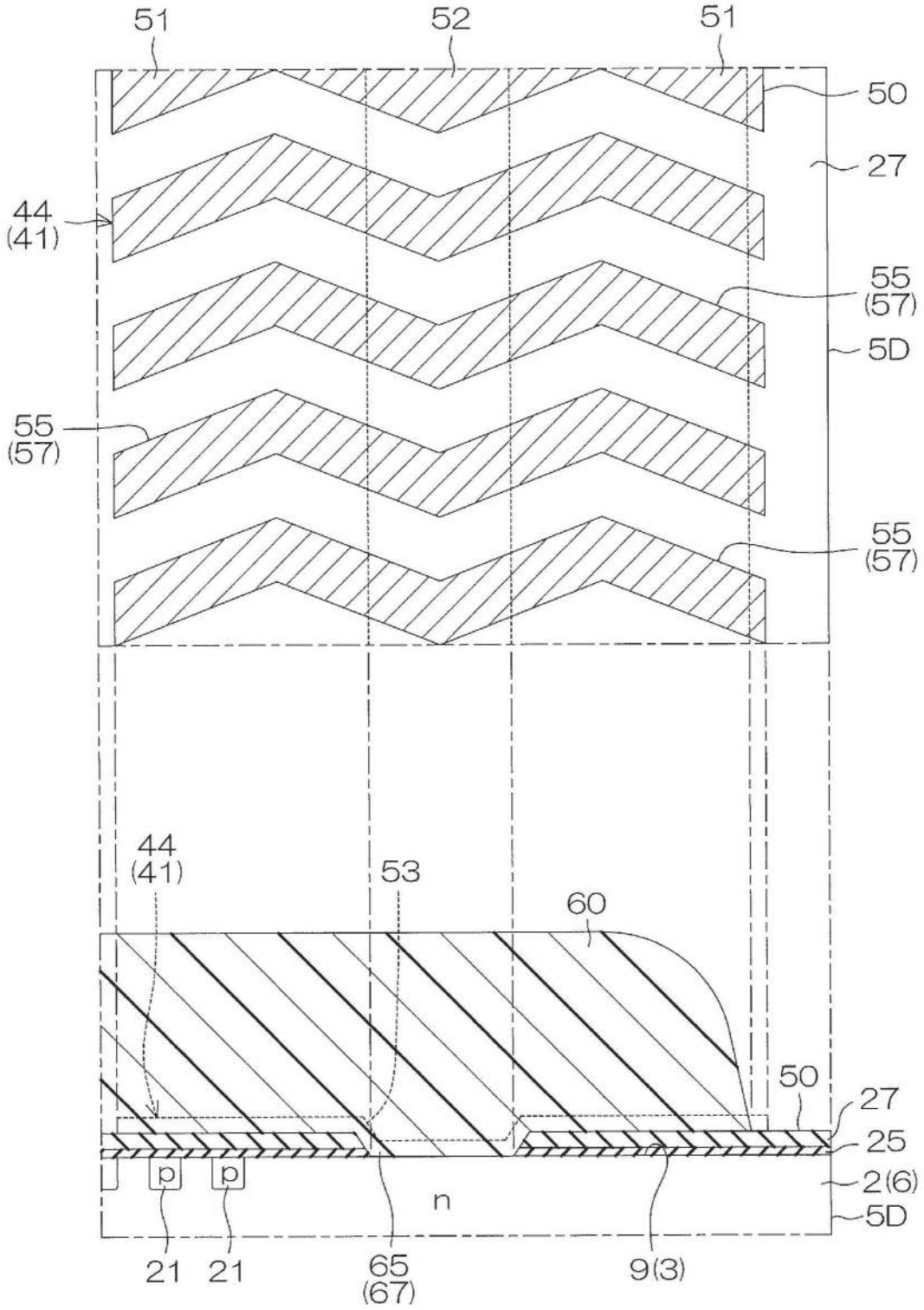

51
52
51
50
27
44
(41)
55
(57)
5D
55
(57)
55
(57)
44
(41)
53
60
50
27
25
p
p
n
2(6)
5D
21
21
65
(67)
9(3)

图80

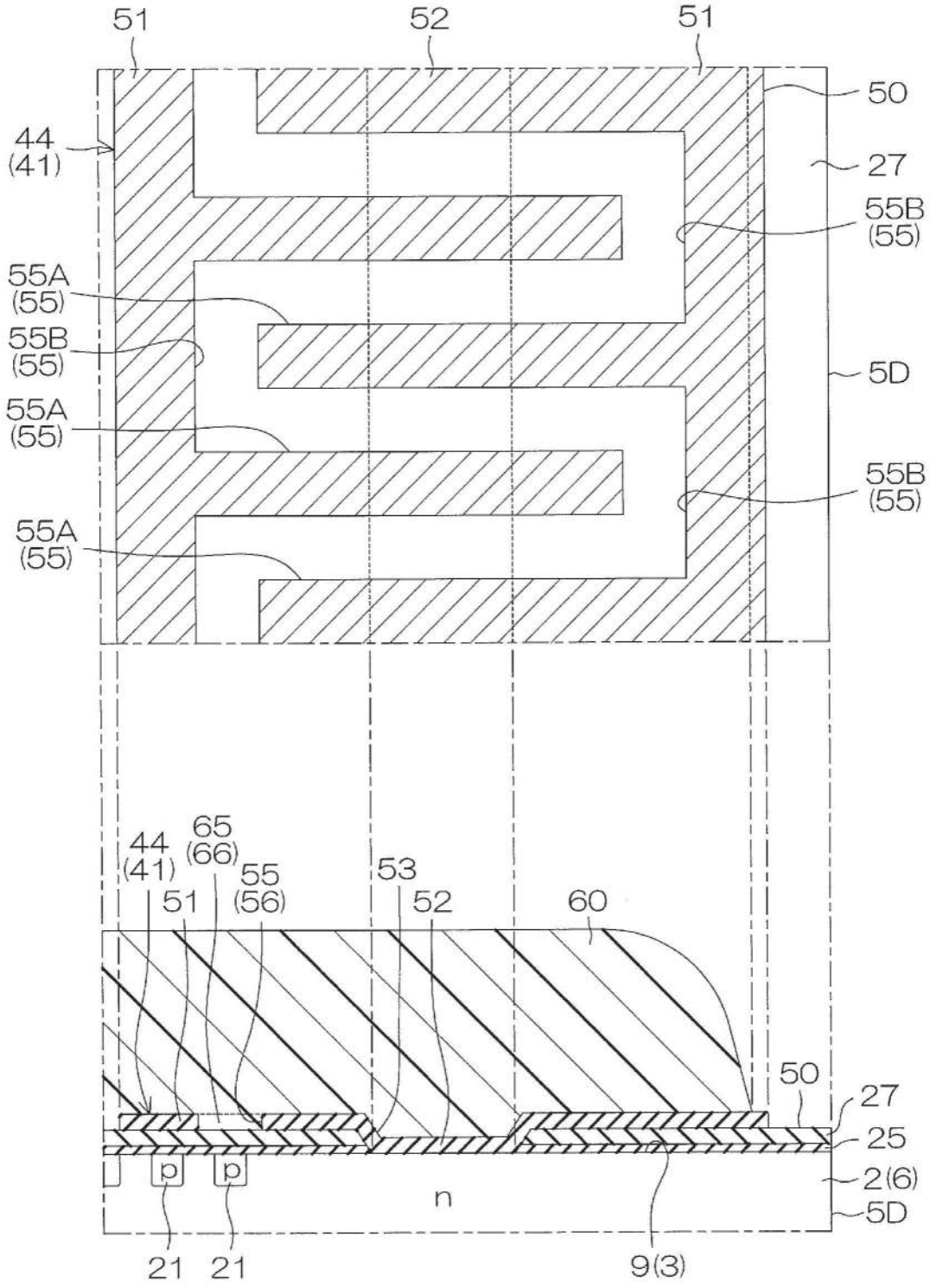

51
52
51
50
44
(41)
27
55B
(55)
55A
(55)
55B
(55)
5D
55A
(55)
55B
(55)
55A
(55)
44
(41)
65
(66)
55
(56)
53
51
52
60
50
27
25
p
p
n
2(6)
5D
21
21
9(3)

图8P

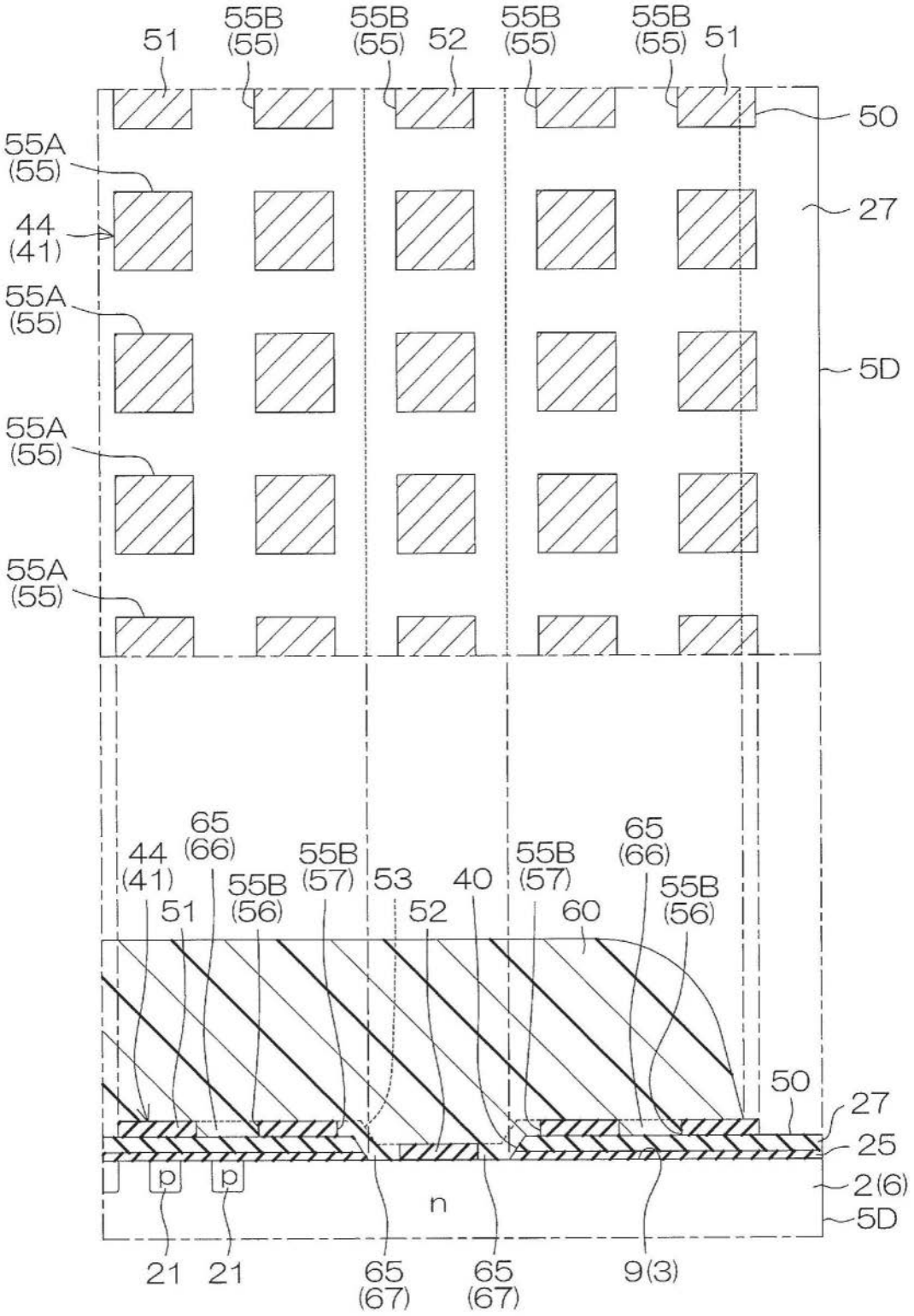

51
55B (55)
55B (55)
52
55B (55)
55B (55)
51
50
55A (55)
44 (41)
27
55A (55)
5D
55A (55)
55A (55)
65 (66)
44 (41)
55B (56)
55B (57)
53
40
55B (57)
65 (66)
55B (56)
51
52
60
50
27
25
2(6)
5D
p
p
n
21
21
65 (67)
65 (67)
9(3)

图8Q

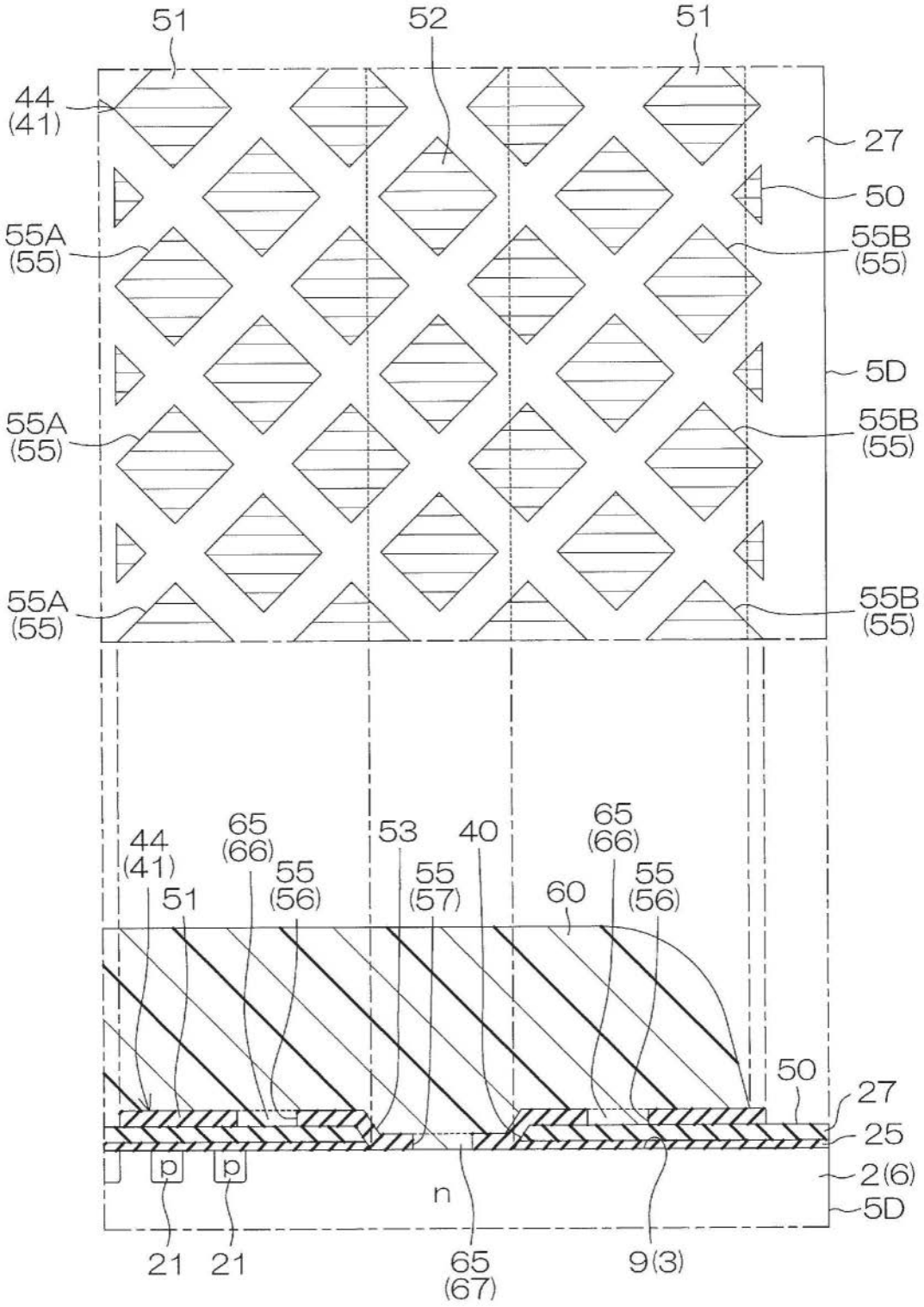

51
52
51
44
(41)
27
50
55A
(55)
55B
(55)
5D
55A
(55)
55B
(55)
55A
(55)
55B
(55)
44
(41)
65
(66)
55
(56)
53
40
55
(57)
60
65
(66)
55
(56)
51
50
27
25
p
p
2(6)
n
5D
21
21
65
(67)
9(3)

图8R

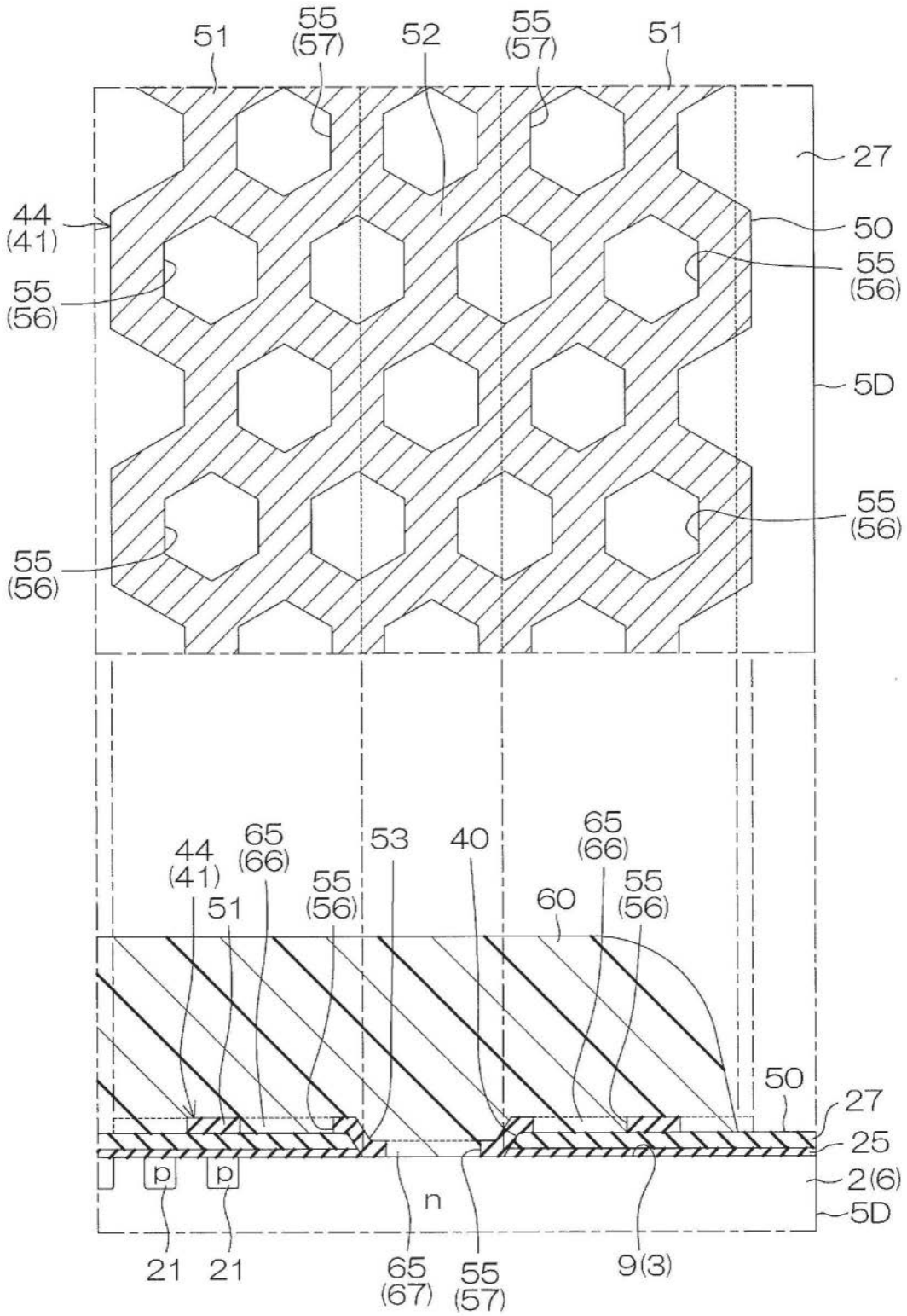

51
55
(57)
52
55
(57)
51
27
44
(41)
50
55
(56)
55
(56)
5D
55
(56)
55
(56)
44
(41)
65
(66)
53
40
65
(66)
55
(56)
51
55
(56)
60
50
27
25
2(6)
5D
p
p
n
21
21
65
(67)
55
(57)
9(3)

图8S

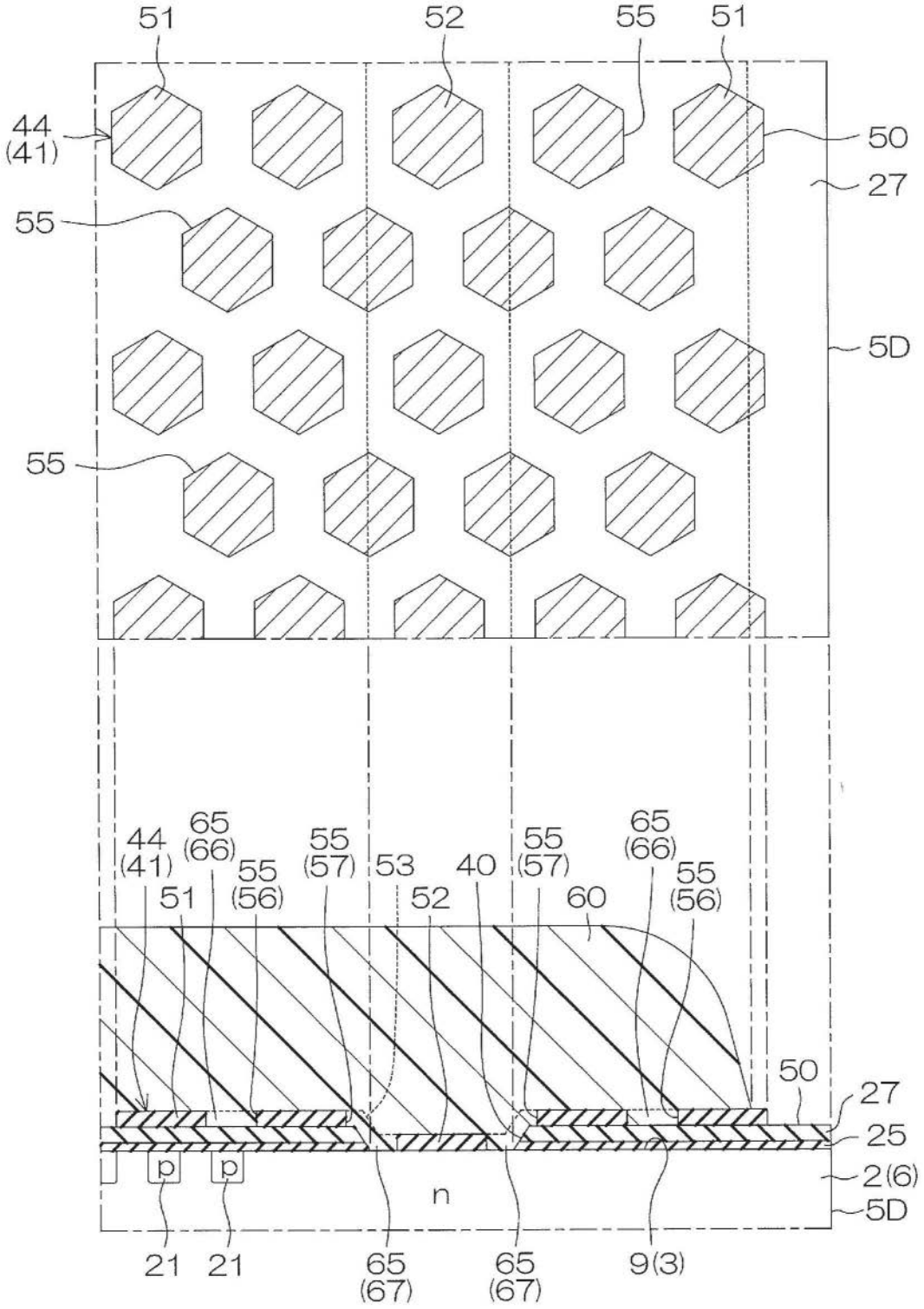

51
52
55
51
44
(41)
50
27
55
5D
55
44
(41)
65
(66)
55
(56)
55
(57)
53
40
55
(57)
65
(66)
55
(56)
51
52
60
50
27
25
2(6)
5D
p
p
n
21
21
65
(67)
65
(67)
9(3)

图8T

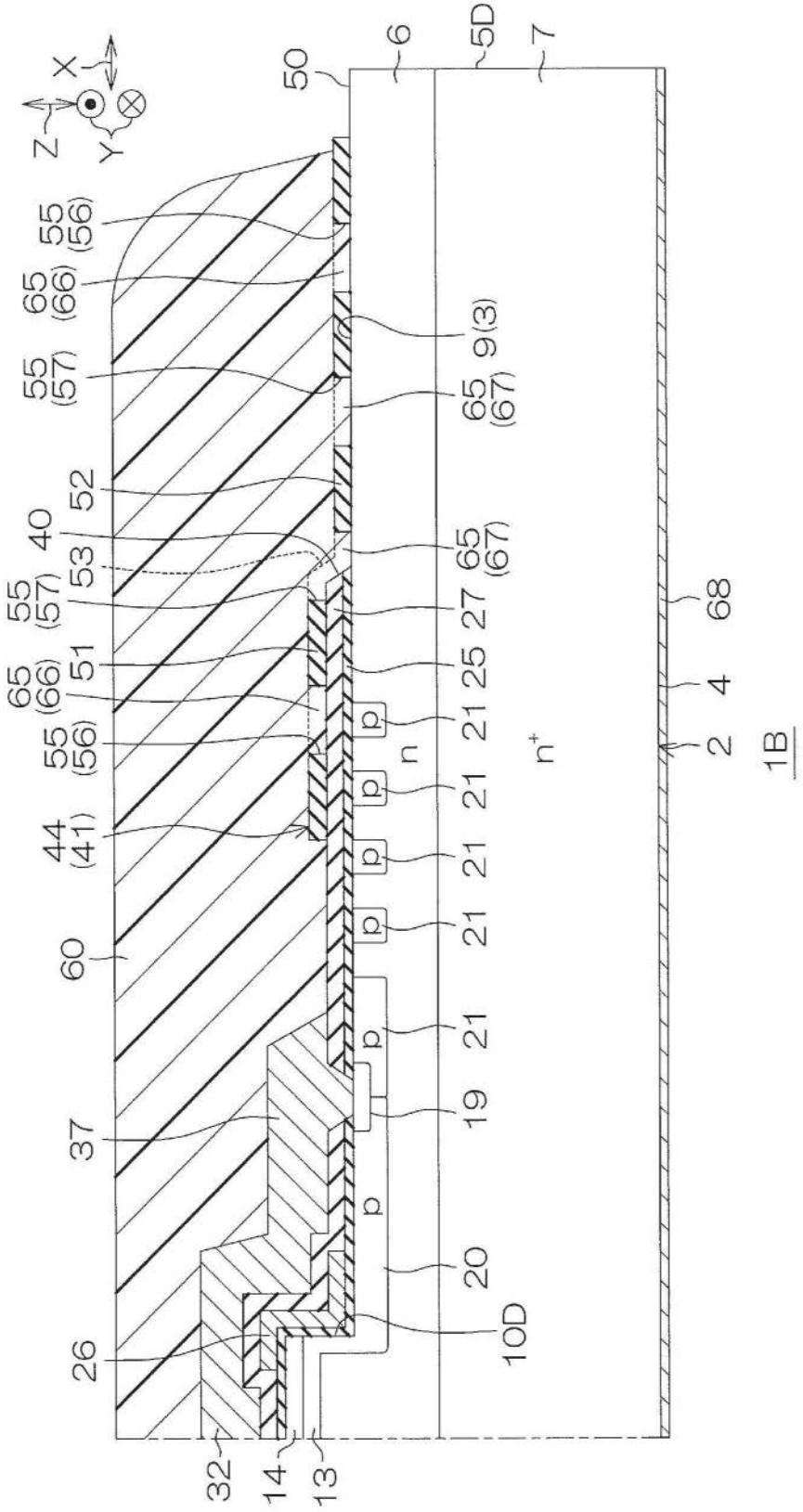

X
Z
Y
50
6
5D
7
55 (56)
65 (66)
55 (57)
9(3)
65 (67)
52
40
53
55 (57)
65 (67)
68
27
65 (66)
51
25
4
55 (56)
p
21
n
n+
2
1B
44 (41)
60
37
19
20
10D
26
32
14
13

图9

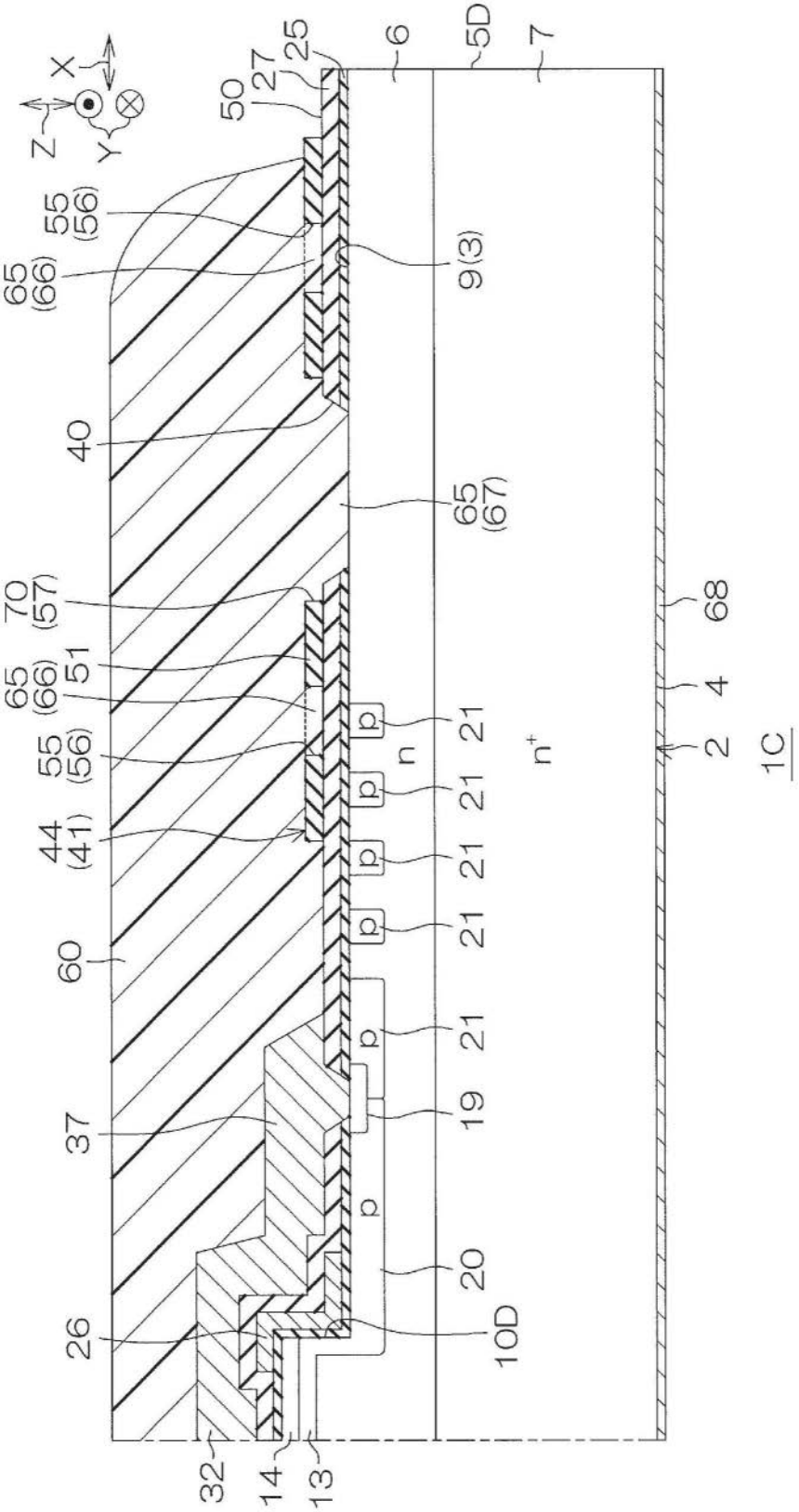

X
Z
Y
50
27
25
6
5D
7
55
(56)
65
(66)
9(3)
40
65
(67)
70
(57)
68
65
(66)
51
4
55
(56)
p
21
n
n+
2
1C
44
(41)
60
37
19
20
26
10D
32
14
13

图10

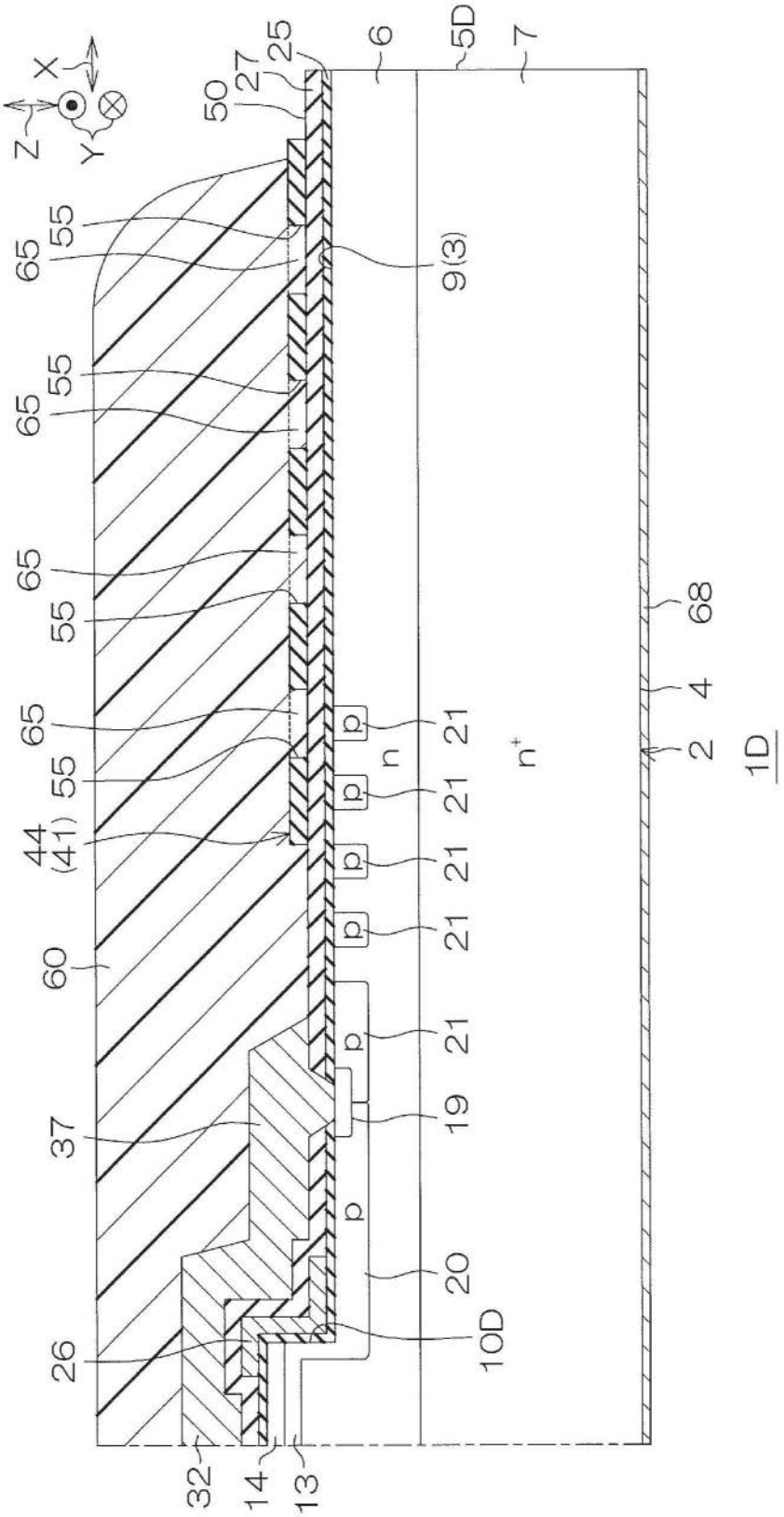

X
Z
Y
50
27
25
6
5D
7
65
55
9(3)
65
55
65
55
65
55
65
55
44
(41)
60
37
26
32
14
13
p
n
21
19
20
10D
n+
68
4
2
1D

图11

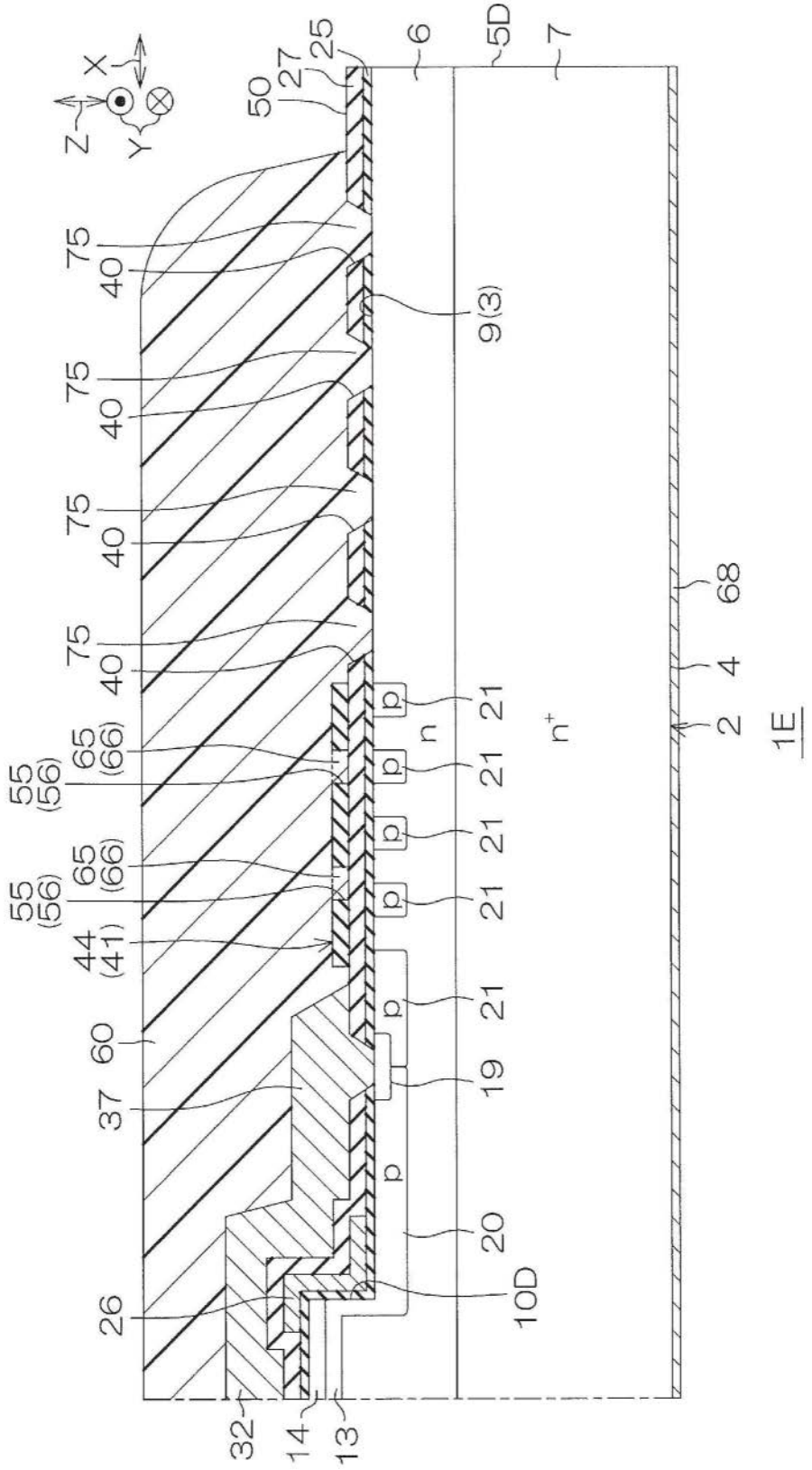

X
Z
Y
50
27
25
6
5D
7
75
40
9(3)
68
4
2
1E
n+
n
p
21
55
(56)
65
(66)
44
(41)
60
37
19
20
10D
26
32
14
13

图12

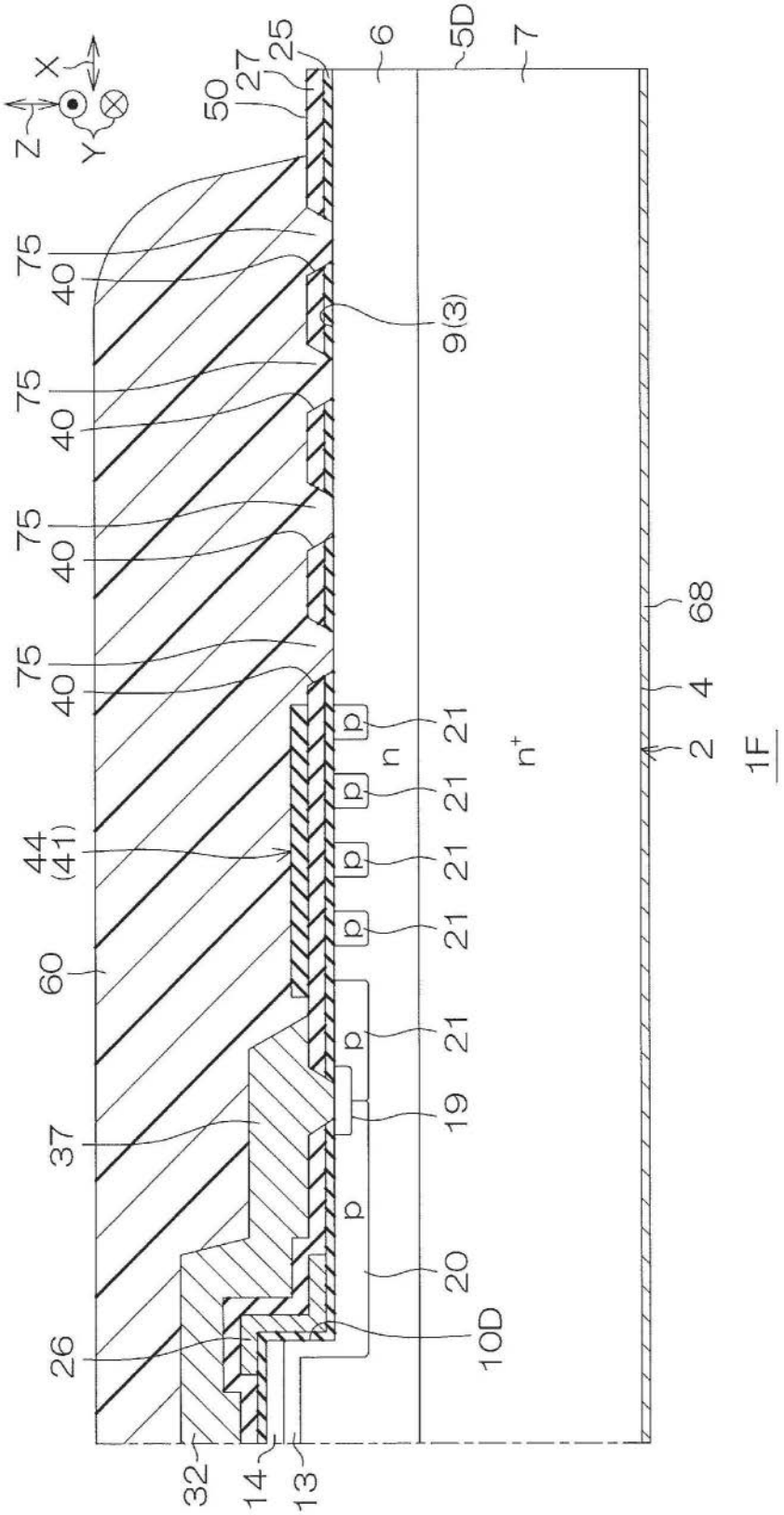

X
Z
Y
50
27
25
6
5D
7
75
40
9(3)
68
4
2
1F
n+
n
p
21
44
(41)
60
37
19
20
26
10D
32
14
13

图13

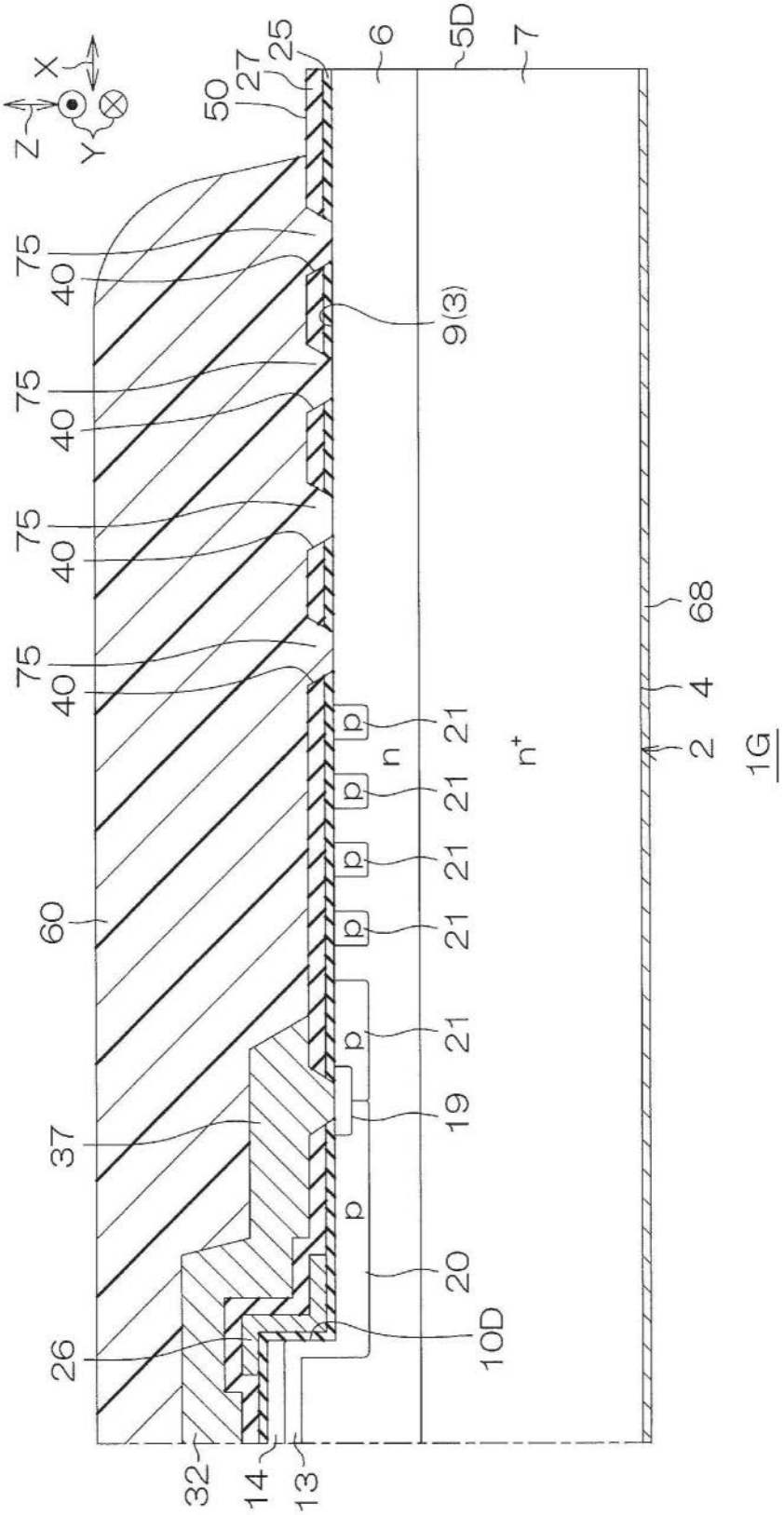


图14

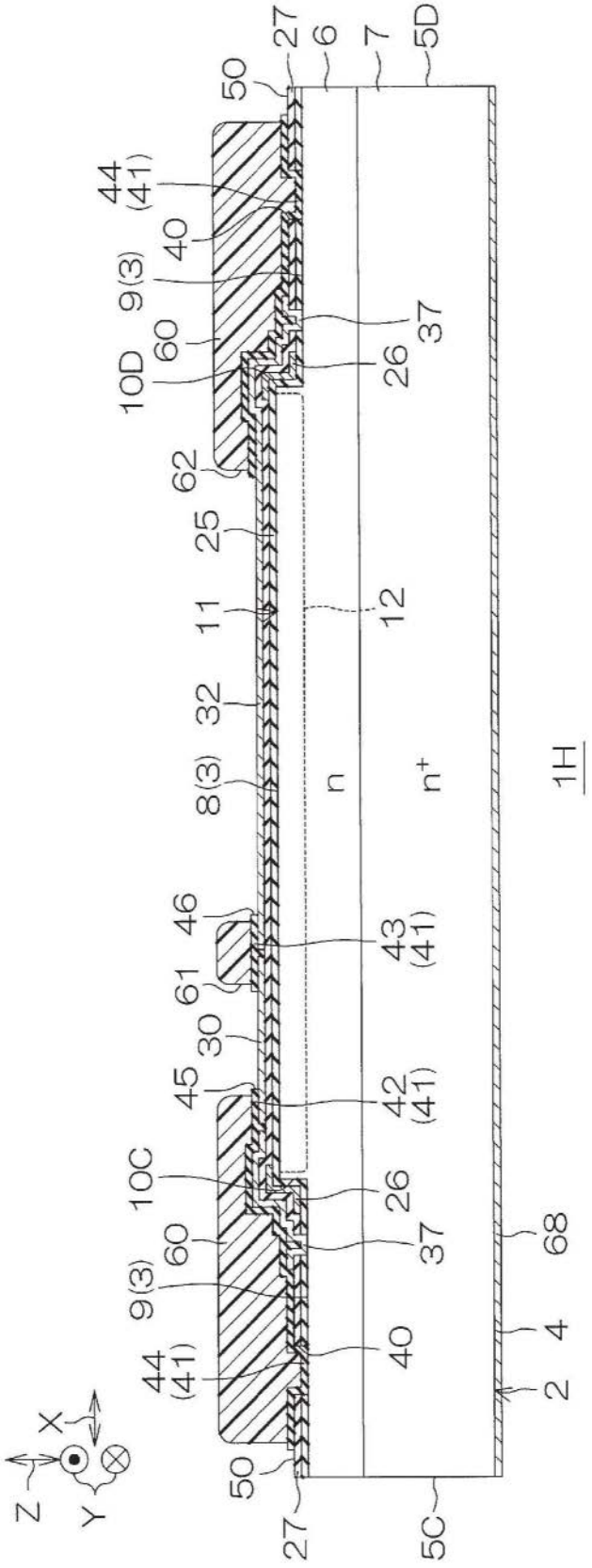

27
6
7
5D
50
44
(41)
40
9(3)
60
10D
37
26
62
25
11
12
32
8(3)
n
n+
1H
46
43
(41)
61
30
45
42
(41)
10C
26
60
37
68
9(3)
4
44
(41)
40
2
50
27
5C
X
Z
Y

图15

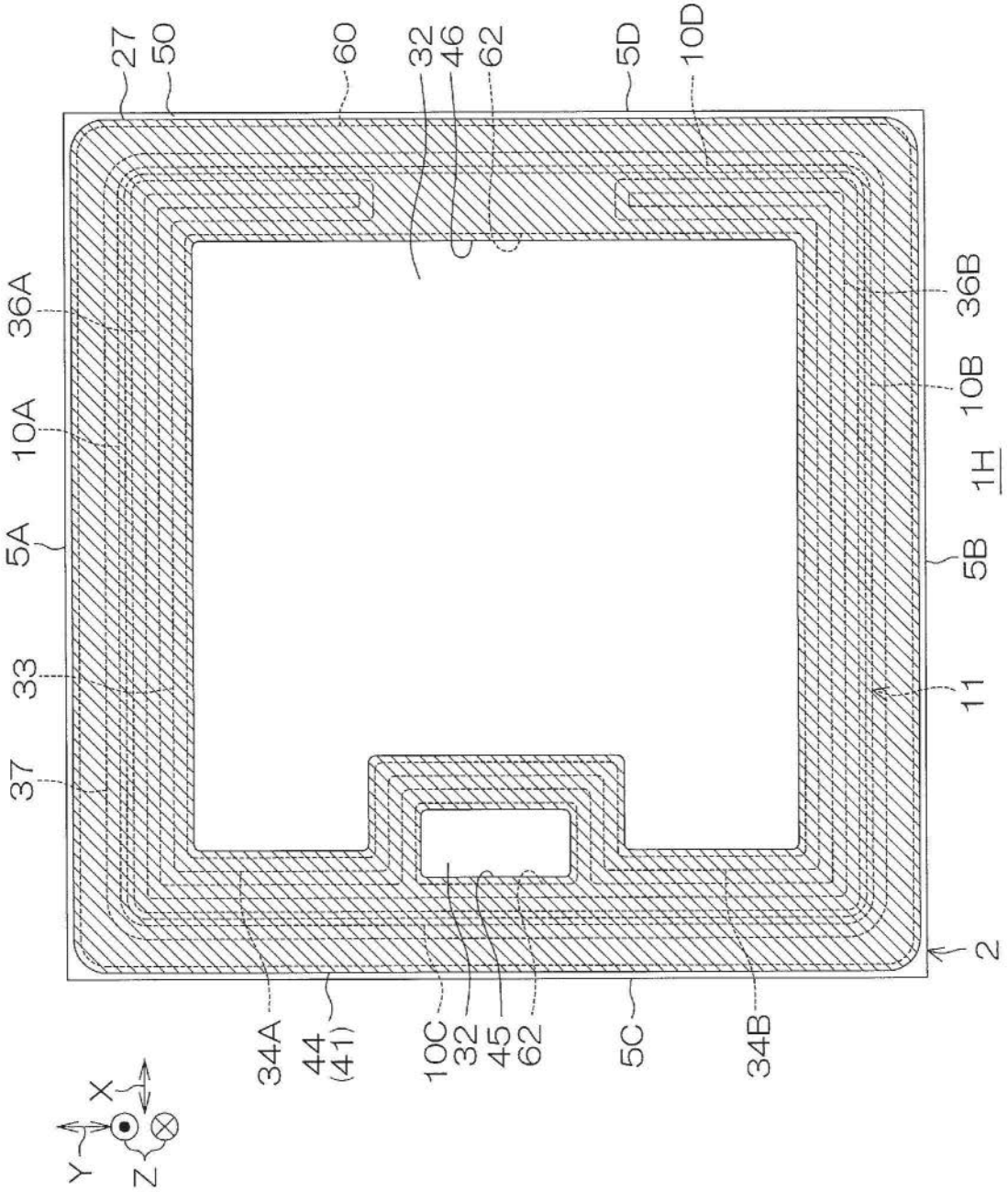

27
50
60
32
46
62
5D
10D
36A
10A
5A
33
37
36B
10B
1H
5B
11
2
34A
44
(41)
10C
32
45
62
5C
34B
X
Y
Z

图16

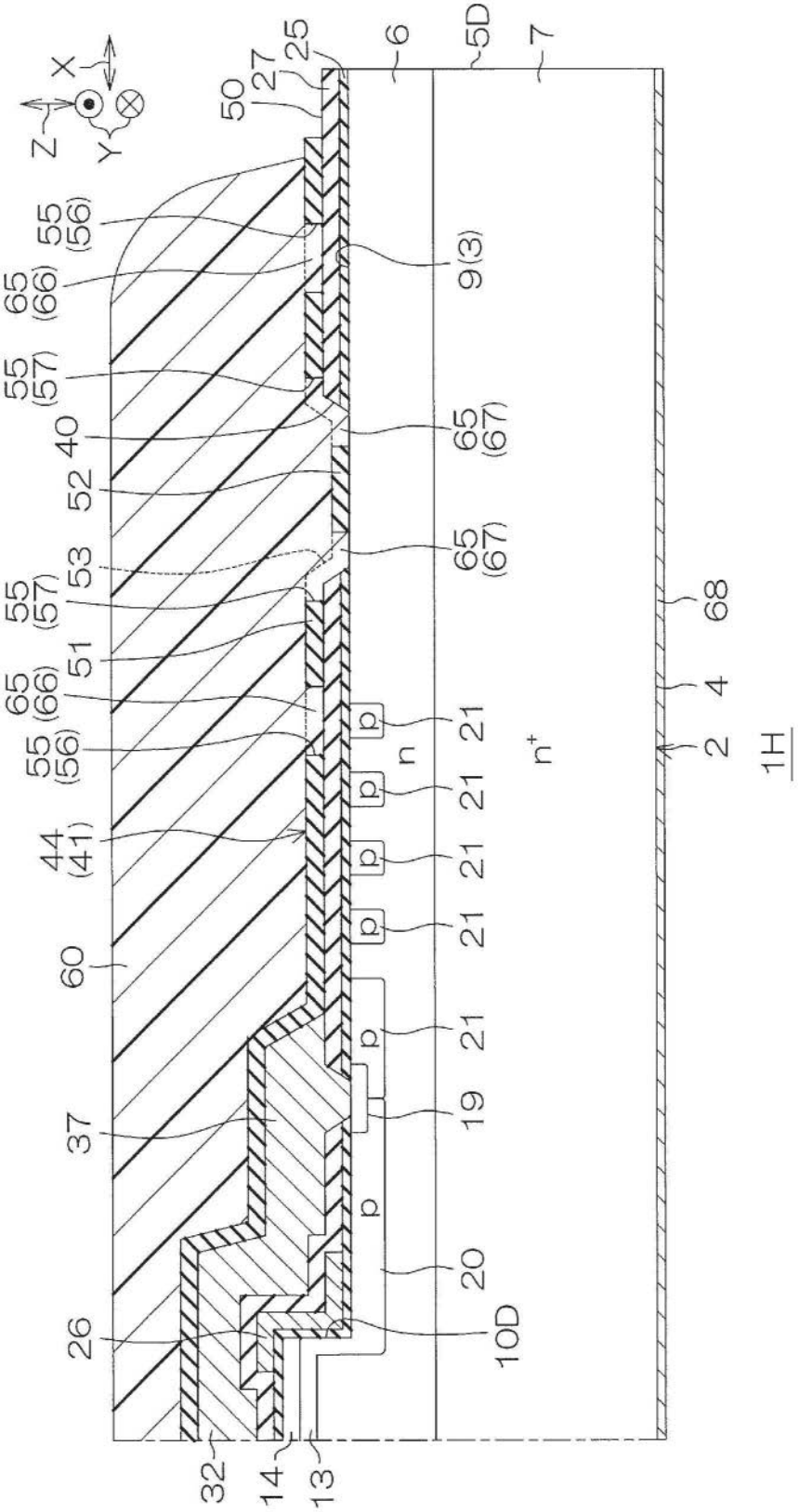

X
Z
Y
50
27
25
6
5D
7
55 (56)
65 (66)
9(3)
55 (57)
40
65 (67)
52
53
65 (67)
55 (57)
68
51
65 (66)
4
55 (56)
p
21
n
n+
2
1H
44 (41)
60
37
19
20
26
10D
32
14
13

图17

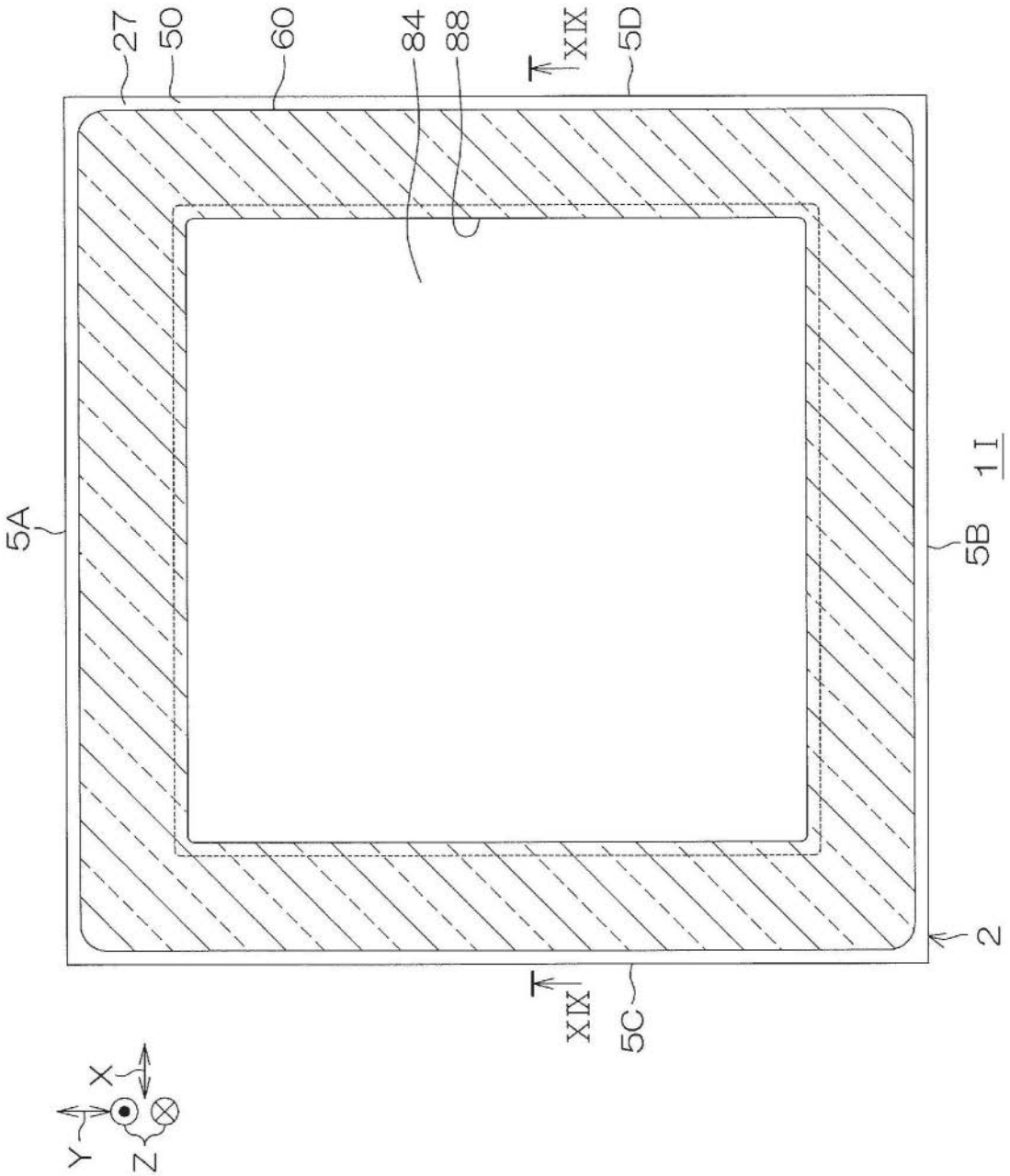


图18

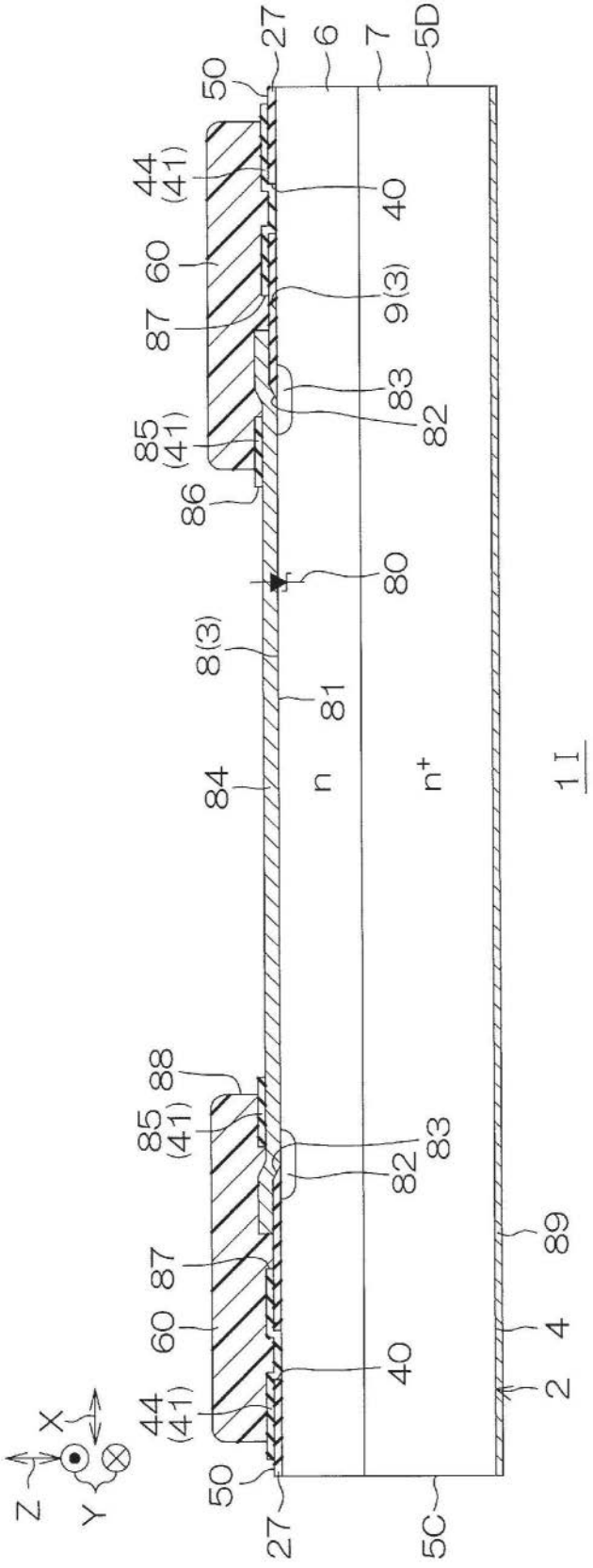

27
6
7
5D
50
44
(41)
40
60
9(3)
87
83
82
85
(41)
86
80
8(3)
81
84
n
n+
11
88
85
(41)
83
82
89
87
4
60
40
2
44
(41)
50
27
5C
X
Z
Y

图19

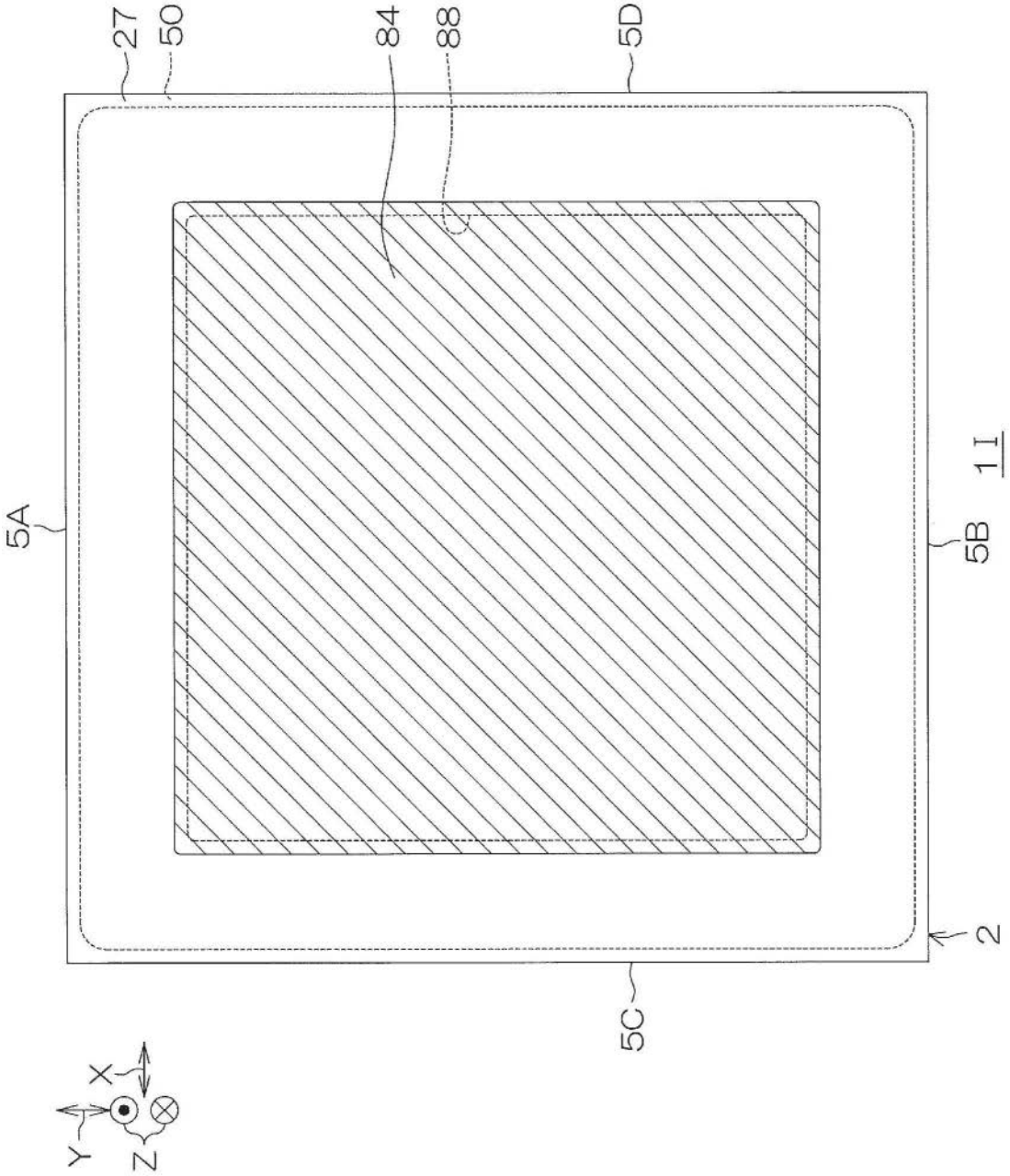


图20

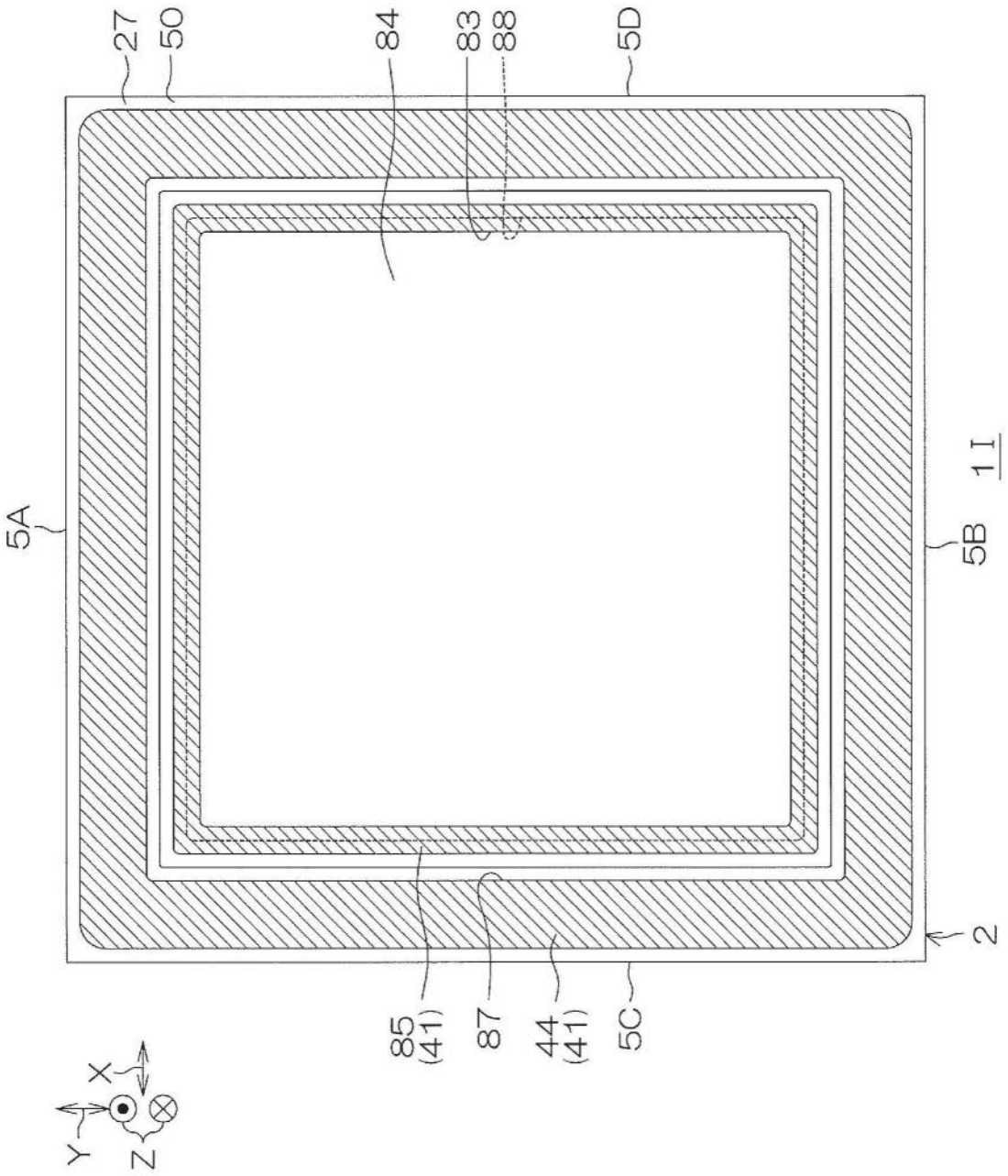


图21

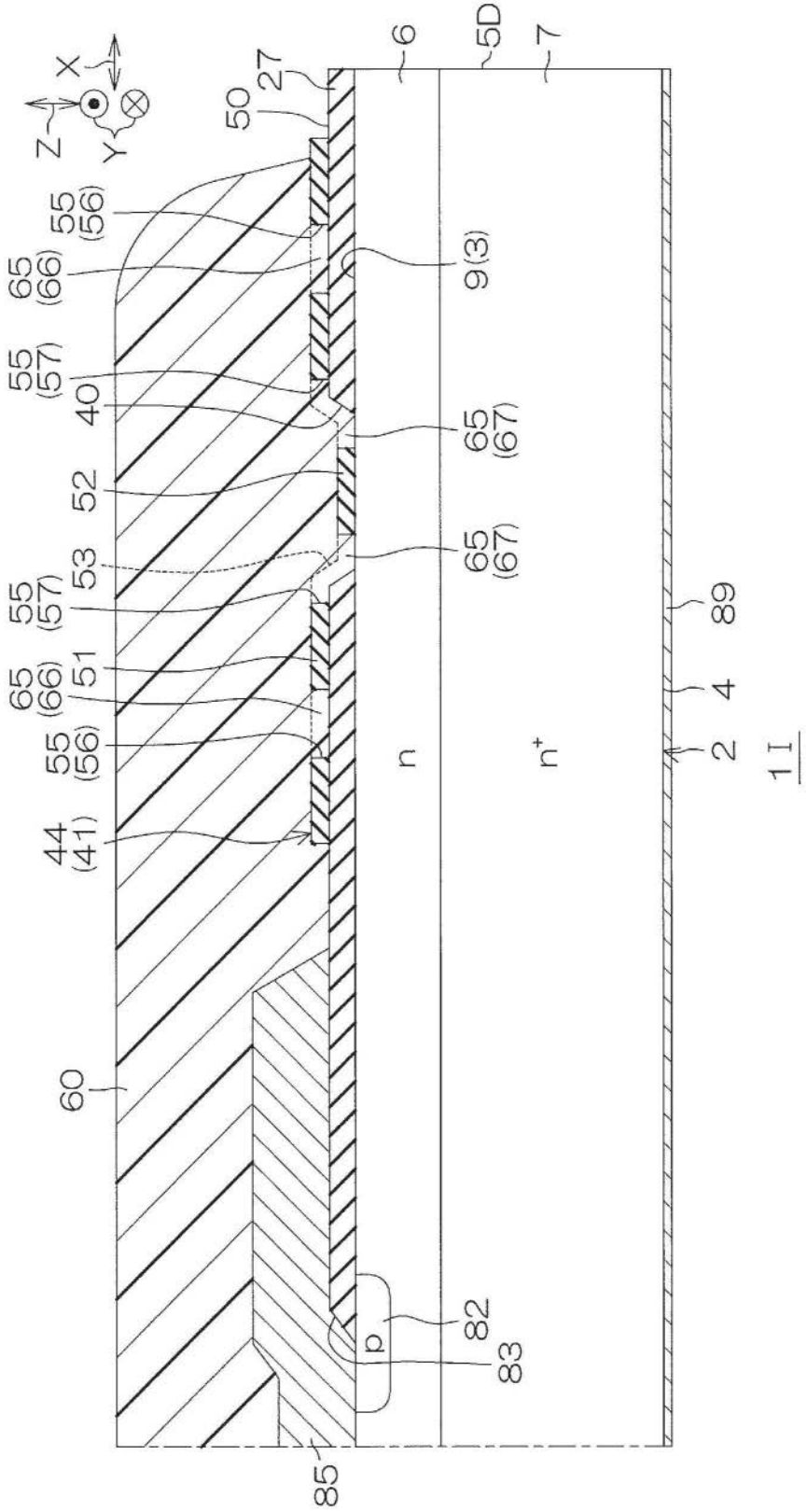

X
Z
Y
50
27
6
5D
7
55
(56)
65
(66)
9(3)
55
(57)
40
65
(67)
52
53
65
(67)
55
(57)
89
65
(66)
51
4
55
(56)
n
n+
2
1 I
44
(41)
60
p
82
83
85

图22

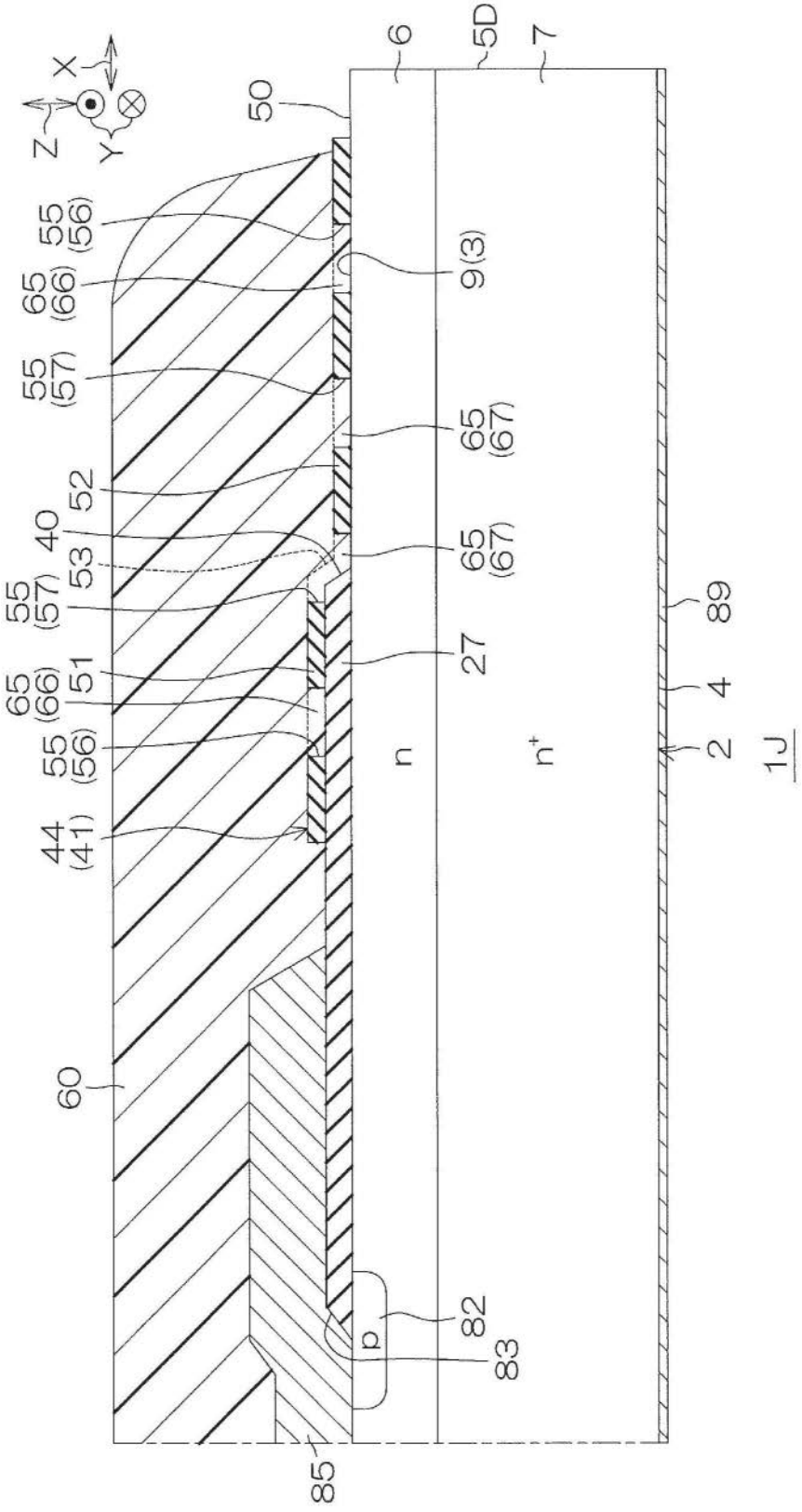

X
Z
Y
50
6
5D
7
55 (56)
65 (66)
55 (57)
52
40
53
55 (57)
65 (66)
51
55 (56)
44 (41)
60
9(3)
65 (67)
65 (67)
27
89
4
2
1J
n
n+
p
82
83
85

图23

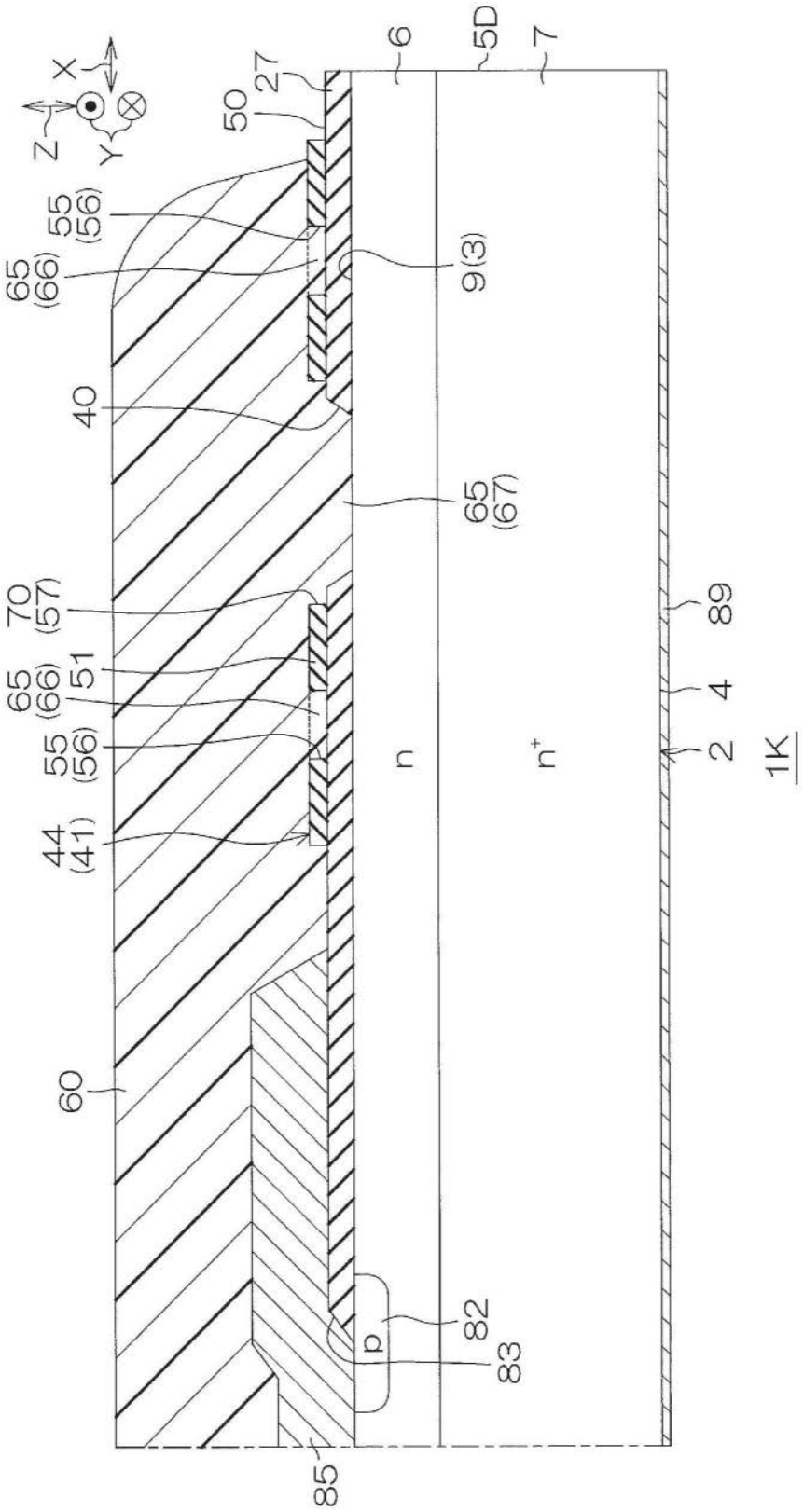

X
Z
Y
50
27
6
5D
7
55
(56)
65
(66)
9(3)
40
65
(67)
70
(57)
89
65
(66)
51
4
55
(56)
n
n+
2
1K
44
(41)
60
p
82
83
85

图24

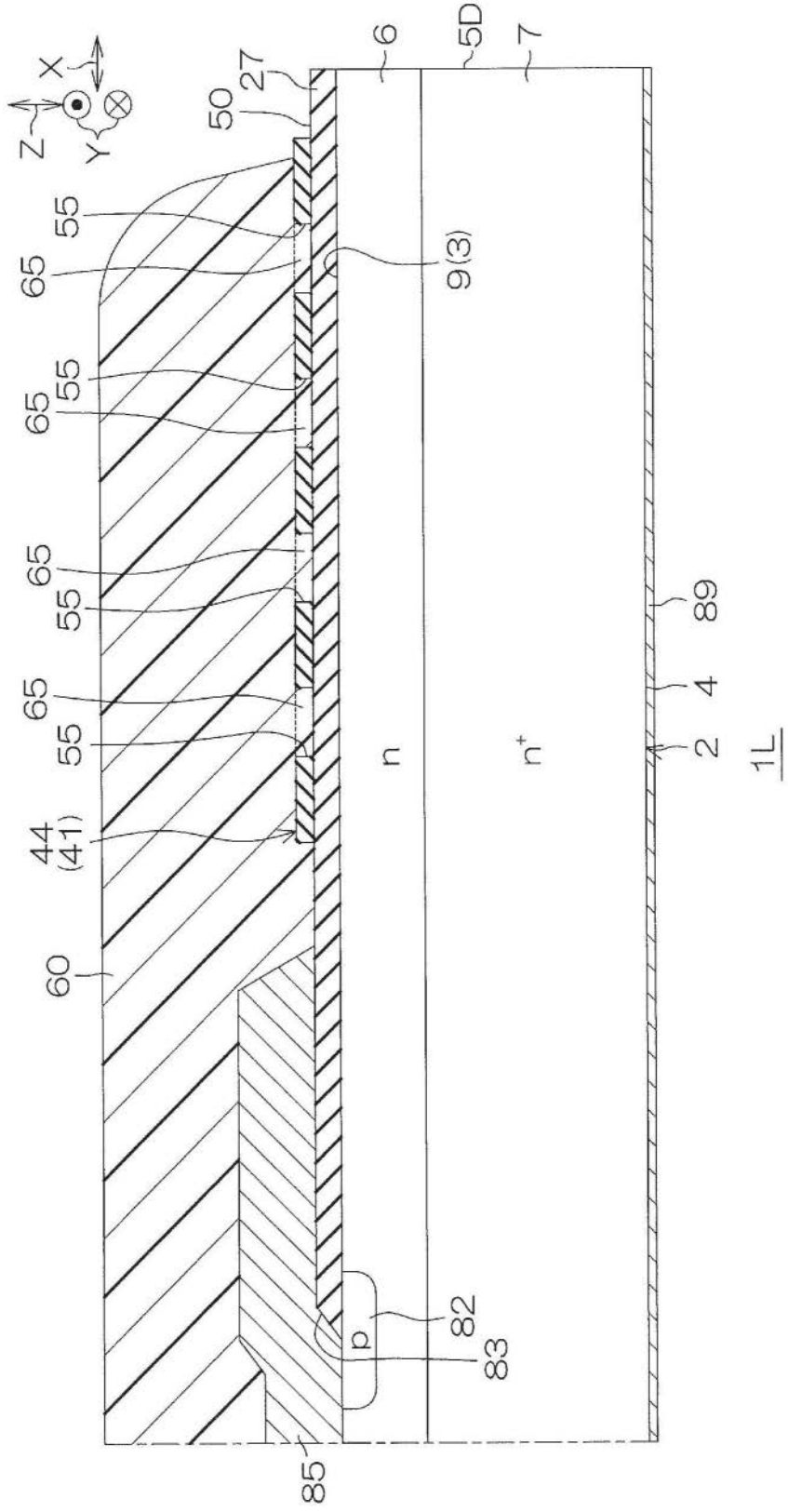

X
Z
Y
6
5D
7
50
27
55
65
9(3)
55
65
65
55
65
55
65
55
44
(41)
60
89
4
2
1L
n
n+
p
82
83
85

图25

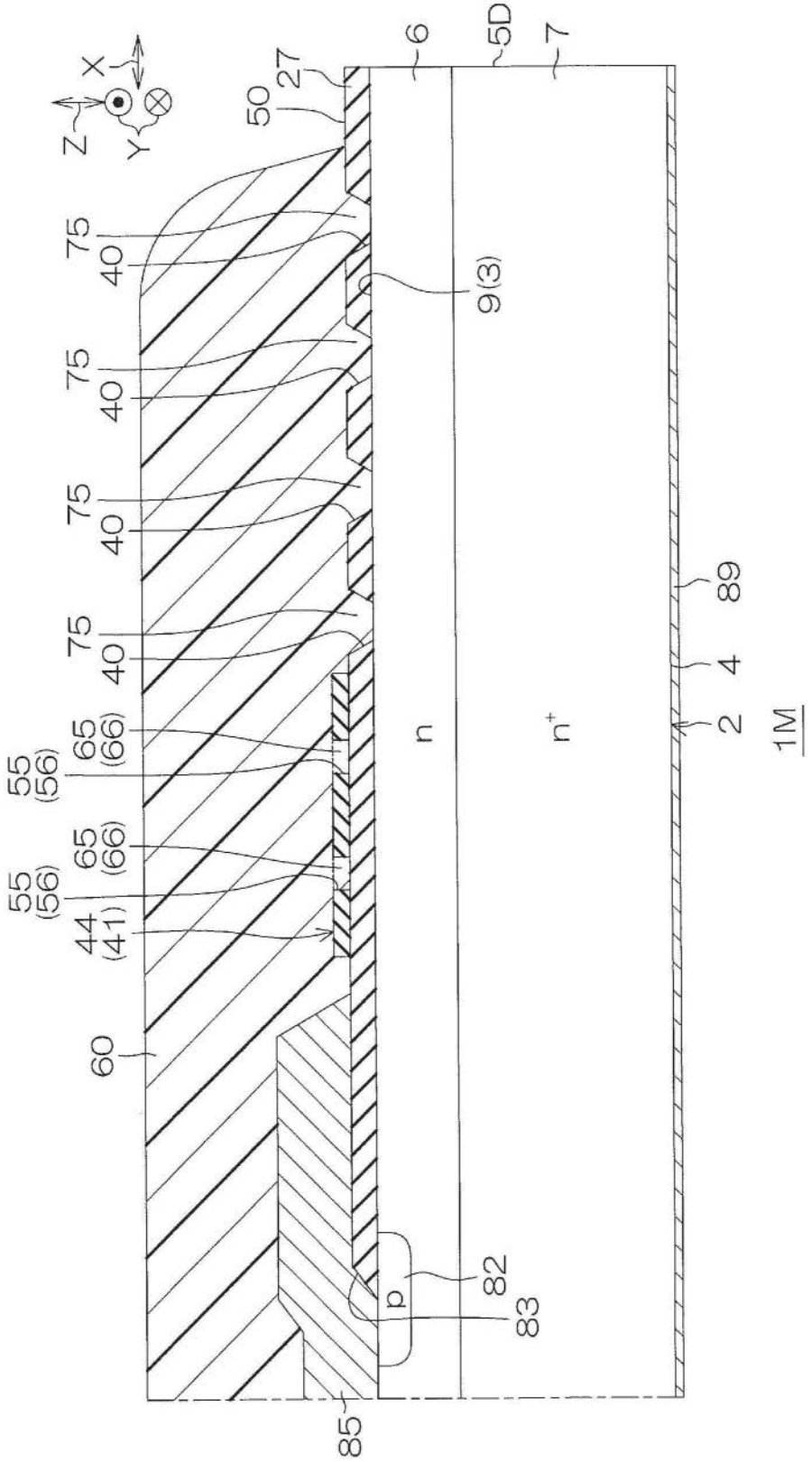


图26

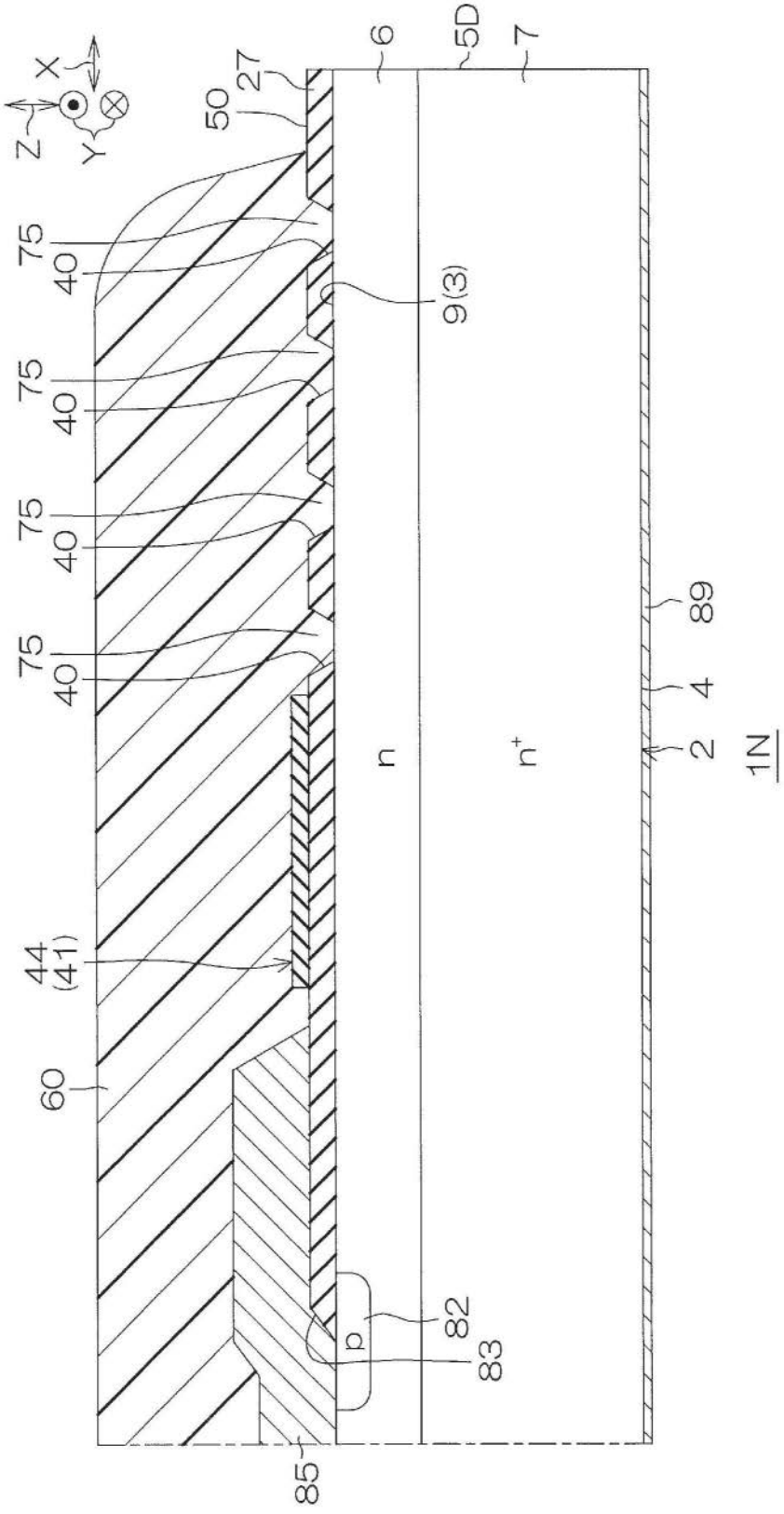


图27

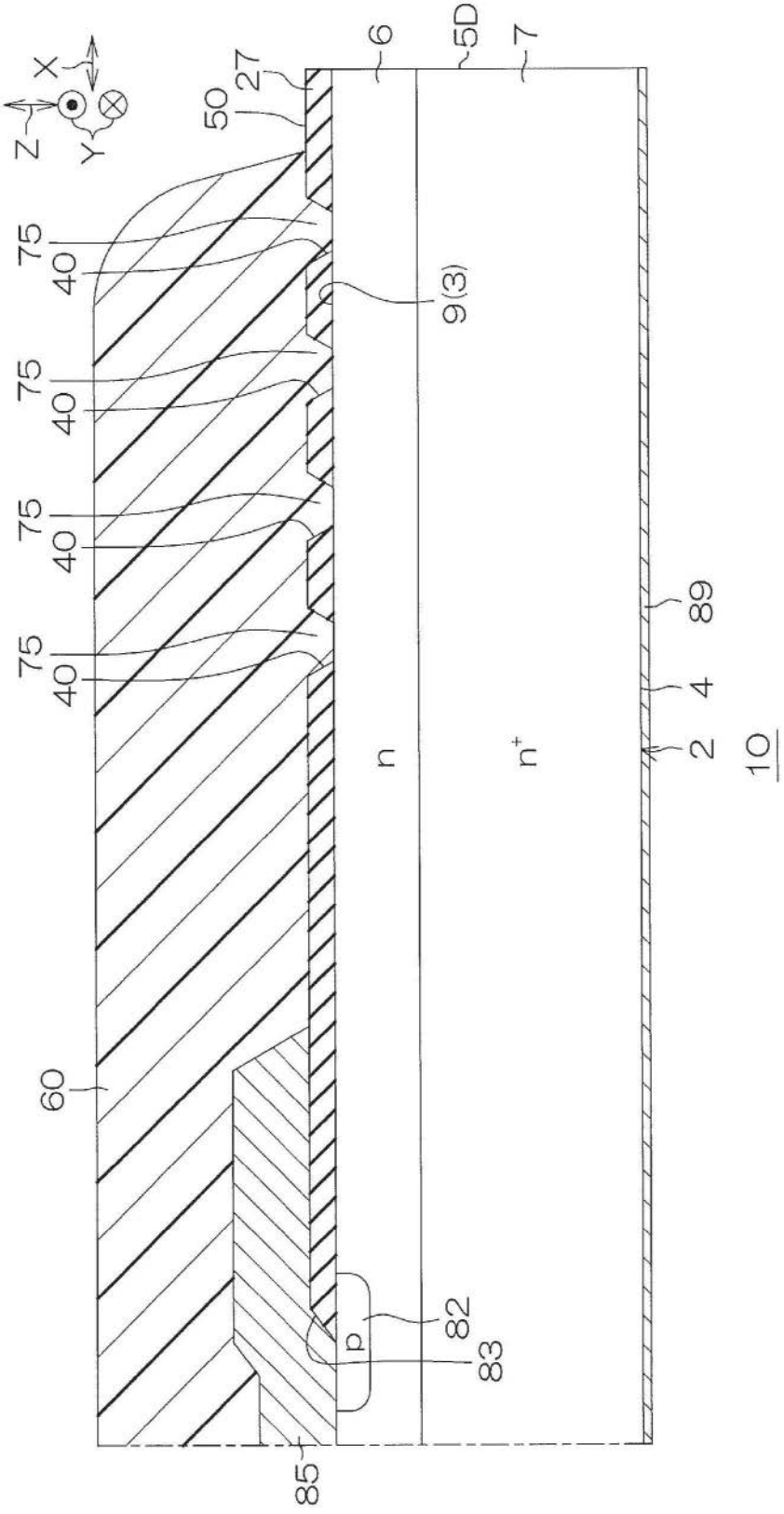


图28

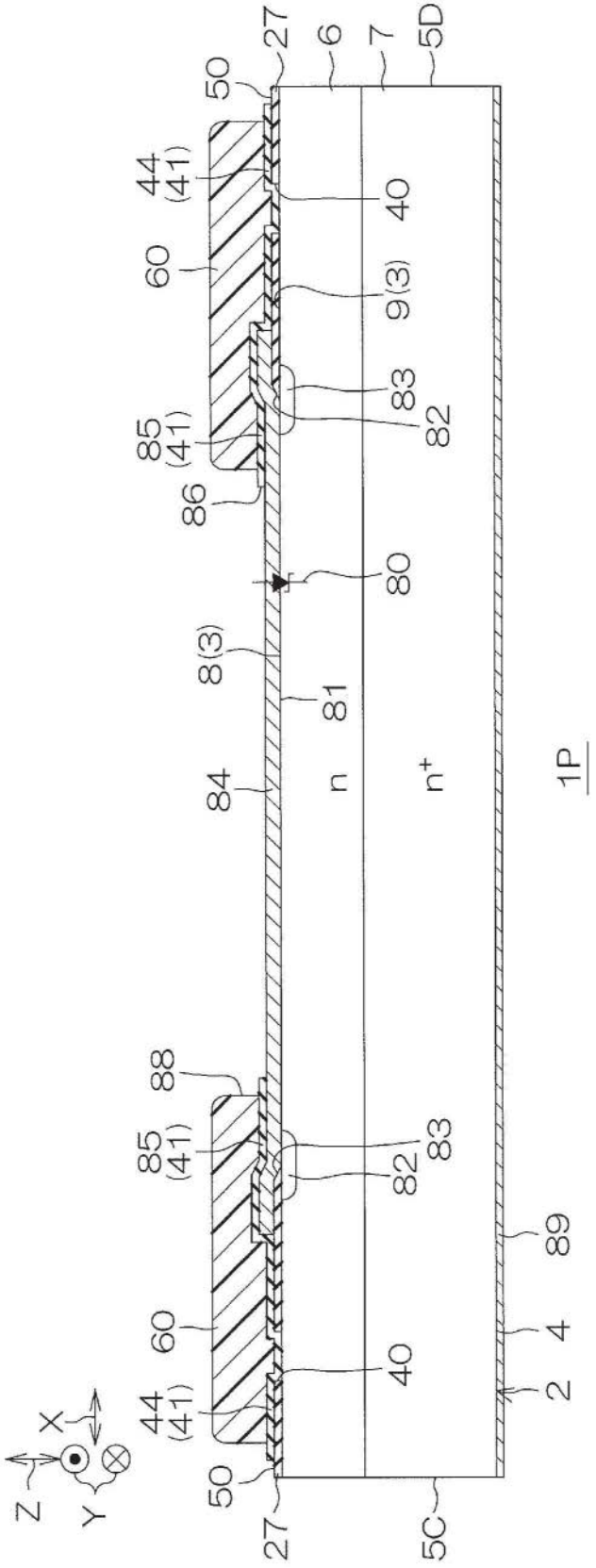

27
6
7
5D
50
44
(41)
40
60
9(3)
83
82
85
(41)
86
80
8(3)
81
84
n
n+
1P
88
85
(41)
83
82
89
60
4
40
2
44
(41)
50
27
5C
X
Z
Y

图29

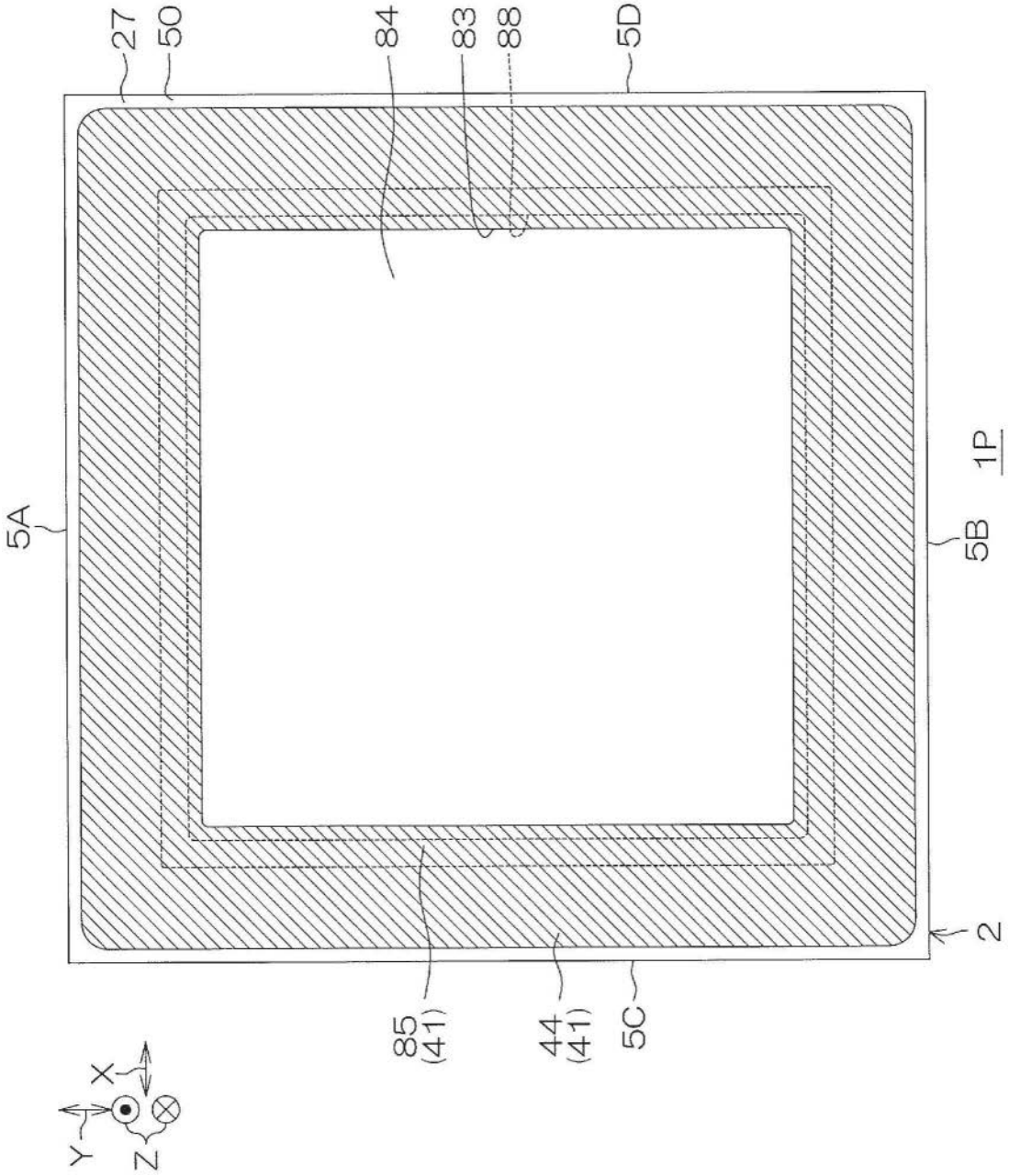


图30

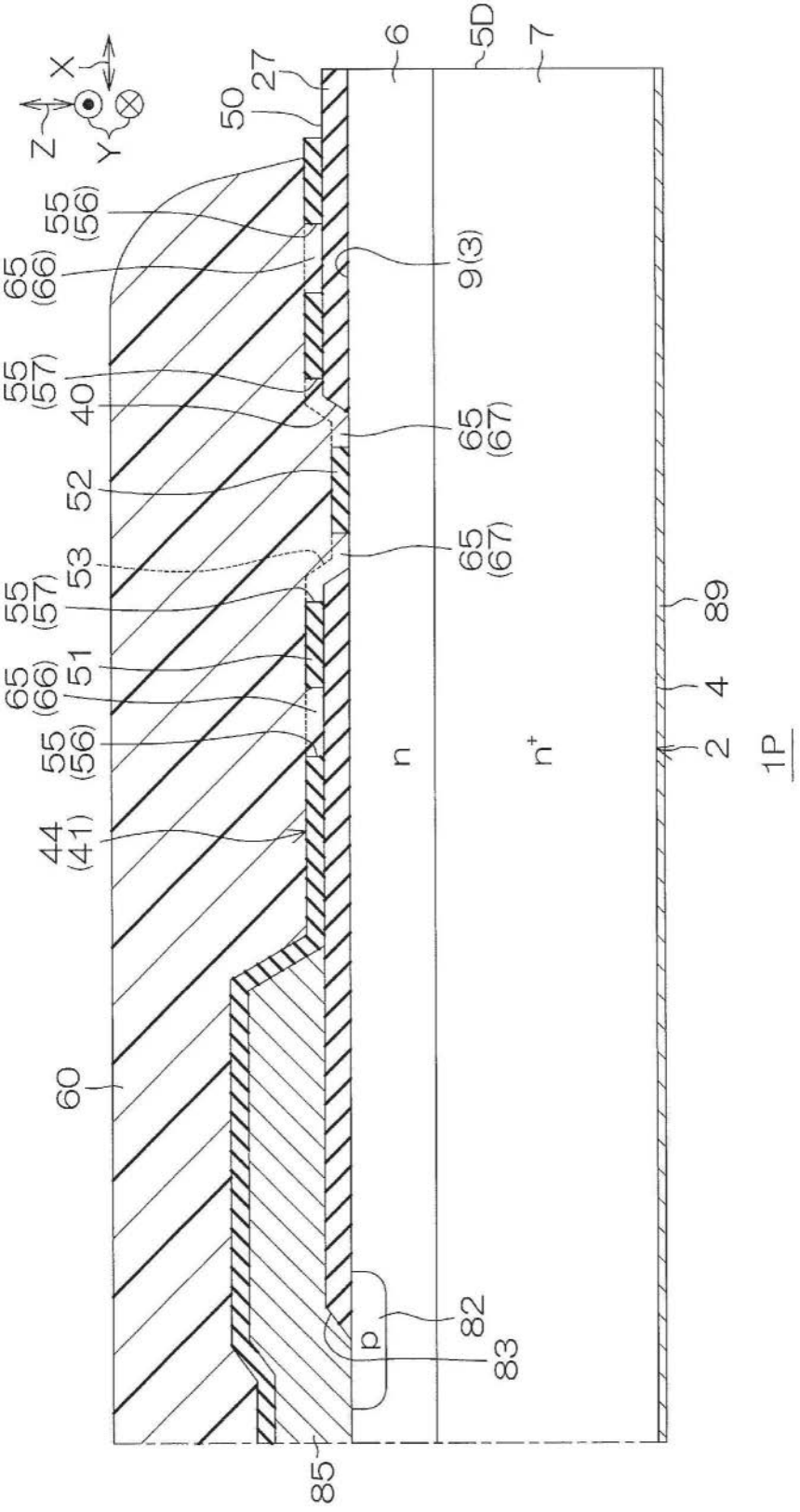

X
Z
Y
50
27
6
5D
7
55
(56)
65
(66)
9(3)
55
(57)
40
65
(67)
52
53
65
(67)
55
(57)
89
65
(66)
51
4
55
(56)
n
n+
2
1P
44
(41)
60
p
82
83
85

图31

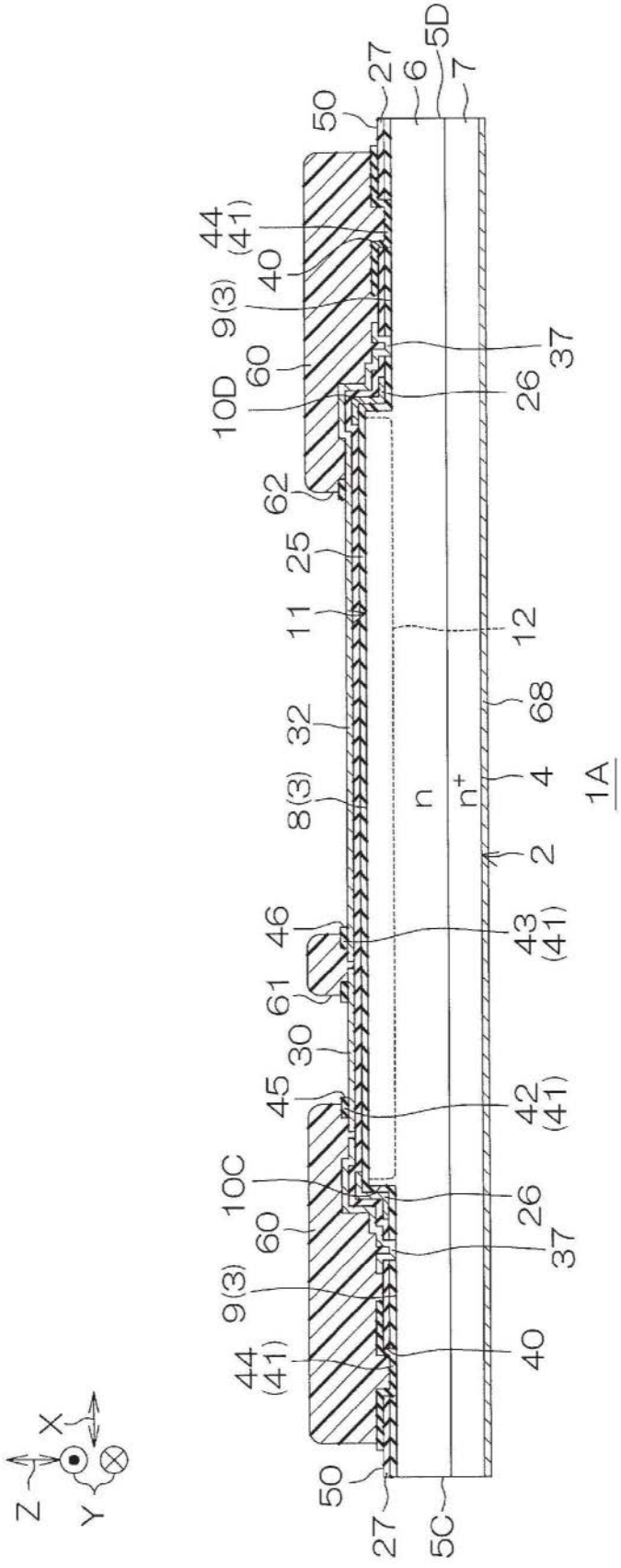

5D
27
6
7
50
44
(41)
40
9(3)
60
10D
37
26
62
25
11
12
32
68
8(3)
n
n+
4
2
1A
46
43
(41)
61
30
45
42
(41)
10C
60
26
37
9(3)
44
(41)
40
50
27
5C
X
Z
Y

图32

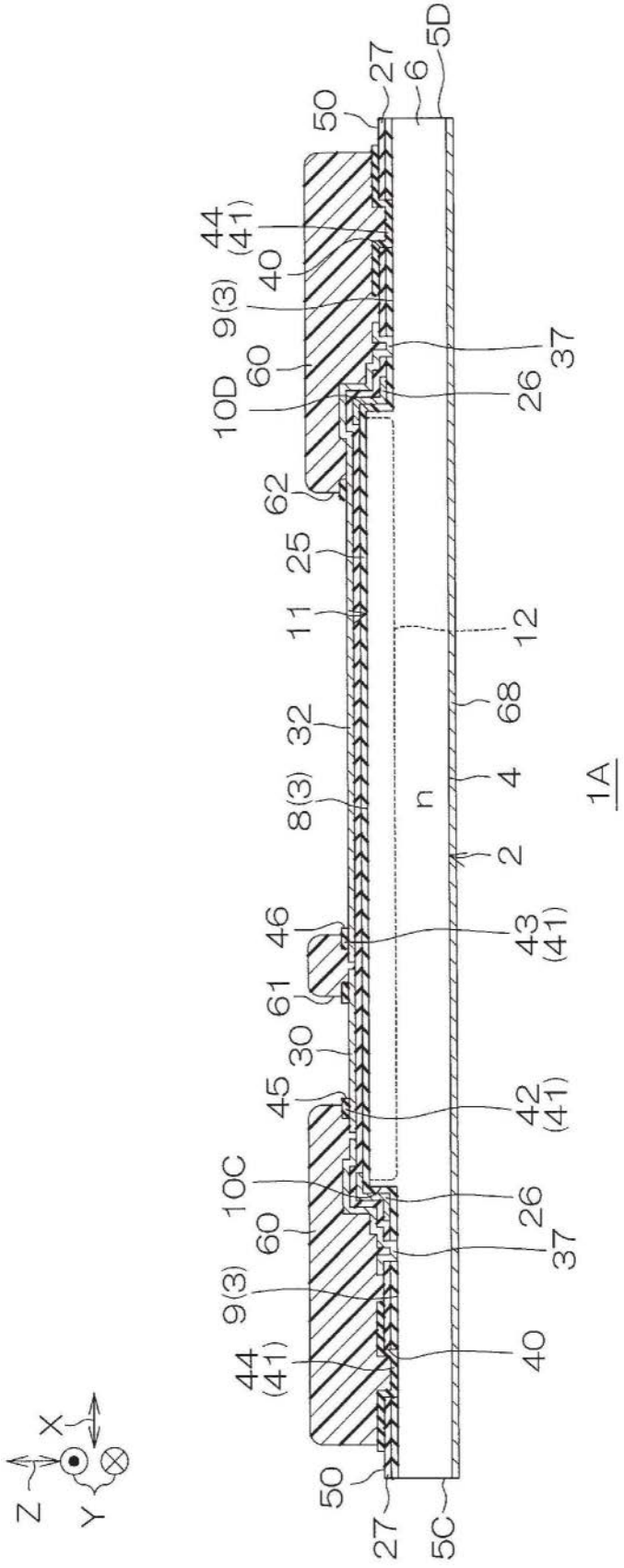

5D
6
27
50
44
(41)
40
9(3)
60
10D
37
26
62
25
11
12
32
68
8(3)
4
n
2
1A
46
43
(41)
61
30
45
42
(41)
10C
60
26
37
9(3)
44
(41)
40
50
27
5C
X
Z
Y

图33