

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4593636号
(P4593636)

(45) 発行日 平成22年12月8日(2010.12.8)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int. Cl.	F I
G09G 3/28 (2006.01)	G09G 3/28 H
G09G 3/288 (2006.01)	G09G 3/28 B
G09G 3/20 (2006.01)	G09G 3/28 E
	G09G 3/28 J
	G09G 3/20 624M
請求項の数 1 (全 18 頁) 最終頁に続く	

(21) 出願番号	特願2008-27166 (P2008-27166)	(73) 特許権者	000005108
(22) 出願日	平成20年2月7日(2008.2.7)		株式会社日立製作所
(65) 公開番号	特開2009-186792 (P2009-186792A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成21年8月20日(2009.8.20)	(74) 代理人	100094525
審査請求日	平成22年1月8日(2010.1.8)		弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(72) 発明者	熊谷 純一
			神奈川県横浜市戸塚区吉田町292番地
			株式会社日立製作所デジタルコンシューマ
			事業部内
		(72) 発明者	伊藤 克美
			神奈川県横浜市戸塚区吉田町292番地
			株式会社日立製作所デジタルコンシューマ
			事業部内
最終頁に続く			

(54) 【発明の名称】 プラズマディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

複数の第1及び第2の表示電極と前記第1,第2の表示電極に交差する複数のアドレス電極とを有する表示パネルと,

前記第1,第2の表示電極およびアドレス電極を駆動する電極駆動回路と,

前記電極駆動回路を制御する駆動制御回路とを有するプラズマディスプレイ装置であって,

前記駆動制御回路は,サブフィールドにおいて,少なくとも前記第1の表示電極を走査しながら前記アドレス電極にアドレス電圧を印加して選択的にセルを点灯するアドレス駆動制御を有し,前記サブフィールドの内の第1のサブフィールドにて走査するセルに対してその前のサブフィールドが点灯か非点灯かに関わらずリセットを行う全セルリセット駆動制御と,前記サブフィールドの内の第2のサブフィールドにてその前のサブフィールドの点灯セルをリセットするオンセルリセット駆動制御と,前記点灯セルにサステイン放電を発生させるサステイン駆動制御とを組み合わせながら駆動を行い,

前記駆動制御回路は,さらに,前記表示パネルが第1の温度の場合は,前記オンセルリセット駆動制御において前記第1の表示電極の時間の経過に伴って電位が上昇する鈍波パルスの到達電位を第1の電位に制御し,前記表示パネルが前記第1の温度より高い第2の温度の場合は,前記オンセルリセット駆動制御において前記第1の表示電極の鈍波パルスの到達電位を第1の電位より高い第2の電位に制御すると共に,前記第2の温度の場合に,前記第2の電位に制御されるオンセルリセット駆動制御を,前記第2のサブフィールド

のうち前記第1のサブフィールドから時間的に離間して配置されるサブフィールドについてのみ行い、

前記全セルリセット駆動制御における前記第1の表示電極の鈍波パルスの到達電位が点灯セルと非点灯セルの両方で放電する全セルリセット電位であり、前記オンセルリセット駆動制御における前記第1の表示電極の鈍波パルスの到達電位が点灯セルで放電し非点灯セルで放電しないオンセルリセット電位であることを特徴とするプラズマディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プラズマディスプレイ装置に関し、特に、リセット不良を改善したプラズマディスプレイ装置に関する。

【背景技術】

【0002】

プラズマディスプレイ装置は、大画面の薄型テレビとして普及している。特に、近年においてはフルハイビジョン対応の薄型テレビとして注目を受けている。

【0003】

プラズマディスプレイ装置のパネル駆動は、セルの壁電荷の状態をリセットするリセット期間と、表示電極を走査して表示画像をセルに書き込むアドレス期間と、アドレス期間で書き込まれたセルに複数回のサステイン放電を生じさせて高輝度発光するサステイン期間とで構成される。そして、1つの画像を表示するフィールド期間は、複数のサブフィールドで構成され、各サブフィールドは、リセット期間とアドレス期間とサステイン期間とを有する。各サブフィールドのサステイン期間でのサステイン放電回数を異ならせ、点灯するサブフィールドを組み合わせることで、1フィールド期間において多階調表示を行う。

【0004】

上記のプラズマディスプレイ装置において、リセット期間では点灯したセルの壁電荷状態をリセットし壁電荷量を調整するために表示電極に鈍波パルス（またはランプ波形パルス。以下同様）を印加して微少放電を発生させることが提案されている。例えば、以下に示す特許文献1～6に記載されている。

【0005】

これらの特許文献には、リセット期間において、表示電極のうち走査電極に対応するY電極に正極性の鈍波パルスを印加し、その後負極性の鈍波パルスを印加することが記載されている。

【0006】

また、特許文献6には、駆動負荷量が大きくなると放電ガスの活性化エネルギーが高くなり駆動電圧が低くなる特性を利用して、走査電極の駆動電圧またはアドレス電極の駆動電圧を低下させることが記載されている。

【特許文献1】特開2003-15602号公報

【特許文献2】特開2003-157043号公報

【特許文献3】特開2003-302931号公報

【特許文献4】特開2004-4513号公報

【特許文献5】特開2000-267625号公報

【特許文献6】WO2006/013658A1

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記の通り、リセット期間では表示電極を構成するY電極とX電極との間に正極性の鈍波パルスを印加してセルのX、Y電極とアドレス電極上の壁電荷状態をリセットし、さらにY電極とX電極との間に負極性の鈍波パルスを印加して壁電荷量を最適な量に調整する

10

20

30

40

50

。各電極上の壁電荷量を最適な量にすることで、後続のアドレス期間では、点灯対象のセルにおいてのみアドレス電極とY電極との間でアドレス放電を発生させると共に、X、Y電極間でも放電を発生させることができる。そして、サステイン期間では、Y、X電極間に所定回数のサステインパルス印加すると、アドレス期間に書き込まれた点灯セルにサステイン放電が繰り返し発生する。

【0008】

一方、リセット放電には、該当するフィールドにおいて走査を行うセルに対して点灯/非点灯にかかわらずにリセットを行う全セルリセットと、直前のサブフレームで点灯したセルのみリセットするオンセルリセットとがある。全てのサブフレームで全セルリセットを行うことが理想的ではあるが、逆に背景発光の規模が大きくなりコントラストの低下を招く。よって、フィールド期間内の一部のサブフレームのみ全セルリセットを行い、残りのサブフレームではオンセルリセットが行われる。

10

【0009】

しかしながら、プラズマディスプレイ装置では、サステイン放電回数が増大するとパネルの温度が上昇する。パネルの温度上昇は、アドレス期間における半選択状態のセルでの電荷リークや微弱放電をより活発化させる。半選択状態とは、走査電極であるY電極には走査パルスは印加されていないが、アドレス電極にアドレスパルスが印加されている状態であり、特に、アドレス期間の終盤に走査されるY電極上のセルが長く半選択状態になる。

【0010】

20

半選択状態のセルは、アドレス電極に正の電圧が印加されているため、アドレス電極上の電荷が放電空間にリークしやすく、さらに、アドレス電極とY電極との間で微弱な放電が発生しやすい。そのため、半選択状態にされたセルでは、アドレス電極上の電荷やY電極上の電荷が減り、その後選択された時にアドレス電極とY電極との間で正常にアドレス放電が生じないという誤り非点灯の課題がある。

【0011】

このような誤り非点灯が発生したセルでは、全セルリセットにより3つの電極上の壁電荷状態がリセットされるまでアドレス放電が発生せず、表示破綻を招く。

【0012】

そこで、本発明の目的は、誤り非点灯セルの発生を抑制したプラズマディスプレイ装置を提供することにある。

30

【課題を解決するための手段】

【0013】

第1の側面のプラズマディスプレイ装置は、複数の第1及び第2の表示電極と前記第1、第2の表示電極に交差する複数のアドレス電極とを有する表示パネルと、前記第1、第2の表示電極およびアドレス電極を駆動する電極駆動回路と、前記電極駆動回路を制御する駆動制御回路とを有する。そして、前記駆動制御回路は、サブフィールドにおいて、少なくとも前記第1の表示電極を走査しながら前記アドレス電極にアドレス電圧を印加して選択的にセルを点灯するアドレス駆動制御を有し、該当するフィールドにて走査するセルに対してその前のフィールドが点灯か非点灯かに関わらずリセットを行う全セルリセット駆動制御と、前記前のフィールドの点灯セルをリセットするオンセルリセット駆動制御と、前記点灯セルにサステイン放電を発生させるサステイン駆動制御とを組み合わせながら駆動を行い、前記駆動制御回路は、さらに、前記表示パネルが第1の温度の場合は、前記オンセルリセット駆動制御において前記第1の表示電極の鈍波パルスの到達電位を第1の電位に制御し、前記表示パネルが前記第1の温度より高い第2の温度の場合は、前記オンセルリセット駆動制御において前記第1の表示電極の鈍波パルスの到達電位を第1の電位より高い第2の電位に制御する。

40

【0014】

上記の第1の側面によれば、温度の上昇に伴ってオンセルリセットでの第1の表示電極の鈍波パルスの到達電位をより高い第2の電位にすることで、リセット放電規模を大きく

50

し、電極上の壁電荷量を増やすことができる。それにより、半選択状態に晒されても壁電荷量の低下が抑制され、誤り非点灯を抑制することができる。

【0015】

上記の第1の側面において、好ましい態様では、前記駆動制御回路は、前記第2の温度の場合に、前記第2の電位に制御されるオンセルリセット駆動制御を、前記第2のサブフィールドのうち前記第1のサブフィールドから時間的に離間して配置されるサブフィールドについてのみ行う。

【0016】

上記の第1の側面において、好ましい態様では、前記駆動制御回路は、前記第2の温度の場合に、前記第2の電位に制御されるオンセルリセット駆動制御を、前記第2のサブフィールドのうちサステイン放電回数がより多い一部のサブフィールドについてのみ行う。

10

【0017】

第2の側面のプラズマディスプレイ装置では、駆動制御回路は、さらに、前記表示パネルが第1の温度の場合よりも、当該第1の温度より高い第2の温度の場合のほうが、前記オンセルリセット駆動制御における前記第1及び第2の表示電極間の電圧と前記第1の表示電極とアドレス電極との間の電圧とを大きく制御する。

【0018】

上記の第2の側面の場合も、オンセルリセットでのリセット放電規模を大きくし、電極上の壁電荷量を増やすことができる。それにより、半選択状態に晒されても壁電荷量の低下が抑制され、誤り非点灯を抑制することができる。

20

【0019】

第3の側面のプラズマディスプレイ装置では、前記駆動制御回路は、さらに、前記表示パネルが第1の温度の場合よりも、当該第1の温度より高い第2の温度の場合のほうが、前記第1のサブフィールドの発生頻度を高く制御する。

【0020】

上記の第3の側面によれば、温度上昇に伴い全セルリセットの頻度を高くするので、半選択状態による壁電荷量の低下に起因する誤り非点灯の可能性を低くすることができる。

【0021】

上記の第3の側面において、好ましい態様では、前記駆動制御回路は、前記表示パネルの温度が上昇するにしたがい、前記第1のサブフィールドの発生頻度を徐々に高く制御する。

30

【0022】

上記の第3の側面において、好ましい態様では、前記駆動制御回路は、前記表示パネルの温度が上昇するにしたがい、前記第1のサブフィールドの前記全セルリセット駆動制御において、前記鈍波パルスの到達電位をより高く制御する。

【発明の効果】

【0023】

上記の発明によれば、半選択状態に起因する誤り非点灯の発生を抑制できる。

【発明を実施するための最良の形態】

【0024】

以下、図面にしたがって本発明の実施の形態について説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されず、特許請求の範囲に記載された事項とその均等物まで及ぶものである。

40

【0025】

図1は、本実施の形態におけるプラズマディスプレイ装置のパネル構成図である。プラズマディスプレイパネル10は、前面基板11と背面基板16とが放電空間を挟んで配置される。前面基板11には、透明電極12とその上に重ねた金属バス電極13からなるX電極と、透明電極14とその上に重ねた金属バス電極15からなるY電極とが、複数対配置され、それらX、Y電極は誘電体層I F aで被覆されている。一对のX、Y電極が一对の表示電極を構成する。

50

【0026】

また、背面基板16には、複数のアドレス電極17と、アドレス電極17の間に配置された隔壁18と、アドレス電極17及び隔壁18上に設けられた蛍光体層19R, 19G, 19Bとを有する。蛍光体層19R, 19G, 19Bは、放電空間で放電が発生した時に生成される紫外線により励起されそれぞれ赤, 緑, 青の光を発光する。それらの発光は前面基板11の透明電極12, 14を通過して前面側に出射する。

【0027】

なお、図1では、隔壁18はアドレス電極に沿ってストライプ状に形成されているが、セル領域を囲むように格子状に形成されていてもよい。

【0028】

図2は、図1のパネルの断面図である。図1のアドレス電極17に沿った断面図であり、図1と同じ引用番号が与えられている。つまり、前面基板11上には、透明電極12と金属バス電極13からなるX電極と、透明電極14と金属バス電極15からなるY電極と、それらを被覆する誘電体層IFaとが形成され、さらに、誘電体層IFaの上にはMgOからなる保護膜21と、単結晶のMgO粒子22とが配置される。保護膜21のMgOは蒸着法やスパッタリング法で形成される多結晶体であるのに対して、MgO粒子22は単結晶体である。

【0029】

背面基板16上には、アドレス電極17と、それを被覆する誘電体層IFbと、蛍光体19とが形成されている。図2には隔壁18は示されていない。

【0030】

図3は、本実施の形態におけるプラズマディスプレイ装置の電極駆動回路の構成図である。図中、パネル10は前面基板11と背面基板16とが重なった状態で示されていて、水平方向に延びるX電極X1~XmとY電極Y1~Ymとが交互に配置され、垂直方向に延びるアドレス電極A1~Anが配置されている。

【0031】

電極駆動回路は、X電極を駆動するX電極駆動回路30と、Y電極を駆動するY電極駆動回路32と、アドレス電極を駆動するアドレス電極駆動回路35と、それら駆動回路30, 32, 35に制御信号を供給して各駆動回路の駆動動作を制御する駆動制御回路36とを有する。X電極駆動回路30は、全てのX電極に共通の駆動パルス印加するX側共通駆動回路31を有し、X側共通駆動回路31は、X電極にリセットパルスと、アドレス電圧と、サステインパルスとを印加する。また、Y電極駆動回路32は、Y電極Y1~Ymに走査パルス印加する走査駆動回路33と、Y電極にリセットパルスとサステインパルスとを印加するY側共通駆動回路34とを有する。

【0032】

駆動制御回路36は、水平同期信号Hsyncと垂直同期信号Vsyncと同期クロックCLKとアナログまたはデジタルの画像信号Videoとを入力し、パネル10を駆動するために必要な駆動制御信号30S, 32S, 35Sを駆動信号ROM37から読み出して、それぞれの駆動回路30, 32, 35に供給する。アドレス電極駆動回路への制御信号35Sは、画像信号に対応してサブフィールド毎に生成された表示データも含む。さらに、駆動制御回路36は、パネル温度を検出する温度検出手段38からの検出温度に応じて、最適な駆動制御を行う。

【0033】

図4は、本実施の形態におけるプラズマディスプレイ装置のパネル駆動を示す図である。パネル駆動において、1フィールドFLが複数の、例えば11個のサブフィールドSF1~SF11を有し、各サブフィールドSF1~SF11は、リセット期間Trstとアドレス期間Tadとサステイン期間Tsuとを有する。1つのフレーム画像が1回の垂直走査で表示されるプログレッシブ駆動の場合は、フィールドFLとフレームとは同じである。一方、1つのフレーム画像が2回の垂直走査で表示されるインターレス駆動の場合は、2つのフィールドFLが1つのフレームに対応する。いずれにしても、1回のフィ

10

20

30

40

50

ールドFLは、垂直同期信号Vsyncで画定される垂直同期期間に対応し、1枚の画像をパネルに表示するための期間である。

【0034】

本実施の形態では、各サブフィールドをリセット期間Trstとアドレス期間Taddとサステイン期間Tsusとで構成し、各サブフィールドのリセット期間におけるリセット駆動電圧波形を、パネルの温度に応じた波形に制御する。また、駆動制御回路は、各サブフィールドのリセット駆動制御について、背景発光規模を抑制するために、一部のサブフィールドでのみ全てのセルにリセット放電を発生させる全セルリセット駆動制御を行い、残りのサブフィールドでは直前のサブフィールドで点灯したセルのみリセット放電を発生させるオンセルリセット駆動制御を行う。

10

【0035】

そして、本実施の形態では、駆動制御回路は、パネル温度の上昇にしたがって、オンセルリセット駆動制御でのY電極に印加する鈍波パルスの到達電位を一部のサブフィールドではより高く制御する。さらに、駆動制御回路は、パネル温度の上昇にしたがって、全セルリセット駆動制御の頻度をより高く制御する。そして、駆動制御回路は、パネル温度が更に上昇するにしたがって、全セルリセット駆動制御でのY電極に印加する鈍波パルスの到達電位をより高く制御する。

【0036】

図5は、本実施の形態における全セルリセットを有するサブフィールドの駆動電圧波形図である。尚、電位関係は図示の通りでなくともよい。図5には、Y電極、X電極、アドレス電極それぞれの駆動電圧波形が示されている。前述のとおり、1つのサブフィールドSFのX、Y電極とアドレス電極の駆動制御は、最初にリセット期間Trst、次にアドレス期間Tadd、最後にサステイン期間Tsusの駆動制御を有する。よって、図5の駆動電圧波形のリセット期間Trstの開始時、各セルは、直前のサブフィールドのサステイン期間の駆動制御が終了した状態になっている。

20

【0037】

図6は、図5の駆動電圧波形に対応する3電極上の壁電荷状態を示す状態図である。図6には、2つのリセット放電Trstp、Trstnが終了したときと、アドレス期間Taddが終了したときと、2つのサステイン放電Tsus1、Tsus2が終了したときにおける、それぞれの壁電荷状態が示されている。それぞれ、アドレス電極A1に対応して2対の表示電極X1、Y1及びX2、Y2が示され、それらの電極上の壁電荷の極性がプラスとマイナスで、電荷量が楕円の大きさでそれぞれ示されている。図6において、表示電極X1、Y1とアドレス電極A1とによるセルが点灯され、表示電極X2、Y2とアドレス電極A1とによるセルが非点灯である。

30

【0038】

以下、図5、図6を参照して、全セルリセットを有するサブフィールドでの駆動動作について説明する。まず最初に、リセット期間Trstでは、Y側、X側共通駆動回路により、Y電極に正極性の鈍波パルスRPy1がX電極に負極性の鈍波パルスRPx1が印加され、第1のリセット放電Trstp(図6参照)が発生する。さらに、Y電極に負極性の鈍波パルスRPy2が、X電極に正極性の矩形パルスRPx2がそれぞれ印加され、第2のリセット放電Trstn(図6参照)が発生する。リセット期間中は、アドレス電極はグランド電位又は所定の電位(図示せず)に維持される。また、全セルリセット開始時は、図6のサステイン放電Tsus2が終了した状態、オンセルリセット開始時は、図6のサステイン放電Tsus1が終了した状態になっている。

40

【0039】

第1のリセット放電Trstpでは、まずY電極に正の電圧が印加されると共にX電極にグランドから電圧-Vxまで徐々に低下する電圧が印加され、さらに、X電極が負電圧-Vxに維持されてY電極に到達電圧+Vyp(=HVw)まで徐々に増加する電圧が印加される。つまり、Y電極には正の鈍波パルスRPy1が、X電極には負の鈍波パルスRPx1がそれぞれ印加される。これにより、X、Y間の印加電圧はゼロから徐々に増加し

50

、点灯したセルのY、X電極間でY電極からX電極方向に微弱放電が繰り返し発生する。さらに、X、Y間の印加電圧が増加すると、点灯しなかったセルのY、X間でも微弱放電が繰り返し発生する。全セルリセットでは、非点灯のセルでも放電が発生するように、到達電圧+V_{yp}が非常に高い電圧HV_wに設定される。

【0040】

さらに、第1のリセット放電T_{rstp}では、Y電極とアドレス電極間にも徐々に増加する電圧が印加され、Y電極からアドレス電極の方向に微弱放電が発生する。第1のリセット放電T_{rstp}により、Y電極とX電極に負電荷と正電荷とがある程度十分な量に形成され、アドレス電極上の負電荷は除去され、正電荷が形成される。

【0041】

次に、第2のリセット放電T_{rstn}では、Y側、X側共通駆動回路により、X電極に正極性の矩形パルスR_{Px2}がY電極に負極性の鈍波パルスR_{Py2}が印加される。これにより、X、Y電極間には徐々に増加する逆極性の電圧が印加され、その電圧に第1のリセット放電で生成されたX、Y電極上の正、負電荷を加えた電圧により、X電極からY電極の方向に微弱放電が繰り返し発生する。その結果、X、Y電極上の正、負電荷の量が徐々に減少し、その後のアドレス放電に最適な電荷量に調整される。

【0042】

次に、アドレス期間T_{add}では、X側共通駆動回路がX電極を電圧+V_xに駆動し、Yの走査駆動回路がY電極に負のスキャンパルスP_{scan}を順次印加しながら、それに同期してアドレス電極駆動回路が、書き込み対象セルのアドレス電極にアドレス電圧V_aを有するアドレスパルスP_{add}を印加する。図6の表示電極X₁、Y₁の点灯すべきセルでは、Y電極の負電圧-V_yとアドレス電極の正のアドレス電圧V_aが、Y電極上の負の電荷とアドレス電極上の正の電荷による電圧が加わって、アドレス電極とY電極間(A_Y間)に印加されて、A_Y間でアドレス放電が発生する。このA_Y間のアドレス放電に誘発されて、X電極とY電極間(X_Y電極間)でも放電が発生する。その結果、アドレス期間T_{add}が終了すると、書き込みが行われたセルには、図6のT_{add}に示されるとおり、Y電極上に正の電荷が、X電極上に負の電荷が、アドレス電極上に負の電荷がそれぞれ形成される。特に、X、Y電極上の電荷量は、その後のサステインパルスが印加されると放電が発生する程度に制御される。

【0043】

一方、図6の表示電極X₂、Y₂の非点灯のセルには、Y電極の負電圧-V_yのみ印加され、アドレス電極のアドレス電圧V_aは印加されず、アドレス放電は発生しない。そのため、非点灯セルの壁電荷状態は、リセット期間終了時の状態が維持される。

【0044】

そして、サステイン期間T_{sus}では、アドレス電極駆動回路がアドレス電極を0V(グランド)に維持し、Y側、X側共通駆動回路が、Y電極とX電極とに電圧+V_s、-V_s間で変化するサステインパルスP_{sus}を逆極性で印加する。その結果、X、Y電極間に2V_sのサステインパルス電圧が交互に印加される。図6のT_{sus1}に示されるとおり、奇数番目のサステインパルスの印加により、矢印に示すようにY電極からX電極に向かってサステイン放電が発生する。その結果、X、Y電極上の電荷の極性が反転する。さらに、T_{sus2}に示されるとおり、偶数番目のサステインパルスの印加により、矢印に示すようにX電極からY電極に向かってサステイン放電が発生する。その結果、X、Y電極上の電荷の極性が元に戻る。

【0045】

上記のサステイン期間では、アドレス電極がX、Y電極の印加電圧の中間値のグランドに維持されるので、アドレス期間終了時にアドレス電極上に負の電荷が存在していても、A_Y間またはA_X間で放電が発生することはない。

【0046】

なお、図5のサステインパルスP_{sus}は、次のフィールドで全セルリセットを行う場合について示している。つまり、次のフィールドが全セルリセットの場合は、図5に示さ

10

20

30

40

50

れるとおり Y 電極に負極性のサステインパルス，X 電極に正極性のサステインパルスを印加して，サステイン期間 T_{sus} が終了する。つまり，図 6 の偶数番目のサステイン放電 T_{sus2} で終了する。一方，次のフィールドがオンセルリセットの場合は，図 5 に示される最後のサステインパルスが印加されず，Y 電極に正極性のサステインパルス，X 電極に負極性のサステインパルスを印加して，サステイン期間 T_{sus} が終了する。つまり，図 6 の奇数番目のサステイン放電 T_{sus1} で終了する。以下の図 7，11，13 においても同様である。

【0047】

図 7 は，本実施の形態におけるオンセルリセットを有するサブフィールドの駆動電圧波形図である。尚，電位関係は図示の通りでなくともよい。図 7 には，Y 電極，X 電極，アドレス電極それぞれの駆動電圧波形が示されている。図 7 の駆動電圧波形は，リセット期間 T_{rst} の駆動電圧波形のみが図 5 の全セルリセットを有するサブフィールドの駆動電圧波形と異なる。

10

【0048】

オンセルリセットの場合は，第 1 のリセット放電 T_{rstp} で，Y 電極に印加される正のリセットパルス RP_{y1} の到達電位 $+V_{yp}$ が，全セルリセットの電位 H_{Vw} よりも低い電位 L_{Vw} に設定されている。第 1 のリセット放電 T_{rstp} での X 電極に印加されるリセットパルス RP_{x1} と，第 2 のリセット放電 T_{rstn} での Y 電極と X 電極に印加されるリセットパルス RP_{y2} ， RP_{x2} とは，全セルリセットと同じである。

【0049】

20

図 8 は，図 7 の駆動電圧波形に対応する 3 電極上の壁電荷状態を示す状態図である。図 8 にも，2 つのリセット放電 T_{rstp} ， T_{rstn} が終了したときと，アドレス期間 T_{add} が終了したときと，2 つのサステイン放電 T_{sus1} ， T_{sus2} が終了したときにおける，それぞれの壁電荷状態が示されている。そして，図 8 のオンセルリセットを有するサブフィールドは，直前のサブフィールドで表示電極 X1，Y1 とアドレス電極 A1 とによるセルが点灯され，表示電極 X2，Y2 とアドレス電極 A1 とによるセルが非点灯にされた例である。

【0050】

以下，図 7，図 8 を参照して，オンセルリセットを有するサブフィールドでの駆動動作について説明する。まず，リセット期間 T_{rst} の直前の状態は，図 6 のサステイン放電 T_{sus2} が終了した状態であり，点灯セル (X1，Y1) では，Y 電極，X 電極上にそれぞれ正，負の壁電荷が多く形成され，アドレス電極上には負の壁電荷が多く形成されている。

30

【0051】

そして，リセット期間 T_{rst} では，Y 側，X 側共通駆動回路により，Y 電極に正極性の鈍波パルス RP_{y1} が，X 電極に負極性の鈍波パルス RP_{x1} がそれぞれ印加され，第 1 のリセット放電 T_{rstp} が発生する。さらに，Y 電極に負極性の鈍波パルス RP_{y2} が，X 電極に正極性の矩形パルス RP_{x2} がそれぞれ印加され，第 2 のリセット放電 T_{rstn} が発生する。リセット期間中は，アドレス電極はグランド電位又は所定の電位 (図示せず) に維持される。

40

【0052】

第 1 のリセット放電 T_{rstp} では，図 5 の全セルリセットと比較すると，Y 電極の正極性の鈍波パルス RP_{y1} の到達電位 $+V_{yp}$ が L_{Vw} ($< H_{Vw}$) と低く設定されている。そのため，直前のサブフィールドで点灯したセルで，Y 電極 Y1 から X 電極 X1 に向かって微弱放電が発生し，Y 電極 Y1 と X 電極 X1 上にそれぞれ負の壁電荷と正の壁電荷が形成される。さらに，Y 電極 Y1 からアドレス電極 A1 に向かっても微弱放電が発生し，アドレス電極 A1 上には正の壁電荷が形成される。このとき，Y 電極の正極性の鈍波パルス RP_{y1} の到達電位 $+V_{yp}$ が L_{Vw} ($< H_{Vw}$) と低いいため，直前のサブフィールドでの非点灯セル (X2，Y2) ではリセット放電は発生しない。逆にいえば，非点灯セルで微弱放電が発生しない程度の到達電位 L_{Vw} に設定されている。

50

【 0 0 5 3 】

第2のリセット放電 T_{rstn} では、全セルリセットと同様に、Y電極に負極性の鈍波パルス RP_y2 が、X電極に正極性の矩形パルス RP_x2 がそれぞれ印加され、リセットされたセルのX電極 X_1 からY電極 Y_1 に向かって微弱放電が発生し、両電極 X_1 、 Y_1 上の壁電荷量が減少し電荷量が調整される。このとき、アドレス電極 A_1 からY電極 Y_1 に向かっても微弱放電が発生し、アドレス電極上の壁電荷量も調整される。

【 0 0 5 4 】

図8において、アドレス期間 T_{add} と、サステイン期間 $T_{sus1,2}$ は、図6の全セルリセットと同じであり、表示電極 X_1 、 Y_1 のセルが点灯し、表示電極 X_2 、 Y_2 のセルが非点灯である。

10

【 0 0 5 5 】

以上の通り、オンセルリセットでは、直前のサブフィールドで点灯したセルについてのみ3電極上の壁電荷状態をリセットし、非点灯セルではリセット放電は発生しない。これにより、リセット時の放電規模を小さくすることができ、全セルリセットを行うよりも背景発光（表示に寄与しない発光）を低減させることができる。

【 0 0 5 6 】

リセットされたセルの壁電荷状態は点灯されると変化するが点灯しないと変化しないので、原理的には、最初に全セルリセットを行いその後はオンセルリセットのみを行うことで表示駆動可能である。しかし、非点灯セルの壁電荷状態は、隣接セルの点灯などの影響を受けて徐々に変化する。よって、例えば、1つのフィールド内の最初のサブフィールドのみ全セルリセットを行い、それ以外のサブフィールドではオンセルリセットのみを行うことで、正常な駆動制御を可能にしつつ背景発光を低減させている。

20

【 0 0 5 7 】

図9は、半選択セルの誤り非点灯を説明する図である。図9には、表示電極 X_1 、 Y_1 と X_n 、 Y_n のセルについて、アドレス期間 T_{add} とサステイン期間 $T_{sus1,2}$ が終了した時点での壁電荷状態が示されている。ここで、アドレス期間 T_{add} では、走査パルス P_{scan} がY電極 Y_1 から順番に印加され、Y電極 Y_n が最後に走査パルスが印加される電極とする。

【 0 0 5 8 】

まず、前提として、リセット期間を終了して、Y、X電極上にそれぞれ負、正の壁電荷が形成され、アドレス電極上に正の壁電荷が形成されているものとする。そして、アドレス期間 T_{add} では、まず、Y電極 Y_1 に走査パルス P_{scan} が、アドレス電極 A_1 にアドレスパルス P_{add} が印加され、アドレス電極 A_1 からY電極 Y_1 に向かってアドレス放電が発生し、それに誘発されて、X電極 X_1 からY電極 Y_1 に向かってもアドレス放電が発生する。同様のアドレス駆動が、隣接する表示電極 X_2 、 Y_2 （図示せず）～ X_n 、 Y_n でも行われる。

30

【 0 0 5 9 】

仮に、アドレス電極 A_1 に沿って全てのセルで点灯制御が行われたとすると、アドレス期間 T_{add} 中、アドレス電極 A_1 に常にアドレスパルス P_{add} が印加され、アドレス電圧 V_a が印加された状態が継続する。その結果、右端の電極 X_n 、 Y_n のセルは、Y電極 Y_n に走査パルス P_{scan} の印加はないがアドレス電極 A_1 にアドレス電圧 V_a が印加される、いわゆる半選択状態になる。この半選択状態により、アドレス電極 A_1 上の正の壁電荷やX、Y電極 X_n 、 Y_n 上の壁電荷などが放電空間にリークする、いわゆる電荷リーク現象が生じたり、アドレス電極 A_1 とY電極 Y_n との間で微弱放電が発生したりする。その結果、右端の電極 X_n 、 Y_n のセルの壁電荷量が減少し、Y電極 Y_n に走査パルス P_{scan} が印加された時に正常にアドレス放電が発生しない場合がある。この現象が誤り非点灯である。

40

【 0 0 6 0 】

このように、電極 X_n 、 Y_n 上のセルなどのようにアドレス期間で点灯すべきセルでアドレス放電が発生しないと、アドレス書き込みが行われず、X、Y電極上に十分な量の壁

50

電荷が形成されない。そのため、その後のサステイン期間 T_{sus1} では、電荷の極性が逆になりサステイン放電が発生せず、サステイン期間 T_{sus2} では、電荷量不足によりサステイン放電が発生しない。しかも、誤り非点灯したセルでは、壁電荷量がリセット状態より減っているため、後続のサブフィールドにおいて、全セルリセットを有するサブフィールドまで、アドレス放電が発生せず、表示破綻になってしまう。

【0061】

半選択状態による電荷リークや微弱放電は、パネル温度が高いほど顕著になる傾向にある。よって、サステイン放電数が多いサブフィールドの直後のサブフィールドほど半選択状態による壁電荷量の低下が顕著になる。また、全セルリセットを有するサブフィールドから時間的に離間したサブフィールドでは、上記の半選択状態の時間が長くなるので、壁電荷量の低下が顕著になる。そして、壁電荷量の低下が多くなるセルにおいて、上記の誤り非点灯が発生する。

10

【0062】

図10は、本実施の形態におけるリセット駆動電圧波形の制御方法の一例を示す図である。図10では、パネル温度 $T_1 \sim T_6$ に応じて各サブフィールド $SF_1 \sim SF_{11}$ でのリセット駆動電圧波形の鈍波パルス RPy_1 の到達電位が示されている。パネル温度は T_1 が最も低く、 T_6 が最も高い。 HVw は、図5で説明した全セルリセットの場合のY電極の正極性の鈍波パルス RPy_1 の到達電位である。また、 LVw は、図7で説明したオンセルリセットの場合のY電極の正極性の鈍波パルス RPy_1 の到達電位である。つまり、 $HVw > LVw$ の電位関係にあり、鈍波パルス RPy_1 の到達電位が高い HVw であれば全セルでリセットが発生し、低い LVw であれば点灯セルでのみリセットが発生し非点灯セルではリセットは発生しない。

20

【0063】

さらに、 MVw は、 LVw より高く、 HVw より低い電位であり、鈍波パルス RPy_1 の到達電位 MVw は、点灯セルではリセット放電するが非点灯セルではリセット放電しない程度に設定され、且つ、通常のオンセルリセットでの LVw よりも高く設定されている。よって、鈍波パルス RPy_1 の到達電位 $+Vy_p$ が MVw の場合は、オンセルリセットではあるが、高電位のオンセルリセットが行われる。

【0064】

そして、サブフィールド $SF_1 \sim SF_{11}$ は、この順番にサステイン放電回数が増大する関係になっているものとする。ただし、サブフィールドがそのように配置されていなくても、本実施の形態の制御方法は適用可能である。

30

【0065】

図11は、本実施の形態における高電位のオンセルリセットを有するサブフィールドの駆動電圧波形図である。尚、電位関係は図示の通りでなくともよい。図7の駆動電圧波形と比較すると、リセット期間 $Trst$ のうち第1のリセット $Trstp$ の時間が長く、Y電極に印加される正極性の鈍波リセットパルス RPy_1 の到達電位 $+Vy_p$ が MVw と LVw より高く設定されている。それ以外の駆動電圧波形は、図7と同じである。

【0066】

図11で示したとおり、高電位のオンセルリセットでは、Y電極に印加される正極性の鈍波リセットパルス RPy_1 の到達電位 $+Vy_p$ が LVw より高い MVw に設定されている。この到達電位 MVw は、 LVw より高いが、点灯セルのみに第1のリセット放電を発生させ、非点灯セルでは第1のリセット放電が発生しない程度の電位に設定されている。

40

【0067】

図12は、高電位のオンセルリセットした後の半選択セルの誤り非点灯を説明する図である。図12では、直前のサブフィールドで表示電極対 X_1, Y_1 と X_n, Y_n のセルが点灯済であり、現サブフィールドでも点灯される例である。

【0068】

高電位のオンセルリセットでは、第1のリセット $Trstp$ では、Y電極に印加される正極性のリセットパルス RPy_1 の到達電位 $+Vy_p$ が LVw より高い MVw である。よ

50

って、第1のリセット $T_{rst p}$ では、Y電極とアドレス電極間の電圧及びY電極とX電極間の電圧がより高くなり、第1のリセットでの放電により形成される壁電荷量が多くなる。第1のリセットでは、AY電極間とXY電極間で放電が発生するので、3電極上の壁電荷量はLVwのオンセルリセットよりも多くなる。図12に破線で記載したとおりである。そのため、第2のリセット $T_{rst n}$ が終了した後の3電極上の壁電荷量は、LVwのオンセルリセットよりも多くなる。

【0069】

そして、次のアドレス期間 T_{add} で表示電極対 X_n 、 Y_n のセルが半選択状態に晒されても、リセット終了時の壁電荷量が増大しているため、電荷リークや微弱放電により多少電荷量が減少しても、破線で示すとおりアドレス放電に必要な電荷量が保証されて、正常にアドレス放電することができる。正常にアドレス書き込みが行われることで、その後のサステイン期間 $T_{sus 1, 2}$ でも正常にサステイン放電が発生する。

10

【0070】

図11において、Y電極の到達電位 $+V_{yp}$ をより高くする代わりに、X電極の負極性のリセットパルス RP_{x1} の電圧 $-V_x$ をより低く（より高い負電位）すると共にアドレス電極の電位をより低く（負電位）することで、XY電極間の電圧とAY電極間の電圧を共により大きくすることができ、Y電極の到達電位 $+V_{yp}$ をより高くすることと同等の効果を得ることができる。ただし、Y電極の鈍波パルス RP_{y1} の到達電位 $+V_{yp}$ は、鈍波パルス生成回路において第1のリセット期間 $T_{rst p}$ の期間を長くすることで簡単に実現することができる。

20

【0071】

図10にもどり、リセット駆動電圧波形の制御方法では、パネル温度が T_1 と通常動作範囲の場合は、1つのフィールド内のサブフィールド $SF_1 \sim SF_{11}$ において、最初のサブフィールド SF_1 でのみ、全セルリセット HVw が行われ、残りのサブフィールド $SF_2 \sim SF_{11}$ では、オンセルリセット LVw が行われる。

【0072】

パネル温度が T_2 と T_1 より高くなると、例えば、サステイン放電回数が多いサブフィールド $SF_8 \sim SF_{11}$ では、高電位のオンセルリセット MVw が行われる。また、全セルリセットのサブフィールド SF_1 から時間的に離間したサブフィールド $SF_8 \sim SF_{11}$ では、高電位のオンセルリセット MVw が行われる。パネル温度 T_1 と同様に、パネル温度が T_2 の場合でも、最初のサブフィールド SF_1 で全セルリセット HVw が行われ、サブフィールド $SF_2 \sim SF_7$ でオンセルリセット LVw が行われる。

30

【0073】

パネル温度が T_2 に上昇すると、前述した半選択セルでの電荷リークや微弱放電がより活発に発生し、壁電荷量の低下が大きくなる。そして、サステイン放電数が多いサブフィールド $SF_8 \sim SF_{11}$ では、サステイン放電による温度上昇も大きく、また、全セルリセット後の半選択状態に晒される時間も長くなる。そこで、それらのサブフィールド $SF_8 \sim SF_{11}$ でのリセット駆動電圧波形を、高電位のオンセルリセット MVw にすることで、点灯セルに対するリセット後の壁電荷量を増やすことができ、半選択セルにおける誤り非点灯を抑制することができる。

40

【0074】

誤り非点灯は、一旦発生すると前述のとおり全セルリセットを行わない限り点灯させることができない。よって、パネル温度 T_2 では、誤り非点灯が発生する蓋然性が高いサブフィールド $SF_8 \sim SF_{11}$ で、オンセルリセット後の壁電荷量を増大させ、誤り非点灯が発生する蓋然性を抑えるのが望ましい。そして、上記の例では、サブフィールド $SF_2 \sim SF_7$ では誤り非点灯が発生する蓋然性は高くない。

【0075】

次に、パネル温度が T_3 と更に T_2 より高くなると、例えば、最初のサブフィールド SF_1 に加えてサブフィールド SF_4 でも全セルリセット HVw を行う。それ以外は、通常のオンセルリセット LVw を行う。パネル温度 T_3 ではオンセルリセット HVw の回数ま

50

たは頻度が増加し、オンセルリセット間のサブフィールド数が少ないので、半選択セル状態に晒される時間が短く、誤り非点灯が発生する蓋然性を抑えることができる。また、サブフィールドSF4での全セルリセットHVWにより、全てのセルの壁電荷量が正常な量にリセットされるので、その後のサブフィールドで誤り非点灯が発生する蓋然性は低くなる。

【0076】

パネル温度がT4と更にT3より高くなると、サブフィールドSF1, SF4での全セルリセットHVWに加えて、サブフィールドSF8~SF11でのリセット駆動電圧波形を、高電位のオンセルリセットMVWにする。これにより、誤り非点灯の発生確率を抑制することができる。また、全セルリセットのサブフィールド数を増やさずに高電位のオンセルリセットを発生させることで、背景発光規模が極端に増大することが回避される。

10

【0077】

そして、パネル温度がT5と更にT4より高くなると、サブフィールドSF1, SF4, SSF8で全セルリセットHVWを行う。このように、パネル温度の上昇に伴って、全セルリセットの回数または頻度を上げることで、半選択セルに晒される時間を短くすることができ、誤り非点灯を抑制できる。

【0078】

最後に、パネル温度がT6と更にT5より高くなると、サブフィールドSF1, SF4, SSF8で高電位の全セルリセットUVWを行う。高電位の全セルリセットUVWでは、第1のリセット放電でのY電極の鈍波パルスRPy1の到達電位+VypをHVWより高いUVWに制御する。これにより、全セルリセットの頻度を上げることなく、個々の全セルリセットでの壁電荷量を増大させることができ、半選択セル状態による誤り非点灯の発生を抑えることができる。

20

【0079】

図13は、本実施の形態における高電位の全セルリセットを有するサブフィールドの駆動電圧波形図である。尚、電位関係は図示の通りでなくともよい。高電位の全セルリセットでは、第1のリセット放電でのY電極の鈍波パルスRPy1の到達電位+Vypが、図5の全セルリセットでのHVWより高いUVWに制御される。それ以外の波形は、図5と同じである。これにより、点灯セルと共に非点灯セルにおいても、第1のリセットTrst終了時の3電極上の壁電荷量を増やすことができる。それにより、リセット期間Trst終了時の壁電荷量を増やすことができ、アドレス期間で半選択セル状態に晒されて壁電荷が減ってもアドレス非点灯になることが防止され、誤り非点灯を防止できる。ただし、全セルリセットでのリセット放電の規模が大きくなるので、背景発光規模も大きくなる。ただ、温度T6による高電位の全セルリセットは、まれにしか生じない。

30

【0080】

なお、高電位の全セルリセットでは、Y電極の到達電位+Vypをより高くする代わりに、X電極の電位-Vxをより低く(より高い負電位)し、且つアドレス電極の電位をより低くしても、XY電極間電圧とAY電極間電圧がより大きくされ、Y電極の到達電位+Vypをより高くする場合と同じ効果が得られる。

【0081】

40

1つのフィールド内のサブフィールドSF1~SF11の配置が、図10とは異なる場合でも、パネル温度T2, T4において、サステインパルス数が多いサブフィールドSF8~SF11で高電位のオンセルリセットMVWを行うことが好ましい。それらのサブフィールドではパネル温度が上昇し誤り非点灯が発生する可能性が高いからである。また、パネル温度T3, T5での全セルリセットHVWの回数または頻度増加は、全セルリセットが一定の周期で発生するようにすることが好ましい。

【0082】

図14は、本実施の形態におけるパネルを駆動する制御回路とY電極駆動回路とX電極駆動回路を示す図である。図3に示したY電極駆動回路32は、走査駆動回路33とY側共通駆動回路34とを有し、X電極駆動回路30はX側共通駆動回路31を有し、それら

50

の駆動回路に制御回路 36 が制御信号を供給している。

【0083】

図 14 では、走査駆動回路 33 が、各 Y 電極 Y1 ~ Y4 にそれぞれ走査パルスを印加する走査駆動回路 33-1 ~ 33-4 を有している。また、Y 側共通駆動回路 34 が、複数の Y 電極 Y1 ~ Y4 に共通に設けられ、そこで生成されるサステイン駆動電圧波形やリセット駆動電圧波形が、各走査駆動回路を介して全ての Y 電極 Y1 ~ Y4 に印加される。

【0084】

さらに、制御回路 36 が、パネルの温度を検出する温度検出手段 38 からの検出温度に応じて、制御信号 ROM37 から図 10 に示したサブフィールドの駆動制御を行うための制御データを読み出す。制御信号 ROM37 は、複数種類のサブフィールドに対応した制御データ D1 ~ Dn を記憶する。各制御データ D1 ~ Dn は、リセット制御データ RST1 ~ RSTn と、アドレス制御データ ADD と、サステイン制御データ SUS1 ~ SUSn とで構成される。

【0085】

制御回路 36 は、パネルの駆動制御において、パネルの検出温度に応じて、どのサステイン制御データを有する制御データ D1 ~ Dn を読み出すべきかの制御をサブフィールド毎に行う。

【0086】

図 14 の各駆動回路の具体的な回路図は、例えば、特開平 9-97034 号公報（1997 年 4 月 8 日公開）、US 特許第 5,654,728 号などに記載されている。これらの特許公報に記載されている駆動回路が、引用により本願明細書に取り込まれて開示される。

【0087】

以上説明したとおり、本実施の形態によれば、パネル温度が高温になると、オンセルリセットのリセットパルスの到達電位をより高くし、リセットによる壁電荷量を増やし、誤り非点灯の発生を抑制する。これにより、背景発光規模の増大を押しさえつつ、表示破綻を回避することができる。さらに、パネル温度が高温になると、全セルリセットの回数または頻度を増やし、半選択セル状態が長くならないようにして誤り非点灯の発生を抑制する。

【図面の簡単な説明】

【0088】

【図 1】本実施の形態におけるプラズマディスプレイ装置のパネル構成図である。

【図 2】図 1 のパネルの断面図である。

【図 3】本実施の形態におけるプラズマディスプレイ装置の電極駆動回路の構成図である。

【図 4】本実施の形態におけるプラズマディスプレイ装置のパネル駆動を示す図である。

【図 5】本実施の形態における全セルリセットを有するサブフィールドの駆動電圧波形図である。

【図 6】図 5 の駆動電圧波形に対応する 3 電極上の壁電荷状態を示す状態図である。

【図 7】本実施の形態におけるオンセルリセットを有するサブフィールドの駆動電圧波形図である。

【図 8】図 5 の駆動電圧波形に対応する 3 電極上の壁電荷状態を示す状態図である。

【図 9】半選択セルの誤り非点灯を説明する図である。

【図 10】本実施の形態におけるリセット駆動電圧波形の制御方法の一例を示す図である。

【図 11】本実施の形態における高電位のオンセルリセットを有するサブフィールドの駆動電圧波形図である。

【図 12】高電位のオンセルリセットした後の半選択セルの誤り非点灯を説明する図である。

【図 13】本実施の形態における高電位の全セルリセットを有するサブフィールドの駆動

10

20

30

40

50

電圧波形図である。

【図14】本実施の形態におけるパネルを駆動する制御回路とY電極駆動回路とX電極駆動回路を示す図である。

【符号の説明】

【0089】

Y：第1の表示電極

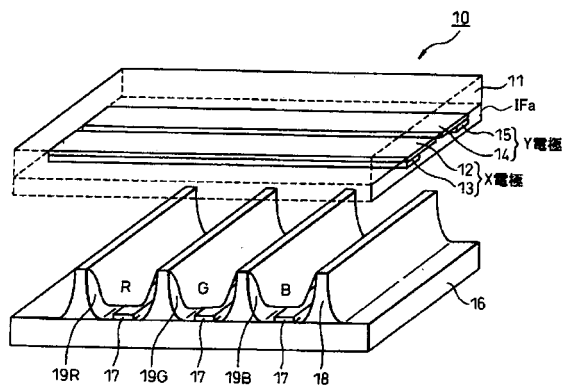
X：第2の表示電極

A：アドレス電極

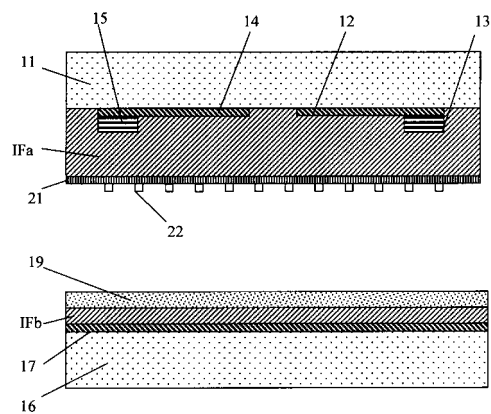
RPy1：鈍波パルス

RPy2：鈍波パルス

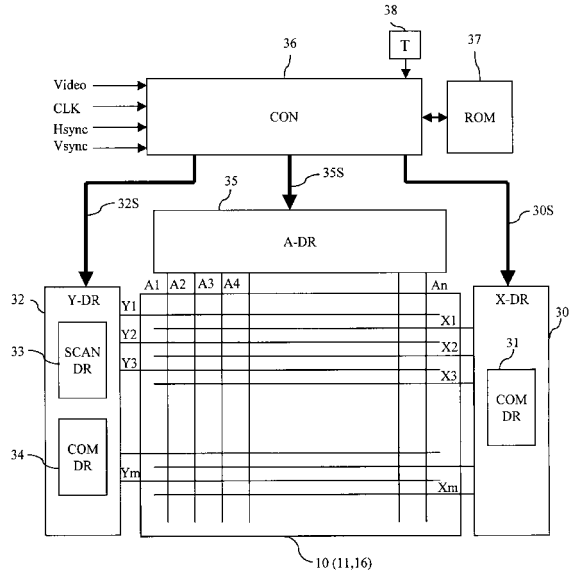
【図1】



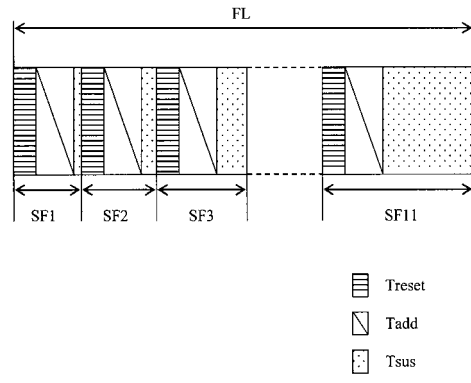
【図2】



【図3】

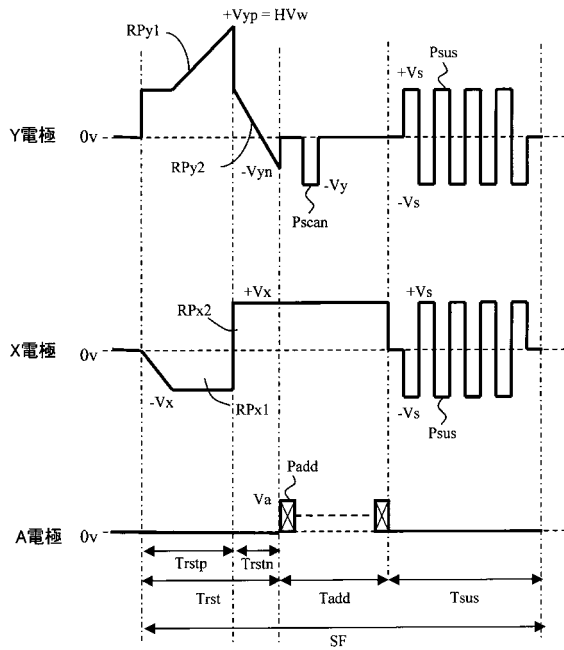


【図4】



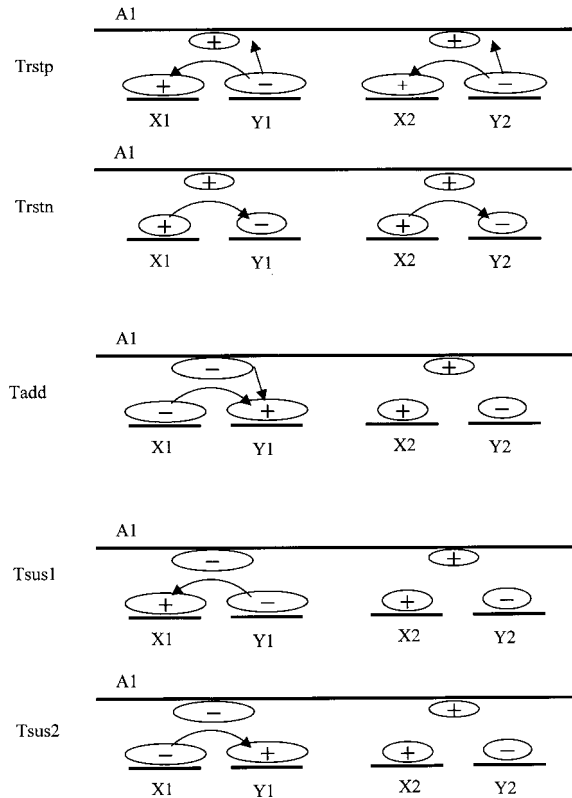
【図5】

全セルリセット(HVw)

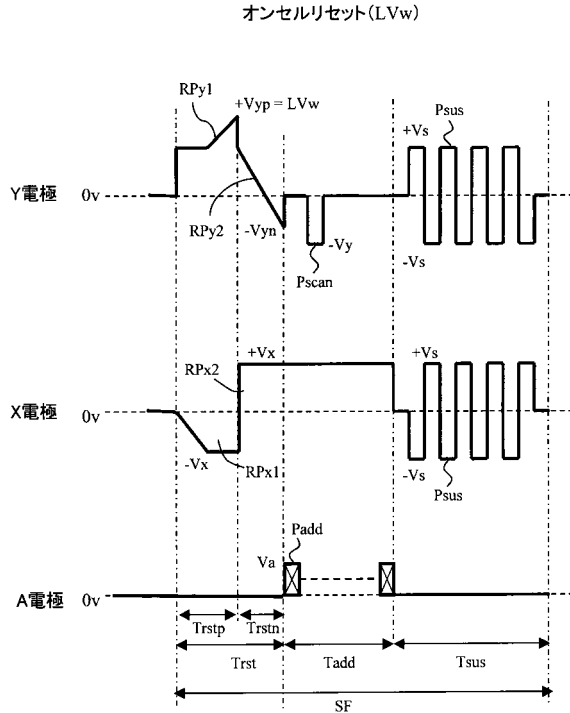


【図6】

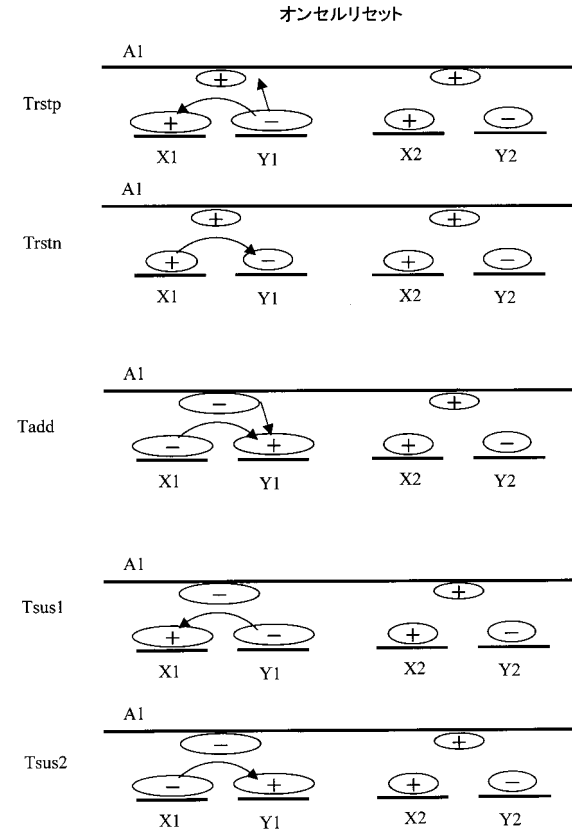
全セルリセット



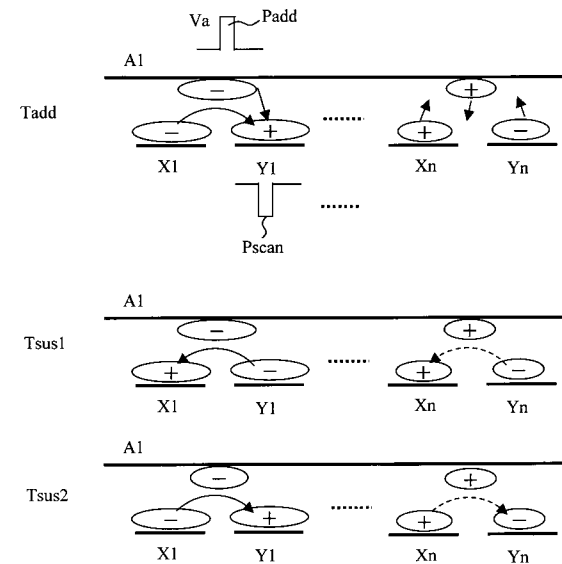
【 図 7 】



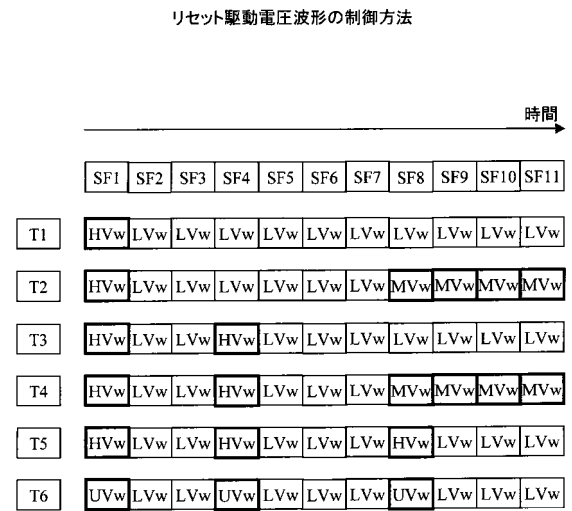
【 図 8 】



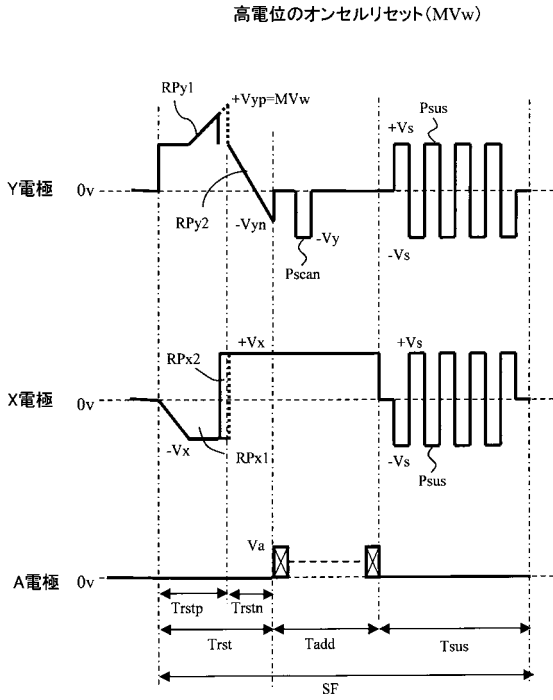
【 図 9 】



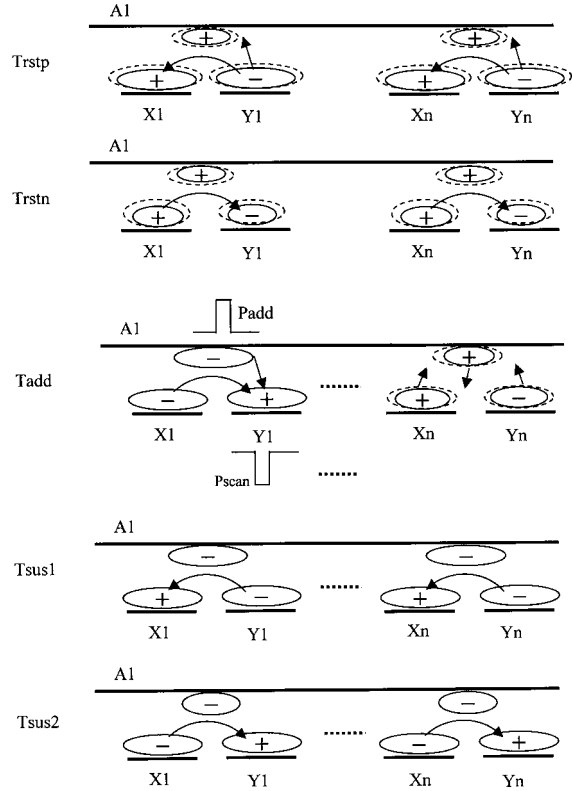
【 図 10 】



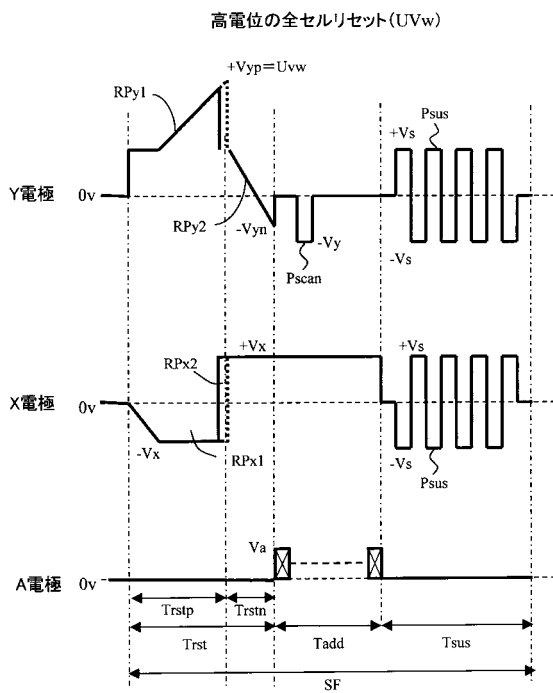
【図11】



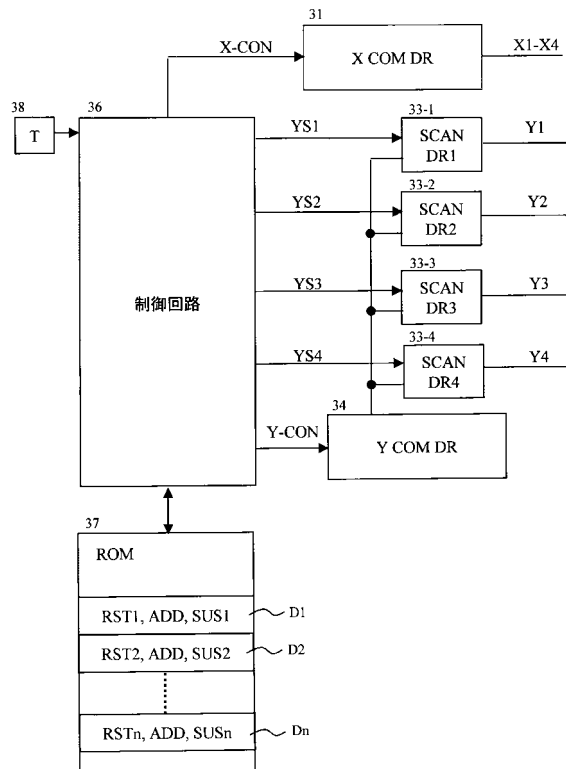
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 1 E

審査官 佐野 潤一

(56)参考文献 特開2006-154826(JP,A)
特開2005-196194(JP,A)
特開2003-050563(JP,A)
特開2004-037883(JP,A)
特開2005-326835(JP,A)
特開2007-101577(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 8

G 0 9 G 3 / 2 0