

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 5 月 16 日 (16.05.2024)



(10) 国际公布号
WO 2024/098772 A1

(51) 国际专利分类号:

G09G 3/32 (2016.01)

(21) 国际申请号:

PCT/CN2023/102405

(22) 国际申请日:

2023 年 6 月 26 日 (26.06.2023)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202211398502.5 2022年11月9日 (09.11.2022) CN

(71) 申请人: 惠科股份有限公司 (HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园厂房1栋一层至三层、五至七层、6栋七层, Guangdong 518000 (CN)。

(72) 发明人: 徐辽 (XU, Liao); 中国广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园厂房1栋一层至三层、五至七层、6栋七层, Guangdong 518000 (CN)。康报虹 (KANG, Baohong); 中国广东省深圳市宝安区石岩街道石龙社区工业二路1号惠科工业园厂房1栋一层至三层、五至七层、6栋七层, Guangdong 518000 (CN)。

(74) 代理人: 深圳中一联合知识产权代理有限公司 (SHENZHEN ZHONGYI UNION INTELLECTUAL PROPERTY AGENCY CO., LTD.); 中国广东省深圳市福田区莲花街道紫荆

社区深南大道6008号深圳特区报业大厦33层, Guangdong 518034 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: DISPLAY PANEL AND DISPLAY APPARATUS

(54) 发明名称: 显示面板及显示装置

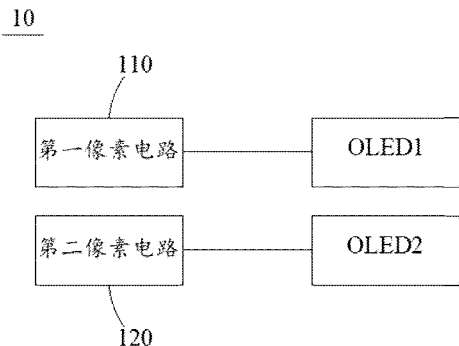


图 1

110 First pixel circuit
120 Second pixel circuit

(57) Abstract: Disclosed are a display panel (10) and a display apparatus (20), which relate to the technical field of display. The display panel (10) comprises a first sub-pixel (OLED 1), a first pixel circuit (110), a second sub-pixel (OLED 2) and a second pixel circuit (120), wherein the first sub-pixel (OLED 1) is of the same color as the second sub-pixel (OLED 2). When the display panel (10) is used for displaying the same frame of image, the first pixel circuit (110) drives the first sub-pixel (OLED 1) to emit light, or the second pixel circuit (120) drives the second sub-pixel (OLED 2) to emit light. In this case, when the display panel (10) continuously displays a plurality of frames of images, the first sub-pixel (OLED 1) and the second sub-pixel (OLED 2) can alternately emit light. In this way, the service life of the display panel (10) can be prolonged, and the expressiveness and competitiveness of a product can be improved.



(57) 摘要: 公开了一种显示面板(10)及显示装置(20), 涉及显示技术领域。显示面板(10)包括第一子像素(OLED1)、第一像素电路(110)、第二子像素(OLED2)和第二像素电路(120)。其中, 第一子像素(OLED1)和第二子像素(OLED2)的颜色相同。显示面板(10)用于显示相同一帧图像时, 第一像素电路(110)驱动第一子像素(OLED1)发光, 或, 第二像素电路(120)驱动第二子像素(OLED2)发光。这种情况下, 显示面板(10)连续显示多帧图像时, 第一子像素(OLED1)和第二子像素(OLED2)可以交替发光。如此, 可以延长显示面板(10)的寿命, 提升产品的表现力和竞争力。

显示面板及显示装置

本申请要求于2022年11月09日在中国国家专利局提交的、申请号为202211398502.5、申请名称为“显示面板及显示装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5 技术领域

本申请涉及显示技术领域，特别涉及一种显示面板及显示装置。

背景技术

随着显示技术的不断发展，有机发光二极管（Organic Light Emitting Diode, OLED）显示面板越来越多地被应用于高性能显示中。OLED显示面板具有不需背光源、色域广、
10 对比度高、视角广、可挠性强等优良特性，具有广阔的发展前景。

相关技术中，OLED显示面板通常包括多个子像素和多个用于驱动子像素发光的像素电路。OLED显示面板显示一帧图像时，多个像素电路工作，驱动多个子像素发光，从而显示图像。然而，由于OLED材料在长期工作时老化问题比较严重，导致OLED显示面板的寿命较短。

15 技术问题

本申请实施例的目的之一在于：提供一种显示面板及显示装置，可以解决相关技术中OLED显示面板寿命较短的问题。

技术解决方案

为了解决上述技术问题，本申请实施例采用的技术方案是：

20 第一方面，提供了一种显示面板，包括第一子像素和第一像素电路，所述第一像素电路与所述第一子像素连接，以驱动所述第一子像素发光；

所述显示面板还包括第二子像素和第二像素电路，所述第二子像素的发光颜色与所述第一子像素的发光颜色相同，所述第二像素电路与所述第二子像素连接，以驱动所述第二子像素发光；

25 所述显示面板用于显示相同一帧图像时，所述第一像素电路驱动所述第一子像素发光，或，所述第二像素电路驱动所述第二子像素发光。

在一些实施例中，所述显示面板用于显示第N帧图像时，所述第一像素电路驱动所述第一子像素发光，所述第二像素电路不工作，使所述第二子像素不发光；所述显示面板用于显示第N+1帧图像时，所述第二像素电路驱动所述第二子像素发光，所述第一像素电路
30 不工作，使所述第一子像素不发光，所述N为奇数。

在一些实施例中，所述第二子像素和所述第一子像素沿所述显示面板的厚度方向排布。

在一些实施例中，所述显示面板包括2M个子像素，M为正整数；

所述2M个子像素均分为第一部分和第二部分，所述第一部分中的M个子像素和所述第二部分中的M个子像素一一对应；

35 所述第一部分中的任意一个子像素为所述第一子像素；

所述第二部分的M个子像素中，与所述第一子像素对应的子像素为所述第二子像素；

所述2M个子像素沿所述显示面板的厚度方向分为上下两层，且所述第一部分和所述第二部分中相对应的两个子像素沿所述显示面板的厚度方向排布。

40 在一些实施例中，所述第二子像素和所述第一子像素的排布方向与第三方向相交，所述第三方向为所述显示面板的厚度方向。

在一些实施例中，所述显示面板包括2M个子像素，M为正整数；

所述2M个子像素均分为第一部分和第二部分，所述第一部分中的M个子像素和所述第二部分中的M个子像素一一对应；

所述第一部分中的任意一个子像素为所述第一子像素；

45 所述第二部分的M个子像素中，与所述第一子像素对应的子像素为所述第二子像素；

所述2M个子像素沿所述显示面板的厚度方向分为上下两层，且所述第一部分和所述

第二部分中相对应的两个子像素的排布方向与所述第三方向相交。

在一些实施例中,所述第二子像素和所述第一子像素位于同一平面且相邻分布。

在一些实施例中,所述显示面板包括 $2M$ 个子像素, M 为正整数;

5 所述 $2M$ 个子像素均分为第一部分和第二部分,所述第一部分中的 M 个子像素和所述第二部分中的 M 个子像素一一对应;

所述第一部分中的任意一个子像素为所述第一子像素;

所述第二部分的 M 个子像素中,与所述第一子像素对应的子像素为所述第二子像素;

10 所述第一部分的子像素和所述第二部分的子像素位于同一平面,所述第一部分的子像素和所述第二部分的子像素交错分布,且所述第一部分和所述第二部分中相对应的两个子像素相邻分布。

在一些实施例中,所述第一像素电路包括驱动晶体管、电容和多个开关晶体管,所述第一像素电路中的多个开关晶体管均为 P 型晶体管;

15 所述第二像素电路包括驱动晶体管、电容和多个开关晶体管,所述第二像素电路中的开关晶体管的个数与所述第一像素电路中的开关晶体管的个数相同,且所述第二像素电路中的多个开关晶体管与所述第一像素电路中的多个开关晶体管一一对应;所述第二像素电路中的驱动晶体管、电容和多个开关晶体管之间的连接方式与所述第一像素电路中的驱动晶体管、电容和多个开关晶体管之间的连接方式相同,所述第二像素电路中的多个开关晶体管均为 N 型晶体管。

20 在一些实施例中,所述第二像素电路中的一个开关晶体管与对应的所述第一像素电路中的开关晶体管共用一个控制极。

在一些实施例中,所述显示面板包括衬底和位于衬底上的第一金属层、第二金属层和第三金属层,所述第二金属层位于所述第一金属层和所述第三金属层之间,且所述第二金属层与所述第一金属层之间绝缘,所述第二金属层与所述第三金属层之间绝缘;

25 所述第二像素电路中的开关晶体管和驱动晶体管的第一极和第二极均位于所述第一金属层;所述控制极均位于所述第二金属层;所述第一像素电路中的开关晶体管和驱动晶体管的第一极和第二极均位于所述第三金属层。

在一些实施例中,所述第二像素电路中的任意一个开关晶体管的第一极在所述衬底上的正投影均与对应的所述第一像素电路中的开关晶体管的第一极在所述衬底上的正投影重叠;

30 所述第二像素电路中的任意一个开关晶体管的第二极在所述衬底上的正投影均与对应的所述第一像素电路中的开关晶体管的第二极在所述衬底上的正投影重叠。

在一些实施例中,所述第一像素电路中的多个开关晶体管包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管;

35 所述第一晶体管的第一极用于输入第一电压信号,所述第二晶体管的第一极用于输入数据信号,所述第一晶体管的第二极、所述第二晶体管的第二极和驱动晶体管的第一极连接于第一节点;

驱动晶体管的第二极与所述第三晶体管的第一极、所述第四晶体管的第一极连接于第二节点;

40 电容的第一极板与所述第一晶体管的第一极连接,电容的第二极板与所述第三晶体管的第二极、驱动晶体管的控制极以及所述第五晶体管的第二极连接于第三节点;所述第五晶体管的第一极用于输入第二电压信号;

所述第四晶体管的第二极、所述第六晶体管的第二极和所述第一子像素的阳极连接于第四节点,第六晶体管的第一极用于输入第二电压信号,第一子像素的阴极用于输入第三电压信号;

45 所述第一像素电路驱动所述第一子像素发光时,在第一时段内,所述第五晶体管和所述第六晶体管导通;在第二时段内,所述第二晶体管和所述第三晶体管导通;在第三时段

内，所述第一晶体管和所述第四晶体管导通。

在一些实施例中，所述第一像素电路和所述第二像素电路的电路结构完全相同。

第二方面，还提供了一种显示装置，包括栅极驱动器、源极驱动器和如第一方面中任意一项所述的显示面板；

5 所述第一像素电路与所述栅极驱动器及所述源极驱动器连接，以驱动所述第一子像素发光；所述第二像素电路与所述栅极驱动器及所述源极驱动器连接，以驱动所述第二子像素发光。

在一些实施例中，所述第一像素电路包括驱动晶体管、电容和多个开关晶体管，所述第一像素电路中的多个开关晶体管均为P型晶体管；

10 所述第二像素电路包括驱动晶体管、电容和多个开关晶体管，所述第二像素电路中的多个开关晶体管均为N型晶体管；

所述第二像素电路和所述栅极驱动器之间的连接方式与所述第一像素电路和所述栅极驱动器之间的连接方式相同，所述第二像素电路和所述源极驱动器之间的连接方式与所述第一像素电路和所述源极驱动器之间的连接方式相同。

15 有益效果

在本申请的第一方面中，显示面板包括第一子像素、第一像素电路、第二子像素和第二像素电路。其中，第一子像素和第二子像素的颜色相同。显示面板用于显示相同一帧图像时，第一像素电路驱动第一子像素发光，或，第二像素电路驱动第二子像素发光。这种情况下，显示面板连续显示多帧图像时，第一子像素和第二子像素可以交替发光。如此，
20 当显示面板包括多个第一子像素和多个第二子像素时，可以延长显示面板的寿命，提升产品的表现力和竞争力。

可以理解的是，上述第二方面的有益效果可以参见上述第一方面中的相关描述，在此不再赘述。

附图说明

25 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1是本申请实施例一提供的一种显示面板的结构示意图；

30 图2是本申请实施例二提供的一种第一部分的子像素的排布示意图；

图3是本申请实施例二提供的一种第二部分的子像素的排布示意图；

图4是本申请实施例二提供的第一种显示面板沿厚度方向的剖面示意图；

图5是本申请实施例二提供的第二种显示面板沿厚度方向的剖面示意图；

图6是本申请实施例二提供的一种子像素的排布示意图；

35 图7是本申请实施例二提供的第三种显示面板沿厚度方向的剖面示意图；

图8是本申请实施例三提供的一种显示面板的电路结构图；

图9是本申请实施例三提供的一种第一像素电路的驱动时序图；

图10是本申请实施例三提供的一种第二像素电路的驱动时序图；

图11是本申请实施例三提供的第一种显示面板的剖面结构示意图；

40 图12是本申请实施例三提供的第二种显示面板的剖面结构示意图；

图13是本申请实施例三提供的第三种显示面板的剖面结构示意图；

图14是本申请实施例四提供的一种显示装置的结构示意图。

其中，各附图标号所代表的含义分别为：

10、显示面板；

45 101、衬底；

102、第一金属层；

1022、（第二像素电路中晶体管的）第一极；
1024、（第二像素电路中晶体管的）第二极；
103、第二金属层；
1032、控制极；
5 104、第三金属层；
1042、（第一像素电路中晶体管的）第一极；
1044、（第一像素电路中晶体管的）第二极；
105、第四金属层；
106、第五金属层；
10 1072、第一有源层；
1074、第二有源层；
1082、第一阳极；
1084、第二阳极；
109、绝缘层；
15 110、第一像素电路；
120、第二像素电路；
20、显示装置；
210、源极驱动器；
220、栅极驱动器。

20 本发明的实施方式

为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

应当理解的是，本申请提及的“多个”是指两个或两个以上。在本申请的描述中，除非另有说明，“/”表示或的意思，比如，A/B 可以表示 A 或 B；本文中的“和/或”仅仅是一种描述关联对象的关联关系，表示可以存在三种关系，比如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。另外，为了便于清楚描述本申请的技术方案，采用了“第一”、“第二”等字样对功能和作用基本相同的相同项或相似项进行区分。本领域技术人员可以理解“第一”、“第二”等字样并不对数量和执行次序进行限定，并且“第一”、“第二”等字样也并无限定一定不同。

下面对本申请实施例提供的显示面板进行详细的解释说明。在本申请各实施例中，任意电子器件之间的连接均指电连接。这里的电连接是指通过导线连接，以使两个电子器件之间可以进行电信号的传输。

实施例一：

图 1 是本申请实施例一提供的一种显示面板 10 的结构示意图。如图 1 所示，显示面板 10 包括第一子像素 OLED1、第一像素电路 110、第二子像素 OLED2 和第二像素电路 120。第一子像素 OLED1 和第二子像素 OLED2 可以是电流型自发光器件。例如，第一子像素 OLED1 和第二子像素 OLED2 可以是使用有机电致发光（electroluminescence, EL）材料制成的 OLED 发光器件，也可以是微发光二极管（Micro Light Emitting Diode, MicroLED）器件或次毫米发光二极管（Mini Light Emitting Fiode, MiniLED）器件。在一些具体的实施例中，第一子像素 OLED1 和第二子像素 OLED2 均为 OLED 发光器件。

第一像素电路 110 与第一子像素 OLED1 连接。第一像素电路 110 工作时，可以向第一子像素 OLED1 输出驱动电流，从而驱动第一子像素 OLED1 发光。一般的，根据子像素的发光颜色进行分类，可以将显示面板 10 中的子像素分为红色（red, R）子像素、绿色（green, G）子像素和蓝色（blue, B）子像素。在此，第一子像素 OLED1 可以是 R 子像素、G 子像素和 B 子像素中的任意一种。第二像素电路 120 与第二子像素 OLED2 连接。第二像素电路 120 工作时，可以向第二子像素 OLED2 输出驱动电流，从而驱动第二子像素 OLED2

发光。在此，第二子像素 OLED2 的发光颜色与第一子像素 OLED1 的发光颜色相同。也就是说，第一子像素 OLED1 为 R 子像素时，第二子像素 OLED2 也是 R 子像素；第一子像素 OLED1 为 G 子像素时，第二子像素 OLED2 也是 G 子像素；第一子像素 OLED1 为 B 子像素时，第二子像素 OLED2 也是 B 子像素。

在本申请实施例中，显示面板 10 用于显示相同一帧图像时，第一像素电路 110 驱动第一子像素 OLED1 发光，或，第二像素电路 120 驱动第二子像素 OLED2 发光。也就是说，从视觉效果上来看，第二子像素 OLED2 发光时的发光效果与第一子像素 OLED1 发光时的发光效果相同。这里的发光效果是指子像素发光时对整帧图像的影响，这要求第一子像素 OLED1 和第二子像素 OLED2 的颜色相同，位置相近，且第二子像素 OLED2 发光时能够具有与第一子像素 OLED1 发光时相同的发光亮度（即灰阶）。换句话说，在本申请实施例中，显示面板 10 工作时，在除第一子像素 OLED1 和第二子像素 OLED2 外的其他子像素的发光亮度保持不变的情况下，若显示面板 10 从“第一子像素 OLED1 发光、第二子像素 OLED2 不发光”的状态切换至“第一子像素 OLED1 不发光、第二子像素 OLED2 发光”的状态，则显示面板 10 所显示的图像保持不变。因此，显示面板 10 连续显示多帧图像时，第一子像素 OLED1 和第二子像素 OLED2 可以交替发光。如此，当显示面板具有多个第一子像素 OLED1 和多个第二子像素 OLED2 时，即可延长显示面板 10 的寿命，提升产品的表现力和竞争力。

实施例二：

下面从三种可能的实施例，对显示面板 10 “显示相同一帧图像时，第一像素电路 110 驱动第一子像素 OLED1 发光，或，第二像素电路 120 驱动第二子像素 OLED2 发光”的技术方案进行详细地解释说明。

在本申请实施例提供的显示面板 10 中，若显示面板 10 显示一帧图像需要 M （ M 为正整数，例如， M 等于 $1080 \times 1920 \times 3$ ）个子像素，则本申请实施例提供的显示面板 10 可以包括 $2M$ 个子像素。将 $2M$ 个子像素均分为第一部分和第二部分。第一部分中的 M 个子像素和第二部分中的 M 个子像素一一对应，且相对应的两个子像素发光时的发光效果完全相同。也就是说，第一部分中的任意一个子像素均可以为第一子像素 OLED1。第二部分的 M 个子像素中，与第一子像素 OLED1 对应的子像素即为第二子像素 OLED2。如此，显示面板 10 工作时，第一部分和第二部分中相对应的两个子像素可以交替工作，从而延长显示面板 10 的寿命。

在第一种可能的实施例中，为使第一部分和第二部分中相对应的两个子像素发光时的发光效果完全相同，可以将 $2M$ 个子像素沿显示面板 10 的厚度方向分为上下两层，且第一部分和第二部分中相对应的两个子像素沿显示面板 10 的厚度方向排布。

具体来说，图 2 是本申请实施例二提供的一种第一部分的子像素的排布示意图，图 3 是本申请实施例二提供的一种第二部分的子像素的排布示意图，图 4 是本申请实施例二提供的一种显示面板 10 沿厚度方向的剖面示意图。如图 2 至图 4 所示，为便于视图，第一部分的子像素采用实线表示，第二部分的子像素采用虚线表示。为便于描述，在本申请实施例中定义出第一方向 X 、第二方向 Y 和第三方向 Z 。第一方向 X 、第二方向 Y 和第三方向 Z 两两垂直。其中，第一方向 X 和第二方向 Y 均为显示面板 10 的延伸方向。也就是说，显示面板 10 显示一帧图像时，这一帧图像沿第一方向 X 和第二方向 Y 延伸。第三方向 Z 则为显示面板 10 的厚度方向。如图 2 和图 4 所示，第一部分的子像素可以沿第一方向 X 和第二方向 Y 分布，且第一部分的子像素均位于同一垂直于第三方向 Z 的平面上。如图 3 和图 4 所示，第二部分的子像素也沿第一方向 X 和第二方向 Y 分布，且第二部分的子像素均位于同一垂直于第三方向 Z 的平面上。如图 4 所示，沿第三方向 Z ，第一部分的子像素和第二部分的子像素位于不同平面。

在这一实施例中，第一部分和第二部分中相对应的两个子像素沿显示面板 10 的厚度方向排布。以第一部分中的第一子像素 OLED1 和第二部分中的第二子像素 OLED2 为例，第

一子像素 OLED1 和第二子像素 OLED2 相对应。第二子像素 OLED2 和第一子像素 OLED1 沿第三方向 Z 排布。也就是说，从第二子像素 OLED2 指向第一子像素 OLED1 的方向垂直于显示面板 10 的延伸方向。

在第二种可能的实施例中，为使第一部分和第二部分中相对应的两个子像素发光时的发光效果完全相同，可以将 2M 个子像素沿显示面板 10 的厚度方向分为上下两层，且第一部分和第二部分中相对应的两个子像素的排布方向与第三方向 Z 相交。

具体来说，图 5 是本申请实施例二提供的另一种显示面板 10 沿厚度方向的剖面示意图。为便于视图，第一部分的子像素采用实线表示，第二部分的子像素采用虚线表示。如图 5 所示，在这一实施例中，第一部分的子像素沿第一方向 X 和第二方向 Y 分布，且第一部分的子像素均位于同一垂直于第三方向 Z 的平面上。第二部分的子像素沿第一方向 X 和第二方向 Y 分布，且第二部分的子像素均位于同一垂直于第三方向 Z 的平面上。沿第三方向 Z，第一部分的子像素和第二部分的子像素位于不同平面。在这一实施例中，以第一部分中的第一子像素 OLED1 和第二部分中的第二子像素 OLED2 为例，第一子像素 OLED1 和第二子像素 OLED2 相对应。如图 5 所示，第一子像素 OLED1 和第二子像素 OLED2 倾斜排布。此时，从第二子像素 OLED2 指向第一子像素 OLED1 的方向与第三方向 Z 相交且不垂直。

在这一可能的实施例中，沿第三方向 Z 位于上层的第一部分的子像素可以遮挡位于下层的第二部分的子像素，沿第三方向 Z 位于上层的第一部分的子像素也可以不遮挡位于下层的第二部分的子像素。一般的，显示面板 10 中的子像素（如第一部分的子像素）可以做成透明的，因此不会影响第二部分的子像素的正常发光。

在第三种可能的实施例中，第一部分的子像素和第二部分的子像素位于同一平面上，第一部分的子像素和第二部分的子像素交错分布，且第一部分和第二部分中相对应的两个子像素相邻分布。

具体来说，图 6 是本申请实施例二提供的一种子像素的排布示意图，图 7 是本申请实施例二提供的又一种显示面板 10 沿厚度方向的剖面示意图。在图 6 和图 7 所示的实施例中，所示出的子像素包括第一部分的子像素和第二部分的子像素。为便于视图，第一部分的子像素采用实线表示，第二部分的子像素采用虚线表示。如图 6 和图 7 所示，第一部分的子像素可以沿第一方向 X 和第二方向 Y 分布。第二部分的子像素也沿第一方向 X 和第二方向 Y 分布，且沿第三方向 Z，第一部分和第二部分的子像素均位于同一平面上。

在这一实施例中，任意相邻两个第一部分的子像素之间均夹设有一个第二部分的子像素，且这两个第一部分的子像素中的一个与被夹设的第二部分的子像素是相对应的两个子像素。同样的，任意相邻两个第二部分的子像素之间均夹设有一个第一部分的子像素，且这两个第二部分的子像素中的一个与被夹设的第一部分的子像素是相对应的两个子像素。如此，可以达到相对应的两个子像素位置相近的目的。以第一部分中的第一子像素 OLED1 和第二部分中的第二子像素 OLED2 为例，第一子像素 OLED1 和第二子像素 OLED2 相对应。第一子像素 OLED1 和第二子像素 OLED2 沿第一方向 X 排布，且第一子像素 OLED1 和第二子像素 OLED2 之间不具有其他子像素。在其他一些为示出的实施例中，第一子像素 OLED1 和第二子像素 OLED2 也可以沿第二方向 Y 排布，不再赘述。

本申请实施例提供的显示面板 10 工作时，第一部分的子像素（包括第一子像素 OLED1）和第二部分的子像素（包括第二子像素 OLED2）可以交替发光。这里的交替发光是指：显示面板 10 用于显示一些帧图像时，第一部分的子像素发光；显示面板 10 用于显示另一些帧图像时，第二部分的子像素发光。

例如，显示面板 10 用于显示第 N 帧图像时，第一部分的子像素发光；显示面板 10 用于显示第 N+1 帧图像时，第二部分的子像素发光。N 为奇数。以第一子像素 OLED1 和第二子像素 OLED2 为例，即为显示面板 10 用于显示第 N 帧图像时，第一像素电路 110 驱动第一子像素 OLED1 发光，第二像素电路 120 不工作，以使第二子像素 OLED2 不发光。显示面板 10 用于显示第 N+1 帧图像时，第二像素电路 120 驱动第二子像素 OLED2 发光，第

一像素电路 110 不工作，以使第一子像素 OLED1 不发光。

又例如，显示面板 10 用于显示第 1 帧至第 I 帧图像时，第一部分的子像素发光；显示面板 10 用于显示第 I+1 帧至第 2I 帧图像时，第二部分的子像素发光；显示面板 10 用于显示第 2I+1 帧至第 3I 帧图像时，第一部分的子像素发光；显示面板 10 用于显示第 3I+1 帧至第 4I 帧图像时，第二部分的子像素发光……I 为大于 1 的整数，不再赘述。

可以理解的是，在上述两个例子中，显示面板 10 工作时，第一部分的子像素的发光帧数与第二部分的子像素的发光帧数相同。在其他一些实施例中，第一部分的子像素的发光帧数与第二部分的子像素的发光帧数也可以不相同。例如，显示面板 10 用于显示第 1 帧至第 5 帧图像时，第一部分的子像素发光；显示面板 10 用于显示第 6 帧至第 8 帧图像时，第二部分的子像素发光；显示面板 10 用于显示第 9 帧至第 13 帧图像时，第一部分的子像素发光；显示面板 10 用于显示第 14 帧至第 16 帧图像时，第二部分的子像素发光……不再赘述。另外，在上述两个例子中，显示面板 10 工作显示一帧图像时，为第一部分的 M 个子像素发光或第二部分的 M 个子像素发光。在其他一些实施例中，显示面板 10 显示一帧图像时，也可以是第一部分的 M 个子像素中的 P (P 为正整数，且 P 小于 M) 个子像素以及第二部分的 M 个子像素中的 M-P 个子像素发光。需要注意的是，在这一实施例中，显示面板 10 显示一帧图像时，任意两个发光的子像素均不对应。也就是说，显示面板 10 显示一帧图像时，第一部分和第二部分中相对应的两个子像素中仅一个子像素发光。

实施例三：

下面以第一子像素 OLED1 和第二子像素 OLED2 为例，对显示面板 10 中的电路结构（包括第一像素电路 110 的电路结构和第二像素电路 120 的电路结构）进行详细地解释说明。

图 8 是本申请实施例三提供的一种显示面板 10 的电路结构图。如图 8 所示，第一像素电路 110 包括一个驱动晶体管 M0a、一个电容 C1 和多个开关晶体管。第二像素电路 120 包括一个驱动晶体管 M0b、一个电容 C2 和多个开关晶体管。这里的晶体管（包括开关晶体管和驱动晶体管）均可以是金属氧化层半导体场效晶体管（Metal Oxide Semiconductor Field Effect Transistor, MOSFET）。第一像素电路 110 中的多个开关晶体管均为 P 型晶体管，第二像素电路 120 中的多个开关晶体管均为 N 型晶体管。在第一像素电路 110 中的多个开关晶体管均为 P 型晶体管时，第一像素电路 110 中的驱动晶体管 M0a 也可以是 P 型晶体管。在第二像素电路 120 中的多个开关晶体管均为 N 型晶体管时，第二像素电路 120 中的驱动晶体管 M0b 也可以是 N 型晶体管。

在本申请实施例中，第一像素电路 110 和第二像素电路 120 的电路结构（电路结构包括该像素电路中所含晶体管、电容的个数及连接方式）完全相同。也就是说，第二像素电路 120 中的开关晶体管的个数与第一像素电路 110 中的开关晶体管的个数相同，且第二像素电路 120 中的多个开关晶体管与第一像素电路 110 中的多个开关晶体管一一对应。对应的两个开关晶体管在各自像素电路中与其他电子器件（包括驱动晶体管、开关晶体管和电容）的连接方式相同。

下面结合图 8，对第一像素电路 110 和第二像素电路 120 的电路结构进行详细地解释说明。在下述描述中，第一像素电路 110 和第二像素电路 120 中相对应的两个电子器件或电路节点采用了相同的编号，并对这两个相对应的两个电子器件的附图标号加以区分。例如，在第一像素电路 110 中包括第一晶体管 M1a；在第二像素电路 120 中，包括与（第一像素电路 110 中的）第一晶体管 M1a 对应的第一晶体管 M1b。同样的，在第一像素电路 110 中包括驱动晶体管 M0a；在第二像素电路 120 中则对应的包括驱动晶体管 M0b。在第一像素电路 110 中包括第一节点 a1，在第二像素电路 120 中则对应的包括第一节点 a2。

具体来说，如图 8 所示，第一像素电路 110 包括驱动晶体管 M0a、电容 C1 和多个开关晶体管。多个开关晶体管具体可以包括第一晶体管 M1a、第二晶体管 M2a、第三晶体管 M3a、第四晶体管 M4a、第五晶体管 M5a 和第六晶体管 M6a。晶体管（包括开关晶体管和

驱动晶体管 M0a) 包括第一极和第二极。晶体管的第一极指晶体管的输入极 (即 P 型晶体管的源极和 N 型晶体管的漏极), 晶体管的第二极指晶体管的输出极 (即 P 型晶体管的漏极和 N 型晶体管的源极)。

第一晶体管 M1a 的第一极用于输入第一电压信号 PVDD, 第二晶体管 M2a 的第一极用于输入数据信号 Vdata, 第一晶体管 M1a 的第二极、第二晶体管 M2a 的第二极和驱动晶体管 M0a 的第一极连接于第一节点 a1。驱动晶体管 M0a 的第二极与第三晶体管 M3a 的第一极、第四晶体管 M4a 的第一极连接于第二节点 b1。电容 C1 的第一极板与第一晶体管 M1a 的第一极连接, 电容 C1 的第二极板与第三晶体管 M3a 的第二极、驱动晶体管 M0a 的控制极以及第五晶体管 M5a 的第二极连接于第三节点 c1。第五晶体管 M5a 的第一极用于输入第二电压信号 Vref。第四晶体管 M4a 的第二极、第六晶体管 M6a 的第二极和第一子像素 OLED1 的阳极连接于第四节点 d1, 第六晶体管 M6a 的第一极用于输入第二电压信号 Vref, 第一子像素 OLED1 的阴极用于输入第三电压信号 PVEE。其中, 第一电压信号 PVDD 可以是 4.6V(伏特), 数据信号 Vdata 可以是 0 至 6V(取决于第一子像素 OLED1 的目标亮度), 第二电压信号 Vref 可以是 -3V, 第三电压信号 PVEE 可以是 -3.9V。

第二像素电路 120 包括驱动晶体管 M0b、电容 C2 和多个开关晶体管。多个开关晶体管具体可以包括第一晶体管 M1b、第二晶体管 M2b、第三晶体管 M3b、第四晶体管 M4b、第五晶体管 M5b 和第六晶体管 M6b。第一晶体管 M1b 的第一极用于输入第一电压信号 PVDD, 第二晶体管 M2b 的第一极用于输入数据信号 Vdata, 第一晶体管 M1b 的第二极、第二晶体管 M2b 的第二极和驱动晶体管 M0b 的第一极连接于第一节点 a2。驱动晶体管 M0b 的第二极与第三晶体管 M3b 的第一极、第四晶体管 M4b 的第一极连接于第二节点 b2。电容 C2 的第一极板与第一晶体管 M1b 的第一极连接, 电容 C2 的第二极板与第三晶体管 M3b 的第二极、驱动晶体管 M0b 的控制极以及第五晶体管 M5b 的第二极连接于第三节点 c2。第五晶体管 M5b 的第一极用于输入第二电压信号 Vref。第四晶体管 M4b 的第二极、第六晶体管 M6b 的第二极和第一子像素 OLED1 的阳极连接于第四节点 d2, 第六晶体管 M6b 的第一极用于输入第二电压信号 Vref, 第一子像素 OLED1 的阴极用于输入第三电压信号 PVEE。

根据上述描述及图 8 可知, 在本申请实施例中, 第一像素电路 110 和第二像素电路 120 中对应的两个开关晶体管所输入的电信号也相同。基于此, 第一像素电路 110 中的多个开关晶体管均采用 P 型晶体管, 第二像素电路 120 中的多个开关晶体管均采用 N 型晶体管, 即可避免第一像素电路 110 和第二像素电路 120 同时工作, 从而防止相对应的第一子像素 OLED1 和第二子像素 OLED2 同时发光。

图 9 是本申请实施例三提供的一种第一像素电路 110 的驱动时序图。P 型晶体管的控制极输入低电平信号 (-7V) 时导通, 输入高电平信号 (8V) 时关断。结合图 8 及图 9 可知, 第一像素电路 110 工作时, 工作过程如下:

在第一时段 T1, 第二扫描信号 SCAN2 和发射信号 EMIT 均为高电平信号。此时, 在第二扫描信号 SCAN2 的作用下, 第二晶体管 M2a 和第三晶体管 M3a 关断; 在发射信号 EMIT 的作用下, 第一晶体管 M1a 和第四晶体管 M4a 关断。第一扫描信号 SCAN1 为低电平信号, 在第一扫描信号 SCAN1 的作用下, 第五晶体管 M5a 和第六晶体管 M6a 导通。此时, 第二电压信号 Vref 通过第五晶体管 M5a 写入第三节点 c1, 对第三节点 c1 进行初始化, 从而将第三节点 c1 残留的电压清空。第二电压信号 Vref 写入第三节点 c1 时, 在第三节点 c1 的作用下, 会使驱动晶体管 M0a 处于半开启状态并保持。同时, 第二电压信号 Vref 通过第六晶体管 M6a 写入第四节点 d1, 对第四节点 d1 进行初始化, 从而将第四节点 d1 残留的电压清空。

在第二时段 T2, 第一扫描信号 SCAN1 和发射信号 EMIT 均为高电平信号。此时, 在第一扫描信号 SCAN1 的作用下, 第五晶体管 M5a 和第六晶体管 M6a 关断; 在发射信号 EMIT 的作用下, 第一晶体管 M1a 和第四晶体管 M4a 关断。第二扫描信号 SCAN2 为低电平信号,

在第二扫描信号 SCAN2 的作用下, 第二晶体管 M2a 和第三晶体管 M3a 导通。另外, 在第三节点 c1 的作用下, 驱动晶体管 M0a 处于半开启状态。此时, 呈高电平信号的数据信号 Vdata 依次经过第二晶体管 M2a、第一节点 a1、驱动晶体管 M0a、第二节点 b1 和第三晶体管 M3a 写入第三节点 c1。在此过程中, 由于第二晶体管 M2a 和第三晶体管 M3a 是在第二扫描信号 SCAN2 的作用下导通的, 因此第二晶体管 M2a 的第一极和第二极之间没有电压差, 第三晶体管 M3a 的第一极和第二极之间也没有电压差。因此, 当第二时段 T2 结束时, 第一节点 a1 的电压等于数据信号 Vdata 的电压; 第二节点 b1 的电压等于第三节点 c1 的电压, 且等于数据信号 Vdata 的电压减去驱动晶体管 M0a 的阈值电压的绝对值的差。即:

$$V_{c1} = V_{Vdata} - |V_{th}|$$

其中, V_{c1} 为第三节点 c1 的电压, V_{Vdata} 为数据信号 Vdata 的电压, V_{th} 为驱动晶体管 M0a 的阈值电压。

在第三时段 T3, 第一扫描信号 SCAN1 和第二扫描信号 SCAN2 均为高电平信号。此时, 在第一扫描信号 SCAN1 的作用下, 第五晶体管 M5a 和第六晶体管 M6a 关断; 在第二扫描信号 SCAN2 的作用下, 第二晶体管 M2a 和第三晶体管 M3a 关断。发射信号 EMIT 为低电平信号, 在发射信号 EMIT 的作用下, 第一晶体管 M1a 和第四晶体管 M4a 导通。另外, 在第三节点 c1 的作用下, 驱动晶体管 M0a 导通。此时, 第一子像素 OLED1 的阳极通过第四晶体管 M4a、驱动晶体管 M0a 和第一晶体管 M1a 可以输入第一电压信号 PVDD; 第一子像素 OLED1 的阴极可以输入第三电压信号 PVEE, 第一子像素 OLED1 电致发光。在此过程中, 第三节点 c1 的电压等于数据信号 Vdata 的电压减去驱动晶体管 M0a 的阈值电压的绝对值的差。第一节点 a1 的电压等于第一电压信号 PVDD 的电压。第二节点 b1 的电压等于第三电压信号 PVEE 的电压与第一子像素 OLED1 的导通电压之和。即:

$$V_{c1} = V_{Vdata} - |V_{th}|$$

$$V_{a1} = V_{PVDD}$$

$$V_{b1} = V_{PVEE} + V_{OLED1}$$

其中, V_{a1} 为第一节点 a1 的电压, V_{PVDD} 为第一电压信号 PVDD 的电压, V_{b1} 为第二节点 b1 的电压, V_{PVEE} 为第三电压信号 PVEE 的电压, V_{OLED1} 为第一子像素 OLED1 的导通电压。第一子像素 OLED1 的导通电压即为第一子像素 OLED1 导通时阳极与阴极之间的电压差。

基于此, 可知第一子像素 OLED1 发光时, 第一子像素 OLED1 的电流大小为:

$$I_{OLED1} = K(V_{PVDD} - |V_{th}| - (V_{Vdata} - |V_{th}|)) = K(V_{PVDD} - V_{Vdata})$$

其中, I_{OLED1} 为第一子像素 OLED1 的电流大小, K 为系数, 取决于驱动晶体管 M0a 的沟道宽长比。

根据上述公式可知, 第一像素电路 110 驱动第一子像素 OLED1 发光时, 可以对驱动晶体管 M0a 的阈值电压进行补偿, 从而在实现第一子像素 OLED1 发光的同时, 避免驱动晶体管 M0a 的阈值电压影响子像素的发光亮度。该像素电路工作时, 数据信号 Vdata 的电压可以决定第一子像素 OLED1 的发光亮度。同时, 通过发射信号 EMIT 调整第一晶体管 M1a 和第四晶体管 M4a 的占空比 (占空比指在一个脉冲循环内, 晶体管的导通时长占脉冲总时长的百分比), 也可以调节第一子像素 OLED1 的发光亮度。一般的, 显示面板 10 工作时, 用于发光的 M 个子像素所对应的像素电路的发射信号 EMIT 的波形是相同的。也就是说, 显示面板 10 工作时, 用于发光的 M 个子像素所对应的像素电路中, 各像素电路中第一晶体管 M1a 的占空比相同, 各像素电路中第四晶体管 M4a 的占空比也相同。如此, 通过发射信号 EMIT, 即可调节显示面板 10 的显示亮度。

图 10 是本申请实施例三提供的一种第二像素电路 120 的驱动时序图。N 型晶体管的控制极输入高电平信号时导通, 输入低电平信号时关断。结合图 8 及图 10 可知, 第二像素电路 120 工作时, 工作过程如下:

在第一时段 T1, 第二扫描信号 SCAN2 和发射信号 EMIT 均为低电平信号。此时, 在

第二扫描信号 SCAN2 的作用下, 第二晶体管 M2b 和第三晶体管 M3b 关断; 在发射信号 EMIT 的作用下, 第一晶体管 M1b 和第四晶体管 M4b 关断。第一扫描信号 SCAN1 为高电平信号, 在第一扫描信号 SCAN1 的作用下, 第五晶体管 M5b 和第六晶体管 M6b 导通。此时, 第二电压信号 Vref 通过第五晶体管 M5b 写入第三节点 c2, 对第三节点 c2 进行初始化, 从而将第三节点 c2 残留的电压清空。第二电压信号 Vref 写入第三节点 c2 时, 在第三节点 c2 的作用下, 会使驱动晶体管 M0b 处于半开启状态并保持。同时, 第二电压信号 Vref 通过第六晶体管 M6b 写入第四节点 d2, 对第四节点 d2 进行初始化, 从而将第四节点 d2 残留的电压清空。

在第二时段 T2, 第一扫描信号 SCAN1 和发射信号 EMIT 均为低电平信号。此时, 在第一扫描信号 SCAN1 的作用下, 第五晶体管 M5b 和第六晶体管 M6b 关断; 在发射信号 EMIT 的作用下, 第一晶体管 M1b 和第四晶体管 M4b 关断。第二扫描信号 SCAN2 为高电平信号, 在第二扫描信号 SCAN2 的作用下, 第二晶体管 M2b 和第三晶体管 M3b 导通。另外, 在第三节点 c2 的作用下, 驱动晶体管 M0b 处于半开启状态。此时, 呈高电平信号的数据信号 Vdata 依次经过第二晶体管 M2b、第一节点 a2、驱动晶体管 M0b、第二节点 b2 和第三晶体管 M3b 写入第三节点 c2。在此过程中, 由于第二晶体管 M2b 和第三晶体管 M3b 是在第二扫描信号 SCAN2 的作用下导通的, 因此第二晶体管 M2b 的第一极和第二极之间没有电压差, 第三晶体管 M3b 的第一极和第二极之间也没有电压差。因此, 当第二时段 T2 结束时, 第一节点 a2 的电压等于数据信号 Vdata 的电压; 第二节点 b2 的电压等于第三节点 c2 的电压, 且等于数据信号 Vdata 的电压减去驱动晶体管 M0b 的阈值电压的绝对值的差。

在第三时段 T3, 第一扫描信号 SCAN1 和第二扫描信号 SCAN2 均为低电平信号。此时, 在第一扫描信号 SCAN1 的作用下, 第五晶体管 M5b 和第六晶体管 M6b 关断; 在第二扫描信号 SCAN2 的作用下, 第二晶体管 M2b 和第三晶体管 M3b 关断。发射信号 EMIT 为高电平信号, 在发射信号 EMIT 的作用下, 第一晶体管 M1b 和第四晶体管 M4b 导通。另外, 在第三节点 c2 的作用下, 驱动晶体管 M0b 导通。此时, 第二子像素 OLED2 的阳极通过第四晶体管 M4b、驱动晶体管 M0b 和第一晶体管 M1b 可以输入第一电压信号 PVDD; 第二子像素 OLED2 的阴极可以输入第三电压信号 PVEE, 第二子像素 OLED2 电致发光。在此过程中, 第三节点 c2 的电压等于数据信号 Vdata 的电压减去驱动晶体管 M0b 的阈值电压的绝对值的差。第一节点 a2 的电压等于第一电压信号 PVDD 的电压。第二节点 b2 的电压等于第三电压信号 PVEE 的电压与第二子像素 OLED2 的导通电压之和。

第二像素电路 120 工作时, 同样可以对驱动晶体管 M0b 的阈值电压进行补偿, 从而在实现第二子像素 OLED2 发光的同时, 避免驱动晶体管 M0b 的阈值电压影响子像素的发光亮度。另外, 通过发射信号 EMIT, 也可以调节显示面板 10 的显示亮度。不再赘述。

由此可见, 第二像素电路 120 工作时, 除需要输入的扫描信号 (包括第一扫描信号 SCAN1、第二扫描信号 SCAN2、发射信号 EMIT) 的电平与第一像素电路 110 工作时需要输入的扫描信号的电平相反外, 其他工作过程完全相同。因此, 第一像素电路 110 和第二像素电路 120 中对应的两个开关晶体管可以输入相同的电信号, 如第一像素电路 110 中的第一晶体管 M1a 的控制极和第二像素电路 120 中的第一晶体管 M1b 的控制极都用于输入发射信号 EMIT; 第一像素电路 110 中的第二晶体管 M2a 的控制极和第二像素电路 120 中的第二晶体管 M2b 的控制极都用于输入第二扫描信号 SCAN2。这种情况下, 由于第一像素电路 110 中的多个开关晶体管均为 P 型晶体管, 第二像素电路 120 中的多个开关晶体管均为 N 型晶体管, 因此仅需通过控制各扫描信号 (包括第一扫描信号 SCAN1、第二扫描信号 SCAN2、发射信号 EMIT) 的电平即可使第一像素电路 110、第二像素电路 120 中的一个工作, 另一个不工作。

图 11 是本申请实施例三提供的一种显示面板 10 的剖面结构示意图。如图 11 所示, 在一些实施例中, 基于图 8 所示的电路结构, 为节省像素电路的占用面积, 第二像素电路 120

中的任意一个开关晶体管均与对应的第一像素电路 110 中的开关晶体管共用一个控制极 1032。

具体来说, 采用 P 型晶体管的第一像素电路 110 中的开关晶体管可以呈底栅结构, 即晶体管的控制极位于第一极和第二极的下方 (以第三方向 Z 为向上的方向); 采用 N 型晶体管的第二像素电路 120 中的开关晶体管可以呈顶栅结构, 即晶体管的控制极位于第一极和第二极的上方。这种情况下, 第二像素电路 120 中的每一个开关晶体管与对应的第一像素电路 110 中的开关晶体管都可以共用一个控制。如此, 可以简化显示面板 10 的制备工艺。如图 11 所示, 显示面板 10 可以包括衬底 101、第四金属层 105、第一金属层 102、第二金属层 103、第三金属层 104 和第五金属层 106。衬底 101、第四金属层 105、第一金属层 102、第二金属层 103、第三金属层 104 和第五金属层 106 沿第三方向 Z 依次叠加。其中, 任意两个金属层 (包括第四金属层 105、第一金属层 102、第二金属层 103、第三金属层 104 和第五金属层 106) 之间均具有绝缘层 109 以达到绝缘目的。

衬底 101 可以是玻璃板, 也可以是由聚酰亚胺 (polyimide, PI) 材料制成的 PI 薄膜。衬底 101 用于承载显示面板 10 中的其他器件。第四金属层 105 和第五金属层 106 均为阴极层。显示面板 10 工作时, 第四金属层 105 用于为第二子像素 OLED2 的阴极提供第三电压信号 PVEE; 第五金属层 106 用于为第一子像素 OLED1 的阴极提供第三电压信号 PVEE。也就是说, 显示面板 10 工作时, 第四金属层 105 和第五金属层 106 的电压是相等的。第一金属层 102 用于形成第二像素电路 120 中的各开关晶体管和驱动晶体管的第一极 1022 和第二极 1024。或者也可以说, 第二像素电路 120 中的各开关晶体管和驱动晶体管的第一极 1022 和第二极 1024 均位于第一金属层 102。第二金属层 103 用于形成控制极 1032。这里的控制极 1032 包括第二像素电路 120 中的各开关晶体管和驱动晶体管的控制极以及第一像素电路 110 中的各开关晶体管和驱动晶体管的控制极。第三金属层 104 用于形成第一像素电路 110 中的各开关晶体管和驱动晶体管的第一极 1042 和第二极 1044。或者也可以说, 第一像素电路 110 中的各开关晶体管和驱动晶体管的第一极 1042 和第二极 1044 均位于第三金属层 104。

在图 11 所示的实施例中, 仅示出了第一像素电路 110 中的一个开关晶体管和相对应的第二像素电路 120 中的一个开关晶体管。从图中可以看出, 第一像素电路 110 和第二像素电路 120 中相对应的两个开关晶体管共用了控制极 1032。另外, 在图 11 所示的实施例中, 第二像素电路 120 中的开关晶体管的第一极 1022 在衬底 101 上的正投影与对应的第一像素电路 110 中的开关晶体管的第一极 1042 在衬底 101 上的正投影重叠。第二像素电路 120 中的开关晶体管的第二极 1024 在衬底 101 上的正投影与对应的第一像素电路 110 中的开关晶体管的第二极 1044 在衬底 101 上的正投影重叠。这里的正投影指沿第三方向 Z (的反方向) 的投影。也就是说, 沿第三方向 Z, 第一像素电路 110 和第二像素电路 120 中相对应的两个开关晶体管的第一极重叠; 且第一像素电路 110 和第二像素电路 120 中相对应的两个开关晶体管的第二极也重叠。如此, 可以最大程度的减少第一像素电路 110 和第二像素电路 120 在衬底 101 上所占用的面积。

在图 11 所示的实施例中, 第二金属层 103 和第三金属层 104 之间还具有第一有源层 1072。第一有源层 1072 是第一像素电路 110 中的各开关晶体管和驱动晶体管中的有源层。第一有源层 1072 可以是 P 型半导体层。第一有源层 1072 可以与第一像素电路 110 中开关晶体管的第一极 1042 和第二极 1044 连接。第一金属层 102 和第二金属层 103 之间还具有第二有源层 1074。第二有源层 1074 是第二像素电路 120 中的各开关晶体管和驱动晶体管中的有源层。第二有源层 1074 可以是 N 型半导体层。第二有源层 1074 可以与第二像素电路 120 中开关晶体管的第一极 1022 和第二极 1024 连接。不再赘述。

在图 11 所示的实施例中, 还示出了第一子像素 OLED1 和第二子像素 OLED2。第一子像素 OLED1 可以通过第一阳极 1082 与第一像素电路 110 中的开关晶体管连接。第二子像素 OLED2 可以通过第二阳极 1084 与第二像素电路 120 中的开关晶体管连接。其中, 第一

子像素 OLED1 发光时,可以采用顶发光的方式。即第一子像素 OLED1 发光时发出的光线沿第三方向 Z (向远离衬底 101 的一侧) 射出。第二子像素 OLED2 发光时,可以采用底发光的方式。即第二子像素 OLED2 发光时发出的光线沿第三方向 Z 的反方向 (向第四金属层 105 所在一侧) 射出,之后再由第四金属层 105 将第二子像素 OLED2 射出的光线反射回去,最终从第五金属层 106 射出。本领域技术人员可以理解的,显示面板 10 中的各个膜层 (如第一金属层 102、第二金属层 103、第一有源层 1072、第二有源层 1074 和绝缘层 109) 均可以是透明的。因此,各个膜层不会阻挡第一子像素 OLED1 和第二子像素 OLED2 的发光。在这一实施例中,第二子像素 OLED2 和第一子像素 OLED1 的排布方向可以是沿第三方向 Z 的。此时,显示面板 10 中的子像素的排布示意图可以如图 2 至图 4 所示。

图 12 是本申请实施例三提供的另一种显示面板 10 的剖面结构示意图。如图 12 所示,在一些实施例中,第二子像素 OLED2 和第一子像素 OLED1 的排布方向也可以与第三方向 Z 相交。这种情况下,显示面板 10 中的子像素的排布示意图可以如图 5 所示。图 13 是本申请实施例三提供的又一种显示面板 10 的剖面结构示意图。如图 13 所示,在一些实施例中,第二子像素 OLED2 和第一子像素 OLED1 可以位于同一平面上且相邻分布。这种情况下,显示面板 10 中的子像素的排布示意图可以如图 6 至图 7 所示。在这一实施例中,由于第二子像素 OLED2 和第一子像素 OLED1 可以共用阴极层,因此显示面板 10 中可以不具有第四金属层 105。

实施例四:

图 14 是本申请实施例四提供的一种显示装置 20 的结构示意图。如图 14 所示,本申请实施例还提供一种显示装置 20,包括栅极驱动器 220、源极驱动器 210 和显示面板 10。这里的显示面板 10 是如上述任意一个实施例中的显示面板 10。

具体来说,显示面板 10 包括第一子像素 OLED1、第一像素电路 110、第二子像素 OLED2 和第二像素电路 120。第二子像素 OLED2 的发光颜色与第一子像素 OLED1 的发光颜色相同。显示面板 10 用于显示相同一帧图像时,第一像素电路 110 驱动第一子像素 OLED1 发光,或,第二像素电路 120 驱动第二子像素 OLED2 发光。其中,第一像素电路 110 还与栅极驱动器 220 及源极驱动器 210 连接,以当显示装置 20 工作时,若需要第一子像素 OLED1 发光,则栅极驱动器 220 和源极驱动器 210 可以向第一像素电路 110 输出电信号,从而使第一像素电路 110 驱动第一子像素 OLED1 发光。第二像素电路 120 也与栅极驱动器 220 及源极驱动器 210 连接,以当显示装置 20 工作时,若需要第二子像素 OLED2 发光,则栅极驱动器 220 和源极驱动器 210 可以向第二像素电路 120 输出电信号,从而使第二像素电路 120 驱动第二子像素 OLED2 发光。

在一些实施例中,显示面板 10 用于显示第 N 帧图像时,第一像素电路 110 驱动第一子像素 OLED1 发光,第二像素电路 120 不工作,以使第二子像素 OLED2 不发光。显示面板 10 用于显示第 N+1 帧图像时,第二像素电路 120 驱动第二子像素 OLED2 发光,第一像素电路 110 不工作,以使第一子像素 OLED1 不发光,N 为奇数。

在一些实施例中,第二子像素 OLED2 和第一子像素 OLED1 沿显示面板 10 的厚度方向排布。

在一些实施例中,第一像素电路 110 包括驱动晶体管 M0a、电容 C1 和多个开关晶体管,第一像素电路 110 中的多个开关晶体管均为 P 型晶体管。第二像素电路 120 包括驱动晶体管 M0b、电容 C2 和多个开关晶体管。第二像素电路 120 中的开关晶体管的个数与第一像素电路 110 中的开关晶体管的个数相同,且第二像素电路 120 中的多个开关晶体管与第一像素电路 110 中的多个开关晶体管一一对应。第二像素电路 120 中的驱动晶体管 M0b、电容 C 和多个开关晶体管之间的连接方式与第一像素电路 110 中的驱动晶体管 M0a、电容 C 和多个开关晶体管之间的连接方式相同。第二像素电路 120 中的多个开关晶体管均为 N 型晶体管。

在一些实施例中,第二像素电路 120 中的一个开关晶体管与对应的第一像素电路 110

中的开关晶体管共用一个控制极 1032。

在一些实施例中，显示面板 10 包括衬底 101 和位于衬底 101 上的第一金属层 102、第二金属层 103 和第三金属层 104。第二金属层 103 位于第一金属层 102 和第三金属层 104 之间，且第二金属层 103 与第一金属层 102 之间绝缘。第二金属层 103 与第三金属层 104 之间绝缘。第二像素电路 120 中的开关晶体管和驱动晶体管 M0 的第一极和第二极均位于第一金属层 102。控制极均位于第二金属层 103。第一像素电路 110 中的开关晶体管和驱动晶体管 M0 的第一极和第二极均位于第三金属层 104。

在一些实施例中，第二像素电路 120 中的一个开关晶体管的第一极 1022 在衬底 101 上的正投影与对应的第一像素电路 110 中的开关晶体管的第一极 1042 在衬底 101 上的正投影重叠。第二像素电路 120 中的一个开关晶体管的第二极 1024 在衬底 101 上的正投影与对应的第一像素电路 110 中的开关晶体管的第二极 1044 在衬底 101 上的正投影重叠。

在一些实施例中，第一像素电路 110 中的多个开关晶体管包括第一晶体管 M1a、第二晶体管 M2a、第三晶体管 M3a、第四晶体管 M4a、第五晶体管 M5a 和第六晶体管 M6a。

第一晶体管 M1a 的第一极用于输入第一电压信号 PVDD。第二晶体管 M2a 的第一极用于输入数据信号 Vdata。第一晶体管 M1a 的第二极、第二晶体管 M2a 的第二极和驱动晶体管 M0a 的第一极连接于第一节点 a1。驱动晶体管 M0a 的第二极与第三晶体管 M3a 的第一极、第四晶体管 M4a 的第一极连接于第二节点 b1。电容 C1 的第一极板与第一晶体管 M1a 的第一极连接。电容 C1 的第二极板与第三晶体管 M3a 的第二极、驱动晶体管 M0a 的控制极以及第五晶体管 M5a 的第二极连接于第三节点 c1。第五晶体管 M5a 的第一极用于输入第二电压信号 Vref。第四晶体管 M4a 的第二极、第六晶体管 M6a 的第二极和第一子像素 OLED1 的阳极连接于第四节点 d1。第六晶体管 M6a 的第一极用于输入第二电压信号 Vref。第一子像素 OLED1 的阴极用于输入第三电压信号 PVEE。

第一像素电路 110 驱动第一子像素 OLED1 发光时，在第一时段 T1 内，第五晶体管 M5a 和第六晶体管 M6a 导通。在第二时段 T2 内，第二晶体管 M2a 和第三晶体管 M3a 导通。在第三时段 T3 内，第一晶体管 M1a 和第四晶体管 M4a 导通。

在一些实施例中，显示装置 20 工作时，数据信号 Vdata 由源极驱动器 210 输出，第一扫描信号 SCAN1、第二扫描信号 SCAN2 和发射信号 EMIT 由栅极驱动器 220 输出。第一电压信号 PVDD、第二电压信号 Vref 和第三电压信号 PVEE 由显示装置 20 中的电路板提供。这种情况下，当第一像素电路 110 中的多个开关晶体管均为 P 型晶体管，第二像素电路 120 中的多个开关晶体管均为 N 型晶体管，则第一像素电路 110 和第二像素电路 120 中对应的两个开关晶体管输入的电信号可以相同。也就是说，第二像素电路 120 和栅极驱动器 220 之间的连接方式与第一像素电路 120 和栅极驱动器 220 之间的连接方式相同，第二像素电路 120 和源极驱动器 210 之间的连接方式与第一像素电路 120 和源极驱动器 210 之间的连接方式也相同。例如，第一像素电路 110 中的第二晶体管 M2a 的第一极与源极驱动器 210 的某一输出端连接；第二像素电路 120 中的第二晶体管 M2b 的第一极也与源极驱动器 210 的同一输出端连接。第一像素电路 110 中的第五晶体管 M5a 和第六晶体管 M6a 的控制极均与栅极驱动器 220 的某一输出端连接，以输入第一扫描信号 SCAN1；第二像素电路 120 中的第五晶体管 M5b 和第六晶体管 M6b 的控制极也与栅极驱动器 220 的同一输出端连接，以输入第一扫描信号 SCAN1。第一像素电路 110 中的第二晶体管 M2a 和第三晶体管 M3a 的控制极均与栅极驱动器 220 的某一输出端连接，以输入第二扫描信号 SCAN2；第二像素电路 120 中的第二晶体管 M2b 和第三晶体管 M3b 的控制极也与栅极驱动器 220 的同一输出端连接，以输入第二扫描信号 SCAN2。第一像素电路 110 中的第一晶体管 M1a 和第四晶体管 M4a 的控制极均与栅极驱动器 220 的某一输出端连接，以输入发射信号 EMIT；第二像素电路 120 中的第一晶体管 M1b 和第四晶体管 M4b 的控制极也与栅极驱动器 220 的同一输出端连接，以输入发射信号 EMIT。

该显示装置 20，包括如上述任意一个实施例中的显示面板 10，在连续显示多帧图像时，

第一子像素 OLED1 和第二子像素 OLED2 可以交替发光。如此，可以延长显示面板 10 的寿命，提升产品的表现力和竞争力。

- 5 以上所述实施例仅用以说明本申请的技术方案，而非对其限制；尽管参照前述实施例对本申请进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的精神和范围，均应包含在本申请的保护范围之内。

权利要求书

1. 一种显示面板，包括第一子像素和第一像素电路，所述第一像素电路与所述第一子像素连接，以驱动所述第一子像素发光；

其中，所述显示面板还包括第二子像素和第二像素电路，所述第二子像素的发光颜色与所述第一子像素的发光颜色相同，所述第二像素电路与所述第二子像素连接，以驱动所述第二子像素发光；

所述显示面板用于显示相同一帧图像时，所述第一像素电路驱动所述第一子像素发光，或，所述第二像素电路驱动所述第二子像素发光。

2. 如权利要求 1 所述的显示面板，其中，所述显示面板用于显示第 N 帧图像时，所述第一像素电路驱动所述第一子像素发光，所述第二像素电路不工作，使所述第二子像素不发光；所述显示面板用于显示第 $N+1$ 帧图像时，所述第二像素电路驱动所述第二子像素发光，所述第一像素电路不工作，使所述第一子像素不发光，所述 N 为奇数。

3. 如权利要求 1 所述的显示面板，其中，所述第二子像素和所述第一子像素沿所述显示面板的厚度方向排布。

4. 如权利要求 3 所述的显示面板，其中，所述显示面板包括 $2M$ 个子像素， M 为正整数；

所述 $2M$ 个子像素均分为第一部分和第二部分，所述第一部分中的 M 个子像素和所述第二部分中的 M 个子像素一一对应；

所述第一部分中的任意一个子像素为所述第一子像素；

所述第二部分中的 M 个子像素中，与所述第一子像素对应的子像素为所述第二子像素；

所述 $2M$ 个子像素沿所述显示面板的厚度方向分为上下两层，且所述第一部分和所述第二部分中相对应的两个子像素沿所述显示面板的厚度方向排布。

5. 如权利要求 1 所述的显示面板，其中，所述第二子像素和所述第一子像素的排布方向与第三方向相交，所述第三方向为所述显示面板的厚度方向。

6. 如权利要求 5 所述的显示面板，其中，所述显示面板包括 $2M$ 个子像素， M 为正整数；

所述 $2M$ 个子像素均分为第一部分和第二部分，所述第一部分中的 M 个子像素和所述第二部分中的 M 个子像素一一对应；

所述第一部分中的任意一个子像素为所述第一子像素；

所述第二部分中的 M 个子像素中，与所述第一子像素对应的子像素为所述第二子像素；

所述 $2M$ 个子像素沿所述显示面板的厚度方向分为上下两层，且所述第一部分和所述第二部分中相对应的两个子像素的排布方向与所述第三方向相交。

7. 如权利要求 1 所述的显示面板，其中，所述第二子像素和所述第一子像素位于同一平面且相邻分布。

8. 如权利要求 7 所述的显示面板，其中，所述显示面板包括 $2M$ 个子像素， M 为正整数；

所述 $2M$ 个子像素均分为第一部分和第二部分，所述第一部分中的 M 个子像素和所述第二部分中的 M 个子像素一一对应；

所述第一部分中的任意一个子像素为所述第一子像素；

所述第二部分中的 M 个子像素中，与所述第一子像素对应的子像素为所述第二子像素；

所述第一部分的子像素和所述第二部分的子像素位于同一平面，所述第一部分的子像素和所述第二部分的子像素交错分布，且所述第一部分和所述第二部分中相对应的两个子像素相邻分布。

9. 如权利要求 1 任意一项所述的显示面板，其中，所述第一像素电路包括驱动晶体管、电容和多个开关晶体管，所述第一像素电路中的多个开关晶体管均为 P 型晶体管；

所述第二像素电路包括驱动晶体管、电容和多个开关晶体管，所述第二像素电路中的

开关晶体管的个数与所述第一像素电路中的开关晶体管的个数相同，且所述第二像素电路中的多个开关晶体管与所述第一像素电路中的多个开关晶体管一一对应；所述第二像素电路中的驱动晶体管、电容和多个开关晶体管之间的连接方式与所述第一像素电路中的驱动晶体管、电容和多个开关晶体管之间的连接方式相同，所述第二像素电路中的多个开关晶体管均为 N 型晶体管。

10. 如权利要求 9 所述的显示面板，其中，所述第二像素电路中的一个开关晶体管与对应的所述第一像素电路中的开关晶体管共用一个控制极。

11. 如权利要求 10 所述的显示面板，其中，所述显示面板包括衬底和位于衬底上的第一金属层、第二金属层和第三金属层，所述第二金属层位于所述第一金属层和所述第三金属层之间，且所述第二金属层与所述第一金属层之间绝缘，所述第二金属层与所述第三金属层之间绝缘；

所述第二像素电路中的开关晶体管和驱动晶体管的第一极和第二极均位于所述第一金属层；所述控制极均位于所述第二金属层；所述第一像素电路中的开关晶体管和驱动晶体管的第一极和第二极均位于所述第三金属层。

12. 如权利要求 11 所述的显示面板，其中，所述第二像素电路中的任意一个开关晶体管的第一极在所述衬底上的正投影均与对应的所述第一像素电路中的开关晶体管的第一极在所述衬底上的正投影重叠；

所述第二像素电路中的任意一个开关晶体管的第二极在所述衬底上的正投影均与对应的所述第一像素电路中的开关晶体管的第二极在所述衬底上的正投影重叠。

13. 如权利要求 9 所述的显示面板，其中，所述第一像素电路中的多个开关晶体管包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管和第六晶体管；

所述第一晶体管的第一极用于输入第一电压信号，所述第二晶体管的第一极用于输入数据信号，所述第一晶体管的第二极、所述第二晶体管的第二极和驱动晶体管的第一极连接于第一节点；

驱动晶体管的第二极与所述第三晶体管的第一极、所述第四晶体管的第一极连接于第二节点；

电容的第一极板与所述第一晶体管的第一极连接，电容的第二极板与所述第三晶体管的第二极、驱动晶体的控制极以及所述第五晶体管的第二极连接于第三节点；所述第五晶体管的第一极用于输入第二电压信号；

所述第四晶体管的第二极、所述第六晶体管的第二极和所述第一子像素的阳极连接于第四节点，第六晶体管的第一极用于输入第二电压信号，第一子像素的阴极用于输入第三电压信号；

所述第一像素电路驱动所述第一子像素发光时，在第一时段内，所述第五晶体管和所述第六晶体管导通；在第二时段内，所述第二晶体管和所述第三晶体管导通；在第三时段内，所述第一晶体管和所述第四晶体管导通。

14. 如权利要求 9 所述的显示面板，其中，所述第一像素电路和所述第二像素电路的电路结构完全相同。

15. 一种显示装置，其中，包括栅极驱动器、源极驱动器和如权利要求 1 所述的显示面板；

所述第一像素电路与所述栅极驱动器及所述源极驱动器连接，以驱动所述第一子像素发光；所述第二像素电路与所述栅极驱动器及所述源极驱动器连接，以驱动所述第二子像素发光。

16. 如权利要求 15 所述的显示装置，其中，所述第一像素电路包括驱动晶体管、电容和多个开关晶体管，所述第一像素电路中的多个开关晶体管均为 P 型晶体管；

所述第二像素电路包括驱动晶体管、电容和多个开关晶体管，所述第二像素电路中的多个开关晶体管均为 N 型晶体管；

所述第二像素电路和所述栅极驱动器之间的连接方式与所述第一像素电路和所述栅极驱动器之间的连接方式相同，所述第二像素电路和所述源极驱动器之间的连接方式与所述第一像素电路和所述源极驱动器之间的连接方式相同。

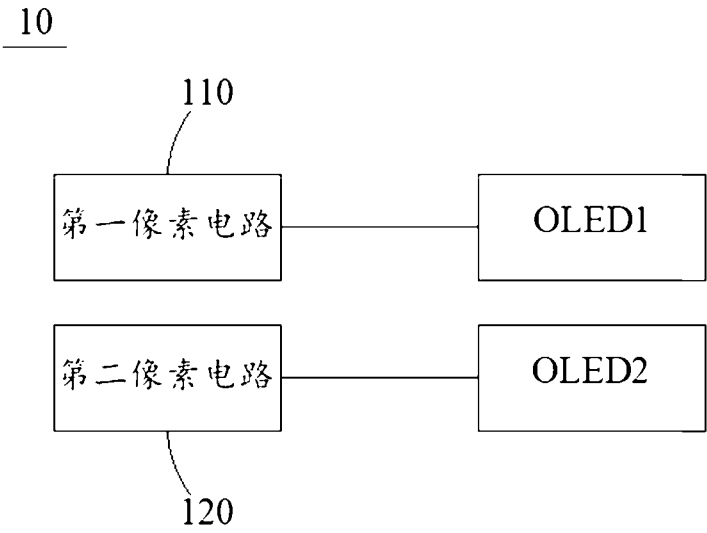


图 1

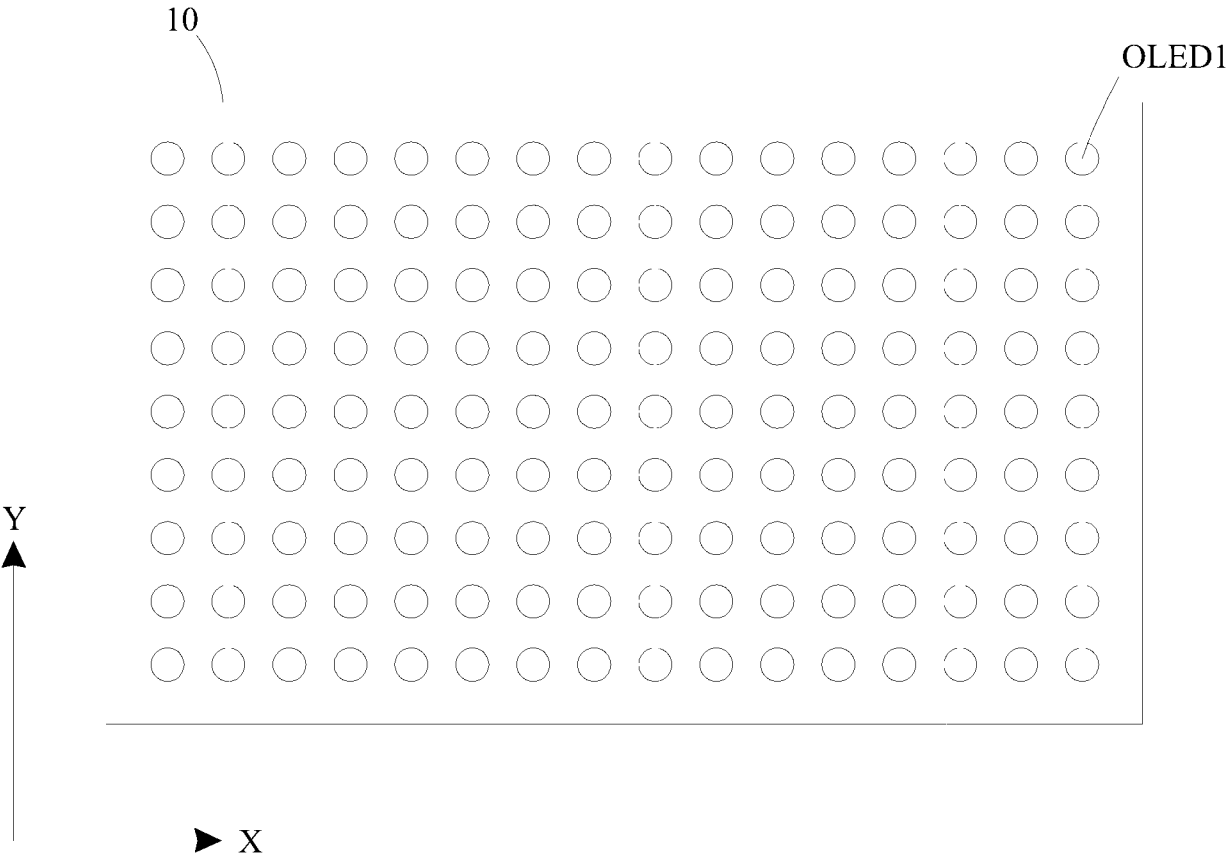


图 2

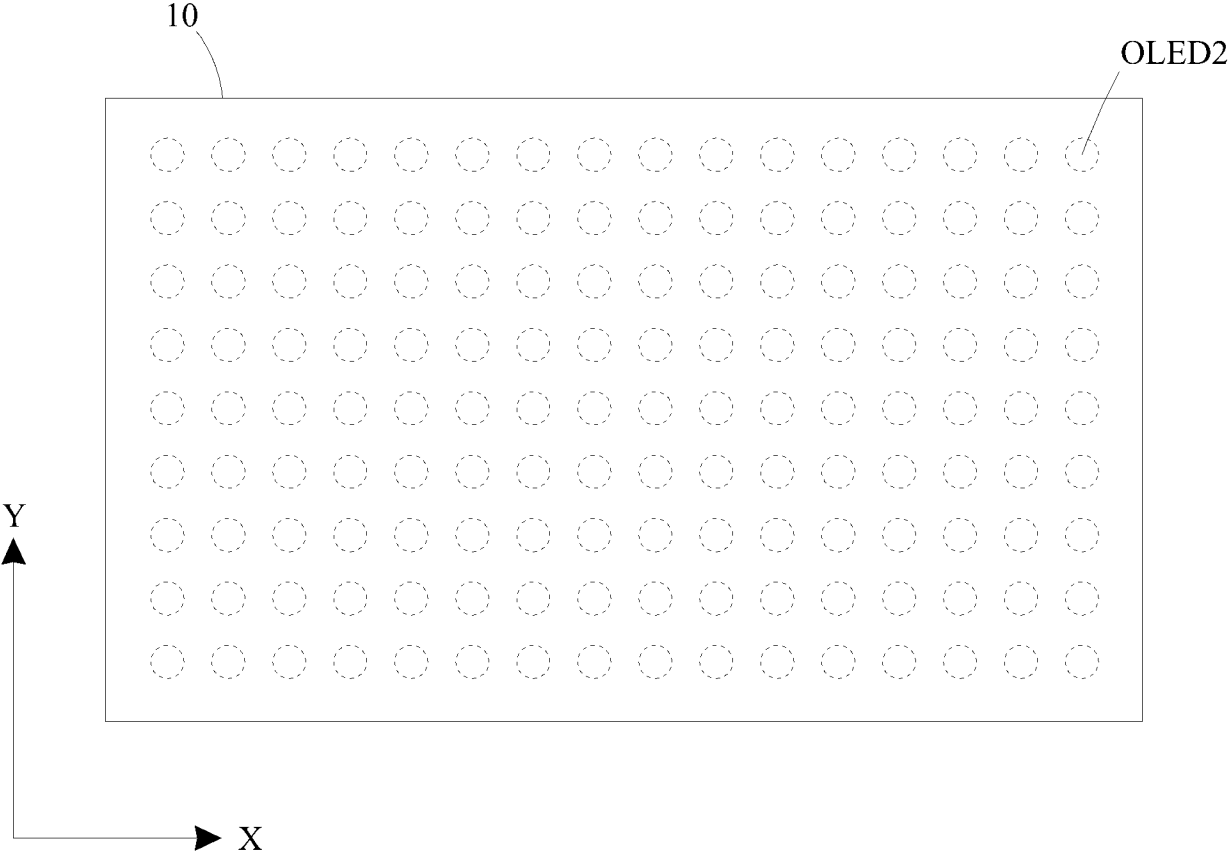


图 3

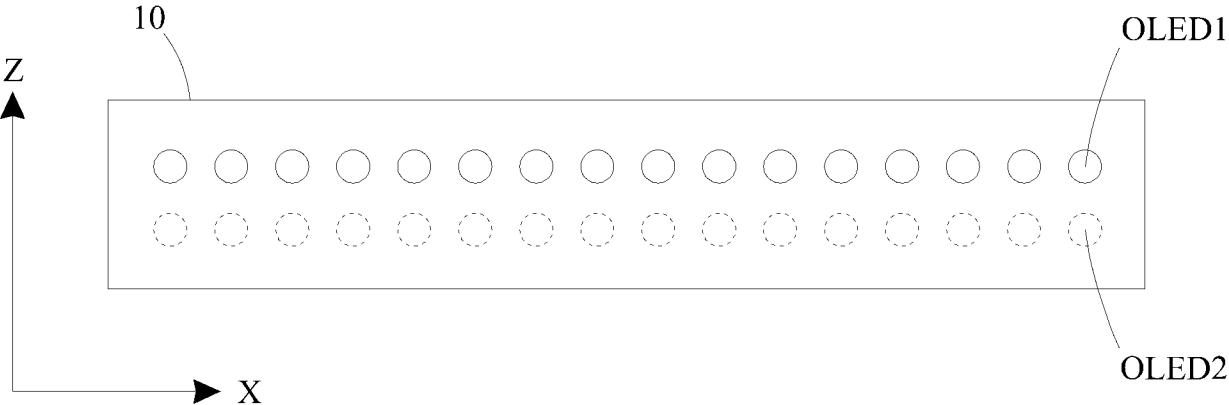


图 4

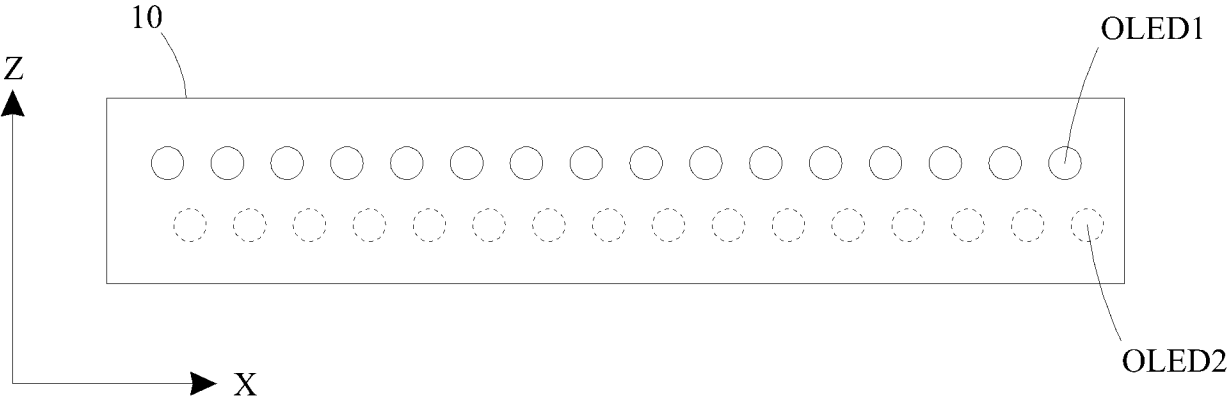


图 5

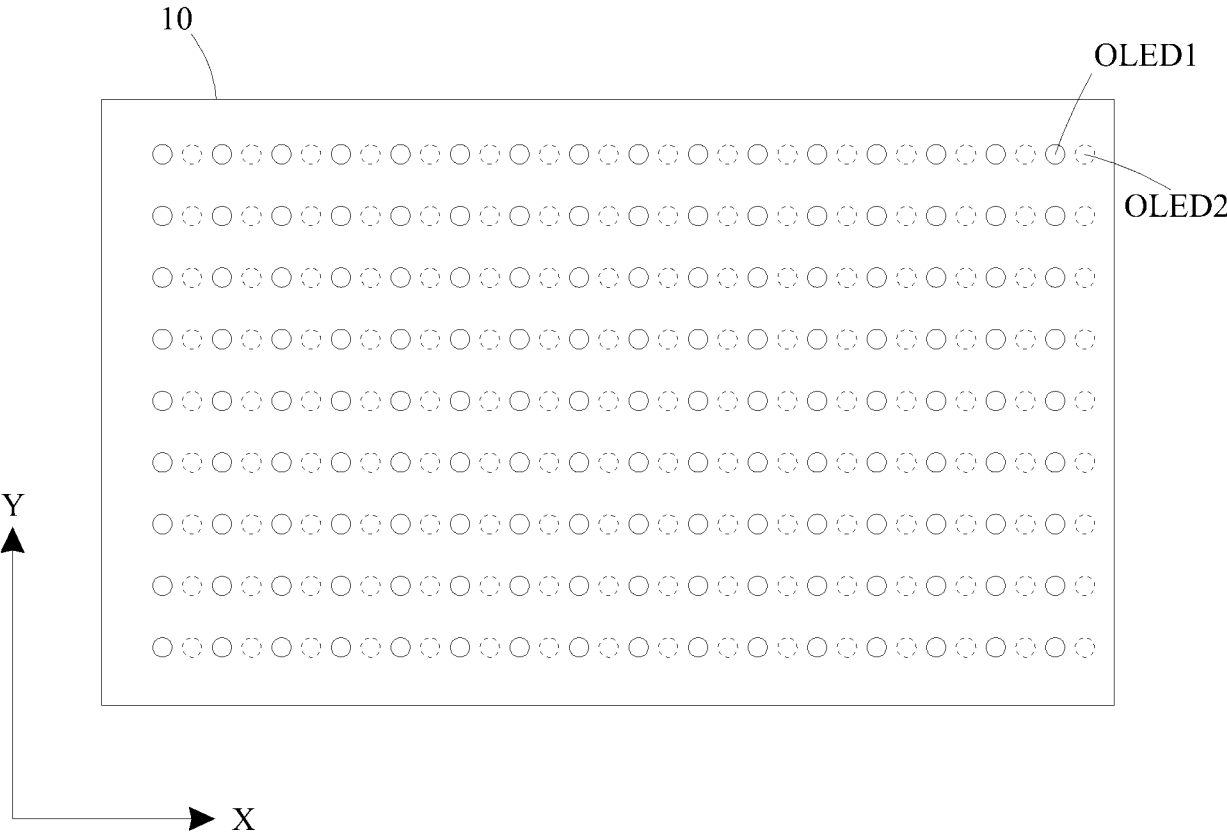


图 6

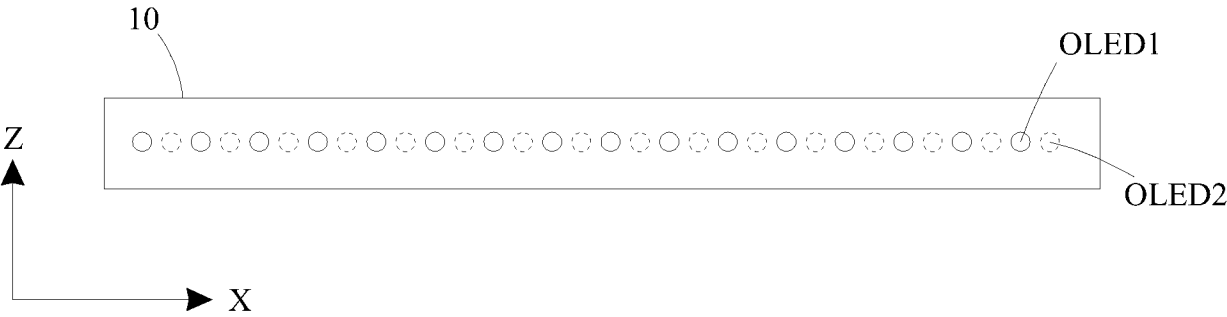


图 7

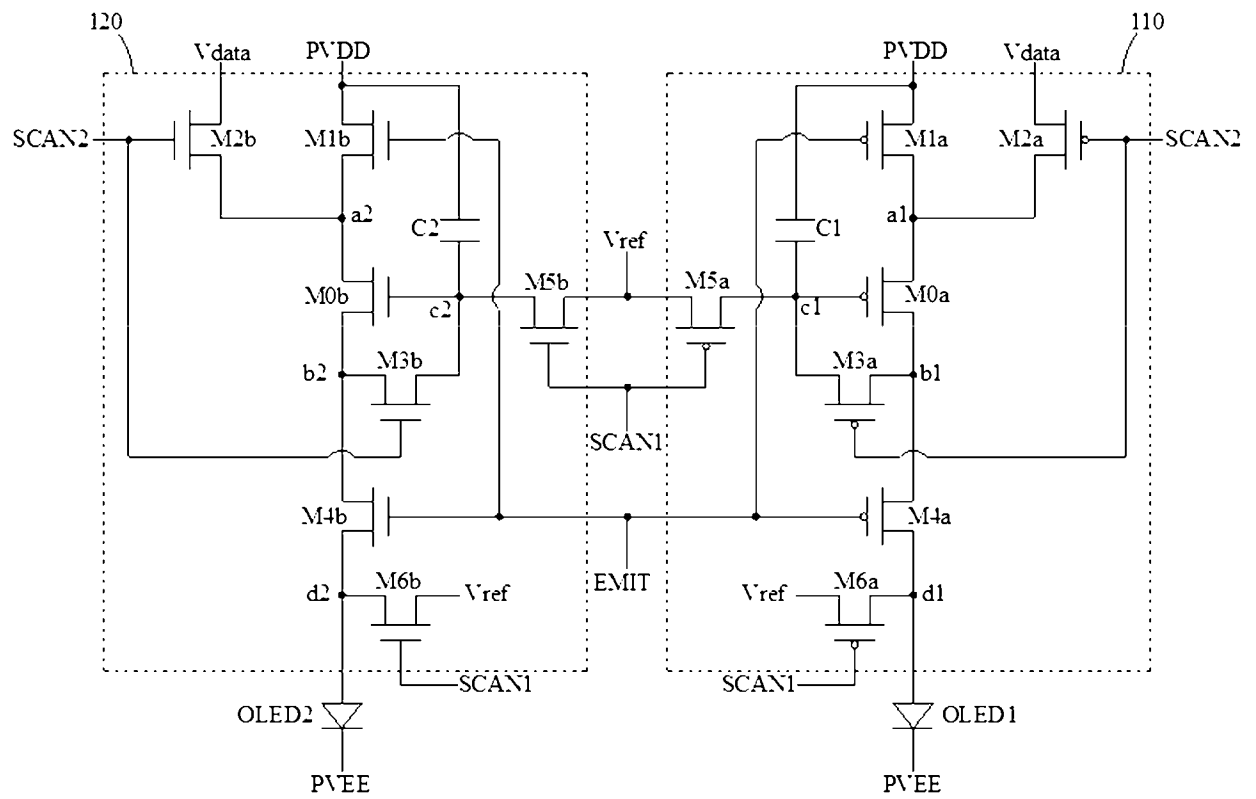


图 8

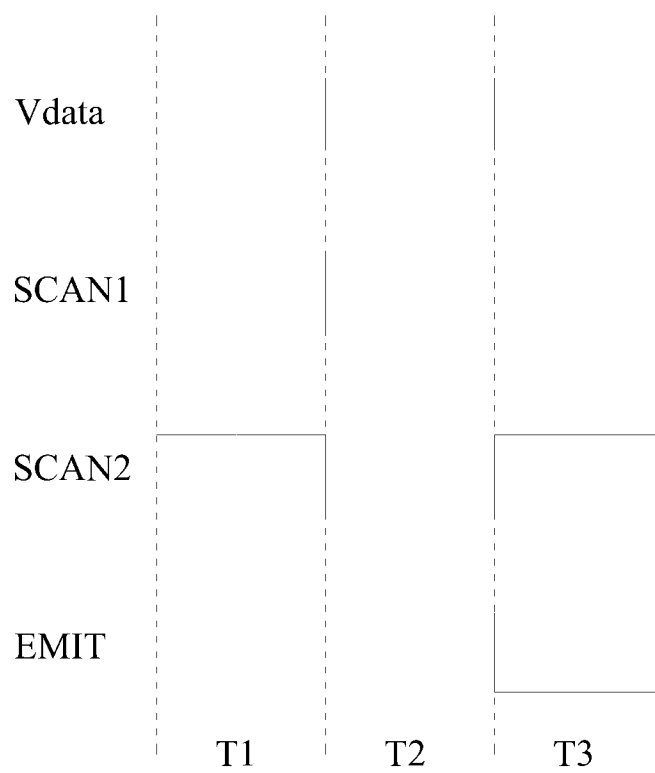


图 9

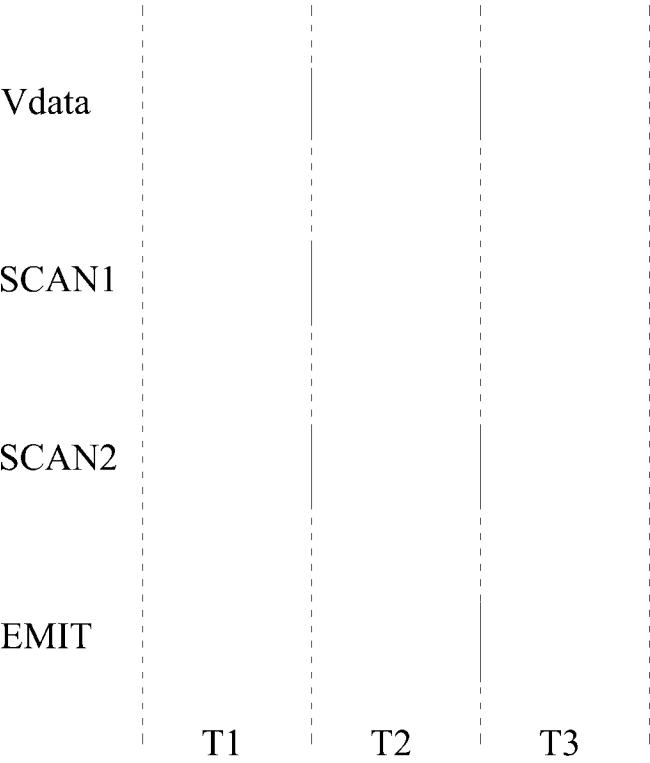


图 10

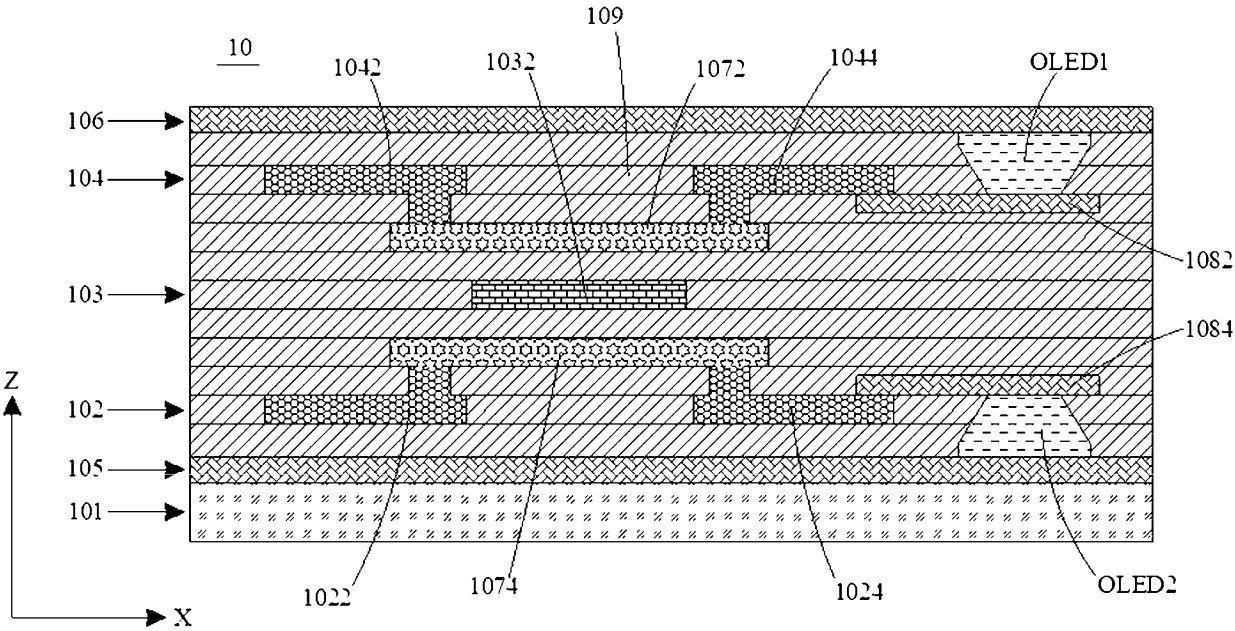


图 11

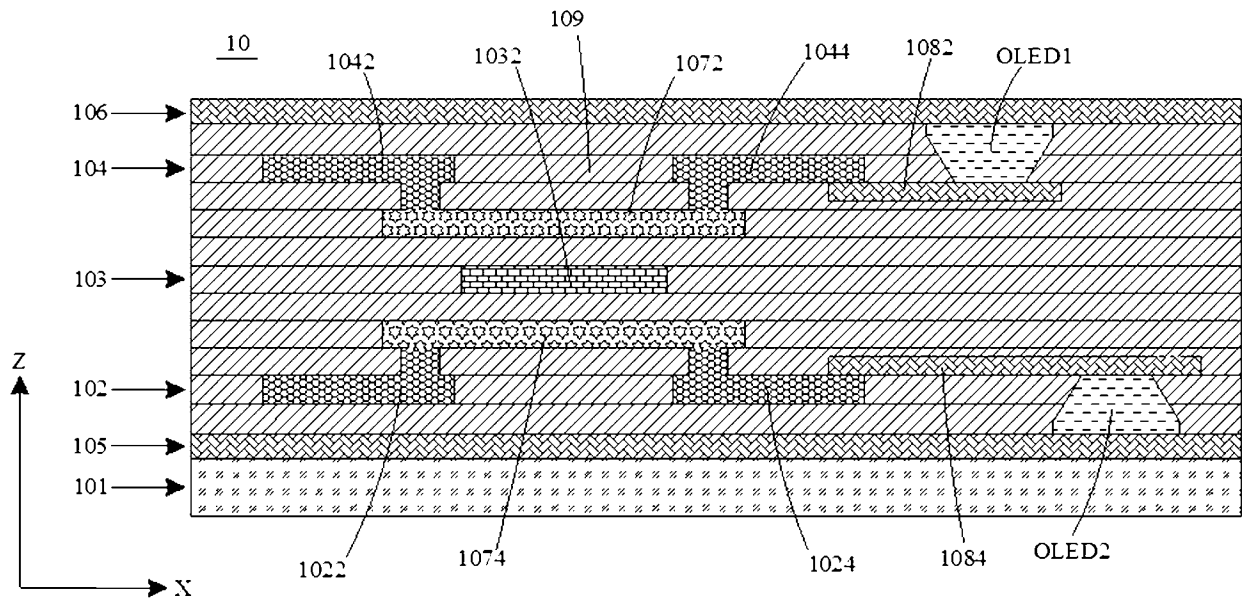


图 12

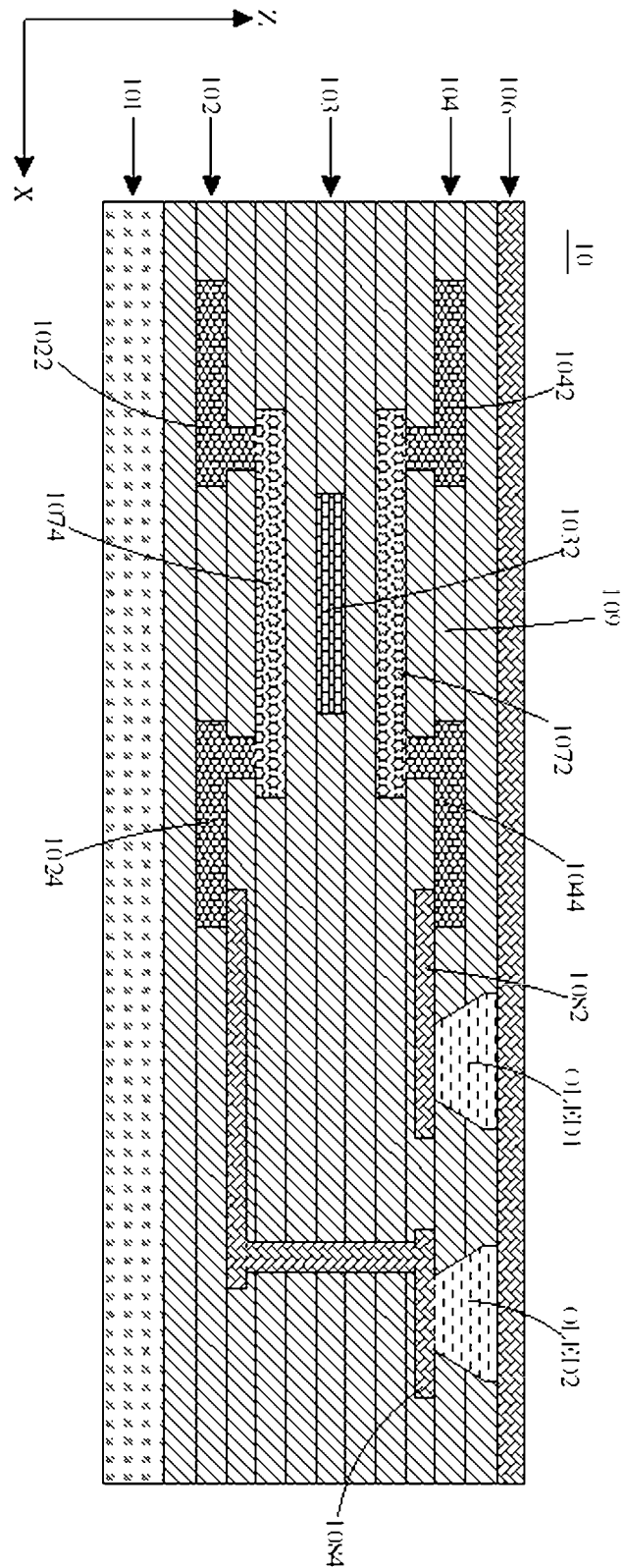


图 13

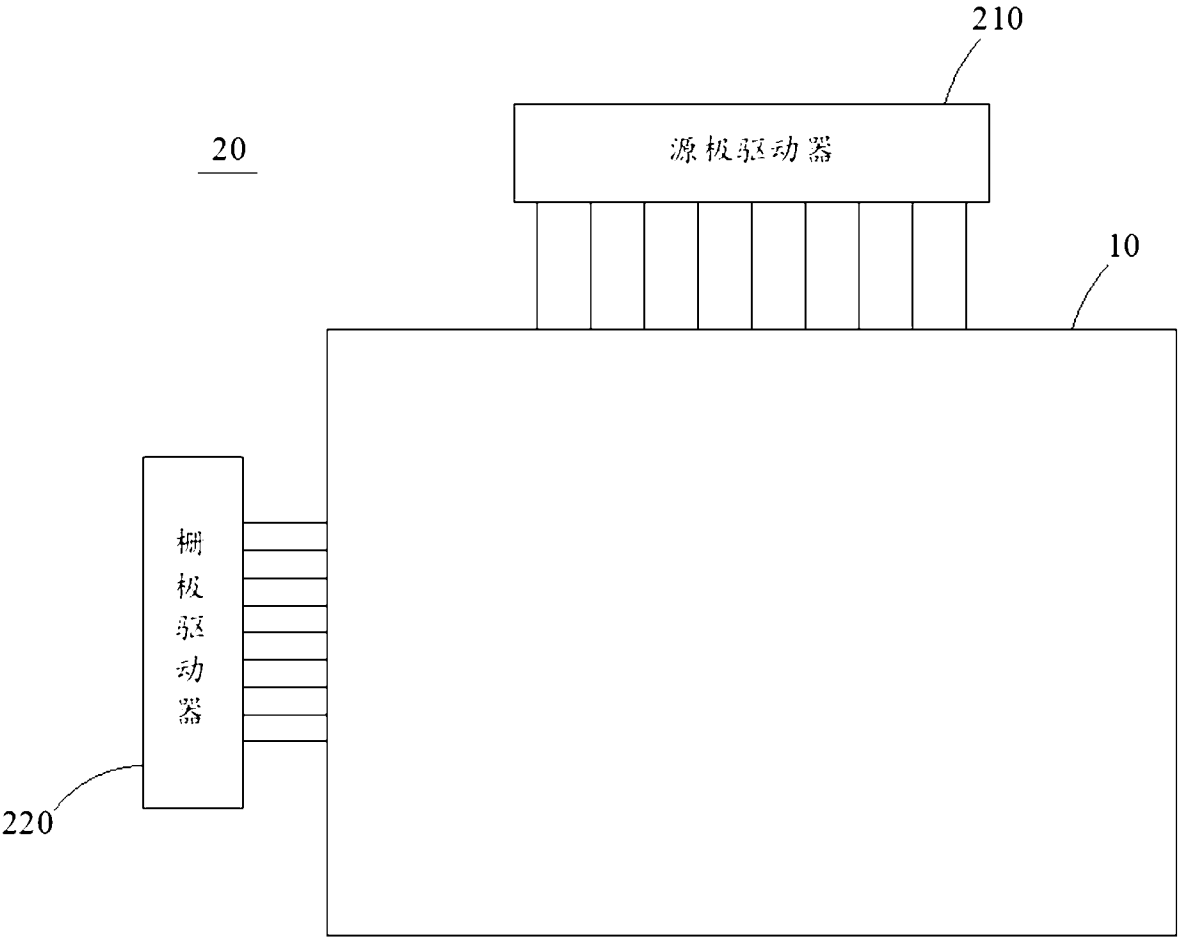


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/102405

A. CLASSIFICATION OF SUBJECT MATTER		
G09G3/32(2016.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC:G09G,H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, CNTXT, ENTXTC, ENTXT, VEN: 像素, 象素, 驱动, 发光, LED, 第一, 第二, 第1, 第2, 交替, 工作 pixel, drive, light, lum, LED, first, second, alternate, work		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107507568 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 22 December 2017 (2017-12-22) description, paragraphs [0002]-[0109], and figures 1-7	1-9, 14-16
Y	CN 107507568 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 22 December 2017 (2017-12-22) description, paragraphs [0002]-[0109], and figures 1-7	10-13
Y	CN 111244128 A (EVERDISPLAY OPTRONICS (SHANGHAI) CO., LTD.) 05 June 2020 (2020-06-05) description, paragraphs [0002]-[0067], and figures 1-6	10-12
Y	CN 114708833 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 05 July 2022 (2022-07-05) description, paragraphs [0002]-[0117], and figures 1-22	13
PX	CN 115440162 A (HKC CO., LTD.) 06 December 2022 (2022-12-06) entire document	1-16
A	US 2018182289 A1 (LG DISPLAY CO., LTD.) 28 June 2018 (2018-06-28) entire document	1-16
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
11 October 2023		13 October 2023
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/102405

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015062318 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 May 2015 (2015-05-07) entire document	1-16
<hr/>		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/102405

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107507568	A	22 December 2017	PL	3675099	T3	19 December 2022
				KR	20200040300	A	17 April 2020
				KR	102268916	B1	24 June 2021
				WO	2019037232	A1	28 February 2019
				EP	3675099	A1	01 July 2020
				EP	3675099	A4	16 December 2020
				EP	3675099	B1	03 August 2022
				JP	2020531906	A	05 November 2020
				JP	6857779	B2	14 April 2021
CN	111244128	A	05 June 2020	None			
CN	114708833	A	05 July 2022	None			
CN	115440162	A	06 December 2022	None			
US	2018182289	A1	28 June 2018	KR	20180077353	A	09 July 2018
				US	10510293	B2	17 December 2019
				EP	3343557	A2	04 July 2018
				EP	3343557	A3	14 November 2018
WO	2015062318	A1	07 May 2015	None			

国际检索报告

国际申请号

PCT/CN2023/102405

A. 主题的分类 G09G3/32(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC:G09G,H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS,CNXTXT,ENTXTTC,ENTXT,VEN:像素、象素、驱动、发光、LED、第一、第二、第1、第2、交替、工作 pixel,drive,light,lum,LED,first,second,alternate,work		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 107507568 A (深圳市华星光电半导体显示技术有限公司) 2017年12月22日 (2017 - 12 - 22) 说明书第[0002]-[0109]段、附图1-7	1-9,14-16
Y	CN 107507568 A (深圳市华星光电半导体显示技术有限公司) 2017年12月22日 (2017 - 12 - 22) 说明书第[0002]-[0109]段、附图1-7	10-13
Y	CN 111244128 A (上海和辉光电有限公司) 2020年6月5日 (2020 - 06 - 05) 说明书第[0002]-[0067]段、附图1-6	10-12
Y	CN 114708833 A (武汉天马微电子有限公司等) 2022年7月5日 (2022 - 07 - 05) 说明书第[0002]-[0117]段、附图1-22	13
PX	CN 115440162 A (惠科股份有限公司) 2022年12月6日 (2022 - 12 - 06) 全文	1-16
A	US 2018182289 A1 (LG DISPLAY CO LTD) 2018年6月28日 (2018 - 06 - 28) 全文	1-16
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
<p>★ 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“D” 申请人在国际申请中引证的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>		
国际检索实际完成的日期 2023年10月11日		国际检索报告邮寄日期 2023年10月13日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 聂莹莹 电话号码 (+86) 010-62089873

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	WO 2015062318 A1 (BOE TECHNOLOGY GROUP CO LTD等) 2015年5月7日 (2015 - 05 - 07) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/102405

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107507568	A	2017年12月22日	PL	3675099	T3	2022年12月19日
				KR	20200040300	A	2020年4月17日
				KR	102268916	B1	2021年6月24日
				WO	2019037232	A1	2019年2月28日
				EP	3675099	A1	2020年7月1日
				EP	3675099	A4	2020年12月16日
				EP	3675099	B1	2022年8月3日
				JP	2020531906	A	2020年11月5日
				JP	6857779	B2	2021年4月14日
CN	111244128	A	2020年6月5日	无			
CN	114708833	A	2022年7月5日	无			
CN	115440162	A	2022年12月6日	无			
US	2018182289	A1	2018年6月28日	KR	20180077353	A	2018年7月9日
				US	10510293	B2	2019年12月17日
				EP	3343557	A2	2018年7月4日
				EP	3343557	A3	2018年11月14日
WO	2015062318	A1	2015年5月7日	无			