



(12) 发明专利申请

(10) 申请公布号 CN 118541809 A

(43) 申请公布日 2024. 08. 23

(21) 申请号 202280087437.6

(22) 申请日 2022.10.27

(30) 优先权数据

2022-002323 2022.01.11 JP

(85) PCT国际申请进入国家阶段日

2024.07.03

(86) PCT国际申请的申请数据

PCT/JP2022/040078 2022.10.27

(87) PCT国际申请的公布数据

W02023/135896 JA 2023.07.20

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 福西淳也

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

专利代理师 金成哲 郑毅

(51) Int.Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

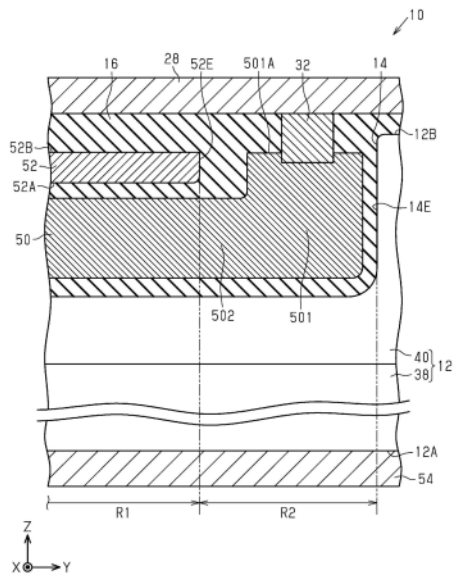
权利要求书2页 说明书14页 附图13页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置 (10) 具备: 半导体层 (12); 栅极沟槽 (14), 其形成于半导体层 (12), 在俯视时沿第一方向延伸; 绝缘层 (16), 其形成于半导体层 (12) 上; 场板电极 (50), 其配置于栅极沟槽 (14) 内; 以及栅极电极 (52), 其配置于栅极沟槽 (14) 内, 通过绝缘层 (16) 而与场板电极 (50) 分离。栅极沟槽 (14) 包括: 第一区域 (R1), 栅极电极 (52) 在栅极沟槽 (14) 的深度方向上位于场板电极 (50) 的上方; 以及第二区域 (R2), 其包括栅极沟槽 (14) 的第一方向上的一端 (14E)。第二区域 (R2) 的场板电极 (50) 包括具有比第一区域 (R1) 的场板电极 (50) 的宽度大的宽度的扩宽部 (501)。



1. 一种半导体装置,其特征在于,具备:  
半导体层;  
栅极沟槽,其形成于所述半导体层,在俯视时沿第一方向延伸,且在俯视时在与所述第一方向正交的第二方向上具有宽度;  
绝缘层,其形成在所述半导体层上;  
场板电极,其配置在所述栅极沟槽内,且在所述第二方向上具有宽度;以及  
栅极电极,其配置在所述栅极沟槽内,且通过所述绝缘层与所述场板电极分离,  
所述栅极沟槽包括:  
所述栅极电极在所述栅极沟槽的深度方向上位于所述场板电极的上方的第一区域;以  
及  
第二区域,其包括所述栅极沟槽的所述第一方向上的一端,  
所述第二区域的场板电极包括扩宽部,该扩宽部具有比所述第一区域的所述场板电极  
的宽度大的宽度。
2. 根据权利要求1所述的半导体装置,其特征在于,  
所述扩宽部至少设置于所述栅极沟槽的特定的深度位置,在所述特定的深度位置,所  
述扩宽部具有比所述第一区域的所述场板电极的宽度大的宽度。
3. 根据权利要求2所述的半导体装置,其特征在于,  
所述特定的深度位置是所述第一区域的所述场板电极具有最大宽度的所述深度方向  
上的位置。
4. 根据权利要求2所述的半导体装置,其特征在于,  
所述特定的深度位置是所述栅极沟槽的所述深度方向上的中央的位置。
5. 根据权利要求1~4中任一项所述的半导体装置,其特征在于,  
位于所述扩宽部与所述栅极沟槽的侧壁之间的所述绝缘层的厚度比位于所述第一区  
域的所述场板电极与所述侧壁之间的所述绝缘层的厚度的0.8倍大。
6. 根据权利要求1~5中任一项所述的半导体装置,其特征在于,  
所述扩宽部的所述第一方向的长度比所述扩宽部的宽度的6倍大。
7. 根据权利要求1~6中任一项所述的半导体装置,其特征在于,  
所述第二区域的所述栅极沟槽中的至少容纳所述扩宽部的部分具有比所述第一区域  
的所述栅极沟槽的宽度大的宽度。
8. 根据权利要求1~7中任一项所述的半导体装置,其特征在于,  
所述第二区域的所述栅极沟槽中的至少容纳所述扩宽部的部分具有所述第一区域的  
所述栅极沟槽的宽度的1.1倍以上且小于1.5倍的宽度。
9. 根据权利要求1~8中任一项所述的半导体装置,其特征在于,  
所述第二区域的所述场板电极包括:与所述扩宽部对应的第一部分;以及具有比所述  
第一部分的宽度小的宽度的第二部分,所述第二部分在俯视时位于所述第一部分与  
所述栅极电极之间。
10. 根据权利要求9所述的半导体装置,其特征在于,  
所述第二部分的宽度与所述第一区域的所述场板电极的宽度相同。
11. 根据权利要求9或10所述的半导体装置,其特征在于,

所述第二区域的所述栅极沟槽中的容纳所述第二部分的部分具有与所述第一区域的所述栅极沟槽的宽度相同的宽度。

12. 根据权利要求9~11中任一项所述的半导体装置,其特征在於,所述第二部分在所述第一方向上具有大于 $1\mu\text{m}$ 的长度。

13. 根据权利要求9~12中任一项所述的半导体装置,其特征在於,位于所述栅极沟槽的侧壁与所述第一部分之间的所述绝缘层的厚度比位于所述栅极沟槽的所述侧壁与所述第二部分之间的所述绝缘层的厚度的0.8倍大。

14. 根据权利要求1~13中任一项所述的半导体装置,其特征在於,所述第二区域的场板电极包括上表面,该上表面在所述深度方向上位于比所述第一区域的所述栅极电极的底面靠上方。

15. 根据权利要求1~14中任一项所述的半导体装置,其特征在於,还具备:  
栅极布线,其形成在所述绝缘层上;以及  
源极布线,其形成在所述绝缘层上,且与所述栅极布线分离,  
所述栅极电极在所述第一区域中与所述栅极布线连接,  
所述场板电极在所述第二区域中与所述源极布线连接。

## 半导体装置

### 技术领域

[0001] 本公开涉及一种半导体装置。

### 背景技术

[0002] 专利文献1中公开了一种金属-绝缘体-半导体场效应晶体管(Metal Insulator Semiconductor Field Effect Transistor, MISFET), 其具有分裂栅极结构。

[0003] 专利文献1所记载的分裂栅极结构包括形成于半导体层的栅极沟槽、埋入于栅极沟槽的底部的作为场板电极的埋入电极、以及埋入于栅极沟槽的上部的栅极电极。栅极电极以及场板电极在栅极沟槽内被绝缘层分离。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1: 日本特开2018-129378号公报

### 发明内容

[0007] 发明所要解决的课题

[0008] 在分裂栅极结构的半导体装置中, 为了降低导通电阻, 通过降低栅极沟槽的宽度来缩小栅极沟槽的间距是有效的。如果栅极沟槽的宽度变小, 则埋入到栅极沟槽的底部的场板电极的宽度也变小。在栅极沟槽的终端部, 通过从三个方向进行氧化膜等绝缘层的生长, 容易发生绝缘层的堵塞。其结果, 有时在应形成场板电极的端部的区域产生孔洞(void)。这样的孔洞有可能导致半导体装置的耐压的降低。

[0009] 用于解决课题的方案

[0010] 本公开的一个方案的半导体装置, 具备: 半导体层; 栅极沟槽, 其形成于所述半导体层, 在俯视时沿第一方向延伸, 且在俯视时在与所述第一方向正交的第二方向上具有宽度; 绝缘层, 其形成在所述半导体层上; 场板电极, 其配置在所述栅极沟槽内, 且在所述第二方向上具有宽度; 以及栅极电极, 其配置在所述栅极沟槽内, 且通过所述绝缘层与所述场板电极分离。所述栅极沟槽包括: 所述栅极电极在所述栅极沟槽的深度方向上位于所述场板电极的上方的第一区域; 以及第二区域, 其包括所述栅极沟槽的所述第一方向上的一端。所述第二区域的场板电极包括扩宽部, 该扩宽部具有比所述第一区域的所述场板电极的宽度大的宽度。

[0011] 发明效果

[0012] 根据本公开的半导体装置, 能够抑制容纳场板电极的端部的栅极沟槽终端部中的孔洞的产生。

### 附图说明

[0013] 图1是第一实施方式的例示性的半导体装置的概略俯视图。

[0014] 图2是沿着图1的半导体装置的F2-F2线的概略剖视图。

- [0015] 图3是沿着图1的半导体装置的F3-F3线的概略剖视图。
- [0016] 图4是图1的半导体装置的放大俯视图。
- [0017] 图5是沿着图4的半导体装置的F5-F5线的概略剖视图。
- [0018] 图6是沿着图4的半导体装置的F6-F6线的概略剖视图。
- [0019] 图7是第一实施方式的变形例的半导体装置的放大俯视图。
- [0020] 图8是沿着图7的半导体装置的F8-F8线的概略剖视图。
- [0021] 图9是第二实施方式的半导体装置的放大俯视图。
- [0022] 图10是沿着图9的半导体装置的F10-F10线的概略剖视图。
- [0023] 图11是第二实施方式的变形例的半导体装置的放大俯视图。
- [0024] 图12是用于说明第一区域的场板电极的截面形状的变形例的半导体装置的概略剖视图。
- [0025] 图13是图12的半导体装置的第二区域中的概略剖视图。

### 具体实施方式

[0026] 以下,参照附图对本公开的半导体装置的几个实施方式进行说明。此外,为了使说明简单且明确,附图所示的构成要素不一定以恒定的比例尺描绘。另外,为了容易理解,在剖视图中,有时省略了阴影线。附图仅仅是对本公开的实施方式的示例,而不应视为对本公开的限制。

[0027] 下面的详细描述包括体现本公开的示例性实施方式的装置、系统以及方法。该详细描述只是本来用于说明,并不意图限定本公开的实施方式或者这样的实施方式的应用以及使用。

[0028] (第一实施方式)

[0029] 图1是第一实施方式的例示性的半导体装置10的概略俯视图。此外,在本公开中使用的“俯视”这一术语是指在图1所示的相互正交的XYZ轴的Z方向上观察半导体装置10。除非明确地另外描述,否则“俯视”是指沿着Z轴从上方观察半导体装置10。

[0030] 半导体装置10是例如具有分裂栅极结构的MISFET。半导体装置10包括半导体层12、形成于半导体层12的栅极沟槽14、以及形成于半导体层12上的绝缘层16。

[0031] 半导体层12在一个例子中能够由硅(Si)形成。半导体层12包括第一面12A、以及与第一面12A相反的一侧的第二面12B(参照图2),且具有与第一面12A垂直的方向(Z方向)的厚度。半导体层12的第二面12B与绝缘层16相邻。

[0032] 栅极沟槽14在半导体层12的第二面12B具有开口,在Z方向上具有深度。另外,栅极沟槽14在俯视时在Y方向上延伸,并在X方向上具有宽度。在本说明书中,也将Z方向称为“栅极沟槽14的深度方向”,将Y方向称为“第一方向”,将X方向称为“第二方向”。因此,栅极沟槽14的深度方向与第一方向以及第二方向双方正交,第二方向在俯视时与第一方向正交。

[0033] 栅极沟槽14可以是形成于半导体层12的多个栅极沟槽14中的一个。多个栅极沟槽14(在图1的例子中为四个栅极沟槽14)能够排列成条纹状。在一个例子中,多个栅极沟槽14也可以在俯视时在X方向上等间隔地配置。能够在栅极沟槽14内,配置参照图2后述的场板电极50以及栅极电极52。

[0034] 半导体装置10也可以还包括形成于半导体层12的周缘沟槽18。周缘沟槽18能够配

置为与栅极沟槽14分离,并且在俯视时包围栅极沟槽14。在周缘沟槽18内能够配置参照图4后述的周缘电极56。

[0035] 如图1所示,半导体层12的第二面12B能够包括含有n型杂质的n<sup>-</sup>型区域20、含有p型杂质的p<sup>-</sup>型区域22以及含有n型杂质的n<sup>+</sup>型区域24。n<sup>-</sup>型区域20可以包围周缘沟槽18。另外,p<sup>-</sup>型区域22以及n<sup>+</sup>型区域24可以被周缘沟槽18包围。由于周缘沟槽18的存在,p<sup>-</sup>型区域22与n<sup>+</sup>型区域24之间的pn接合界面不露出,因此能够提高半导体装置10的耐压。

[0036] 栅极沟槽14能够配置为与p<sup>-</sup>型区域22以及n<sup>+</sup>型区域24双方相邻。在图1的例子中,n<sup>+</sup>型区域24能够在Y方向上位于两个p<sup>-</sup>型区域22之间。栅极沟槽14的Y方向上的各端能够与两个p<sup>-</sup>型区域22中的一个相邻,另一方面,栅极沟槽14的中间部分能够与n<sup>+</sup>型区域24相邻。

[0037] 半导体装置10还可以包括形成在绝缘层16上的栅极布线26以及源极布线28。栅极布线26以及源极布线28分别能够配置为覆盖栅极沟槽14的一部分以及周缘沟槽18的一部分。栅极布线26能够配置为与两个p<sup>-</sup>型区域22中的一方至少部分重叠。源极布线28能够配置为与两个p<sup>-</sup>型区域22中的另一方至少部分地重叠。源极布线28可以与栅极布线26分离,并且至少覆盖n<sup>+</sup>型区域24的整体。

[0038] 栅极布线26以及源极布线28能够由钛(Ti)、镍(Ni)、金(Au)、银(Ag)、铜(Cu)、铝(Al)、Cu合金以及Al合金中的至少一个形成。

[0039] 半导体装置10还可以包括多个栅极触头30。各栅极触头30能够将配置于各栅极沟槽14内的栅极电极52(参照图2)与栅极布线26连接。栅极触头30能够以贯通位于栅极电极52与栅极布线26之间的绝缘层16的方式在Z方向上延伸。栅极触头30能够配置于俯视时栅极沟槽14与栅极布线26重叠的区域。

[0040] 半导体装置10还可以包括多个源极触头32。各源极触头32能够将配置于各栅极沟槽14内的场板电极50(参照图2)与源极布线28连接。源极触头32能够以贯通位于场板电极50与源极布线28之间的绝缘层16的方式在Z方向上延伸。源极触头32能够配置于俯视时栅极沟槽14与源极布线28重叠的区域。

[0041] 半导体装置10还能够包括俯视时在Y方向上延伸的一个或多个线触头34。线触头34可以在俯视时至少沿Y方向从n<sup>+</sup>型区域24的端部延伸到端部。线触头34能够配置在两个相邻的栅极沟槽14之间。线触头34能够将形成于半导体层12内的接触区域48(参照图2)与源极布线28连接。线触头34能够以贯通位于接触区域48与源极布线28之间的半导体层12以及绝缘层16的方式在Z方向上延伸。

[0042] 半导体装置10还可以包括将配置在周缘沟槽18内的周缘电极56(参照图4)与源极布线28连接的一个或多个触头36。

[0043] 栅极触头30、源极触头32、线触头34以及触头36能够由任意的金属材料形成。在一个例子中,各触头30、32、34、36能够由钨(W)、Ti以及氮化钛(TiN)中的至少一个形成。

[0044] 图2是沿着图1的半导体装置10的F2-F2线的概略剖视图,表示参照图3后述的栅极沟槽14的第一区域R1中的截面。

[0045] 半导体层12可以包括:半导体基板38,其包括半导体层12的第一面12A;以及外延层40,其形成在半导体基板38上,包括半导体层12的第二面12B。半导体基板38可以是Si基板。半导体基板38对应于MISFET的漏极区域。外延层40可以是在Si基板上外延生长的Si层。外延层40可以包括漂移区域42、形成在漂移区域42上的主体区域44、以及形成在主体区域

44上的源极区域46。源极区域46能够包括半导体层12的第二面12B。源极区域46的上表面与图1所示的n<sup>+</sup>型区域24对应。外延层40还可以包括位于线触头34之下的接触区域48。

[0046] 漏极区域38(半导体基板38)可以是包括n型杂质的n<sup>+</sup>型的区域。漏极区域38的n型杂质浓度能够设为 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。漏极区域38可以具有50 $\mu\text{m}$ 以上且450 $\mu\text{m}$ 以下的厚度。

[0047] 漂移区域42可以是包括浓度比漏极区域38低的n型杂质的n<sup>-</sup>型的区域。漂移区域42的n型杂质浓度能够设为 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。漂移区域42可以具有1 $\mu\text{m}$ 以上且25 $\mu\text{m}$ 以下的厚度。

[0048] 主体区域44可以是包括p型杂质的p<sup>-</sup>型的区域。主体区域44的p型杂质浓度能够设为 $1 \times 10^{16} \text{cm}^{-3}$ 以上且 $1 \times 10^{18} \text{cm}^{-3}$ 以下。主体区域44可以具有0.5 $\mu\text{m}$ 以上且1.5 $\mu\text{m}$ 以下的厚度。

[0049] 源极区域46可以是包括浓度比漂移区域42高的n型杂质的n<sup>+</sup>型的区域。源极区域46的n型杂质浓度能够设为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。源极区域46可以具有0.1 $\mu\text{m}$ 以上且1 $\mu\text{m}$ 以下的厚度。

[0050] 接触区域48可以是包括p型杂质的p<sup>+</sup>型的区域。接触区域48的p型杂质浓度比主体区域44高,能够设为 $1 \times 10^{19} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。

[0051] 此外,在本公开中,也将n型称为第一导电型,将p型称为第二导电型。n型杂质可以是例如磷(P)、砷(As)等。另外,p型杂质可以是例如硼(B)、铝(Al)等。

[0052] 栅极沟槽14在半导体层12的第二面12B具有开口。栅极沟槽14具有侧壁14A以及底壁14B,底壁14B与漂移区域42相邻。即,栅极沟槽14贯通半导体层12的源极区域46以及主体区域44而到达漂移区域42。栅极沟槽14的深度D可以为1 $\mu\text{m}$ 以上且10 $\mu\text{m}$ 以下。栅极沟槽14的深度D能够定义为从半导体层12的第二面12B到栅极沟槽14的底壁14B(在底壁14B弯曲的情况下是栅极沟槽14的最深部)的Z方向的距离。

[0053] 栅极沟槽14的侧壁14A可以在与半导体层12的第二面12B垂直的方向(Z方向)上延伸,也可以倾斜。在一个例子中,侧壁14A也可以相对于Z方向倾斜以使栅极沟槽14的宽度朝向底壁14B变小。另外,栅极沟槽14的底壁14B也可以不一定是平坦的,例如,其一部分或整体也可以弯曲。

[0054] 半导体装置10还可以包括:场板电极50,其配置在栅极沟槽14内,且在X方向上具有宽度;以及栅极电极52,其配置在栅极沟槽14内,通过绝缘层16而与场板电极50分离。在第一区域R1(参照图3)中,栅极电极52在栅极沟槽14的深度方向上位于场板电极50的上方。

[0055] 场板电极50在栅极沟槽14内配置于栅极沟槽14的底壁14B与栅极电极52的底面52A之间。场板电极50的周围被绝缘层16包围。场板电极50可以在X方向上具有比栅极电极52小的宽度。场板电极50能够设为与源极区域46相同电位。通过向场板电极50施加源极电压,能够缓和栅极沟槽14内的电场集中以提高半导体装置10的耐压。

[0056] 场板电极50可以不依赖于Z方向的位置地具有一样的宽度,也可以具有朝向栅极沟槽14的底壁14B变小的宽度。如上所述,栅极沟槽14的宽度也可以朝向底壁14B变小,其结果,场板电极50的宽度也能够朝向底壁14B变小。

[0057] 在本说明书中提及的场板电极50的宽度有时是指栅极沟槽14的特定的深度位置处的场板电极50的宽度。在一个例子中,栅极沟槽14的特定的深度位置可以是第一区域R1中的场板电极50具有最大的宽度的深度方向上的位置P<sub>a</sub>(比半导体层12的第二面12B低距

离 $D_a$ 的位置)。在该情况下,场板电极50的宽度是图2所示的 $W1_a$ 。在图2的例子中,场板电极50在上表面50A具有最大的宽度,因此, $W1_a$ 也可以说是上表面50A的宽度。在另一个例子中,栅极沟槽14的特定的深度位置可以是栅极沟槽14的深度方向上的中央的位置 $P_{half}$ (比半导体层12的第二面12B低栅极沟槽14的深度 $D$ 的一半的位置)。在该情况下,场板电极50的宽度是图2所示的 $W1_{half}$ 。

[0058] 栅极沟槽14的特定的深度位置并不一定限定于上述的例子,能够设定为能够将某区域中的场板电极50的宽度与其他区域中的场板电极50的宽度适当地比较的任意的深度位置。

[0059] 栅极电极52能够包括至少一部分与场板电极50对置的底面52A、以及与底面52A相反的一侧的上表面52B。栅极电极52的上表面52B可以位于比半导体层12的第二面12B靠下方。栅极电极52的底面52A以及上表面52B可以是平坦的,也可以是弯曲的。栅极电极52可以不依赖于Z方向的位置地具有一样的宽度,也可以不具有一样的宽度。例如,栅极电极52的包括底面52A的底部也可以形成为比其他部分宽度窄。

[0060] 栅极电极52可以位于漂移区域42与主体区域44的界面在Z方向上不成为比栅极电极52的底面52A靠下方的位置。漂移区域42与主体区域44的界面既可以在Z方向上与栅极电极52的底面52A的位置对齐,也可以位于比底面52A的位置靠上方。

[0061] 场板电极50以及栅极电极52在一个例子中能够由导电性的多晶硅形成。

[0062] 绝缘层16可以包括介于栅极电极52与半导体层12之间并覆盖栅极沟槽14的侧壁14A的栅极绝缘部161。栅极电极52和半导体层12被栅极绝缘部161分离。当向栅极电极52施加预定的电压时,在与栅极绝缘部161相邻的p型的主体区域44内形成沟道。半导体装置10能够实现经由该沟道的 $n^+$ 型的源极区域46与 $n^-$ 型的漂移区域42之间的Z方向的电子的流动的控制。

[0063] 绝缘层16能够还包括在场板电极50与半导体层12之间覆盖栅极沟槽14的侧壁14A以及底壁14B的下侧绝缘部162。下侧绝缘部162能够在栅极沟槽14的侧壁14A上形成得比栅极绝缘部161厚。另外,绝缘层16还可以包括位于场板电极50的上表面50A与栅极电极52的底面52A之间的中间绝缘部163。

[0064] 在一个例子中,绝缘层16能够由氧化硅膜( $SiO_2$ )形成。绝缘层16也可以追加或代替地包括由与 $SiO_2$ 不同的绝缘材料例如氮化硅膜( $SiN$ )等形成的膜。

[0065] 半导体装置10还能够包括形成于半导体层12的第一面12A的漏极电极54。漏极电极54与漏极区域38电连接。漏极电极54可以由Ti、Ni、Au、Ag、Cu、Al、Cu合金以及Al合金中的至少一种形成。

[0066] 在图2所示的截面中,在绝缘层16上形成源极布线28。源极布线28覆盖绝缘层16,并且经由线触头34与接触区域48电连接。

[0067] 图3是沿着图1的半导体装置10的F3-F3线的概略剖视图,表示包括栅极沟槽14的一端14E的栅极沟槽14的一部分的YZ截面。

[0068] 栅极沟槽14能够包括栅极电极52在Z方向上位于场板电极50的上方的第一区域R1、以及包括栅极沟槽14的Y方向上的一端14E的第二区域R2。栅极电极52配置于第一区域R1,但不延伸至第二区域R2。栅极沟槽14的第二区域R2可以在俯视时位于栅极沟槽14的端部14E与栅极电极52的端部52E之间(也参照图4)。

[0069] 在第一区域R1中,场板电极50能够位于栅极电极52的下方。栅极电极52在第一区域R1中经由栅极触头30与栅极布线26连接(参照图1)。另一方面,在第二区域R2中,场板电极50能够包括比栅极电极52的底面52A向上方延伸以与源极触头32连接的端部501。场板电极50在第二区域R2中经由源极触头32与源极布线28连接。场板电极50的端部501能够包括与栅极电极52的底面52A相比在Z方向上位于上方的上表面501A。在一个例子中,端部501的上表面501A也可以在Z方向上与栅极电极52的上表面52B的位置对齐。

[0070] 第二区域R2中的场板电极50除了端部501以外,还能够包括中间部502。中间部502与第一区域R1的场板电极50连接。中间部502能够在俯视时位于栅极电极52的端部52E与场板电极50的端部501之间。在中间部502的上方,不存在栅极电极52而存在绝缘层16,该绝缘层16将栅极电极52与场板电极50的端部501分离。

[0071] 在本说明书中,栅极沟槽14的终端部是指收纳场板电极50的扩宽部(在本实施方式中与端部501对应)的栅极沟槽14的部分,可以包括栅极沟槽14的端部14E。因此,在图3的例子中,栅极沟槽14的终端部可以是栅极沟槽14的第二区域R2中的靠近端部14E的一部分。

[0072] 图4是半导体装置10的放大俯视图。在图4中示出包括场板电极50的端部501(例如上表面501A)以及栅极电极52(例如上表面52B)的XY平面中的半导体装置10的俯视图。

[0073] 在第一区域R1配置有栅极电极52。在第一区域R1中也存在场板电极50,但由于处于栅极电极52的下方,所以在图4中观察不到。另一方面,在第二区域R2配置有场板电极50的端部501以及中间部502(参照图3)。中间部502位于绝缘层16的下方,因此在图4中观察不到。

[0074] 如参照图5后述的那样,第二区域R2的场板电极50的端部501的宽度比第一区域R1的场板电极50的宽度大。此外,端部501的Y方向的长度可以大于端部501的X方向的宽度的6倍。

[0075] 源极触头32能够配置在端部501上。在图4的例子中,源极触头32可以配置在端部501的上表面501A的大致中央。

[0076] 半导体装置10还可以包括配置在周缘沟槽18内的周缘电极56。周缘电极56能够经由绝缘层16埋入于周缘沟槽18内。如图1所示,周缘沟槽18能够形成矩形框状以包围栅极沟槽14,因此周缘电极56也能够沿着周缘沟槽18的形状形成矩形框状。周缘电极56与场板电极50同样,能够由导电性的多晶硅形成。

[0077] 图5是沿着图4的半导体装置10的F5-F5线的概略剖视图,表示栅极沟槽14的第二区域R2中的场板电极50的端部501的截面。

[0078] 在第二区域R2中,栅极电极52不存在于场板电极50的上方。第二区域R2的场板电极50的端部501向上方延伸至栅极沟槽14的开口附近。场板电极50的端部501能够经由源极触头32与源极布线28连接。

[0079] 第二区域R2的场板电极50的端部501能够具有比第一区域R1的场板电极50的宽度大的宽度。即,第二区域R2的场板电极50能够包括具有比第一区域R1的场板电极50的宽度大的宽度的端部501。在图5的例子中,能够将端部501称为场板电极50的扩宽部。

[0080] 其中,第一区域R1的场板电极50的宽度和端部501的宽度能够在栅极沟槽14的特定的相同深度位置进行比较。例如,在特定的深度位置是参照图2说明的位置 $P_a$ (比半导体层12的第二面12B低距离 $D_a$ 的位置)的情况下,位置 $P_a$ 处的端部501的宽度是图5所示的 $W2_a$ 。

栅极沟槽14的特定的深度位置 $P_a$ 处的端部501的宽度 $W_{2a}$ 大于第一区域R1的场板电极50的宽度 $W_{1a}$  (参照图2)。

[0081] 在另一个例子中,特定的深度位置也可以是位置 $P_{half}$  (比半导体层12的第二面12B低栅极沟槽14的深度D的一半的位置),在该情况下,位置 $P_{half}$ 处的端部501的宽度是图5所示的 $W_{2_{half}}$ 。栅极沟槽14的特定的深度位置 $P_{half}$ 处的端部501的宽度 $W_{2_{half}}$ 大于第一区域R1的场板电极50的宽度 $W_{1_{half}}$  (参照图2)。

[0082] 在将第一区域R1的场板电极50的宽度与第二区域R2的端部501的宽度在栅极沟槽14的特定的深度位置进行比较的情况下,端部501至少设置于该特定的深度位置。此外,在图5的例子中,第二区域R2的场板电极50的端部501可以从其下端到上端 (即在任意的深度位置) 具有比第一区域R1的场板电极50的宽度大的宽度。即,第二区域R2的场板电极50的端部501的整体与扩宽部对应。

[0083] 在本实施方式中,第一区域R1中的栅极沟槽14的宽度与第二区域R2中的栅极沟槽14的宽度大致相等。因此,位于第二区域R2的场板电极50的端部501 (扩宽部) 与侧壁14A之间的绝缘层16的厚度小于位于第一区域R1的场板电极50与侧壁14A之间的绝缘层16的厚度。此时,位于第二区域R2的场板电极50的端部501 (扩宽部) 与侧壁14A之间的绝缘层16的厚度可以大于位于第一区域R1的场板电极50与侧壁14A之间的绝缘层16的厚度的0.8倍。此外,绝缘层16的厚度与场板电极50的宽度同样,能够在特定的相同深度位置进行比较。

[0084] 图6是沿着图4的半导体装置10的F6-F6线的概略剖视图,表示栅极沟槽14的第二区域R2中的场板电极50的中间部502的截面。

[0085] 第二区域R2的场板电极50的中间部502可以具有与图2所示的第一区域R1的场板电极50实质上相同的截面。即,第二区域R2的中间部502的宽度可以与第一区域R1的场板电极50的宽度大致相等,另一方面,比第二区域R2的端部501的宽度小。在中间部502的上方埋入有绝缘层16。

[0086] (作用)

[0087] 以下,对本实施方式的半导体装置10的作用进行说明。

[0088] 根据本实施方式的半导体装置10,第二区域R2的场板电极50包括具有比第一区域R1的场板电极50的宽度大的宽度的端部501 (扩宽部)。

[0089] 通常,在栅极沟槽14的终端部,通过从三个方向进行绝缘层16的生长,容易发生绝缘层16的闭塞。其结果,有时在应形成场板电极50的端部501的区域产生孔洞。这样的孔洞妨碍场板电极50的适当的形成,使场板电极50向半导体层12内延伸耗尽层的效果降低,可能使半导体装置的耐压降低。

[0090] 关于这一点,在本实施方式的半导体装置10中,在包括栅极沟槽14的一端的第二区域R2的场板电极50设置有具有比较大的宽度的端部501 (扩宽部)。由此,即使在栅极沟槽14的终端部从三个方向进行了绝缘层16的生长的情况下,也不易发生绝缘层16的堵塞。

[0091] (效果)

[0092] 本实施方式的半导体装置10具有以下优点。

[0093] (1-1) 栅极沟槽14包括:第一区域R1,栅极电极52在栅极沟槽14的深度方向上位于场板电极50的上方;以及第二区域R2,其包括栅极沟槽14的第一方向(Y)方向上的一端。第二区域R2的场板电极50包括具有比第一区域R1的场板电极50的宽度大的宽度的端部501

(扩宽部)。根据该结构,能够抑制栅极沟槽14内的孔洞的产生。

[0094] (1-2)位于第二区域R2的场板电极50的端部501(扩宽部)与侧壁14A之间的绝缘层16的厚度可以大于位于第一区域R1的场板电极50与侧壁14A之间的绝缘层16的厚度的0.8倍。根据该结构,能够抑制由与场板电极50的端部501(扩宽部)相邻的绝缘层16的厚度过度变小引起的耐压的降低。

[0095] (1-3)场板电极50的端部501的Y方向的长度可以大于端部501的宽度的6倍。根据该结构,能够抑制由端部501的Y方向的长度较短引起的场板电极50的埋入性的降低。

[0096] (第一实施方式的变形例)

[0097] 图7是第一实施方式的变形例的半导体装置100的放大俯视图。在图7中,对与半导体装置10相同的构成要素标注相同的附图标记。另外,对于与半导体装置10相同的构成要素省略详细的说明。

[0098] 半导体装置100与半导体装置10的不同之处在于,第二区域R2的场板电极50的端部501包括第一部分101以及具有比第一部分101的宽度小的宽度的第二部分102。第二部分102能够在俯视时位于第一部分101与栅极电极52之间。

[0099] 第一部分101具有比第一区域R1的场板电极50的宽度大的宽度。在图7的例子中,能够将第一部分101称为场板电极50的扩宽部。图7所示的第一部分101(扩宽部)的截面可以与图5所示的端部501的截面实质上相同。

[0100] 第一部分101的Y方向的长度可以大于第一部分101的X方向的宽度的6倍。由此,能够抑制场板电极50的第一部分101的埋入性的降低。

[0101] 另一方面,第二部分102可以具有比第一部分101的宽度小的宽度。在一个例子中,第二部分102可以具有与第一区域R1的场板电极50的宽度大致相同的宽度。第二部分102在Y方向上可以具有大于 $1\mu\text{m}$ 的长度。由于第二部分102的存在,能够使扩宽部即第一部分101距第一区域R1比较远,因此能够在半导体装置100中抑制耐压的变动。

[0102] 在一个例子中,位于场板电极50的第一部分101与侧壁14A之间的绝缘层16的厚度(参照图5)可以大于位于场板电极50的第二部分102与侧壁14A之间的绝缘层16的厚度(参照图8)的0.8倍。由此,能够抑制由与场板电极50的第一部分101(扩宽部)相邻的绝缘层16的厚度过度变小而导致的耐压的降低。

[0103] 此外,如图7所示,源极触头32可以配置在第一部分101上。在该情况下,源极触头32能够在俯视时配置于第一部分101的大致中央。在另一个例子中,源极触头32也可以跨越第一部分101以及第二部分102双方配置。

[0104] 图8是沿着图7的半导体装置100的F8-F8线的概略剖视图,表示栅极沟槽14的第二区域R2中的场板电极50的第二部分102的XZ截面。

[0105] 第二部分102与第一部分101同样地向上方延伸至栅极沟槽14的开口附近,但具有比第一部分101的宽度小的宽度。在一个例子中,第二部分102可以具有与第一区域R1的场板电极50的宽度(参照图2)大致相同的宽度。此外,从图2以及图8可知,第二部分102具有与第一区域R1的场板电极50不同的Z方向的尺寸。然而,第二部分102能够至少在设置有第一区域R1的场板电极50的栅极沟槽14的特定的深度位置具有与第一区域R1的场板电极50大致相同的宽度。

[0106] 半导体装置100具有与半导体装置10同样的优点。此外,在半导体装置100中,第二

区域R2中的场板电极50包括具有比第一部分101的宽度小的宽度的第二部分102,第二部分102在俯视时位于第一部分101与栅极电极52之间。根据该结构,能够使扩宽部即第一部分101距第一区域R1比较远,因此能够在半导体装置100中抑制场板电极50的宽度在第一区域R1的附近变化所引起的耐压的变动。

[0107] (第二实施方式)

[0108] 图9是第二实施方式的半导体装置200的放大俯视图。在图9中,对与半导体装置10相同的构成要素标注相同的附图标记。另外,对于与半导体装置10相同的构成要素省略详细的说明。

[0109] 在半导体装置200中,第二区域R2的栅极沟槽14中的、至少收纳场板电极50的端部501(扩宽部)的部分14W具有比第一区域R1的栅极沟槽14的宽度大的宽度。栅极沟槽14的具有比第一区域R1的栅极沟槽14的宽度大的宽度的部分14W可以包括栅极沟槽14的端部14E。

[0110] 第二区域R2的栅极沟槽14中的、至少收纳端部501(扩宽部)的部分14W可以具有第一区域R1的栅极沟槽14的宽度的1.1倍以上且小于1.5倍的宽度。另一方面,第二区域R2的栅极沟槽14中的、收纳中间部502(参照图3)的部分可以具有与第一区域R1的栅极沟槽14的宽度相同的宽度。

[0111] 图10是沿着图9的半导体装置200的F10-F10线的概略剖视图,示出栅极沟槽14的收纳端部501的部分14W的XZ剖面。栅极沟槽14的收纳端部501的部分14W具有比第一区域R1的栅极沟槽14的宽度(参照图2)大的宽度。因此,在半导体装置200中,能够使位于场板电极50的端部501(扩宽部)与侧壁14A之间的绝缘层16的厚度比半导体装置10的情况(参照图5)大。与第一实施方式不同,位于第二区域R2的场板电极50的端部501(扩宽部)与侧壁14A之间的绝缘层16的厚度也可以不必小于位于第一区域R1的场板电极50与侧壁14A之间的绝缘层16的厚度。在半导体装置200中,位于第二区域R2的场板电极50的端部501(扩宽部)与侧壁14A之间的绝缘层16的厚度也可以与位于第一区域R1的场板电极50与侧壁14A之间的绝缘层16的厚度相同或在其以上。此外,位于不同区域中的场板电极50与侧壁14A之间的绝缘层16的厚度能够在特定的相同深度位置进行比较。

[0112] (作用)

[0113] 以下,对本实施方式的半导体装置200的作用进行说明。

[0114] 根据本实施方式的半导体装置200,第二区域R2的场板电极50包括具有比第一区域R1的场板电极50的宽度大的宽度的端部501(扩宽部)。另外,第二区域R2的栅极沟槽14中的、至少收纳场板电极50的端部501(扩宽部)的部分14W具有比第一区域R1的栅极沟槽14的宽度大的宽度。

[0115] 通常,在栅极沟槽14的终端部,通过从三个方向进行绝缘层16的生长,容易发生绝缘层16的闭塞。其结果,有时在应形成场板电极50的端部501的区域产生孔洞。这样的孔洞妨碍场板电极50的适当的形成,使场板电极50向半导体层12内延伸耗尽层的效果降低,可能使半导体装置的耐压降低。

[0116] 关于这一点,在本实施方式的半导体装置200中,在包括栅极沟槽14的一端的第二区域R2的场板电极50设置有具有比较大的宽度的端部501(扩宽部)。另外,第二区域R2的栅极沟槽14中的、至少收纳场板电极50的端部501(扩宽部)的部分14W具有比较大的宽度。由此,即使在栅极沟槽14的终端部从三个方向进行了绝缘层16的生长的情况下,也更不易发

生绝缘层16的堵塞。

[0117] 此外,在半导体装置200中,能够使位于场板电极50的端部501与栅极沟槽14的侧壁14A之间的绝缘层16的厚度比第一实施方式的情况大。由此,能够抑制半导体装置200的耐压的降低。

[0118] (效果)

[0119] 本实施方式的半导体装置200除了半导体装置10的上述优点(1-1)~(1-3)以外,还具有以下优点。

[0120] (2-1) 第二区域R2的栅极沟槽14中的、至少收纳场板电极50的端部501(扩宽部)的部分14W具有比第一区域R1的栅极沟槽14的宽度大的宽度。根据该结构,能够进一步抑制栅极沟槽14内的孔洞的产生。

[0121] (2-2) 第二区域R2的栅极沟槽14中的、至少收纳端部501(扩宽部)的部分14W可以具有第一区域R1的栅极沟槽14的宽度的1.1倍以上且小于1.5倍的宽度。根据该结构,能够充分确保位于场板电极50的端部501(扩宽部)与侧壁14A之间的绝缘层16的厚度,并且使栅极沟槽14间的距离不过度减少,抑制半导体装置200的耐压的降低。

[0122] (第二实施方式的变形例)

[0123] 图11是第二实施方式的变形例的半导体装置300的放大俯视图。在图11中,对与半导体装置200相同的构成要素标注相同的附图标记。另外,对于与半导体装置200相同的构成要素省略详细的说明。

[0124] 半导体装置300与半导体装置200的不同之处在于,第二区域R2的场板电极50的端部501包括第一部分101以及具有比第一部分101的宽度小的宽度的第二部分102。第二部分102能够在俯视时位于第一部分101与栅极电极52之间。在半导体装置300中,第二区域R2的栅极沟槽14中的、至少收纳第一部分101的部分14W具有比第一区域R1的栅极沟槽14的宽度大的宽度。

[0125] 第一部分101具有比第一区域R1的场板电极50的宽度大的宽度。在图11的例子中,能够将第一部分101称为场板电极50的扩宽部。图11所示的第一部分101(扩宽部)的截面可以与图10所示的端部501的截面相同。

[0126] 第一部分101的Y方向的长度可以大于第一部分101的X方向的宽度的6倍。由此,能够抑制场板电极50的第一部分101的埋入性的降低。

[0127] 另一方面,第二部分102可以具有比第一部分101的宽度小的宽度。在一个例子中,第二部分102可以具有与第一区域R1的场板电极50的宽度大致相同的宽度。图11所示的第二部分102的截面可以与图8所示的第二部分102的截面相同。第二部分102在Y方向上可以具有大于 $1\mu\text{m}$ 的长度。由于第二部分102的存在,能够使扩宽部即第一部分101距第一区域R1比较远,因此能够在半导体装置300中抑制耐压的变动。

[0128] 这样,在半导体装置300中,第一部分101与第二区域R2的场板电极50的扩宽部对应。并且,第二区域R2的栅极沟槽14中的、至少收纳第一部分101(扩宽部)的部分14W具有比第一区域R1的栅极沟槽14的宽度大的宽度。另一方面,第二区域R2的栅极沟槽14中的、收纳第二部分102的部分能够具有与第一区域R1的栅极沟槽14的宽度相同的宽度。

[0129] 这样,具有比较大的宽度的第一部分101收纳于栅极沟槽14的具有比较大的宽度的部分14W,具有比较小的宽度的第二部分102收纳于栅极沟槽14的具有比较小的宽度的部

分。其结果,位于场板电极50的第一部分101与侧壁14A之间的绝缘层16的厚度(参照图10)和位于场板电极50的第二部分102与侧壁14A之间的绝缘层16的厚度(参照图8)之差能够变小。

[0130] 此外,如图11所示,源极触头32可以配置在第一部分101上。在该情况下,源极触头32能够在俯视时配置于第一部分101的大致中央。在另一个例子中,源极触头32也可以跨越第一部分101以及第二部分102双方配置。

[0131] 半导体装置300具有与半导体装置200同样的优点。此外,在半导体装置300中,第二区域R2中的场板电极50包括具有比第一部分101的宽度小的宽度的第二部分102,第二部分102在俯视时位于第一部分101与栅极电极52之间。根据该结构,能够在半导体装置300中抑制场板电极50的宽度在第一区域R1的附近变化所引起的耐压的变动。

[0132] (第一区域的场板电极的截面形状的变形例)

[0133] 图12是用于说明第一区域R1的场板电极50的截面形状的变形例的半导体装置400的概略剖视图。

[0134] 在图12所示的半导体装置400中,场板电极50的上表面50A与图2所示的半导体装置10不同,位于比栅极电极52的底面52A靠上方。半导体装置400的栅极电极52包括形成于底面52A的凹部52C,场板电极50的上部50B配置于凹部52C内。配置在栅极电极52的凹部52C内的场板电极50的上部50B成为具有比位于凹部52C外的场板电极50的其他部分小的宽度。因此,在半导体装置400中,第一区域R1的场板电极50具有最大的宽度 $W_{1b}$ 的深度方向上的位置 $P_b$ 与半导体装置10的情况不同,不是场板电极50的上表面50A所在的位置。在图12中,位置 $P_b$ 是比半导体层12的第二面12B低距离 $D_b$ 的位置。

[0135] 图13是第二区域R2中的半导体装置400的概略剖视图。第二区域R2的场板电极50包括具有比第一区域R1的场板电极50的宽度大的宽度的端部501(扩宽部)。在第一区域R1的场板电极50具有最大的宽度 $W_{1b}$ 的深度方向上的位置 $P_b$ (比半导体层12的第二面12B低距离 $D_b$ 的位置),端部501的宽度是图13所示的 $W_{2b}$ 。在特定的深度位置 $P_b$ ,端部501的宽度 $W_{2b}$ 大于第一区域R1的场板电极50的宽度 $W_{1b}$ (参照图12)。这样,即使是与半导体装置10不同的截面形状的场板电极50,也能够使用栅极沟槽14的适当的特定的深度位置进行宽度的比较。

[0136] (其他变形例)

[0137] 上述的实施方式以及变形例分别能够如以下那样进一步变更来实施。

[0138] • 栅极沟槽14的特定的深度位置也可以是比半导体层12的第二面12B低栅极沟槽14的深度D的2/3的位置。

[0139] • 周缘沟槽18也可以不是矩形框状的沟槽,而是配置于多个栅极沟槽14的两侧的两个直线状的沟槽。

[0140] • 也可以在包括栅极布线26以及源极布线28的层上形成有进一步的布线结构。

[0141] • 在图11所示的半导体装置300中,场板电极50的第二部分102的一部分也可以收纳于栅极沟槽14的具有比第一区域R1的栅极沟槽14的宽度大的宽度的部分14W。

[0142] • 栅极沟槽14也可以根据其宽度而具有不同的深度D。在该情况下,也能够由距半导体层12的第二面12B的距离规定的特定的深度位置,比较场板电极50的宽度。

[0143] • 在各实施方式中,也可以采用将半导体层12内的各区域的导电型反转的结构。即,也可以将p型的区域设为n型的区域,将n型的区域设为p型的区域。

- [0144] 可以在技术上不矛盾的范围内组合本说明书中记载的各种例子中的一个或多个。
- [0145] 在本说明书中,“A以及B中的至少一个”应理解为是指“仅A、或仅B、或者A以及B双方”。
- [0146] 如本文中所使用的,术语“~上”包括“~上”和“~的上方”的含义,除非上下文清楚地指示不是此含义。因此,“第一层形成在第二层上”这一表述在某实施方式中意图是第一层可以与第二层接触地直接配置在第二层上,但在其他实施方式中意图是第一层可以与第二层接触地配置在第二层的上方。即,“~上”这一术语不排除在第一层与第二层之间形成其他层的结构。
- [0147] 本说明书中使用的“垂直”、“水平”、“上方”、“下方”、“上”、“下”、“前方”、“后方”、“纵”、“横”、“左”、“右”、“前”、“后”等表示方向的术语依赖于说明以及图示的装置的特定的朝向。在本公开中,可以设想各种替代的朝向,因此,不应狭义地解释表示这些方向的术语。
- [0148] 例如,在本说明书中使用的Z轴方向不需要一定是铅垂方向,也不需要与铅垂方向完全一致。因此,根据本公开的各种结构(例如,图1所示的结构)不限于本说明书中描述的Z轴方向上的“上”以及“下”是竖直方向上的“上”以及“下”。例如,X轴方向也可以是铅垂方向,或者Y轴方向也可以是铅垂方向。
- [0149] [附记]
- [0150] 以下记载能够从本公开掌握的技术思想。此外,为了不意图限定而辅助理解,对附记所记载的构成要素标注实施方式中的对应的构成要素的参照附图标记。附图标记是为了辅助理解而作为例子示出的,各附记所记载的构成要素不应此限定于由附图标记表示的构成要素。
- [0151] (附记1)
- [0152] 一种半导体装置,具备:
- [0153] 半导体层12;
- [0154] 栅极沟槽14,其形成于所述半导体层12,在俯视时沿第一方向延伸,且在俯视时在与所述第一方向正交的第二方向上具有宽度;
- [0155] 绝缘层16,其形成在所述半导体层12上;
- [0156] 场板电极50,其配置在所述栅极沟槽14内,且在所述第二方向上具有宽度;以及
- [0157] 栅极电极52,其配置在所述栅极沟槽14内,通过所述绝缘层16与所述场板电极50分离,
- [0158] 所述栅极沟槽14包括:
- [0159] 第一区域R1,所述栅极电极52在所述栅极沟槽14的深度方向上位于所述场板电极50的上方;以及
- [0160] 第二区域R2,其包括所述栅极沟槽14的所述第一方向上的一端14E,
- [0161] 所述第二区域R2的场板电极50包括扩宽部501、101,该扩宽部501、101具有比所述第一区域R1的所述场板电极50的宽度W1大的宽度W2。
- [0162] (附记2)
- [0163] 根据附记1所述的半导体装置,其中,
- [0164] 所述扩宽部501、101至少设置于所述栅极沟槽14的特定的深度位置 $P_a$ 、 $P_b$ 、 $P_{half}$ ,
- [0165] 在所述特定的深度位置 $P_a$ 、 $P_b$ 、 $P_{half}$ ,所述扩宽部501、101具有比所述第一区域R1的

所述场板电极50的宽度 $W_{1a}$ 、 $W_{1b}$ 、 $W_{1half}$ 大的宽度 $W_{2a}$ 、 $W_{2b}$ 、 $W_{2half}$ 。

[0166] (附记3)

[0167] 根据附记2所述的半导体装置,其中,

[0168] 所述特定的深度位置 $P_a$ 、 $P_b$ 、 $P_{half}$ 是所述第一区域R1的所述场板电极50具有最大的宽度的所述深度方向上的位置 $P_a$ 、 $P_b$ 。

[0169] (附记4)

[0170] 根据附记2所述的半导体装置,其中,

[0171] 所述特定的深度位置 $P_a$ 、 $P_b$ 、 $P_{half}$ 是所述栅极沟槽14的所述深度方向上的中央的位置 $P_{half}$ 。

[0172] (附记5)

[0173] 根据附记1~4中任一项所述的半导体装置,其中,

[0174] 位于所述扩宽部501、101与所述栅极沟槽14的侧壁14A之间的所述绝缘层16的厚度比位于所述第一区域R1的所述场板电极50与所述侧壁14A之间的所述绝缘层16的厚度的0.8倍大。

[0175] (附记6)

[0176] 根据附记1~5中任一项所述的半导体装置,其中,

[0177] 所述扩宽部501、101的所述第一方向的长度比所述扩宽部501、101的宽度的6倍大。

[0178] (附记7)

[0179] 根据附记1~6中任一项所述的半导体装置,其中,

[0180] 所述第二区域R2的所述栅极沟槽14中的、至少容纳所述扩宽部501、101的部分14W具有比所述第一区域R1的所述栅极沟槽14的宽度大的宽度。

[0181] (附记8)

[0182] 根据附记1~7中任一项所述的半导体装置,其中,

[0183] 所述第二区域R2的所述栅极沟槽14中的、至少容纳所述扩宽部501、101的部分14W具有所述第一区域R1的所述栅极沟槽14的宽度的1.1倍以上且小于1.5倍的宽度。

[0184] (附记9)

[0185] 根据附记1~8中任一项所述的半导体装置,其中,

[0186] 所述第二区域R2的所述场板电极50包括与所述扩宽部101对应的第一部分101、以及具有比所述第一部分101的宽度小的宽度的第二部分102,所述第二部分102在俯视时位于所述第一部分101与所述栅极电极52之间。

[0187] (附记10)

[0188] 根据附记9所述的半导体装置,其中,

[0189] 所述第二部分102的宽度与所述第一区域R1的所述场板电极50的宽度相同。

[0190] (附记11)

[0191] 根据附记9或10所述的半导体装置,其中,

[0192] 所述第二区域R2的所述栅极沟槽14中的、容纳所述第二部分102的部分具有与所述第一区域R1的所述栅极沟槽14的宽度相同的宽度。

[0193] (附记12)

- [0194] 根据附记9~11中任一项所述的半导体装置,其中,
- [0195] 所述第二部分102在所述第一方向上具有大于 $1\mu\text{m}$ 的长度。
- [0196] (附记13)
- [0197] 根据附记9~12中任一项所述的半导体装置,其中,
- [0198] 位于所述栅极沟槽14的侧壁14A与所述第一部分101之间的所述绝缘层16的厚度比位于所述栅极沟槽14的所述侧壁14A与所述第二部分102之间的所述绝缘层16的厚度的0.8倍大。
- [0199] (附记14)
- [0200] 根据附记1~13中任一项所述的半导体装置,其中,
- [0201] 所述第二区域R2的场板电极50包括在所述深度方向上位于比所述第一区域R1的所述栅极电极52的底面靠上方的上表面501A。
- [0202] (附记15)
- [0203] 根据附记1~14中任一项所述的半导体装置,还具备:
- [0204] 栅极布线26,其形成于所述绝缘层16上;
- [0205] 源极布线28,其形成于所述绝缘层16上,且与所述栅极布线26分离,
- [0206] 所述栅极电极52在所述第一区域R1中与所述栅极布线26连接,
- [0207] 所述场板电极50在所述第二区域R2中与所述源极布线28连接。
- [0208] (附记16)
- [0209] 根据附记15所述的半导体装置,
- [0210] 还包括源极触头32,该源极触头32将所述场板电极50在所述第二区域R2中与所述源极布线28连接,
- [0211] 所述源极触头32配置在所述扩宽部501、101上。
- [0212] 以上的说明仅为例示。本领域技术人员能够认识到,除了为了说明本公开的技术的目的而列举的构成要素和方法(制造工艺)以外,还能够进行更多的可考虑的组合和置换。本公开旨在包括在包括权利要求的本公开的范围内的所有替代、修改和改变。
- [0213] 符号说明
- [0214] 10、100、200、300、400—半导体装置;12—半导体层;12A—第一面;12B—第二面;14—栅极沟槽;14A—侧壁;14B—底壁;14E—端部;16—绝缘层;161—栅极绝缘部;162—下侧绝缘部;163—中间绝缘部;18—周缘沟槽;20— $n^-$ 型区域;22— $p^-$ 型区域;24— $n^+$ 型区域;26—栅极布线;28—源极布线;30—栅极触头;32—源极触头;34—线触头;36—触头;38—半导体基板(漏极区域);40—外延层;42—漂移区域;44—主体区域;46—源极区域;48—接触区域;50—场板电极;501—端部(扩宽部);502—中间部;52—栅极电极;54—漏极电极;56—周缘电极;101—第一部分(扩宽部);102—第二部分;R1—第一区域;R2—第二区域。

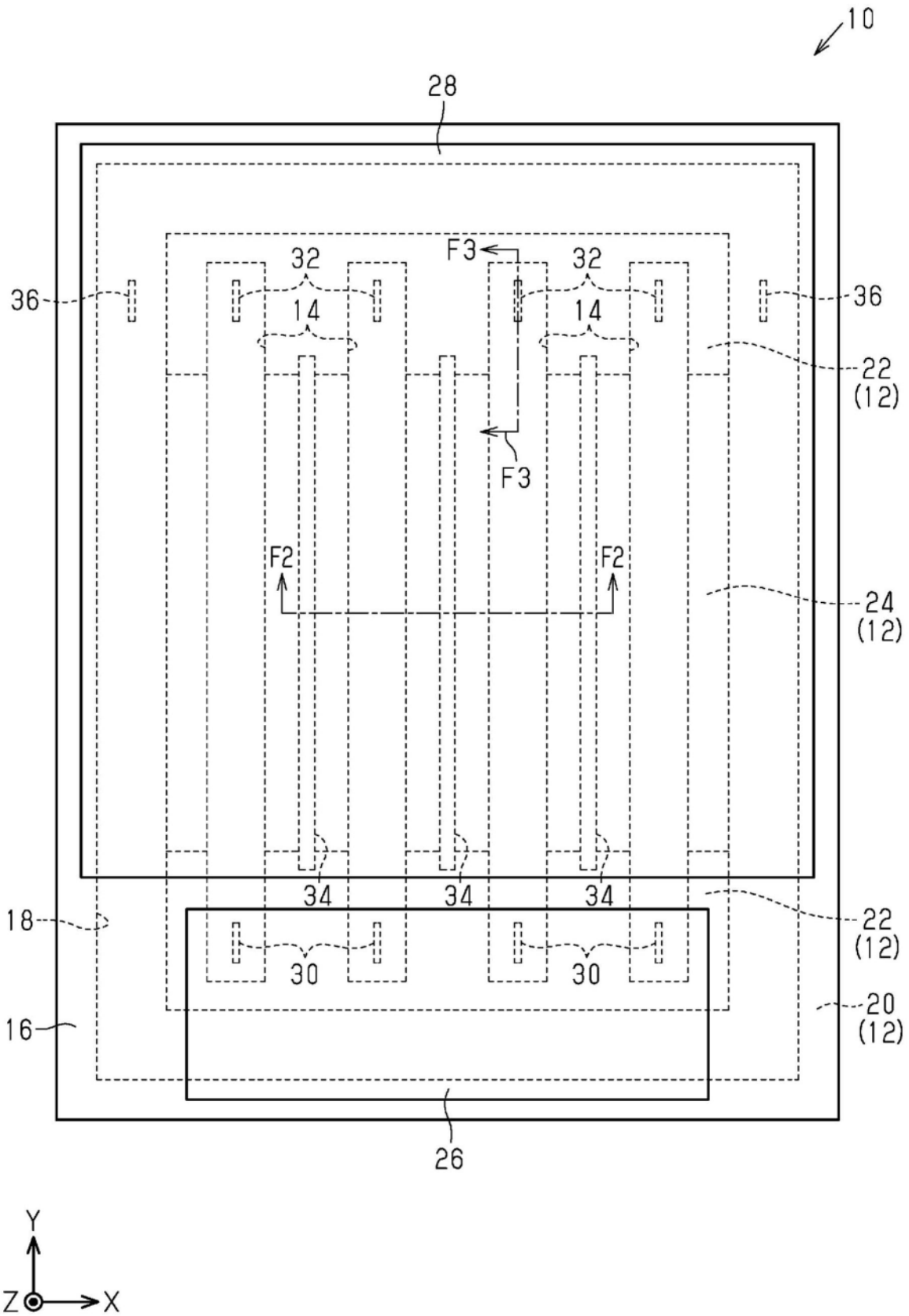


图1

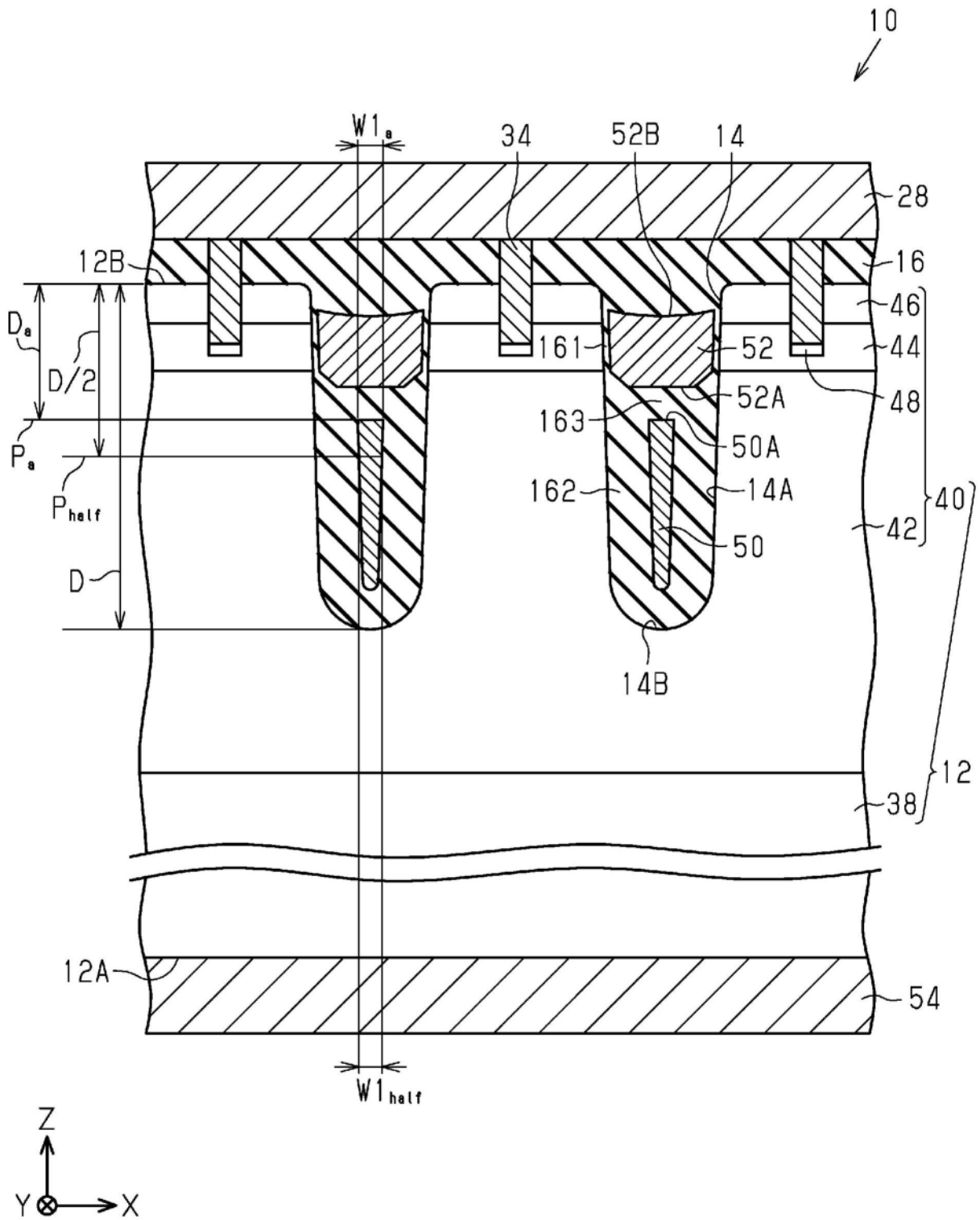


图2

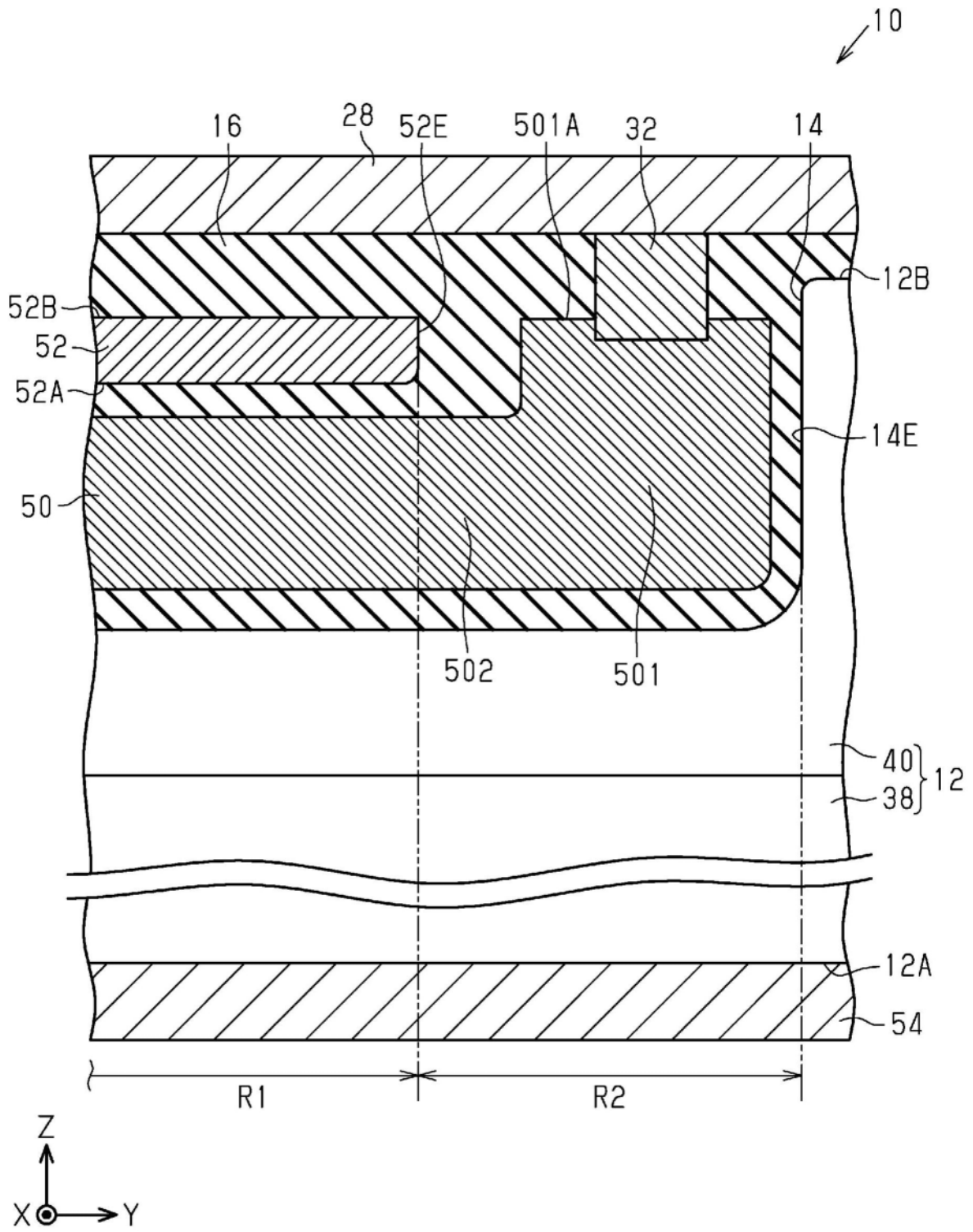


图3

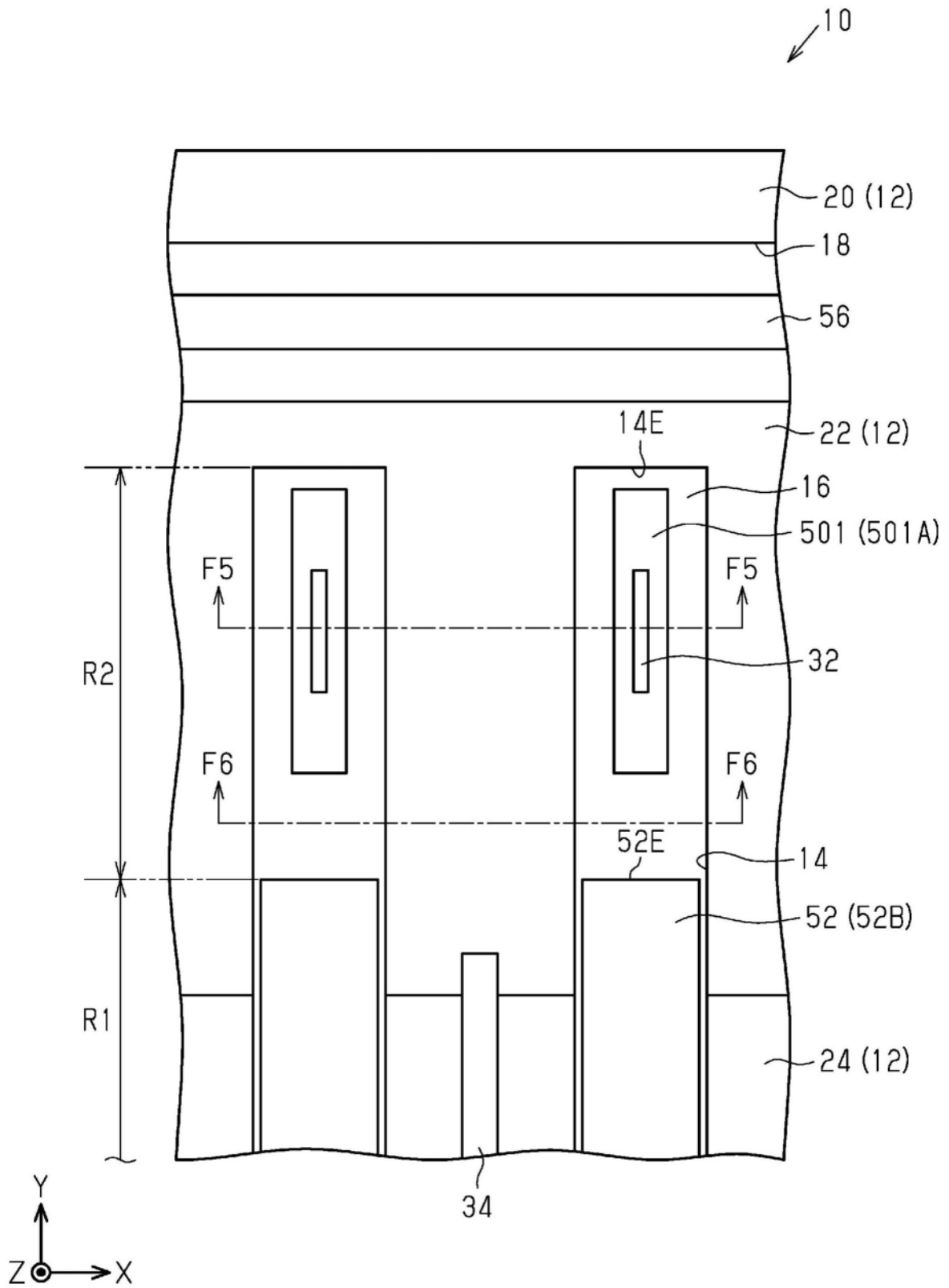


图4



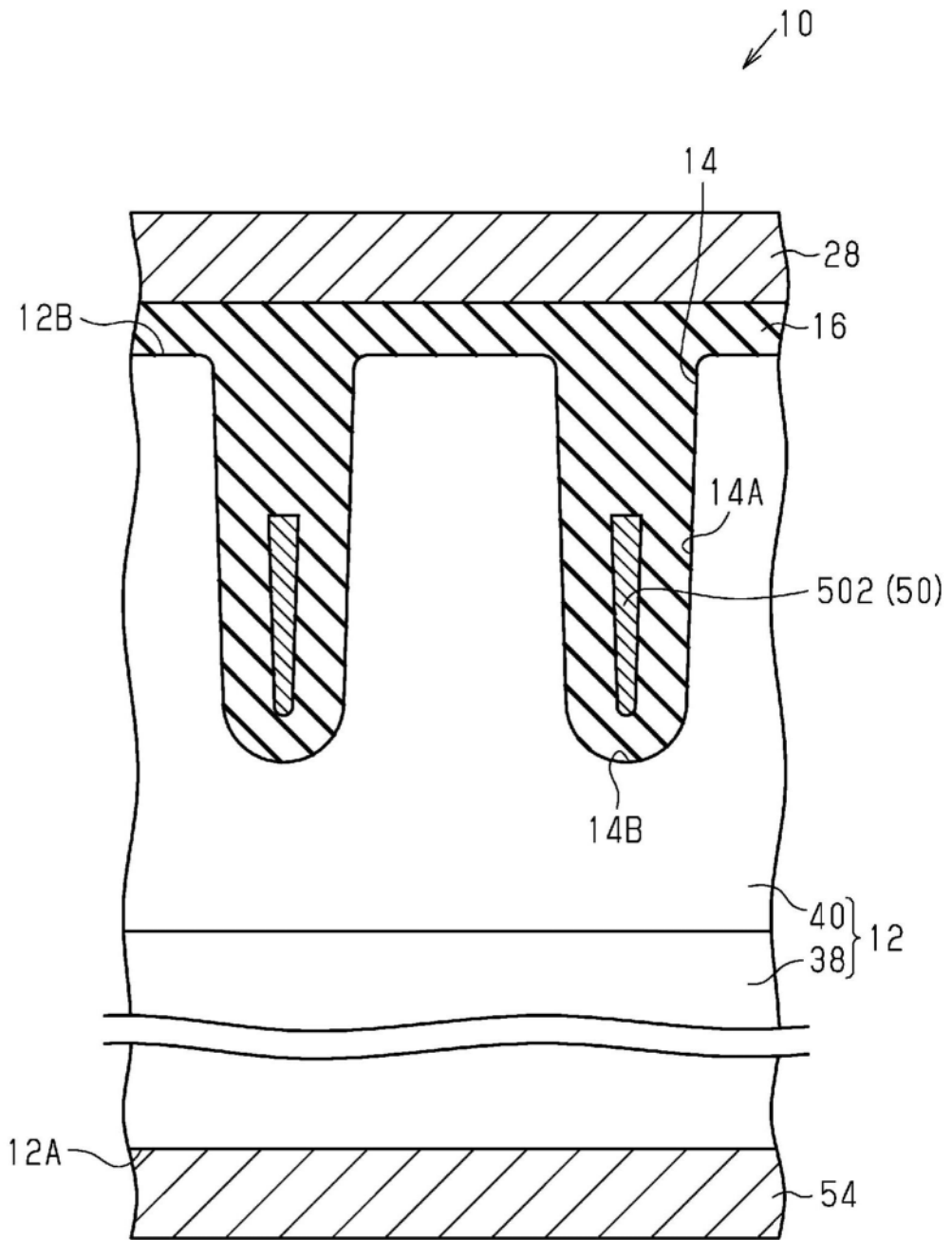


图6

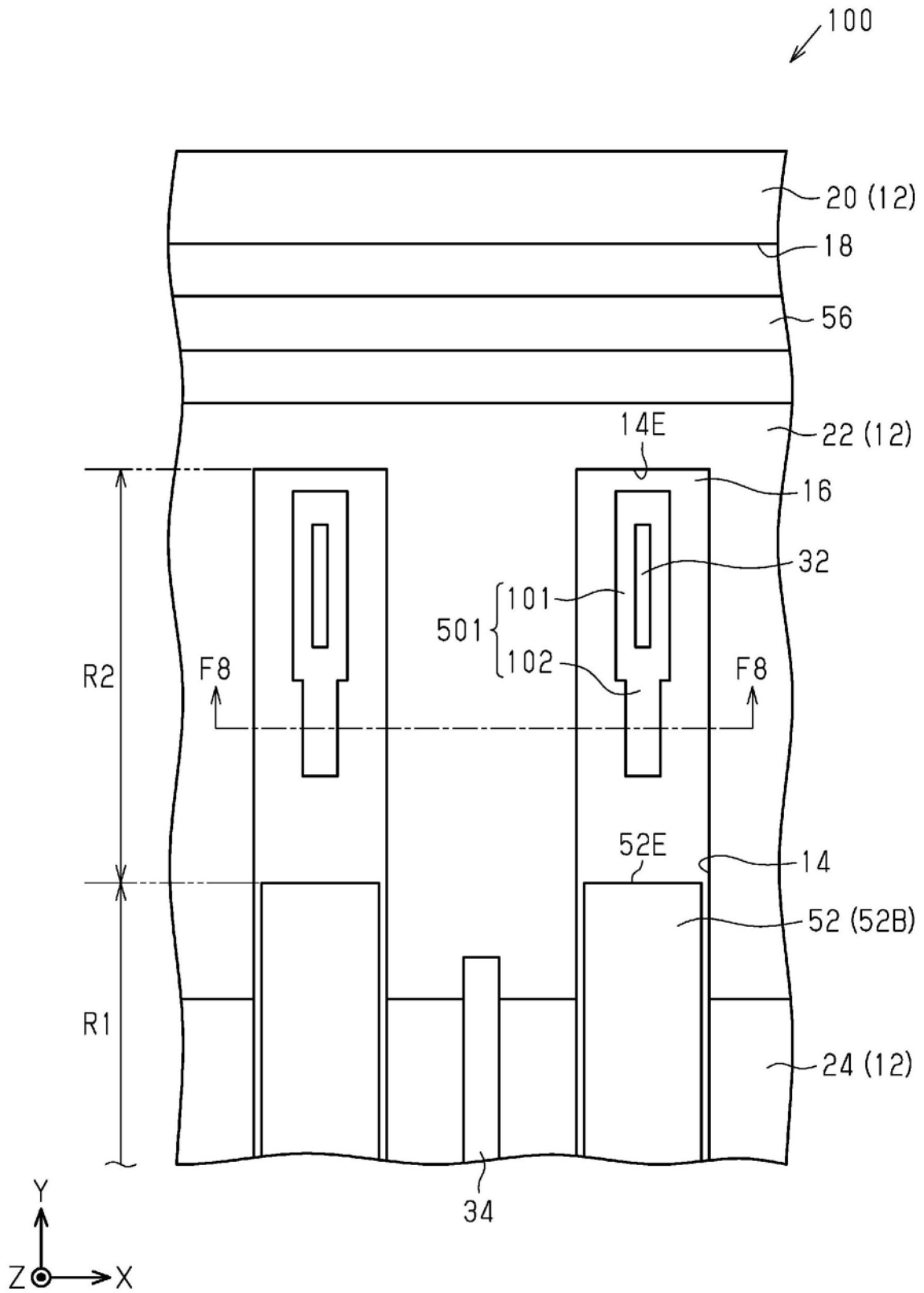


图7

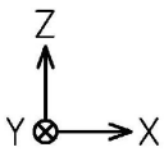
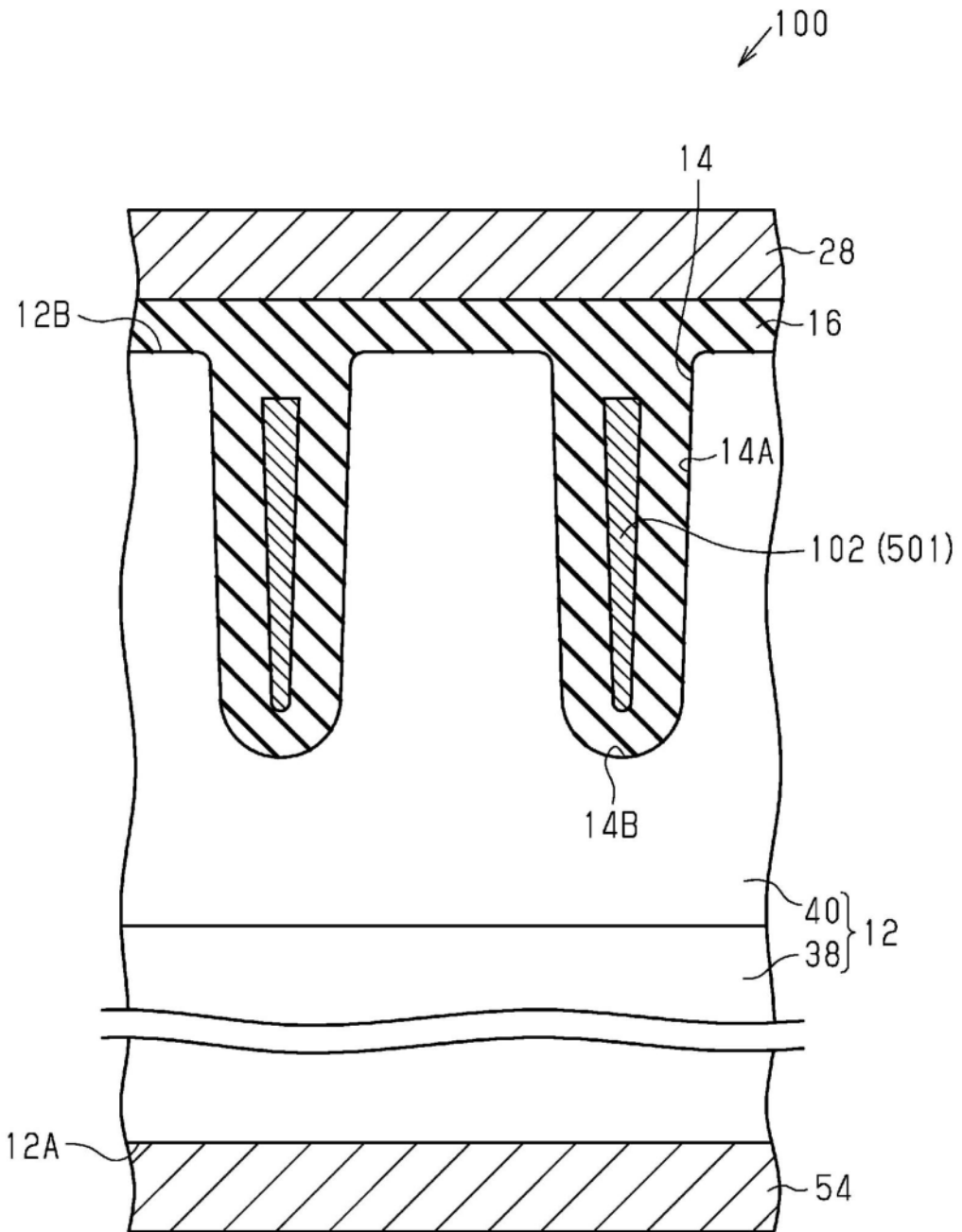


图8

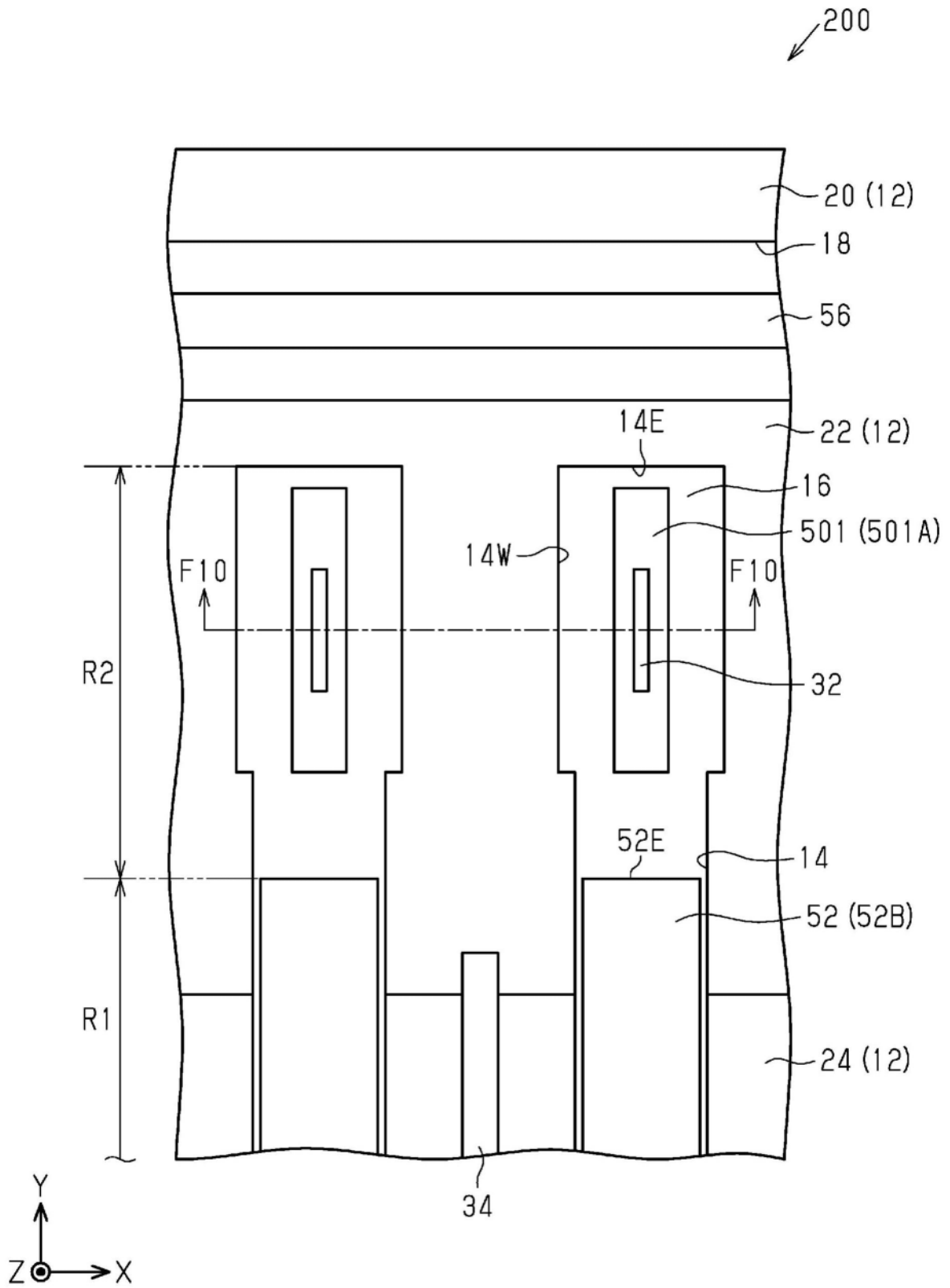


图9

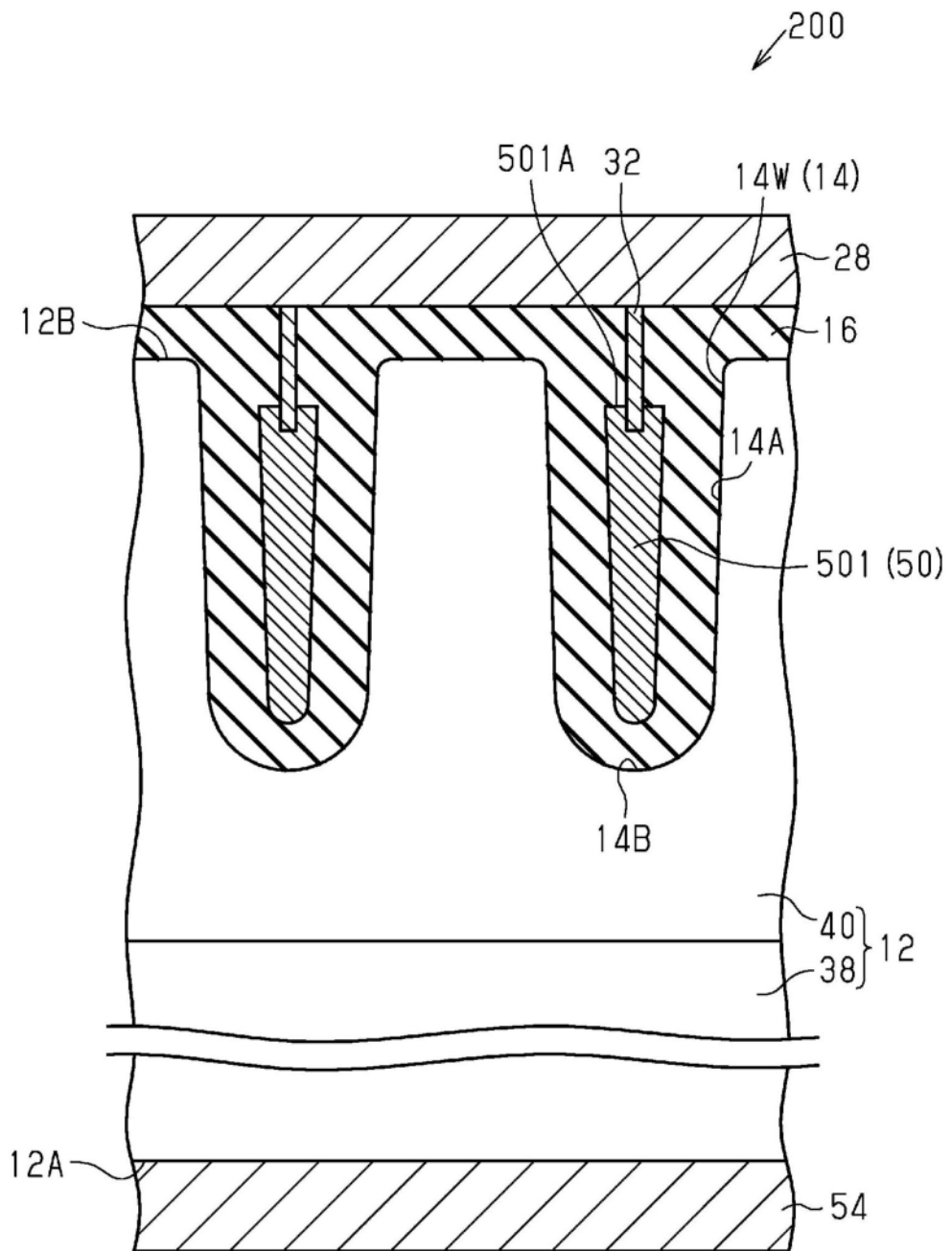


图10

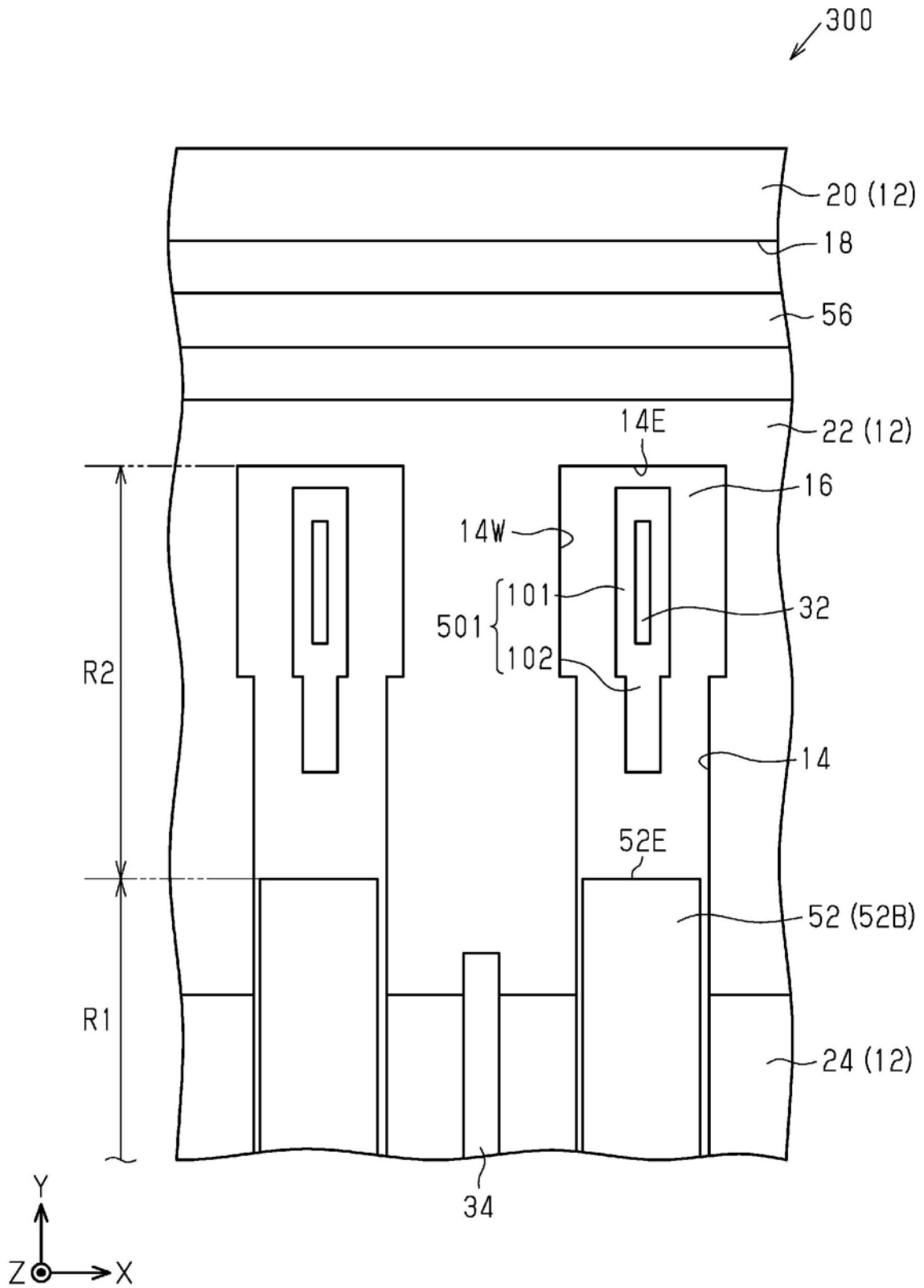


图11



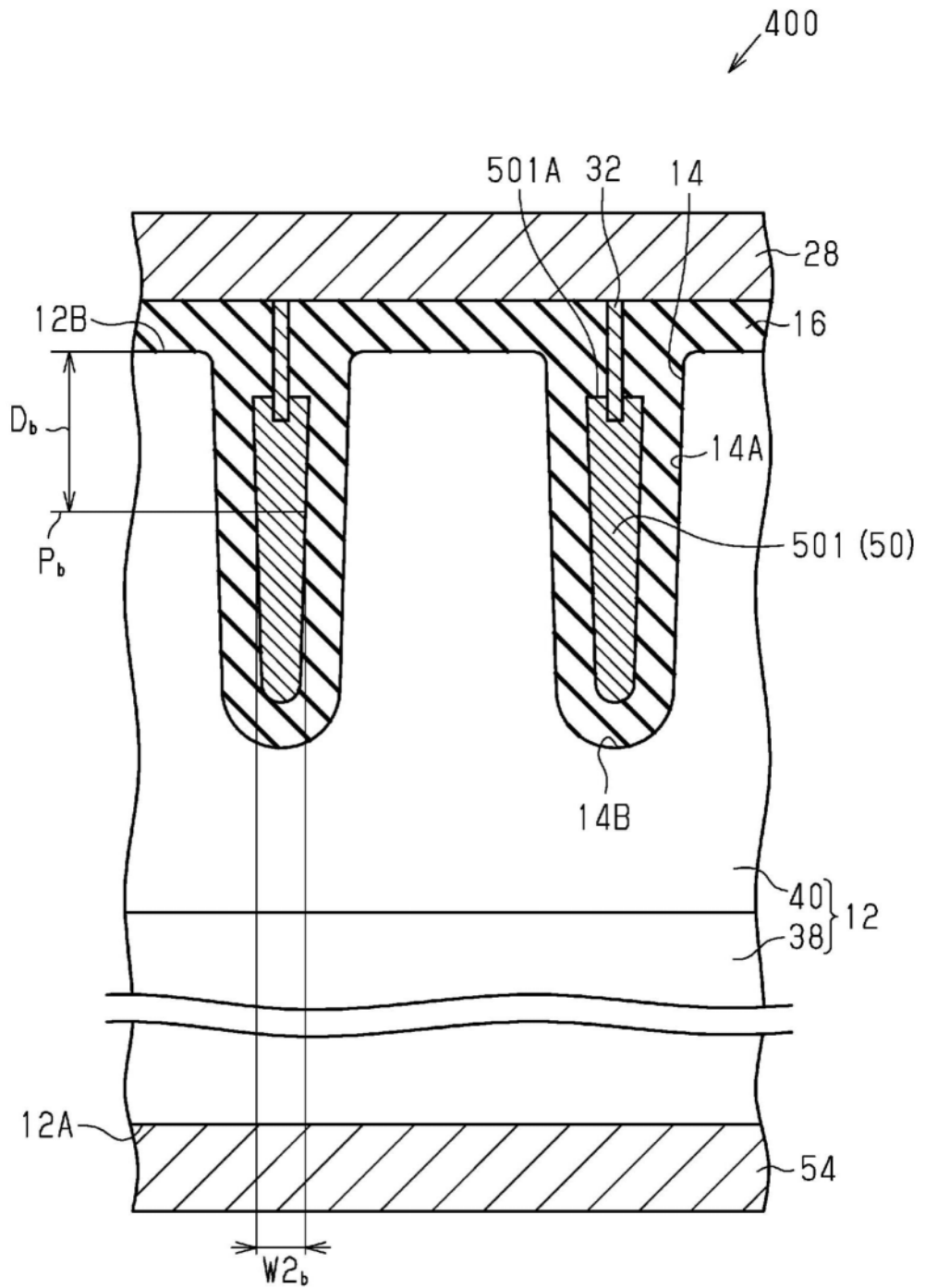


图13