

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363302

(P2004-363302A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int.Cl.⁷

H01L 29/78

H01L 29/786

F I

H01L 29/78

H01L 29/78

H01L 29/78

H01L 29/78

652G

653B

301D

626A

テーマコード (参考)

5F11O

5F14O

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2003-159574 (P2003-159574)

(22) 出願日 平成15年6月4日(2003.6.4)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100081732

弁理士 大胡 典夫

(74) 代理人 100075683

弁理士 竹花 喜久男

(74) 代理人 100084515

弁理士 宇治 弘

(72) 発明者 花満 広美

福岡県北九州市小倉北区下道津1丁目10

番1号 株式会社東芝北九州工場内

(72) 発明者 相沢 吉昭

福岡県北九州市小倉北区下道津1丁目10

番1号 株式会社東芝北九州工場内

最終頁に続く

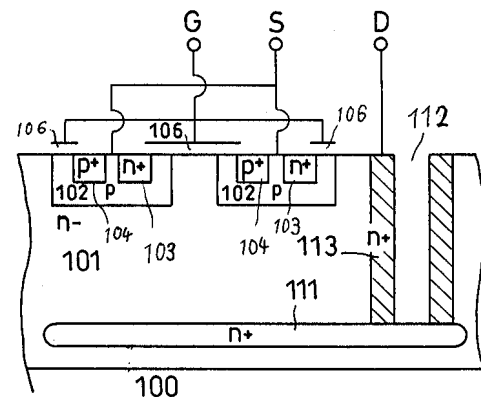
(54) 【発明の名称】 MOS FET

(57) 【要約】

【課題】 アップドレインをとるn+拡散に大きな領域が必要せず、チップ面積の増大を招かないアップドレイン型MOSFETを提供する。

【解決手段】 n- 領域101の表層部において、素子形成領域から離間した位置においてトレンチ112が形成されている。このトレンチ112はn+埋め込み層106に達しており、トレンチ側壁は、斜めインプラでn+領域111を形成し、アップドレインが形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型の埋め込み半導体層上での同半導体層よりも低濃度である第 1 導電型の表面側半導体層における表層部に形成された第 2 導電型のチャネル領域と、前記チャネル領域の表層部に形成された第 1 導電型のソース領域と、前記表面側半導体層での少なくとも前記チャネル領域の一部領域に対しゲート絶縁膜を介して配置されたゲート電極と、前記表面側半導体層の表層部から前記埋め込み半導体層上に達する第 1 導電型のディープドレイン領域と、を備えたアップドレイン型 MOSFET であって、前記ディープドレイン領域は前記表面側半導体層の表層部から前記埋め込み半導体層上に達するように形成されたトレンチ溝の側壁に形成されていることを特徴とする MOSFET。

10

【請求項 2】

前記トレンチ溝の内壁に SiO_2 膜または Si_3N_4 膜を介してポリシリコンが絶縁物として埋め込まれていることを特徴とする請求項 1 記載の MOSFET。

【請求項 3】

前記半導体層または前記半導体基板が誘電体分離ウェーハ基板であることを特徴とする請求項 1 記載の MOSFET。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSFET に関し、特にアップドレイン型パワー MOSFET に関する。

20

【0002】

【従来の技術】

例えば、自動車用に使用されるパワー MOSFET は、一般に低オン抵抗、高サージ耐量、低コストが要求される。従来、ディスクリートのパワー MOSFET には縦型 DMOS（以下、VDMOS という）があるが、パワー MOSFET にバイポーラトランジスタや CMOS を 1 チップ上に集積した、いわゆる複合 IC の分野では、その集積のし易さから VDMOS の基板底面のドレインを基板表面にもってくるアップドレイン型のパワー MOSFET がよく利用される。

【0003】

従来のアップドレイン型パワー MOSFET の構成を図 6 に示す（例えば、特許文献 1 参照。）。図 6 において、シリコン基板 100 上の n 型エピ層 101 の表層部には、p 型ウェル領域 102 が複数個形成される。これらの各 p 型ウェル 102 の表層部には n+ 領域 103 および p+ 領域 104 が形成されている。これらの p 型ウェル領域 102 にはそれぞれソース電極 S が接続されている。さらに、隣接する p 型ウェル領域 102 の表面部には、ゲート酸化膜 106 を介してゲート電極 G が配置されている。そして、n 型エピ層 101 の表層部において、前記各 p 型ウェル領域 102 から離間した位置において n+ 領域 108 が形成され、この n+ 領域 108 からドレイン電極 D が取り出されている。

30

【0004】

このように、アップドレイン型では、n 型エピ層 101 の表層部からドレイン電極 D を取り出しているため、基板の裏面からドレインを取るパワー MOSFET と比較してオン抵抗が著しく増加する。

40

【0005】

そこで、オン抵抗の改善のため、図 7 及び図 8 に示すように、ドレイン領域として n+ 埋め込み層 111 を設け、n+ 型のディープ拡散領域 110 を表面から埋め込み層 111 まで到達させ、このディープ n+ 領域 110 からドレイン電極 D が取り出されるように構成した MOSFET も知られている（特許文献 1 参照）。なお、図 7 及び図 8 において、図 6 の構成と同一の構成部分には同一符号を付し、説明は省略する。

【0006】

【特許文献 1】

50

特開 2001-127294 号公報

【0007】

【発明が解決しようとする課題】

上述したアップドレイン型パワー MOSFET の構成では、 $n+$ 埋め込み層を深く形成する必要がある場合 (t_{VG} が厚い) には、高耐圧系の MOS では、数 $10\ \mu\text{m}$ 以上の拡散が必要となる。したがって、拡散時間がかかるとともに、サイド拡散も考慮すると、アップドレインをとる $n+$ 拡散に大きな領域が必要となりチップ面積が増大するという問題点があった。特に深い拡散を得るための製造方法として、図 8 に示すようにディープ $n+$ 領域を形成するためにエピと拡散を繰り返す方法を用いる場合には、複雑な製法プロセスが必要であり、コストアップになるという問題点があった。

10

【0008】

そこで、本発明の目的は、上記した技術的課題を解決するためになされたものであり、アップドレインをとる $n+$ 拡散に大きな領域を必要とせず、チップ面積の増大を招かないアップドレイン型パワー MOSFET を提供することにある。

【0009】

【課題を解決するための手段】

本発明は、このような課題を解決するために成されたアップドレイン型 MOSFET である。すなわち、本発明のアップドレイン型 MOSFET は、第 1 導電型の埋め込み半導体層上での同半導体層よりも低濃度である第 1 導電型の表面側半導体層における表層部に形成された第 2 導電型のチャネル領域と、前記チャネル領域の表層部に形成された第 1 導電型のソース領域と、前記表面側半導体層での少なくとも前記チャネル領域の一部領域に対しゲート絶縁膜を介して配置されたゲート電極と、前記表面側半導体層の表層部から前記埋め込み半導体層上に達する第 1 導電型のディープドレイン領域と、を備えたアップドレイン型 MOSFET であって、前記ディープドレイン領域は前記表面側半導体層の表層部から前記埋め込み半導体層上に達するように形成されたトレンチ溝の側壁にインプラントにより形成されていることを特徴とする。本発明によれば、アップドレインをとる $n+$ 拡散に大きな領域を必要とせず、チップ面積の増大を防ぐことができる。

20

【0010】

また、本発明のアップドレイン型 MOSFET は、誘電体分離ウェーハを半導体基板としても好適である。

30

【0011】

さらに、好ましくは、本発明のアップドレイン型 MOSFET は、トレンチの内壁に SiO_2 膜あるいは Si_3N_4 膜を介してポリシリコンが絶縁物として埋め込まれている。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。尚、各図において同一箇所については同一の符号を付してある。また、同一箇所についての重複した説明は省略する。

【0013】

図 1 は本発明の一実施例に係るアップドレイン型パワー MOSFET の構成を示す断面図である。シリコン基板 100 上の n -型エピ層 101 の表層部には、 p 型ウェル領域 102 が複数個形成される。これらの各 p 型ウェル 102 の表層部には $n+$ 領域 103 および $p+$ 領域 104 が形成されている。これらの p 型ウェル領域 102 にはそれぞれソース電極 S が接続されている。さらに、隣接する p 型ウェル領域 102 の表面部には、ゲート酸化膜 106 を介してゲート電極 G が配置されている。さらに、 n -型エピ層 101 の内部深い位置には $n+$ 埋め込み層 111 が形成されている。そして、 n -型エピ層 101 の表層部において、前記各 p 型ウェル領域 102 から離間した位置において $n+$ 領域 113 が形成され、この $n+$ 領域 113 からドレイン電極 D が取り出されている。

40

【0014】

次に、 n -型エピ層 101 の表層部において、前記 p 型ウェル領域 102 から離間した位置においてトレンチ 112 が形成されている。図 1 に示すように、このトレンチ 112 は

50

n+埋め込み層111に達している。このトレンチの側壁には、例えば、斜めインプラでn+領域113を形成し、この領域からドレイン電極Dが取り出され、アップドレインが形成されている。この斜めインプラおよび熱拡散の条件としては、例えば、リン濃度 $7 \times 10^{15} \text{ cm}^{-2}$ 、100 KeV、温度1170℃、10時間が設定することができる。この熱処理は、下の埋め込みn+層111と十分に重なり合うように高温で長時間行う。

【0015】

本発明によれば、n+埋め込み層が数10 μm以上であっても、トレンチ幅は10 μm程度で形成可能である。また、トレンチ側壁からインプラを行うため、トレンチを含めたn+拡散の領域も10 μm+αで形成可能であり、チップ面積の増大も最小限に抑える事ができる。 10

【0016】

次に、図2乃至図5により本発明の他の実施形態について説明する。なお、これらの図において図1の構成部分と同一の構成部分には同一符号を付して以下では詳細な説明は省略し、異なる部分について説明する。

【0017】

図2は、ディープトレンチ型のパワーMOSFETの断面を示している。n-型エピ層101上のp型ウェル領域102内にp型ドリフト層120とその両側にn+ドリフト層117が形成されている。これらのドリフト層117を取り囲むn-型エピ層101にはその表面からn+埋め込み層111に達する深さでトレンチ(溝)112が例えば、ドライエッチングにより形成される。2つのn+ドリフト層117とn+ドリフト層115との間のチャンネル領域上にゲート絶縁膜を介してゲート電極Gが形成されている。p型ウェル領域102内のp型ドリフト層120からは、また、ソース電極Sが取り出されている。上記トレンチ112の一方の側壁には、図1と同様に、インプラントでn+ドリフト層115が形成されている。 20

【0018】

この実施の形態のように、ディープトレンチ型のパワーMOSFETの場合、n+ドリフト層115の形成と同時にディープトレンチを形成することができ、アップドレイン用トレンチ形成のための追加プロセスを必要としないことから、プロセスによるコストアップも抑えることができる。 30

【0019】

次に、図3には、アップドレイン型の主なアプリケーションである、誘電体分離ウェーハを半導体基板として用いた本発明の実施形態を示す。誘電体分離ウェーハは、電気絶縁性の高い酸化膜層をウェーハ内部に形成させたSOI(Silicon-On-Insulator)ウェーハの一種であり、素子間を酸化膜で島状に分離するための構造をもつものである。この実施形態においては、図1のシリコン基板100の代わりにSiO₂のような絶縁基板116が用いられ、この上に形成されたn-エピ層101、n+埋め込み層111上にMOSFET素子が形成される。そしてMOSFET素子が形成されたエピ層101の表面から絶縁基板116に達する素子分離用トレンチ112が例えばドライエッチングにより形成されている。そしてトレンチ112の素子側の側壁にはn+領域113が施され、この領域からソース電極Dが取り出される。この実施の形態においても、n+領域形成のために新たなトレンチを掘るプロセスを追加する必要がなく、製造コストの上昇も最低限に抑えられる。 40

【0020】

図4および図5は、同様に、誘電体分離ウェーハを半導体基板として用いたディープトレンチ型のパワーMOSFETを示すもので、基板の構成を異にしている点を除き、図2に示す実施形態と同じである。すなわち、これらの実施形態においては、シリコン基板100の表面にSiO₂からなる絶縁層116が形成されている。

【0021】

本発明は上記実施の形態に限定されることなく、特許請求の範囲に記載した発明の範囲内 50

で、種々の変形が可能であり、それらも本発明の範囲内に含まれるものであることはいうまでもない。

【0022】

【発明の効果】

本発明にかかるアップドレイン型MOSFETによれば、アップドレインをとるn+拡散に大きな領域が必要せず、チップ面積の増大を招かないで構成することができる。

【図面の簡単な説明】

【図1】本実施態様に係るアップドレイン型パワーMOSFETの断面図。

【図2】本発明の他の実施形態に係るディープトレンチ型パワーMOSFETの断面図。

【図3】本発明の他の実施形態に係るもので、誘電体分離ウェーハ上に形成したパワーMOSFETの断面図。 10

【図4】本発明の他の実施形態に係り、誘電体分離ウェーハ上に形成したディープトレンチ型パワーMOSFETの断面図。

【図5】本発明の他の実施形態に係り、誘電体分離ウェーハ上に形成したディープトレンチ型パワーMOSFETの断面図。

【図6】従来技術に係るアップドレイン型パワーMOSFETの断面図。

【図7】従来技術に係るアップドレイン型パワーMOSFETの断面図。

【図8】従来技術に係るアップドレイン型パワーMOSFETの断面図。

【符号の説明】

- 100：n 型シリコン基板 20
- 101： n-エピ 領域
- 102： p 型ウェル領域
- 103：n+ 領域
- 104：p+領域
- 106：ゲート酸化膜n+埋め込み層
- 111：n+拡散領域
- 112：トレンチ
- 113：n+領域
- 115：p+領域
- 116：絶縁基板 30
- S：ソース電極
- G：ゲート電極
- D：ドレイン電極

フロントページの続き

(72)発明者 加藤 俊光

福岡県北九州市小倉北区下到津1丁目10番1号 株式会社東芝北九州工場内

Fターム(参考) 5F110 AA04 AA07 AA13 BB04 BB12 CC09 DD02 DD05 DD13 GG02

GG12 GG37 GG42 HJ04 HJ14 HM02 HM12 NN65

5F140 AA30 AA39 AC23 AC36 BA01 BA16 BH10 BH25 BH30 BH43

BK09 BK14 BK21