

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月3日(03.05.2018)



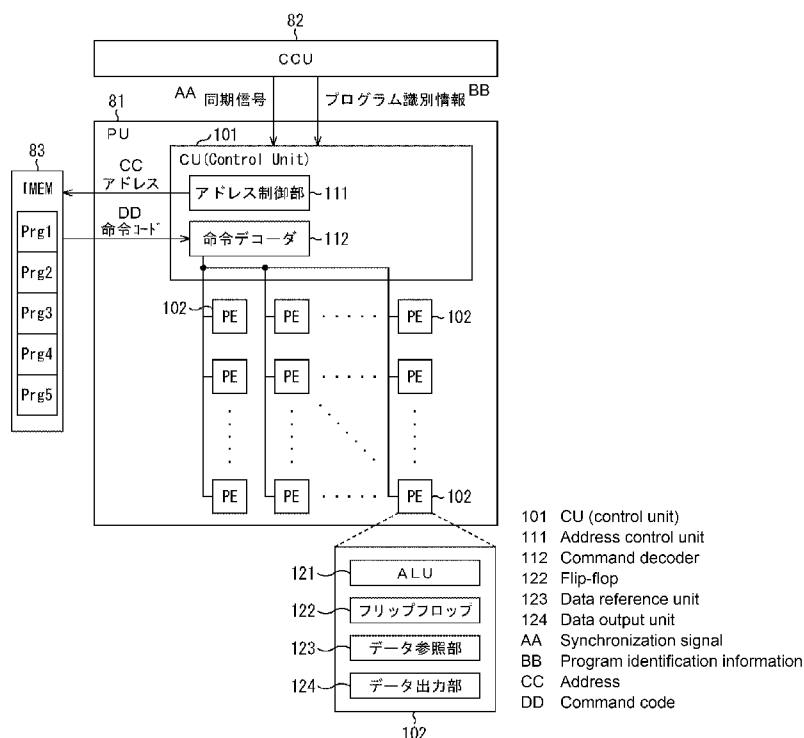
(10) 国際公開番号

WO 2018/079331 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H04N 5/341 (2011.01)
G06T 1/20 (2006.01) H04N 5/374 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2017/037476
- (22) 国際出願日: 2017年10月17日(17.10.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-213639 2016年10月31日(31.10.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 志田 さや香(SHIDA Sayaka); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING DEVICE, SIGNAL PROCESSING METHOD THEREOF, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像装置およびその信号処理方法、並びに電子機器



(57) Abstract: The present technology relates to: a solid-state imaging device which is capable of coping with an arbitrary change in an imaging process of a pixel array unit; a signal processing method thereof; and an electronic device. The solid-state imaging device is provided with: a pixel array unit in which a plurality of pixels are arrayed in a two-dimensional array shape; an analog-to-digital (AD) conversion unit which AD-converts a pixel signal output from a pixel of the pixel array unit; a memory which holds the digital pixel signal obtained after the AD conversion; and an image signal processing



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

circuit which performs a prescribed signal processing on the digital pixel signal. The image signal processing circuit is provided with: one or more processing elements (PEs) which execute a prescribed calculation process; two or more processing units (PUs), each of which is formed of a control unit (CU) which operates the PEs in an SIMD format, an IMEM which stores one or more calculation processing commands; and a CCU which controls the PUs. The present technology can be applied to, for example, a solid-state imaging device or the like that allows a plurality of regions of a pixel array unit to be processed differently.

(57) 要約: 本技術は、画素アレイ部の撮像処理の任意の変更に対応することができるようにする固体撮像装置およびその信号処理方法、並びに電子機器に関する。固体撮像装置は、複数の画素が2次元アレイ状に配置された画素アレイ部と、画素アレイ部の画素が出力する画素信号をAD変換するAD変換部と、AD変換後のデジタルの画素信号を保持するメモリと、デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路とを備える。画像信号処理回路は、所定の演算処理を実行する1個以上のPEと、PEをSIMD形式で動作させるCUとからなる2個以上のPUと、1個以上の演算処理命令を格納するIMEMと、PUを制御するCCUとを備える。本技術は、例えば、画素アレイ部の複数領域に異なる処理を行わせる固体撮像装置等に適用できる。

明 細 書

発明の名称：

固体撮像装置およびその信号処理方法、並びに電子機器

技術分野

[0001] 本技術は、固体撮像装置およびその信号処理方法、並びに電子機器に関し、特に、画素アレイ部の撮像処理の任意の変更に対応することができるようにした固体撮像装置およびその信号処理方法、並びに電子機器に関する。

背景技術

[0002] MOS型イメージセンサでは、撮像エレメントだけでなく、その他の集積回路エレメント、特にデジタル信号処理回路やメモリエレメントを同じチップ状に集積化することが可能であり、例えば、複数のPE(Processor Element)を1チップに形成したMOS型固体撮像デバイスが提案されている（例えば、特許文献1 参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2001-250113号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、例えば、今後、1000fps(frame per second)などの超高速フレームレートに対応する場合や、画素アレイ部の複数領域で異なる処理を行わせるような場合、複数のPEの制御をファームウェアを使った制御で行うのには限界がある。

[0005] 本技術は、このような状況に鑑みてなされたものであり、画素アレイ部の撮像処理の任意の変更に対応することができるようにするものである。

課題を解決するための手段

[0006] 本技術の第1の側面の固体撮像装置は、複数の画素が2次元アレイ状に配

置された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、AD変換後のデジタルの画素信号を保持するメモリと、前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路とを備え、前記画像信号処理回路は、所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をSIMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユニットと、1個以上の演算処理命令を格納する命令メモリと、前記演算処理ユニットを制御する中央制御ユニットとを備える。

[0007] 本技術の第2の側面の固体撮像装置の信号処理方法は、複数の画素が2次元アレイ状に配置された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、AD変換後のデジタルの画素信号を保持するメモリと、前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路とを備え、前記画像信号処理回路は、所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をSIMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユニットと、1個以上の演算処理命令を格納する命令メモリと、前記演算処理ユニットを制御する中央制御ユニットとを備える固体撮像装置の、前記中央制御ユニットが、前記演算処理ユニットに行わせる処理を決定し、前記コントロールユニットが、前記中央制御ユニットの制御に従い前記命令メモリから前記演算処理命令を取得して、前記演算処理部にSIMD形式で演算処理を実行させる。

[0008] 本技術の第3の側面の電子機器は、複数の画素が2次元アレイ状に配置された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、AD変換後のデジタルの画素信号を保持するメモリと、前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路とを備え、前記画像信号処理回路は、所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をSIMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユニットと、1個以上の演算処理命令を格納する命令メモリと、前記演算処理ユニットを制御する中央制御ユニットとを

備える固体撮像装置を備える。

[0009] 本技術の第1乃至第3の側面においては、固体撮像装置の画像信号処理回路の1個以上の演算処理部において、SIMD形式で所定の演算処理が実行される。

[0010] 固体撮像装置及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

発明の効果

[0011] 本技術の第1乃至第3の側面によれば、画素アレイ部の撮像処理の任意の変更に対応することができる。

[0012] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0013] [図1]本技術が適用された固体撮像装置の概略構成を示すブロック図である。

[図2]画素アレイ部の撮像処理の例を示す図である。

[図3]画像信号処理回路の構成例を示す図である。

[図4]PUの詳細構成を示す図である。

[図5]各PUの処理実行例を示す図である。

[図6]各PUの処理実行例を示す図である。

[図7]画像信号処理を説明するフローチャートである。

[図8]各処理を並列的に示したフローチャートである。

[図9]固体撮像装置の第1の積層構造を示す図である。

[図10]固体撮像装置の第2の積層構造を示す図である。

[図11]固体撮像装置の第3の積層構造を示す図である。

[図12]固体撮像装置の第4の積層構造を示す図である。

[図13]固体撮像装置の第5の積層構造を示す図である。

[図14]固体撮像装置の第6の積層構造を示す図である。

[図15]その他のPUの詳細構成を示す図である。

[図16]本技術を適用した電子機器としての撮像装置の構成例を示すブロック

図である。

[図17]イメージセンサの使用例を説明する図である。

発明を実施するための形態

[0014] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 固体撮像装置の概略構成例
2. 画素アレイ部の撮像処理例
3. 画像信号処理回路の構成例
4. 画像信号処理実行例
5. 固体撮像装置の積層構造例
6. PUとPEの個数について
7. 電子機器への適用例

[0015] < 1. 固体撮像装置の概略構成例 >

図1は、本技術が適用された固体撮像装置の概略構成を示すブロック図である。

[0016] 図1の固体撮像装置1は、入出力回路11、タイミング制御部12、画素駆動部13、画素アレイ部14、ADC/メモリ15、画像信号処理回路16、および、フレームメモリ17を含んで構成される。

[0017] 入出力回路11は、入力回路21と出力回路22を備える。

[0018] 入力回路21には、不図示の外部回路から、固体撮像装置1の撮像動作、例えば、画素アレイ部14内の撮像領域や撮像タイミング、画像信号の後処理の処理内容等を指定する制御信号が入力される。入力回路21は、入力された各種の制御信号をタイミング制御部12や画像信号処理回路16などに供給する。

[0019] 出力回路22は、ADC/メモリ15または画像信号処理回路16から供給された画像信号を取得し、外部に出力する。

[0020] タイミング制御部12は、垂直同期信号、水平同期信号などの各種のタイミング信号を生成するタイミングジェネレータなどによって構成される。タ

イミング制御部 12 は、タイミングジェネレータで生成された各種のタイミング信号を、画素駆動部 13、ADC/メモリ 15、及び、画像信号処理回路 16 に供給し、各部の動作タイミングを制御する。

[0021] 画素駆動部 13 は、例えばシフトレジスタによって構成され、画素アレイ部 14 の各画素を行単位で、順次、垂直方向に選択走査し、各画素 31 の光電変換部において受光量に応じて生成された信号電荷に基づく画素信号を、ADC/メモリ 15 に出力させる。

[0022] 画素アレイ部 14 は、光電変換部となるフォトダイオードと、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有する画素 31 を、2次元アレイ状に（行方向および列方向に）複数配置して構成されている。複数の画素トランジスタは、例えば転送トランジスタ、リセットトランジスタ及び増幅トランジスタの3つのトランジスタで構成することができる。画素は、その他、選択トランジスタを追加した4つのトランジスタで構成することもできる。

[0023] 画素アレイ部 14 の各画素 31 は、行駆動信号線 32 を介して画素駆動部 13 から供給される駆動信号に基づいて、露光（受光）および画素信号の出力を行う。各画素 31 で生成された画素信号は、ADC/メモリ 15 に出力される。

[0024] ADC/メモリ 15 は、1以上の画素 31 に対して1つのADC 41が対応するように配置された複数個のADC（AD変換部）41と、1以上の画素 31 に対して1つのメモリ 42が対応するように配置された複数個のメモリ 42を有する。

[0025] 画素アレイ部 14 とADC/メモリ 15 は、図9乃至図14等を参照して後述するように、上下に積層されて配置されており、ADC 41とメモリ 42は、1以上の画素 31 に対応するように2次元アレイ状に配置されている。

[0026] ADC 41 は、各画素 31 から出力される画素信号に対してCDS(Correlated Double Sampling: 相関2重サンプリング)処理を施すことにより、画素信号のAD変換を行うとともにリセットノイズを除去する。例えば、ADC 41 は、変換

対象となるアナログ信号と、これと比較対象となる参照掃引信号とを比較するためのコンパレータ部、および、コンパレータ部での比較結果が反転するまでの時間を計測するカウンタ部を備える。ADC 4 1 は、AD変換後のデジタルの画素信号をメモリ 4 2 に記憶させる。

[0027] メモリ 4 2 は、ADC 4 1 から出力されるデジタルの画素信号を所定期間保持し、画像信号処理回路 1 6 または出力回路 2 2 に出力する。

[0028] 画像信号処理回路 1 6 は、ADC/メモリ 1 5 から供給されたデジタルの画素信号に対して、各種の信号処理を施す回路である。例えば、画像信号処理回路 1 6 は、画素アレイ部 1 4 の撮像領域全体の各画素信号の階調を変換する階調変換処理や、撮像領域の一部の領域に対するフィルタ処理などを行うことができる。

[0029] 画像信号処理回路 1 6 は、画素信号に対してどのような信号処理を行うかを表す処理制御信号を入力回路 2 1 を介して外部回路から受け付けることができる。

[0030] フレームメモリ 1 7 は、ADC/メモリ 1 5 から供給された 1 フレーム分の撮像データ（画素信号）を保持し、必要に応じて画像信号処理回路 1 6 に供給する。なお、フレームメモリ 1 7 は、省略される場合もある。

[0031] 以上のように構成される固体撮像装置 1 は、例えば、画素アレイ部 1 4 の 1 以上の画素単位にADC 4 1 とメモリ 4 2 が設けられたCMOSイメージセンサである。

[0032] < 2. 画素アレイ部の撮像処理例 >

図 2 は、画素アレイ部 1 4 の撮像処理の例を示している。

[0033] 固体撮像装置 1 は、図 2 のAに示されるように、画素アレイ部 1 4 の有効画素領域 6 1 を複数の処理領域に分割して、各処理領域を異なるフレームレートで駆動したり、各処理領域で異なる処理を行わせることが可能である。

[0034] 例えば、図 2 のAに示されるように、有効画素領域 6 1 の一部の処理領域Xについては480fpsのフレームレートで駆動させ、一部の処理領域Yについては30fpsのフレームレートで駆動させ、一部の処理領域Zについては60fpsのフレ

ームレートで駆動させることができる。

[0035] 図2のBに示されるように、処理領域X、Y、およびZそれぞれの画素信号がA DC/メモリ15に読み出される（出力される）タイミングも異なる。

[0036] 画像信号処理回路16は、図2のCに示されるように、処理領域X、Y、およびZそれぞれの画素信号に対して異なる演算処理を行う。画像信号処理回路16は、処理領域Xで得られた画素信号に対して、処理M(Process M1, Process M2)を実行する。また、画像信号処理回路16は、処理領域Yで得られた画素信号に対して、処理N(Process N)を実行し、処理領域Zで得られた画素信号に対して、処理L(Process L)と処理N(Process N)の2つの処理を順に実行する。

[0037] 図2の例では、画素アレイ部14の有効画素領域61に対して所定の処理を行う処理領域が複数あり、その複数の処理領域それぞれで実行される処理（処理M, L, Nなど）やフレームレートが異なる例を示した。

[0038] しかしながら、画素アレイ部14の有効画素領域61に対して処理を行う処理領域を一つの部分領域とする制御や、3以上の処理領域のうち2つの処理領域に対しては同じ処理や同じフレームレートで実行する制御も勿論可能である。

[0039] <3. 画像信号処理回路の構成例>

図3は、図2に示したような画素アレイ部14の複数処理領域で異なる処理を実行するための画像信号処理回路16の構成例を示している。

[0040] 画像信号処理回路16は、複数個のPU(Process Unit、演算処理ユニット)81と、各PU81を制御するCCU(Central Control Unit、中央制御ユニット)82と、各PU81で使用される複数の演算処理命令（以下、単に命令という。）が格納されているIMEM(Instruction Memory、命令メモリ)83とにより構成される。

[0041] 図4を参照して、PU81、CCU82、及びIMEM83の詳細について説明する。

[0042] 図4は、1個のPU81の詳細構成を、CCU82及びIMEM83とともに示した

図である。画像信号処理回路 16 内の複数個のPU8 1 それぞれは、図 4 のPU8 1 と同一の構成を有している。

[0043] PU8 1 は、CU (Control Unit、コントロールユニット) 101 と、面並列に接続された複数個のPE (Processor Element、演算処理部) 102 とで構成される。ここで、PU8 1 は、例えば、複数画素に 1 個の割合で配置され、PE 102 は、例えば、1 画素に 1 個の割合で配置される。この場合、1 個のPU8 1 に 5×5 の計 25 個のPE 102 が設けられていれば、PU8 1 は、25 画素に 1 個の割合で配置されていることになる。複数個のPE 102 が面並列に接続されるとは、複数個のPE 102 が、CU 101 と並列に接続され、画素アレイ部 14 の平面領域（行方向M個および列方向M個からなるNxM個）の複数画素の画素信号を並列処理することを意味する。

[0044] CCU8 2 は、入力回路 21 を介して外部から供給された処理制御信号に基づいて、複数個のPU8 1 それぞれにどのような処理を実行させるかを決定する。なお、PU8 1 に行わせる処理として複数の処理が競合した場合には、CCU8 2 は、その複数の処理をどのような順番で実行させるか、あるいはどの処理を優先させるか（一方の処理を実行させて、他方の処理は実行させない）等も決定する。

[0045] そして、CCU8 2 は、決定した処理に対応するプログラムを識別するプログラム識別情報をPU8 1 のCU 101 に供給することで、決定した処理を各PU8 1 に実行させる。プログラム識別情報は、例えば、プログラム（命令）が格納されているIMEM8 3 の先頭アドレスや、プログラム番号などである。プログラム番号によって処理が指定される場合には、そのプログラム番号を有するプログラムの格納先は既知である。

[0046] また、CCU8 2 は、PU8 1 が処理を開始するタイミングの基準となる同期信号もPU8 1 に供給する。CCU8 2 から各PU8 1 に供給される同期信号どうしは、各PU8 1 が実行する処理タイミングを合わせるため、通倍または分周の関係にあることが望ましい。

[0047] IMEM8 3 は、各PU8 1 で使用される複数のプログラム（命令）を格納する

。図4の例では、Prg1乃至Prg5の5つのプログラムが格納されている。

[0048] CU101は、CCU82から供給されるプログラム識別情報に基づいて、指定されたプログラムをIMEM83から取得し、PU81内の全てのPE102に供給して、SIMD(Single Instruction stream Multiple Data stream)形式で所定の演算処理を実行させる。

[0049] 具体的には、CU101は、アドレス制御部111と命令デコーダ112を有する。プログラム識別情報として、実行対象のプログラムの先頭アドレスが供給されるとすると、アドレス制御部111は、CCU82から指令されたIMEM83の先頭アドレスから、指定されたプログラムが格納された最終アドレスまで順番に指定し、指定アドレスに格納されている命令コードを要求する。命令デコーダ112は、IMEM83から順次供給される命令コードをデコードし、各PE102に供給する。

[0050] PE102は、CU101の命令デコーダ112から順次供給される命令コードを順次処理（パイプライン処理）することにより、1つのプログラム、即ち、画素信号に対する所定の演算処理を実行する。

[0051] PE102は、ALU(Arithmetic and Logic Unit)121、フリップフロップ122、データ参照部123、及び、データ出力部124を少なくとも有する。

[0052] ALU121は、論理演算や四則演算を行う演算処理部であり、命令デコーダ112から供給される命令コードに基づく演算を行う。ALU121は、必要に応じて、フリップフロップ122に一時保存したデータや、データ参照部123によって取得された他のPE102で演算したデータ、フレームメモリ17に保持されているデータなどを用いることができる。

[0053] フリップフロップ122は、ALU121の演算結果を一時保存する。

[0054] データ参照部123は、ALU121の演算に必要なデータであって、自分のPE102以外が保持しているデータを適宜参照（取得）し、ALU121に供給する。具体的には、データ参照部123は、隣接または1個以上離れたPE102（他のPU81のPE102も含む）の演算結果、フレームメモリ17に

保持されているデータ、CCU 8 2 を介して取得できる、外部回路から供給されたパラメータなどを参照することができる。

[0055] データ出力部 1 2 4 は、ALU 1 2 1 の演算結果を、他の PE 1 0 2、フレームメモリ 1 7、または、出力回路 2 2 などに出力する。

[0056] 以上のように構成される PU 8 1 では、CCU 8 2 が IMEM 8 3 に格納されている複数の命令のなかから、所定の命令を指定して、各 PE 1 0 2 に SIMD 形式で実行させることができる。また、各 PE 1 0 2 に実行させる命令を切り替えたり、組み合わせて順番に実行させることも可能である。

[0057] ただし、1 個の PU 8 1 内の複数の PE 1 0 2 は全て同一の処理しか行うことができない。これに対して、複数個の PU 8 1 それぞれは、異なる処理を実行することができる。換言すれば、異なる処理（命令）を実行可能な演算処理単位が PU 8 1 である。

[0058] 従って、PU 8 1 内の PE 1 0 2 単位では、SIMD 形式で処理を実行するが、PU 8 1 単位でみれば、MIMD (Multiple Instruction stream Multiple Data stream) 形式で複数の演算処理を実行することが可能となっている。

[0059] PU 8 1 は、1 画素以上の処理領域単位に対応して、制御シーケンサとしての CU 1 0 1 と PE 1 0 2 を備えることで、画素アレイ部 1 4 の処理領域の変変、フレームレート別処理、読み出しタイミング可変に対応することが可能となる。また、PU 8 1 を制御する CCU 8 2 を備えることで、プログラムの変更や演算順序の制御が可能となる。

[0060] < 4. 画像信号処理実行例 >

次に、図 5 乃至図 7 を参照して、各 PU 8 1 の処理実行例について説明する。

[0061] 図 5 に示される画像信号処理回路 1 6 は、 5×7 からなる 35 個の PU 8 1 と、CCU 8 2 及び IMEM 8 3 とで構成されている。

[0062] 上述した例のように、PE 1 0 2 が 1 画素に対して 1 個割り当てられ、1 個の PU 8 1 が 5×5 の 25 個の PE 1 0 2 を有している場合、画素アレイ部 1 4 は、垂直方向に 25 画素、水平方向に 35 画素の 875 ($= 25 \times 35$) 画

素で構成されていることになる。

[0063] 以下では、 5×7 で配列された35個の各PU81において、水平方向（横方向）において左端から x 番目（ $x > 0$ ）、垂直方向において上端から y 番目（ $y > 0$ ）のPU81を、 $PU_{(x, y)}81$ と表すとする。

[0064] 図5は、CCU82が、35個の各PU81のうち、4個の $PU_{(2, 1)}81$ 、 $PU_{(3, 1)}81$ 、 $PU_{(2, 2)}81$ 、および $PU_{(3, 2)}81$ からなる処理領域Aと、8個の $PU_{(4, 3)}81$ 乃至 $PU_{(7, 3)}$ および $PU_{(4, 4)}81$ 乃至 $PU_{(7, 4)}$ からなる処理領域Bの2つの処理領域を設定し、それらに異なる処理を実行させる例を示している。例えば、処理領域Aと処理領域Bとで、撮像画像に対して行われるフィルタ処理（隣接画素の画素信号を用いた演算処理）が異なる。

[0065] 35個の各PU81のうち、処理領域AおよびB以外のPU81は、未使用とされ、アイドル状態とされる。全てのPU81それぞれが異なる処理を行うように指定することも可能であるが、IMEM83に格納されるプログラムが多くなり、各PU81とIMEM83とのアクセス数も増えることから、一般的には、全てのPU81に対して、割り当てられる領域や処理の数は数個ないし数十個程度とされる。

[0066] 例えば、撮像画像中の被写体の動き検出処理のように、処理領域Aが処理結果に応じて移動するような場合には、図6に示されるように、処理領域Aと処理領域Bの一部が重複することもある。図6の例では、処理領域Aが $PU_{(3, 2)}81$ 、 $PU_{(4, 2)}81$ 、 $PU_{(3, 3)}81$ 、および $PU_{(4, 3)}81$ からなる処理領域に変更され、 $PU_{(4, 3)}81$ が、処理領域Aと処理領域Bのいずれにも属する。この場合、CCU82が、 $PU_{(4, 3)}81$ に対して、処理領域Aとしての処理か、または、処理領域Bとしての処理のどちらの処理を実行させるかを決定して、指示する。

[0067] <画像信号処理フロー>

図7のフローチャートを参照して、画像信号処理回路16が行う画像信号処理を説明する。

[0068] 初めに、ステップS1において、CCU82は、入力回路21を介して外部か

ら供給された処理制御信号に基づいて、各PU8 1に実行させる処理を決定し、決定した処理に対応するプログラム識別情報を各PU8 1のCU1 0 1に供給する。

[0069] ステップS 2において、各PU8 1のCU1 0 1は、プログラム識別情報が供給されたかを判定する。ステップS 2で、プログラム識別情報が供給されていないと判定された場合、処理は終了する。したがって、プログラム識別情報が供給されないPU8 1は、何も処理を実行しない。

[0070] ステップS 2で、プログラム識別情報が供給されたと判定された場合、処理はステップS 3に進み、CU1 0 1は、CCU8 2から供給される同期信号に基づいて、処理を開始するタイミングとなったかを判定する。

[0071] ステップS 3で、処理を開始するタイミングとなったと判定されるまで待機され、処理を開始するタイミングとなったと判定された場合、処理はステップS 4に進み、CU1 0 1のアドレス制御部1 1 1は、プログラム識別情報で識別されるプログラムが格納されているIMEM8 3の所定のアドレスにアクセスし、命令コードを取得する。

[0072] ステップS 5において、CU1 0 1の命令デコーダ1 1 2は、IMEM8 3から取得された命令コードをデコードし、各PE1 0 2に供給する。

[0073] ステップS 6において、PU8 1内の各PE1 0 2は、供給された命令コードを実行する。即ち、各PE1 0 2は、命令コードに規定された所定の演算処理を実行する。

[0074] ステップS 7において、CU1 0 1のアドレス制御部1 1 1は、ステップS 4でアクセスしたアドレスが、指定されたプログラムが格納された最終アドレスであるかを判定する。

[0075] ステップS 7で、ステップS 4でアクセスしたアドレスが、指定されたプログラムの最終アドレスではないと判定された場合、処理はステップS 4に戻され、ステップS 4以降の処理が繰り返される。これにより、前回のステップS 4でアクセスしたアドレスの次のアドレスの命令コードがPU8 1内の各PE1 0 2で実行される。

- [0076] 一方、ステップS 7で、ステップS 4でアクセスしたアドレスが、指定されたプログラムの最終アドレスであると判定された場合、処理は終了する。
- [0077] 図8は、図5に示したように全PU 8 1に対して2つの処理領域AおよびBが設定され、処理が実行される場合の、処理領域AおよびBのPU 8 1、CCU 8 2、IMEM 8 3の各処理を並列的に示したフローチャートである。
- [0078] ステップS 2 1において、CCU 8 2から処理実行対象の各PU 8 1へプログラム識別情報が供給される。例えば、CCU 8 2から処理領域AのPU 8 1には、Prg 1を識別するプログラム識別情報が供給され、処理領域BのPU 8 1には、Prg 2を識別するプログラム識別情報が供給される。
- [0079] そして、ステップS 2 2において、CCU 8 2から各PU 8 1へ同期信号が供給されると、ステップS 2 3において、各PU 8 1は、プログラム識別情報で指定されたプログラムの格納先（IMEM 8 3の所定アドレス）へアクセスし、命令コードを取得して、デコードした後、実行する。処理領域AのPU 8 1は、Prg 1が格納された先頭アドレスAdr1から順に命令コードを取得し、実行する。処理領域BのPU 8 1は、Prg 2が格納された先頭アドレスAdr2から順に命令コードを取得し、実行する。
- [0080] PU 8 1で実行されるプログラムが変更されない場合は、同期信号が供給される度に、ステップS 2 2およびS 2 3の処理が繰り返される。
- [0081] PU 8 1で実行するプログラムが変更される場合、CCU 8 2は、ステップS 3 1において、変更するPU 8 1に対してのみ、プログラム識別情報を供給する。例えば、処理領域AのPU 8 1が行う処理をPrg1からPrg3に変更する場合、処理領域AのPU 8 1に対して、Prg3を識別するプログラム識別情報が供給される。この変更処理は、例えば、垂直ブランク期間を利用して行われる。
- [0082] そして、ステップS 3 2において、CCU 8 2から各PU 8 1へ同期信号が供給されると、ステップS 3 3において、処理領域AのPU 8 1は、Prg3が格納された先頭アドレスAdr3から順に命令コードを取得し、実行する。一方、新たなプログラム識別情報が供給されない処理領域BのPU 8 1は、それまでと同じPrg 2が格納された先頭アドレスAdr2から順に命令コードを取得し、実行する。

[0083] 以上のように、固体撮像装置 1 は、PU 8 1、CCU 8 2、および IMEM 8 3 を有する画像信号処理回路 1 6 を備えることにより、画素アレイ部 1 4 の撮像処理の任意の変更に対応することができる。具体的には、画素アレイ部 1 4 内に複数の処理領域を設定して、その処理領域の処理内容（プログラム）やフレームレートが変更された場合であっても、その変更に対応した信号処理を行うことが可能である。また、画素アレイ部 1 4 内の他の処理領域が所定の処理を行っている最中に、所定の処理領域で、領域サイズが変更されたり、プログラムや演算順序の変更がされた場合であっても、その変更に対応した信号処理を行うことが可能となる。また、このプログラムの変更や演算順序の変更に対応する演算処理の切替えは垂直ブランク期間に行うことができるので、無効フレームをなくすことができ、例えば、無効フレームなしでフレームレートを変更することができる。

[0084] <5. 固体撮像装置の積層構造例>

図 1 の固体撮像装置 1 は、2 枚または 3 枚の半導体基板を積層した積層構造により構成することができる。図 9 乃至図 1 4 を参照して、固体撮像装置 1 を複数の半導体基板の積層構造で構成した場合の各部の配置について説明する。

[0085] なお、図 9 乃至図 1 4 において、上述した図 1、図 4 等と共通する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0086] 図 9 及び図 1 0 は、固体撮像装置 1 の各回路を、積層した 3 枚の半導体基板に分けて配置し、固体撮像装置 1 がフレームメモリ 1 7 を備えない場合の積層構造の例を示している。

[0087] 一方、図 1 1 および図 1 2 は、固体撮像装置 1 の各回路を、積層した 3 枚の半導体基板に分けて配置し、固体撮像装置 1 がフレームメモリ 1 7 を備える場合の積層構造の例を示している。

[0088] 一方、図 1 3 および図 1 4 は、固体撮像装置 1 の各回路を、積層した 2 枚の半導体基板に分けて配置した例であり、図 1 3 は、固体撮像装置 1 がフレームメモリ 1 7 を備えない場合、図 1 4 は、フレームメモリ 1 7 を備える場

合の積層構造の例を示している。

[0089] <第1の積層構造>

図9は、第1の積層構造であり、フレームメモリ17を備えない固体撮像装置1を3枚の半導体基板の積層構造で構成した例を示している。

[0090] 第1の積層構造では、画素アレイ部14の各画素31が受光する光が入射される入射面側を上側として、最上層に配置される第1の半導体基板201と、中間層に配置される第2の半導体基板202と、最下層に配置される第3の半導体基板203とで、固体撮像装置1が形成される。

[0091] 最上層に配置される第1の半導体基板201には、図9のAに示されるように、画素アレイ部14が配置される。また、第1の半導体基板201の外周部の四辺の少なくとも一辺の近傍領域に、ワイヤーボンディング用の電極パッドが配置されたPAD部211が配置される。さらに、画素アレイ部14外側の四辺の少なくとも一辺の近傍領域に、第1の半導体基板201と第2の半導体基板202とを電氣的に接続する第1ビア部212が配置される。図9のAの例では、第1の半導体基板201の四辺の外周部のうち、対向する所定の2辺（図9において左右の2辺）の外周部にPAD部211が配置されており、画素アレイ部14外側の所定の2辺（図9において右と下の2辺）に第1ビア部212が配置されている。

[0092] 中間層に配置される第2の半導体基板202には、図9のBに示されるように、第1の半導体基板201の画素アレイ部14と同じ領域に、ADC/メモリ15が配置され、第1の半導体基板201の第1ビア部212と同じ領域に、第2の半導体基板202側の第1ビア部212が配置される。

[0093] さらに、ADC/メモリ15外側の四辺の少なくとも一辺の近傍領域に、第2の半導体基板202と第3の半導体基板203とを電氣的に接続する第2ビア部213が配置され、第2の半導体基板202の外周部の四辺の少なくとも一辺の近傍領域に、周辺回路214が配置される。図9のBの例では、ADC/メモリ15外側の第1ビア部212が配置されていない所定の2辺のうちの一方（図9において上側の辺）に第2ビア部213が配置され、第2の半導

体基板 202 の外周部の所定の一边（図 9 において左側の辺）に、周辺回路 214 が配置されている。この周辺回路 214 は、タイミング制御部 12、画素駆動部 13 などに相当する。

[0094] 最下層に配置される第 3 の半導体基板 203 には、図 9 の C に示されるように、第 2 の半導体基板 202 の ADC/メモリ 15 と同じ領域に、画像信号処理回路 16 の複数の PU81 が 2 次元アレイ状に配置され、第 2 の半導体基板 202 の第 2 ビア部 213 と同じ領域に、第 3 の半導体基板 203 側の第 2 ビア部 213 が配置される。

[0095] また、第 3 の半導体基板 203 外周部の四辺の少なくとも一边の近傍領域に、入出力回路 11 が配置され、他の少なくとも一边の近傍領域に、画像信号処理回路 16 の IMEM83 が、さらに他の少なくとも一边の近傍領域に、画像信号処理回路 16 の CCU82 が配置される。図 9 の C の例では、第 3 の半導体基板 203 の外周部の所定の一边（図 9 において右側の辺）に、入出力回路 11 が配置され、所定の一边（図 9 において左側の辺）に、IMEM83 が配置され、所定の一边（図 9 において下側の辺）に、CCU82 が配置されている。

[0096] <第 2 の積層構成例>

図 10 は、第 2 の積層構造であり、フレームメモリ 17 を備えない固体撮像装置 1 を 3 枚の半導体基板の積層構造で構成した例を示している。

[0097] 図 10 において、図 9 に示した第 1 の積層構造と共通する部分は同一の符号を付してあり、その部分についての説明は省略する。

[0098] 図 10 の第 2 の積層構造では、CCU82 の形成位置が第 1 の積層構造と異なる。すなわち、図 9 の第 1 の積層構造では、CCU82 は、第 3 の半導体基板 203 に形成されていたが、図 10 の第 2 の積層構造では、CCU82 は、第 2 の半導体基板 202 の四辺の外周部の、周辺回路 214 が形成されていない一边（図 10 において下側の辺）の近傍領域に形成されている。第 2 の積層構造のその他の回路配置は、第 1 の積層構造と同様である。

[0099] <第 3 の積層構成例>

図 1 1 は、第 3 の積層構造であり、フレームメモリ 1 7 を備える固体撮像装置 1 を 3 枚の半導体基板の積層構造で構成した例を示している。

[0100] 図 1 1 において、図 9 に示した第 1 の積層構造と共通する部分は同一の符号を付してあり、その部分についての説明は省略する。

[0101] 図 1 1 の第 3 の積層構造では、図 9 に示した第 1 の積層構造の第 3 の半導体基板 2 0 3 の入出力回路 1 1 の位置に、フレームメモリ 1 7 が配置されており、入出力回路 1 1 は、第 2 の半導体基板 2 0 2 の外周部の所定の一边（図 1 1 において右側の辺）に配置されている。第 3 の積層構造のその他の回路配置は、第 1 の積層構造と同様である。

[0102] <第 4 の積層構成例>

図 1 2 は、第 4 の積層構造であり、フレームメモリ 1 7 を備える固体撮像装置 1 を 3 枚の半導体基板の積層構造で構成した例を示している。

[0103] 図 1 2 において、図 1 1 に示した第 3 の積層構造と共通する部分は同一の符号を付してあり、その部分についての説明は省略する。

[0104] 図 1 2 の第 4 の積層構造では、CCU 8 2 の形成位置が第 3 の積層構造と異なる。すなわち、図 1 1 の第 3 の積層構造では、CCU 8 2 は、第 3 の半導体基板 2 0 3 に形成されていたが、図 1 2 の第 4 の積層構造では、CCU 8 2 は、第 2 の半導体基板 2 0 2 の四辺の外周部の、周辺回路 2 1 4 と入出力回路 1 1 が形成されていない一边（図 1 2 において下側の辺）の近傍領域に形成されている。第 4 の積層構造のその他の回路配置は、第 3 の積層構造と同様である。

[0105] 以上のように、3 層積層構造の場合には、第 1 の半導体基板 2 0 1 には、画素アレイ部 1 4 が主に配置され、第 2 の半導体基板 2 0 2 には、ADC/メモリ 1 5 が主に配置され、第 3 の半導体基板 2 0 3 には、画像信号処理回路 1 6 の複数の PU 8 1 と IMEM 8 3 が主に配置される。各 PU 8 1 から IMEM 8 3 へのアクセスは、1 クロック周期で行われるため、PU 8 1 と IMEM 8 3 は同一基板に配置することが望ましいが、1 クロック周期でのアクセスが可能であれば、異なる基板に配置してもよい。周辺回路 2 1 4、入出力回路 1 1、CCU 8 2

、および、フレームメモリ 17 は、第 2 の半導体基板 202 または第 3 の半導体基板 203 の任意の位置に配置することができる。

[0106] 図 9 乃至図 12 で示した第 1 乃至第 4 の積層構造では、第 1 の半導体基板 201 と第 2 の半導体基板 202 との電氣的接続、および、第 2 の半導体基板 202 と第 3 の半導体基板 203 との電氣的接続が、ビア接合を用いて接続されていた。

[0107] しかしながら、ビア接合の代わりに、Cu-Cu等の金属結合を用いて、画素アレイ部 14 と ADC/メモリ 15 の領域間、ADC/メモリ 15 と PU81 の領域間を接続してもよい。

[0108] <第 5 の積層構成例>

図 13 は、第 5 の積層構造であり、フレームメモリ 17 を備えない固体撮像装置 1 を 2 枚の半導体基板の積層構造で構成した例を示している。

[0109] 図 13 において、図 9 に示した第 1 の積層構造と共通する部分は同一の符号を付してあり、その部分についての説明は適宜省略する。

[0110] 第 5 の積層構造では、画素アレイ部 14 の各画素 31 が受光する光が入射される入射面側を上側として、上側に配置される第 1 の半導体基板 221 と、下側に配置される第 2 の半導体基板 221 とで、固体撮像装置 1 が形成される。

[0111] 上側に配置される第 1 の半導体基板 221 には、図 13 の A に示されるように、図 9 乃至図 12 に示した 3 層構造の場合と同様に、画素アレイ部 14 と PAD 部 211 が配置される。

[0112] そして、下側に配置される第 2 の半導体基板 221 に、図 13 の B に示されるように、図 9 乃至図 12 に示した 3 層構造において第 2 の半導体基板 202 と第 3 の半導体基板 203 に形成されていた回路、即ち、ADC/メモリ 15、複数の PU81、CCU82、IMEM83、周辺回路 214、及び、入出力回路 11 が配置されている。

[0113] なお、2 層構造とされた第 5 の積層構造では、第 1 の半導体基板 221 と第 2 の半導体基板 221 との電氣的接続に Cu-Cu 等の金属結合が用いられてい

る。そのため、図 13 の第 1 の半導体基板 221 と第 2 の半導体基板 221 には、図 9 乃至図 12 において配置されていたビア部の領域が設けられていない。勿論、金属結合に代えて、ビア接合を用いてもよい。

[0114] <第 6 の積層構成例>

図 14 は、第 6 の積層構造であり、フレームメモリ 17 を備える固体撮像装置 1 を 2 枚の半導体基板の積層構造で構成した例を示している。

[0115] 図 14 において、図 13 に示した第 5 の積層構造と共通する部分は同一の符号を付してあり、その部分についての説明は適宜省略する。

[0116] 図 14 の第 6 の積層構造では、図 13 に示した第 5 の積層構造の第 2 の半導体基板 221 の CCU82 の位置に、フレームメモリ 17 が配置されており、そのフレームメモリ 17 に隣接して、CCU82 が配置されている。第 6 の積層構造のその他の回路配置は、第 5 の積層構造と同様である。

[0117] <6. PUとPEの個数について>

次に、画像信号処理回路 16 の PU81 と PE102 の個数について説明する。

[0118] 上述した実施の形態では、PU81 が複数個の PE102 を有し、PE102 が画素 31 と 1 対 1 に対応して設けられる例について説明した。

[0119] しかしながら、PU81 が有する PE102 の個数は 1 以上であればよい。したがって、PU81 の最小構成は、図 15 に示されるように、PU81 が CU101 と 1 個の PE102 を有する構成である。図 15 の構成で、PE102 が画素 31 と 1 対 1 に対応して設けられる場合、画像信号処理回路 16 が備える PU81 および PE102 の個数は画素数と等しくなる。

[0120] 一方、PE102 は、行方向 N 個および列方向 M 個からなる NxM 個の画素 31 に対して 1 個の PE102 を割り当てる構成としてもよい。この場合、画像信号処理回路 16 が備える PU81 および PE102 の個数は画素数よりも少なくなる。

[0121] まとめると、画像信号処理回路 16 が有する PU81 の個数は、2 個以上であればよく、1 個の PU81 が有する PE102 の個数と、1 個の PE102 が処

理する画素数によって決定される。１個のPU8 1が有するPE 1 0 2は１個以上であればよい。

[0122] ＜７．電子機器への適用例＞

本技術は、固体撮像装置への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール状の形態であってもよい。

[0123] 図１６は、本技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0124] 図１６の撮像装置３００は、レンズ群などからなる光学部３０１、図１の固体撮像装置１の構成が採用される固体撮像装置（撮像デバイス）３０２、およびカメラ信号処理回路であるDSP(Digital Signal Processor)回路３０３を備える。また、撮像装置３００は、フレームメモリ３０４、表示部３０５、記録部３０６、操作部３０７、および電源部３０８も備える。DSP回路３０３、フレームメモリ３０４、表示部３０５、記録部３０６、操作部３０７および電源部３０８は、バスライン３０９を介して相互に接続されている。

[0125] 光学部３０１は、被写体からの入射光（像光）を取り込んで固体撮像装置３０２の撮像面上に結像する。固体撮像装置３０２は、光学部３０１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置３０２として、図１の固体撮像装置１、即ち、１個以上のPE 1 0 2を含む複数個のPU8 1を有する画像信号処理回路１６を備え、画素アレイ部１４内の複数領域での高速演算処理等を可能とした固体撮像装置を用いることができる。

[0126] 表示部３０５は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、固体撮像装

置 3 0 2 で撮像された動画または静止画を表示する。記録部 3 0 6 は、固体撮像装置 3 0 2 で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0127] 操作部 3 0 7 は、ユーザによる操作の下に、撮像装置 3 0 0 が持つ様々な機能について操作指令を発する。電源部 3 0 8 は、DSP回路 3 0 3、フレームメモリ 3 0 4、表示部 3 0 5、記録部 3 0 6 および操作部 3 0 7 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0128] 上述したように、固体撮像装置 3 0 2 として、上述した実施の形態を適用した固体撮像装置 1 を用いることで、撮像処理の任意の変更に対応することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置 3 0 0 においても、撮像機能の向上および撮像画像の高画質化を図ることができる。

[0129] <イメージセンサの使用例>

図 1 7 は、上述の固体撮像装置 1 を用いたイメージセンサの使用例を示す図である。

[0130] 上述の固体撮像装置 1 を用いたイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0131] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0132] また、本技術は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0133] また、本技術は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

[0134] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0135] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

[0136] また、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0137] さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0138] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0139] なお、本技術は以下のような構成も取ることができる。

(1)

複数の画素が2次元アレイ状に配置された画素アレイ部と、

前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、
AD変換後のデジタルの画素信号を保持するメモリと、
前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路と
を備え、
前記画像信号処理回路は、
所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をS
IMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユ
ニットと、
1個以上の演算処理命令を格納する命令メモリと、
前記演算処理ユニットを制御する中央制御ユニットと
を備える
固体撮像装置。

(2)

前記演算処理ユニットは、複数個の前記演算処理部を有する
前記(1)に記載の固体撮像装置。

(3)

前記演算処理部は、複数画素に対して1個の割合で配置されている
前記(1)または(2)に記載の固体撮像装置。

(4)

前記演算処理部は、1画素に対して1個の割合で配置されている
前記(1)乃至(3)のいずれかに記載の固体撮像装置。

(5)

フレームメモリをさらに備え、
前記演算処理部は、前記フレームメモリに保持されているデータを用いて
前記所定の演算処理を実行する
前記(1)乃至(4)のいずれかに記載の固体撮像装置。

(6)

複数の半導体基板の積層構造で構成された

前記(1)乃至(5)のいずれかに記載の固体撮像装置。

(7)

複数の画素が2次元アレイ状に配置された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、AD変換後のデジタルの画素信号を保持するメモリと、前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路とを備え、前記画像信号処理回路は、所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をSIMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユニットと、1個以上の演算処理命令を格納する命令メモリと、前記演算処理ユニットを制御する中央制御ユニットとを備える固体撮像装置の、

前記中央制御ユニットが、前記演算処理ユニットに行わせる処理を決定し

、

前記コントロールユニットが、前記中央制御ユニットの制御に従い前記命令メモリから前記演算処理命令を取得して、前記演算処理部にSIMD形式で演算処理を実行させる

固体撮像装置の信号処理方法。

(8)

複数の画素が2次元アレイ状に配置された画素アレイ部と、

前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と

、

AD変換後のデジタルの画素信号を保持するメモリと、

前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路と

を備え、

前記画像信号処理回路は、

所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をS

IMD形式で動作させるコントロールユニットとからなる２個以上の演算処理ユニットと、

１個以上の演算処理命令を格納する命令メモリと、
前記演算処理ユニットを制御する中央制御ユニットと
を備える固体撮像装置
を備える電子機器。

符号の説明

[0140] １ 固体撮像装置, １４ 画素アレイ部, １５ ADC/メモリ, １６
画像信号処理回路, １７ フレームメモリ, ３１ 画素, ４１ ADC
, ４２ メモリ, ８１ PU, ８２ CCU, ８３ IMEM, １０１ CU
, １０２ PE, ２０１ 第１の半導体基板, ２０２ 第２の半導体基
板, ２０３ 第３の半導体基板, ３００ 撮像装置, ３０２ 固体撮
像装置

請求の範囲

- [請求項1] 複数の画素が2次元アレイ状に配置された画素アレイ部と、
前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、
AD変換後のデジタルの画素信号を保持するメモリと、
前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路と
を備え、
前記画像信号処理回路は、
所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をSIMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユニットと、
1個以上の演算処理命令を格納する命令メモリと、
前記演算処理ユニットを制御する中央制御ユニットと
を備える
固体撮像装置。
- [請求項2] 前記演算処理ユニットは、複数個の前記演算処理部を有する
請求項1に記載の固体撮像装置。
- [請求項3] 前記演算処理部は、複数画素に対して1個の割合で配置されている
請求項1に記載の固体撮像装置。
- [請求項4] 前記演算処理部は、1画素に対して1個の割合で配置されている
請求項1に記載の固体撮像装置。
- [請求項5] フレームメモリをさらに備え、
前記演算処理部は、前記フレームメモリに保持されているデータを用いて前記所定の演算処理を実行する
請求項1に記載の固体撮像装置。
- [請求項6] 複数の半導体基板の積層構造で構成された
請求項1に記載の固体撮像装置。

[請求項7] 複数の画素が2次元アレイ状に配置された画素アレイ部と、前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、AD変換後のデジタルの画素信号を保持するメモリと、前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路とを備え、前記画像信号処理回路は、所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をSIMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユニットと、1個以上の演算処理命令を格納する命令メモリと、前記演算処理ユニットを制御する中央制御ユニットとを備える固体撮像装置の、

前記中央制御ユニットが、前記演算処理ユニットに行わせる処理を決定し、

前記コントロールユニットが、前記中央制御ユニットの制御に従い前記命令メモリから前記演算処理命令を取得して、前記演算処理部にSIMD形式で演算処理を実行させる

固体撮像装置の信号処理方法。

[請求項8] 複数の画素が2次元アレイ状に配置された画素アレイ部と、
前記画素アレイ部の前記画素が出力する画素信号をAD変換するAD変換部と、
AD変換後のデジタルの画素信号を保持するメモリと、
前記デジタルの画素信号に対して所定の信号処理を施す画像信号処理回路と
を備え、
前記画像信号処理回路は、

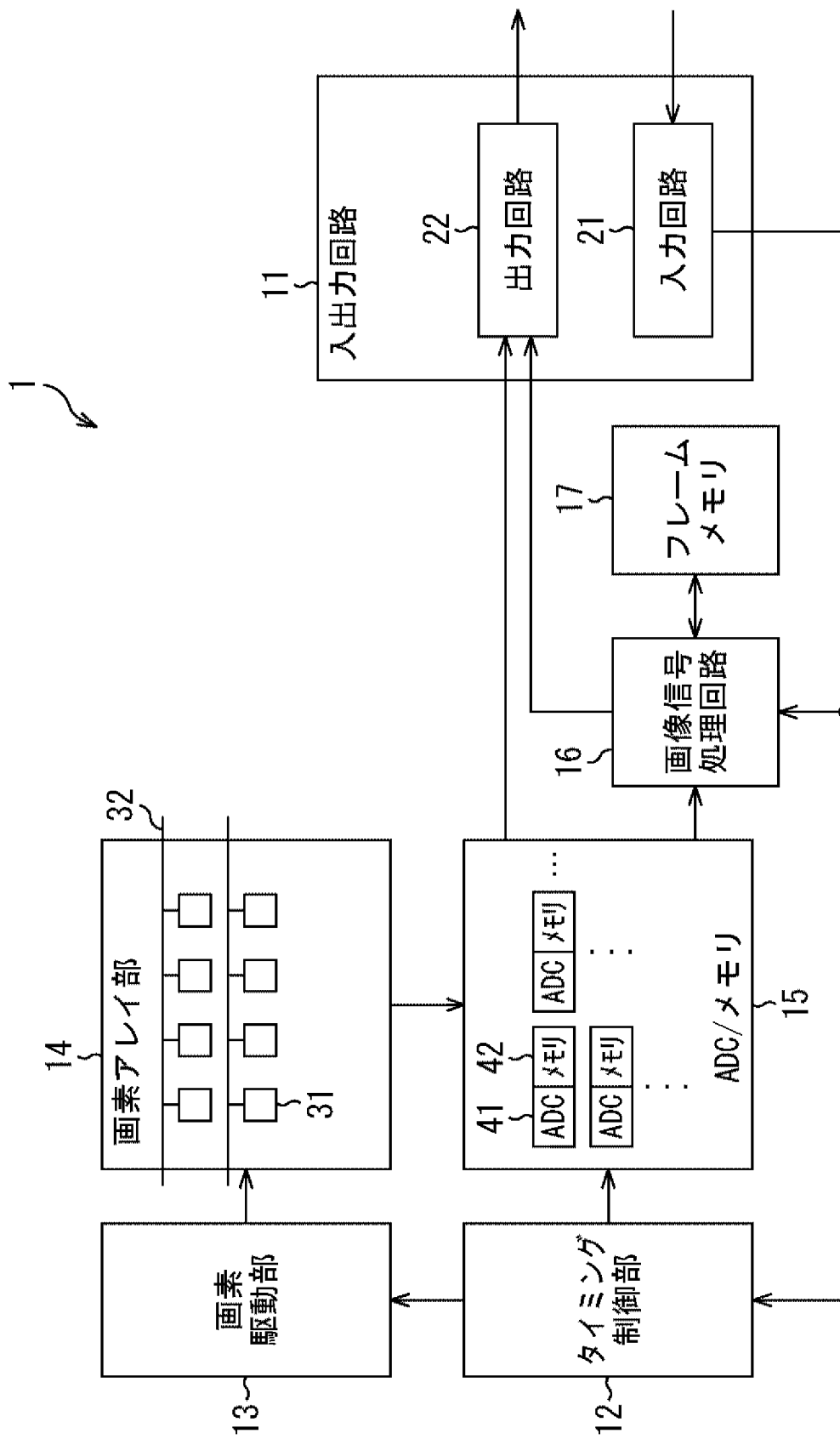
所定の演算処理を実行する1個以上の演算処理部と、前記演算処理部をSIMD形式で動作させるコントロールユニットとからなる2個以上の演算処理ユニットと、

1個以上の演算処理命令を格納する命令メモリと、

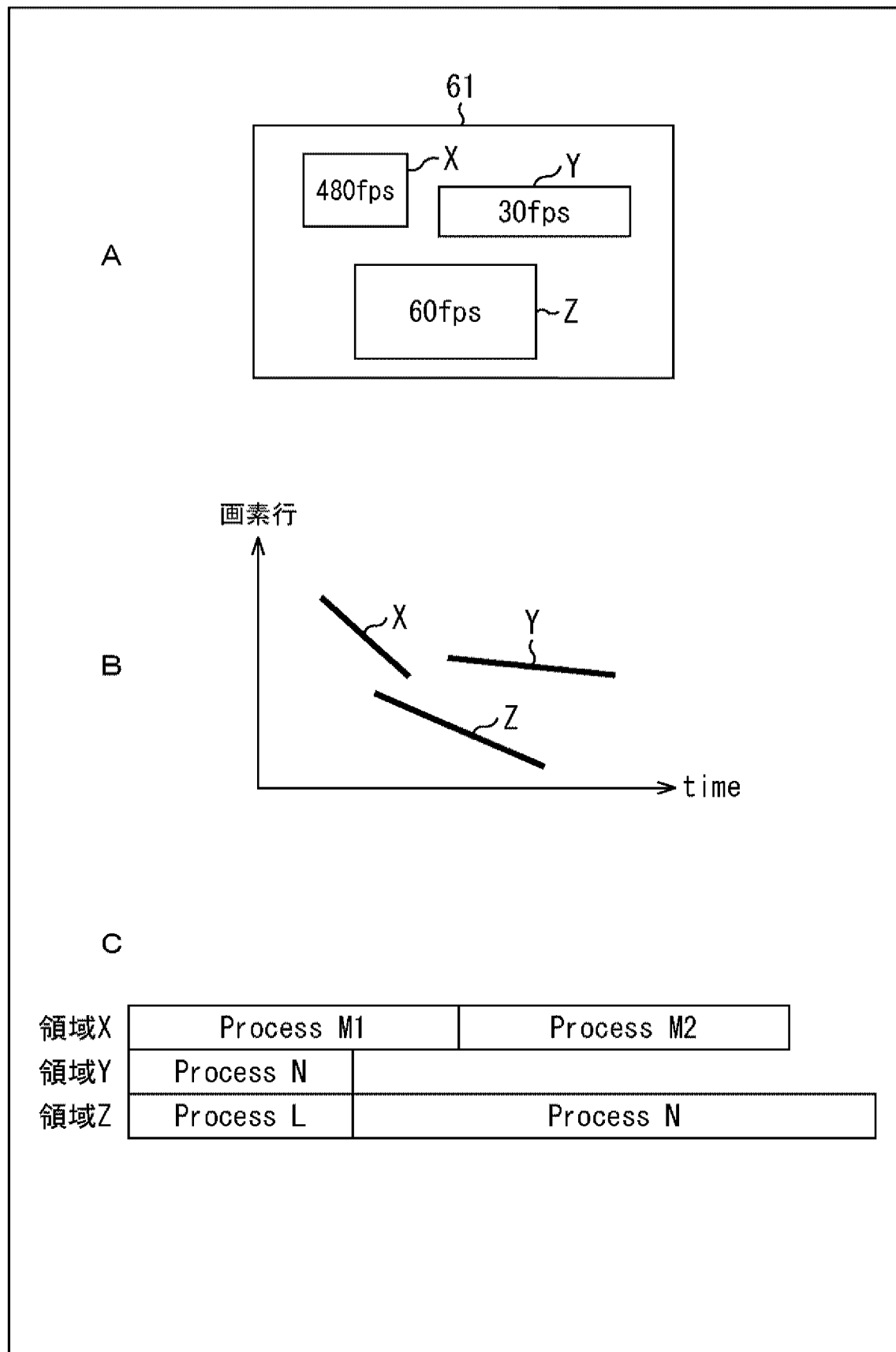
前記演算処理ユニットを制御する中央制御ユニットと

を備える固体撮像装置
を備える電子機器。

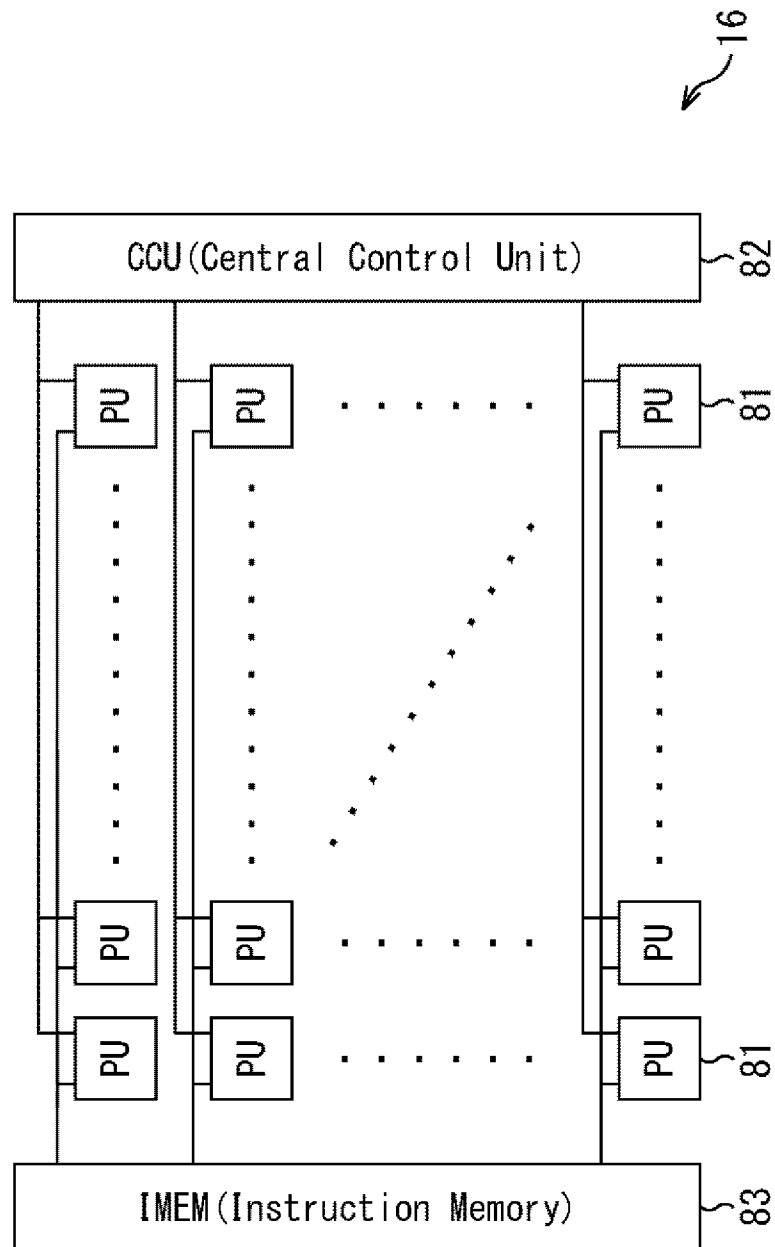
[図1]
FIG. 1



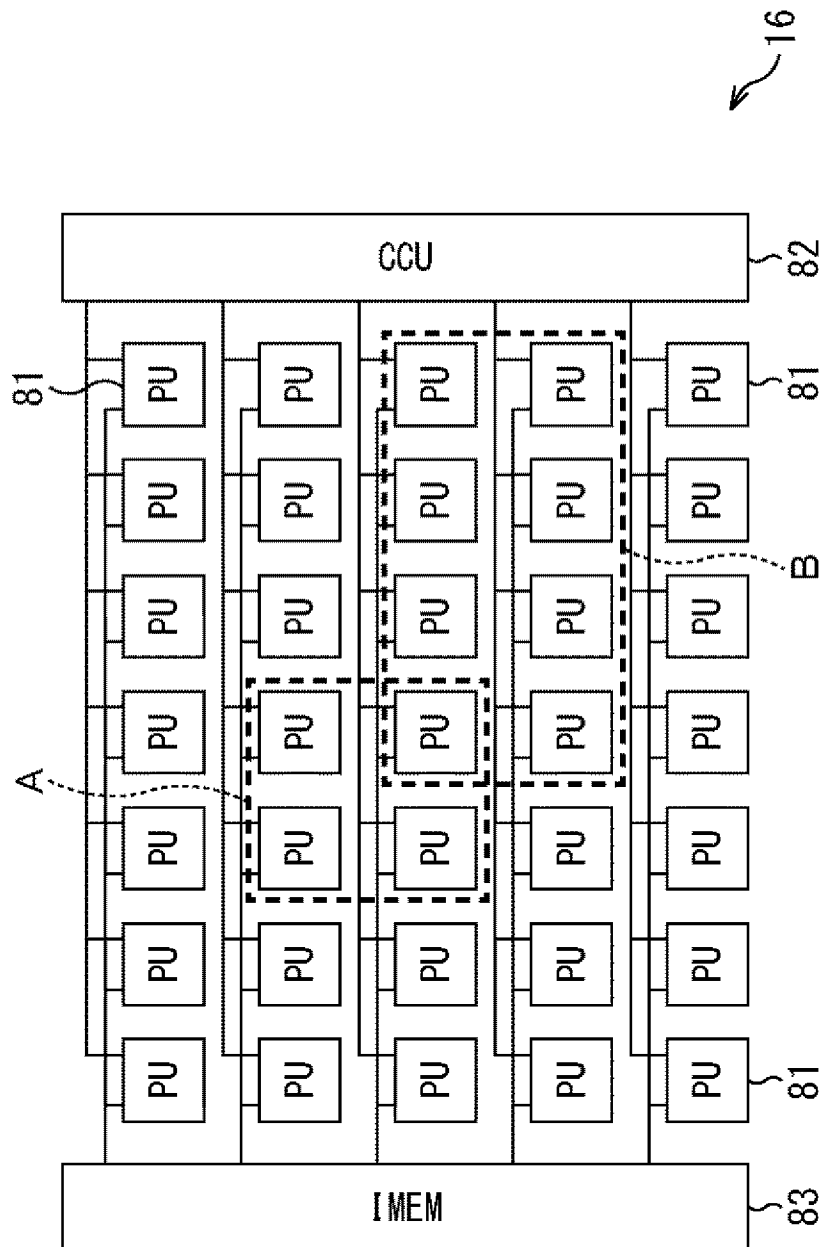
[図2]
FIG. 2



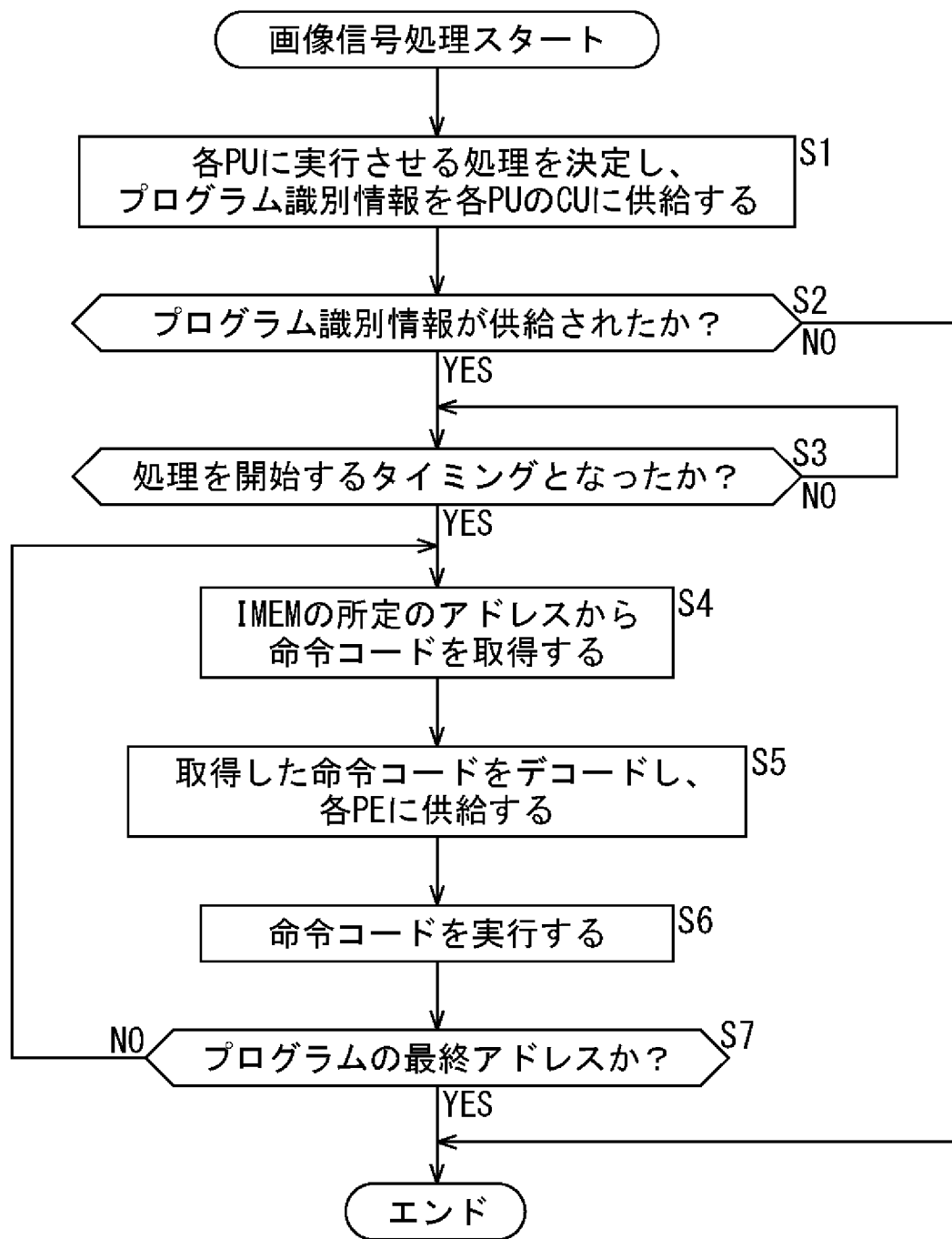
[図3]
FIG. 3

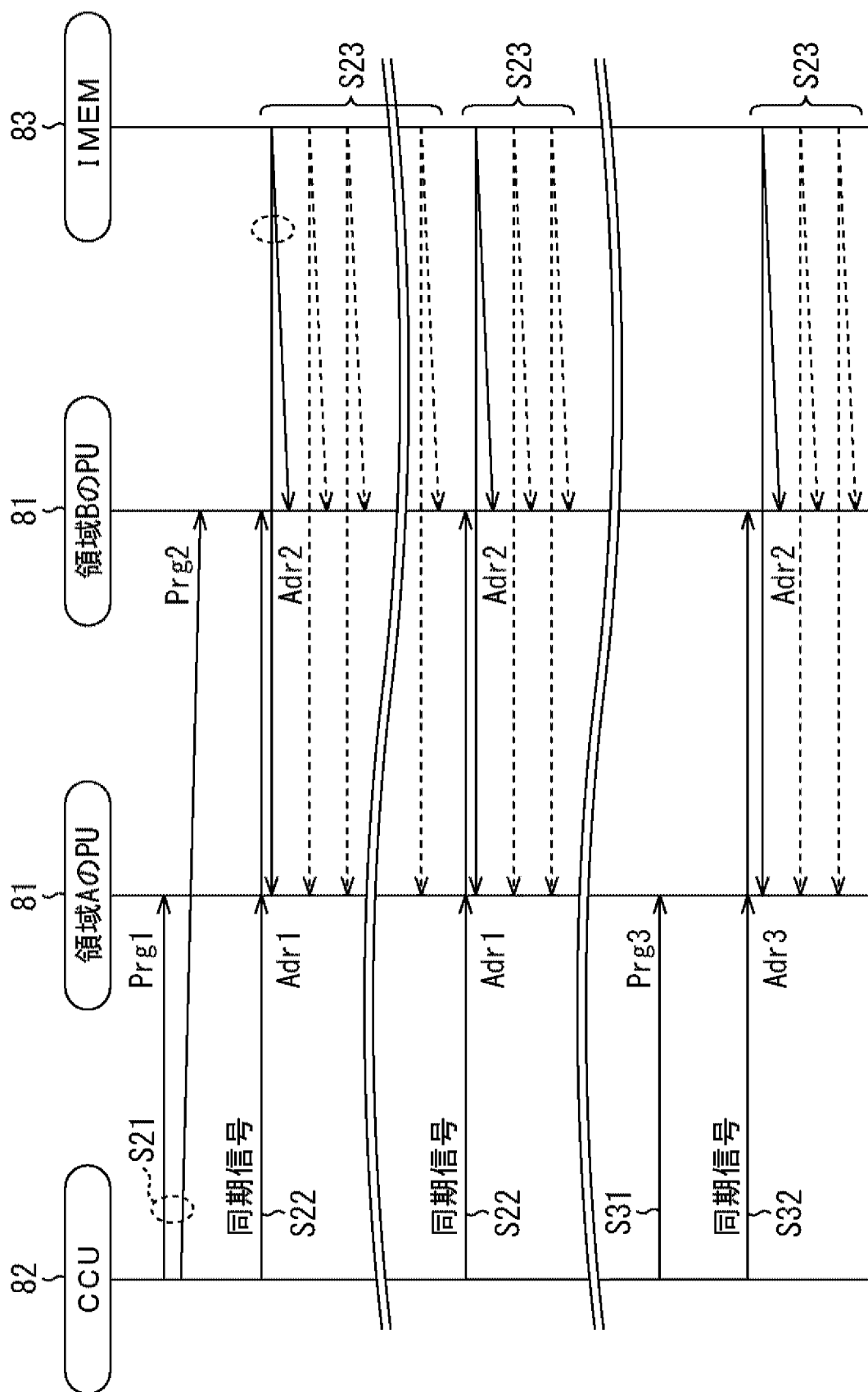


[図6]
FIG. 6

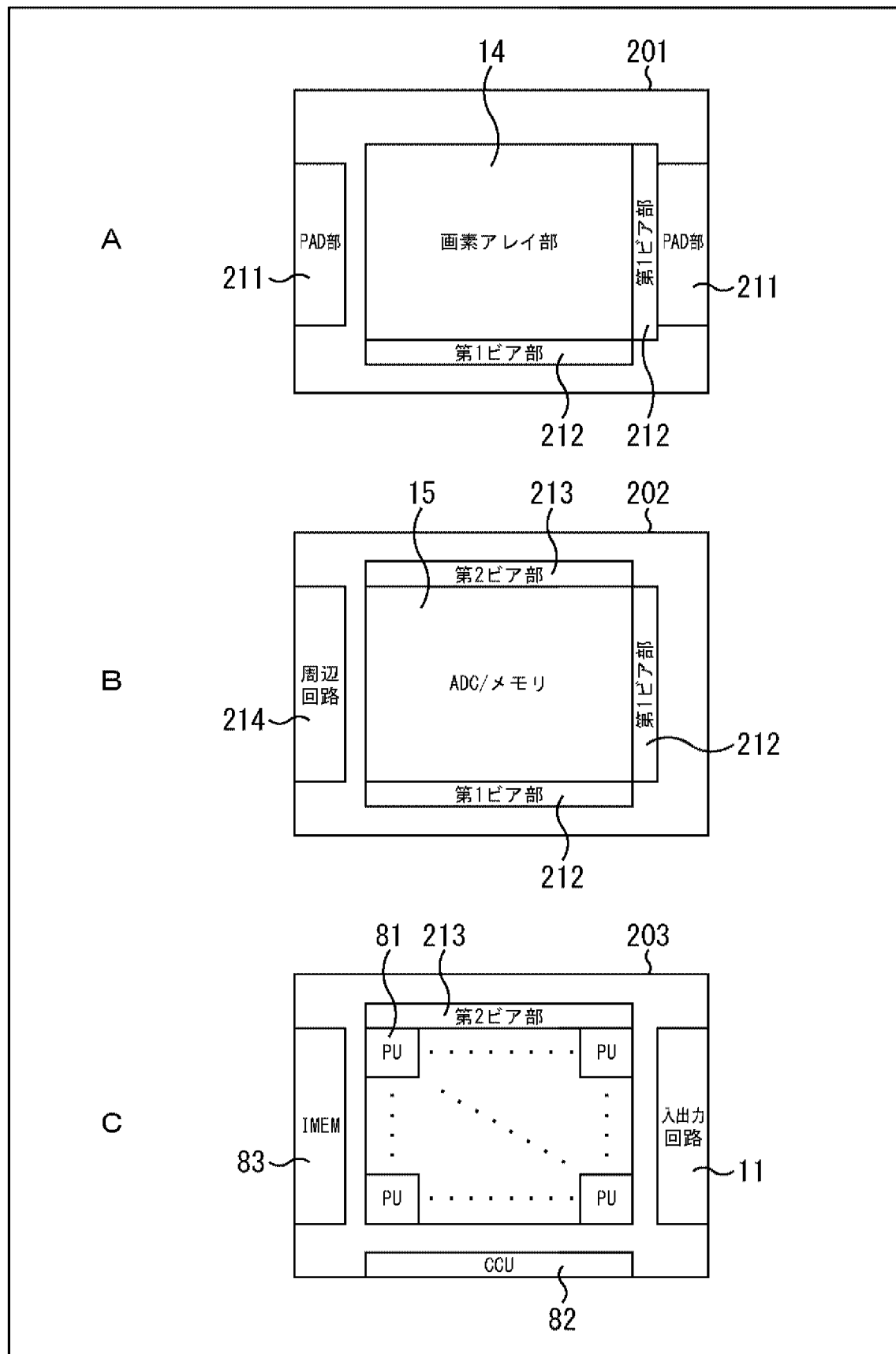


[図7]
FIG. 7

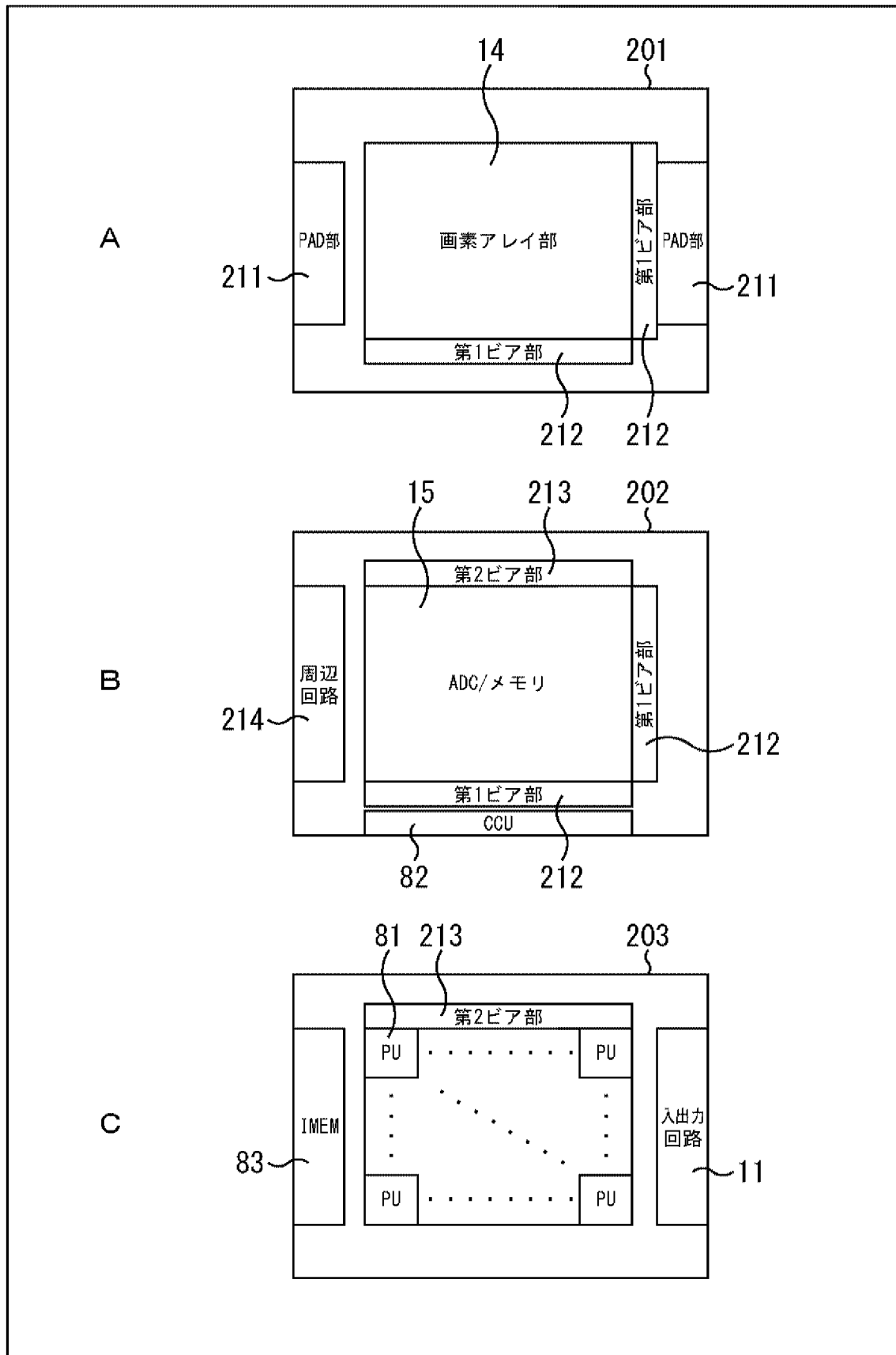


[図8]
FIG. 8

[図9]
FIG. 9



[図10]
FIG. 10



[図11]
FIG. 11

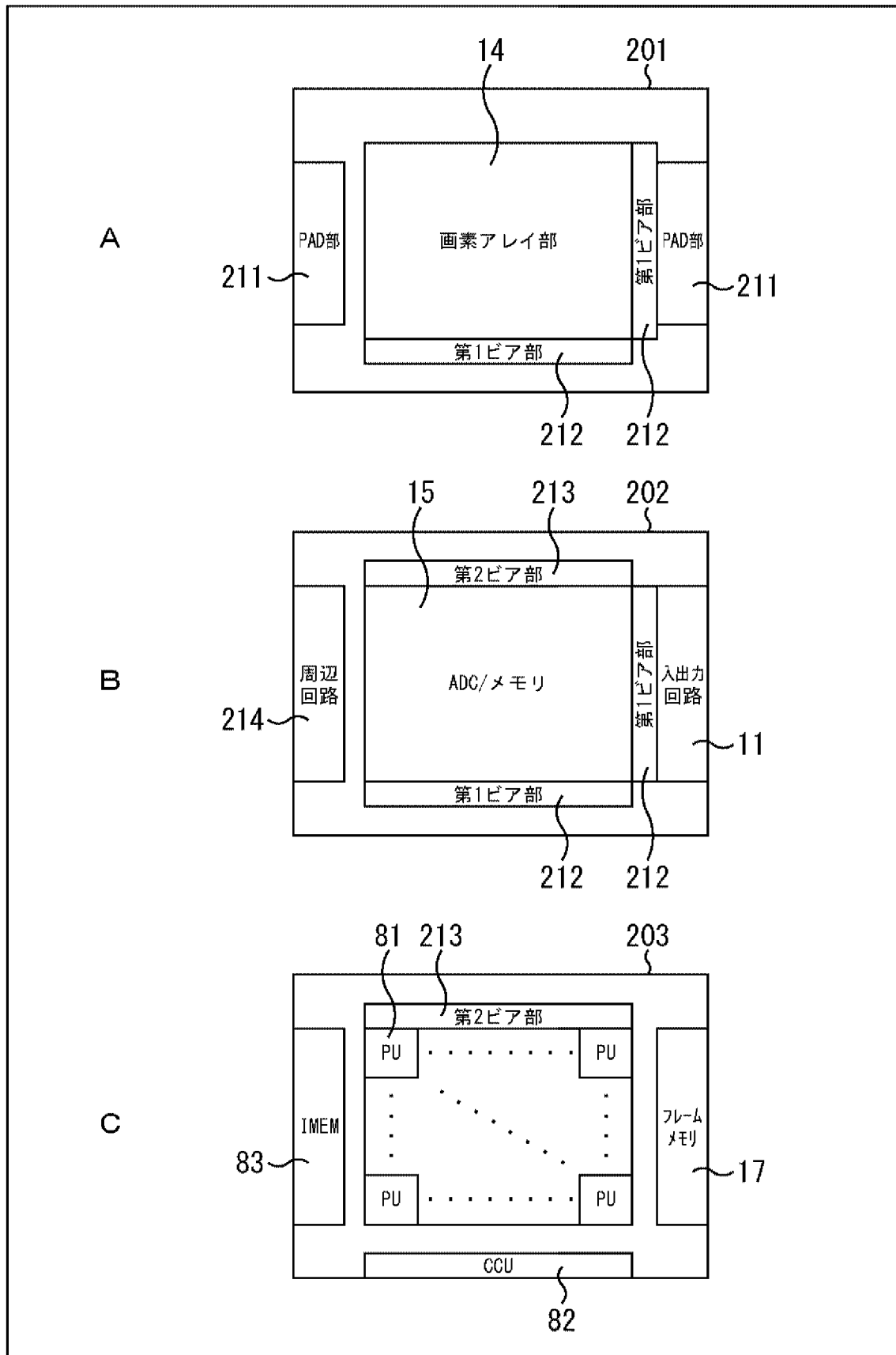


Figure 1 consists of three schematic diagrams labeled A, B, and C, illustrating different chip layouts. Each diagram shows a central functional area surrounded by peripheral components and pads.

- Diagram A:** Shows a central "画素アレイ部" (Pixel Array) surrounded by "PAD部" (Pad) on the left and right. The layout includes a "第1ビア部" (First Via) at the bottom and a "第2ビア部" (Second Via) on the right. Labels include 14, 201, 211, 212, and 213.
- Diagram B:** Shows a central "ADC/メモリ" (ADC/Memory) and "CCU" (Control Unit) surrounded by "周辺回路" (Peripheral Circuit) on the left and "入出力回路" (Input/Output Circuit) on the right. The layout includes a "第1ビア部" (First Via) at the bottom and a "第2ビア部" (Second Via) on the right. Labels include 15, 213, 202, 214, 82, 212, and 213.
- Diagram C:** Shows a central area with "PU" (Processing Unit) and "第2ビア部" (Second Via) surrounded by "IMEM" (Image Memory) on the left and "フレームメモリ" (Frame Memory) on the right. The layout includes a "第1ビア部" (First Via) at the bottom and a "第2ビア部" (Second Via) on the right. Labels include 81, 213, 203, 83, and 17.

C

81 213 203

第2ビタ部

PU PU

.

.

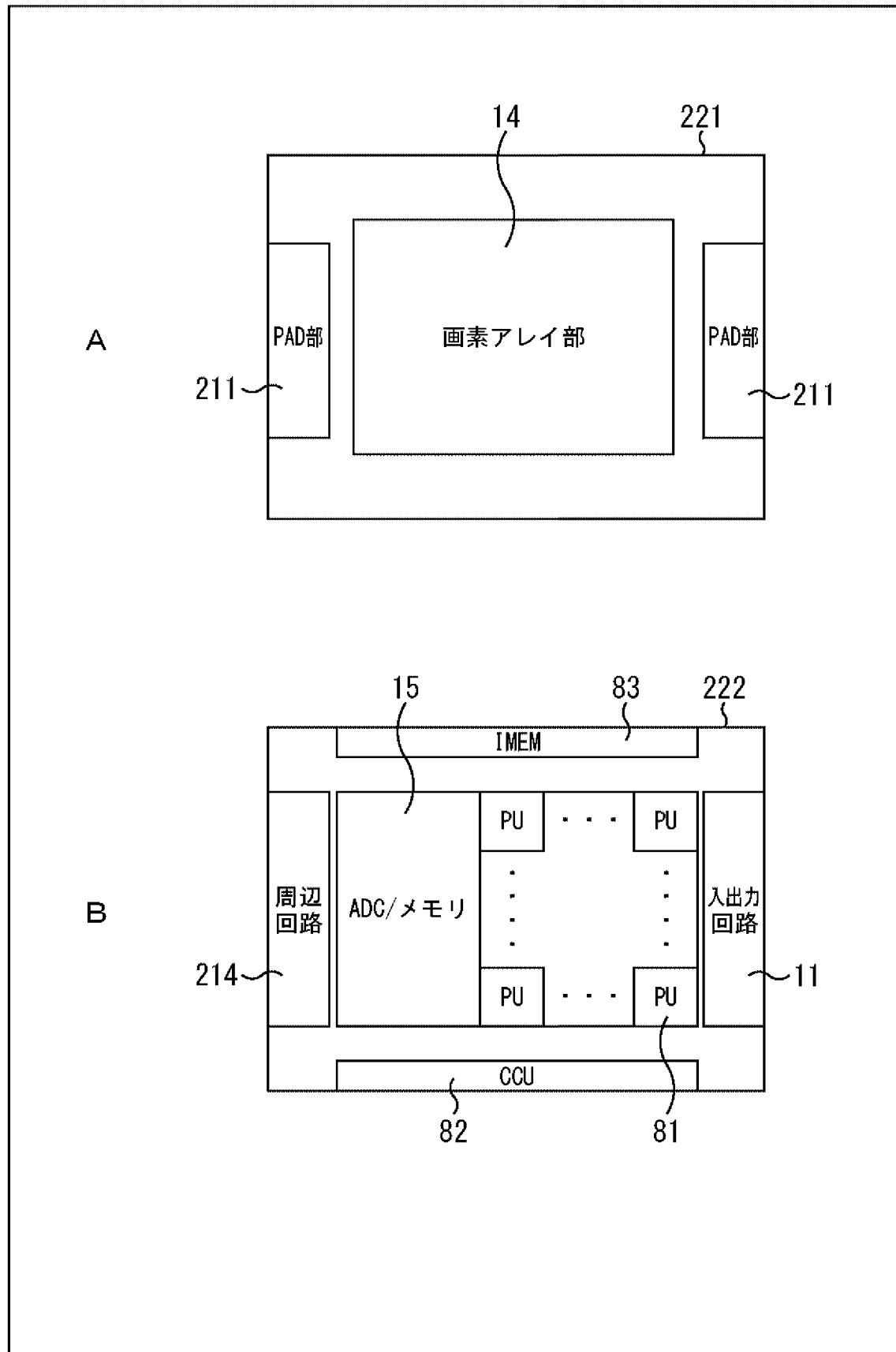
PU PU

IMEM

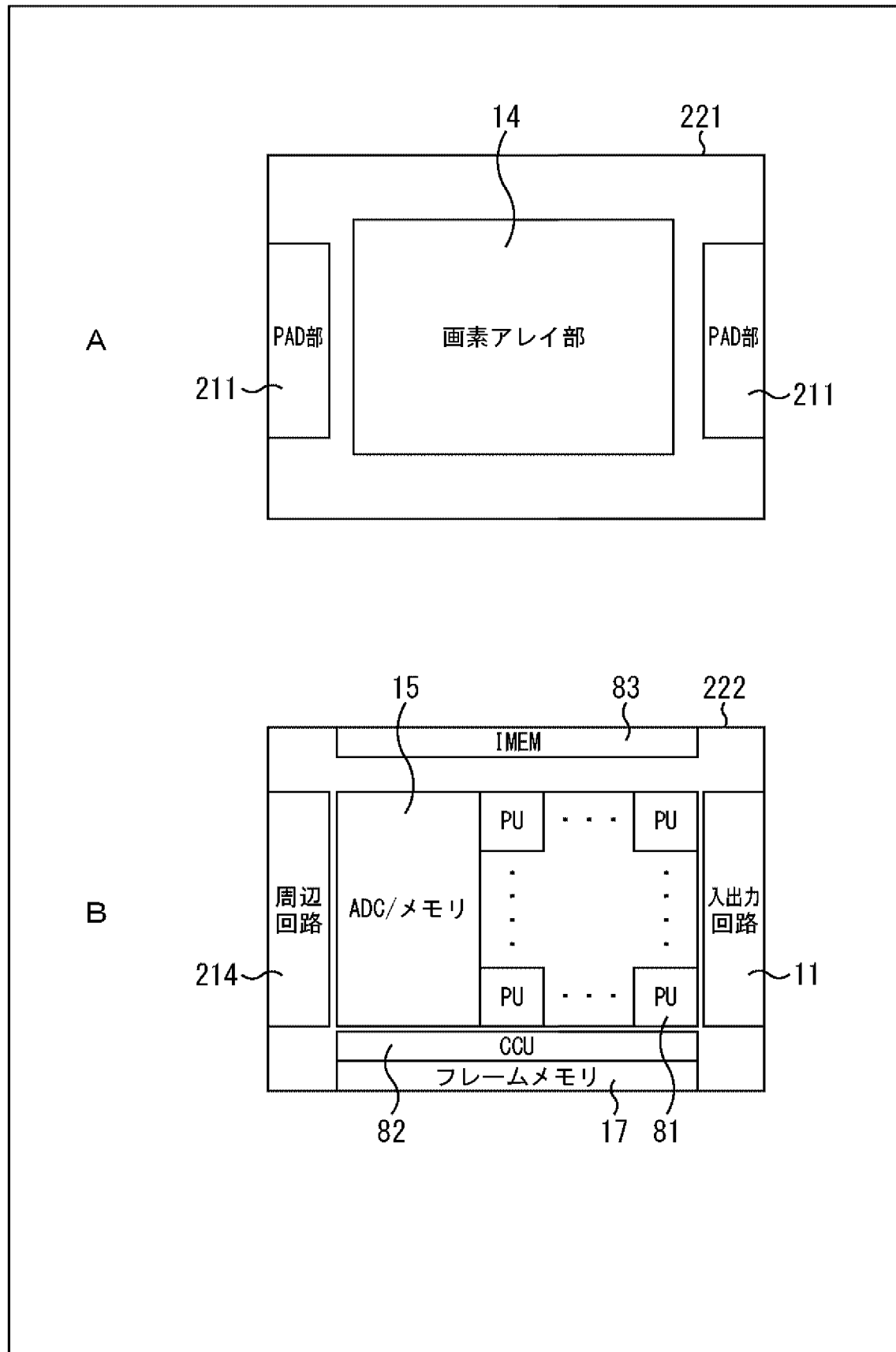
フレームメモリ

83 17

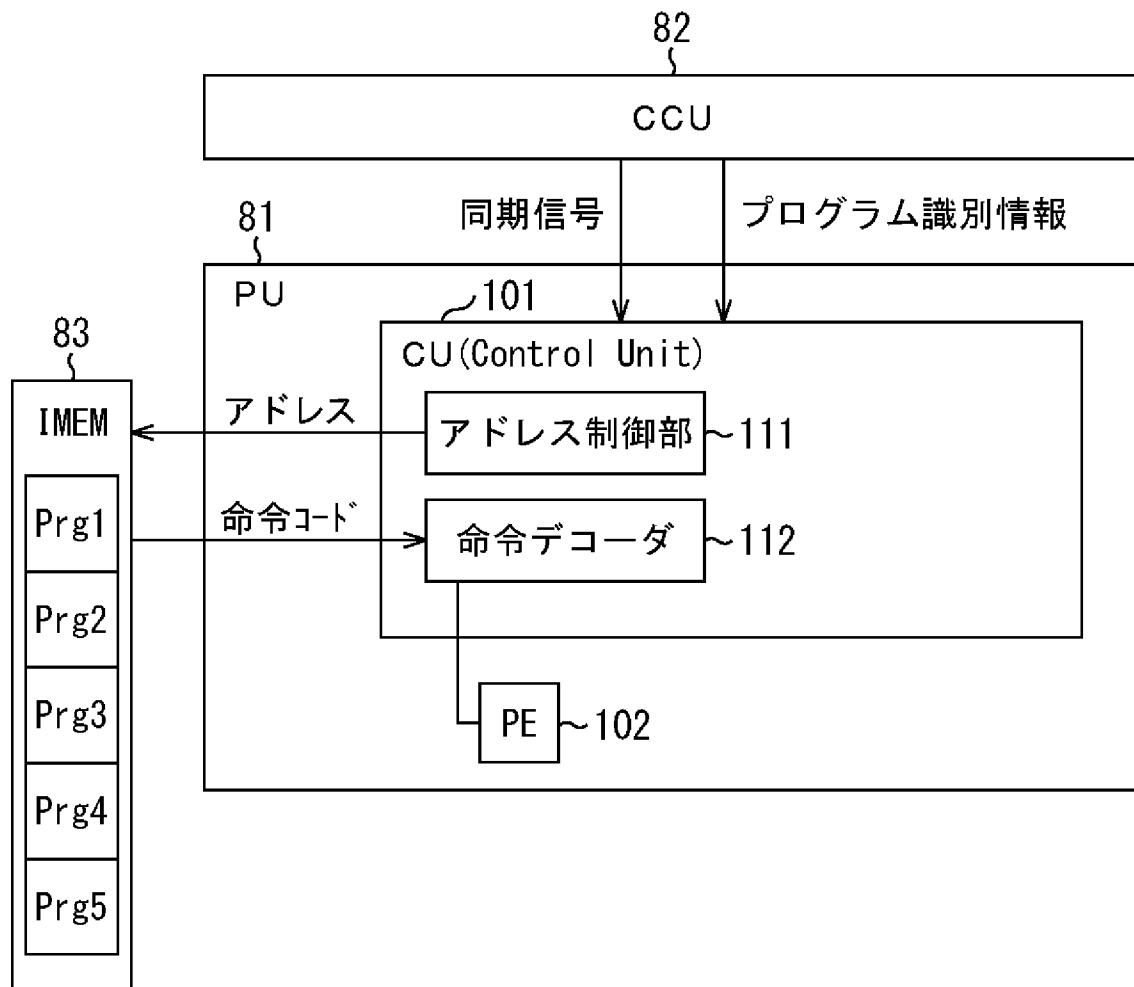
[図13]
FIG. 13



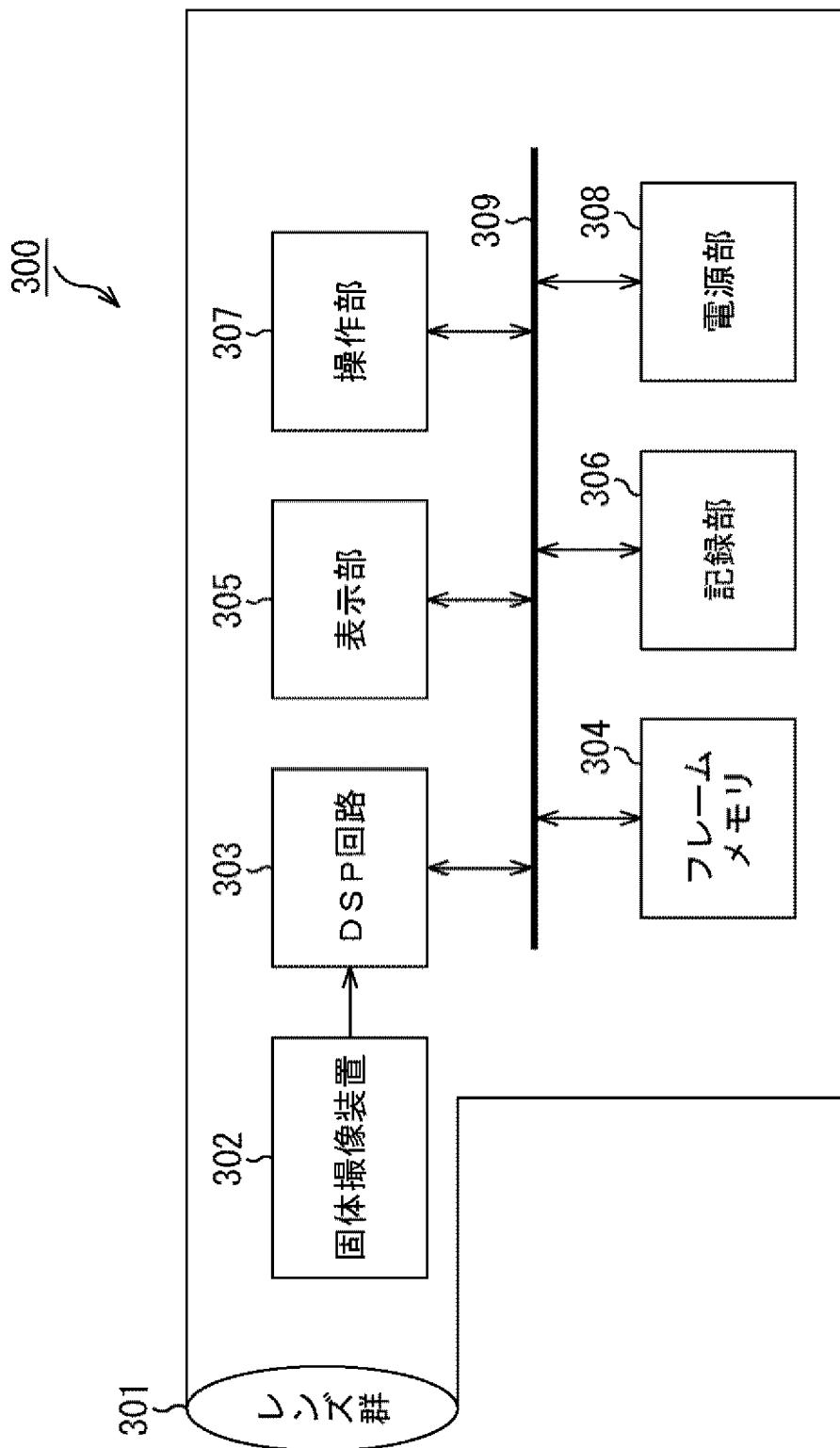
[図14]
FIG. 14



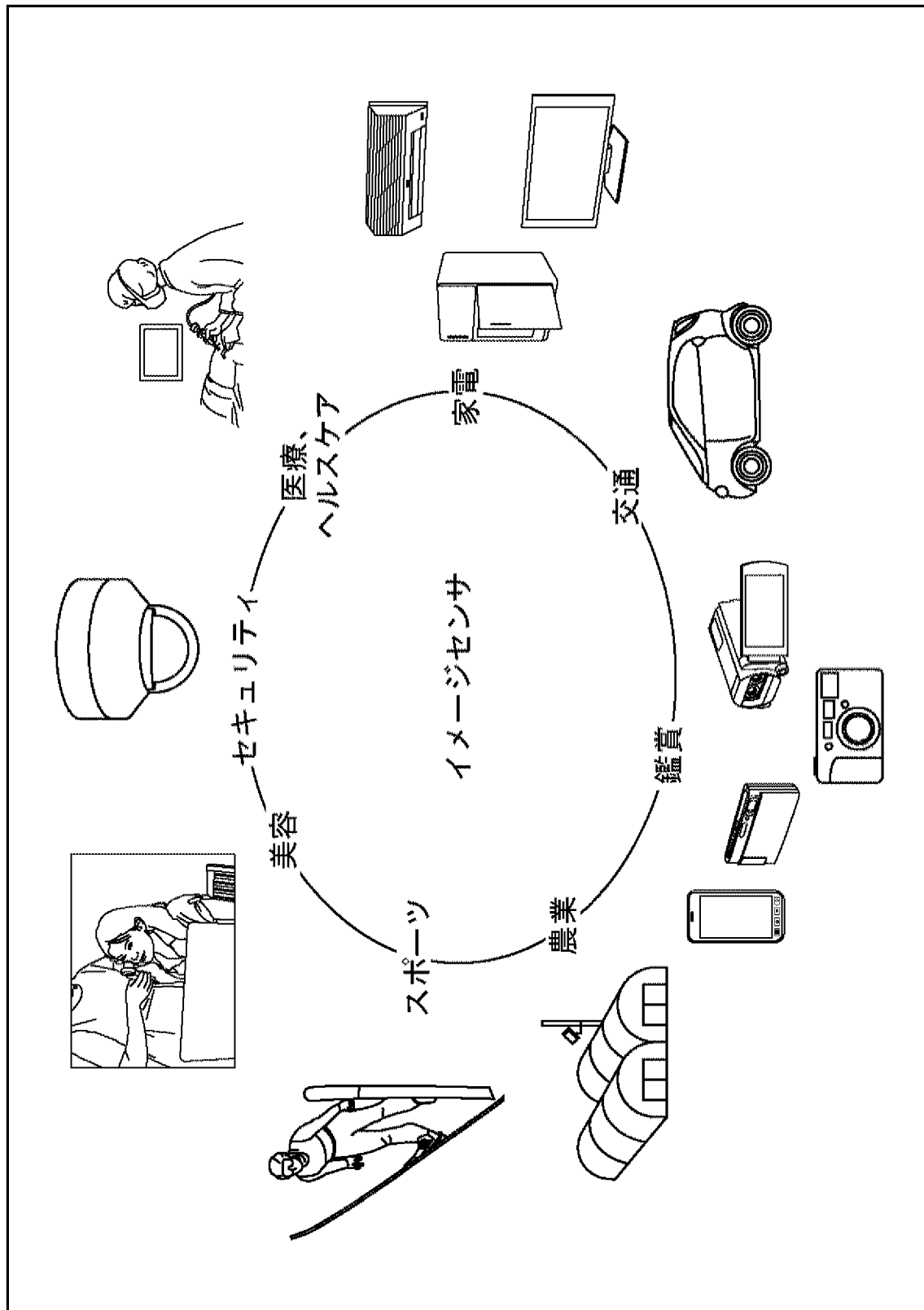
[図15]
FIG. 15



[図16]
FIG. 16



[図17]
FIG. 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/037476

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, G06T1/20 (2006.01) i, H01L27/146 (2006.01) i,
H04N5/341 (2011.01) i, H04N5/374 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, G06T1/20, H01L27/146, H04N5/341, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2006/123822 A1 (SONY CORP.) 23 November 2006, paragraphs [0016], [0022], [0027]-[0042], fig. 3, 4 & US 2009/0006773 A1, paragraphs [0111], [0123], [0135]-[0183], fig. 3, 4 & EP 1883045 A1 & CN 1993709 A & KR 10-2008-0010377 A	1-3, 5, 7, 8 4, 6
Y	JP 2002-094886 A (HAMAMATSU PHOTONICS KABUSHIKI KAISHA) 29 March 2002, paragraphs [0026], [0027] (Family: none)	4
Y	WO 2014/007004 A1 (SONY CORP.) 09 January 2014, paragraphs [0031]-[0035] & US 2015/0163403 A1, paragraphs [0073]-[0074] & EP 2871835 A1 & CN 104429057 A & KR 10-2015-0035722 A	6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 December 2017 (04.12.2017)

Date of mailing of the international search report
19 December 2017 (19.12.2017)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/378(2011.01)i, G06T1/20(2006.01)i, H01L27/146(2006.01)i, H04N5/341(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/378, G06T1/20, H01L27/146, H04N5/341, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2006/123822 A1 (ソニー株式会社) 2006.11.23, 段落[0016], [0022], [0027]-[0042], 図3, 4 & US 2009/0006773 A1, 段落[0111], [0123], [0135]-[0183], 図3, 4 & EP 1883045 A1 & CN 1993709 A & KR 10-2008-0010377 A	1-3, 5, 7, 8 4, 6
Y	JP 2002-094886 A (浜松ホトニクス株式会社) 2002.03.29, 段落[0026], [0027] (ファミリーなし)	4

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

04.12.2017

国際調査報告の発送日

19.12.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大西 宏

5 P

6308

電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2014/007004 A1 (ソニー株式会社) 2014.01.09, 段落[0031]-[0035] & US 2015/0163403 A1, 段落[0073]-[0074] & EP 2871835 A1 & CN 104429057 A & KR 10-2015-0035722 A	6