

公告本

申請日期	90. 6. 22
案 號	90 1 15 1 85
類 別	H01L ²¹ /76

A4
C4

502377

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	與聚合材料之粘著力增強之半導體裝置保護外層及其製法
	英 文	SEMICONDUCTOR DEVICE PROTECTIVE OVERCOAT WITH ENHANCED ADHESION TO POLYMERIC MATERIALS AND METHOD OF FABRICATION
二、發明 人	姓 名	1. 史萊藍 Leland S. Swanson 2. 喬依莎 Elizabeth G. Jacobs
	國 籍	1.-2. 皆為美國
住、居所		1. 美國德州米奇倪市米度瑞區 4811 號 4811 Meadow Ridge Circle, McKinney, Texas 75070, USA
		2. 美國德州里察登市里格梅路 314 號 314 Ridgeview Drive, Richardson, Texas 75080, USA
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路 7839 號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251, U.S.A.
	代 表 人 姓 名	康威廉 (William B. Kempner)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期：
西元2000年6月22日 案號： 60/213,300 ， 有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明領域】

本發明一般而言係關於一種半導體裝置，尤其關於積體電路上之保護外層。

【發明背景】

5 一般而言，積體電路(IC)係形成於半導體基板(通稱之晶片)上，而最普通的基板係由矽所構成。通常將矽晶片組合成封裝體，用以提供在晶片之輸入/輸出接點間之距離或間隔之有效擴大，而使其適於接合至印刷電路板，並用以保護 IC 使其免於機械與環境損壞。不幸的是，提供那種保護之封裝的意圖有時會促成裝置故障。此乃為具有某些表面安裝封裝外殼之 VLSI 晶片之情況，於其中在晶片與模製化合物間之界面較差的粘著力已導致剝離。由塑膠所吸收的濕氣與將封裝體焊接於印刷配線基板之快速加熱所導致之剝離界面之蒸汽壓力的快速增加，會導致如封裝龜裂、接合線破損、與其他伴生應力相關故障所顯現的故障。

近來半導體工業已引進小型之封裝尺寸，例如那些具有面積陣列格式與輸入與輸出(I/O)接點之更典型地周邊附著至模塑塑膠封裝中之導線架中之封裝。這些面積陣列元件係為晶片級封裝(CSP)(圖 1 所示之一例)、配線接合或覆晶球柵陣列(BGA)封裝、與直接晶片接合(DCA)，其中無須使用中間封裝體而可將晶片直接裝設至印刷電路板。這些面積陣列元件常常具有複數個焊接隆起部或球體 11，這些球體 11 係藉由使焊料從晶片之輸入/輸出(I/O)接

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(>)

點回流至基板或印刷電路(PC)板而連接，用以完成電性與機械連接兩者。因為矽晶片 10 之材料與基板或 PC 板 12 具有不同的熱膨脹係數(CTE)，所以應力係被導入在剛性、較低 CTE 之晶片與更柔性、較高 CTE 之 PC 板之間 5 的焊接處中。由熱膨脹失配所導致的應力，係在焊料回流期間產生，及/或在到達 IC 之電力開始與結束循環時產生。這些應力經常導致一個或更多的焊接點之機械故障，並從而導致產品之電性故障。

在減輕焊料疲乏故障與在較大區域中分配熱感應生成 10 應力之嘗試中，係以液體形式導入聚合填料或"底部填充(underfill)"封閉劑 15，用以包圍焊球 11，並用以填滿在晶片或 CSP 10 與 PC 板 12 之間的模穴。一般而言，底部填充係分配成靠近晶片邊緣，並藉由毛細管作用而在晶片下與焊球周圍流動。"底部填充"係經由時間、溫度、紫外 15 線照射，或其某些組合而硬化成剛體形式。

"底部填充"製程具有一些缺點，包含但並未受限於下述缺點：可導致區域化應力集中之被截留在裝置下之氣孔或孔洞 16；與一個或更多遭遇表面之較差的底部填充之粘著力；以及冗長而乏味且耗時的製程。黏性底部填充物 20 (最通常的是具有無機填料之環氧樹脂)係有系統並緩慢地被導入，意圖克服晶片下之孔洞形成，而孔洞之形成係由於與晶片上、基板表面及/或焊接隆起部之保護外層之較差潤濕所產生。

在材料表面間之粘著力與較差潤濕之效應已長期受到

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(3)

研究；控制因子係被認定為潔淨度、表面張力、表面狀態與黏合物之化學特性。

多數半導體晶片製造商所選擇的晶片保護層或保護外層(PO)係為氮化矽，主要是因為已顯示出氮化矽能將優越的電阻提供給機動離子與污染物之入口。然而，氮化矽並不提供活性部位以供粘著與潤濕，並受到可導致龜裂與剝離之應力水準。應力係隨著沈積技術改變，而共同試圖用以控制應力量，並用以提供壓縮力量以避免晶片性能與可靠度之退化。

10 因為氮化矽保護外層之這些缺點，晶片製造商經常被迫使用在保護外層上面的聚醯亞胺之圖案化薄膜。圖 2a 與 2b 顯示晶片 20 上之聚醯亞胺薄膜 22。聚醯亞胺薄膜 22 係被塗敷以嘗試提供與使用於半導體封裝(例如圖 2b 之習知引線塑膠模塑封裝中之模製化合物 26)之聚合物之增進的粘著力，或與其他型式之封裝的底部填充或封裝化合物(potting compound)之增進的粘著力。聚醯亞胺 22 係在氮化矽或其他薄膜 PO (21)上面被塗敷與圖案化。

20 圖 2a 提供具有覆蓋保護外層 21 而被圖案化之聚醯亞胺薄膜 22 的晶片 20 之表面狀態之更詳細視圖。關於粘著力，如果聚醯亞胺薄膜厚得足以留下光滑平坦的表面，則聚醯亞胺薄膜可能具有負面效應。薄的氮化矽保護外層 21 順從晶片電路 24 之外形，但較厚的聚醯亞胺 22 會軟化外形而形成更平的平面；這種平坦表面在理想上並非適合於最佳的粘著力。

五、發明說明(4)

又，當聚醯亞胺薄膜之彈性模數高於典型的無機薄膜時，與較高熱膨脹連接之厚薄膜確實在晶圓上導致應力，這可導致彎曲及/或剝離。例如聚醯亞胺之有機薄膜不具有需要的高熱穩定度，也不具有無機薄膜之較大的熱傳導係數。

聚醯亞胺前體係以液體形式被塗敷至晶圓，此晶圓事先已備有粘著力促進劑，或具有這種包含於聚醯亞胺成分之化合物之表面。接著，聚醯亞胺必須受到光刻圖案化。聚醯亞胺成分可包含感光劑，感光劑允許直接圖案化，或如果不允許的話，則需要單獨的光阻步驟。接著，薄膜會被硬化或藉由熱處理而相交連結。聚醯亞胺不但是很昂貴的化合物，而且製程很耗時、昂貴，且可能消極地影響到晶圓上之良好晶片之生產。

因此，在工業中存在有下述需求：可靠的晶片保護外層，其可輕易被潤濕並具有與例如模塑與底部填充物之聚合物之良好粘著力；添加少許應力至晶片電路上之外層；以及在晶圓處理上具成本效益之外層。

【發明之概述】

本發明之一個目的係用以提供可靠與成本效益之晶片保護外層，其具有層間之良好粘著力，並具有與使用於積體電路晶片之裝配的聚合材料之良好潤濕與粘著力。

本發明之一個目的係用以提供具有增強的粘著力之保護外層之製造方法，且此製造方法係利用既存的晶圓製造設備與材料。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

本發明之又一目的係用以提供熱穩定晶片保護外層，其只將小應力與可控制應力添加至有源電路與晶片上之金屬化合物。

5 本發明之一個目的係用以提供具有優越的擴散阻障特性之晶片保護外層。

本發明之又一目的係用以提供相較於聚合塗層而言具有增進的熱傳導係數之無機晶片保護外層。

10 本發明之目的係藉由將保護外層設置於包含下述材料順序之積體電路裝置上而達成：覆蓋有源電路與金屬化合物且範圍在 5,000 至 10,000 埃厚度內之氧化矽薄膜；大約 1,000 至 5,000 埃厚度之氮化矽、氮氧化物或碳化矽層；以及範圍在 500 至 5,000 埃厚度內之氧化矽之頂端粘著層。此種複合外層係藉由改變氣體成分與反應器中之製程變數(但無須額外之晶圓處理)，並藉由電漿輔助化學氣相
15 沈積至矽晶圓之上而製造出。輸入/輸出端子之開口部係在沈積的外層中受到光刻圖案化與蝕刻。

20 第一與第三層之二氧化矽產生作用以控制由氮化物所添加的應力，提供優越的介電特性，並允許外層間和與使用於半導體裝置之裝配的聚合物兩者之粘著力。第二層之氮化矽、碳化物或氮氧化膜被使用作為阻障以防止機動離子或污染物之進入。

本發明之上述與其他目的、特徵與優點將從本發明之較佳實施例之下述配合附圖之詳細說明而得以更清楚得到理解。

五、發明說明(6)

【圖式之簡單說明】

圖 1 係為具有底部填充封閉劑之晶片級封裝(習知技術)。

圖 2a 顯示具有覆蓋保護外層之聚醯亞胺粘著層之晶片表面(習知技術)。

圖 2b 係為以聚醯亞胺塗層包圍半導體裝置之引線塑膠封裝(習知技術)。

圖 3 顯示本發明之連續保護外層。

圖 4a-4d 顯示關於本發明之增強粘著力之保護外層之處理流程。

圖 5 係為在 PO 與底部填充材料之間具有增強粘著力之覆晶組合。

圖 6 係為本發明之模塑半導體裝置。

【發明之詳細說明】

圖 3 提供具有本發明之保護外層結構 31 的半導體晶片 30 之一部份的剖面圖。一些新特徵促進具有在保護外層的多重介電層間之良好粘著力之可靠、高性能裝置，並促進使用於封裝晶片之聚合材料。在圖 3 中，包含複數條金屬互連線 34 之裝置電路與複數個埋入結構 35，係由保護層或保護外層(PO) 31 所覆蓋，此保護外層(PO) 31 包含下述連續形成之薄膜層；二氧化矽膜 311，矽化合物(最好是氮化矽，或交互氮氧化矽或碳化物)之第二介電層 312，與二氧化矽 313 之非常薄的最後或最上層。這些層係被圖案化而形成複數個開口部，這些係為如外部接點或

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(7)

其他裝置需求(未顯示)所需之開口部。

介電材料層通常產生作用以在導體層間提供電性絕緣，並保護積體電路之下層結構以防止污染物。此外，即使任一層損壞(例如，因小龜裂之形成)時，連續層之提供亦能確實保護此裝置。因此，必須不允許有任何區域具有少於過度覆蓋層間之完美粘著力。

第一層 311 係為在 5,000 至 10,000 埃厚度範圍內的二氧化矽。二氧化矽一詞表示非嚴格化學計量的氧化矽，亦即， $Si[x]O[2-x]$ 。此層係用以減輕氮化矽或保護外層結構 31 之第二層兩者之應力，並用以為裝置電路提供所有優越的介電保護層。作為第一層 311 與第三層 313 之二氧化矽，係將粘著力提供給中間或阻障層 312。又，二氧化矽之第一層添加少許至沒有拉伸應力至電路或晶片之金屬化合物上，並用以隔絕從氮化矽層至下層電路之應力。

在一個較佳實施例中，氮化矽或阻障層 312 提供優越的保護以防止機動離子、濕氣與其他污染物，而其與氧化層 311、313 結合之阻障層 312 係等於現行技術之較厚的氮化物外層。在本發明中，1,000 至 5,000 埃之厚度係足以供阻障或第二層使用。

在第二實施例中，第二層之保護外層 312 係為氮氧化矽，而在另一第三實施例中，第二層係為碳化矽。氮氧化物最好是在需要選擇透光率之特定裝置型式中。吾人已經熟知碳化矽具有很高之熱傳導係數，並熟知 PO 層之碳化矽係用以將由橫越過晶片表面之電路所產生的局部熱能予

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

以擴大，並用以設置將遠離電路之熱傳輸至外界之裝置。目前已發展用以提供具有兩個優越阻障特徵之碳化矽薄膜之技術，且可藉由沈積參數而輕易地控制應力。

為第二或阻障層所挑選的矽化合物並未嚴格地表示化學計量的成分，但取而代之的是實質上包含規定化合物之混合物，以及如在工業範圍內所理解之混合物。

第三或最上面的氧化層係為與聚合物之外層之粘著力的關鍵。只有範圍在 500 至 5,000 埃內的非常薄的氧化層薄膜，才需要提供活性部位以供粘著至下層氮化物，並提供具有低表面張力之露出表面與活性部位以潤濕並粘著至聚合物和矽的氧化層，譬如使用於底部填充與塑膠模製化合物之環氧基樹脂。例如 Si-O_x ， Si-OH 與各種不同形式之矽甲烷反應生成物之氧化矽層，係被熟習本項技藝者認定為是供例如使用於底部填充與塑膠模製化合物之環氧基樹脂之聚合物用的粘著力促進劑(美國專利第 5,795,821 號與美國專利第 5,418,189 號)。

如以前所注意的，關於材料間之潤濕與粘著力之控制因子，係被認定為是潔淨度、表面張力、表面狀態與黏合物之化學特性。

從圖 3 中，吾人應可注意到薄膜增強粘著力之外層係遵循下層電路結構之表面狀態，藉以提供具有不規則紋理之露出表面。粘著力已長期被認定是因為與光滑之平坦表面相反的粗糙或紋理表面而增強。

粘著力增強的保護外層之一項顯著優點，係藉由相容

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(9)

於已知晶圓處理技術的製程與工業上所泛用之自動化所提供。圖 4a 至 4d 顯示用以製造外層 31(例如圖 3 所示之外層 31)之步驟。在圖 4a 中，具有圖案化的積體電路 44 且包含最上面的金屬互連層 45 之矽晶圓 40，係位於電漿輔助化學氣相沈積容室中。藉由使用以箭號 401 表示之標準 PETEOS(電漿增強的矽酸四乙脂)製程，可沈積 5,000 至 10,000 埃厚範圍內之氧化膜 411。在圖 4b 之更詳細視圖中，氣體源係利用以箭號 402 表示之 PECVD 製程而改變成包含矽甲烷與氮及/或氬，用以沈積 1,000 至 5,000 埃厚度範圍內之氮化矽 412 薄膜。氮源會被移除，而在圖 4c 中，氧化層 413 之最終薄層係藉由使用標準 PETEOS 製程 401 而添加。接著從容室中移除晶圓，並塗敷光阻 403 且進行光刻圖案化以暴露其他裝置所需之錐墊 48 及/或開口部。此圖案最好是藉由使用氣體乾式蝕刻製程 404 進行蝕刻，用以從其他裝置上之錐墊與開口部移除保護外層。或者，具有緩衝氫氟酸之濕蝕刻係可用以蝕刻 PO。

具有二氧化矽、氮氧化矽與二氧化矽之保護外層之裝置之第二實施例之製造與上述者之區別在於：氧係在第二層之沈積處理期間與氮、矽甲烷和氬一起被導入。氮氧化矽之製程係為工業上所周知之應用，尤其是針對 E-PROM 裝置。從上述製程來看，外層之第一與第三層的製程並未改變。

包含二氧化矽、碳化矽與二氧化矽之層的第三實施例之保護外層之製造，和第一實施例的區別在於：矽甲烷/

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(10)

甲烷、三甲基矽甲烷、四甲基矽甲烷或其他有機矽甲烷氣體係為氣體源，且氬(Ar)或氦(He)係作為載氣，以供第二層之碳化矽使用。又，藉由使用 PETEOS 製程，第一與第三層係含有二氧化矽。

5 沈積與圖案化之每一個製程係整個半導體工業所熟知的，而且設備亦受到廣泛之使用。結合的連續製程形成唯一 PO 結構(具有與使用於 IC 封裝零件之聚合物之增強的粘著力，和在薄膜層間之良好粘著力，並具有電路上之最小應力)，藉以提供堅固且低缺陷之晶片保護層。

10 連續外層之電漿輔助化學氣相沈積(PECVD)係藉由相繼地使分層薄膜沈積於單一容室中而消除過度的晶圓處理。採用電漿輔助化學氣相沈積之製程提供層間之潔淨且未受污染的表面，其乃為容室內之大氣控制的函數，從而促進多層間之粘著力。又，PECVD 係藉由無須處理之連續沈積，並藉由單一光刻圖案化步驟而充分運用處理周期時間以蝕刻開口部。

相較於既存的增強表面粘著力 PO 技術而言，本發明之完全無機外層不僅提供與封裝聚合物之增強的粘著力之裝置性能優點，而且具有很高的溫度穩定度(超過 450°C)，並具有增進的熱傳導係數。尤其，具有碳化矽之第二或阻障層之實施例可提供良好的熱傳導係數，並適合於高功率電路。

20 圖 5 顯示本發明之覆晶組合。具有二氧化矽 511、氮化矽 512 與二氧化矽 513 之相繼沈積的保護外層之積體電

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(II)

路裝置 50，係藉由使用焊球 51 而裝設至基板 52。聚合底部填充物 55 係與保護外層之氧化層表面 513 完全潤濕，且沒有由較差粘著力所產生的孔洞會出現在底部填充中。

替代實施例係顯示於圖 6(引線塑膠模塑封裝之剖面圖)中，其中本發明之多層保護外層 61 具有與模製化合物 65 之增強的粘著力。此種粘著力對於晶片 69 之角落尤其有利，而在該等角落處，塑膠之剝離可導致晶片金屬結構之剪切及/或接合線之軟化。

雖已對關於本發明之數個較佳實施例作說明，但其並非意圖將本發明之範疇限定於所提出之特定形式，反之，其意圖涵蓋由以下申請專利範圍所界定之可能包含在本發明之精神與範疇之內的替代物、變形例與等效設計。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(17)

【圖式之代號說明】

- | | | |
|----|------------------|-------------|
| | 10~矽晶片 | 11~焊球 |
| | 12~PC板 | 15~封閉劑 |
| | 16~氣孔或孔洞 | 20~晶片 |
| 5 | 21~保護外層 | 22~聚醯亞胺薄膜 |
| | 24~晶片電路 | 26~模製化合物 |
| | 30~半導體晶片 | 31~保護外層(PO) |
| | 34~金屬互連線 | 35~埋入結構 |
| | 40~矽晶圓 | 44~積體電路 |
| 10 | 45~金屬互連層 | 48~鉀墊 |
| | 50~積體電路裝置 | 51~焊球 |
| | 52~基板 | 55~聚合底部填充物 |
| | 61~多層保護外層 | 65~模製化合物 |
| | 69~晶片 | 311~第一層 |
| 15 | 312~阻障層 | 313~第三層 |
| | 401~標準 PETEOS 製程 | 403~光阻 |
| | 404~氣體乾式蝕刻製程 | 411~氧化膜 |
| | 412~氮化矽 | 413~氧化層 |
| | 511~二氧化矽 | 512~氮化矽 |
| 20 | 513~二氧化矽 | |

(請先閱讀背面之注意事項再填寫本頁)

訂
線

四、中文發明摘要(發明之名稱:)

與聚合材料之粘著力增強之半導體裝置保護外層及其製法

一種積體電路裝置，具有低應力、薄膜之保護外層，該保護外層具有與使用於封裝半導體裝置和在保護薄膜層
5 內的聚合材料兩者之增強的粘著力，此外層包含下述藉由 PECVD 製程而沈積之材料順序：二氧化矽薄膜，氮化矽層，氮氧化物或碳化矽，以及最上層之非常薄的氧化矽。

10

英文發明摘要(發明之名稱:)

SEMICONDUCTOR DEVICE PROTECTIVE OVERCOAT
WITH ENHANCED ADHESION TO POLYMERIC
MATERIALS AND METHOD OF FABRICATION

An integrated circuit device with a low stress, thin film, protective overcoat having enhanced adhesion both to polymeric materials used in packaging semiconductor devices, and within the passivating film layers, including the following sequence of materials deposited by PECVD processing: a thin film of silicon dioxide, a layer of silicon nitride, oxy-nitride or silicon carbide, and thin topmost layer of silicon oxide.

六、申請專利範圍

1. 一種具有增強粘著力的保護外層之積體電路，該外層包含下述薄膜層：

第一層，由二氧化矽構成；

第二層，由矽化合物構成，其係選自於由氮化矽、碳化矽、或氮氧化矽所組成之群組；以及

第三層，包含二氧化矽之非常薄的薄層。

2. 如申請專利範圍第 1 項所述之積體電路，其中該第一層之厚度係在 5,000 至 10,000 埃的範圍內。

3. 如申請專利範圍第 1 項所述之積體電路，其中該第二層之厚度係在 1,000 至 5,000 埃的範圍內。

4. 如申請專利範圍第 1 項所述之積體電路，其中該第三層之厚度係在 500 至 5,000 埃的範圍內。

5. 如申請專利範圍第 1 項所述之積體電路，其中該等層係藉由電漿增強的化學氣相沈積法而沈積。

6. 如申請專利範圍第 1 項所述之積體電路，其中該第三層具有與聚合物材料之強大的粘著力。

7. 如申請專利範圍第 1 項所述之積體電路，其中該外層係熱穩定至大於 450°C。

8. 如申請專利範圍第 1 項所述之積體電路，其中該保護外層係為對抗濕氣、機動離子與其他污染物進入之阻障。

9. 如申請專利範圍第 1 項所述之積體電路，其中該第一與第三氧化層具有與該第二介電層之強大的粘著力。

10. 一種保護薄膜，包含下述薄膜層：

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

第一層，由二氧化矽構成；

第二層，由矽化合物構成，其係選自於由氮化矽、氮氧化矽、或碳化矽所組成之群組。

11. 一種具有與聚合材料之粘著力增強之保護外層之覆晶半導體裝置，包含下述層：

積體電路，具有第一表面，該第一表面擁有有源電路及互連；

10 保護外層，被沈積並圖案化在該第一表面上面，該外層包含二氧化矽層、包括選自於由氮化矽、碳化矽、或氮氧化矽所組成之群組之矽的第二介電層之化合物、以及二氧化矽之薄層；

底部填充聚合物；以及

基板，具有複數個焊球接點。

12. 如申請專利範圍第 11 項所述之半導體裝置，其中該裝置係為 BGA 封裝。

13. 如申請專利範圍第 11 項所述之半導體裝置，其中該裝置係為 CSP。

14. 一種具有與聚合材料之粘著力增強之保護外層之引線表面安裝型半導體裝置，包含；

20 積體電路，具有第一表面與第二表面，該第一表面擁有有源電路及互連，該第二表面裝設至導線架；

保護外層，被沈積並圖案化在該第一表面上面，該外層包含二氧化矽層、包括選自於由氮化矽、碳化矽、或氮氧化矽所組成之群組之矽化合物之第二介電層、以及第三

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

六、申請專利範圍

層之二氧化矽；

複數條接合線，將晶片上之鐳墊連接至導線架；以及模製化合物，包含環氧聚合物，用以封裝該具有增強粘著力的保護外層之積體電路晶片、該等接合線與該導線

5 架之內部引線。

15. 一種形成半導體裝置之方法，該半導體裝置具有保護外層，該保護外層與使用於封裝並在該外層之層間的聚合材料兩者之粘著力增強，該方法包含下述步驟：

10 將包含已製成積體電路之一個或更多的半導體晶圓配置於電漿沈積反應器中；

在使用 PETEOS(電漿輔助四乙氧基矽烷)製程沈積二氧化矽層之前排空容室；

改變氣體供應以包含矽甲烷、氮與氫，使用 PECVD(電漿輔助化學氣相沈積)製程沈積氮化矽層；

15 改變氣體供應，使用 PETEOS 製程以沈積二氧化矽薄膜；以及

塗敷光阻，對鐳墊及/或其他開口部進行光刻圖案化，並使用乾蝕刻製程以蝕刻保護外層中之開口部。

20 16. 一種形成半導體裝置之方法，該半導體裝置具有保護外層，該保護外層與使用於封裝並在該外層之層間的聚合材料兩者之粘著力增強，該方法包含下述步驟：

將具有已製成積體電路之一個或更多的半導體晶圓配置於電漿沈積反應器中；

在使用 PETEOS(電漿輔助四乙氧基矽烷)製程沈積二

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

氧化矽層之前排空容室；

改變氣體供應以包含矽甲烷、氮、氧與氫，使用 PECVD (電漿輔助化學氣相沈積)製程沈積氮氧化矽層；

5 改變氣體供應，使用 PETEOS 製程以沈積二氧化矽薄膜；以及

塗敷光阻，對錫墊及/或其他開口部進行光刻圖案化，並使用乾蝕刻製程以蝕刻保護外層中之開口部。

17. 一種形成半導體裝置之方法，該半導體裝置具有保護外層，該保護外層與使用於封裝並在該外層之層間的
10 聚合材料兩者之粘著力增強，該方法包含下述步驟：

在使用 PETEOS(電漿輔助四乙氧基矽烷)製程沈積二氧化矽層之前排空容室；

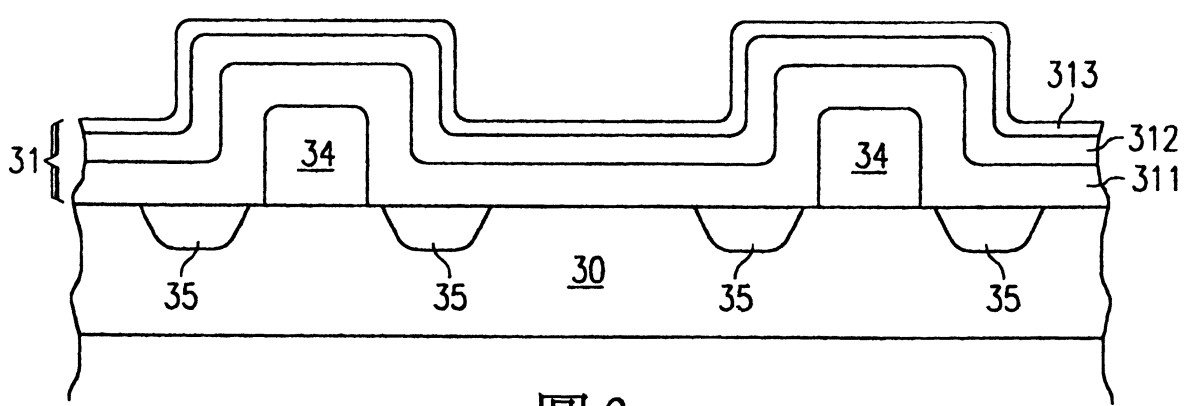
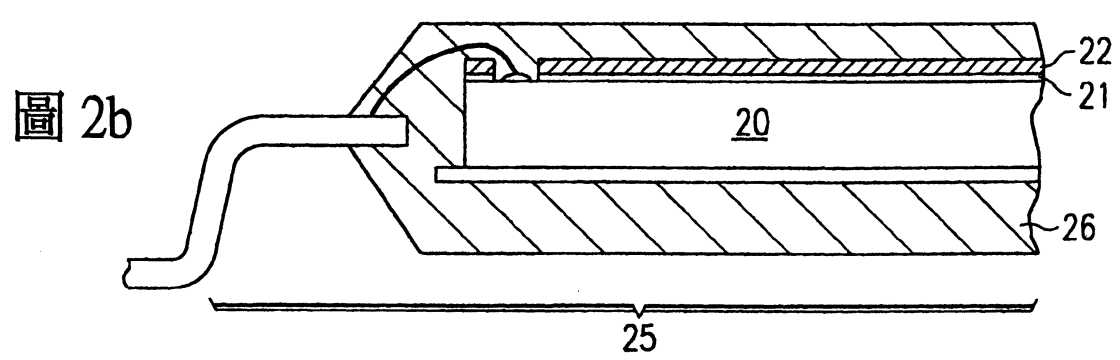
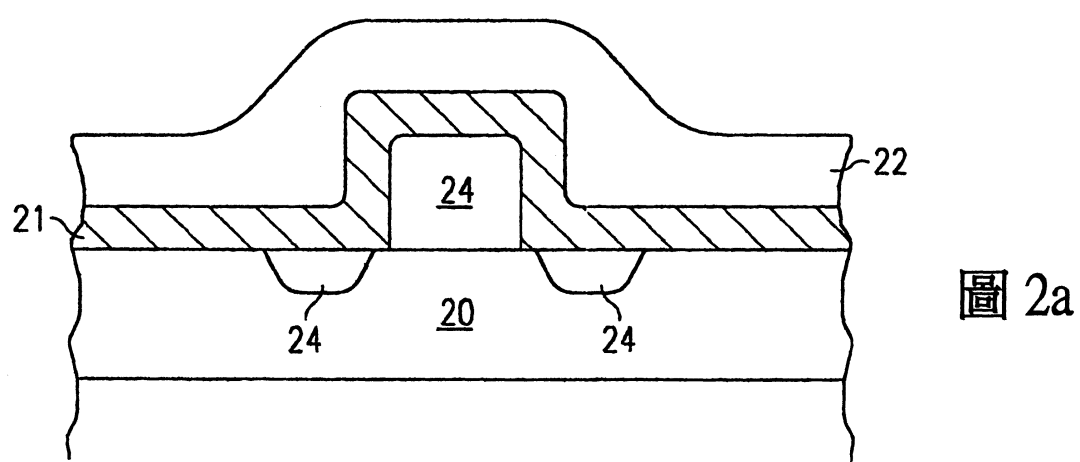
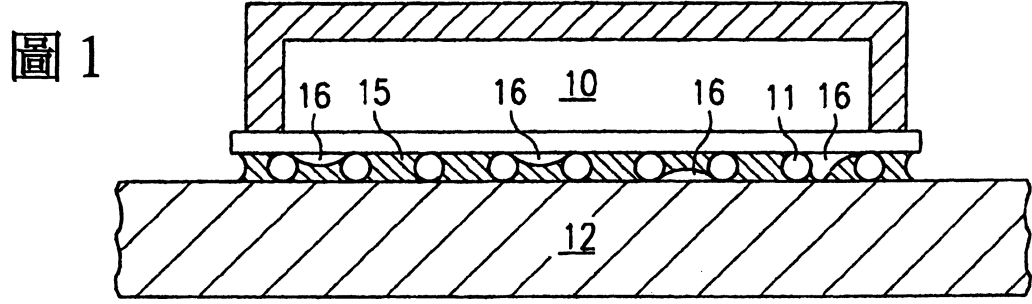
15 改變氣體供應以包含矽甲烷/甲烷，或例如三甲基或四甲基矽甲烷之有機矽甲烷，使用 PECVD (電漿輔助化學氣相沈積)製程沈積碳化矽層；

改變氣體供應，使用 PETEOS 製程以沈積二氧化矽薄膜；以及

塗敷光阻，對錫墊及/或其他開口部進行光刻圖案化，並使用乾蝕刻製程以蝕刻保護外層中之開口部。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線



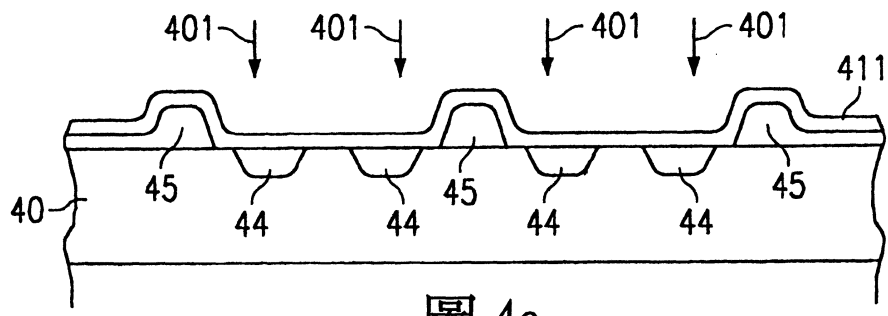


圖 4a

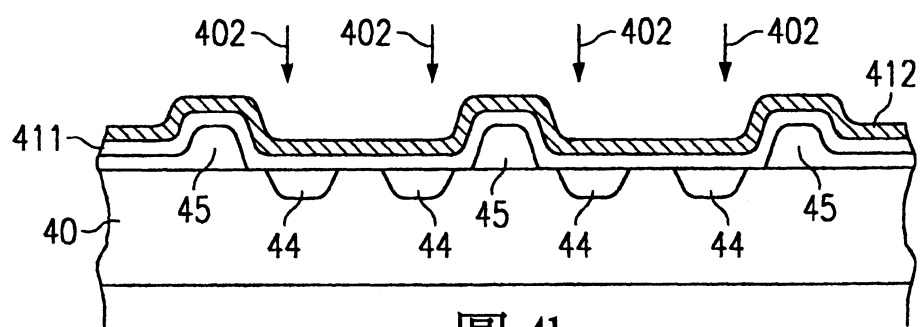


圖 4b

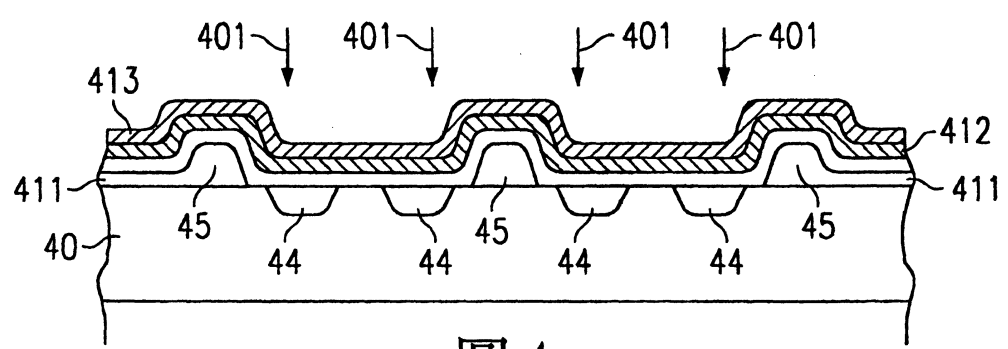


圖 4c

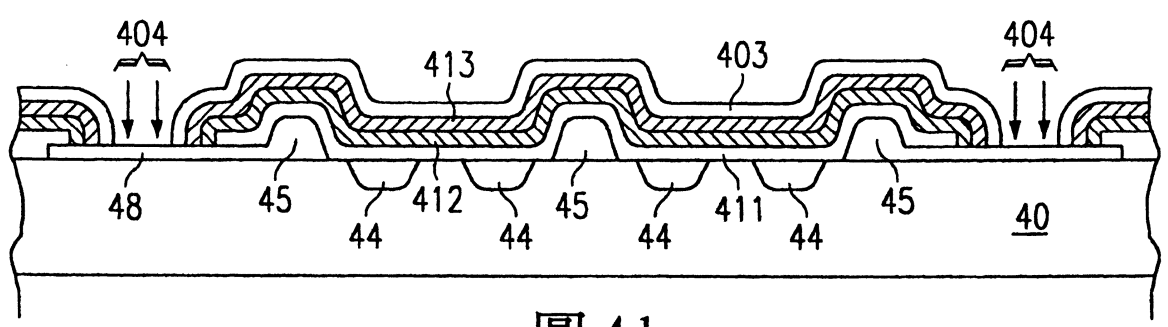


圖 4d

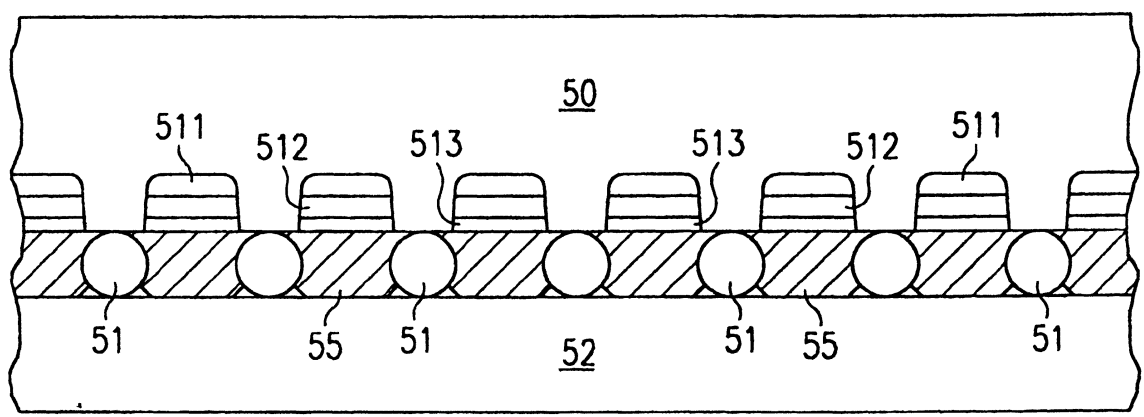


圖 5

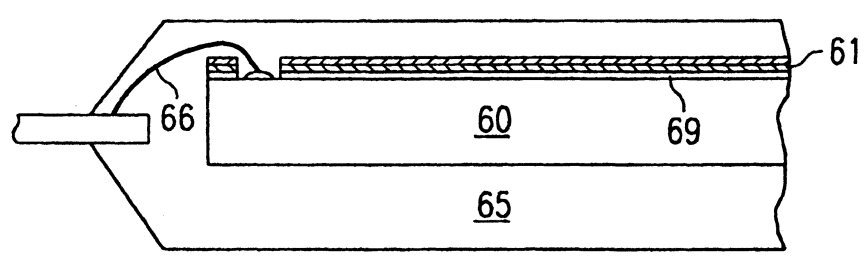


圖 6