

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年5月27日(27.05.2010)

PCT

(10) 国際公開番号
WO 2010/058532 A1

- (51) 国際特許分類:
H01L 27/14 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
G09F 9/33 (2006.01) H01L 31/10 (2006.01)
- (21) 国際出願番号: PCT/JP2009/005936
- (22) 国際出願日: 2009年11月9日(09.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-297298 2008年11月20日(20.11.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 牧田直樹
(MAKITA, Naoki).
- (74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪
府大阪府中央区北浜一丁目8番16号 大阪証券
取引所ビル 10階 奥田国際特許事務所 Osaka
(JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

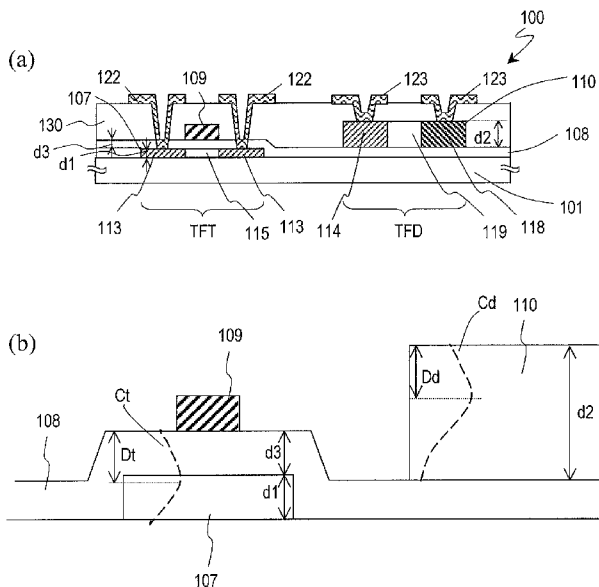
添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE USING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置およびその製造方法、ならびに半導体装置を用いた表示装置

[図1]



(57) Abstract: In a semiconductor device having a thin film transistor and a thin film diode on a single substrate, the characteristic required for each of them can be realized. The semiconductor device includes: a first crystalline semiconductor layer (107) supported by a substrate (101) and having a channel region (115), a source region, and a drain region (113); a gate insulation film (108) arranged to cover the first crystalline semiconductor layer (107); a thin film transistor arranged on the gate insulation film (108) and having a gate electrode (109) for controlling conductivity of the channel region (115); and a thin film diode supported by the substrate (101) and having a second crystalline semiconductor layer (110) containing at least an n-type region (114) and a p-type region (118). The second crystalline semiconductor layer (110) is formed on the gate insulation film (108) so as to be in contact with the surface of the gate insulation film (108). The n-type region (114) or the p-type region (118) and the source region and the drain region (113) contain the same impurity element.

(57) 要約:

[続葉有]

WO 2010/058532 A1



薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置において、それぞれの素子に要求される特性を実現する。基板101に支持され、チャンネル領域115、ソース領域およびドレイン領域113を含む第1の結晶質半導体層107と、第1の結晶質半導体層107を覆うように設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられ、チャンネル領域115の導電性を制御するゲート電極109とを有する薄膜トランジスタと、基板101に支持され、少なくともn型領域114とp型領域118とを含む第2の結晶質半導体層110を有する薄膜ダイオードとを備え、第2の結晶質半導体層110は、ゲート絶縁膜108の上に、ゲート絶縁膜108の表面に接して形成されており、n型領域114またはp型領域118と、ソース領域およびドレイン領域113とは、同一の不純物元素を含む。

明 細 書

発明の名称：

半導体装置およびその製造方法、ならびに半導体装置を用いた表示装置

技術分野

[0001] 本発明は、薄膜トランジスタ（Thin Film Transistor：TFT）と薄膜ダイオード（Thin Film Diode：TFD）を備える半導体装置及びその製造方法、ならびに半導体装置を用いた表示装置に関する。

背景技術

[0002] 近年、同一基板上に形成された薄膜トランジスタ（TFT）および薄膜ダイオード（TFD）を備えた半導体装置や、そのような半導体装置を有する電子機器の開発が進められている。このような半導体装置の製造方法としては、基板上に形成された同一の結晶質半導体膜を用いてTFTおよびTFDの半導体層を形成する方法が主流となっている。

[0003] 同一基板上に形成されたTFTおよびTFDのデバイス特性は、その活性領域となる半導体層の結晶性に最も大きく影響される。ガラス基板上に良好な結晶質半導体層を得る方法としては、非晶質半導体膜にレーザー光を照射し、結晶化させる方法が一般的に利用される。また、非晶質半導体膜に結晶化を促進する作用を有する触媒元素を添加した後、加熱処理を施して結晶化を行う方法もある。さらに、この方法によって非晶質半導体膜を結晶化させた後、得られた結晶質半導体膜に対して、結晶性をさらに高めるためにレーザー光を照射してもよい。これにより、低温・短時間の加熱処理で、レーザー照射のみにより結晶化された従来の結晶質半導体膜に比べ、結晶の配向性が揃った良好な半導体膜が得られる。

[0004] 特許文献1には、TFDを利用した光センサー部分と、TFTを利用した駆動回路とを同一基板上に備えたイメージセンサーが開示されている。特許文献1では、基板上に形成された非晶質半導体膜を結晶化させてTFTおよび

T F Dの半導体層を形成している。

[0005] このように、T F TとT F Dとを同一基板上に一体的に形成すると、半導体装置を小型化できるだけでなく、部品点数を低減できる等の大きなコストメリットが得られる。さらに、従来の部品の組み合わせでは得られない新たな機能が付加された商品の実現も可能になる。

[0006] 一方、特許文献2は、同一の半導体膜（非晶質シリコン膜）を用いて、結晶質シリコンを用いたT F T（結晶性シリコンT F T）と、非晶質シリコンを用いたT F D（非晶質シリコンT F D）とを同一基板上に形成することを開示している。具体的には、基板上に形成された非晶質シリコン膜のうちT F Tの活性領域を形成しようとする領域のみに、非晶質シリコンの結晶化を促進する触媒元素を添加する。この後、加熱処理を行うことにより、T F Tの活性領域を形成しようとする領域のみが結晶化され、T F Dとなる領域がアモルファス状態であるシリコン膜を形成する。このシリコン膜を用いると、結晶性シリコンT F Tと、非晶質シリコンT F Dとを同一基板上に簡便に作製することができる。

[0007] さらに、特許文献3は、同一の半導体膜（非晶質シリコン膜）を用いて、光センサーとして機能する光センサーT F Tとスイッチング素子として機能するスイッチングT F Tとを形成している。光センサーT F Tのチャネル領域のシリコン膜を、ソース・ドレイン領域やスイッチングT F Tの活性領域のシリコン膜よりも厚くすることで、光センサー感度の向上を図っている。ここでは、これらのT F Tのシリコン膜の厚さを異ならせるために、非晶質シリコン膜をアイランド化する際のフォトリソグラフィにおいて、グレートーンマスクを用いたハーフ露光技術を利用して、非晶質シリコン膜を部分的に薄膜化している。また、非晶質シリコン膜にレーザー光を照射することにより、非晶質シリコン膜のうち薄膜化された領域（光センサーT F Tのソース・ドレイン領域およびスイッチングT F Tの活性領域となる領域）を結晶化するとともに、薄膜化されなかった領域（光センサーT F Tのチャネル領域となる領域）を非晶質のまま残すことも開示されている。

先行技術文献

特許文献

- [0008] 特許文献1：特開平6-275808号公報
特許文献2：特開平6-275807号公報
特許文献3：特開2005-72126号公報

発明の概要

発明が解決しようとする課題

- [0009] 特許文献1では、同一の結晶質半導体膜を結晶化させて、TFTの半導体層およびTFDの半導体層の両方を形成している。TFTおよびTFDでは、それぞれの用途に応じて求められるデバイス特性は異なるが、この方法によると、TFTおよびTFDに要求されるそれぞれのデバイス特性を同時に満足することが難しいという問題がある。
- [0010] 一方、特許文献2および特許文献3では、同一の非晶質半導体膜の一部を結晶化させて、結晶化させた部分からTFT（結晶質シリコンTFT）を形成し、非晶質のまま残された部分からTFD（非晶質シリコンTFD）を形成している。この方法によると、結晶化条件を制御することにより結晶質シリコンTFTの特性を向上させることは可能になる。しかしながら、非晶質シリコン膜の一部を結晶質シリコンへと結晶化させる熱処理工程において、元々の非晶質シリコン膜に含まれていた水素が抜けてしまう。このため、熱処理工程後に非晶質のまま残された部分を用いて、電氣的に良好な非晶質シリコンTFDを作製することができないという問題がある。成膜直後の非晶質シリコン膜では、シリコン原子が水素と結合して、その結合手を埋めているが（終端化）、結晶化のための熱処理工程では、シリコン元素と水素との結合が切れて水素が抜けてしまい、シリコンの不對結合手（ダングリングボンド）だらけの劣悪な非晶質シリコンになってしまうからである。
- [0011] さらに、特許文献3には次のような問題もある。特許文献3の方法によると、光センサーTFTのシリコン膜をスイッチングTFTのシリコン膜より

も厚くできるので、光センサーの感度を高める上では有利である。しかしながら、シリコン膜の厚さを異ならせるために、ハーフ露光およびハーフエッチングを用いており、製造工程が複雑化する。加えて、これらの技術では、特定の領域のシリコン膜を薄膜化（エッチング）することによって、その領域を他の領域よりも薄くする。このとき、薄膜化される領域の厚さを高精度に制御することは極めて難しく、結果として、スイッチングTFTのシリコン膜の厚さが大きくばらついてしまい、優れた特性が得られなくなるおそれがある。

[0012] このように、従来、同一基板上にTFTおよびTFDを作りこむことによって半導体装置を製造すると、TFTおよびTFDにそれぞれ要求された特性を両立させることは困難であり、その結果、高性能な半導体装置を得られないおそれがある。

[0013] 本発明は上記の問題を鑑みてなされたものであり、その目的は、薄膜トランジスタおよび薄膜ダイオードを同一基板上に備えた半導体装置において、薄膜トランジスタおよび薄膜ダイオードに要求されるそれぞれの特性を実現することにある。

課題を解決するための手段

[0014] 本発明の半導体装置は、基板と、前記基板に支持され、チャネル領域、ソース領域およびドレイン領域を含む第1の結晶質半導体層と、前記第1の結晶質半導体層を覆うように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記チャネル領域の導電性を制御するゲート電極とを有する薄膜トランジスタと、前記基板に支持され、少なくともn型領域とp型領域とを含む第2の結晶質半導体層を有する薄膜ダイオードとを備え、前記第2の結晶質半導体層は、前記ゲート絶縁膜の上に、前記ゲート絶縁膜の表面に接して形成されており、前記n型領域またはp型領域と、前記ソース領域およびドレイン領域とは、同一の不純物元素を含む。

[0015] ある好ましい実施形態において、前記第2の結晶質半導体層の厚さ d_2 は、前記第1の結晶質半導体層の厚さ d_1 よりも大きい。

- [0016] ある好ましい実施形態において、前記薄膜トランジスタは、前記ゲート電極の上面に接する層間絶縁層をさらに有し、前記薄膜ダイオードは、前記第2の結晶質半導体層の上面に接する層間絶縁層をさらに有し、前記薄膜トランジスタの層間絶縁層と前記薄膜ダイオードの層間絶縁層とは同一の絶縁膜から形成されている。
- [0017] 好ましくは、前記n型領域またはp型領域の上面から、前記n型領域またはp型領域の厚さ方向における前記同一の不純物元素の濃度プロファイルのピークまでの深さ D_d と、前記ゲート絶縁膜の上面から、前記ソース領域およびドレイン領域の厚さ方向における前記同一の不純物元素の濃度プロファイルのピークまでの深さ D_t とは略等しい。
- [0018] 好ましくは、前記第2の結晶質半導体層の厚さ d_2 は、前記第1の結晶質半導体層の厚さ d_1 と前記ゲート絶縁膜の厚さ d_3 との和($d_1 + d_3$)よりも大きい。
- [0019] 前記n型領域またはp型領域の厚さ方向における前記同一の不純物元素の濃度プロファイルは、前記第2の結晶質半導体層内にピークを有することが好ましい。
- [0020] 前記ソース領域およびドレイン領域の厚さ方向における前記同一の不純物元素の濃度プロファイルは、前記ゲート絶縁膜の上面と前記第1の結晶質半導体層の下面との間にピークを有することが好ましい。より好ましくは、前記ソース領域およびドレイン領域の厚さ方向における前記同一の不純物元素の濃度プロファイルは、前記第1の結晶質半導体層内にピークを有する。
- [0021] 前記ゲート絶縁膜の厚さ d_3 は、前記第1の結晶質半導体層のソース領域およびドレイン領域上におけるゲート絶縁膜の厚さであってもよい。
- [0022] 前記第2の結晶質半導体層は、n型領域とp型領域との間に位置する真性領域を含んでもよい。
- [0023] ある好ましい実施形態において、前記ゲート電極は、前記第2の結晶質半導体層と同一の半導体膜から形成されている。
- [0024] 前記基板は透光性を有しており、前記第2の結晶質半導体層と前記基板と

の間に配置された遮光層をさらに備えていてもよい。

- [0025] ある好ましい実施形態において、前記遮光層は、前記第1の結晶質半導体層と同一の半導体膜から形成されている。
- [0026] 本発明の半導体装置の製造方法は、(a) 表面に第1の結晶質半導体膜が形成された基板を用意する工程と、(b) 前記第1の結晶質半導体膜の一部を用いて、後に薄膜トランジスタの活性領域となる第1の島状半導体層を形成する工程と、(c) 前記第1の島状半導体層上にゲート絶縁膜を形成する工程と、(d) 前記ゲート絶縁膜上に、前記ゲート絶縁膜の表面に接して第2の結晶質半導体膜を形成する工程と、(e) 前記第2の結晶質半導体膜の一部を用いて、後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程とを包含する。
- [0027] ある好ましい実施形態において、前記第2の結晶質半導体膜の厚さは、前記第1の結晶質半導体膜の厚さよりも大きい。
- [0028] ある好ましい実施形態において、前記第2の結晶質半導体膜の厚さは、前記第1の結晶質半導体膜および前記ゲート絶縁膜の合計厚さよりも大きい。
- [0029] ある好ましい実施形態において、前記工程(c)の後、前記ゲート絶縁膜上に薄膜トランジスタのゲート電極を形成する工程を含み、前記第2の結晶質半導体膜の厚さは、前記ゲート電極より露呈した領域の前記第1の結晶質半導体膜および前記ゲート絶縁膜の合計厚さよりも大きい。
- [0030] 前記工程(e)の後、前記第1の島状半導体層のうちソース領域およびドレイン領域となる領域と、前記第2の島状半導体層のうちn型領域またはp型領域となる領域とに、同一の不純物元素を同時にドーピングする工程をさらに包含することが好ましい。
- [0031] 前記工程(e)の後、(f) 前記第1の島状半導体層のうちソース領域およびドレイン領域となる領域に、前記ゲート絶縁膜を介して第1の不純物元素をドーピングする工程と、(g) 前記第2の島状半導体層のうちn型領域となる領域に、n型不純物元素をドーピングする工程と、(h) 前記第2の島状半導体層のうちp型領域となる領域に、p型不純物元素をドーピングす

る工程とをさらに包含してもよい。

- [0032] 前記第1の不純物元素はn型の不純物元素を含み、前記工程（f）および前記工程（g）は同時に行なわれてもよい。
- [0033] 前記第1の不純物元素はp型の不純物元素を含み、前記工程（f）および前記工程（h）は同時に行なわれてもよい。
- [0034] ある好ましい実施形態において、前記第1の島状半導体層は、後にnチャネル型薄膜トランジスタの活性領域となる島状半導体層と、後にpチャネル型薄膜トランジスタの活性領域となる島状半導体層とを含む複数の島状半導体層であり、前記工程（f）は、前記第1の島状半導体層のうち、後にnチャネル型薄膜トランジスタとなる島状半導体層に対して、前記ゲート絶縁膜を介してn型の不純物元素をドーピングする工程（f1）と、後にpチャネル型薄膜トランジスタとなる島状半導体層に対して、前記ゲート絶縁膜を介してp型の不純物元素をドーピングする工程（f2）とを含み、前記工程（f1）は前記工程（g）と同時に行われ、前記工程（f2）は前記工程（h）と同時に行われる。
- [0035] ある好ましい実施形態において、前記工程（c）の後、前記ゲート絶縁膜上に薄膜トランジスタのゲート電極を形成する工程を含み、前記ゲート電極を形成する工程は、前記第2の結晶質半導体膜をパターニングすることにより、後に薄膜ダイオードの活性領域となる第2の島状半導体層と前記ゲート電極の少なくとも一部とを同時に形成する工程である。
- [0036] 前記基板は透光性を有する基板であり、前記工程（c）よりも前に、前記基板のうち、後に薄膜ダイオードの活性領域となる第2の島状半導体層が形成される領域の下部となる部分に、前記基板の反対側の表面から入射する光を遮光するための遮光層を形成する工程をさらに包含してもよい。
- [0037] ある好ましい実施形態において、前記工程（b）は、前記第1の結晶質半導体膜をパターニングすることにより、後に薄膜トランジスタの活性領域となる第1の島状半導体層と前記遮光層の少なくとも一部とを同時に形成する工程である。

- [0038] 前記工程（a）は、（a 1）表面に非晶質半導体膜が形成された基板を用意する工程と、（a 2）前記非晶質半導体膜にレーザー光を照射して、前記非晶質半導体膜を結晶化させることにより、第 1 の結晶質半導体膜を形成する工程とを包含してもよい。
- [0039] 前記工程（a）は、（a 1）表面に非晶質半導体膜が形成された基板を用意する工程と、（a 2）前記非晶質半導体膜に、結晶化を促進する触媒元素を添加する工程と、（a 3）前記触媒元素を添加した非晶質半導体膜に対して加熱処理を行って、前記非晶質半導体膜を結晶化させることにより、第 2 の結晶質半導体膜を形成する工程とを包含してもよい。
- [0040] 前記工程（d）は、前記ゲート絶縁膜上に、プラズマ CVD 法によって、第 2 の結晶質半導体膜を堆積させる工程であってもよい。
- [0041] 本発明の他の半導体装置は、上記のいずれかに記載の製造方法によって製造された半導体装置である。
- [0042] 本発明の表示装置は、複数の表示部を有する表示領域と、前記表示領域の周辺に位置する額縁領域とを備えた表示装置であって、薄膜ダイオードを含む光センサー部をさらに備え、各表示部は電極および前記電極に接続された薄膜トランジスタを有し、前記薄膜トランジスタと、前記薄膜ダイオードとは、同一の基板上に形成されており、前記薄膜トランジスタは、チャネル領域、ソース領域およびドレイン領域を含む第 1 の結晶質半導体層と、前記第 1 の結晶質半導体層を覆うように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記チャネル領域の導電性を制御するゲート電極とを含み、前記薄膜ダイオードは、少なくとも n 型領域と p 型領域とを含む第 2 の結晶質半導体層を含み、前記第 2 の結晶質半導体層は前記ゲート絶縁膜の上に、前記ゲート絶縁膜の表面に接して形成されており、前記 n 型領域または p 型領域と、前記ソース領域およびドレイン領域とは、同一の不純物元素を含む。
- [0043] ある好ましい実施形態において、前記表示部は、バックライトと、前記バックライトから出射する光の輝度を調整するバックライト制御回路とをさら

に備え、前記光センサー部は、外光の照度に基づく照度信号を生成して前記バックライト制御回路に出力する。

- [0044] ある好ましい実施形態において、それぞれが前記光センサー部を有する複数の光タッチセンサー部を有し、前記複数の光タッチセンサー部は、それぞれ、各表示部または2以上の表示部からなるセットに対応して前記表示領域に配置されている。

発明の効果

- [0045] 本発明によると、同一基板上に形成されたTFTおよびTFDを備えた半導体装置において、TFTおよびTFDの半導体層がそれぞれ異なる半導体膜から形成されているので、これらの半導体層を、それぞれ、要求されるデバイス特性に応じて最適化できる。従って、TFTおよびTFDに要求されるそれぞれのデバイス特性を両立させることが可能になる。
- [0046] また、本発明の製造方法によると、TFTおよびTFDを備えた高性能な半導体装置を、製造工程や製造コストを増大させることなく簡便に製造でき、製品のコンパクト化、高性能化、低コスト化を図ることができる。
- [0047] 特に、TFTの活性層となる第1の結晶質半導体層を形成した後、TFDの活性層となる第2の結晶質半導体層を形成できるので、それぞれの結晶質半導体層の厚さと結晶性とを、TFTまたはTFDに要求される特性に応じて個別に最適化することができる。また、TFTおよびTFDの半導体層に対するドーピング工程を同時に行うと、工程数をさらに低減できる。
- [0048] 本発明は、センサー機能付きの液晶表示装置に好適に用いられ得る。本発明を、例えば駆動回路に用いられるTFTおよび画素電極をスイッチングするためのTFTと、光センサーとして利用されるTFDとを備えた表示装置に適用すると、高い電界効果移動度及び低閾値電圧を有するTFTと、暗電流値が低く光に対するSN比（明暗での電流値比）の高いTFDとを、同一の基板上に形成できるので有利である。特に、TFTの電界効果移動度を大きく左右するチャネル領域、および、TFDの光感度に大きく影響する真性領域の半導体層をそれぞれ最適化することにより、それぞれの半導体素子に

最適なデバイス特性を得ることができる。

図面の簡単な説明

[0049] [図1] (a) は、本発明による実施形態の半導体装置の模式的な断面図であり、(b) は、TFTおよびTFDの半導体層における不純物元素の濃度プロファイルを説明するための断面図である。

[図2] 本発明による第1実施形態の半導体装置の模式的な断面図である。

[図3] (A) から (E) は、本発明による第1実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図4] (F) から (H) は、本発明による第1実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図5] (A) から (F) は、本発明による第2実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図6] (G) から (J) は、本発明による第2実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図7] (A) から (F) は、本発明による第3実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図8] (G) から (K) は、本発明による第3実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図9] (A) から (E) は、本発明による第4実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図10] (F) から (H) は、本発明による第4実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図11] (I) から (K) は、本発明による第4実施形態の半導体装置の製造工程を示す模式的な断面図である。

[図12] 本発明による第5実施形態における光センサーTFDの回路図である。

[図13] 本発明による第5実施形態における光センサー方式のタッチパネルの構成図である。

[図14]本発明による第5実施形態のタッチパネル方式の液晶表示装置における背面基板を例示する模式的な平面図である。

[図15]本発明による第5実施形態のアンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。

発明を実施するための形態

[0050] 本発明の半導体装置は、第1の結晶質半導体層を用いて形成された薄膜トランジスタと、第2の結晶質半導体層を用いて形成された薄膜ダイオードとを同一基板上に備え、第2の結晶質半導体層はゲート絶縁膜の表面に接して形成されており、薄膜ダイオードのn型領域またはp型領域と薄膜トランジスタのソース領域およびドレイン領域とは同一の不純物元素を含むことを特徴としている。

[0051] 以下、図面を参照しながら、本発明の半導体装置の構成をより具体的に説明する。図1(a)は、本発明による半導体装置のある好ましい実施形態を模式的に示す断面図である。半導体装置100は、基板101と、基板101に支持された薄膜トランジスタ(TFT)および薄膜ダイオード(TFD)とを備える。本実施形態におけるTFTは、チャネル領域115、ソース領域およびドレイン領域113を含む半導体層107と、半導体層107を覆うように設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられ、チャネル領域115の導電性を制御するゲート電極109とを有している。半導体層107は結晶質半導体層である。本実施形態におけるTFDは、真性領域119と、n型領域114およびp型領域118とを含む半導体層110を有する。半導体層110は結晶質半導体層であり、ゲート絶縁膜108の上に、ゲート絶縁膜108の上面に接して形成されている。

[0052] n型領域114またはp型領域118と、ソース領域およびドレイン領域113とは同一の不純物元素を含んでいる。すなわち、TFTがチャンネル型TFTであれば、ソース領域およびドレイン領域113とTFDのn型領域114とが同一のn型不純物元素を含んでいる。TFTがpチャンネル型TFTであれば、ソース領域およびドレイン領域113とp型領域118とは同

一の不純物元素を含んでいる。なお、半導体層 110 は、少なくとも n 型領域 114 および p 型領域 118 を有していればよく、真性領域 119 を有していなくてもよい。

[0053] 本実施形態では、TFT のゲート電極 109 の上面と、TFD の半導体層 110 の上面とに接するように層間絶縁層 130 が形成されている。このように、TFT および TFD の層間絶縁層が同一の絶縁膜から形成されていると、製造プロセスを簡略化できるので好ましい。

[0054] 半導体装置 100 では、TFT および TFD の半導体層 107、110 は異なる結晶質半導体膜から形成された別々の層である。よって、それぞれの素子に最適な特性を実現できる。具体的には、半導体層 107、110 の膜質や厚さ、結晶状態等を最適化することによって、それぞれの素子に対して必要とされる素子特性を得ることができる。

[0055] 特に駆動回路に使用される TFT では、高い電流駆動能力を得るために高い電界効果移動度や低閾値電圧が求められる。本実施形態のように、活性層として結晶質を有する半導体層 107 を用いると、高い電界効果移動度や低閾値電圧を実現できるので有利である。また、半導体層 110 に要求される特性にかかわらず、所望の電界効果移動度および閾値電圧を得るために、半導体層 107 の形成方法、結晶状態、厚さなどを高い自由度で選択できる。

[0056] さらに、画素電極をスイッチングするようなスイッチング用途の TFT では、TFT オフ動作時のリーク電流の抑制と、高い ON/OFF 比とが求められる。これらを実現するためには、半導体層 107 の厚さを小さく設定することが有効である。半導体層 107 を薄くすると、TFT 特性における S 値（サブスレッシュ電圧時の電流の立ち上がり特性）を改善でき、閾値電圧の低電圧化に対しても効果がある。一方、半導体層 107 を薄くしすぎると、オン動作時の電流値の低下が現れる。よって、半導体層 107 の厚さの最適な範囲は例えば 30 nm 以上 60 nm 以下である。

[0057] これに対して、TFD では、例えば光センサーの用途に使用する場合には、好ましい半導体層 110 の結晶状態や厚さが、TFT の半導体層 107 の

結晶状態や厚さと異なる。光センサーとして用いる場合、TFDに逆バイアスを加えてOFF状態にし、光照射時のリーク電流の増減を捉える。この際の光感度は、半導体層110の厚さが大きくなるほど向上する。すなわち、TFTの半導体層107の好ましい厚さと相反する。また、TFTの半導体層107に求められるほどの高品質な結晶性は求められないが、順バイアス動作における信号リセット速度や赤外領域でのセンシング感度を考慮すると、半導体層110は非晶質よりも結晶質である方が好ましい。従って、TFDの半導体層110としてTFTの半導体層107と異なる結晶質半導体層を用い、かつ、その厚さをTFTの半導体層107の厚さよりも大きくすると有利である。

[0058] 本実施形態では、n型領域114またはp型領域118とソース領域およびドレイン領域113とが同一のドーピング工程によって形成されていることが好ましい。これにより、同一基板101上に、上記のようなTFTおよびTFDを備えた半導体装置をより簡便な方法で得ることができ、かつ、シンプルな素子構成を実現できる。

[0059] 本実施形態の半導体装置100は、前述した特許文献2および3の半導体装置と比べて次のようなメリットがある。

[0060] 特許文献2では、同一の非晶質半導体膜の一部を結晶化させてTFTの半導体層を形成し、非晶質のまま残された部分を用いてTFDの半導体層を形成している。前述したように、この方法では、光センサーとしての十分な特性を有するTFDを得ることは難しい。非晶質シリコン膜の一部を結晶質シリコンへと結晶化させる熱処理工程において、元々の非晶質シリコン膜に含まれていた水素が抜けてしまうからである。

[0061] 非晶質シリコン膜の成膜後では、成膜時に取り込まれた水素原子が、Si原子の不對結合手（ダングリングボンド）と結合してSi-Hのボンディングを形成しており、これが非晶質シリコン膜におけるSiのダングリングボンドを不活性化している。非晶質シリコン膜の一部を結晶化するために熱処理を行うと、Si-Hのボンディングが切れ、Siのダングリングボンドが

活性化する。S i - Hの結合エネルギーは400°C程度なので、400°C以上の熱処理を行うと、結合が切れて、水素が放出される。水素の結合が切れたS iのダングリングボンドは、電子やホールに対する深いトラップを形成し、T F TやT F Dのデバイス性能を大きく低下させる。特に、光センサーにおいては、暗雰囲気での電流値（暗電流）を大きく悪化させ、ベースが上がってしまう。加えて、光が照射された際の電流値（明電流）は低下し、結果として、光センサーの性能を示す明暗比〔=明電流／暗電流〕はさらに悪化してしまい、実用できるレベルに到達しない。

[0062] 特許文献2では、結晶化工程の後で、T F DおよびT F Tの半導体層に水素を供給することにより、S i - Hを再結合させてS iのダングリングボンドを不活性化する方法が試みられている。しかしながら、非晶質シリコン層であるT F Dの半導体層は、結晶質シリコン層とは比較できないほど多量のダングリングボンドを含むため、成膜後の良好な状態に再び戻すことは極めて困難である。

[0063] 特許文献3では、同一の非晶質シリコン膜に対して、ハーフ露光およびハーフエッチングを行い、非結晶シリコン膜の一部を薄膜化し、T F Tの半導体層とT F Dの半導体層とで膜厚差を形成している。しかしながら、このときのエッチングの制御は極めて難しく、薄膜化される領域、すなわちT F Tの半導体層の厚さがゆらぐ原因となる。T F Tの半導体層の厚さが振れば、T F T特性に対して大きな影響を与える。また、薄膜化される領域、すなわちT F Tの半導体層の表面がエッチングに曝されることになるため、半導体層の表面がエッチングダメージを受け、T F T特性や信頼性に悪影響を与える。

[0064] この後、レーザー照射を行い、薄膜化した領域のみを結晶化してスイッチングT F Tのシリコン層を形成する。一方、非晶質シリコン膜のうち厚い部分（薄膜化されなかった部分）は非晶質のまま残り、光センサーT F Tのシリコン層となる。この方法では、レーザー光で結晶化を行う際に、非晶質シリコン膜のうち薄膜化した領域を熔融させるほどの照射エネルギーが必要で

ある。従って、この結晶化工程において、非晶質シリコン膜のうち厚い部分では、照射エネルギーによって水素の離脱が生じてしまう。さらに、このような高い照射エネルギーを用いる際には、逆に水素の離脱による膜飛びが生じる恐れがある。膜飛びを防止するためには、レーザー照射を行う前に非晶質シリコン膜の脱水素のための熱処理を行うか、あるいは400℃以上の高温で非晶質シリコン膜を形成する必要がある。このように、光センサーTF Tの活性層として、良好な状態の非晶質シリコン層を形成することは困難である。

[0065] これに対して、本実施形態では、TF Tの半導体層107とTF Dの半導体層110とを、それぞれ、異なる層の半導体膜を用いて形成する。これにより、これらの半導体層107、110の厚さと結晶状態をそれぞれ独立して最適化でき、膜厚のゆらぎやエッチングによるダメージが生じない。

[0066] 本実施形態では、TF Dの半導体層110にも結晶質半導体層を利用する。TF Dを光センサーとして用いる場合、TF Dの半導体層110として結晶質半導体層を用いると、非晶質半導体層を用いたTF Dと比べて、可視光域では感度がより低くなるが、赤外域ではより高い感度が得られる。また、TF Dをリセット動作などの順バイアス動作に用いる場合には、非晶質半導体層よりも移動度の高い結晶質半導体層を用いることにより、信号リセット速度を向上できるので好ましい。その上、非晶質半導体層を用いると、製造面で、前述したような大きな課題を有するからである。

[0067] TF Tの半導体層107とTF Dの半導体層110とをそれぞれ異なる層から形成することは、製造工程を簡略化する観点から考えると好ましくない。しかしながら、例えば特許文献3の方法と比較すると、特許文献3の方法ではシリコン膜の一部を薄膜化するエッチング工程を余分に行う必要があるため、増加する工程は、2回目の半導体膜の形成工程のみである。また、特許文献3では、前述のように、上記エッチングの精度により、シリコン膜のうち薄膜化された部分の厚さが決定され、シリコン膜の厚さが大きくばらついてしまう。これに対し、本実施形態では、TF T用半導体膜およびTF D

用半導体膜の形成工程によって、それぞれの半導体膜の厚さを適宜選択できるので、各半導体膜の厚さをより容易に制御でき、各半導体膜の厚さのばらつきも大幅に低減できる。本実施形態では、TFT用半導体膜の厚さによって、TFTの半導体層107の厚さ d_1 が決まり、TFD用半導体膜の厚さによって、TFDの半導体層110の厚さ d_2 が決まる。

[0068] このように、本実施形態によると、TFTおよびTFDの半導体層107、110の厚さ d_1 、 d_2 を独立して設定できる。TFTの半導体層107の厚さ d_1 よりも、TFDの半導体層110の厚さ d_2 が大きくなるように設定することが好ましい。これにより、TFTでは、ON/OFF比を向上したり、閾値電圧を低減できるので、TFT性能を高めることができ、TFDでは、光センサー感度である明電流を大きくすることができるので、光センサー性能を高めることができる。

[0069] さらに、特にTFDを光センサーとして使用する場合、TFTの半導体層107の厚さ d_1 とゲート絶縁膜108の厚さ d_3 の和($d_1 + d_3$)よりも、TFDの半導体層110の厚さ d_2 を大きくすると($d_2 > d_1 + d_3$)、TFDの性能をさらに向上できるとともに、製造プロセスをより簡略化できる。その理由を以下に説明する。

[0070] TFTの半導体層(第1の結晶質半導体層)107におけるソース及びドレイン領域113とTFDの半導体層(第2の結晶質半導体層)110におけるn型領域114またはp型領域118とを同時にドーピングすると、TFTの半導体層107は、ゲート絶縁膜108を越えてのスルードーピングであるのに対し、TFDの半導体層110は直接的にドーパントが注入される所謂ベアドーピングとなる。このときの注入ダメージによって、結晶質で構成されるTFTの半導体層107とTFDの半導体層110においては、結晶構造が少なからず破壊される。この後の加熱処理で結晶性の回復とドーパントの活性化を行うが、結晶の破壊度合いが大きすぎると、熱処理後においても結晶性が回復せず、TFTにおいてはソース及びドレイン領域113が、TFDにおいてはn型領域114またはp型領域118が高抵抗となり

、デバイス特性に悪影響を与えるおそれがある。特に、ゲート絶縁膜108を越えてのスルードーピングでTF Tの半導体層107に注入を行うのに対し、TF Dの半導体層110にはベアドーピングでドーパントが注入されるため、注入ダメージは、TF Dの半導体層110の方が高くなる。その一方で、このドーピング工程は、TF Tの半導体層107に対して最適化された条件で行われなければならない、そのような条件下ではTF Dの半導体層110の結晶が強く破壊され、その後の熱処理で回復できず、結果としてn型領域114またはp型領域118は高抵抗になってしまうおそれがある。

[0071] そこで、各半導体層107、110およびゲート絶縁膜108の厚さを、上記の関係 $d_2 > d_1 + d_3$ を満たすように設定すると、TF Tの半導体層107に対して最適化された条件で注入を行っても、TF Dの半導体層110に与える注入ダメージによる過度の結晶破壊を抑えられ、n型領域114またはp型領域118の低抵抗化が可能になる。

[0072] 図1(b)を参照して詳しく説明する。図1(b)は、本実施形態における半導体層107、110にドーパされた不純物の厚さ方向の濃度プロファイルを示す模式的な部分断面図である。

[0073] 図示する例では、TF Tの半導体層107に対して、ゲート絶縁膜108の厚さ d_3 をスルーしてn型あるいはp型の不純物元素がドーピングされる(スルードーピング)。一方、TF Dの半導体層110には不純物元素が直接的に、すなわちゲート絶縁膜108を介さずにドーピングされる(ベアドーピング)。

[0074] ゲート絶縁膜108の上面からの深さ方向における、ゲート絶縁膜108および半導体層107の不純物元素の濃度プロファイルを曲線C_tで示す。一方、半導体層110の上面からの深さ方向における、半導体層110における不純物元素の濃度プロファイルを曲線C_dで示す。図1(b)からわかるように、半導体層107、110に対して同一のドーピング工程で不純物元素をドーピングすると、濃度プロファイルC_t、C_dは略等しくなる。従って、濃度プロファイルC_tのピークのゲート絶縁膜108上面からの深さD_t

と、濃度プロファイル C_d のピークの半導体層110上面からの深さ D_d とは略等しくなる($D_d \cong d_2$)。

[0075] TFDの半導体層110に対するドーピング条件は、ピーク深さ D_d が、半導体層110の厚さ d_2 よりも小さくなる($D_d < d_2$)ように設定されていることが好ましい。言い換えると、濃度プロファイル C_d が半導体層110内にピークを有するように設定されることが好ましい。なお、「濃度プロファイルが半導体層内にピークを有する」とは、半導体層の厚さ方向における濃度プロファイルのピークが、半導体層上面と下面との間に位置することを意味し、半導体層の上面や下面で最大濃度となる場合を含まない。

[0076] これにより、ピーク深さ D_d が、TFDの半導体層110の最下面よりも上に位置するので、最下面の不純物濃度をピーク濃度よりも低く抑えることができ、半導体層110最下面での過度の結晶破壊を防ぐことができる。このため、ドーピング後の熱処理では、結晶状態が維持されている半導体層110の下面側より上面側に向かって結晶回復が行われる。その結果、TFDのn型領域114またはp型領域118を低抵抗化でき、明暗比の高い光センサーTFDが得られる。逆に、ピーク深さ D_d が半導体層110の厚さ d_2 よりも大きければ($D_d > d_2$)、ドーピングによって半導体層110の結晶性が厚さ全体に亘って破壊されるため、結晶回復の起点が無くなってしまふ。このため、ドーピング後に熱処理を行っても結晶状態を十分に回復できない。その結果、TFDのn型領域114またはp型領域118は高抵抗となり、所望のデバイス性能が得られない。

[0077] 一方、TFEの半導体層107に対するドーピング条件は、ピーク深さ D_t が半導体層107の厚さ d_1 およびゲート絶縁膜108の厚さ d_3 の和よりも小さくなる($D_t < (d_1 + d_3)$)ように設定されていることが好ましい。言い換えると、濃度プロファイル C_t は、ゲート絶縁膜108の上面と半導体層の下面との間にピークを有することが好ましい。これにより、ピーク深さ D_t がTFEの半導体層107の最下面よりも上に位置するので、最下面の不純物濃度をピーク濃度よりも低く抑えることができ、半導体層1

07の最下面での過度の結晶破壊を防ぐことができる。このため、ドーピング後の熱処理により、結晶状態が維持されている半導体層107の下面側より結晶回復が行われる。その結果、TFTのソース及びドレイン領域113を低抵抗化でき、TFTのオン抵抗を低減できる。逆に、ピーク深さ D_t が半導体層107の厚さ d_1 およびゲート絶縁膜108の厚さ d_3 の和よりも大きければ($D_t > (d_1 + d_3)$)、半導体層107の結晶性が厚さ全体に亘って破壊されるので、結晶回復の起点が無くなってしまい、ドーピング後に熱処理を行っても結晶状態を十分に回復できない。その結果、TFTのソース及びドレイン領域113の抵抗が高くなり、所望のデバイス性能が得られない。

[0078] なお、ピーク深さ D_t が $d_3 < D_t < d_1 + d_3$ を満足するようにドーピング条件が設定されているとさらに有利である。これにより、前述の効果に加えて、濃度プロファイル C_t は半導体層107内にピークを有するので、TFTのソースおよびドレイン領域の不純物濃度をより高くでき、TFTのオン抵抗をさらに低減できる。

[0079] TFTの半導体層107に対して、 $D_t < d_1 + d_3$ を満足するようにドーピング条件を設定すると、濃度プロファイル C_t のピーク深さ D_t と濃度プロファイル C_d のピーク深さ D_d とが略等しくなることから($D_t \doteq D_d$)、 $D_d < d_1 + d_3$ となる。このとき、半導体層110の厚さ d_2 が($d_1 + d_3$)よりも大きければ、ピーク深さ D_d は必ず $D_d < d_2$ ($D_d < d_1 + d_3 < d_2$)となる。

[0080] このように、各層107、108、110の厚さが $d_1 + d_3 < d_2$ を満足していると、TFTの半導体層(第1の結晶質半導体層)107に対して、ドーピング条件(ピーク深さ D_t)を最適化し、ソース領域およびドレイン領域の低抵抗化を図ったとしても、TFTの半導体層(第2の結晶質半導体層)110には、厚さ d_2 に対して相対的に深くまで不純物が注入されない。このため、半導体層110の下面(半導体層110とゲート絶縁膜108との界面)においても注入ダメージによる結晶破壊を抑えることができる。

ので、後の熱処理でTFDのn型領域114またはp型領域118の低抵抗化も図ることができる。このように、ゲート絶縁膜の厚さd3を利用することによって、それぞれの半導体層107、110に要求されるドーピング条件を両立できる。

[0081] なお、ゲート絶縁膜108の厚さが基板101全体に亘って均一でない場合には、ゲート絶縁膜108の厚さd3は、半導体層107のソース領域およびドレイン領域113上におけるゲート絶縁膜108の厚さを指すものとする。

[0082] 本実施形態では、ゲート電極109は、TFDの半導体層110と同一の結晶質半導体膜から形成されていてもよい。これにより、製造工程を簡略化できる。

[0083] また、本実施形態では、基板101として、透光性を有する基板（ガラス基板など）を用いてもよい。この場合、TFDの半導体層110と基板101との間に遮光層（図示せず）をさらに備えていてもよい。

[0084] TFDを光センサーとして利用する場合、活性層となる半導体層110は外光に対してのみ反応する必要がある。しかしながら、本実施形態を例えば透過型の液晶表示装置に適用すると、一般にはアクティブマトリクス基板（ここでは基板101）の裏面にバックライトが配置されるため、TFDがバックライトからの光を検知しないように、バックライト側に遮光層を設けることが好ましい。遮光層は、TFDの活性領域となる半導体層110を遮光する位置に設けられる。典型的には、半導体層110の少なくとも一部と重なるように、半導体層110と基板101との間に設けられる。また、遮光層の全体または一部は、TFDの半導体層と同一の膜から形成されていることが好ましい。これにより、製造工程をさらに簡略化できる。

[0085] 次に、本実施形態の半導体装置の製造方法を説明する。

[0086] 本実施形態の製造方法は、表面に第1の結晶質半導体膜が形成された基板を用意する工程と、第1の結晶質半導体膜の一部を用いて、後に薄膜トランジスタの活性領域となる第1の島状半導体層を形成する工程と、第1の島状

半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上に、第2の結晶質半導体膜（TFD用非晶質半導体膜）を形成する工程と、TFD用第2の結晶質半導体膜の一部を用いて、後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程とを包含する。

[0087] TFD用第2の結晶質半導体膜は、第1の結晶質半導体膜よりも厚くなるように形成することが好ましい。より好ましくは、TFD用第2の結晶質半導体膜の厚さを、第1の結晶質半導体膜とゲート絶縁膜とを足した厚さよりも大きくなるように設定する。さらに好ましくは、第1の結晶質半導体膜のうちゲート絶縁膜上に形成したゲート電極から露呈した領域の厚さと、ゲート絶縁膜の厚さとの合計厚さよりも大きくなるように設定する。

[0088] 上記のように第1の結晶質半導体膜およびTFD用第2の非晶質半導体膜の厚さを設定することにより、TFTおよびTFDのそれぞれの半導体層、特にTFTのチャネル領域とTFDの真性領域とに求められる最適の状態をそれぞれ作り分けることができる。例えば、本実施形態を光センサーを備えた表示装置に適用する場合、駆動回路で使用される駆動回路用のTFTでは、高い電界効果移動度や低閾値電圧により高い駆動能力を実現し、各画素でスイッチング素子として機能するスイッチング用TFTでは、高いスイッチング特性が得られる。また、TFDでは、低い暗電流と高い明電流とを得ることができるので、光センサーとして優れた特性（高い明暗比（SN比））を実現できる。さらに、本実施形態によると、これらの2種類の半導体素子を、工程数を大きく増やさず、かつ、低い製造コストで、同一基板上に製造することができる。その上、基板上にTFTおよびTFDを作りこむことによって製造するので、例えば基板上にTFTを形成した後、TFDを実装することによって製造する場合と比べて、半導体装置のサイズ（面積、厚さ）を大幅に低減できる。

[0089] 本実施形態の製造方法では、第1および第2の島状半導体層を形成した後、第1の島状半導体層のうち後のソース領域及びドレイン領域となる領域に、ゲート絶縁膜上から、不純物元素をドーピング（スルードーピング）する

工程と、第2の島状半導体層のうち後のn型領域となる領域に、直接、n型不純物元素をドーピング（ベアドーピング）する工程と、第2の島状半導体層のうち後のp型領域となる領域に、直接、p型不純物元素をドーピング（ベアドーピング）する工程とを包含する。

[0090] これにより、TFTの半導体層においては、ソース領域及びドレイン領域となるn型あるいはp型の不純物領域を形成し、TFDの半導体層においては、n型不純物領域とp型不純物領域とを形成できる。これにより、それぞれのデバイスを同一基板上に完成させることができる。

[0091] 第1の島状半導体層のうち後のソース領域及びドレイン領域となる領域にドーピングされる不純物元素がn型不純物元素である場合には、上記スルードーピング工程は、第2の島状半導体層のうち後のn型領域となる領域にn型不純物元素をベアドーピングする工程と同時にこなわれることが好ましい。このように、nチャネル型TFTのソース領域及びドレイン領域を形成するためのドーピング工程と、TFDのn型不純物領域を形成するためのドーピング工程を同一工程として行なうと、製造工程をより簡略化できる。

[0092] また、第1の島状半導体層のうち後のソース領域及びドレイン領域となる領域にドーピングされる不純物元素がp型不純物元素である場合には、上記スルードーピング工程は、第2の島状半導体層のうち後のp型領域となる領域にp型不純物元素をベアドーピングする工程と、同時にこなわれることが好ましい。このように、pチャネル型TFTのソース領域及びドレイン領域を形成するためのドーピング工程と、TFDのp型不純物領域を形成するためのドーピング工程を同一工程として行なうと、製造工程をより簡略化できる。

[0093] 本実施形態では、同一基板上に、後にnチャネル型薄膜トランジスタの活性領域となる第1の島状半導体層と、pチャネル型薄膜トランジスタの活性領域となる第1の島状半導体層とを含む複数の第1の島状半導体層を形成してもよい。この場合、後にnチャネル型薄膜トランジスタとなる第1の島状半導体層に対してn型不純物元素をドーピングし、後にpチャネル型薄膜ト

ランジスタとなる第1の島状半導体層に対してp型不純物元素をドーピングする。この工程のうち、後にnチャネル型薄膜トランジスタとなる第1の島状半導体層のソース領域及びドレイン領域にn型不純物元素をスルードーピングする工程は、第2の島状半導体層の後のn型領域となる領域にn型不純物元素をベアドーピングする工程と、同時に行なわれることが好ましい。同様に、後にpチャネル型薄膜トランジスタとなる第1の島状半導体層のソース領域及びドレイン領域にp型不純物元素をスルードーピングする工程は、第2の島状半導体層のうち後のp型領域となる領域にp型不純物元素をベアドーピングする工程と、同時に行なわれることが好ましい。

[0094] これにより、CMOS構成のTF T回路を形成する場合、そのnチャネル型TF Tのソース領域及びドレイン領域を形成するためのドーピング工程と、TF Dのn型不純物領域を形成するためのドーピング工程とを同一工程として行い、かつ、pチャネル型TF Tのソース領域及びドレイン領域を形成するためのドーピング工程と、TF Dのp型不純物領域を形成するためのドーピング工程とを同一工程として行うことができるので、製造工程を大幅に簡略化できる。

[0095] 上述したような第1および第2の島状半導体層に対して同時にドーピングを行う工程では、第1の島状半導体層の厚さ（すなわち第1の結晶質半導体膜の厚さ） d_1 とゲート絶縁膜の厚さ d_3 、および第2の島状半導体層の厚さ（すなわちTF D用第2の結晶質半導体膜の厚さ） d_2 が $d_1 + d_3 < d_2$ の関係を満たしていれば、図1（b）を参照しながら前述したような利点がある。

[0096] すなわち、TF Tの活性領域となる第1の島状半導体層に対して、ドーピング条件（ピーク深さ）を最適化し、ソース領域およびドレイン領域の低抵抗化を図ったとしても、TF Dの活性領域となる第2の島状半導体層には、その厚さ d_2 に対して相対的に深くまで不純物が注入されない。従って、TF Dの活性領域となる第2の島状半導体層の下面（第2の島状半導体層とゲート絶縁膜との界面）においても注入ダメージによる結晶破壊を、TF Tの

活性領域となる第1の島状半導体層の下面よりも低く抑えることができる。その結果、第2の島状半導体層においては、ベアドーピングでありながら、後の熱処理で結晶回復を図ることができるので、TFDのn型領域またはp型領域を低抵抗化できる。このようにして、それぞれの半導体層に要求されるドーピング条件を両立できる。従って、それぞれの用途に応じて最適な状態を有する半導体層を有し、良好な特性を有するTFTとTFDとを同一基板上に備える半導体装置を、製造工程数を増やすことなく、かつ、低い製造コストで提供することができる。

[0097] 本実施形態の製造方法では、第2の島状半導体層のうち後のn型領域となる領域にn型不純物元素をドーピングする工程と、第2の島状半導体層のうち後のp型領域となる領域にp型不純物元素をドーピングする工程は、第2の島状半導体層のうちn型領域となる領域とp型領域となる領域との間に、上記の何れのドーピング工程でも不純物元素がドーピングされない領域（真性領域）が形成されるように行なわれることが好ましい。

[0098] 本実施形態の製造方法では、ゲート絶縁膜上に薄膜トランジスタのゲート電極を形成する際、TFDの活性領域を形成する第2の結晶質半導体膜を利用し、同一層を用いて薄膜ダイオードの活性領域となる第2の島状半導体層とゲート電極の少なくとも一部を同時に形成することで、製造工程を簡略化することができる。

[0099] また、本実施形態における基板として透光性を有する基板を用いてもよい。この場合、本実施形態の製造方法は、後に薄膜ダイオードの活性領域となる第2の島状半導体層が形成される領域の下部となる部分に、基板裏面からの光を遮光するための遮光層を形成する工程を包含することが好ましい。これにより、例えば液晶表示装置において、基板裏面側より照射されるバックライト光を効果的に遮光することができるので、TFDは、上方からの光のみを効率的にセンシングできる。より好ましくは、第1の結晶質半導体膜をパターンニングして、後に薄膜トランジスタの活性領域となる第1の島状半導体層と、遮光層の少なくとも一部とを同時に形成する。これにより、製造工

程をさらに簡略化することができる。

[0100] 本実施形態における第1の結晶質半導体膜の形成は、表面に非晶質半導体膜が形成された基板を用意する工程と、非晶質半導体膜にレーザー光を照射して、非晶質半導体膜を結晶化させる工程とによって行われてもよい。これにより、結晶性に優れた結晶質半導体膜が得られ、TFTの高性能化を実現できる。

[0101] より好ましくは、表面に非晶質半導体膜が形成された基板を用意する工程と、非晶質半導体膜に、結晶化を促進する触媒元素を添加する工程と、触媒元素を添加した非晶質半導体膜に対して加熱処理を行って、非晶質半導体膜を結晶化させる工程とによって、第1の結晶質半導体膜を形成する。非晶質半導体膜に結晶化を促進する作用を有する金属元素を添加した後、加熱処理を施して結晶化させると、一般のレーザー照射のみにより結晶化された結晶質半導体膜に比べて、結晶の配向性が揃った良好な結晶質半導体膜が得られる。この良好な第1の結晶質半導体膜をTFTの活性領域として利用することで、TFTの性能をより高めることができる。

[0102] また、本実施形態における第2の結晶質半導体膜の形成は、ゲート絶縁膜上に、プラズマCVD法によって、第2の結晶質半導体膜を直接的に成膜形成する工程によって行われてもよい。この方法は、第2の結晶質半導体膜が厚い場合に特に有効であり、厚いほど良好な結晶性が得られる。従って、TFT特性の面から、第1の結晶質半導体膜よりも厚いことが望ましい第2の結晶質半導体膜の形成に、この方法を適用すると有利である。また、第2の結晶質半導体膜の形成工程の段階では、既に第1の結晶質半導体膜が少なくともパターン形成されているので、ガラス基板の熱変形（熱シュリンク）を考えると、加熱温度は出来るだけ低い方が望ましい。プラズマCVD法によって結晶質半導体膜を直接形成することで、基板加熱温度は450℃以下に抑えることができ、後のパターン合わせ（アライメント）精度を高めることができる。

[0103] （第1実施形態）

本発明による半導体装置の第1の実施形態を説明する。本実施形態の半導体装置は、同一の基板上にnチャネル型TFTとTFDとを備えており、例えばセンサー部を備えたアクティブマトリクス型の表示装置として用いられる。

[0104] 図2は、本実施形態の半導体装置の一例を示す模式的な断面図である。本実施形態の半導体装置は、典型的には、同一基板上に設けられた複数のTFTおよび複数のTFDを有するが、ここでは、単一のTFTおよび単一のTFDのみの構成を図示している。

[0105] 本実施形態の半導体装置は、基板101の上に下地膜103、104を介して形成された薄膜トランジスタ124と薄膜ダイオード125とを備えている。薄膜トランジスタ124は、チャネル領域115およびソース領域・ドレイン領域113を含む半導体層107と、半導体層107の上に設けられたゲート絶縁膜108と、チャネル領域115の導電性を制御するゲート電極109と、ソース領域およびドレイン領域113にそれぞれ接続された電極・配線122とを有する。一方、薄膜ダイオード125は、薄膜トランジスタのゲート絶縁膜108上に形成された、少なくともn型領域114とp型領域118とを含む半導体層110と、n型領域114およびp型領域118にそれぞれ接続された電極・配線123とを有する。薄膜ダイオード125の半導体層110は、ゲート絶縁膜108の上面と接している。また、図示する例では、半導体層110におけるn型領域114とp型領域118との間に真性領域119が設けられている。

[0106] 薄膜トランジスタ124および薄膜ダイオード125の上には、層間絶縁膜として、窒化ケイ素膜120および酸化ケイ素膜121が形成されている。また、薄膜ダイオード125の半導体層110と基板101との間には、遮光層102が配置されている。

[0107] 薄膜トランジスタ124の半導体層107と、薄膜ダイオード125の半導体層110とは、異なる結晶質半導体膜を用いて形成された結晶質半導体層である。ここで、薄膜ダイオード125の半導体層110の厚さd2は、

薄膜トランジスタ 124 の半導体層 107 の厚さ d_1 よりも大きい。図示する例では、薄膜ダイオード 125 の半導体層 110 の厚さ d_2 は、薄膜トランジスタ 124 の半導体層 107 の厚さ d_1 とゲート絶縁膜 108 の厚さ d_3 との和 ($d_1 + d_3$) よりも大きい。

[0108] 図 2 に示すような n チャネル型薄膜トランジスタ 124 および薄膜ダイオード 125 は、例えば次のようにして作製される。

[0109] 図 3 および図 4 は、本実施形態における薄膜トランジスタ 124 および薄膜ダイオード 125 の作製工程を示す工程断面図であり、図 3 (A) → 図 4 (H) の順にしたがって作製工程が順次進行する。

[0110] まず、図 3 (A) に示すように、基板 101 の TFT および TFD を形成する表面に、遮光層 102、第 1 下地膜 103、第 2 下地膜 104 および非晶質半導体膜 105 をこの順で形成する。

[0111] 基板 101 として、低アルカリガラス基板や石英基板を用いることができる。本実施形態では低アルカリガラス基板を用いる。この場合、ガラス歪み点よりも $10 \sim 20^\circ\text{C}$ 程度低い温度であらかじめ熱処理しておいても良い。

[0112] 遮光層 102 は、最終製品において、TFD に対する基板裏面方向からの光を遮るよう配置する。金属膜あるいは、ケイ素膜等を用いて形成できる。金属膜を用いる場合は、後の製造工程における熱処理を考慮し、高融点金属であるタンタル (Ta) やタングステン (W)、モリブデン (Mo) 等が好ましい。本実施形態では、Mo 膜をスパッタリングによって堆積し、これをパターニングして遮光層 102 を形成した。遮光層 102 の厚さは $30 \sim 200 \text{ nm}$ 、好ましくは $50 \sim 150 \text{ nm}$ である。本実施形態では、例えば 100 nm とする。

[0113] 下地膜 103、104 は、基板 101 からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などを用いて形成できる。本実施形態では、例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O の材料ガスから作製される酸化窒化ケイ素膜を下層である第 1 下地膜 103 として形成し、その上に同様にプラズマ CVD 法により、 SiH_4 、 N_2O を材料ガス

として第2下地膜104を形成した。第1下地膜103の酸化窒化ケイ素膜の厚さは30~400nm、例えば200nmとし、第2下地膜104の酸化ケイ素膜の厚さは50~300nm、例えば100nmとする。本実施形態では、2層の下地膜を使用しているが、1層（例えば酸化ケイ素膜）の下地膜を使用してもよい。

[0114] 非晶質半導体膜105として、プラズマCVD法やスパッタ法などの公知の方法を用いて、例えば非晶質構造を有するケイ素膜（a-Si膜）を形成する。a-Si膜105の厚さは20nm以上100nm以下、好ましくは30~70nmとする。本実施形態では、プラズマCVD法でa-Si膜（厚さ：50nm）105を形成する。なお、下地膜103、104と非晶質ケイ素膜105とは同じ成膜法で形成することが可能であるので、両者を連続形成してもよい。下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

[0115] 次に、a-Si膜105を加熱温度400~550°Cで数十分から数時間にわたって加熱することによって、a-Si膜105の膜中の水素を離脱させる。この後、図3（B）で示すように、レーザー光106を照射する。これにより、a-Si膜105は、レーザー光106の照射による熔融固化過程で結晶化し、結晶質ケイ素膜（第1の結晶質ケイ素膜）105cとなる。

[0116] レーザー照射による結晶化処理に先立ち、a-Si膜105の脱水素のための熱処理を行っておく理由は、一般的なCVD法により成膜されたa-Si膜は多量の水素を含んでいるため、そのままの状態ではレーザーを照射すると水素の突沸が起こり、膜飛びが生じるからである。

[0117] レーザー光106としては、XeClエキシマレーザー（波長：308nm）やKrFエキシマレーザー（波長：248nm）を適用できる。レーザー光106のビームサイズは、基板101表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことによって基板全面の結晶化を行う。このとき、ビームの一部が重なるようにして走査する

と、a-Si膜105の任意の一点において、複数回のレーザー照射が行われ、均一性を向上できるので好ましい。本実施形態では、ビームサイズは基板101表面で300mm×0.4mmの長尺形状となるように成型されており、長尺方向に対して垂直方向に0.02mmのステップ幅で順次走査を行う。すなわち、ケイ素膜の任意の一点において、計20回のレーザー照射が行われることになる。この時使用できるレーザーとしては、前述のパルス発振型または連続発光型のKrFエキシマレーザー、XeClエキシマレーザーの他、YAGレーザーまたはYVO₄レーザー等を用いることができる。また、このときのレーザー照射エネルギー密度は250~450mJ/cm²、例えば350mJ/cm²とする。

[0118] 続いて、図3(C)に示すように、第1の結晶質ケイ素膜105cの不要な領域を除去して素子間分離を行う。これにより、後にTFTの活性領域（ソース・ドレイン領域、チャネル領域）となる島状半導体層107を得る。

[0119] 次いで、図3(D)に示すように、島状半導体層107を覆うゲート絶縁膜108を形成し、さらに、後のTFTのゲート電極109、後のTFDの活性領域（n型領域、p型領域、真性領域）となる島状半導体層110を形成する。

[0120] ゲート絶縁膜108としては、厚さが20~150nmの酸化ケイ素膜を用いることが好ましく、ここでは100nmの酸化ケイ素膜を用いる。

[0121] ゲート電極109は、スパッタ法またはCVD法などを用いて、ゲート絶縁膜108上に導電膜を堆積し、これをパターニングすることによって形成できる。このときの導電膜の材料として、高融点金属のW、Ta、Ti、Moまたはその合金材料のいずれかを用いることが望ましい。また、導電膜の厚さは300~600nmであることが好ましい。本実施形態では、導電膜として、厚さが450nmのモリブデン（Mo）膜を用いる。

[0122] 島状半導体層110は、ゲート絶縁膜108の上に第2の結晶質ケイ素膜を形成し、これをパターニングすることによって形成される。第2の結晶質ケイ素膜の形成は、SiH₄ガスを材料とするプラズマCVD法を用い、基板

加熱温度を300～450℃として行うことができる。このとき、希釈ガスとして水素を用い、水素の希釈率（ SiH_4/H_2 ）を1/50以下とすることで、成膜と共に結晶質成分を含むようになる。結晶化率を高めるためには、この希釈率は高いほどよいが、成膜速度が低下するため、1/50～1/1000の範囲内が好ましい。また、Arガスを希釈ガスに追加してもよい。圧力は1～4 Torr、例えば2.5 Torrで、RFパワーは0.2～3 kW/m²、例えば2 kW/m²とした。このようにして、第2の結晶質ケイ素膜を直接成膜する。本明細書において、結晶質ケイ素膜などの結晶質半導体膜を「直接成膜する」とは、結晶質半導体膜を堆積することを指し、例えばまず非晶質半導体膜を堆積し、これを結晶化することによって結晶質半導体膜を形成する場合を含まない。ゲート電極109および半導体層110の形成順序は特に問わない。

[0123] 島状の半導体層110の厚さd2は、TFETの活性領域となる半導体層107の厚さd1（ここでは50 nm）よりも大きくなるように設定されることが好ましい。より好ましくは、ゲート絶縁膜108の厚さd3（ここでは100 nm）と半導体層107の厚さd1との和（ここでは150 nm）よりも大きくなるように設定される。ここでは、島状の半導体層110の厚さd2を250 nmとした。

[0124] 次に、図3（E）に示すように、後にTFDの活性領域となる島状半導体層110の一部を覆うように、レジストからなるマスク111を形成する。この状態で、基板101の上方よりn型不純物（リン）112を全面にイオンドーピングする。このときのリン112のイオンドーピングは、TFETの活性領域となる島状半導体層107においては、ゲート絶縁膜108をスルーして行われ、TFDの活性領域となる島状半導体層110においては、ベア状態で行われる。この工程により、TFDの島状半導体層110において、レジストマスク111より露出している領域と、TFETの半導体層107において、ゲート電極109より露出している領域にリン112が注入される。レジストマスク111またはゲート電極109によって覆われている領

域には、リン112はドーピングされない。これにより、TF Tの半導体層107のうちリン112が注入された領域は、後のTF Tのソース領域およびドレイン領域113となり、ゲート電極109にマスクされてリン112が注入されなかった領域は、後のTF Tのチャネル領域115となる。また、TF Dの島状半導体層110においては、リン112が注入された領域は、後のTF Dの n^+ 領域114となる。

[0125] このとき、半導体層107の厚さ d_1 、半導体層110の厚さ d_2 、およびゲート絶縁膜108の厚さ d_3 は、 $d_1 + d_3 < d_2$ の関係を満たしているので、TF Tの活性層となる半導体層107に対してドーピング条件を最適化し、ソース領域およびドレイン領域113の低抵抗化を図ることができる。このとき、TF Dの活性層となる半導体層110には、厚さ d_2 に対して相対的に深くまで不純物は注入されない。ベアドーピングであるにもかかわらず、半導体層110の下面付近でのドーピングダメージは、TF Tの活性層となる半導体層107よりも低く抑えられる。

[0126] 次に、前工程で用いたレジストマスク111を除去した後、図4(F)に示すように、後にTF Dの活性領域となる島状半導体層110の一部と、後にTF Tの活性領域となる島状半導体層107の全体とを覆うように、レジストからなるマスク116を形成する。この状態で、基板101の上方より p 型不純物（ボロン）117を全面にイオンドーピングする。この工程により、TF Dの島状半導体層110において、レジストマスク116より露出している領域にボロン117が注入される。レジストマスク116によって覆われている領域には、ボロン117はドーピングされない。これにより、TF Dの島状半導体層110において、ボロン117が注入された領域は、後のTF Dの p^+ 領域118となり、前工程でリンが注入されなかった領域のうちボロン117が注入されなかった領域は、後の真性領域119となる。

[0127] そして、前工程で用いたレジストマスク116を除去した後、これを不活性雰囲気下、例えば窒素雰囲気にて熱処理を行う。この熱処理により、TF Tのソース・ドレイン領域113やTF Dの n^+ 領域114及び p^+ 領域118

において、ドーピング時に生じた結晶欠陥等のドーピングダメージを回復させ、それぞれにドーピングされたリンとボロンを活性化させる。このとき、それぞれの半導体層 107、110 において、共に半導体層下面のダメージを抑えるように、厚さ d1、d2、d3 が調整されていると、結晶破壊の小さい下面側より半導体層 107、110 の再結晶化が生じる。この結果、TF T のソース・ドレイン領域 113 と TFD の n⁺領域 114 及び p⁺領域 118 では、共に良好な結晶状態が回復し、より低抵抗化される。このときの加熱処理としては、一般的な加熱炉を用いてもよいが、RTA (Rapid Thermal Annealing) を用いることがより望ましい。特に、基板表面に高温の不活性ガスを吹き付け、瞬時に昇降温を行う方式のものが適している。

[0128] 次に、図 4 (G) に示すように、酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜 120、121 として形成する。本実施形態では、窒化ケイ素膜 120 と酸化ケイ素膜 121 との 2 層構造を有する層間絶縁膜を形成する。その後、1 気圧の窒素雰囲気中あるいは水素混合雰囲気中で 350~450℃ のアニールを行い、TF T の半導体層 107 と TFD の半導体層 110 の水素化を行い、結晶欠陥の低減を図る。すなわち、TF T の結晶質半導体層 107 と TFD の結晶質半導体層 110 における不對結合手 (ダングリングボンド) を、水素原子によりターミネートし不活性化させることで、結晶品質を改善する。このとき、窒化ケイ素膜 120 が水素を含むように形成しておくこと、窒化ケイ素膜 120 から水素を利用できるので効率的である。

[0129] 続いて、図 4 (H) に示すように、層間絶縁膜である窒化ケイ素膜 120 および酸化ケイ素膜 121 にコンタクトホールを形成して、金属材料によって TF T の電極・配線 122 と TFD 電極・配線 123 とを形成する。これにより、薄膜トランジスタ 124 と薄膜ダイオード 125 とを完成させる。必要に応じて、これらの素子を保護する目的で、薄膜トランジスタ 124 と薄膜ダイオード 125 との上に窒化ケイ素膜などからなる保護膜を設けてもよい。

[0130] 上記方法によると、TFTおよびTFDのそれぞれの半導体層、特にTFTのチャネル領域と光センサーTFDの真性領域とをそれぞれ作り分けることができる。この結果、TFTおよび光センサーTFDのそれぞれに要求される最適な素子特性を同時に実現できる。

[0131] (第2実施形態)

以下、図5を参照しながら、本発明による半導体装置の第2の実施形態を説明する。本実施形態の半導体装置の製造方法は、TFTの半導体層を、触媒元素を利用して非晶質半導体膜を結晶化させることによって形成する点、および、TFTのゲート電極とTFDの半導体層とを同一の結晶質半導体膜から形成する点で、前述の第1実施形態の製造方法と異なる。

[0132] 図5および図6は、ここで説明する薄膜トランジスタ228と薄膜ダイオード229の作製工程を示す断面図であり、図5(A)→図6(J)の順にしたがって作製工程が順次進行する。

[0133] まず、図5(A)に示すように、ガラス基板201のTFTおよびTFDを形成する表面に、遮光層202、第1下地膜203、第2下地膜204および非晶質半導体膜205をこの順で形成する。

[0134] 遮光層202は、最終製品において、基板裏面方向からTFDの半導体層に光が入射するのを遮るように配置する。本実施形態では、Mo膜をスパッタリングによって堆積し、これをパターニングして遮光層202を形成した。遮光層202の厚さは、例えば100nmとした。

[0135] 下地膜203、204は、基板201からの不純物拡散を防ぐために、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などを用いて形成できる。本実施形態では、例えば、窒化ケイ素膜を下層である第1下地膜203として形成し、その上に酸化ケイ素膜を第2下地膜204を形成した。第1下地膜203の窒化ケイ素膜の厚さは、例えば200nmとし、第2下地膜204の酸化ケイ素膜の厚さは、例えば100nmとする。本実施形態では、2層の下地膜を使用しているが、1層(例えば酸化ケイ素膜)の下地膜を使用してもよい。

- [0136] 非晶質半導体膜 205 として、プラズマ CVD 法やスパッタ法などの公知の方法を用いて、例えば非晶質構造を有するケイ素膜 (a-Si 膜) を形成する。a-Si 膜 205 の厚さは 20 nm 以上 100 nm 以下、好ましくは 30~70 nm とする。本実施形態では、プラズマ CVD 法で a-Si 膜 (厚さ: 50 nm) 205 を形成する。なお、下地膜 203、204 と a-Si 膜 205 とは同じ成膜法で形成することが可能であるので、両者を連続形成してもよい。
- [0137] 続いて、a-Si 膜 205 表面に触媒元素の添加を行う。a-Si 膜 205 に対して、重量換算で例えば 5 ppm の触媒元素 (本実施形態ではニッケル) を含む水溶液 (酢酸ニッケル水溶液) をスピコート法で塗布して、触媒元素含有層 206 を形成する。ここで使用可能な触媒元素は、ニッケル (Ni) 以外に、鉄 (Fe)、コバルト (Co)、スズ (Sn)、鉛 (Pb)、パラジウム (Pd)、銅 (Cu) から選ばれた一種または複数種の元素である。これらの元素よりも触媒効果は小さいが、ルテニウム (Ru)、ロジウム (Rh)、オスミウム (Os)、イリジウム (Ir)、白金 (Pt)、金 (Au) 等も触媒元素として機能する。このとき、ドーピングする触媒元素の量は極微量であり、a-Si 膜 205 表面上の触媒元素濃度は、全反射蛍光 X 線分析 (TRXRF) 法により、管理される。本実施形態では、 5×10^{12} atoms/cm² 程度である。尚、本工程に先立って、スピン塗布時の a-Si 膜 205 表面の濡れ性向上のため、オゾン水等で a-Si 膜 205 表面をわずかに酸化させてもよい。
- [0138] なお、本実施形態ではスピコート法でニッケルをドーピングする方法を用いたが、蒸着法やスパッタ法などにより触媒元素を含む薄膜 (本実施形態の場合はニッケル膜) を a-Si 膜 205 上に形成する手段をとっても良い。
- [0139] 続いて、不活性雰囲気下、例えば窒素雰囲気中にて加熱処理を行う。この加熱処理は、550~620℃で 30 分~4 時間のアニール処理を行うことが好ましい。本実施形態では、一例として 590℃にて 1 時間の加熱処理を行った。この加熱処理において、a-Si 膜表面に添加されたニッケルが a

—S i 膜 2 0 5 中に拡散すると共に、シリサイド化が起こり、それを核として a —S i 膜 2 0 5 の結晶化が進行する。その結果、図 5 (B) に示すように、a —S i 膜 2 0 5 は結晶化され、結晶質ケイ素膜 2 0 5 a となる。なお、ここでは炉を用いた加熱処理により結晶化を行ったが、ランプ等を熱源として用いる R T A (R a p i d T h e r m a l A n n e a l i n g) 装置で結晶化を行ってもよい。

[0140] 続いて、図 5 (C) に示すように、加熱処理により得られた結晶質ケイ素膜 2 0 5 a にレーザー光 2 0 7 を照射することで、この結晶質ケイ素膜 2 0 5 a をさらに再結晶化し、結晶性を向上させた結晶質ケイ素膜 2 0 5 b を形成する。このときのレーザー光としては、X e C l エキシマレーザー（波長 3 0 8 n m ）や K r F エキシマレーザー（波長 2 4 8 n m ）を適用できる。レーザー光のビームサイズは、基板 2 0 1 表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の再結晶化を行う。また、ビームの一部が重なるようにして走査することで、結晶質ケイ素膜 2 0 5 a の任意の一点において、複数回のレーザー照射が行われ、均一性を向上できる。本実施形態では、ビームサイズは基板 2 0 1 表面で 3 0 0 m m × 0 . 4 m m の長尺形状となるように成型されており、長尺方向に対して垂直方向に 0 . 0 2 m m のステップ幅で順次走査を行った。すなわち、結晶質ケイ素膜 2 0 5 a の任意の一点において、計 2 0 回のレーザー照射が行われることになる。

[0141] このとき使用できるレーザーとしては、前述のパルス発振型または連続発光型の K r F エキシマレーザー、X e C l エキシマレーザーの他、Y A G レーザーまたは Y V O ₄ レーザー等を用いることができる。また、照射エネルギー密度は、2 5 0 ~ 4 5 0 m J / c m ²、例えば 3 3 0 m J / c m ² とする。本実施形態の場合は、第 1 実施形態の場合とは異なり、レーザー光のエネルギー密度が高すぎると、前工程で得られた結晶質ケイ素膜 2 0 5 a の結晶状態がリセットされてしまうという制限が加わるので、第 1 の実施形態よりも若干低めに設定されることが望ましい。

- [0142] このようにして、固相結晶化により得られた結晶質ケイ素膜205aは、レーザー照射による溶融固化過程により結晶欠陥が低減され、より高品質な結晶質ケイ素膜205bとなる。このようにして得られた結晶質ケイ素領域205bの結晶面配向は、触媒元素による固相結晶化工程でほぼ決定しており、主に〈111〉晶帯面で構成され、その中でも特に(110)面配向と(211)面配向とで全体の50%以上の領域が占められているといった特徴的な面配向を有する。また、その結晶ドメイン(ほぼ同一の面方位領域)のドメイン径は、2~5 μm であった。
- [0143] 続いて、図5(D)に示すように、結晶質ケイ素膜205bの不要な領域を除去して素子間分離を行う。これにより、後にTFETの活性領域(ソース・ドレイン領域、チャネル領域)となる島状半導体層208を得る。
- [0144] 次いで、図5(E)に示すように、島状半導体層208を覆うゲート絶縁膜209を形成し、さらに、その上に第2の結晶質ケイ素膜210を形成する。ゲート絶縁膜209としては、厚さが20~150nmの酸化ケイ素膜を用いることが好ましく、ここでは厚さが100nmの酸化ケイ素膜を用いる。また、第2の結晶質ケイ素膜210の形成は、 SiH_4 ガスを材料とするプラズマCVD法を用い、第1実施形態と同様の条件にて、結晶質ケイ素膜を直接堆積させることによって行う。本実施形態では、第2の結晶質ケイ素膜210の厚さを300nmとする。
- [0145] なお、第2の結晶質ケイ素膜の形成方法は、上記方法に限定されるものでなく、本実施形態で第1の結晶質ケイ素膜を形成する際に利用したような非晶質ケイ素膜に触媒元素を添加し加熱処理によって結晶化する方法や、非晶質ケイ素膜にレーザー光を照射し結晶化する方法等、他の結晶化法も利用できる。
- [0146] 続いて、図5(F)に示すように、第2の結晶質ケイ素膜210をパターニングし、TFETのゲート電極となる半導体層211と、後のTFDの活性領域(n型領域、p型領域、真性領域)となる島状半導体層212とを形成する。島状の半導体層212の厚さ d_2 は、TFETの活性領域となる半導体

層208の厚さ d_1 （ここでは50nm）よりも大きくなるように設定されることが好ましい。より好ましくは、ゲート絶縁膜209の厚さ d_3 （ここでは100nm）と半導体層208の厚さ d_1 との和（ここでは150nm）よりも大きくなるように設定される。ここでは、島状の半導体層212の厚さ d_2 は、第2の結晶質ケイ素膜210の厚さと略等しく、例えば300nmである。

[0147] 次に、図6（G）に示すように、後にTFDの活性領域となる島状半導体層212の一部を覆うように、レジストからなるマスク213を形成する。この状態で、基板201の上方よりn型不純物（リン）214を全面にイオンドーピングする。このときのリン214のイオンドーピングは、TFDの活性領域となる島状半導体層208においては、ゲート絶縁膜209をスルーして行われ、TFDの活性領域となる島状半導体層212においては、ベア状態で行われる。この工程により、TFDの島状半導体層212のうちレジストマスク213より露出している領域と、TFDの半導体層208のうち半導体層211より露出している領域にリン214が注入される。また、結晶質ケイ素からなる半導体層211にも、ベア状態でリン214が注入され、n型化した結晶質ケイ素からなるゲート電極216が得られる。レジストマスク213またはゲート電極216によって覆われている領域の半導体層には、リン214はドーピングされない。これにより、TFDの半導体層208のうちリン214が注入された領域は、後のTFDのソース領域およびドレイン領域215となり、ゲート電極216にマスクされてリン214が注入されなかった領域は、後のTFDのチャネル領域218となる。また、TFDの島状半導体層212においては、リン214が注入された領域は、後のTFDの n^+ 領域217となる。

[0148] このとき、TFDの活性層となる半導体層208に対してドーピング条件を最適化することが好ましい。これにより、ソース領域およびドレイン領域215の低抵抗化を図ることができる。また、半導体層208の厚さ d_1 、半導体層212の厚さ d_2 、およびゲート絶縁膜209の厚さ d_3 が $d_1 +$

$d_3 < d_2$ の関係を満足しているので、このドーピング工程において、TFDの活性層となる半導体層212には、厚さ d_2 よりも深くまで不純物は注入されない。従って、ベアドーピングであるにもかかわらず、半導体層212の下面付近でのドーピングダメージは、TFTの活性層となる半導体層208よりも低く抑えられる。ゲート電極216も、TFDの活性層となる半導体層212と同様であるため、ベアドーピングであるにもかかわらず、ゲート電極216の下面付近でのドーピングダメージは、TFTの活性層となる半導体層208よりも低く抑えられる。

[0149] 次に、前工程で用いたレジストマスク213を除去した後、図6(H)に示すように、後にTFDの活性領域となる島状半導体層212の一部と、後にTFTの活性領域となる島状半導体層208の全体とを覆うように、レジストからなるマスク219を形成する。この状態で、基板201上方よりp型不純物(ボロン)220を全面にイオンドーピングする。この工程により、TFDの島状半導体層212において、レジストマスク219より露出している領域にボロン220が注入される。レジストマスク219によって覆われている領域には、ボロン220はドーピングされない。これにより、TFDの島状半導体層212において、ボロン220が注入された領域は、後のTFDの p^+ 領域221となり、前工程でリンが注入されなかった領域のうちボロン220が注入されなかった領域は、後の真性領域222となる。

[0150] 続いて、前工程で用いたレジストマスク219を除去した後、これを不活性雰囲気下、例えば窒素雰囲気中にて熱処理を行う。このときの状態が図6(I)に相当する。この熱処理により、TFTのソース・ドレイン領域215やTFDの n^+ 領域217及び p^+ 領域221、TFTのゲート電極216において、ドーピング時に生じた結晶欠陥等のドーピングダメージを回復させ、それぞれにドーピングされたリンとボロンを活性化させる。このとき、TFTの半導体層208、TFDの半導体層212、およびTFDの半導体層212と同一層であるTFTのゲート電極216では、上述したように半導体層下面のダメージが抑えられているので、結晶破壊の小さい半導体層下面

側より上面側に向かって再結晶化が生じる。このため、TFTのソース・ドレイン領域215、TFDのn⁺領域217及びp⁺領域221、およびTFTのゲート電極216では、共に良好な結晶状態が回復し、この結果、これらの領域が低抵抗化される。

[0151] さらに、この熱処理工程において、TFTの半導体層208においては、ソース・ドレイン領域215にドーピングされていたリンが、その領域でのニッケルの固溶度を高め、チャネル領域218に存在しているニッケルを、チャネル領域218からソース・ドレイン領域215へと、矢印223で示される方向に移動させる。その結果、TFTのソース・ドレイン領域215にはニッケルが移動してくるため、これらの領域におけるニッケル濃度は、チャネル領域218よりも高まり、 $1 \times 10^{18} / \text{cm}^3$ 以上となっている。このときの加熱処理としては、一般的な加熱炉を用いてもよいが、RTA (Rapid Thermal Annealing) がより望ましい。特に、基板表面に高温の不活性ガスを吹き付け、瞬時に昇降温を行う方式のものが適している。

[0152] 次に、図6(J)に示すように、酸化ケイ素膜あるいは窒化ケイ素膜を層間絶縁膜224、225として形成する。本実施形態では、窒化ケイ素膜224と酸化ケイ素膜225との2層構造を有する層間絶縁膜を形成する。その後、1気圧の窒素雰囲気中あるいは水素混合雰囲気中で350~450°Cのアニールを行い、TFTの半導体層208とTFDの半導体層212の水素化を行い、結晶欠陥の低減を図る。すなわち、TFTの結晶質半導体層208とTFDの結晶質半導体層212における不對結合手（ダングリングボンド）を、水素原子によりターミネートし不活性化させることで、結晶品質を改善する。このとき、窒化ケイ素膜224が水素を含むように形成しておけば、窒化ケイ素膜224から水素を利用できるので効率的である。

[0153] 続いて、層間絶縁膜である窒化ケイ素膜224および酸化ケイ素膜225にコンタクトホールを形成して、金属材料によってTFTの電極・配線226とTFDの電極・配線227とを形成する。これにより、薄膜トランジス

タ 2 2 8 と薄膜ダイオード 2 2 9 とを完成させる。必要に応じて、これらの素子を保護する目的で、薄膜トランジスタ 2 2 8 と薄膜ダイオード 2 2 9 との上に窒化ケイ素膜などからなる保護膜を設けてもよい。

[0154] 上記方法によると、T F T および T F D のそれぞれの半導体層、特に T F T のチャネル領域と光センサー T F D の真性領域とをそれぞれ作り分けることができる。その結果、T F T および光センサー T F D のそれぞれに要求される最適な素子特性を同時に実現できる。特に、本実施形態では、T F T の結晶質半導体層を触媒元素による結晶化を利用して形成したので、第 1 実施形態に比べて T F T 性能をより高めることができ、電流駆動能力の高い回路構成等が得られる。また、同一の結晶質ケイ素膜（第 2 の結晶質ケイ素膜）を用いて、T F D の活性領域となる半導体層と T F T のゲート電極とを形成したので、製造工程を簡略化することができ、製造コストを削減できる。

[0155] （第 3 実施形態）

以下、図 7 および図 8 を参照しながら、本発明による半導体装置の第 3 の実施形態を説明する。本実施形態の半導体装置の製造方法では、T F D および T F T の半導体層は、何れも、触媒元素を利用して非晶質半導体膜を結晶化させることによって形成される。また、T F T の半導体層と同一の結晶質半導体膜を用いて T F D の遮光層を形成し、T F D の半導体層と同一の結晶質半導体膜を用いて T F T のゲート電極を形成している点で、前述の第 1 実施形態の製造方法と異なる。

[0156] 図 7 および図 8 は、ここで説明する薄膜トランジスタ 3 3 0 と薄膜ダイオード 3 3 1 の作製工程を示す断面図であり、図 7 (A) → 図 8 (K) の順にしたがって作製工程が順次進行する。

[0157] まず、図 7 (A) に示すように、第 1 および第 2 実施形態と同様に、基板（例えばガラス基板）3 0 1 上に、基板 3 0 1 からの不純物拡散を防ぐために、第 1 および第 2 下地膜 3 0 2、3 0 3 をこの順で形成する。ここでは、第 1 下地膜 3 0 2 として窒化ケイ素膜、第 2 下地膜 3 0 3 として酸化ケイ素膜を用いる。次に、厚さが 3 0 ~ 8 0 nm、例えば 5 0 nm の非晶質ケイ素

(a-Si)膜304を形成する。下地膜302、303とa-Si膜304とを大気解放しないで連続的に形成してもよい。

[0158] 続いて、a-Si膜304表面に触媒元素の添加を行う。ここでは、触媒元素としてニッケルを用い、第2実施形態と同様、a-Si膜304に対して、重量換算で例えば5ppmのニッケルを含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層305を形成する。その際のa-Si膜304表面上の触媒元素濃度は、 $5 \times 10^{12} \text{ atoms/cm}^2$ 程度である。

[0159] 次に、不活性雰囲気下、例えば窒素雰囲気中にて加熱処理を行う。この加熱処理として、 $550 \sim 620^\circ\text{C}$ で30分～4時間のアニール処理を行うことが好ましい。本実施形態では、一例として 600°C の温度で1時間30分の加熱処理を行う。この加熱処理において、a-Si膜304の表面に添加されたニッケルがa-Si膜304中に拡散すると共に、シリサイド化が起り、それを核としてa-Si膜304が結晶化される。このようにして、図7(B)に示すように、結晶質ケイ素膜304aを得る。

[0160] 続いて、図7(C)に示すように、加熱処理により得られた結晶質ケイ素膜304aにレーザー光306を照射することによって、結晶質ケイ素膜304aをさらに再結晶化し、結晶性を向上させた結晶質ケイ素膜304bを形成する。レーザー光306として、第1および第2実施形態と同様に、XeClエキシマレーザー（波長308nm）を用いる。また、ビームの一部が重なるようにして走査して、ケイ素膜の任意の一点において複数回のレーザー照射を行うと、結晶質ケイ素膜304aをより均一に再結晶化できるので好ましい。

[0161] この後、図7(D)に示すように、結晶質ケイ素領域304bの不要な領域を除去して素子間分離を行う。これにより、後にTFDの活性領域（ソース・ドレイン領域、チャネル領域）となる島状の半導体層307と、後のTFDの遮光層となる島状の半導体層308とを得る。半導体層308は、最終製品においては、TFDの半導体層に対する基板裏面方向からの光を遮る

ことができるように配置される。

[0162] 続いて、図7（E）に示すように、TFTの活性領域となる島状半導体層307とTFDの遮光層となる島状の半導体層308とを覆うように、ゲート絶縁膜309を形成し、その上に第2の非晶質ケイ素（a-Si）膜310を形成する。この後、第2の非晶質ケイ素膜310に触媒元素を添加し、触媒元素含有層311を形成する。

[0163] ゲート絶縁膜309としては、厚さが20～150nmの酸化ケイ素膜を用いることが好ましく、ここでは100nmの酸化ケイ素膜を用いる。また、第2のa-Si膜310の形成は、プラズマCVD法を用いて行う。ここでは、第2のa-Si膜310の厚さを300nmとする。ゲート絶縁膜309と第2のa-Si膜310とを連続的にプラズマCVD法で形成してもよい。

[0164] 触媒元素含有層311は、触媒元素としてニッケルを用い、第2のa-Si膜310に対して、重量換算で例えば25ppmのニッケルを含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布することによって形成できる。このときの第2のa-Si膜310の表面上の触媒元素濃度は、 2×10^{13} atoms/cm²程度である。

[0165] 続いて、不活性雰囲気下、例えば窒素雰囲気中にて加熱処理を行う。加熱処理としては、550～620℃の温度で30分～4時間のアニール処理を行うことが好ましい。本実施形態では、一例として590℃の温度で1時間の加熱処理を行う。加熱処理において、第2のa-Si膜310表面に添加されたニッケルがa-Si膜310中に拡散すると共に、シリサイド化が起こり、それを核として第2のa-Si膜310が結晶化される。このようにして、図7（F）に示すように、第2の結晶質ケイ素膜310aを得る。

[0166] 続いて、図8（G）に示すように、第2の結晶質ケイ素膜310aをパターンニングし、TFTのゲート電極となる半導体層312と、後のTFDの活性領域（n型領域、p型領域、真性領域）となる島状半導体層313とを形成する。島状の半導体層313の厚さd2は、TFTの活性領域となる半導

体層 307 の厚さ d_1 (ここでは 50 nm) よりも大きくなるように設定されることが好ましい。より好ましくは、ゲート絶縁膜 309 の厚さ d_3 (ここでは 100 nm) と半導体層 307 の厚さ d_1 との和 (ここでは 150 nm) よりも大きくなるように設定される。ここでは、島状の半導体層 313 の厚さ d_2 は、第 2 の結晶質ケイ素膜 310 a の厚さと等しく、300 nm である。

[0167] 次に、図 8 (H) に示すように、後に TFD の活性領域となる島状半導体層 313 の一部を覆うように、レジストからなるマスク 314 を形成する。この状態で、基板 301 の上方より n 型不純物 (リン) 315 を全面にイオンドーピングする。このときのリン 315 のイオンドーピングは、TFE の活性領域となる島状半導体層 307 においては、ゲート絶縁膜 309 をスルーして行われ、TFD の活性領域となる島状半導体層 313 においては、ベア状態で行われる。この工程により、TFD の島状半導体層 313 のうちレジストマスク 314 から露出している領域と、TFE の半導体層 307 のうち半導体層 (後のゲート電極) 312 から露出している領域にリン 315 が注入される。また、結晶質ケイ素からなる半導体層 312 にも、ベア状態でリン 315 が注入され、n 型化した結晶質ケイ素からなるゲート電極 317 を得る。レジストマスク 314 またはゲート電極 317 によって覆われている領域の半導体層には、リン 315 はドーピングされない。これにより、TFE の半導体層 307 のうちリン 315 が注入された領域は、後の TFE のソース領域およびドレイン領域 316 となり、ゲート電極 317 にマスクされてリン 315 が注入されなかった領域は、後の TFE のチャネル領域 319 となる。また、TFD の島状半導体層 313 においては、リン 315 が注入された領域は、後の TFD の n^+ 領域 318 となる。

[0168] このとき、半導体層 307 の厚さ d_1 、半導体層 313 の厚さ d_2 、およびゲート絶縁膜 309 の厚さ d_3 は、 $d_1 + d_3 < d_2$ の関係を満足している。このため、TFE の活性層となる半導体層 307 に対してドーピング条件を最適化し、ソース領域およびドレイン領域 316 を低抵抗化しても、T

TFDの活性層となる半導体層313には、厚さd2に対して相対的に深くまで不純物が注入されない。よって、ベアドーピングであるにもかかわらず、半導体層313の下面付近でのドーピングダメージを、TF Tの活性層となる半導体層307よりも低く抑えることができる。ゲート電極317も、TFDの活性層となる半導体層313と同様であるため、ベアドーピングであるにもかかわらず、ゲート電極317の下面付近でのドーピングダメージを、TF Tの活性層となる半導体層307よりも低く抑えることができる。

[0169] 次に、前工程で用いたレジストマスク314を除去した後、図8(I)に示すように、後にTFDの活性領域となる島状半導体層313の一部と、後にTF Tの活性領域となる島状半導体層307の全体とを覆うように、レジストからなるマスク320を形成する。この状態で、基板301上方よりp型不純物(ボロン)321を全面にイオンドーピングする。この工程により、TFDの島状半導体層313のうちレジストマスク320から露出している領域にボロン321が注入される。レジストマスク320によって覆われている領域には、ボロン321はドーピングされない。これにより、TFDの島状半導体層313において、ボロン321が注入された領域は、後のTFDのp⁺領域322となり、前工程でリンが注入されなかった領域のうちボロン321が注入されなかった領域は、真性領域323となる。

[0170] 前工程で用いたレジストマスク320を除去した後、これを不活性雰囲気下、例えば窒素雰囲気中にて熱処理を行う。この熱処理により、図8(J)に示すように、TF Tのソース・ドレイン領域316やTFDのn⁺領域318及びp⁺領域322、TF Tのゲート電極317において、ドーピング時に生じた結晶欠陥等のドーピングダメージを回復させ、それぞれにドーピングされたリンとボロンを活性化させる。このとき、TF Tの半導体層307、TFDの半導体層313、そしてTFDの半導体層313と同一層であるTF Tのゲート電極317では、何れも、半導体層下面のダメージが抑えられているので、結晶破壊の小さい半導体層下面側から上面に向かって再結晶化が生じる。この結果、TF Tのソース・ドレイン領域316、TFDのn⁺領

域 3 1 8 及び p⁺領域 3 2 2、T F T のゲート電極 3 1 7 の結晶状態が回復され、これらの領域を低抵抗化できる。

[0171] さらに、この熱処理工程において、T F T の半導体層 3 0 7 においては、ソース・ドレイン領域 3 1 6 にドーピングされているリンが、その領域 3 1 6 でのニッケルの固溶度を高め、チャネル領域 3 1 9 に存在しているニッケルを、チャネル領域 3 1 9 からソース・ドレイン領域 3 1 6 へと、矢印 3 2 4 で示される方向に移動させる。その結果、T F T のソース・ドレイン領域 3 1 6 にはニッケルが移動してくるため、これらの領域 3 1 6 におけるニッケル濃度は、チャネル領域 3 1 9 よりも高まり、 $1 \times 10^{18} / \text{cm}^3$ 以上となる。また、T F D の半導体層 3 1 3 においては、n⁺領域 3 1 8 にドーピングされているリンが、その領域 3 1 8 でのニッケルの固溶度を高め、真性領域 3 2 3 に存在しているニッケルを、真性領域 3 2 3 から n⁺領域 3 1 8 へと、矢印 3 2 5 で示される方向に移動させる。その結果、T F D の n⁺領域 3 1 8 にはニッケルが移動してくるため、これらの領域におけるニッケル濃度は、真性領域 3 2 3 よりも高まり、 $1 \times 10^{18} / \text{cm}^3$ 以上となる。

[0172] 次に、図 8 (K) に示すように、層間絶縁膜 3 2 6、3 2 7 を形成する。本実施形態では、窒化ケイ素膜 3 2 6 と酸化ケイ素膜 3 2 7 との 2 層構造を有する層間絶縁膜を形成する。この後、1 気圧の窒素雰囲気中あるいは水素混合雰囲気中で 3 5 0 ~ 4 5 0 °C のアニールを行い、T F T の半導体層 3 0 7 と T F D の半導体層 3 1 3 の水素化を行い、結晶欠陥を低減させる。このとき、窒化ケイ素膜 3 2 6 を、水素を含むように形成しておけば、窒化ケイ素膜 3 2 6 から水素を利用できるので効率的である。

[0173] 続いて、層間絶縁膜である窒化ケイ素膜 3 2 6 および酸化ケイ素膜 3 2 7 にコンタクトホールを形成して、金属材料によって T F T の電極・配線 3 2 8 と T F D の電極・配線 3 2 9 とを形成する。これにより、薄膜トランジスタ 3 3 0 と薄膜ダイオード 3 3 1 とを完成させる。必要に応じて、これらの素子を保護する目的で、薄膜トランジスタ 3 3 0 と薄膜ダイオード 3 3 1 との上に窒化ケイ素膜などからなる保護膜を設けてもよい。

[0174] 上記方法によると、TFTおよびTFDのそれぞれの半導体層、さらにはTFTのチャネル領域と光センサーTFDの真性領域とをそれぞれ作り分けることができる。その結果、TFTおよび光センサーTFDのそれぞれに要求される最適な素子特性を同時に実現できる。また、本実施形態では、TFTの半導体層と同一の半導体膜を利用してTFDの遮光層を形成すると共に、TFDの半導体層と同一の半導体膜を利用してTFTのゲート絶縁膜を形成するので、製造工程をさらに簡略化し、かつ、低コスト化を図ることができる。

[0175] (第4実施形態)

本発明による半導体装置の第4の実施形態を説明する。ここでは、ガラス基板上に表示用の画素TFTおよびその補助容量(コンデンサー)と、駆動用のCMOS構成TFT回路と、フォトセンサーTFDとを同時作製する方法を例に、より具体的に説明する。本実施形態の半導体装置は、光センサー内蔵型のアクティブマトリクス型の液晶表示装置や有機EL表示装置等に利用することができる。

[0176] 図9~図11は、ここで説明するドライバ回路用nチャネル型薄膜トランジスタ431とpチャネル型薄膜トランジスタ432、画素電極駆動用nチャネル型薄膜トランジスタ433、それに接続された補助容量434、光センサー用薄膜ダイオード435の作製工程を示す断面図であり、図9(A)→図11(K)の順にしたがって作製工程が順次進行する。

[0177] まず、図9(A)に示すように、ガラス基板401のTFT及びTFDを形成する面に、後のTFDにおいて基板裏面方向からの光を遮るための遮光層402を形成する。遮光層402は、金属膜であってもよいし、ケイ素膜であってもよい。本実施形態では、モリブデン(Mo)膜をスパッタリングにより形成し、これをパターニングして遮光層402を形成する。遮光層402の厚さは好ましくは30~300nm、より好ましくは50~200nmとする。本実施形態における遮光層402の厚さは例えば100nmとする。

- [0178] 次に、ガラス基板401及び遮光層402上に、例えばプラズマCVD法によって酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などの下地膜403、404、および非晶質半導体膜405をこの順で形成する。
- [0179] 下地膜403、404は、ガラス基板からの不純物の拡散を防ぐために設けられる。本実施形態では、下層の第1下地膜403として、厚さが100nm程度の窒化ケイ素膜を形成し、続いて、第2の下地膜404として厚さが200nm程度の酸化ケイ素膜を形成する。非晶質半導体膜405としては、厚さが20~80nm程度、例えば40nmの真性（I型）の非晶質ケイ素膜（a-Si膜）をプラズマCVD法などによって形成する。
- [0180] 続いて、a-Si膜405表面に触媒元素の添加を行う。ここでは、触媒元素としてニッケルを用い、第2および第3実施形態と同様、a-Si膜405に対して、重量換算で例えば5ppmのニッケルを含む水溶液（酢酸ニッケル水溶液）をスピコート法で塗布して、触媒元素含有層406を形成する。このときのa-Si膜405表面上の触媒元素濃度は、 5×10^{12} atoms/cm²程度である。
- [0181] 続いて、不活性雰囲気下、例えば窒素雰囲気中にて加熱処理を行う。加熱処理としては、550~620℃の温度で30分~4時間のアニール処理を行うことが好ましい。本実施形態では、一例として600℃の温度で1時間の加熱処理を行った。この加熱処理において、a-Si膜405表面に添加されたニッケルがa-Si膜405中に拡散すると共に、シリサイド化が起こり、それを核としてa-Si膜405は結晶化される。このようにして、図9（B）に示すように、結晶質ケイ素膜405aが得られる。
- [0182] 次に、図9（C）に示すように、加熱処理により得られた結晶質ケイ素膜405aにレーザー光407を照射することによって、結晶質ケイ素膜405aをさらに再結晶化し、結晶性を向上させた結晶質ケイ素膜405bを形成する。
- [0183] レーザー光407としては、XeClエキシマレーザー（波長308nm）やKrFエキシマレーザー（波長248nm）を適用することができる。

レーザー光407のビームサイズは、基板401表面で長尺形状となるように成型されており、長尺方向に対して垂直方向に順次走査を行うことで、基板全面の照射を行う。このとき、ビームの一部が重なるようにして走査すると、結晶質ケイ素膜405aの任意の一点において複数回のレーザー照射が行われるので、より均一に再結晶化できる。本実施形態では、ビームサイズは基板401表面で300mm×0.4mmの長尺形状となるように成型されており、長尺方向に対して垂直方向に0.02mmのステップ幅で順次走査を行う。すなわち、ケイ素膜の任意の一点において、計20回のレーザー照射が行われることになる。この工程で使用できるレーザーは、前述のパルス発振型または連続発光型のKrFエキシマレーザー、XeClエキシマレーザーの他、YAGレーザーまたはYVO₄レーザー等であってもよい。

[0184] その後、結晶質ケイ素領域405bの不要な領域を除去して、素子間分離を行う。これにより、図9(D)に示すように、後にドライバ回路部を構成するnチャネル型TFTの活性領域（ソース・ドレイン領域、チャネル領域）となる島状の半導体層408nと、pチャネル型TFTの活性領域（ソース・ドレイン領域、チャネル領域）となる島状の半導体層408pと、画素電極駆動用のnチャネル型TFTの活性領域（ソース・ドレイン領域、チャネル領域）とそれに接続された補助容量の下部電極を構成する島状の半導体層408gとを得る。

[0185] 図示しないが、ここで、これらの全ての半導体層、あるいは一部の半導体層に対して、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ 程度の濃度でp型を付与する不純物元素としてボロン(B)をドーピングしてもよい。ボロン(B)の添加はイオンドーピング法で実施してもよいし、非晶質シリコン膜を成膜するときに同時にドーピングしておくこともできる。

[0186] 次に、図9(E)に示すように、半導体層408n、408p、408gを覆うようにゲート絶縁膜409を形成し、続いてフォトリソットによるレジストマスク410n、410p、410gを形成する。この後、これらのレジストマスク410n、410p、410gをマスクとして、島状半導体

層408n、408gに低濃度の不純物（リン）411を注入する。

[0187] 本実施形態では、ゲート絶縁膜409として、厚さが20~150nm、ここでは70nmの酸化ケイ素膜を形成する。酸化ケイ素膜の形成は、150~600℃、好ましくは300~450℃の基板温度で、TEOS（Tetra Ethoxy Ortho Silicate）を原料とし、酸素とともに、RFプラズマCVD法で分解・堆積することによって行ってもよい。あるいは、350~600℃、好ましくは400~550℃の基板温度で、TEOSを原料として、オゾンガスとともに、減圧CVD法もしくは常圧CVD法で堆積することによって行うこともできる。また、形成後、ゲート絶縁膜409自身のバルク特性および結晶質ケイ素膜とゲート絶縁膜との界面特性を向上するために、不活性ガス雰囲気下で、500~600℃の温度で1~4時間のアニールを行ってもよい。なお、ゲート絶縁膜409として、他のシリコンを含む絶縁膜を用いてもよい。さらに、ゲート絶縁膜409は、単層であってもよいし、積層構造を有していてもよい。

[0188] レジストマスク410n、410p、410gは、島状半導体層408n、408p、408g上にそれぞれ設けられる。後にnチャネル型TFETの活性領域となる半導体層408nにおいては、後にチャネル領域となる中央部のみを覆うようにレジストマスク410nを配置する。後にソース・チャネル領域となる両端部は露呈した状態となる。また、後に画素TFETの活性領域と補助容量の下部電極となる半導体層408gにおいては、後に画素TFETの活性領域となる部分のみを覆うようにレジストマスク410gを配置し、後に補助容量の下部電極となる部分は露呈した状態となる。また、後にpチャネル型TFETの活性領域となる半導体層408p全体を覆うようにレジストマスク410pを配置する。

[0189] 不純物（リン）411の注入はイオンドーピング法によって行うことができる。ドーピングガスとして、フォスフィン（PH₃）を用い、加速電圧を60~90kV、例えば70kV、ドーズ量を $5 \times 10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば $5 \times 10^{13} \text{ cm}^{-2}$ とする。この工程により、島状半導体層408n、40

8 gにおいて、レジストマスク410 n、410 gに覆われていない領域には低濃度のリン411が注入され、それぞれ、低濃度のn型不純物領域412 n、412 gとなる。レジストマスク410 n、410 gに覆われた領域には、リン411は注入されない。また、島状半導体層408 pはレジストマスク410 pでマスクされているので、島状半導体層408 pにはリン411は全く注入されない。

[0190] 次に、図10(F)に示すように、各島状半導体層408 n、408 p、408 gの上に、ゲート電極413 n、413 p、413 gをそれぞれ形成し、さらに、島状半導体層408 gの上に補助容量の上部電極413 sを形成する。この状態で、イオンドーピング法によって、ゲート電極413 n、413 p、413 gおよび補助容量の上部電極413 sをマスクとして、それぞれのTF Tの活性領域に第2の低濃度の不純物(リン)414を注入する。

[0191] ここでは、後の画素TF Tのゲート電極413 gは、画素TF Tのオフ動作時のリーク電流を低減する目的で、2つに分割されている。2つのTF Tが直列接続された、いわゆるデュアルゲート構造を得るためである。画素TF Tのゲート構造は、さらにゲート電極413 gの本数(TF Tの直列接続数)を増やしたトリプルゲートやクワッドゲート構造であってもよい。

[0192] ゲート電極413 n、413 p、413 gおよび補助容量の上部電極413 sは、スパッタリング法によって金属膜を堆積し、これをパターニングすることによって形成される。金属膜の材料としては、Al、Mo、Ta、W、Ti等およびそれらを主成分とする合金を用いてもよい。後工程の熱処理により使用材料が制限される。また、その他の代替材料として、タングステンシリサイド、チタンシリサイドまたはモリブデンシリサイドを用いてもよい。本実施形態では、厚さが300~600 nm、例えば450 nmのAl-Ti合金(Tiを0.2%~3%含有)膜を用いる。

[0193] リン414の注入工程では、ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~90 kV、例えば70 kV、ドーズ量を1×1

$0.12 \sim 1 \times 10^{14} \text{ cm}^{-2}$ 、例えば $2 \times 10^{13} \text{ cm}^{-2}$ とする。この工程により、島状半導体層 408 n、408 p、408 g において、ゲート電極 413 n、413 p、413 g 及び補助容量の上部電極 413 s で覆われていない領域は、第 2 の低濃度のリン 414 が注入され、それぞれ第 2 の低濃度 n 型不純物領域 415 n、415 p、415 g となる。ゲート電極 413 n、413 p、413 g 及び補助容量の上部電極 413 s でマスクされた領域には、リン 414 は注入されない。

[0194] 続いて、図 10 (G) に示すように、ゲート絶縁膜 409 上に第 2 の結晶質ケイ素膜を堆積し、これをパターニングして、後の TFD の活性領域 (n 型領域、p 型領域、真性領域) となる島状半導体層 416 を形成する。

[0195] 第 2 の結晶質ケイ素膜の形成は、 SiH_4 ガスを材料とするプラズマ CVD 法を用い、基板加熱温度を $300 \sim 450^\circ\text{C}$ として行うことができる。このとき、希釈ガスとして水素を用い、水素の希釈率 (SiH_4/H_2) を $1/50$ 以下とすることで、成膜と共に結晶質成分を含むようになる。結晶化率を高めるためには、この希釈率は高いほどよいが、成膜速度が低下するため、 $1/50 \sim 1/1000$ の範囲内が好ましい。また、Ar ガスを希釈ガスに追加してもよい。圧力は $1 \sim 4 \text{ Torr}$ 、例えば 2.5 Torr で、RF パワーは $0.2 \sim 3 \text{ kW/m}^2$ 、例えば 2 kW/m^2 とした。このようにして、本実施形態では、結晶質ケイ素を堆積させることによって第 2 の結晶質ケイ素膜を直接成膜し、これを公知の方法でパターニングして半導体層 416 を得る。

[0196] なお、本実施形態では、ゲート電極 413 n、413 p、413 g、413 s を形成した後、半導体層 416 を形成しているが、半導体層 416 を先に形成してもよい。

[0197] 半導体層 416 の厚さ d_2 は、TFD の活性領域となる半導体層 408 n、408 p、408 g の厚さ d_1 (本実施形態では 40 nm に設定) よりも大きくなるように設定されることが好ましい。

[0198] さらに好ましくは、島状の半導体層 416 の厚さ d_2 は、ゲート絶縁膜 4

09の厚さd3と半導体層408n、408p、408gの厚さd1との和よりも大きい。なお、本実施形態では、形成した直後のゲート絶縁膜409の厚さは70nmであったが、ゲート電極413n、413p、413gのエッチング加工をドライエッチングで行う際に、ゲート電極413n、413p、413gより露呈した領域のゲート絶縁膜409がオーバーエッチングに曝される。この結果、ゲート絶縁膜409のうちゲート電極413n、413p、413gより露呈した領域の厚さd3は、形成直後よりも例えば約15nm小さく、55nmとなっている。したがって、本実施形態では、島状の半導体層416の厚さd2は、厚さd3(55nm)と厚さd1(40nm)との和(95nm)よりも大きく設定されることが好ましい。ここでは、厚さd2を例えば300nmとする。

[0199] 次いで、図10(H)に示すように、後の画素TF Tのゲート電極413gを一回り大きく覆うようにフォトレジストによるドーピングマスク417gを設け、後のpチャネル型TF Tにおいては、ゲート電極413pをさらに一回り大きく覆い、半導体層408pの外縁部を露出させるようにフォトレジストによるドーピングマスク417pを設ける。また、後の光センサーTF Dにおいては、半導体層416の一部を露出させるようにフォトレジストによるドーピングマスク417dを設ける。その後、イオンドーピング法によって、後のnチャネル型TF Tのゲート電極413nと補助容量の上部電極413s、及びレジストマスク417p、417g、417dをマスクとして、それぞれの半導体層に不純物(リン)418を高濃度に注入する。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を40~80kV、例えば60kV、ドーズ量を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ とする。

[0200] この工程により、nチャネル型TF Tの半導体層408nでは、ゲート電極413nより露出している領域に高濃度に不純物(リン)418が注入され、後のnチャネル型TF Tのソース・ドレイン領域419nが、ゲート電極413nに対して自己整合的に形成される。半導体層408nにおいて、

ゲート電極413nに覆われ、高濃度のリン418がドーピングされなかった領域のうち、前工程で低濃度にリンが注入された領域は、ゲート電極413nにオーバーラップしたLDD領域、いわゆるGOLD (Gate Overlapped Lightly Doped Drain) 領域420nとなり、低濃度のリンも注入されていないゲート電極413n下の領域は、チャンネル領域426nとなる。このような構造とすることで、チャンネル領域とソース・ドレイン領域419nとの接合部における電界集中を緩和し、ホットキャリア耐性を飛躍的に高めることができ、ドライバ回路におけるnチャンネル型TFETの信頼性を大きく向上できる。

[0201] 画素TFETの半導体層408gでは、レジストマスク417gより露出している領域に高濃度に不純物(リン)418が注入され、後の画素TFET (nチャンネル型)のソース・ドレイン領域419gが形成される。また、レジストマスク417gに覆われ、高濃度のリン418がドーピングされなかった領域のうち、前工程で低濃度にリンが注入された領域は、LDD領域421gとなり、低濃度のリンも注入されていないゲート電極413g下の領域は、チャンネル領域426gとなる。画素TFETとして、このようにゲート電極の外側にオフセットしたLDD領域を有するLDD構造のTFETを用いると、TFETのオフ動作時のリーク電流を大きく低減できる。

[0202] pチャンネル型TFETの半導体層408pでは、レジストマスク417pより露出している領域に高濃度に不純物(リン)418が注入され、高濃度n型領域419pが形成される。レジストマスク417pに覆われ、低濃度のリン414が注入された領域421pはそのまま残る。また、光センサーTFETの半導体層408dでは、レジストマスク417dより露出している領域に高濃度に不純物(リン)418が注入され、高濃度n型領域419dが形成される。

[0203] このときのnチャンネル型TFETのGOLD領域420nにおけるn型不純物元素(リン)411の膜中濃度は、 $5 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ であり、画素TFETのLDD領域421gにおけるn型不純物元素(リン)414の

膜中濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18} / \text{cm}^3$ であることが好ましい。このような範囲であれば、これらの領域 420 n、421 g は GOLD 領域、あるいは LDD 領域としてより効果的に機能する。

[0204] 高濃度のリン 418 をドーピングする工程は、nチャネル型 TFT の島状半導体層 408 n および画素 TFT の島状半導体層 408 g においては、ゲート絶縁膜 409 をスルーして行われ、TFD の活性領域となる島状半導体層 416 においては、ベア状態で行われる。このとき、半導体層 408 n、408 g の厚さ d1、半導体層 416 の厚さ d2、ゲート絶縁膜 409 のゲート電極より露呈した領域の厚さ d3 は、 $d1 + d3 < d2$ を満足するように設定されている。このため、TFT の半導体層 408 n、408 g に対してドーピング条件が最適化され、ソース領域およびドレイン領域 419 n、419 g を低抵抗化しても、TFD の活性層となる半導体層 416 には、厚さ d2 に対して相対的に深くまで不純物は注入されない。従って、ベアドーピングであるにもかかわらず、半導体層 416 の下面付近でのドーピングダメージは、TFT の半導体層 408 n、408 g よりも低く抑えられる。

[0205] 次に、レジストマスク 417 p、417 g、417 d を除去した後、図 11 (I) に示すように、また新たに、nチャネル型 TFT の半導体層 408 n と画素 TFT およびその補助容量を構成する半導体層 408 g とを全面的に覆い、かつ、TFD の半導体層 416 の一部を覆うように、フォトリソによるドーピングマスク 422 n、422 g、422 d を設ける。この状態で、イオンドーピング法によって、レジストマスク 422 n、422 g、422 d と pチャネル型 TFT のゲート電極 413 p をマスクとして、pチャネル型 TFT の半導体層 408 p と TFD の半導体層 416 に p 型を付与する不純物（ホウ素） 423 を注入する。ドーピングガスとして、ジボラン (B_2H_6) を用い、加速電圧を $40 \text{ kV} \sim 90 \text{ kV}$ 、例えば 70 kV とし、ドーピング量は $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 、例えば $3 \times 10^{15} \text{ cm}^{-2}$ とする。

[0206] この工程により、pチャネル型 TFT の半導体層 408 p のうちゲート電極 413 p で覆われていない領域に高濃度にホウ素 423 が注入される。ま

た、領域 4 2 1 p は、先の工程で低濃度に注入されている n 型不純物のリン 4 1 4 を反転させ p 型となり、ゲート電極 4 1 3 p に対して自己整合的に、後の T F T のソース・ドレイン領域 4 2 4 p が形成される。さらに、領域 4 1 9 p には、先の工程で注入された高濃度のリン 4 1 8 に加えて、高濃度のホウ素 4 2 3 が注入され、ゲッタリング領域 4 2 5 となる。ゲート電極 4 1 3 p の下の領域には高濃度のホウ素 4 2 3 は注入されず、チャンネル領域 4 2 6 p となる。

[0207] また、光センサー T F D の半導体層 4 1 6 においては、レジストマスク 4 2 2 d より露呈した領域に高濃度にホウ素 4 2 3 が注入され、後の T F D の p 型領域 4 2 4 d が形成される。レジストマスク 4 2 2 d と前工程でのレジストマスク 4 1 7 d とで共にマスクされ、高濃度のリンもホウ素も注入されなかった領域は、後の T F D の真性領域 4 2 6 d となる。上記工程において、n チャンネル型 T F T の半導体層 4 0 8 n と画素 T F T およびその補助容量の下部電極となる半導体層 4 0 8 g は、レジストマスク 4 2 2 n、4 2 2 g で全面覆われているため、ホウ素 4 2 3 はドーピングされない。

[0208] 高濃度のホウ素 4 2 3 をドーピングする工程は、p チャンネル型 T F T の島状半導体層 4 0 8 p においては、ゲート絶縁膜 4 0 9 をスルーして行われ、T F D の活性領域となる島状半導体層 4 1 6 においては、ベア状態で行われる。このとき、半導体層 4 0 8 p の厚さ d_1 、半導体層 4 1 6 の厚さ d_2 、ゲート絶縁膜 4 0 9 のゲート電極より露呈した領域の厚さ d_3 は、 $d_1 + d_3 < d_2$ を満足するように設定されているので、T F T の半導体層 4 0 8 p に対してホウ素 4 2 3 のドーピング条件を最適化し、ソース領域およびドレイン領域 4 2 4 p の低抵抗化を図ることができる。これに対して、T F D の活性層となる半導体層 4 1 6 には、厚さ d_2 に対して相対的に深くまで不純物は注入されず、ベアドーピングであるにもかかわらず、半導体層 4 1 6 の下面付近でのドーピングダメージは、T F T の半導体層 4 0 8 p よりも低く抑えられる。

[0209] 次いで、レジストマスク 4 2 2 n、4 2 2 g、4 2 2 d を除去した後、こ

れを不活性雰囲気下、例えば窒素雰囲気中にて加熱処理を行う。本実施形態では、基板を一枚毎に高温雰囲気に移動し高温の窒素ガスを吹き付けることで高速昇降温を行う方式のRTA処理を用いた。処理条件としては、200℃/分を超える昇降温速度で昇降温を行い、例えば650℃で10分の加熱処理を行なった。このときの加熱処理としては、その他の方式も使用可能で、条件についても実施者が便宜設定すればよい。勿論、一般的な拡散炉（ファーンズ炉）やランプ加熱方式のRTAを用いてもよい。

[0210] この熱処理工程で、図11(J)に示すように、後のnチャネル型TFETの半導体層408n、画素スイッチング用薄膜トランジスタ408gでは、ソース・ドレイン領域419n、419gにドーピングされているリンが、その領域でのニッケルの固溶度を高め、チャネル領域426n、426g、GOLD領域420n、LDD領域421gに存在しているニッケルを、チャネル領域からGOLD領域あるいはLDD領域、そしてソース・ドレイン領域へと、矢印427n、427gで示される方向に移動させる。また、後のpチャネル型TFETの半導体層408pにおいても、ソース・ドレイン領域424pの外側に形成されたゲッタリング領域425に高濃度にドーピングされているリンおよびホウ素と、ホウ素のドーピング時に生じた格子欠陥等が、チャネル領域426p、ソース・ドレイン領域424pに存在しているニッケルを、チャネル領域からソース・ドレイン領域、そしてゲッタリング領域425へと、同様に矢印427pで示される方向に移動させる。この加熱処理工程により、nチャネル型TFET及び画素TFETのソース・ドレイン領域419n、419gと、pチャネル型TFETのゲッタリング領域425にはニッケルが移動してくるため、これらの領域におけるニッケル濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上となる。

[0211] また、この加熱処理工程で、nチャネル型TFET及び画素TFETのソース・ドレイン領域419n、419g、GOLD領域420n、LDD領域421g、補助容量下部電極領域420g、TFETのn型領域419dにドーピングされたn型不純物（リン）と、pチャネル型TFETのソース・ドレイ

ン領域 4 2 4 p と T F D の p 型領域 4 2 4 d にドーピングされた p 型不純物（ホウ素）との、ドーピング時に生じた結晶欠陥等のドーピングダメージを回復させ、それぞれにドーピングされたリンとホウ素を活性化させる。このとき、それぞれの半導体層 4 0 8 n、4 0 8 g、4 1 6 では、上述したように各層の厚さおよびドーピング条件を調整することによって、半導体層下面における高濃度のリン 4 1 8 のドーピングダメージが抑えられている。このため、結晶破壊の小さい下面側より再結晶化が生じ、その結果、nチャネル型 T F T 及び画素 T F T のソース・ドレイン領域 4 1 9 n、4 1 9 g および T F D の n 型領域 4 1 9 d の n⁺領域では、良好な結晶状態に回復され、低抵抗化される。また、それぞれの半導体層 4 0 8 p、4 1 6 でも、上述したように、半導体層下面における高濃度のホウ素 4 2 3 のドーピングダメージが抑えられているので、結晶破壊の小さい下面側より再結晶化が生じる。その結果、pチャネル型 T F T のソース・ドレイン領域 4 2 4 p および T F D の p 型領域 4 2 4 d の p⁺領域では、良好な結晶状態に回復され、低抵抗化される。

[0212] その結果、nチャネル型 T F T、画素 T F T のソース・ドレイン領域のシート抵抗値は、0.3~0.7 k Ω / \square 程度となり、T F D の n 型領域のシート抵抗値は、0.5~1.0 k Ω / \square 程度となる。G O L D 領域及び補助容量下部電極領域のシート抵抗値は、20~60 k Ω / \square 程度となり、L D D 領域のシート抵抗値は、40~100 k Ω / \square であった。また、pチャネル型 T F T のソース・ドレイン領域のシート抵抗値は、0.7~1.2 k Ω / \square 程度であり、T F D の p 型領域のシート抵抗値は、1.0~1.5 k Ω / \square 程度であった。pチャネル型 T F T のゲッタリング領域においては、ドーピングされた n 型不純物元素のリンと p 型不純物元素のホウ素がキャリア（電子とホール）を打ち消しあい、そのシート抵抗値は数十 k Ω / \square と、ソース・ドレイン領域としては機能しないような値となっているが、pチャネル型 T F T の半導体層において、ゲッタリング領域は、キャリアの移動を妨げないように配置され、動作上問題とはならない。

- [0213] 次いで、図11(K)に示すように、層間絶縁膜（厚さ：例えば400～1500nm、代表的には600～1000nm）428、429を形成する。層間絶縁膜として、窒化ケイ素膜、酸化ケイ素膜、または窒化酸化ケイ素膜を用いることができる。本実施形態では、厚さが200nmの窒化ケイ素膜428および厚さが700nmの酸化ケイ素膜429からなる積層構造の層間絶縁膜を形成する。窒化ケイ素膜428の形成は、 SiH_4 と NH_3 を原料ガスとしてプラズマCVD法を用いて行うことができる。酸化ケイ素膜429の形成は、TEOSと O_2 とを原料としてプラズマCVD法を用いて行うことができる。窒化ケイ素膜428および酸化ケイ素膜429は連続して形成されることが好ましい。層間絶縁膜の材料や形成方法はこれに限定されるものではなく、他のシリコンを含む絶縁膜を用いてもよい。また、層間絶縁膜は単層であってもよいし、積層構造を有していてもよい。積層構造を有する場合、上層の絶縁膜としてアクリル等の有機絶縁膜を設けてもよい。
- [0214] この後、300～500℃の温度で30分～数時間程度の熱処理を行い、半導体層を水素化する工程を行う。これは、活性領域とゲート絶縁膜との界面へ水素原子を供給し、TFET特性を劣化させる不對結合手（ダングリングボンド）を水素で終端化して不活性化する工程である。本実施形態では、水素を約3%含む窒素雰囲気下で400℃、1時間の熱処理を行った。層間絶縁膜（特に窒化ケイ素膜326）に含まれる水素の量が十分である場合には、窒素雰囲気中で熱処理を行っても同様の効果が得られる。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行ってもよい。
- [0215] 次に、図11(K)に示すように、層間絶縁膜428、429にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの二層膜によってTFETの電極・配線430n、430p、430g、430dを形成する。窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。このようにして、ドライバ用のnチャネル型薄膜トランジスタ431と、pチャネル型薄膜トランジスタ432と

、画素スイッチング用薄膜トランジスタ 4 3 3 およびそれに接続された補助容量 4 3 4 と、光センサー用薄膜ダイオード 4 3 5 とを得る。

[0216] 図示しないが、画素スイッチング用薄膜トランジスタ 4 3 3 の電極・配線 4 3 0 g の片方に I T O 等の透明導電膜を接続して、画素電極を形成する。また、必要に応じて、ゲート電極 4 1 3 n および 4 1 3 p の上にもコンタクトホールを設けて、配線 4 3 0 により必要な電極間を接続する。さらに、T F T を保護する目的で、それぞれの T F T 上に窒化ケイ素膜などからなる保護膜を設けてもよい。

[0217] 上記方法で作製された n チャネル型薄膜トランジスタの電界効果移動度は $250 \sim 300 \text{ cm}^2/\text{Vs}$ 、閾値電圧は 1 V 程度であり、p チャネル型薄膜トランジスタ 4 3 2 の電界効果移動度は $120 \sim 150 \text{ cm}^2/\text{Vs}$ 、閾値電圧は -1.5 V 程度であり、良好な T F T 特性を示すことがわかった。また、n チャネル型薄膜トランジスタ 4 3 1 および p チャネル型薄膜トランジスタ 4 3 2 を相補的に構成した CMOS 構造回路で、インバーターチェーンやリングオシレーター等の回路を形成すると、従来の回路よりも信頼性が高く、安定した回路特性を示した。さらに、薄膜ダイオード 4 3 5 では、従来方法のように T F T と同一半導体層を用いた場合よりも、光センサー素子としての明暗比が大幅に向上した。このように、それぞれの素子に対して半導体層を作り分けることによって、それぞれのデバイスに対する特性を最適化できることを確認した。

[0218] 前述したように、本実施形態は液晶表示装置のみでなく、例えば有機 E L 表示装置にも好適に適用される。例えば、上記方法で薄膜トランジスタおよび薄膜ダイオードが設けられた基板上に、透明電極層、発光層、および上部電極層をこの順で形成することにより、ボトムエミッション型の有機 E L 表示装置を製造することができる。または、上部電極層として透明電極を形成して、トップエミッション型の有機 E L 表示装置を製造してもよい。その場合には、基板は透光性である必要はない。

[0219] なお、本実施形態の半導体装置の構成および製造方法は上記に限定されな

い。図9～図11を参照しながら前述した方法では、TFDの遮光層、TF Tの半導体層、TFDの半導体層およびTF Tのゲート電極を、それぞれ、別個の膜から形成しているが、第3実施形態で説明したように、遮光層とTF Tの半導体層とを同一の結晶質半導体膜から形成してもよいし、ゲート電極とTFDの半導体層とを同一の結晶質半導体膜から形成してもよい。また、TF Tの半導体層を形成するための結晶質半導体膜の形成方法も、触媒元素を利用して非晶質半導体膜を結晶化する方法に限定されない。例えば、第1実施形態で説明したように、非晶質半導体膜をレーザーで照射することによって結晶化してもよい。さらに、TFDの半導体層を形成するための結晶質半導体膜の形成方法もプラズマCVD法に限定されず、触媒元素を利用して、あるいは、レーザー照射によって非晶質半導体膜を結晶化する方法を適用してもよい。

[0220] (第5実施形態)

本実施形態では、センサー機能を備えた表示装置を説明する。これらの表示装置は、上述した何れかの実施形態の半導体装置を用いて構成されている。

[0221] 本実施形態のセンサー機能を備えた表示装置は、例えば、タッチセンサー付きの液晶表示装置であり、表示領域と、表示領域の周辺に位置する額縁領域とを有している。表示領域は、複数の表示部（画素）と、複数の光センサー部とを有している。各表示部は、画素電極と、画素スイッチング用TF Tとを含んでおり、各光センサー部はTFDを含んでいる。額縁領域には、各表示部を駆動するための表示用の駆動回路が設けられており、駆動回路には駆動回路用TF Tが利用されている。画素スイッチング用TF Tおよび駆動回路用TF Tと、光センサー部のTFDとは、第1～第4実施形態で説明したような方法により、同一基板上に形成されている。なお、本発明の表示装置では、表示装置に使用されるTF Tのうち少なくとも画素スイッチング用TF Tが、上記方法により、光センサー部のTFDと同一基板上に形成されていればよく、例えば駆動回路は、他の基板上に別途設けてもよい。

- [0222] 本実施形態では、光センサー部は、対応する表示部（例えば原色の画素）に隣接して配置されている。1つの表示部に対して1つの光センサー部を配置してもよいし、複数の光センサー部を配置してもよい。または、複数の表示部のセットに対して光センサー部を1個ずつ配置してもよい。例えば、3つの原色（RGB）の画素からなるカラー表示画素に対して、1個の光センサー部を設けることができる。このように、表示部の数に対する光センサー部の数（密度）は、分解能に応じて適宜選択できる。
- [0223] 光センサー部の観察者側にカラーフィルターが設けられていると、光センサー部を構成するTFDの感度が低下するおそれがあるため、光センサー部の観察者側にはカラーフィルターが設けられていないことが好ましい。
- [0224] なお、本実施形態の表示装置の構成は、上記に限定されない。例えば、光センサー用のTFDを額縁領域に配置して、外光の照度に応じて表示の明るさを制御するアンビニエントライトセンサーが付加された表示装置を構成することもできる。また、光センサー部の観察者側にカラーフィルターを配置して、カラーフィルターを介した光を光センサー部で受光することにより、光センサー部をカラーイメージセンサーとして機能させることもできる。
- [0225] 以下、図面を参照しながら、本実施形態の表示装置の構成を、タッチパネルセンサーを備えたタッチパネル液晶表示装置を例に説明する。
- [0226] 図12は、表示領域に配置される光センサー部の構成の一例を示す回路図である。光センサー部は、光センサー用薄膜ダイオード601と、信号蓄積用のコンデンサー602と、コンデンサー602に蓄積された信号を取り出すための薄膜トランジスタ603とを有する。RST信号が入り、ノード604にRST電位が書き込まれた後、光によるリークでノード604の電位が低下すると、薄膜トランジスタ603のゲート電位が変動してTFEゲートが開閉する。これにより、信号VDDを取り出すことができる。
- [0227] 図13は、アクティブマトリクス方式のタッチパネル液晶表示装置の一例を示す模式的な断面図である。この例では、各画素に対して光センサー部を含む光タッチセンサー部が1個ずつ配置されている。

[0228] 図示する液晶表示装置は、液晶モジュール702と、液晶モジュール702の背面側に配置されたバックライト701とを備えている。ここでは図示していないが、液晶モジュール702は、例えば、光透性を有する背面基板と、背面基板に対向するように配置された前面基板と、これらの基板の間に設けられる液晶層とによって構成される。液晶モジュール702は、複数の表示部（原色の画素）を有しており、各表示部は、画素電極（図示せず）と、画素電極に接続された画素スイッチング用薄膜トランジスタ705とを有している。また、各表示部に隣接して、薄膜ダイオード706を含む光タッチセンサー部が配置されている。図示していないが、各表示部の観察者側にはカラーフィルターが配置されているが、光タッチセンサー部の観察者側にはカラーフィルターが設けられていない。薄膜ダイオード706およびバックライト701の間には遮光層707が配置されており、バックライト701からの光は遮光層707により遮光されて薄膜ダイオード706には入らず、外光704のみが薄膜ダイオード706に入射する。この外光704の入射を薄膜ダイオード706でセンシングし、光センシング方式のタッチパネルが実現される。なお、遮光層707は、少なくとも、バックライト701の光が、薄膜ダイオード706のうち真性領域に入らないように配置されていけばよい。

[0229] 図14は、アクティブマトリクス方式のタッチパネル液晶表示装置における背面基板の一例を示す模式的な平面図である。本実施形態の液晶表示装置は、多数の画素（R、G、B画素）から構成されるが、ここでは、簡略化のため2画素分のみを示す。

[0230] 背面基板1000は、それぞれが、画素電極22および画素スイッチング用薄膜トランジスタ24を有する複数の表示部（画素）と、各表示部に隣接して配置され、光センサーフォトダイオード26、信号蓄積用のコンデンサー28および光センサー用フォロアー（*follower*）薄膜トランジスタ29を含む光タッチセンサー部とを備えている。

[0231] 薄膜トランジスタ24は、例えば第4実施形態で説明した画素スイッチン

グ用TFTと同様の構成、すなわち2つのゲート電極およびLDD領域を有するデュアルゲートLDD構造を有している。薄膜トランジスタ24のソース領域は画素用ソースバスライン34に接続され、ドレイン領域は画素電極22に接続されている。薄膜トランジスタ24は、画素用ゲートバスライン32からの信号によってオンオフされる。これにより、画素電極22と、背面基板1000に対向して配置された前面基板に形成された対向電極とによって液晶層に電圧を印加し、液晶層の配向状態を変化させることによって表示を行う。

[0232] 一方、光センサーフォトダイオード26は、例えば第4実施形態で説明したTFDと同様の構成を有し、 p^+ 型領域26p、 n^+ 型領域26n、およびそれらの領域26p、26nの間に位置する真性領域26iとを備えている。信号蓄積用のコンデンサー28は、ゲート電極層とSi層とを電極とし、ゲート絶縁膜で容量を形成している。光センサーフォトダイオード26における p^+ 型領域26pは、光センサー用RST信号ライン36に接続され、 n^+ 型領域26nは、信号蓄積用のコンデンサー28における下部電極（Si層）に接続され、このコンデンサー28を経て光センサー用RWS信号ライン38に接続されている。さらに、 n^+ 型領域26nは、光センサー用フォロアー薄膜トランジスタ29におけるゲート電極層に接続されている。光センサー用フォロアー薄膜トランジスタ29のソースおよびドレイン領域は、それぞれ、光センサー用VDD信号ライン40、光センサー用COL信号ライン42に接続されている。

[0233] このように、光センサーフォトダイオード26、信号蓄積用のコンデンサー28、および光センサー用フォロアー薄膜トランジスタ29は、それぞれ、図12に示す駆動回路の薄膜ダイオード601、コンデンサー602、薄膜トランジスタ603に対応しており、光センサーの駆動回路を構成している。この駆動回路による光センシング時の動作を以下に説明する。

[0234] (1) まず、RWS信号ライン38により、信号蓄積用のコンデンサー28にRWS信号が書き込まれる。これにより、光センサーフォトダイオード

26における n^+ 型領域26nの側にプラス電界が生じ、光センサーフォトダイオード26に関して逆バイアス状態となる。(2)基板表面のうち光が照射されている領域に存在する光センサーフォトダイオード26では、光リークが生じてRST信号ライン36の側に電荷が抜ける。(3)これにより、 n^+ 型領域26nの側の電位が低下し、その電位変化により光センサー用フォロアー薄膜トランジスタ29に印加されているゲート電圧が変化する。(4)光センサー用フォロアー薄膜トランジスタ29のソース側にはVDD信号ライン40よりVDD信号が印加されている。上記のようにゲート電圧が変動すると、ドレイン側に接続されたCOL信号ライン42へ流れる電流値が変化するため、その電気信号をCOL信号ライン42から取り出すことができる。(5)COL信号ライン42からRST信号を光センサーフォトダイオード26に書き込み、信号蓄積用のコンデンサー28の電位をリセットする。上記(1)~(5)の動作をスキャンしながら繰り返すことにより、光センシングが可能になる。

[0235] 本実施形態のタッチパネル液晶表示装置における背面基板の構成は図14に示す構成に限定されない。例えば、各画素スイッチング用TFTに補助容量(C_s)が設けられていてもよい。また、図示する例では、RGB画素のそれぞれに隣接して光タッチセンサー部が設けられているが、上述したように、RGB画素からなる3つの画素セット(カラー表示画素)に対して1つの光タッチセンサー部が配置されていてもよい。

[0236] ここで、再び図13を参照する。上述してきた例では、図13に示す断面図からわかるように、薄膜ダイオード706を表示領域に配置して、タッチセンサーとして利用しているが、薄膜ダイオード706を表示領域の外に形成し、バックライト701の輝度を、外光704の照度に合わせてコントロールするためのアンビニエントライトセンサーとして利用することもできる。

[0237] 図15は、アンビニエントライトセンサー付き液晶表示装置を例示する斜視図である。液晶表示装置2000は、表示領域52、ゲートドライバ56

、ソースドライバ58および光センサー部54を有するLCD基板50と、LCD基板50の背面側に配置されたバックライト60とを備えている。LCD基板50のうち表示領域52の周辺に位置し、ドライバ56、58や光センサー部54が設けられている領域を「額縁領域」と呼ぶこともある。

[0238] バックライト60の輝度は、バックライト制御回路（図示せず）によって制御されている。また、図示しないが、表示領域52およびドライバ56、58には、TFTが利用されており、光センサー部54にはTFDが利用されている。光センサー部54は、外光の照度に基づく照度信号を生成し、フレキシブル基板を用いた接続を利用してバックライト制御回路に入力する。バックライト制御回路では、この照度信号に基づいてバックライト制御信号を生成し、バックライト60に出力する。

[0239] なお、本発明を適用すると、アンビニエントライトセンサー付き有機EL表示装置を構成することもできる。そのような有機EL表示装置は、図15に示す液晶表示装置と同様に、同一の基板上に表示部と光センサー部とが配置された構成を有することができるが、基板の背面側にバックライト60を設ける必要がない。この場合には、光センサー部54を、基板50に設けられた配線によってソースドライバ58に接続し、光センサー部54からの照度信号をソースドライバ58に入力する。ソースドライバ58は、照度信号に基づいて表示部52の輝度を変化させる。

[0240] 以上、本発明の具体的な実施形態について説明を行なったが、本発明は上述の実施形態に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。本発明のTFTを用いて、ガラス基板上にアナログ駆動を行うための回路やデジタル駆動を行うための回路も同時構成できる。例えば、アナログ駆動を行なう回路の場合、ソース側駆動回路、画素部およびゲート側駆動回路を有し、ソース側駆動回路は、シフトレジスタ、バッファ、サンプリング回路（トランスファゲート）、また、ゲート側駆動回路は、シフトレジスタ、レベルシフタ、バッファが設けられる。また、必要であればサンプリング回路とシフトレジスタとの間にレベルシフタ回路を設けても

よい。また、本発明の製造工程に従えば、メモリやマイクロプロセッサをも形成し得る。

- [0241] 本発明によると、それぞれの半導体素子に最適な半導体膜を用いて、良好な特性を有するTFTとTFDとを同一基板上に備える半導体装置が得られる。従って、駆動回路に用いられるTFTと画素電極をスイッチングするためのTFTとして、高い電界効果移動度及びON/OFF比を有するTFTと、光センサーとして用いられる、光に対するSN比（明暗での電流値比）の高いTFDとを、同一の製造工程で作製できる。特に、これらの半導体層の中でも、TFTの電界効果移動度を大きく左右するチャンネル領域と、TFDの光感度に大きく影響する真性領域との厚さや結晶状態などをそれぞれ最適化することにより、それぞれの半導体素子に最適な素子特性を実現できる。さらに、このような高性能な半導体装置をより簡便な方法で製造でき、製品のコンパクト化、高性能化だけでなく、低コスト化も実現できる。

産業上の利用可能性

- [0242] 本発明は、TFTおよびTFDを備えた半導体装置、あるいは、そのような半導体装置を有するあらゆる分野の電子機器に広く適用できる。例えば、本発明を、アクティブマトリクス型液晶表示装置や有機EL表示装置におけるCMOS回路や画素部に適用してもよい。このような表示装置は、例えば携帯電話や携帯ゲーム機の表示画面や、デジタルカメラのモニター等に利用され得る。従って、本発明は、液晶表示装置や有機EL表示装置が組み込まれた電子機器全てに適用され得る。
- [0243] 本発明は、特に、アクティブマトリクス型の液晶表示装置および有機EL表示装置などの表示装置、イメージセンサー、光センサー、またはそれらを組み合わせた電子機器に好適に利用できる。特に、TFDを利用した光センサー機能付きの表示装置、またはそのような表示装置を備えた電子機器に本発明を適用すると有利である。また、TFDを利用した光センサーと、TFTを利用した駆動回路とを備えたイメージセンサーに適用することもできる。

符号の説明

[0244]	100	半導体装置
	101、201	基板
	102、202	遮光層
	103、104、203、204	下地膜
	105、205	(TFT用)非晶質半導体膜
	105c、205a	結晶質半導体膜
	107、208	薄膜トランジスタの半導体層(結晶質半導体層)
	110、212	薄膜ダイオードの半導体層(結晶質半導体層)
	108、209	ゲート絶縁膜
	109、216	ゲート電極
	113、215	ソース・ドレイン領域
	115、218	チャネル領域
	114、217	n型領域
	118、221	p型領域
	119、222	真性領域
	120、121、130、224、225	層間絶縁膜
	122、123、226、227	電極・配線
	124、228	薄膜トランジスタ
	125、229	薄膜ダイオード

請求の範囲

[請求項1]

基板と、

前記基板に支持され、チャンネル領域、ソース領域およびドレイン領域を含む第1の結晶質半導体層と、前記第1の結晶質半導体層を覆うように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記チャンネル領域の導電性を制御するゲート電極とを有する薄膜トランジスタと、

前記基板に支持され、少なくともn型領域とp型領域とを含む第2の結晶質半導体層を有する薄膜ダイオードとを備え、

前記第2の結晶質半導体層は、前記ゲート絶縁膜の上に、前記ゲート絶縁膜の表面に接して形成されており、

前記n型領域またはp型領域と、前記ソース領域およびドレイン領域とは、同一の不純物元素を含む半導体装置。

[請求項2]

前記第2の結晶質半導体層の厚さ d_2 は、前記第1の結晶質半導体層の厚さ d_1 よりも大きい請求項1に記載の半導体装置。

[請求項3]

前記薄膜トランジスタは、前記ゲート電極の上面に接する層間絶縁層をさらに有し、

前記薄膜ダイオードは、前記第2の結晶質半導体層の上面に接する層間絶縁層をさらに有し、前記薄膜トランジスタの層間絶縁層と前記薄膜ダイオードの層間絶縁層とは同一の絶縁膜から形成されている請求項1または2に記載の半導体装置。

[請求項4]

前記n型領域またはp型領域の上面から、前記n型領域またはp型領域の厚さ方向における前記同一の不純物元素の濃度プロファイルのピークまでの深さ D_d と、前記ゲート絶縁膜の上面から、前記ソース領域およびドレイン領域の厚さ方向における前記同一の不純物元素の濃度プロファイルのピークまでの深さ D_t とは略等しい請求項1から3のいずれかに記載の半導体装置。

- [請求項5] 前記第2の結晶質半導体層の厚さ d_2 は、前記第1の結晶質半導体層の厚さ d_1 と前記ゲート絶縁膜の厚さ d_3 との和($d_1 + d_3$)よりも大きい請求項1から4のいずれかに記載の半導体装置。
- [請求項6] 前記n型領域またはp型領域の厚さ方向における前記同一の不純物元素の濃度プロファイルは、前記第2の結晶質半導体層内にピークを有する請求項1から5のいずれかに記載の半導体装置。
- [請求項7] 前記ソース領域およびドレイン領域の厚さ方向における前記同一の不純物元素の濃度プロファイルは、前記ゲート絶縁膜の上面と前記第1の結晶質半導体層の下面との間にピークを有する請求項1から6のいずれかに記載の半導体装置。
- [請求項8] 前記ソース領域およびドレイン領域の厚さ方向における前記同一の不純物元素の濃度プロファイルは、前記第1の結晶質半導体層内にピークを有する請求項1から6のいずれかに記載の半導体装置。
- [請求項9] 前記ゲート絶縁膜の厚さ d_3 は、前記第1の結晶質半導体層のソース領域およびドレイン領域上におけるゲート絶縁膜の厚さである請求項5に記載の半導体装置。
- [請求項10] 前記第2の結晶質半導体層は、n型領域とp型領域との間に位置する真性領域を含む請求項1から9のいずれかに記載の半導体装置。
- [請求項11] 前記ゲート電極は、前記第2の結晶質半導体層と同一の半導体膜から形成されている請求項1から10のいずれかに記載の半導体装置。
- [請求項12] 前記基板は透光性を有しており、前記第2の結晶質半導体層と前記基板との間に配置された遮光層をさらに備える請求項1から11のいずれかに記載の半導体装置。
- [請求項13] 前記遮光層は、前記第1の結晶質半導体層と同一の半導体膜から形成されている請求項12に記載の半導体装置。
- [請求項14] (a) 表面に第1の結晶質半導体膜が形成された基板を用意する工程と、
(b) 前記第1の結晶質半導体膜の一部を用いて、後に薄膜トラン

ジスタの活性領域となる第1の島状半導体層を形成する工程と、

(c) 前記第1の島状半導体層上にゲート絶縁膜を形成する工程と

、

(d) 前記ゲート絶縁膜上に、前記ゲート絶縁膜の表面に接して第2の結晶質半導体膜を形成する工程と、

(e) 前記第2の結晶質半導体膜の一部を用いて、後に薄膜ダイオードの活性領域となる第2の島状半導体層を形成する工程と、
を包含する半導体装置の製造方法。

[請求項15] 前記第2の結晶質半導体膜の厚さは、前記第1の結晶質半導体膜の厚さよりも大きい請求項14に記載の半導体装置の製造方法。

[請求項16] 前記第2の結晶質半導体膜の厚さは、前記第1の結晶質半導体膜および前記ゲート絶縁膜の合計厚さよりも大きい請求項15に記載の半導体装置の製造方法。

[請求項17] 前記工程(c)の後、前記ゲート絶縁膜上に薄膜トランジスタのゲート電極を形成する工程を含み、
前記第2の結晶質半導体膜の厚さは、前記ゲート電極より露呈した領域の前記第1の結晶質半導体膜および前記ゲート絶縁膜の合計厚さよりも大きい請求項15に記載の半導体装置の製造方法。

[請求項18] 前記工程(e)の後、
前記第1の島状半導体層のうちソース領域およびドレイン領域となる領域と、前記第2の島状半導体層のうちn型領域またはp型領域となる領域とに、同一の不純物元素を同時にドーピングする工程をさらに包含する請求項14から17のいずれかに記載の半導体装置の製造方法。

[請求項19] 前記工程(e)の後、
(f) 前記第1の島状半導体層のうちソース領域およびドレイン領域となる領域に、前記ゲート絶縁膜を介して第1の不純物元素をドーピングする工程と、

(g) 前記第2の島状半導体層のうちn型領域となる領域に、n型不純物元素をドーピングする工程と、

(h) 前記第2の島状半導体層のうちp型領域となる領域に、p型不純物元素をドーピングする工程と
をさらに包含する請求項14から17のいずれかに記載の半導体装置の製造方法。

[請求項20] 前記第1の不純物元素はn型の不純物元素を含み、
前記工程(f)および前記工程(g)は同時に行なわれる請求項19に記載の半導体装置の製造方法。

[請求項21] 前記第1の不純物元素はp型の不純物元素を含み、
前記工程(f)および前記工程(h)は同時に行なわれる請求項19に記載の半導体装置の製造方法。

[請求項22] 前記第1の島状半導体層は、後にnチャネル型薄膜トランジスタの活性領域となる島状半導体層と、後にpチャネル型薄膜トランジスタの活性領域となる島状半導体層とを含む複数の島状半導体層であり、
前記工程(f)は、前記第1の島状半導体層のうち、後にnチャネル型薄膜トランジスタとなる島状半導体層に対して、前記ゲート絶縁膜を介してn型の不純物元素をドーピングする工程(f1)と、後にpチャネル型薄膜トランジスタとなる島状半導体層に対して、前記ゲート絶縁膜を介してp型の不純物元素をドーピングする工程(f2)とを含み、
前記工程(f1)は前記工程(g)と同時に行われ、
前記工程(f2)は前記工程(h)と同時に行われる請求項19に記載の半導体装置の製造方法。

[請求項23] 前記工程(c)の後、前記ゲート絶縁膜上に薄膜トランジスタのゲート電極を形成する工程を含み、
前記ゲート電極を形成する工程は、前記第2の結晶質半導体膜をパターンニングすることにより、後に薄膜ダイオードの活性領域となる第

2の島状半導体層と前記ゲート電極の少なくとも一部とを同時に形成する工程である請求項14から22のいずれかに記載の半導体装置の製造方法。

[請求項24]

前記基板は透光性を有する基板であり、

前記工程(c)よりも前に、前記基板のうち、後に薄膜ダイオードの活性領域となる第2の島状半導体層が形成される領域の下部となる部分に、前記基板の反対側の表面から入射する光を遮光するための遮光層を形成する工程をさらに包含する請求項14から23のいずれかに記載の半導体装置の製造方法。

[請求項25]

前記工程(b)は、前記第1の結晶質半導体膜をパターニングすることにより、後に薄膜トランジスタの活性領域となる第1の島状半導体層と前記遮光層の少なくとも一部とを同時に形成する工程である請求項24に記載の半導体装置の製造方法。

[請求項26]

前記工程(a)は、

(a1) 表面に非晶質半導体膜が形成された基板を用意する工程と、

(a2) 前記非晶質半導体膜にレーザー光を照射して、前記非晶質半導体膜を結晶化させることにより、第1の結晶質半導体膜を形成する工程と

を包含する請求項14から25のいずれかに記載の半導体装置の製造方法。

[請求項27]

前記工程(a)は、

(a1) 表面に非晶質半導体膜が形成された基板を用意する工程と、

(a2) 前記非晶質半導体膜に、結晶化を促進する触媒元素を添加する工程と、

(a3) 前記触媒元素を添加した非晶質半導体膜に対して加熱処理を行って、前記非晶質半導体膜を結晶化させることにより、第2の結

晶質半導体膜を形成する工程と

を包含する請求項 14 から 25 のいずれかに記載の半導体装置の製造方法。

[請求項28] 前記工程 (d) は、前記ゲート絶縁膜上に、プラズマ CVD 法によって、第 2 の結晶質半導体膜を堆積させる工程である請求項 14 から 27 のいずれかに記載の半導体装置の製造方法。

[請求項29] 請求項 14 から 28 のいずれかに記載の製造方法によって製造された半導体装置。

[請求項30] 複数の表示部を有する表示領域と、
前記表示領域の周辺に位置する額縁領域と
を備えた表示装置であって、
薄膜ダイオードを含む光センサー部をさらに備え、
各表示部は電極および前記電極に接続された薄膜トランジスタを有し、

前記薄膜トランジスタと、前記薄膜ダイオードとは、同一の基板の上に形成されており、

前記薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む第 1 の結晶質半導体層と、前記第 1 の結晶質半導体層を覆うように設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記チャンネル領域の導電性を制御するゲート電極とを含み、

前記薄膜ダイオードは、少なくとも n 型領域と p 型領域とを含む第 2 の結晶質半導体層を含み、

前記第 2 の結晶質半導体層は前記ゲート絶縁膜の上に、前記ゲート絶縁膜の表面に接して形成されており、

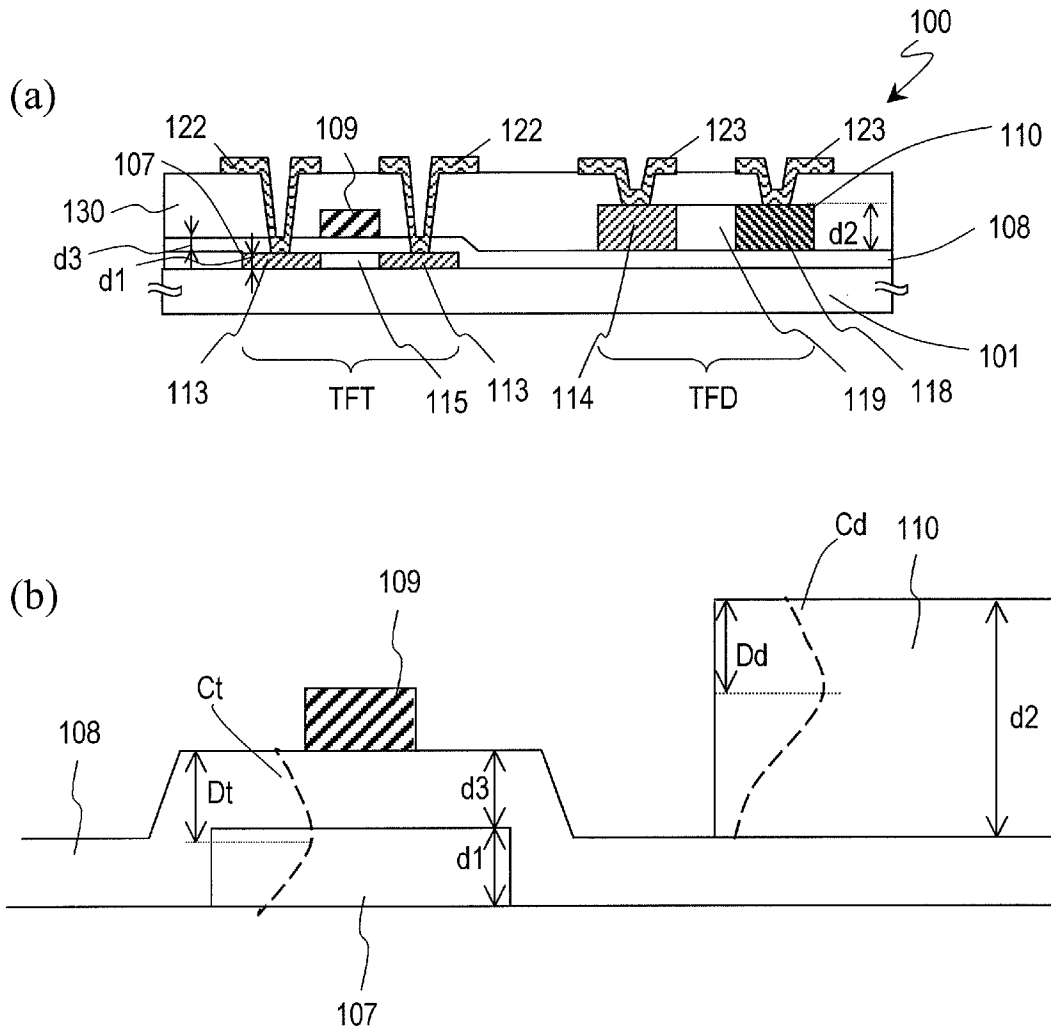
前記 n 型領域または p 型領域と、前記ソース領域およびドレイン領域とは、同一の不純物元素を含む表示装置。

[請求項31] 前記表示部は、バックライトと、前記バックライトから出射する光の輝度を調整するバックライト制御回路とをさらに備え、

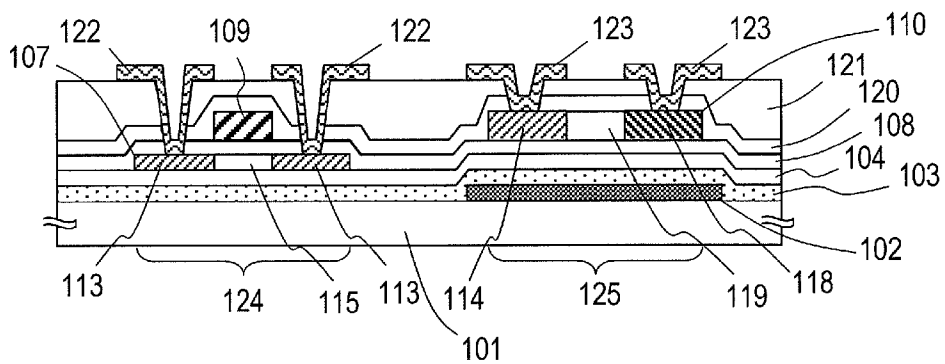
前記光センサー部は、外光の照度に基づく照度信号を生成して前記バックライト制御回路に出力する請求項30に記載の表示装置。

[請求項32] それぞれが前記光センサー部を有する複数の光タッチセンサー部を有し、前記複数の光タッチセンサー部は、それぞれ、各表示部または2以上の表示部からなるセットに対応して前記表示領域に配置されている請求項30に記載の表示装置。

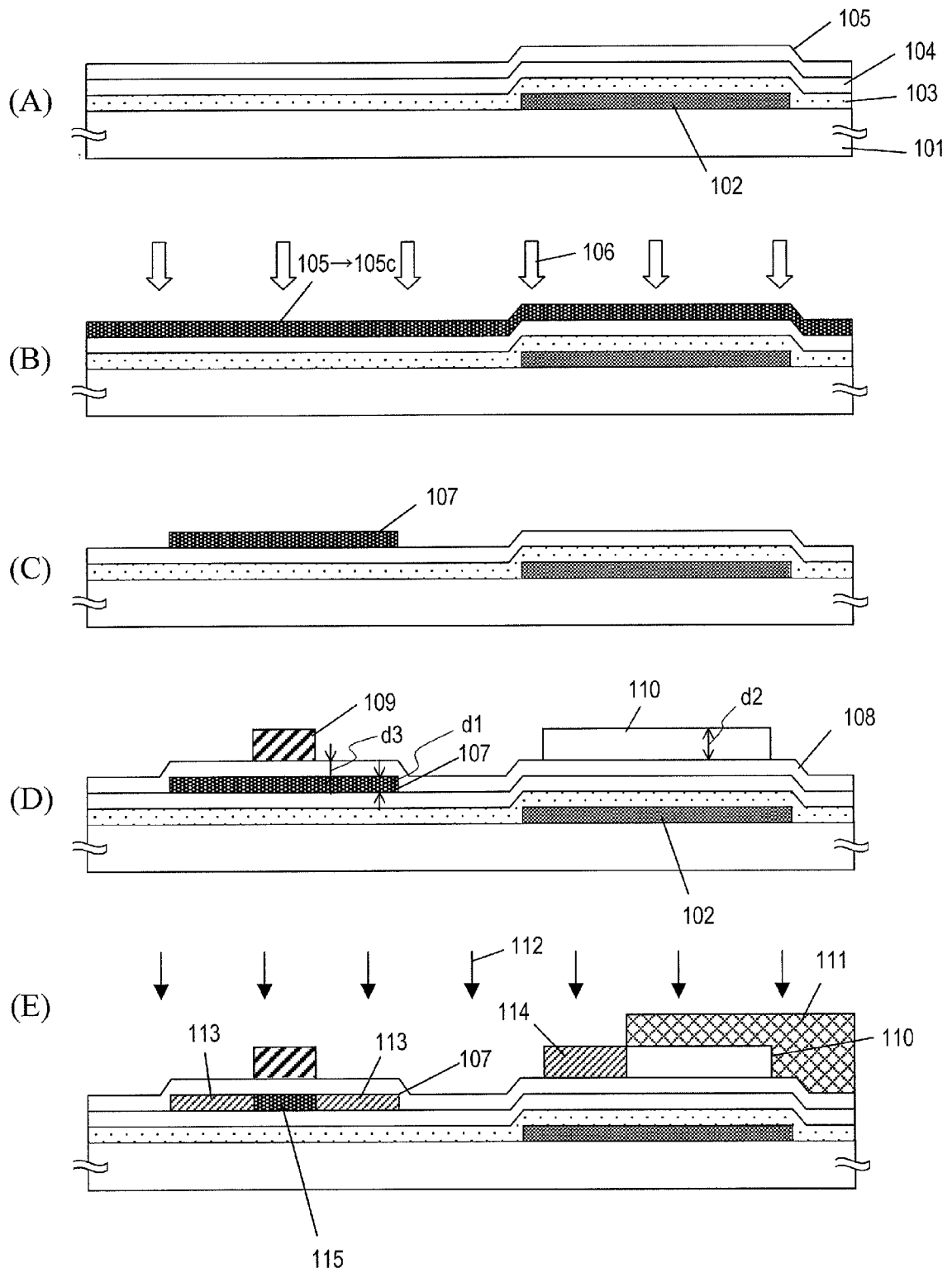
[図1]



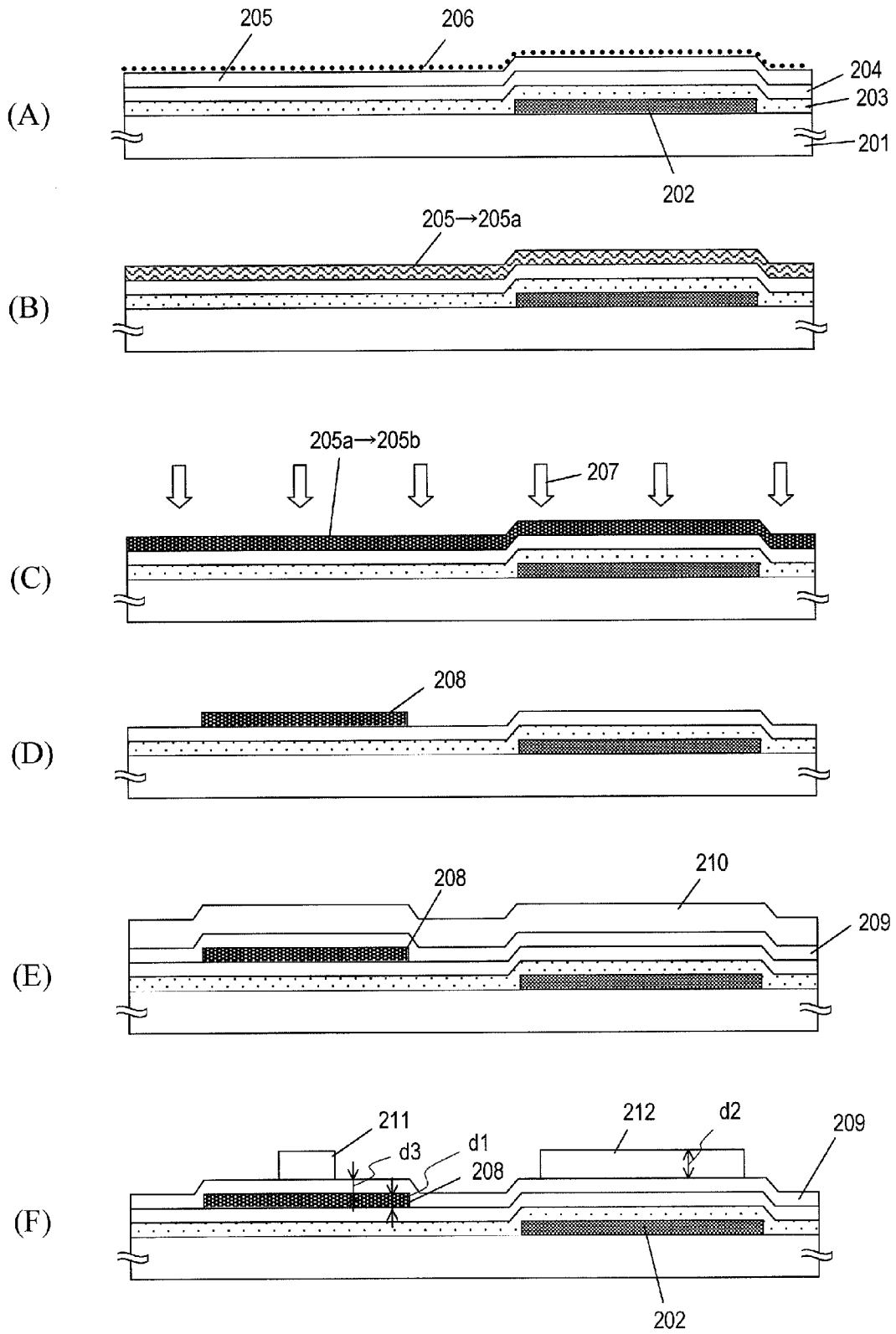
[図2]



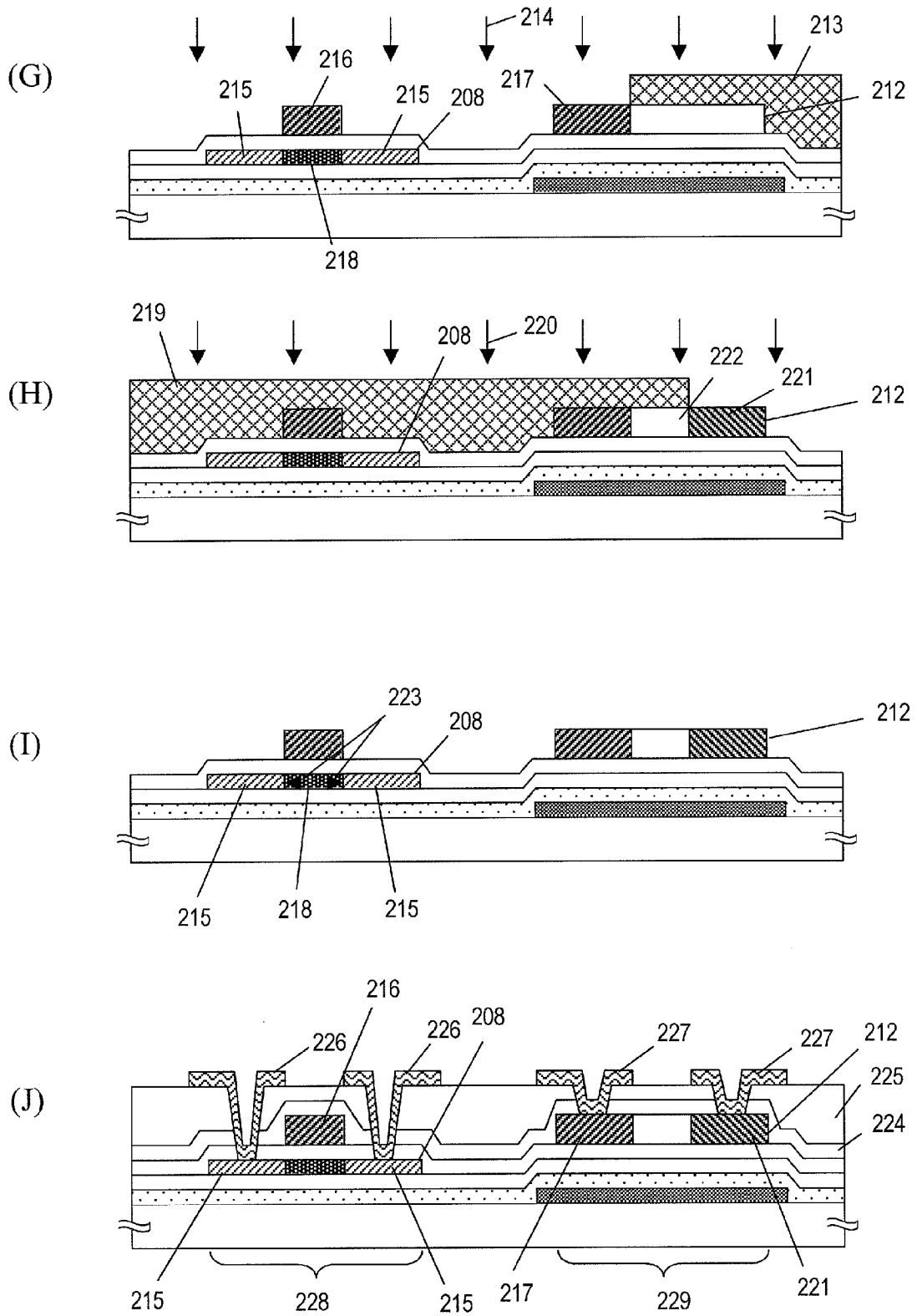
[図3]



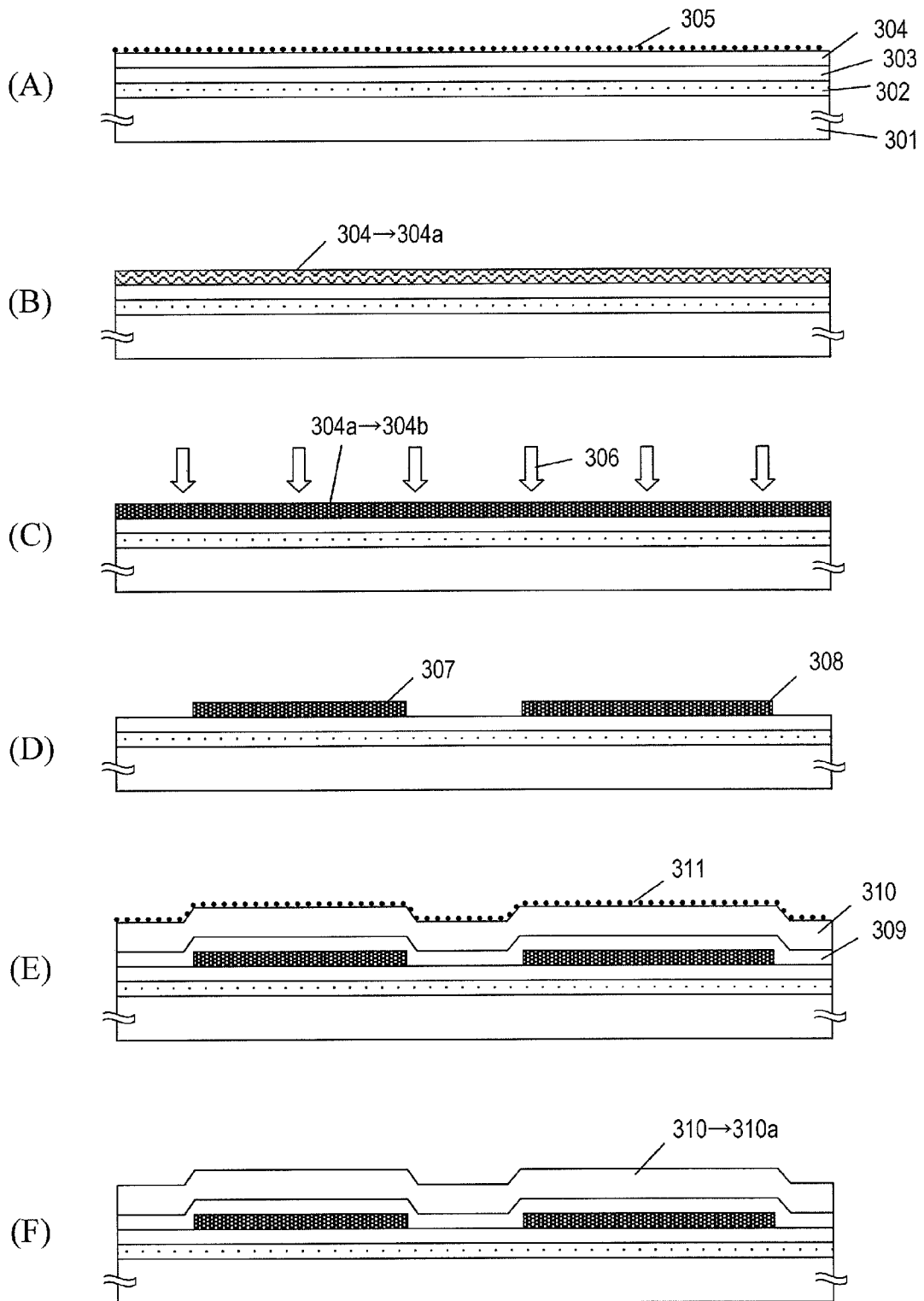
[図5]



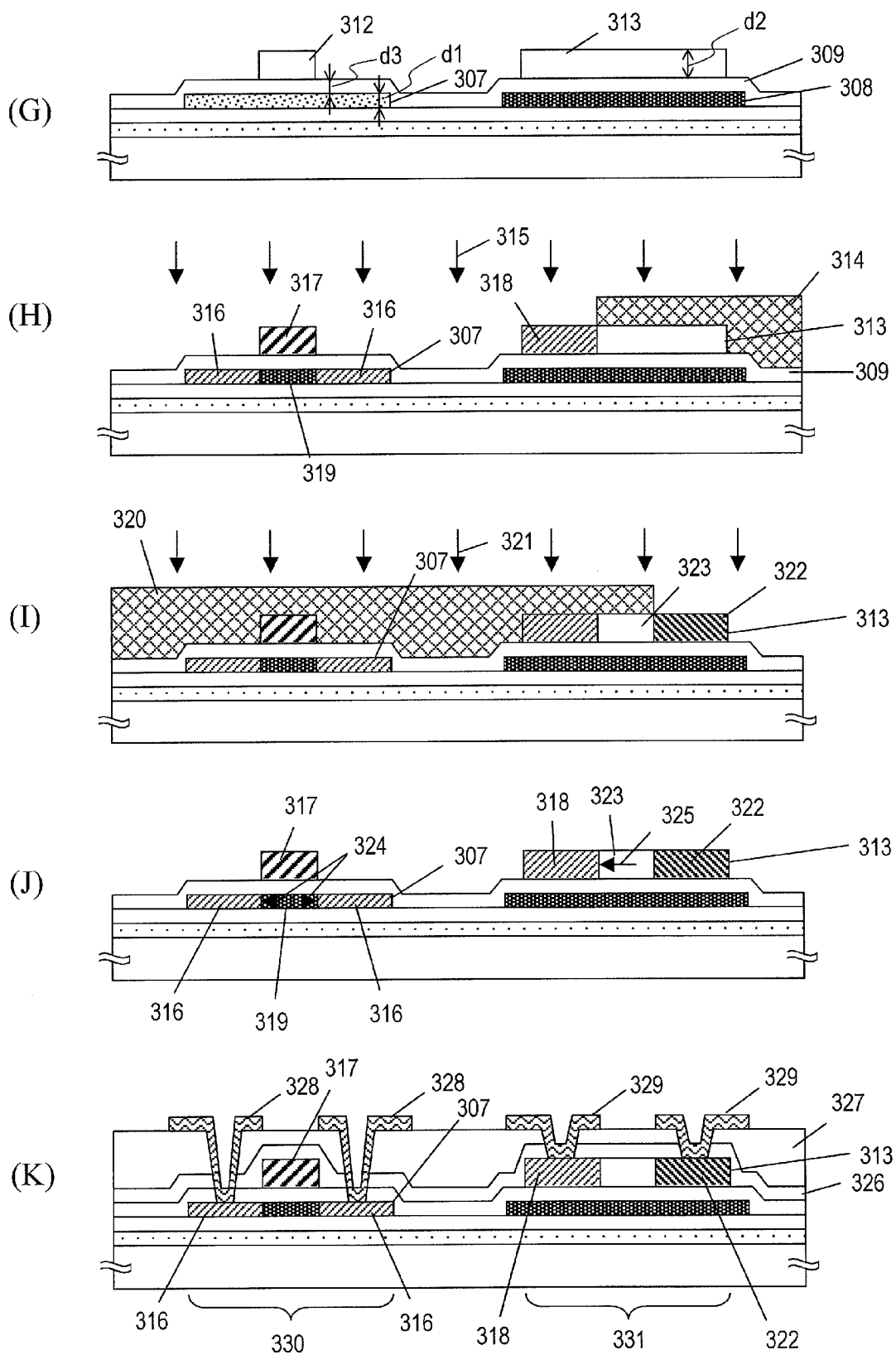
[図6]



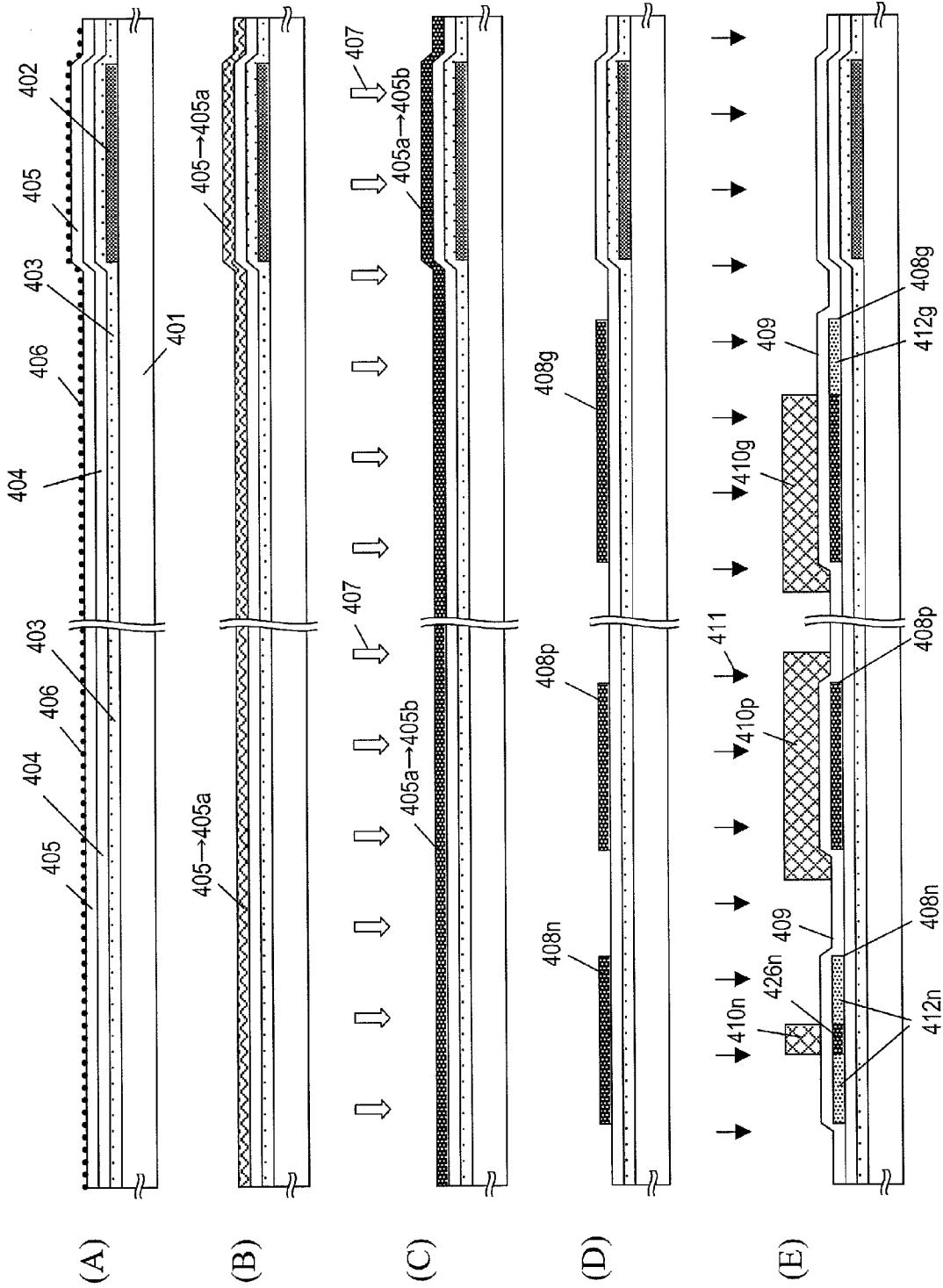
[図7]



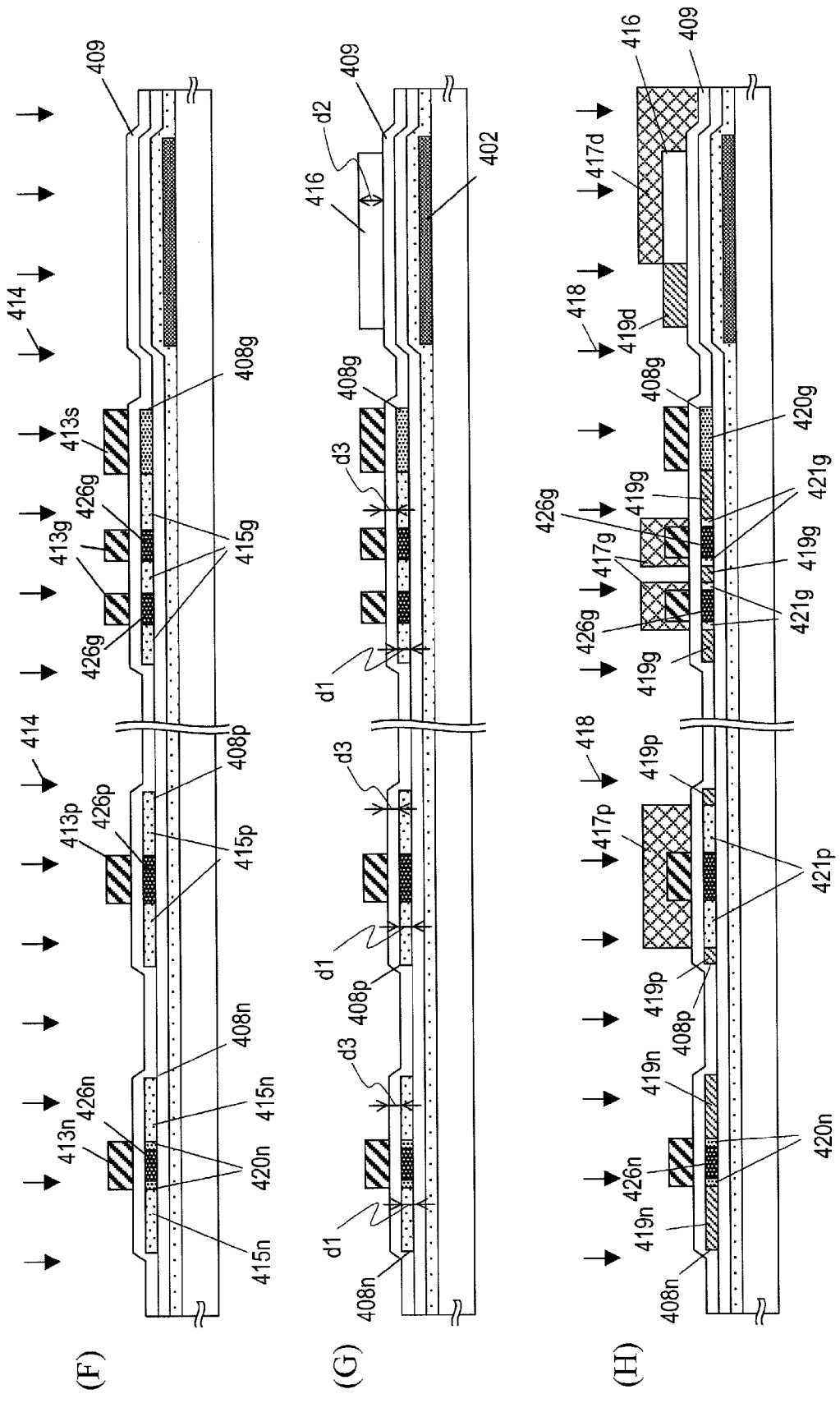
[図8]



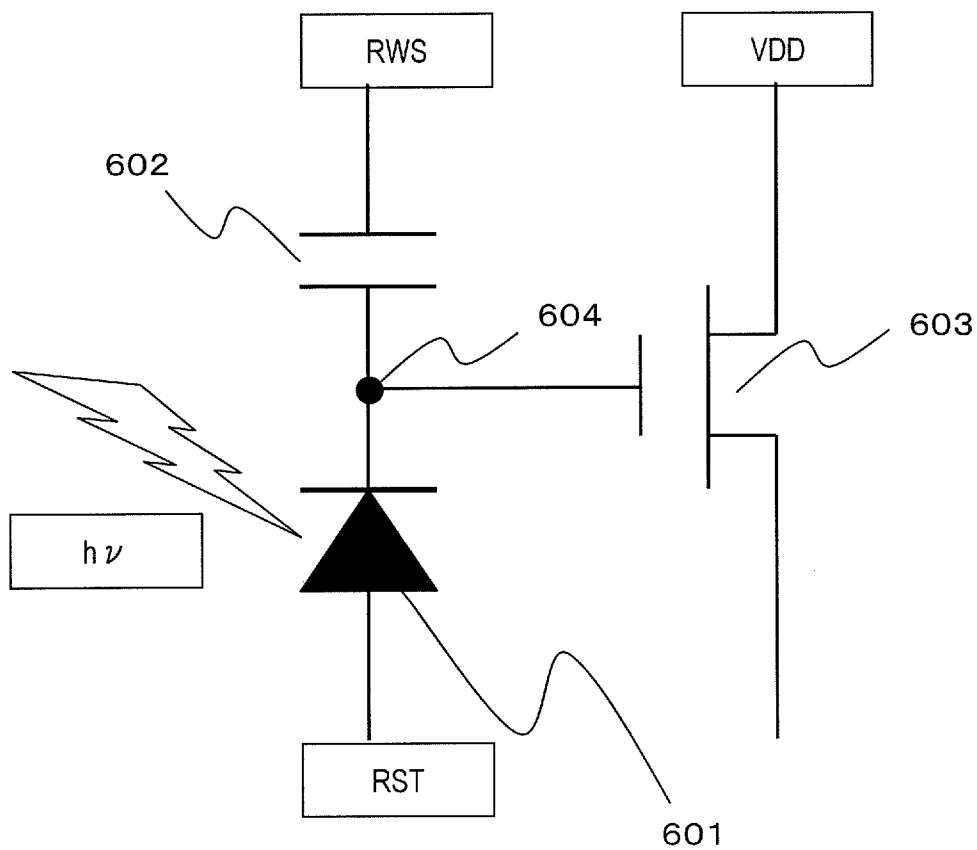
[9]



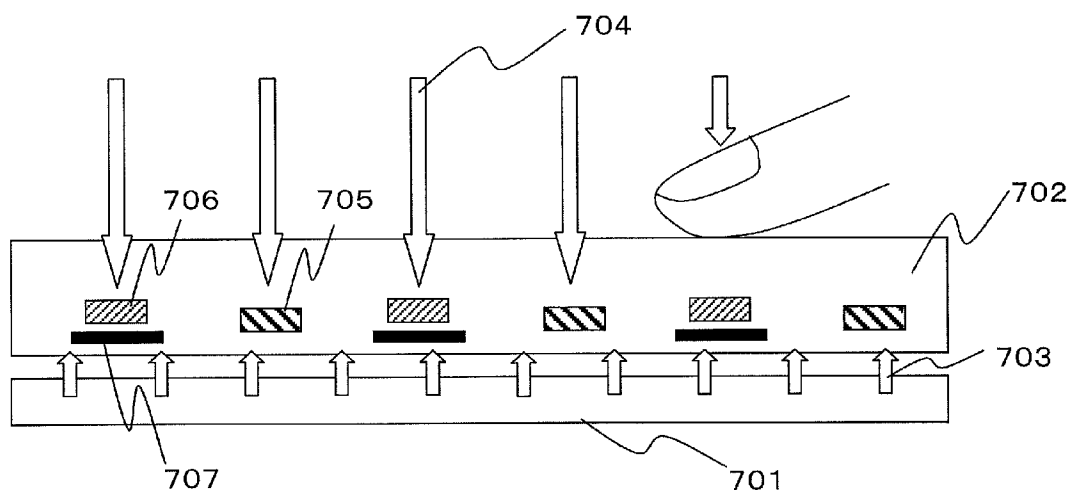
[10]



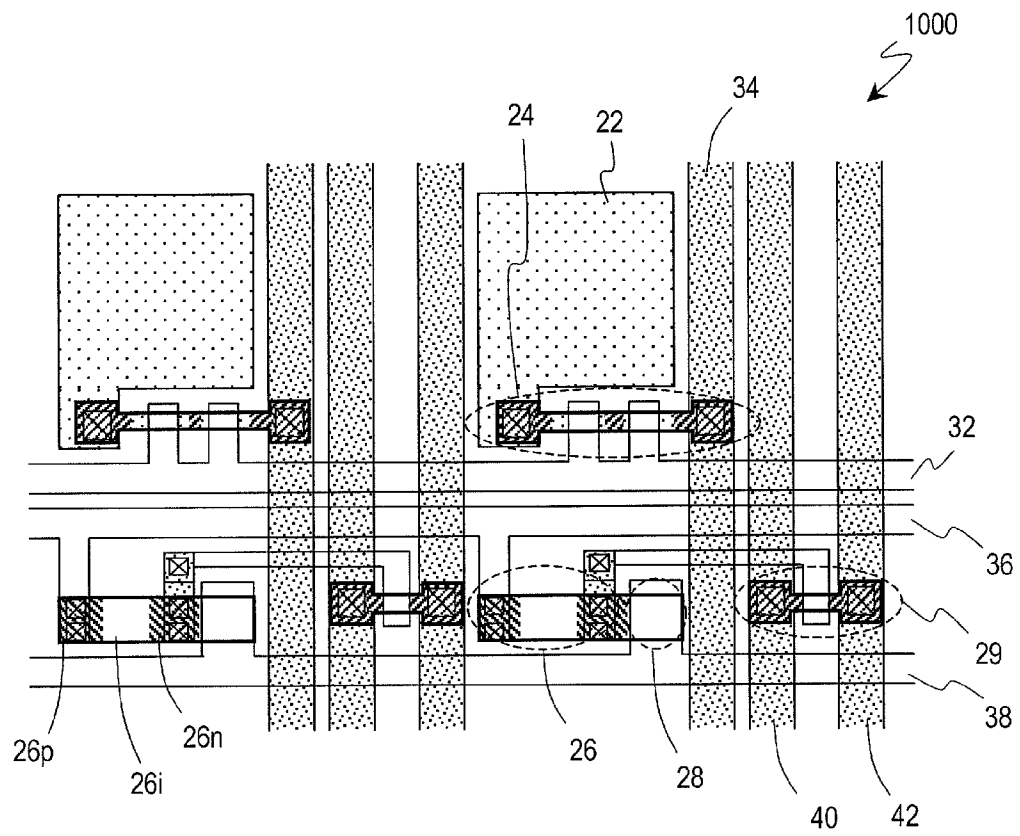
[図12]



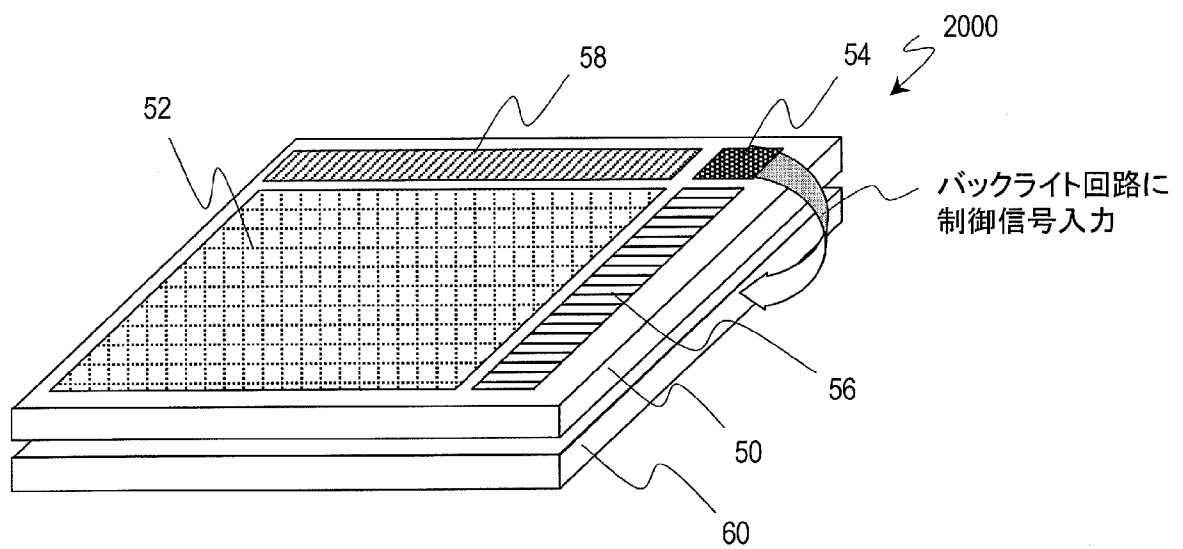
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/005936

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/14(2006.01)i, G02F1/1368(2006.01)i, G09F9/33(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i, H01L31/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/14, G02F1/1368, G09F9/33, H01L21/336, H01L29/786, H01L31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/132862 A1 (Sharp Corp.), 06 November 2008 (06.11.2008), entire text; all drawings (Family: none)	1-32
A	JP 2008-122903 A (Samsung Electronics Co., Ltd.), 29 May 2008 (29.05.2008), entire text; all drawings & US 2008/0135851 A1 & KR 10-2008-0044049 A & CN 101226948 A	1-32

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 December, 2009 (14.12.09)

Date of mailing of the international search report
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/14(2006.01)i, G02F1/1368(2006.01)i, G09F9/33(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i, H01L31/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/14, G02F1/1368, G09F9/33, H01L21/336, H01L29/786, H01L31/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/132862 A1 (シャープ株式会社) 2008. 11. 06, 全文, 全図 (ファミリーなし)	1-32
A	JP 2008-122903 A (三星電子株式会社) 2008. 05. 29, 全文, 全図 & US 2008/0135851 A1 & KR 10-2008-0044049 A & CN 101226948 A	1-32

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

14. 12. 2009

国際調査報告の発送日

22. 12. 2009

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柴山 将隆

4M

3035

電話番号 03-3581-1101 内線 3462