

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月27日(27.09.2018)



(10) 国際公開番号

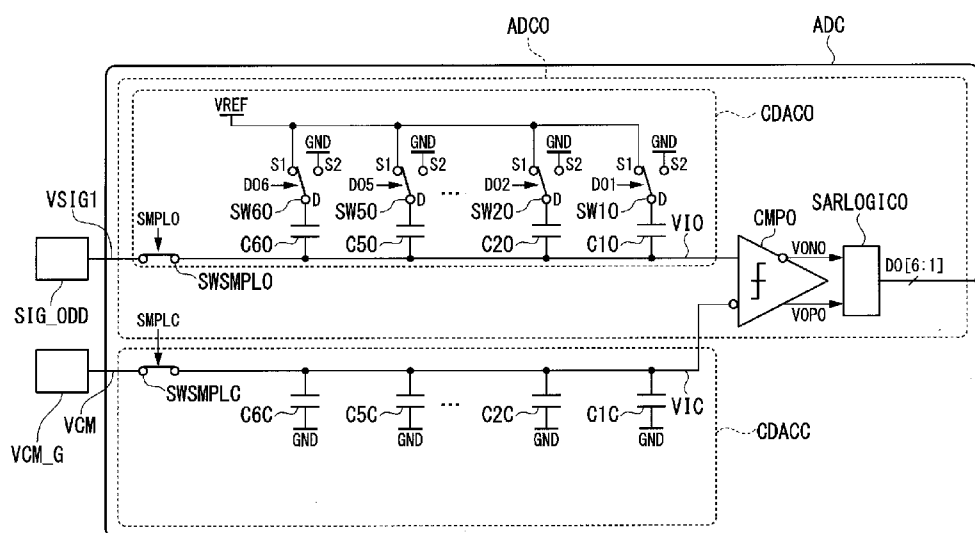
WO 2018/173196 A1

- (51) 国際特許分類:
H03M 1/38 (2006.01) *H04N 5/378* (2011.01)
- (21) 国際出願番号: PCT/JP2017/011727
- (22) 国際出願日: 2017年3月23日(23.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒1928507 東京都八王子市石川町2951番地 Tokyo (JP).
- (72) 発明者: 大澤 雅人 (OSAWA Masato); 〒1928507 東京都八王子市石川町2951番地 オリンパス株式会社内 Tokyo (JP). 原田 靖也 (HARADA Yasunari); 〒1928507 東京都八王子市石川町2951番地 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: SINGLE-ENDED AD CONVERTER, AD CONVERSION CIRCUIT, AND IMAGE SENSOR

(54) 発明の名称: シングルエンド型AD変換器、AD変換回路、およびイメージセンサ

【図1】



(57) Abstract: This single-ended AD converter comprises a DAC circuit, a fixed capacitor, a dynamic comparator, and a control circuit. The DAC circuit has a plurality of capacitors with weighted capacitance values. The plurality of capacitors hold an analog voltage signal. The fixed capacitor holds a reference voltage signal. The dynamic comparator compares the voltage of the analog voltage signal and the voltage of the reference voltage signal. The control circuit controls the DAC circuit in accordance with the result of the comparison by the dynamic comparator. The total of the capacitance values of

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告（条約第21条(3)）
- 補正された請求の範囲及び説明書（条約第19条(1)）

the plurality of capacitors of the DAC circuit and the capacitance value of the fixed capacitor are approximately the same.

(57) 要約：シングルエンド型AD変換器は、DAC回路と、固定容量と、ダイナミックコンパレータと、制御回路とを有する。前記DAC回路は、容量値が重み付けされた複数の容量を有する。前記複数の容量は、アナログ電圧信号を保持する。前記固定容量は、基準電圧信号を保持する。前記ダイナミックコンパレータは、前記アナログ電圧信号の電圧と前記基準電圧信号の電圧とを比較する。前記制御回路は、前記ダイナミックコンパレータの比較結果に応じて、前記DAC回路を制御する。前記DAC回路が有する前記複数の前記容量の容量値の合計と、前記固定容量の容量値とは、略同一である。

明 細 書

発明の名称：

シングルエンド型 A D 変換器、A D 変換回路、およびイメージセンサ

技術分野

[0001] 本発明は、シングルエンド型 A D 変換器、A D 変換回路、およびイメージセンサに関する。

背景技術

[0002] 図 1 5 は、特許文献 1 に開示された従来のシングルエンド型 S A R A D C (S u c c e s s i v e A p p r o x i m a t i o n R e g i s t e r A n a l o g t o D i g i t a l C o n v e r t e r) の構成を示す。図 1 5 に示すように、シングルエンド型 S A R A D C は、DAC (D i g i t a l t o A n a l o g C o n v e r t e r) 1 2 と、コンパレータ 1 3 と、逐次比較論理回路 1 4 と、容量 C 1 ~ C n とを有する。コンパレータ 1 3 の第 1 の入力端子はグラウンドレベルに接続され、かつコンパレータ 1 3 の第 2 の入力端子は容量 C 1 ~ C n のトッププレート側に接続されている。容量 C 1 ~ C n のボトムプレート側は、グラウンドレベルおよび基準電圧 V r e f のいずれか 1 つに接続される。容量 C 1 ~ C n のボトムプレート側の接続ノードは、コンパレータ 1 3 による判定の結果と、逐次比較論理回路 1 4 が実行する処理のアルゴリズムとにより決定される。

[0003] 近年、ダイナミックコンパレータを比較器として用いた S A R A D C が学会等で報告されている。例えば、特許文献 2 に開示されたダイナミックコンパレータにおいて、比較動作を行わない期間には消費電流が発生しないという利点がある。

先行技術文献

特許文献

[0004] 特許文献 1：米国特許出願公開第 2 0 1 1 / 2 4 1 9 1 2 号明細書

特許文献 2：米国特許第 8 8 9 6 4 7 6 号明細書

発明の概要

発明が解決しようとする課題

[0005] しかしながら、ダイナミックコンパレータを従来のシングルエンド型SARADCに適用した場合には、ダイナミックコンパレータが比較動作毎に行うリセット動作に起因するキックバックノイズにより、AD変換結果に誤差が生じる。コンパレータ13の第1の入力端子はグラウンドレベル、すなわち低インピーダンスノードに接続されている。このため、コンパレータ13の第1の入力端子はキックバックノイズの影響を受けない。一方、ハイインピーダンスノードに接続されているコンパレータ13の第2の入力端子は、少なからずキックバックノイズの影響を受ける。これが、AD変換結果に誤差が生じる理由である。

[0006] 特許文献2に記載された全差動型AD変換器では、キックバックノイズの影響がダイナミックコンパレータの2つの入力端子でバランスされる。このため、キックバックノイズはAD変換結果に悪影響を与えない。しかしながら、全差動型SARADCの入力ドライバには全差動アンプが必要であるため、シングルエンド型ADCを採用したシステムに比べて入力ドライバのアンプ構成が複雑になる。

[0007] 本発明は、高精度なAD変換結果を得ることができるシングルエンド型AD変換器、AD変換回路、およびイメージセンサを提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の態様によれば、シングルエンド型AD変換器は、DAC回路と、固定容量と、ダイナミックコンパレータと、制御回路とを有する。前記DAC回路は、容量値が重み付けされた複数の容量を有する。前記複数の容量は、前記シングルエンド型AD変換器の外部から入力されるアナログ電圧信号を保持する。前記固定容量は、前記シングルエンド型AD変換器の外部から入力される基準電圧信号を保持する。前記ダイナミックコンパレータは、前記DAC回路に保持された前記アナログ電圧信号の電圧と、前記固定

容量に保持された前記基準電圧信号の電圧とを比較する。前記制御回路は、前記ダイナミックコンパレータの比較結果に応じて、前記D A C回路を制御する。前記D A C回路が有する前記複数の前記容量の容量値の合計と、前記固定容量の容量値とは、略同一である。

[0009] 本発明の第2の態様によれば、第1の態様において、前記A D変換器は、前記アナログ電圧信号が入力される第1の入力ノードと、前記基準電圧信号が入力される第2の入力ノードとを有してもよい。前記複数の前記容量および前記固定容量の各々は、互いに対向する第1の電極および第2の電極を有してもよい。前記ダイナミックコンパレータは第1の入力端子および第2の入力端子を有してもよい。前記複数の前記容量の前記第1の電極は、前記第1の入力ノードおよび前記第1の入力端子に接続されてもよい。前記複数の前記容量の前記第2の電極は、グランドまたは所定の基準電圧に接続されてもよい。前記固定容量の前記第1の電極は、前記第2の入力ノードおよび前記第2の入力端子に接続されてもよい。前記固定容量の前記第2の電極は、グランドに接続されてもよい。

[0010] 本発明の第3の態様によれば、A D変換回路は、前記シングルエンド型A D変換器である第1のA D変換器および第2のA D変換器を有する。前記第1のA D変換器および前記第2のA D変換器は、前記固定容量を共有する。前記第1のA D変換器は、前記第2のA D変換器による第2の動作と並行して第1の動作を行い、かつ前記第2のA D変換器は、前記第1のA D変換器による第2の動作と並行して第1の動作を行う。前記第1の動作において、前記アナログ電圧信号が前記D A C回路にサンプリングされる。前記第2の動作において、前記第1の動作によりサンプリングされた前記アナログ電圧信号および前記基準電圧信号の各々に基づいて順次A D変換が行われる。前記第1のA D変換器および前記第2のA D変換器は、前記第1の動作および前記第2の動作を交互に行う。前記第1のA D変換器および前記第2のA D変換器が、前記第1の動作と前記第2の動作とを切り替える間に、前記第1の動作を行う期間および前記第2の動作を行う期間よりも短い期間で、前記

固定容量にサンプリングされた前記基準電圧信号をリセットする第3の動作を行う。

[0011] 本発明の第4の態様によれば、イメージセンサは、前記A/D変換回路を有する。

[0012] 本発明の第5の態様によれば、第4の態様において、前記イメージセンサは、複数の画素と、複数の列回路とを有してもよい。前記複数の画素は、行列状に配置されている。前記複数の列回路は、前記複数の画素の列毎に配置されている。前記複数の画素の奇数列に配置された前記列回路から出力された信号は、前記第1のA/D変換器および前記第2のA/D変換器のいずれか1つに入力されてもよい。前記複数の画素の偶数列に配置された前記列回路から出力された信号は、前記第1のA/D変換器および前記第2のA/D変換器のうち前記偶数列に配置された前記列回路から出力された前記信号が入力されるA/D変換器と異なるA/D変換器に入力されてもよい。

[0013] 本発明の第6の態様によれば、第4の態様において、前記イメージセンサは、行列状に配置された複数の画素を有してもよい。前記複数の画素は、複数の第1の画素と複数の第2の画素とを含んでもよい。前記第1の画素は、第1の色のカラーフィルタを有してもよい。前記第2の画素は、前記第1の色と異なる第2の色のカラーフィルタを有してもよい。前記複数の第1の画素および前記複数の第2の画素は周期的に配置されてもよい。前記第1の画素から出力された信号は、前記第1のA/D変換器および前記第2のA/D変換器のいずれか1つに入力されてもよい。前記第2の画素から出力された信号は、前記第1のA/D変換器および前記第2のA/D変換器のうち前記第1の画素から出力された前記信号が入力されるA/D変換器と異なるA/D変換器に入力されてもよい。

発明の効果

[0014] 上記の各態様によれば、シングルエンド型A/D変換器、A/D変換回路、およびイメージセンサは、高精度なA/D変換結果を得ることができる。

図面の簡単な説明

[0015] [図1]本発明の第1の実施形態のA/D変換器の構成を示す回路図である。

[図2]本発明の第1の実施形態の比較器の構成を示す回路図である。

[図3]本発明の第1の実施形態のA/D変換器の動作を示すタイミングチャートである。

[図4]本発明の第1の実施形態のA/D変換器の効果に関するシミュレーション結果を示すグラフである。

[図5]本発明の第1の実施形態のA/D変換器のチャージサミングノードの電圧を示すグラフである。

[図6]本発明の第1の実施形態のA/D変換器のチャージサミングノードの電圧の関係を示すグラフである。

[図7]本発明の第2の実施形態のイメージセンサの全体構成を示すブロック図である。

[図8]本発明の第2の実施形態のイメージセンサの動作を示すタイミングチャートである。

[図9]本発明の第2の実施形態のイメージセンサの動作を示すタイミングチャートである。

[図10]本発明の第2の実施形態のA/D変換回路の構成を示す回路図である。

[図11]本発明の第2の実施形態のA/D変換回路の動作を示すタイミングチャートである。

[図12]本発明の第2の実施形態の変形例のイメージセンサの全体構成を示すブロック図である。

[図13]本発明の第3の実施形態のイメージセンサの全体構成を示すブロック図である。

[図14]本発明の第3の実施形態の変形例のイメージセンサの全体構成を示すブロック図である。

[図15]従来技術のシングルエンド型SARADCの構成を示す回路図である。

発明を実施するための形態

[0016] 図面を参照し、本発明の実施形態を説明する。

[0017] (第1の実施形態)

図1は、本発明の第1の実施形態のAD変換器ADCの構成を示す。AD変換器ADCの概略構成について説明する。AD変換器ADCは、シングルエンド型AD変換器である。AD変換器ADCは、少なくとも、DAC回路CDACOと、容量C1C~C6Cと、比較器CMPOと、制御回路SARLOGICOとを有する。

[0018] DAC回路CDACOは、容量値が重み付けされた複数の容量C1O~C6Oを有する。複数の容量C1O~C6Oは、AD変換器ADCの外部から入力されるアナログ電圧信号すなわち映像信号VSI G1を保持する。複数の容量C1C~C6Cは、固定容量である。複数の容量C1C~C6Cは、AD変換器ADCの外部から入力される基準電圧信号すなわち基準信号VCMを保持する。比較器CMPOは、ダイナミックコンパレータである。比較器CMPOは、DAC回路CDACOに保持された映像信号VSI G1の電圧と、複数の容量C1C~C6Cに保持された基準信号VCMの電圧とを比較する。制御回路SARLOGICOは、逐次比較回路である。制御回路SARLOGICOは、比較器CMPOの比較結果に応じて、DAC回路CDACOを制御する。DAC回路CDACOが有する複数の容量C1O~C6Oの容量値の合計と、複数の容量C1C~C6Cの容量値の合計とは、略同一である。

[0019] また、AD変換器ADCは、アナログ電圧信号すなわち映像信号VSI G1が入力されるノードVIO（第1の入力ノード）と、基準電圧信号すなわち基準信号VCMが入力されるノードVIC（第2の入力ノード）とを有する。複数の容量C1O~C6Oおよび複数の容量C1C~C6Cの各々は、互いに対向する第1の電極および第2の電極を有する。比較器CMPOは、第1の入力端子および第2の入力端子を有する。複数の容量C1O~C6Oの第1の電極は、ノードVIOおよび比較器CMPOの第1の入力端子に接続されている。複数の容量C1O~C6Oの第2の電極は、グラウンドGND

または所定の基準電圧（基準電圧VREF）に接続されている。複数の容量C1C～C6Cの第1の電極は、ノードVICおよび比較器CMPOの第2の入力端子に接続されている。比較器CMPOの第2の電極は、グランドGNDに接続されている。

[0020] AD変換器ADCの詳細な構成について説明する。図1に示すように、AD変換器ADCは、奇数AD変換器ADCOおよび容量アレーCDACCを有する。奇数AD変換器ADCOは、DAC回路CDACOと、比較器CMPOと、制御回路SARLOGICOとを有する。DAC回路CDACOは、容量C1O～C6Oと、スイッチSW1O～SW6Oと、サンプルスイッチSWSMPL Oとを有する。容量アレーCDACCは、容量C1C～C6CおよびサンプルスイッチSWSMPL Cを有する。

[0021] サンプルスイッチSWSMPL Oは、第1の端子および第2の端子を有する。サンプルスイッチSWSMPL Oの第1の端子は、信号源SIG__ODDに接続されている。サンプルスイッチSWSMPL Oの第2の端子は、ノードVIOに接続されている。サンプルスイッチSWSMPL Oの状態は、オンとオフとの間で切り替わる。サンプルスイッチSWSMPL Oがオンであるとき、サンプルスイッチSWSMPL Oの第1の端子と第2の端子とが電氣的に接続される。このとき、信号源SIG__ODDからの映像信号VSIG1がノードVIOに入力される。サンプルスイッチSWSMPL Oがオフであるとき、サンプルスイッチSWSMPL Oの第1の端子と第2の端子とが高インピーダンス状態になる。サンプルスイッチSWSMPL Oの状態は、制御信号SMPL Oによって制御される。制御信号SMPL Oが“H（High）”である場合、サンプルスイッチSWSMPL Oはオンである。制御信号SMPL Oが“L（Low）”である場合、サンプルスイッチSWSMPL Oはオフである。サンプルスイッチSWSMPL Oは、信号源SIG__ODDからの映像信号VSIG1をサンプリングする。

[0022] スイッチSW1O～SW6Oは、第1の端子S1と、第2の端子S2と、第3の端子Dとを有する。スイッチSW1O～SW6Oの第1の端子S1は

、基準電圧VREFに接続されている。スイッチSW10～SW60の第2の端子S2は、グランドGNDに接続されている。スイッチSW10～SW60の第3の端子Dは、容量C10～C60の第2の電極に接続されている。スイッチSW10～SW60の状態は、第1の状態と第2の状態との間で切り替わる。スイッチSW10～SW60が第1の状態であるとき、スイッチSW10～SW60の第1の端子S1とスイッチSW10～SW60の第3の端子Dとが電氣的に接続される。このとき、容量C10～C60は基準電圧VREFに接続される。スイッチSW10～SW60が第2の状態であるとき、スイッチSW10～SW60の第2の端子S2とスイッチSW10～SW60の第3の端子Dとが電氣的に接続される。このとき、容量C10～C60はグランドGNDに接続される。スイッチSW10～SW60の状態は、AD変換結果のビットDO1～DO6によって制御される。ビットDO1～DO6が“H”である場合、スイッチSW10～SW60は第1の状態である。ビットDO1～DO6が“L”である場合、スイッチSW10～SW60は第2の状態である。容量C10～C60において電荷が保存された状態でスイッチSW10～SW60の接続状態が変化することにより、ノードVIOの電圧が変化する。

[0023] 容量C10～C60は、第1の電極および第2の電極を有する。容量C10～C60の第1の電極は、ノードVIOに接続されている。容量C10～C60の第2の電極は、スイッチSW1P～SW6Pの第3の端子Dに接続されている。容量C10～C60は、サンプルスイッチWSMPL0によってサンプリングされた映像信号VSI G1を保持する。

[0024] サンプルスイッチWSMPLCは、第1の端子および第2の端子を有する。サンプルスイッチWSMPLCの第1の端子は、基準信号源VCM_{__}Gに接続されている。サンプルスイッチWSMPLCの第2の端子は、ノードVICに接続されている。サンプルスイッチWSMPLCの状態は、オンとオフとの間で切り替わる。サンプルスイッチWSMPLCがオンであるとき、サンプルスイッチWSMPLCの第1の端子と第2の端子とが

電氣的に接続される。このとき、基準信号源 V_{CM_G} からの基準信号 V_{CM} がノード V_{IC} に入力される。サンプルスイッチ SW_{SMPLC} がオフであるとき、サンプルスイッチ SW_{SMPLC} の第 1 の端子と第 2 の端子とが高インピーダンス状態になる。サンプルスイッチ SW_{SMPLC} の状態は、制御信号 S_{MPLC} によって制御される。制御信号 S_{MPLC} が “H” である場合、サンプルスイッチ SW_{SMPLC} はオンである。制御信号 S_{MPLC} が “L” である場合、サンプルスイッチ SW_{SMPLC} はオフである。

[0025] 容量 $C_{1C} \sim C_{6C}$ は、第 1 の電極および第 2 の電極を有する。容量 $C_{1C} \sim C_{6C}$ の第 1 の電極は、ノード V_{IC} に接続されている。容量 $C_{1C} \sim C_{6C}$ の第 2 の電極は、グランド GND に接続されている。容量 $C_{1C} \sim C_{6C}$ は、サンプルスイッチ SW_{SMPLC} によってサンプリングされた基準信号 V_{CM} を保持する。

[0026] 容量 $C_{1O} \sim C_{6O}$ および容量 $C_{1C} \sim C_{6C}$ の容量値は重み付けされている。説明の便宜のため、各容量の容量値は各容量の符号で表される。各容量の容量値は、式 (1) により示される。

$$C_{1O} = C_{1C} = C_u, C_{2O} = C_{2C} = C_u, C_{3O} = C_{3C} = 2C_u \\ (2^{(2-1)}C_u), \dots, C_{6O} = C_{6C} = 16C_u (2^{(5-1)}C_u) \\ \dots (1)$$

[0027] 容量 C_{1O} および容量 C_{1C} は、ダミー容量としての性質を有する容量である。容量 C_{1O} および容量 C_{1C} は、DAC 回路 $CDACO$ および容量アレ $CDACC$ の各々における容量の合計値 C を式 (2) のように $2^5 C_u$ にするために必要である。

$$C = C_u + 2^0 C_u + 2^1 C_u + 2^2 C_u + \dots + 2^4 C_u \dots (2)$$

[0028] ダミー容量としての性質を有する容量 C_{1O} および容量 C_{1C} は AD 変換器 ADC の構成に必須の要件ではない。しかし、容量 C_{1O} および容量 C_{1C} は、後述する説明を簡潔にするため、および実際の設計において高精度な AD 変換器を実現するためには必要な要素である。このため、本発明の各実施形態において、容量 C_{1O} および容量 C_{1C} を敢えて記載している。

- [0029] DAC回路CDACOは、信号源SIG_ODDに接続されている。容量アレーCDACCは、基準信号源VCM_Gに接続されている。信号源SIG_ODDによって生成された映像信号VSIG1は、ノードVIOに供給される。基準信号源VCM_Gによって生成された基準信号VCMは、ノードVICに供給される。
- [0030] チャージサミングノードであるノードVIOは、サンプルスイッチSWSMPL0の第2の端子と、容量C10~C60の第1の電極と、比較器CMP0の第1の入力端子とに接続されている。ノードVIOは、これらに電氣的に接続された信号線上の任意の位置である。チャージサミングノードであるノードVICは、サンプルスイッチSWSMPLCの第2の端子と、容量C1C~C6Cの第1の電極と、比較器CMP0の第2の入力端子とに接続されている。ノードVICは、これらに電氣的に接続された信号線上の任意の位置である。
- [0031] 比較器CMP0は、第1の入力端子（非反転入力端子）と、第2の入力端子（反転入力端子）と、第1の出力端子（反転出力端子）と、第2の出力端子（非反転出力端子）とを有する。比較器CMP0の第1の入力端子は、ノードVIOに接続されている。映像信号VSIG1に基づく電圧が比較器CMP0の第1の入力端子に入力される。比較器CMP0の第2の入力端子は、ノードVICに接続されている。基準信号VCMに基づく電圧が比較器CMP0の第2の入力端子に入力される。比較器CMP0の第1の出力端子および第2の出力端子は、制御回路SARLOGICOに接続されている。比較器CMP0は、ノードVIOの電圧とノードVICの電圧とを比較する。比較器CMP0は、比較結果に基づく信号VONOを第1の出力端子から出力し、かつ比較結果に基づく信号VOP0を第2の出力端子から出力する。
- [0032] 制御回路SARLOGICOは、第1の入力端子と、第2の入力端子と、出力端子とを有する。制御回路SARLOGICOの第1の入力端子は比較器CMP0の第1の出力端子に接続されている。制御回路SARLOGICOの第2の入力端子は比較器CMP0の第2の出力端子に接続されている。

信号VONOが制御回路SARLOGICOの第1の入力端子に入力され、かつ信号VOPPOが制御回路SARLOGICOの第2の入力端子に入力される。制御回路SARLOGICOは、比較器CMPPOからの信号VOPPOおよび信号VONOに基づいてAD変換結果のデジタル信号DO[6:1]を生成し、かつデジタル信号DO[6:1]を出力端子から出力する。AD変換器ADCは、6ビット出力のAD変換器であるが、この例に限らない。AD変換器ADCの出力ビット数は、任意に設定され得る。

[0033] デジタル信号DO[6:1]を構成するビットDO1~DO6は、DAC回路CDACOのスイッチSW10~SW60に出力される。制御回路SARLOGICOは、ビットDO1~DO6をスイッチSW10~SW60に出力することにより、DAC回路CDACOを制御する。

[0034] DAC回路CDACOが有する複数の容量C10~C60の容量値の合計と、複数の容量C1C~C6Cの容量値の合計とは、同一であることが望ましい。しかし、通常、容量値にはばらつきが生じる。一般的に、容量値の絶対値のばらつきは、公称値の10%から30%である。例えば、容量値の絶対値のばらつきが公称値の10%である場合、容量C10~C60の容量値の合計および容量C1C~C6Cの容量値の合計は、 $0.9C_0$ から $1.1C_0$ の範囲内である。 C_0 は、容量C10~C60の容量値の公称値の合計かつ容量C1C~C6Cの容量値の公称値の合計である。このため、容量C10~C60の容量値の合計と容量C1C~C6Cの容量値の合計との比は、 $0.8 (= 0.9C_0 / 1.1C_0)$ から $1.2 (= 1.1C_0 / 0.9C_0)$ の範囲内である。したがって、その比がこの範囲内である場合、容量C10~C60の容量値の合計および容量C1C~C6Cの容量値の合計は略同一であるとみなせる。

[0035] 図2は、比較器CMPPOの構成を示す。図2に示すように、比較器CMPPOは、差動増幅回路A1およびラッチ回路L1を有する。

[0036] 差動増幅回路A1は、トランジスタM1と、トランジスタM2と、トランジスタM3と、トランジスタM4と、トランジスタM5とを有する。トラン

ジスタM1と、トランジスタM2と、トランジスタM5とは、Nチャネル型の電界効果トランジスタである。トランジスタM3と、トランジスタM4とは、Pチャネル型の電界効果トランジスタである。差動増幅回路A1の増幅機能を得ることができるという条件で、差動増幅回路A1を構成する各トランジスタの種類は任意に選択され得る。

[0037] トランジスタM1のゲート端子は、第1の入力端子に接続されている。トランジスタM2のゲート端子は、第2の入力端子に接続されている。信号V_IOがDAC回路CDACOから第1の入力端子を介してトランジスタM1のゲート端子に入力される。信号V_IOは、ノードV_IOの電圧に応じた信号である。信号V_ICが容量アレーCDACCから第2の入力端子を介してトランジスタM2のゲート端子に入力される。信号V_ICは、ノードV_ICの電圧に応じた信号である。

[0038] トランジスタM3のソース端子は、電源電圧V_{DD}を出力する電源に接続されている。トランジスタM3のドレイン端子は、トランジスタM1のドレイン端子に接続されている。トランジスタM4のソース端子は、電源電圧V_{DD}を出力する電源に接続されている。トランジスタM4のドレイン端子は、トランジスタM2のドレイン端子に接続されている。トランジスタM4のゲート端子は、トランジスタM3のゲート端子に接続されている。内部クロック信号B_{IT}_CLKがトランジスタM3のゲート端子およびトランジスタM4のゲート端子に入力される。

[0039] トランジスタM5のソース端子は、グラウンドGNDに接続されている。グラウンドGNDは、最低電圧を与える。トランジスタM5のドレイン端子は、トランジスタM1のソース端子およびトランジスタM2のソース端子に接続されている。内部クロック信号B_{IT}_CLKがトランジスタM5のゲート端子に入力される。

[0040] ラッチ回路L1は、トランジスタM7と、トランジスタM8と、トランジスタM9と、トランジスタM10と、トランジスタM11と、トランジスタM12と、トランジスタM13と、トランジスタM14とを有する。ラン

ジスタM11と、トランジスタM12と、トランジスタM13と、トランジスタM14とは、Nチャネル型の電界効果トランジスタである。トランジスタM7と、トランジスタM8と、トランジスタM9と、トランジスタM10とは、Pチャネル型の電界効果トランジスタである。ラッチ回路L1のラッチ機能を得ることができるという条件で、ラッチ回路L1を構成する各トランジスタの種類は任意に選択され得る。

[0041] トランジスタM7のゲート端子は、トランジスタM2のドレイン端子に接続されている。差動増幅回路A1から出力された信号APがトランジスタM7のゲート端子に入力される。トランジスタM8のゲート端子は、トランジスタM1のドレイン端子に接続されている。差動増幅回路A1から出力された信号ANがトランジスタM8のゲート端子に入力される。

[0042] トランジスタM9のソース端子は、電源電圧VDDを出力する電源に接続されている。トランジスタM9のドレイン端子は、トランジスタM7のソース端子に接続されている。トランジスタM10のソース端子は、電源電圧VDDを出力する電源に接続されている。トランジスタM10のドレイン端子は、トランジスタM8のソース端子に接続されている。

[0043] トランジスタM11のソース端子は、グラウンドGNDに接続されている。トランジスタM11のドレイン端子は、トランジスタM7のドレイン端子と、トランジスタM10のゲート端子と、トランジスタM12のゲート端子と、トランジスタM13のドレイン端子とに接続されている。トランジスタM11のゲート端子は、トランジスタM9のゲート端子と、トランジスタM8のドレイン端子と、トランジスタM12のドレイン端子と、トランジスタM14のドレイン端子とに接続されている。トランジスタM12のソース端子は、グラウンドGNDに接続されている。トランジスタM12のドレイン端子は、トランジスタM8のドレイン端子と、トランジスタM9のゲート端子と、トランジスタM11のゲート端子と、トランジスタM14のドレイン端子とに接続されている。トランジスタM12のゲート端子は、トランジスタM10のゲート端子と、トランジスタM7のドレイン端子と、トランジスタM

11のドレイン端子と、トランジスタM13のドレイン端子とに接続されている。

[0044] トランジスタM13のソース端子は、グラウンドGNDに接続されている。トランジスタM13のドレイン端子は、トランジスタM11のドレイン端子と、トランジスタM7のドレイン端子と、トランジスタM10のゲート端子と、トランジスタM12のゲート端子とに接続されている。反転内部クロック信号BIT__CLKbがトランジスタM13のゲート端子に入力される。トランジスタM14のソース端子は、グラウンドGNDに接続されている。トランジスタM14のドレイン端子は、トランジスタM8のドレイン端子と、トランジスタM12のドレイン端子と、トランジスタM9のゲート端子と、トランジスタM11のゲート端子とに接続されている。反転内部クロック信号BIT__CLKbがトランジスタM14のゲート端子に入力される。

[0045] トランジスタM14のドレイン端子は、第1の出力端子に接続されている。トランジスタM13のドレイン端子は、第2の出力端子に接続されている。信号VOPが第1の出力端子から出力され、かつ信号VONが第2の出力端子から出力される。

[0046] 比較器CMPOの基本動作について説明する。内部クロック信号BIT__CLKおよび反転内部クロック信号BIT__CLKbは、図示していない制御回路から比較器CMPOに供給される。比較器CMPOがノードVIOおよびノードVICの電圧を比較する期間において、内部クロック信号BIT__CLKはハイレベルになる。

[0047] 先ず、内部クロック信号BIT__CLKがローレベルである場合の動作について説明する。内部クロック信号BIT__CLKがローレベルであるとき、反転内部クロック信号BIT__CLKbはハイレベルである。このため、差動増幅回路A1のトランジスタM5はオフになり、かつトランジスタM3およびトランジスタM4はオンになる。ラッチ回路L1のトランジスタM13およびトランジスタM14はオンになる。

[0048] この場合、信号ANおよび信号APの電位は、電源電圧VDDに引き上げ

られる。信号A Nおよび信号A PはトランジスタM 7およびトランジスタM 8のゲート端子に入力されるため、トランジスタM 7およびトランジスタM 8はオフになる。一方、トランジスタM 1 3およびトランジスタM 1 4はオンになる。信号V O P Oおよび信号V O N Oの電位は、トランジスタM 1 3およびトランジスタM 1 4を介してグラウンドG N Dに引き下げられる。

[0049] 信号V I Oが信号V I Cよりも大きい状態 ($V I O > V I C$) で、内部クロック信号B I T__C L Kがローレベルからハイレベルに切り替わった場合の動作について説明する。

[0050] 内部クロック信号B I T__C L Kがローレベルからハイレベルに切り替わることにより、差動増幅回路A 1において、トランジスタM 5はオンになる。このため、トランジスタM 5にドレイン電流が流れる。トランジスタM 3およびトランジスタM 4はオフになる。トランジスタM 1は、トランジスタM 1のドレイン端子のノードN A Nに結合されている寄生容量から電荷を引き抜く。トランジスタM 2は、トランジスタM 2のドレイン端子のノードN A Pに結合されている寄生容量から電荷を引き抜く。

[0051] トランジスタM 1およびトランジスタM 2が上記の寄生容量から電荷を引き抜く過程で、信号V I Oと信号V I Cとの電位の違いにより、寄生容量から電荷が引き抜かれる速度に違いが生じる。信号V I Oが信号V I Cよりも大きい場合、($V I O > V I C$)、トランジスタM 1に流れる電流は、トランジスタM 2に流れる電流よりも大きい。その結果、信号A Nの電位は、信号A Pの電位よりも高速に低下する。

[0052] 内部クロック信号B I T__C L Kがローレベルからハイレベルに変化し、かつ反転内部クロック信号B I T__C L K bがハイレベルからローレベルに変化する。これにより、ラッチ回路L 1において、信号V O P Oおよび信号V O N Oの電位は、電源電圧V D Dに向かって上昇する。信号A Pの電位よりも信号A Nの電位の方が高速に低下するため、トランジスタM 7よりもトランジスタM 8の方が早くオンになる。このため、信号V O P Oの電位の上昇速度は、信号V O N Oの電位の上昇速度よりも大きくなる。その結果、信

号VOP Oの電位は、電源電圧VDDに向かって引き上げられる。

[0053] トランジスタM7, M9, M11によって形成されるインバータと、トランジスタM8, M10, M12によって形成されるインバータとがクロスカップル接続されている。この場合、信号VOP Oがゲート端子に印加されるトランジスタM9はオフになる。このため、信号VON Oは、グランドGNDに向かって引き下げられる。したがって、信号VIOと信号VICとの間の大きさの関係に応じた論理レベルを有する信号VOP Oおよび信号VON Oが比較器CMP Oから出力される。

[0054] 具体的には、信号VIOが信号VICよりも大きい場合 ($VIO > VIC$)、信号VOP Oの電位は、電源電圧VDDの電位になり、かつ信号VON Oの電位は、グランドGNDの電位になる。信号VICが信号VIOよりも大きい場合 ($VIC > VIO$)、信号VON Oの電位は、電源電圧VDDの電位になり、かつ信号VOP Oの電位は、グランドGNDの電位になる。このように、比較器CMP Oは、信号VIOと信号VICとの間の大きさの関係を示す2値の信号VOP Oおよび信号VON Oを出力する。

[0055] 比較器CMP Oはダイナミックコンパレータである。比較器CMP Oにおいて、動作電流として、CMOSロジックと同様に、状態変化による貫通電流のみが流れる。つまり、比較器CMP Oにおいて、内部クロック信号BIT__CLKおよび反転内部クロック信号BIT__CLK bの信号レベルがハイレベルからローレベルまたはローレベルからハイレベルに遷移するときのみに過渡的に電流が流れ、かつ定常電流（アイドリング電流）が発生しない。このため、比較器CMP Oは、低消費電力化に適している。

[0056] 図3を用いてAD変換器ADCの動作について説明する。図3は、AD変換器ADCの動作に関する信号を示す。図3において、DAC回路CDAC Oの状態が示されている。図3において、制御信号SMPL Oおよび制御信号SMPL Cが示されている。図3において、デジタル信号DO [6 : 1] が16進数で示されている。図3において、ノードVIOおよびノードVICの各々の電圧が示されている。図3において、横軸は時間を示し、かつ縦

軸は信号レベルを示す。

- [0057] 期間T 1 から期間T 7 において、AD変換器ADCは、サンプリング動作SAMPを行うことにより、DAC回路CDACOに入力される信号のサンプリングを行う。期間T 1 から期間T 7 において、スイッチSWSMPL Oがオンであるため、映像信号VSIG 1が信号源SIG__ODDからノードVIOに入力される。また、期間T 1 から期間T 7 において、スイッチSWSMPL Cがオンであるため、基準信号VCMが基準信号源VCM__GからノードVICに入力される。
- [0058] 期間T 2 から期間T 7 において、“H”であるビットDO 1～DO 6がスイッチSW 1 O～SW 6 Oに入力される。期間T 2 から期間T 7 において、スイッチSW 1 O～SW 6 Oの各々の第1の端子S 1と第3の端子Dとが接続される。期間T 1 から期間T 7 において、ノードVIOの電圧は映像信号VSIG 1の電圧に保たれ、かつノードVICの電圧は基準信号VCMの電圧に保たれる。期間T 2 から期間T 7 において、映像信号VSIG 1に基づく電荷が容量C 1 O～C 6 Oに保持され、かつ基準信号VCMに基づく電荷が容量C 1 C～C 6 Cに保持される。
- [0059] 期間T 1' から期間T 7' において、AD変換器ADCは、AD変換動作CONVを行うことにより、DAC回路CDACOにサンプリングされた信号のAD変換を行う。期間T 1' から期間T 7' において、スイッチSWSMPL Oがオフであるため、ノードVIOに対する、信号源SIG__ODDからの映像信号VSIG 1の入力は停止される。また、期間T 1' から期間T 7' において、スイッチSWSMPL Cがオフであるため、ノードVICに対する、基準信号源VCM__Gからの基準信号VCMの入力は停止される。
- [0060] 期間T 2' から期間T 7' は、DAC回路CDACOに保持された電荷に基づいてAD変換器ADC（比較器CMP O）がMSBからLSBの比較を行うための期間に対応する。期間T 2' において、比較器CMP OはノードVIOおよびノードVICの電圧を比較する。この比較により、AD変換結

果の最上位ビットD O 6の論理が確定する。比較器C M P Oは、比較結果を制御回路S A R L O G I C Oに出力する。期間T 3'において、制御回路S A R L O G I C Oは、期間T 2'における比較結果に応じたビットD O 6を出力する。ビットD O 6に対する判定結果が $V I C < V I O$ である場合、ビットD O 6の論理レベルは“L”である。説明の便宜のため、ノードV I Oの電圧はV I Oと表され、かつノードV I Cの電圧はV I Cと表される。ビットD O 6に対する判定結果が $V I C > V I O$ である場合、ビットD O 6の論理レベルは“H”である。2番目以降のビットD O iにおける判定結果が $V I C < V I O$ である場合、ビットD O iの論理レベルは“L”に設定される。ビットD O iにおける判定結果が $V I C > V I O$ である場合、ビットD O iの論理レベルは“L”に設定され、かつ1つ前のビットD O (i + 1)の論理レベルが“H”に設定される。iは、1から5のいずれかの整数である。

[0061] 図3に示す例の期間T 2'において、ノードV I Oの電圧がノードV I Cの電圧よりも高いため、制御回路S A R L O G I C Oは、ビットD O 6の論理を“L”に設定する。この結果、16進数で表記されたデジタル信号D O [6 : 1]は3 F (1 1 1 1 1 1)から1 F (0 1 1 1 1 1)に変化する。期間T 3'において、ビットD O 6の論理レベルは、スイッチS W O 6に出力される。このため、スイッチS W O 6は、第2の端子S 2と第3の端子Dとが接続された状態に切り替わる。これにより、グラウンドレベルが容量C 6 Oの第2の電極に入力される。容量C 1 O ~ C 6 Oに蓄積されている電荷の総量が保存された状態でスイッチS W O 6の状態が変化することにより、ノードV I Oの電位は $(1 / 2^1) V R E F$ だけ低下する。

[0062] ノードV I Oの電位の変動が安定した後、期間T 3'において、比較器C M P Oは、ビットD O 5の論理レベルを判定するためにノードV I OおよびノードV I Cの電圧を比較する。期間T 3'において、ノードV I Cの電圧がノードV I Oの電圧よりも高いため、制御回路S A R L O G I C Oは、ビットD O 5の論理を“L”に設定し、かつビットD O 6の論理を“H”に設

定する。この結果、16進数で表記されたデジタル信号DO[6:1]は1F(011111)から2F(101111)に変化する。期間T4'において、ビットDO6の論理レベルはスイッチSW60に出力され、かつビットDO5の論理レベルは、スイッチSW50に出力される。このため、スイッチSW60は、第1の端子S1と第3の端子Dとが接続された状態に切り替わる。これにより、基準電圧VREFが容量C60の第2の電極に入力される。スイッチSW50は、第2の端子S2と第3の端子Dとが接続された状態に切り替わる。これにより、グラウンドレベルが容量C50の第2の電極に入力される。容量C10~C60に蓄積されている電荷の総量が保存された状態で、スイッチSW60およびスイッチSW50の状態が変化することにより、ノードV10の電位は $(1/2^2)$ VREFだけ増加する。

[0063] ノードV10の電位の変動が安定した後、期間T4'において、比較器CMP0は、ビットDO4の論理レベルを判定するためにノードV10およびノードV1Cの電圧を比較する。期間T4'において、ノードV10の電圧がノードV1Cの電圧よりも高いため、制御回路SARLOGIC0は、ビットDO4の論理を“L”に設定する。この結果、16進数で表記されたデジタル信号DO[6:1]は2F(101111)から27(100111)に変化する。期間T5'において、ビットDO4の論理レベルは、スイッチSW40に出力される。このため、スイッチSW40は、第2の端子S2と第3の端子Dとが接続された状態に切り替わる。これにより、グラウンドレベルが容量C40の第2の電極に入力される。容量C10~C60に蓄積されている電荷の総量が保存された状態で、スイッチSW40の状態が変化することにより、ノードV10の電位は $(1/2^3)$ VREFだけ低下する。

[0064] ノードV10の電位の変動が安定した後、期間T5'において、比較器CMP0は、ビットDO3の論理レベルを判定するためにノードV10およびノードV1Cの電圧を比較する。期間T5'において、ノードV10の電圧がノードV1Cの電圧よりも高いため、制御回路SARLOGIC0は、ビットDO3の論理を“L”に設定する。この結果、16進数で表記されたデ

デジタル信号DO[6:1]は27(100111)から23(100011)に変化する。期間T6'において、ビットDO3の論理レベルは、スイッチSWO3に出力される。このため、スイッチSWO3は、第2の端子S2と第3の端子Dとが接続された状態に切り替わる。これにより、グラウンドレベルが容量C3Oの第2の電極に入力される。容量C1O~C6Oに蓄積されている電荷の総量が保存された状態で、スイッチSWO3の状態が変化することにより、ノードVIOの電位は $(1/2^4)V_{REF}$ だけ低下する。

[0065] ノードVIOの電位の変動が安定した後、期間T6'において、比較器CMPOは、ビットDO2の論理レベルを判定するためにノードVIOおよびノードVICの電圧を比較する。期間T6'において、ノードVICの電圧がノードVIOの電圧よりも高いため、制御回路SARLOGICOは、ビットDO2の論理を“L”に設定し、かつビットDO3の論理を“H”に設定する。この結果、16進数で表記されたデジタル信号DO[6:1]は23(100011)から25(100101)に変化する。期間T7'において、ビットDO3の論理レベルはスイッチSWO3に出力され、かつビットDO2の論理レベルは、スイッチSWO2に出力される。このため、スイッチSWO3は、第1の端子S1と第3の端子Dとが接続された状態に切り替わる。これにより、基準電圧VREFが容量C3Oの第2の電極に入力される。スイッチSWO2は、第2の端子S2と第3の端子Dとが接続された状態に切り替わる。これにより、グラウンドレベルが容量C2Oの第2の電極に入力される。容量C1O~C6Oに蓄積されている電荷の総量が保存された状態で、スイッチSWO3およびスイッチSWO2の状態が変化することにより、ノードVIOの電位は $(1/2^5)V_{REF}$ だけ増加する。

[0066] ノードVIOの電位の変動が安定した後、期間T7'において、比較器CMPOは、ビットDO1の論理レベルを判定するためにノードVIOおよびノードVICの電圧を比較する。期間T7'において、ノードVICの電圧がノードVIOの電圧よりも高いため、制御回路SARLOGICOは、ビットDO1の論理を“L”に設定し、かつビットDO2の論理を“H”に設

定する。この結果、16進数で表記されたデジタル信号DO[6:1]は25(100101)から26(100110)に変化する。このようにして得られたデジタル信号DO[6:1]は、外部の信号処理システムで利用される。

[0067] 期間T7'における判定結果は、スイッチSW2OおよびスイッチSW1Oの制御に使用されない。スイッチSW1Oには、常に“H”である制御信号が入力されてもよい。

[0068] 本発明の各態様のAD変換器におけるDAC回路は、容量以外の構成を有していなくてもよい。本発明の各態様のAD変換器に入力され、かつAD変換対象である信号は、映像信号以外の信号であってもよい。

[0069] 第1の実施形態のAD変換器ADCにおいて、AD変換期間中、サンプルスイッチSWSMPLOおよびサンプルスイッチSWSMPLCはオフになる。これにより、容量C1O~C6OのノードV1Oから見込んだ、グラウンドに対するインピーダンスと、容量C1C~C6CのノードV1Cから見込んだ、グラウンドに対するインピーダンスとが同じに保たれる。このため、ダイナミックコンパレータである比較器CMPOがリセット動作をする度に生じるキックバックノイズの影響がバランスされる。この結果、高精度なAD変換結果が得られる。また、比較器CMPOとしてダイナミックコンパレータを使用することにより、消費電力を抑えることができる。

[0070] 図4から図6は、バランス容量の働きによりAD変換エラーを抑えることが確認できるシミュレーション例を示す。図4は、正弦波状のアナログ信号のAD変換結果から復元されたアナログ信号を示す。図4において、横軸は時間を示し、かつ縦軸は電圧を示す。電圧AV1は、バランス容量（容量アレーCDACC）があるAD変換器に入力されるアナログ信号の例を示す。電圧AV2は、バランス容量が無いAD変換器に入力されるアナログ信号の例を示す。

[0071] 図5は、バランス容量（容量アレーCDACC）があるAD変換器と、バランス容量が無いAD変換器との各々におけるノードV1OおよびノードV

I Cの電圧を示す。図5において、横軸は時間を示し、かつ縦軸は電圧を示す。

[0072] 図4の時刻 t_y において、バランス容量が無いAD変換器に変換エラーが生じた結果、時刻 t_x で最終的に確定するAD変換結果の値に誤差が生じる。図5における時刻 t_y は、図4における時刻 t_y に対応する。時刻 t_y 以前の時間におけるノードV I OおよびノードV I Cの電圧の大きさの関係は、バランス容量の有無にかかわらず、同じである。

[0073] バランス容量があるAD変換器では、時刻 t_y において、ノードV I Oの電圧はノードV I Cの電圧よりも高い。一方、バランス容量が無いAD変換器では、時刻 t_y において、ノードV I Oの電圧は、ノードV I Cの電圧よりも低い。時刻 t_y 以降の時間において、バランス容量があるAD変換器と、バランス容量が無いAD変換器とでは、ノードV I OおよびノードV I Cの電圧の大きさの関係が異なる。バランス容量が無い場合、ノードV I Cが低インピーダンスに保たれることにより、ノードV I Cの電圧がキックバックノイズの影響を受けないことが上記の原因であることは明白である。

[0074] 図5における電圧の状態をより明確に説明するため、図6を用いて補足説明を行う。図6は、ノードV I Cの電圧とノードV I Oの電圧との差($V I C - V I O$)を示す。AD変換器は、AD変換の実施によりノードV I Cの電圧とノードV I Oの電圧との差が目標電圧すなわち0に近づくように動作する。

[0075] 時刻 t_y 以前の時間において、差電圧($V I C - V I O$)は、バランス容量の有無に関わらず、ほぼ同じである。しかしながら、時刻 t_y において判定エラーが生じることにより、バランス容量が無いAD変換器では、差電圧($V I C - V I O$)は、一旦目標電圧から遠ざかった後に目標電圧に漸近する。一方、バランス容量があるAD変換器では、差電圧($V I C - V I O$)は、常に目標電圧に漸近する。任意の時刻において、判定エラーが生じた場合における目標電圧に対する差電圧($V I C - V I O$)の誤差は、判定エラーが生じない場合における目標電圧に対する差電圧($V I C - V I O$)の誤

差以上である。したがって、バランス容量があるAD変換器では、バランス容量が無いAD変換器に比べて、目標電圧の収束が速やかに行われることが確認できる。つまり、バランス容量があるAD変換器では、バランス容量が無いAD変換器に比べて、高精度なAD変換結果が得られる。

[0076] (第2の実施形態)

図7を用いて、本発明の第2の実施形態のイメージセンサIMGの全体構成について説明する。図7は、イメージセンサIMGの全体構成を示している。図7に示すように、イメージセンサIMGは、撮像部PIXと、タイミングジェネレータTGと、列処理部COLSと、AD変換回路ADCaとを有する。

[0077] 撮像部PIXは、行列状に配置された複数の画素Pを有する。図7において、複数の画素Pの一部は省略されている。各画素Pが区別される場合、画素Pは行番号mおよび列番号nと一緒に記載される。mは1以上、nは2以上の任意の整数である。nは任意の偶数であってもよい。i行j列に配置された画素Pは、画素P[i, j]である。iは1以上かつm以下の整数である。jは1以上かつn以下の整数である。撮像部PIXは、m×n個の画素P[1, 1]～P[m, n]を有する。n本の垂直信号線VL<1>～VL<n>が列方向に配置されている。画素P[1, 1]～P[m, n]は、列単位で垂直信号線VL<1>～VL<n>に接続されている。つまり、j列目の画素P[1, j]～P[m, j]は、垂直信号線VL<j>に接続されている。画素Pは、各画素Pがリセットされたときのリセット信号と、各画素Pに入射した光に応じた映像信号とを列処理部COLSに出力する。画素Pは、フォトダイオードを有し、かつ画素Pに入射した光に応じた信号をフォトダイオードに蓄積する。画素Pは、フォトダイオードに蓄積された信号に基づく映像信号を列処理部COLSに出力する。

[0078] 列処理部COLSは、複数の画素Pの列毎に配置された複数の列回路COLを有する。図7において、複数の列回路COLの一部は省略されている。各列回路COLが区別される場合、列回路COLは列番号nと一緒に記載さ

れる。j 列に配置された列回路COLは、列回路COL<j>である。列処理部COLSは、n個の列回路COL<1>~COL<n>を有する。列回路COL<1>~COL<n>は、垂直信号線VL<1>~VL<n>毎に配置されている。j 列目の列回路COL<j>は、垂直信号線VL<j>に接続されている。j 列目の画素P[1, j]~P[m, j]から出力されたりリセット信号と映像信号とがj 列目の列回路COL<j>に入力される。列回路COL<1>~COL<n>は、水平信号線HLを介してAD変換回路ADCaに接続されている。列回路COL<1>~COL<n>は、画素P[1, 1]~P[m, n]から出力された映像信号に含まれるリセットノイズ等をキャンセルする。これによって、列回路COL<1>~COL<n>は、映像信号VSIGを生成し、かつ映像信号VSIGをAD変換回路ADCaに出力する。

[0079] AD変換回路ADCaは、水平信号線HLに接続されている。AD変換回路ADCaは、列回路COL<1>~COL<n>から出力された映像信号VSIG（アナログ電圧信号）をデジタル信号に変換する。AD変換回路ADCaは、奇数AD変換器ADCOと偶数AD変換器ADCEとを有する。

[0080] タイミングジェネレータTGは、図示しない信号線により、撮像部PIXと、列処理部COLSと、AD変換回路ADCaとに接続されている。タイミングジェネレータTGは、イメージセンサIMGの制御に必要な信号を各部に供給する。

[0081] タイミングジェネレータTGは、行選択信号RSEL<1>を1行目の画素P[1, 1]~画素P[1, n]に供給し、かつ行選択信号RSEL<m>をm行目の画素P[m, 1]~画素P[m, n]に供給する。タイミングジェネレータTGは、他の行に関しても、同様の信号を画素Pに供給する。行選択信号RSEL<i>が“L (Low)”である場合、行選択信号RSEL<i>が供給される画素P[i, 1]~画素P[i, n]は、垂直信号線VL<1>~VL<n>に接続されない。行選択信号RSEL<i>が“H (High)”である場合、行選択信号RSEL<i>が供給される画素

$P[i, 1] \sim$ 画素 $P[i, n]$ は、垂直信号線 $VL<1> \sim VL<n>$ に接続される。

[0082] タイミングジェネレータTGは、制御信号 CLP_R および制御信号 CLP_S を列回路 $COL<1> \sim COL<n>$ に供給する。制御信号 CLP_R は、列回路 $COL<1> \sim COL<n>$ が画素Pから出力されたリセット信号をサンプリングするための制御信号である。画素Pからリセット信号が出力されるタイミングで、制御信号 CLP_R は“H”に変化する。このとき、列回路 $COL<1> \sim COL<n>$ は、リセット信号のサンプリングを行う。制御信号 CLP_R が“L”に変化したとき、このサンプリング動作は終了する。

[0083] 制御信号 CLP_S は、列回路 $COL<1> \sim COL<n>$ が画素Pから出力された映像信号をサンプリングするための制御信号である。画素Pから映像信号が出力されるタイミングで、制御信号 CLP_S は“H”に変化する。このとき、列回路 $COL<1> \sim COL<n>$ は、映像信号のサンプリングを行う。制御信号 CLP_S が“L”に変化したとき、このサンプリング動作は終了する。

[0084] タイミングジェネレータTGは、列選択信号 $CSEL<1> \sim CSEL<n>$ を列回路 $COL<1> \sim COL<n>$ に供給する。列選択信号 $CSEL<1> \sim CSEL<n>$ が“H”に変化したとき、列回路 $COL<1> \sim COL<n>$ は水平信号線HLに接続される。このとき、列回路 $COL<1> \sim COL<n>$ は、リセット信号と映像信号との差分 $VP|X<x>$ に基づく映像信号 $VS|G<x>$ をAD変換回路ADCaに出力する。 x は、1以上かつ n 以下の整数である。映像信号 $VS|G<x>$ は、基準電圧 $VREF$ を基準とする信号である。

[0085] 映像信号 $VS|G$ は、式(3)により示される。映像信号 $VS|G$ は、負の極性を有する。

$$VS|G = VREF - VP|X<x> \quad \dots (3)$$

[0086] 例えば、画素Pからの信号が最小レベル（黒レベル）である場合、映像信

号 V_{SIG} は、式 (4) により示される。一方、画素 P からの信号が最大レベル（飽和レベル）である場合、映像信号 V_{SIG} は、式 (5) により示される。式 (5) において、 V_{PIX_SAT} は、 V_{PIX} の飽和（最大）電圧である。

$$V_{SIG} = V_{REF} - 0 \quad \dots (4)$$

$$V_{SIG} = V_{REF} - V_{PIX_SAT} \quad \dots (5)$$

[0087] 上記の例において、映像信号 V_{SIG} は負の極性を有する。しかし、映像信号 V_{SIG} は正の極性を有してもよい。

[0088] 図8および図9を用いて、イメージセンサ IMG による信号の読み出し動作について、より詳細に説明する。図8および図9は、イメージセンサ IMG の動作に関する信号を示す。図8において、行選択信号 $RSEL<1>\sim RSEL<m>$ が示されている。図9において、垂直信号線 $VL<1>$ の電圧と、映像信号 V_{SIG} と、制御信号 CLP_R と、制御信号 CLP_S と、列選択信号 $CSEL<1>\sim CSEL<n>$ とが示されている。図9において、奇数 AD 変換器 $ADCO$ の状態と、偶数 AD 変換器 $ADCE$ の状態と、 AD 変換結果 (AD_RESULT) のビット列 $D<1>\sim D<n>$ とが示されている。図8および図9において、横軸は時間を示し、かつ縦軸は信号レベルを示す。図8と図9とでは、時間方向の分解能が異なる。図8における時刻 t_{100} から時刻 t_{101} の期間は、図9における時刻 t_1 から時刻 t_{10} の期間に対応する。

[0089] 時刻 t_{100} において、行選択信号 $RSEL<1>$ が“H”に変化する。行選択信号 $RSEL<2>\sim RSEL<m>$ は“L”に保たれる。時刻 t_{101} において、行選択信号 $RSEL<1>$ が“L”に変化し、かつ行選択信号 $RSEL<2>$ が“H”に変化する。その後、各行の行選択信号 $RSEL<3>\sim RSEL<m>$ は順番に“H”に変化する。時刻 t_{109} において、行選択信号 $RSEL<m-1>$ が“L”に変化し、かつ行選択信号 $RSEL<m>$ が“H”に変化する。時刻 t_{110} において、行選択信号 $RSEL<m>$ が“L”に変化する。時刻 t_{200} から時刻 t_{300} における行選択

信号 $RSEL<1>\sim RSEL<m>$ の変化は、時刻 $t100$ から時刻 $t110$ における行選択信号 $RSEL<1>\sim RSEL<m>$ の変化と同様である。

[0090] 図9の時刻 $t1$ において1行目の画素 $P[1, 1] \sim P[1, n]$ からの信号の読み出しが行われる前に、画素 $P[1, 1] \sim P[1, n]$ のフォトダイオードは所定の電圧にリセットされ、かつ所定の時間露光される。以下では、1行目の画素 $P[1, 1] \sim$ 画素 $P[1, n]$ からの信号の読み出しを中心に説明する。他の行の画素 P からの信号の読み出しも1行目の画素 P からの信号の読み出しと同様である。時刻 $t1$ において、奇数AD変換器 $ADCO$ および偶数AD変換器 $ADCE$ は、休止状態 $STAB$ である。

[0091] 時刻 $t1$ において、行選択信号 $RSEL<1>$ が“H”になることにより、1行目の画素 $P[1, 1] \sim P[1, n]$ は夫々、垂直信号線 $VL<1> \sim VL<n>$ に接続される。このタイミングで、画素 $P[1, 1] \sim P[1, n]$ はリセット信号 $VRST<1> \sim VRST<n>$ の出力を開始する。各列のリセット信号 $VRST<1> \sim VRST<n>$ のうち1列目のリセット信号 $VRST<1>$ のみが代表として図9に示されている。このタイミングで、制御信号 CLP_R は“H”になる。これによって、列回路 $COL<1> \sim COL<n>$ はリセット信号 $VRST<1> \sim VRST<n>$ のサンプリング動作を開始する。

[0092] 時刻 $t1$ から所定の時間が経過し、かつリセット信号 $VRST<1> \sim VRST<n>$ が安定した後、時刻 $t2$ において、制御信号 CLP_R は“L”になる。これによって、列回路 $COL<1> \sim COL<n>$ に保持されたリセット信号のレベルが決定される。このタイミングで、画素 $P[1, 1] \sim P[1, n]$ は映像信号 $PIXOUT<1> \sim PIXOUT<n>$ の出力を開始する。同時に制御信号 CLP_S は“H”になる。これによって、列回路 $COL<1> \sim COL<n>$ は映像信号 $PIXOUT<1> \sim PIXOUT<n>$ のサンプリング動作を開始する。

[0093] 時刻 $t3$ において、制御信号 CLP_S が“L”になることにより、列回

路COL<1>~COL<n>は映像信号PIXOUT<1>~PIXOUT<n>のサンプリング動作を終了する。列回路COL<1>~COL<n>の内部では、画素P[1, 1]~P[1, n]から入力された映像信号PIXOUT<1>~PIXOUT<n>に含まれる画素のリセットノイズ等がキャンセルされる。列回路COL<1>~COL<n>は、基準電圧VREFを基準とし、振幅がVPIX<1>~VPIX<n>である映像信号VSI Gを保持する。

[0094] 時刻t₃において、列選択信号CSEL<1>が“H”になることにより、1列目の列回路COL<1>から、振幅がVPIX<1>である映像信号VSI Gが出力される。この信号は、AD変換回路ADC_aの奇数AD変換器ADC_Oによってサンプリングされる。短時間のリセット動作RESETが行われた後、奇数AD変換器ADC_Oは、サンプリング動作SAMPを開始する。

[0095] 時刻t₄において、列選択信号CSEL<1>が“L”になり、かつ同時に列選択信号CSEL<2>が“H”になる。これによって、2列目の列回路COL<2>から、振幅がVPIX<2>である映像信号VSI Gが出力される。この信号は、AD変換回路ADC_aの偶数AD変換器ADC_Eによってサンプリングされる。短時間のリセット動作RESETが行われた後、偶数AD変換器ADC_Eは、サンプリング動作SAMPを開始する。時刻t₄において、奇数AD変換器ADC_Oはサンプリング動作SAMPを終了する。短時間のリセット動作RESETが行われた後、奇数AD変換器ADC_Oは、AD変換動作CONVを開始する。時刻t₄から変換時間t_dが経過した後の時刻t₅において、AD変換回路ADC_aはAD変換結果AD__RESULTを更新し、かつ変換結果としてビット列D<1>を出力する。本発明の実施形態において、ビット列D<1>は、デジタル信号DO[6:1]またはデジタル信号DE[6:1]により構成される信号である。

[0096] 時刻t₅の後も同様に、列選択信号CSEL<3>~CSEL<n>が順次“H”になることにより、列回路COL<3>~COL<n>から映像信

号 $V S I G$ が順次出力され、かつ $A D$ 変換回路 $A D C a$ に入力される。

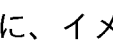
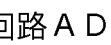
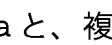
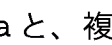
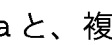
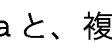
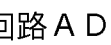
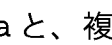
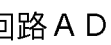
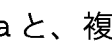
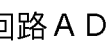
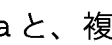
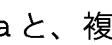
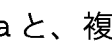
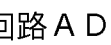
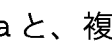
[0097] 列回路 $C O L < n >$ から出力された映像信号 $V S I G$ のサンプリング動作 $S A M P$ は時刻 t_7 に開始し、かつ時刻 t_8 に終了する。列回路 $C O L < n >$ から出力された映像信号 $V S I G$ の $A D$ 変換動作 $C O N V$ は時刻 t_8 に開始し、かつ時刻 t_9 に終了する。

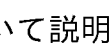
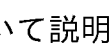
[0098] 上記の動作において、奇数列の列回路 $C O L < 1 > \sim C O L < n - 1 >$ から出力された映像信号 $V S I G$ は $A D$ 変換回路 $A D C a$ の奇数 $A D$ 変換器 $A D C O$ によってサンプリングされる。偶数列の列回路 $C O L < 2 > \sim C O L < n >$ から出力された映像信号 $V S I G$ は $A D$ 変換回路 $A D C a$ の偶数 $A D$ 変換器 $A D C E$ によってサンプリングされる。一方の $A D$ 変換器がサンプリング動作 $S A M P$ を行う期間において、他方の $A D$ 変換器は $A D$ 変換動作 $C O N V$ を行う。また、サンプリング動作 $S A M P$ と $A D$ 変換動作 $C O N V$ との間には必ず短時間のリセット動作 $R E S E T$ が存在する。一方の $A D$ 変換器によるサンプリング動作 $S A M P$ と他方の $A D$ 変換器による $A D$ 変換動作 $C O N V$ とは、並行的に行われる。いずれの列回路も選択されない期間において、 $A D$ 変換回路 $A D C a$ の奇数 $A D$ 変換器 $A D C O$ および偶数 $A D$ 変換器 $A D C E$ は休止状態 $S T A B$ になる。

[0099] $A D$ 変換回路 $A D C a$ は、列選択信号 $C S E L < 1 > \sim C S E L < n >$ が “H” から “L” に切り替わる瞬間に、その列選択信号 $C S E L < i >$ に対応する列の列回路 $C O L < i >$ から出力された映像信号 $V S I G$ のサンプリングを終了し、かつ $A D$ 変換を開始する。 $A D$ 変換が終了する度に、 $A D$ 変換回路 $A D C a$ は、ビット列 $D < 1 > \sim D < n >$ を更新し、かつ $A D$ 変換結果 $A D_R E S U L T$ を順次出力（更新）する。

[0100] 1 行 n 列目の画素 $P [1, n]$ からの読み出しが終了した後の時刻 t_{101} （時刻 t_{10} に相当）において、行選択信号 $R S E L < 1 >$ は “H” から “L” に切り替わる。同時に行選択信号 $R S E L < 2 >$ は “L” から “H” に切り替わる。その後、2 行 1 列目の画素 $P [2, 1]$ から 2 行 n 列目の画素 $P [2, n]$ までの各画素 P から信号が、列回路 $C O L < 1 > \sim C O L <$

n >を通して読み出される。その後、同様に3行目から m 行目の各画素 P からの信号が読み出され、かつ時刻 $t300$ に読み出しは完了する。この読み出しが終了した後、再び各画素 P の露光が行われる。この露光が終了した後、時刻 $t400$ において行選択信号 $RSEL<1>$ が“L”から“H”に切り替わることにより、1行目の画素 $P[1, 1] \sim P[1, n]$ からの読み出しが再び開始される。

[0101] 上記のように、イメージセンサは、AD変換回路と、複数の画素 P と、複数の列回路とを少なくとも有する。複数の画素 P は、行列状に配置されている。複数の列回路は、複数の画素 P の列毎に配置されている。複数の画素 P の奇数列に配置された列回路 $<1> \sim COL<n-1>$ から出力された信号すなわち映像信号 VSI は、奇数AD変換器および偶数AD変換器 $ADCE$ のいずれか1つすなわち奇数AD変換器 $ADCO$ に入力される。複数の画素 P の偶数列に配置された列回路 $<2> \sim COL<n>$ から出力された信号は、奇数AD変換器 $ADCO$ および偶数AD変換器 $ADCE$ のうち偶数列に配置された列回路 $<2> \sim COL<n>$ から出力された信号すなわち映像信号 VSI が入力される奇数AD変換器 $ADCO$ と異なる偶数AD変換器 $ADCE$ に入力される。

[0102] 図10を用いて、AD変換回路の構成について説明する。図10は、AD変換回路の構成を示す。

[0103] AD変換回路の概略構成について説明する。AD変換回路 $ADCa$ は、奇数AD変換器 $ADCO$ と、偶数AD変換器 $ADCE$ と、容量アレー $CDACC$ とを有する。奇数AD変換器 $ADCO$ は、DAC回路 $CDACO$ と、比較器 $CMPO$ と、制御回路 $SARLOGICO$ とを有する。偶数AD変換器 $ADCE$ は、DAC回路 $CDACE$ と、比較器 $CMPE$ と、制御回路 $SARLOGICE$ とを有する。奇数AD変換器 $ADCO$ および容量アレー $CDACC$ は、第1のAD変換器を構成する。偶数AD変換器 $ADCE$ および容量アレー $CDACC$ は、第2のAD変換器を構成する。つまり、AD変

換回路ADC_aは、2つのシングルエンド型AD変換器を有する。第1のAD変換器および第2のAD変換器は、固定容量である容量アレーCDACCを共有する。

[0104] 第1のAD変換器は、第2のAD変換器によるAD変換動作（第2の動作）と並行してサンプリング動作（第1の動作）を行い、かつ第2のAD変換器は、第1のAD変換器によるサンプリング動作と並行してAD変換動作を行う。サンプリング動作において、映像信号VSI_{G1}がDAC回路CDACOにサンプリングされ、かつ基準信号VCMが容量C1C～C6Cにサンプリングされる。あるいは、サンプリング動作において、映像信号VSI_{G2}がDAC回路CDACEにサンプリングされ、かつ基準信号VCMが容量C1C～C6Cにサンプリングされる。AD変換動作において、サンプリング動作によりサンプリングされた映像信号VSI_{G1}および基準信号VCMのそれぞれの電圧に基づいて順次AD変換が行われる。第1のAD変換器および第2のAD変換器は、サンプリング動作およびAD変換動作を交互に行う。

[0105] 第1のAD変換器および第2のAD変換器は、サンプリング動作とAD変換動作とを切り替える間に、サンプリング動作を行う期間およびAD変換動作を行う期間よりも短い期間で、容量C1C～C6Cにサンプリングされた基準信号VCMの電圧をリセットするリセット動作（第3の動作）を行う。

[0106] AD変換回路ADC_aの詳細な構成について説明する。奇数AD変換器ADC_Oおよび容量アレーCDACCの構成は、第1の実施形態におけるそれぞれの構成と同一である。

[0107] 偶数AD変換器ADCEは、奇数AD変換器ADC_Oと同様に構成されている。DAC回路CDACEは、DAC回路CDACOと同様に構成されている。DAC回路CDACEは、容量C1E～C6Eと、スイッチSW1E～SW6Eと、サンプルスイッチWSMPLEとを有する。

[0108] サンプルスイッチWSMPLEは、サンプルスイッチWSMPL_Oと同様に構成されている。サンプルスイッチWSMPLEの状態は、制御信

号 S M P L E によって制御される。サンプルスイッチ S W S M P L E は、信号源 S I G _ E V E N からの映像信号 V S I G 2 をサンプリングする。

[0109] 容量 C 1 E ~ C 6 E は、容量 C 1 O ~ C 6 O と同様に構成されている。複数の容量 C 1 E ~ C 6 E の容量値の合計と、複数の容量 C 1 C ~ C 6 C の容量値の合計とは、略同一である。容量 C 1 E ~ C 6 E は、サンプルスイッチ S W S M P L E によってサンプリングされた映像信号 V S I G 2 を保持する。

[0110] スイッチ S W 1 E ~ S W 6 E は、スイッチ S W 1 O ~ S W 6 O と同様に構成されている。スイッチ S W 1 E ~ S W 6 E の状態は、A D 変換結果のビット D E 1 ~ D E 6 によって制御される。

[0111] D A C 回路 C D A C E は、信号源 S I G _ E V E N に接続されている。信号源 S I G _ E V E N によって生成された映像信号 V S I G 2 は、ノード V I E に供給される。信号源 S I G _ E V E N は、図 7 に示す撮像部 P I X と偶数列の列回路 C O L < 2 > ~ C O L < n > とに対応する。また、信号源 S I G _ O D D は、図 7 に示す撮像部 P I X と奇数列の列回路 C O L < 1 > ~ C O L < n - 1 > とに対応する。

[0112] チャージサミングノードであるノード V I E は、サンプルスイッチ S W S M P L E の第 2 の端子と、容量 C 1 E ~ C 6 E の第 1 の電極と、比較器 C M P E の第 1 の入力端子とに接続されている。ノード V I E は、これらに電氣的に接続された信号線上の任意の位置である。

[0113] 比較器 C M P E は、比較器 C M P O と同様に構成されている。比較器 C M P E は、ノード V I E の電圧とノード V I C の電圧とを比較する。比較器 C M P E は、比較結果に基づく信号 V O N E を第 1 の出力端子から出力し、かつ比較結果に基づく信号 V O P E を第 2 の出力端子から出力する。

[0114] 制御回路 S A R L O G I C E は、制御回路 S A R L O G I C O と同様に構成されている。制御回路 S A R L O G I C E は、比較器 C M P E からの信号 V O P E および信号 V O N E に基づいて A D 変換結果のデジタル信号 D E [6 : 1] を生成し、かつデジタル信号 D E [6 : 1] を出力端子から出力す

る。

[0115] デジタル信号DE [6 : 1] を構成するビットDE 1 ~ DE 6 は、DAC回路CDACEのスイッチSW1E ~ SW6Eに出力される。制御回路SARLOGICEは、ビットDE 1 ~ DE 6 をスイッチSW1E ~ SW6Eに出力することにより、DAC回路CDACEを制御する。

[0116] 図11を用いてAD変換回路ADCaの動作について説明する。図11は、AD変換回路ADCaの動作に関する信号を示す。図11において、DAC回路CDACOの状態と、DAC回路CDACEの状態とが示されている。図11において、制御信号SMPL Oと、制御信号SMPL Eと、制御信号SMPL Cとが示されている。図11において、デジタル信号DO [6 : 1] およびデジタル信号DE [6 : 1] が16進数で示されている。図11において、ノードVIOと、ノードVIEと、ノードVICとの各々の電位が示されている。図11において、横軸は時間を示し、かつ縦軸は信号レベルを示す。

[0117] 期間T1において、AD変換回路ADCaはリセット動作を行う。期間T1において、スイッチSWSMPL Oがオンであるため、映像信号VSI G 1が信号源SIG__ODDからノードVIOに入力される。また、期間T1において、スイッチSWSMPL Eがオンであるため、映像信号VSI G 2が信号源SIG__EVENからノードVIEに入力される。また、期間T1において、スイッチSWSMPL Cがオンであるため、基準信号VCMが基準信号源VCM__GからノードVICに入力される。期間T1において、ノードVIOの電圧は映像信号VSI G 1の電圧に保たれ、ノードVIEの電圧は映像信号VSI G 2の電圧に保たれ、かつノードVICの電圧は基準信号VCMの電圧に保たれる。期間T1において、映像信号VSI G 1に基づく電荷が容量C1O ~ C6Oに保持され、映像信号VSI G 2に基づく電荷が容量C1E ~ C6Eに保持され、かつ基準信号VCMに基づく電荷が容量C1C ~ C6Cに保持される。基準信号VCMが容量C1C ~ C6Cにサンプリングされることにより、容量C1C ~ C6Cにおける基準信号VCMの

電圧はリセットされる。

- [0118] 期間T2から期間T7において、奇数AD変換器ADCOは、サンプリング動作SAMPを行うことにより、DAC回路CDACOに入力される信号のサンプリングを行う。期間T2から期間T7において、スイッチSWSMPL0がオンであるため、映像信号VSIG1が信号源SIG_ODDからノードVIOに入力される。
- [0119] 期間T2から期間T7において、“H”であるビットDO1～DO6がスイッチSW10～SW60に入力される。期間T2から期間T7において、スイッチSW10～SW60の各々の第1の端子S1と第3の端子Dとが接続される。期間T2から期間T7において、ノードVIOの電圧は映像信号VSIG1の電圧に保たれる。
- [0120] 期間T2から期間T7において、偶数AD変換器ADCEは、AD変換動作CONVを行うことにより、DAC回路CDACEにサンプリングされた信号のAD変換を行う。期間T2から期間T7において、スイッチSWSMPL0がオフであるため、ノードVIEに対する、信号源SIG_EVENからの映像信号VSIG2の入力は停止される。また、期間T2から期間T7において、スイッチWSMPLCがオフであるため、ノードVICに対する、基準信号源VCM_Gからの基準信号VCMの入力は停止される。
- [0121] 期間T2から期間T7は、DAC回路CDACEに保持された電荷に基づいて偶数AD変換器ADCE（比較器CMPE）がMSBからLSBの比較を行うための期間に対応する。期間T2において、比較器CMPEはノードVIEおよびノードVICの電圧を比較する。この比較により、AD変換結果の最上位ビットDE6の論理が確定する。比較器CMPEは、比較結果を制御回路SARLOGICEに出力する。期間T3において、制御回路SARLOGICEは、期間T2における比較結果に応じたビットDE6を出力する。ビットDE6に対する判定結果がVIC<VIEである場合、ビットDE6の論理レベルは“L”である。説明の便宜のため、ノードVIEの電圧はVIEと表され、かつノードVICの電圧はVICと表される。ビット

DE 6 に対する判定結果が $V_{IC} > V_{IE}$ である場合、ビット DE 6 の論理レベルは “H” である。2 番目以降のビット DE i における判定結果が $V_{IC} < V_{IE}$ である場合、ビット DE i の論理レベルは “L” に設定される。ビット DE i における判定結果が $V_{IC} > V_{IE}$ である場合、ビット DE i の論理レベルは “L” に設定され、かつ 1 つ前のビット DE ($i + 1$) の論理レベルが “H” に設定される。 i は、1 から 5 のいずれかの整数である。

[0122] 図 11 に示す例の期間 T2 において、ノード V_{IE} の電圧がノード V_{IC} の電圧よりも高いため、制御回路 SARLOGICE は、ビット DE 6 の論理を “L” に設定する。この結果、16 進数で表記されたデジタル信号 DE [6 : 1] は 3F (111111) から 1F (011111) に変化する。期間 T3 において、ビット DE 6 の論理レベルは、スイッチ SWE 6 に出力される。このため、スイッチ SWE 6 は、第 2 の端子 S2 と第 3 の端子 D とが接続された状態に切り替わる。これにより、グラウンドレベルが容量 C_{6E} の第 2 の電極に入力される。容量 C_{1E} ~ C_{6E} に蓄積されている電荷の総量が保存された状態でスイッチ SWE 6 の状態が変化することにより、ノード V_{IE} の電位は $(1/2^1) V_{REF}$ だけ低下する。

[0123] ノード V_{IE} の電位の変動が安定した後、期間 T3 において、比較器 CMP E は、ビット DE 5 の論理レベルを判定するためにノード V_{IE} およびノード V_{IC} の電圧を比較する。期間 T3 において、ノード V_{IC} の電圧がノード V_{IE} の電圧よりも高いため、制御回路 SARLOGICE は、ビット DE 5 の論理を “L” に設定し、かつビット DE 6 の論理を “H” に設定する。この結果、16 進数で表記されたデジタル信号 DE [6 : 1] は 1F (011111) から 2F (101111) に変化する。期間 T4 において、ビット DE 6 の論理レベルはスイッチ SW6 E に出力され、かつビット DE 5 の論理レベルは、スイッチ SW5 E に出力される。このため、スイッチ SW6 E は、第 1 の端子 S1 と第 3 の端子 D とが接続された状態に切り替わる。これにより、基準電圧 V_{REF} が容量 C_{6E} の第 2 の電極に入力される。スイッチ SW5 E は、第 2 の端子 S2 と第 3 の端子 D とが接続された状態に

切り替わる。これにより、グラウンドレベルが容量C 5 Eの第2の電極に入力される。容量C 1 E～C 6 Eに蓄積されている電荷の総量が保存された状態で、スイッチSW 6 EおよびスイッチSW 5 Eの状態が変化することにより、ノードV I Eの電位は $(1/2^2) V_{REF}$ だけ増加する。

[0124] ノードV I Eの電位の変動が安定した後、期間T 4において、比較器CMP Eは、ビットDE 4の論理レベルを判定するためにノードV I EおよびノードV I Cの電圧を比較する。期間T 4において、ノードV I Eの電圧がノードV I Cの電圧よりも高いため、制御回路SAR LOG I C Eは、ビットDE 4の論理を“L”に設定する。この結果、16進数で表記されたデジタル信号DE [6 : 1]は2 F (1 0 1 1 1 1)から2 7 (1 0 0 1 1 1)に変化する。期間T 5において、ビットDE 4の論理レベルは、スイッチSW 4 Eに出力される。このため、スイッチSW 4 Eは、第2の端子S 2と第3の端子Dとが接続された状態に切り替わる。これにより、グラウンドレベルが容量C 4 Eの第2の電極に入力される。容量C 1 E～C 6 Eに蓄積されている電荷の総量が保存された状態で、スイッチSW 4 Eの状態が変化することにより、ノードV I Eの電位は $(1/2^3) V_{REF}$ だけ低下する。

[0125] ノードV I Eの電位の変動が安定した後、期間T 5において、比較器CMP Eは、ビットDE 3の論理レベルを判定するためにノードV I EおよびノードV I Cの電圧を比較する。期間T 5において、ノードV I Cの電圧がノードV I Eの電圧よりも高いため、制御回路SAR LOG I C Eは、ビットDE 3の論理を“L”に設定し、かつビットDE 4の論理を“H”に設定する。この結果、16進数で表記されたデジタル信号DE [6 : 1]は2 7 (1 0 0 1 1 1)から2 B (1 0 1 0 1 1)に変化する。期間T 6において、ビットDE 4の論理レベルはスイッチSW 4 Eに出力され、かつビットDE 3の論理レベルは、スイッチSW 3 Eに出力される。このため、スイッチSW 4 Eは、第1の端子S 1と第3の端子Dとが接続された状態に切り替わる。これにより、基準電圧VREFが容量C 4 Eの第2の電極に入力される。スイッチSW 3 Eは、第2の端子S 2と第3の端子Dとが接続された状態に

切り替わる。これにより、グラウンドレベルが容量C 3 Eの第2の電極に入力される。容量C 1 E～C 6 Eに蓄積されている電荷の総量が保存された状態で、スイッチSW 4 EおよびスイッチSW 3 Eの状態が変化することにより、ノードV I Eの電位は $(1/2^4) V_{REF}$ だけ増加する。

[0126] ノードV I Eの電位の変動が安定した後、期間T 6において、比較器CMP Eは、ビットDE 2の論理レベルを判定するためにノードV I EおよびノードV I Cの電圧を比較する。期間T 6において、ノードV I Eの電圧がノードV I Cの電圧よりも高いため、制御回路SAR LOG I C Eは、ビットDE 2の論理を“L”に設定する。この結果、16進数で表記されたデジタル信号DE [6 : 1]は2B (101011)から29 (101001)に変化する。期間T 7において、ビットDE 2の論理レベルは、スイッチSW 2 Eに出力される。このため、スイッチSW 2 Eは、第2の端子S 2と第3の端子Dとが接続された状態に切り替わる。これにより、グラウンドレベルが容量C 2 Eの第2の電極に入力される。容量C 1 E～C 6 Eに蓄積されている電荷の総量が保存された状態で、スイッチSW 2 Eの状態が変化することにより、ノードV I Eの電位は $(1/2^5) V_{REF}$ だけ低下する。

[0127] ノードV I Eの電位の変動が安定した後、期間T 7において、比較器CMP Eは、ビットDE 1の論理レベルを判定するためにノードV I EおよびノードV I Cの電圧を比較する。期間T 7において、ノードV I Eの電圧がノードV I Cの電圧よりも高いため、制御回路SAR LOG I C Eは、ビットDE 1の論理を“L”に設定する。この結果、16進数で表記されたデジタル信号DE [6 : 1]は29 (101001)から28 (101000)に変化する。このようにして得られたデジタル信号DE [6 : 1]は、外部の信号処理システムで利用される。

[0128] 期間T 7における判定結果は、スイッチSW 1 Eの制御に使用されない。スイッチSW 1 Eには、常に“H”である制御信号が入力されてもよい。

[0129] 期間T 1'における動作は、期間T 1における動作と同様である。期間T 1'において、AD変換回路ADC aはリセット動作を行う。

[0130] 期間T 2' から期間T 7' において、奇数AD変換器ADCOは、AD変換動作CONVを行うことにより、DAC回路CDACOにサンプリングされた信号のAD変換を行う。期間T 2' から期間T 7' において、偶数AD変換器ADCEは、サンプリング動作SAMPを行うことにより、DAC回路CDACEに入力される信号のサンプリングを行う。デジタル信号DO[6:1]は、外部の信号処理システムで利用される。期間T 2' から期間T 7' において、上記の動作以外の動作は、期間T 2から期間T 7における動作と同様である。

[0131] 本発明の各態様のイメージセンサは、複数の画素、複数の列回路、およびAD変換器以外の構成を有していなくてもよい。

[0132] 第2の実施形態のAD変換回路ADCaにおいて、2つのAD変換器のいずれか1つがAD変換動作を行う期間に、他方のAD変換器はサンプリング動作を行う。このように、AD変換回路ADCaの2つのAD変換器がサンプリング動作とAD変換動作とを同時に行うことができる。このため、AD変換の速度は約2倍になる。つまり、AD変換回路ADCaは、AD変換を高速に行うことができる。キックバックノイズを緩和するための固定容量である容量アレーCDACCが2つのAD変換器で共有されるため、固定容量を実装するために必要なチップ面積を抑えることができる。したがって、高速かつ高精度であり、さらに小型なAD変換回路を実現することができる。

[0133] 第2の実施形態のイメージセンサIMGが有するAD変換回路ADCaは、高速および高精度にAD変換を行うことができる。また、AD変換回路ADCaは小型であり、かつ消費電力が小さい。これにより、イメージセンサIMGは、高速に撮像を行うことができ、かつ高画質な画像を取得することができる。また、イメージセンサIMGは小型であり、かつ消費電力が小さい。

[0134] 映像信号が入力されるノードVIOおよびノードVIEの電圧は一定ではない。このため、各ノードの電圧が安定するために、ある程度の時間が必要である。一方、基準信号VCM_Gが入力されるノードVICの電圧は略一

定であるため、AD変換回路ADC_aは、短時間にリセット動作を行うことができる。

[0135] (第2の実施形態の変形例)

図12を用いて、第2の実施形態の変形例のイメージセンサIMG_aの全体構成について説明する。図12は、イメージセンサIMG_aの全体構成を示している。図12に示す構成について、図7に示す構成と異なる点を説明する。

[0136] イメージセンサIMG_aにおいて、奇数AD変換器ADC_Oは奇数列の列回路COL<1>~COL<n-1>に接続され、かつ偶数AD変換器ADC_Eは偶数列の列回路COL<2>~COL<n>に接続されている。イメージセンサIMG_aは、2つの異なる水平信号線HLOおよび水平信号線HLEを有する。水平信号線HLOは、奇数列の列回路COL<1>~COL<n-1>および奇数AD変換器ADC_Oに接続されている。水平信号線HLEは、偶数列の列回路COL<2>~COL<n>および偶数AD変換器ADC_Eに接続されている。水平信号線HLOおよび水平信号線HLEの各々に接続される列回路COLの数は、図7に示すイメージセンサIMGの水平信号線HLに接続される列回路COLの数の半分である。上記以外の点については、図12に示す構成は、図7に示す構成と同様である。

[0137] 列回路COLの内部には図示しないアナログスイッチが存在するため、列回路COLの出力端子に寄生容量が発生する。列回路COLは、DAC回路に加えてこの寄生容量を駆動する必要がある。イメージセンサIMG_aにおいて、水平信号線HLOおよび水平信号線HLEに接続される寄生容量は、イメージセンサIMGの水平信号線HLに接続される寄生容量よりも低減される。このため、イメージセンサIMG_aは、より高速かつ低消費電力で動作することができる。

[0138] (第3の実施形態)

図13を用いて、本発明の第3の実施形態のイメージセンサIMG_bの全体構成について説明する。図13は、イメージセンサIMG_bの全体構成を

示している。図 1 3 に示す構成について、図 1 2 に示す構成と異なる点を説明する。

[0139] イメージセンサ I M G b は、イメージセンサ I M G a が有する構成に加えて選択スイッチ S E L 3 を有する。選択スイッチ S E L 3 は、第 1 の入力端子 S 1 と、第 2 の入力端子 S 2 と、第 1 の出力端子 D 1 と、第 2 の出力端子 D 2 とを有する。選択スイッチ S E L 3 の第 1 の入力端子 S 1 は、水平信号線 H L O に接続されている。奇数列の列回路 C O L < 1 > ~ C O L < n - 1 > からの映像信号 V S I G が選択スイッチ S E L 3 の第 1 の入力端子 S 1 に入力される。選択スイッチ S E L 3 の第 2 の入力端子 S 2 は、水平信号線 H L E に接続されている。偶数列の列回路 C O L < 2 > ~ C O L < n > からの映像信号 V S I G が選択スイッチ S E L 3 の第 2 の入力端子 S 2 に入力される。選択スイッチ S E L 3 の第 1 の出力端子 D 1 は、A D 変換回路 A D C a の奇数 A D 変換器 A D C O に接続されている。選択スイッチ S E L 3 の第 2 の出力端子 D 2 は、A D 変換回路 A D C a の偶数 A D 変換器 A D C E に接続されている。

[0140] イメージセンサ I M G a における撮像部 P I X は、撮像部 P I X a に変更される。撮像部 P I X a に配置された複数の画素 P の各々は、カラーフィルタを有する。複数の画素 P は、緑カラーフィルタを含む画素 P (G) と、青カラーフィルタを含む画素 P (B) と、赤カラーフィルタを含む画素 P (R) とを含む。緑カラーフィルタは、可視光のうち緑色光のみを透過する。青カラーフィルタは、可視光のうち青色光のみを透過する。赤カラーフィルタは、可視光のうち赤色光のみを透過する。図 1 3 において、画素 P (G) は “G” と記載され、かつ画素 P (B) は “B” と記載され、かつ画素 P (R) は “R” と記載されている。各色のカラーフィルタを含む画素 P の数は 4 以上である。画素 P の行数および列数は 2 以上の整数である。

[0141] 各色のカラーフィルタを含む画素 P は、周期的に配置されている。複数の画素 P は、ベイヤー配列を構成する。2 個の画素 P (G) と、1 個の画素 P (B) と、1 個の画素 P (R) とは、ベイヤー配列の単位配列を構成する。

この単位配列が2次元に周期的に配置されている。奇数行かつ奇数列の画素Pは、画素P（G）である。奇数行かつ偶数列の画素Pは、画素P（R）である。偶数行かつ奇数列の画素Pは、画素P（B）である。偶数行かつ偶数列の画素Pは、画素P（G）である。上記以外の点については、図13に示す構成は、図12に示す構成と同様である。

[0142] 奇数行の画素Pからの信号の読み出しが行われるとき、選択スイッチSEL3の第1の入力端子S1と選択スイッチSEL3の第1の出力端子D1とが接続され、かつ選択スイッチSEL3の第2の入力端子S2と選択スイッチSEL3の第2の出力端子D2とが接続される。これによって、奇数列の画素P（G）から出力された映像信号VSI Gは奇数AD変換器ADCOに入力され、かつ偶数列の画素P（R）から出力された映像信号VSI Gは偶数AD変換器ADCEに入力される。

[0143] 偶数行の画素Pからの信号の読み出しが行われるとき、選択スイッチSEL3の第1の入力端子S1と選択スイッチSEL3の第2の出力端子D2とが接続され、かつ選択スイッチSEL3の第2の入力端子S2と選択スイッチSEL3の第1の出力端子D1とが接続される。これによって、偶数列の画素P（G）から出力された映像信号VSI Gは奇数AD変換器ADCOに入力され、かつ奇数列の画素P（B）から出力された映像信号VSI Gは偶数AD変換器ADCEに入力される。

[0144] イメージセンサIMGbの動作に関して、上記以外の動作は、第2の実施形態のイメージセンサIMGの動作と同一である。

[0145] イメージセンサIMGbは、3色の画素Pを有する。イメージセンサIMGbは、2色以上の画素Pを有していればよい。各画素Pが有するカラーフィルタは、補色系フィルタであってもよい。つまり、画素P（G）はマゼンダ色の画素Pによって置き換えられ、かつ画素P（B）は黄色の画素Pで置き換えられ、かつ画素P（R）はシアン色の画素Pで置き換えられてもよい。カラーフィルタの組み合わせは、これ以外であってもよい。特許請求の範囲に記載された事項の範囲内でカラーフィルタの配列は自由に変形できる。

[0146] 上記のように、イメージセンサ I M G b は、A D 変換回路 A D C a と、行列状に配置された複数の画素 P とを有する。複数の画素 P は、複数の第 1 の画素 P と複数の第 2 の画素 P とを含む。第 1 の画素 P は、第 1 の色のカラーフィルタを有する。第 2 の画素 P は、第 1 の色と異なる第 2 の色のカラーフィルタを有する。例えば、第 1 の色および第 2 の色は、緑、青、および赤のいずれか 2 つである。複数の第 1 の画素 P および複数の第 2 の画素 P は周期的に配置されている。第 1 の画素 P から出力された信号は、第 1 の A D 変換器および第 2 の A D 変換器のいずれか 1 つに入力される。第 2 の画素 P から出力された信号は、第 1 の A D 変換器および第 2 の A D 変換器のうち第 1 の画素 P から出力された信号が入力される A D 変換器と異なる A D 変換器に入力される。

[0147] 上記の制御により、画素 P (G) から出力された映像信号 V S I G は奇数 A D 変換器 A D C O によってサンプリングされ、かつ画素 P (B) または画素 P (R) から出力された映像信号 V S I G は偶数 A D 変換器 A D C E によってサンプリングされる。この結果、同一の色のカラーフィルタを含む画素 P から出力された映像信号 V S I G が、常に同一のアナログ信号処理系で処理される。したがって、奇数 A D 変換器 A D C O および偶数 A D 変換器 A D C E の個体バラツキがイメージセンサ I M G b の撮像結果に与える影響が最小限に抑えられる。特に、奇数 A D 変換器 A D C O および偶数 A D 変換器 A D C E の個体バラツキによる色雑音が低減される。このため、イメージセンサ I M G b は、高画質な画像を取得することができる。

[0148] (第 3 の実施形態の変形例)

図 1 4 を用いて、第 3 の実施形態の変形例のイメージセンサ I M G c の全体構成について説明する。図 1 4 は、イメージセンサ I M G c の全体構成を示している。図 1 4 に示す構成について、図 7 に示す構成と異なる点を説明する。

[0149] イメージセンサ I M G における撮像部 P I X は、撮像部 P I X a に変更される。撮像部 P I X a は、図 1 3 に示すイメージセンサ I M G b が有する撮

像部 P I X a と同一である。上記以外の点については、図 1 3 に示す構成は、図 7 に示す構成と同様である。

[0150] イメージセンサ I M G c は、選択スイッチ S E L 3 を有していない。しかし、イメージセンサ I M G c が奇数 A D 変換器 A D C O のスイッチ S W S M P L O および偶数 A D 変換器 A D C E のスイッチ S W S M P L E を適切に制御することにより、図 1 3 に示すイメージセンサ I M G b の機能と同等の機能が実現される。例えば、奇数行かつ奇数列の画素 P および偶数行かつ偶数列の画素 P からの信号の読み出しが行われるとき、奇数 A D 変換器 A D C O のスイッチ S W S M P L O がオンになり、かつ偶数 A D 変換器 A D C E のスイッチ S W S M P L E がオフになる。これにより、奇数行の画素 P (G) および偶数行の画素 P (G) から出力された映像信号 V S I G は奇数 A D 変換器 A D C O に入力される。奇数行かつ偶数列の画素 P および偶数行かつ奇数列の画素 P からの信号の読み出しが行われるとき、奇数 A D 変換器 A D C O のスイッチ S W S M P L O がオフになり、かつ偶数 A D 変換器 A D C E のスイッチ S W S M P L E がオンになる。これにより、奇数行の画素 P (R) および偶数行の画素 P (B) から出力された映像信号 V S I G は偶数 A D 変換器 A D C E に入力される。

[0151] イメージセンサ I M G c において、画素 P (G) から出力された映像信号 V S I G は奇数 A D 変換器 A D C O によってサンプリングされ、かつ画素 P (B) または画素 P (R) から出力された映像信号 V S I G は偶数 A D 変換器 A D C E によってサンプリングされる。このため、イメージセンサ I M G b と同様にイメージセンサ I M G c は、高画質な画像を取得することができる。

[0152] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0153] 本発明の各実施形態によれば、シングルエンド型ＡＤ変換器、ＡＤ変換回路、およびイメージセンサは、高精度なＡＤ変換結果を得ることができる。

符号の説明

[0154] ＡＤＣ ＡＤ変換器
 ＡＤＣ_a ＡＤ変換回路
 ＡＤＣ_o 奇数ＡＤ変換器
 ＡＤＣ_e 偶数ＡＤ変換器
 ＣＤＡＣ_o，ＣＤＡＣ_e ＤＡＣ回路
 ＣＤＡＣＣ 容量アレー
 ＣＭＰ_o，ＣＭＰ_e 比較器
 ＳＡＲＬＯＧＩＣ_o，ＳＡＲＬＯＧＩＣ_e 制御回路
 Ａ₁ 差動増幅回路
 Ｌ₁ ラッチ回路
 ＩＭＧ，ＩＭＧ_a，ＩＭＧ_b，ＩＭＧ_c イメージセンサ
 ＰＩＸ，ＰＩＸ_a 撮像部
 Ｐ 画素
 ＴＧ タイミングジェネレータ
 ＣＯＬＳ 列処理部
 ＣＯＬ 列回路
 ＳＥＬ₃ 選択スイッチ

請求の範囲

[請求項1]

シングルエンド型 A D 変換器であって、

容量値が重み付けされた複数の容量を有し、前記複数の容量は、前記シングルエンド型 A D 変換器の外部から入力されるアナログ電圧信号を保持する D A C 回路と、

前記シングルエンド型 A D 変換器の外部から入力される基準電圧信号を保持する固定容量と、

前記 D A C 回路に保持された前記アナログ電圧信号の電圧と、前記固定容量に保持された前記基準電圧信号の電圧とを比較するダイナミックコンパレータと、

前記ダイナミックコンパレータの比較結果に応じて、前記 D A C 回路を制御する制御回路と、

を有し、

前記 D A C 回路が有する前記複数の前記容量の容量値の合計と、前記固定容量の容量値とは、略同一である、

シングルエンド型 A D 変換器。

[請求項2]

前記アナログ電圧信号が入力される第 1 の入力ノードと、

前記基準電圧信号が入力される第 2 の入力ノードと、

を有し、

前記複数の前記容量および前記固定容量の各々は、互いに対向する第 1 の電極および第 2 の電極を有し、

前記ダイナミックコンパレータは第 1 の入力端子および第 2 の入力端子を有し、

前記複数の前記容量の前記第 1 の電極は、前記第 1 の入力ノードおよび前記第 1 の入力端子に接続され、

前記複数の前記容量の前記第 2 の電極は、グランドまたは所定の基準電圧に接続され、

前記固定容量の前記第 1 の電極は、前記第 2 の入力ノードおよび前

記第2の入力端子に接続され、

前記固定容量の前記第2の電極は、グランドに接続されている

請求項1に記載のシングルエンド型A/D変換器。

[請求項3]

請求項1または請求項2に記載のシングルエンド型A/D変換器である第1のA/D変換器および第2のA/D変換器を有するA/D変換回路であって、

前記第1のA/D変換器および前記第2のA/D変換器は、前記固定容量を共有し、

前記第1のA/D変換器は、前記第2のA/D変換器による第2の動作と並行して第1の動作を行い、かつ前記第2のA/D変換器は、前記第1のA/D変換器による第2の動作と並行して第1の動作を行い、

前記第1の動作において、前記アナログ電圧信号が前記DAC回路にサンプリングされ、前記第2の動作において、前記第1の動作によりサンプリングされた前記アナログ電圧信号および基準電圧信号の各々に基づいて順次A/D変換が行われ、

前記第1のA/D変換器および前記第2のA/D変換器は、前記第1の動作および前記第2の動作を交互に行い、

前記第1のA/D変換器および前記第2のA/D変換器が、前記第1の動作と前記第2の動作とを切り替える間に、前記第1の動作を行う期間および前記第2の動作を行う期間よりも短い期間で、前記固定容量にサンプリングされた前記基準電圧信号の電圧をリセットする第3の動作を行う

A/D変換回路。

[請求項4]

請求項3に記載のA/D変換回路を有するイメージセンサ。

[請求項5]

行列状に配置された複数の画素と、

前記複数の画素の列毎に配置された複数の列回路と、

を有し、

前記複数の画素の奇数列に配置された前記列回路から出力された信

号は、前記第 1 の A D 変換器および前記第 2 の A D 変換器のいずれか 1 つに入力され、

前記複数の画素の偶数列に配置された前記列回路から出力された信号は、前記第 1 の A D 変換器および前記第 2 の A D 変換器のうち前記偶数列に配置された前記列回路から出力された前記信号が入力される A D 変換器と異なる A D 変換器に入力される

請求項 4 に記載のイメージセンサ。

[請求項 6]

行列状に配置された複数の画素を有し、

前記複数の画素は、複数の第 1 の画素と複数の第 2 の画素とを含み、前記第 1 の画素は、第 1 の色のカラーフィルタを有し、前記第 2 の画素は、前記第 1 の色と異なる第 2 の色のカラーフィルタを有し、

前記複数の第 1 の画素および前記複数の第 2 の画素は周期的に配置され、

前記第 1 の画素から出力された信号は、前記第 1 の A D 変換器および前記第 2 の A D 変換器のいずれか 1 つに入力され、

前記第 2 の画素から出力された信号は、前記第 1 の A D 変換器および前記第 2 の A D 変換器のうち前記第 1 の画素から出力された前記信号が入力される A D 変換器と異なる A D 変換器に入力される

請求項 4 に記載のイメージセンサ。

補正された請求の範囲
[2017年8月24日(24.08.2017) 国際事務局受理]

- [請求項1] (補正後) シングルエンド型AD変換器であって、
- 容量値が重み付けされた複数の容量を有し、前記複数の容量は、前記シングルエンド型AD変換器の外部から入力されるアナログ電圧信号を保持するDAC回路と、
- 前記シングルエンド型AD変換器の外部から入力される基準電圧信号を保持する固定容量と、
- 前記DAC回路に保持された前記アナログ電圧信号の電圧と、前記固定容量に保持された前記基準電圧信号の電圧とを比較するダイナミックコンパレータと、
- 前記ダイナミックコンパレータの比較結果に応じて、前記DAC回路を制御する制御回路と、
- を有し、
- 前記ダイナミックコンパレータから見込んだ前記DAC回路のインピーダンスと、前記ダイナミックコンパレータから見込んだ前記固定容量のインピーダンスとが略同一である、
- シングルエンド型AD変換器。
- [請求項2]
- 前記アナログ電圧信号が入力される第1の入力ノードと、
- 前記基準電圧信号が入力される第2の入力ノードと、
- を有し、
- 前記複数の前記容量および前記固定容量の各々は、互いに対向する第1の電極および第2の電極を有し、
- 前記ダイナミックコンパレータは第1の入力端子および第2の入力端子を有し、
- 前記複数の前記容量の前記第1の電極は、前記第1の入力ノードおよび前記第1の入力端子に接続され、

前記複数の前記容量の前記第2の電極は、グラウンドまたは所定の基準電圧に接続され、

前記固定容量の前記第1の電極は、前記第2の入力ノードおよび前記第2の入力端子に接続され、

前記固定容量の前記第2の電極は、グラウンドに接続されている

請求項1に記載のシングルエンド型AD変換器。

[請求項3]

請求項1または請求項2に記載のシングルエンド型AD変換器である第1のAD変換器および第2のAD変換器を有するAD変換回路であって、

前記第1のAD変換器および前記第2のAD変換器は、前記固定容量を共有し、

前記第1のAD変換器は、前記第2のAD変換器による第2の動作と並行して第1の動作を行い、かつ前記第2のAD変換器は、前記第1のAD変換器による第2の動作と並行して第1の動作を行い、

前記第1の動作において、前記アナログ電圧信号が前記DAC回路にサンプリングされ、前記第2の動作において、前記第1の動作によりサンプリングされた前記アナログ電圧信号および基準電圧信号の各々に基づいて順次AD変換が行われ、

前記第1のAD変換器および前記第2のAD変換器は、前記第1の動作および前記第2の動作を交互に行い、
前記第1のAD変換器および前記第2のAD変換器が、前記第1の動作と前記第2の動作とを切り替える間に、前記第1の動作を行う期間および前記第2の動作を行う期間よりも短い期間で、前記固定容量にサンプリングされた前記基準電圧信号の電圧をリセットする第3の動作を行う

AD変換回路。

[請求項4] 請求項3に記載のAD変換回路を有するイメージセンサ。

[請求項5] 行列状に配置された複数の画素と、
前記複数の画素の列毎に配置された複数の列回路と、
を有し、
前記複数の画素の奇数列に配置された前記列回路から出力された信号は、前記第1のAD変換器および前記第2のAD変換器のいずれか1つに入力され、

前記複数の画素の偶数列に配置された前記列回路から出力された信号は、前記第1のAD変換器および前記第2のAD変換器のうち前記偶数列に配置された前記列回路から出力された前記信号が入力されるAD変換器と異なるAD変換器に入力される

請求項4に記載のイメージセンサ。

[請求項6] 行列状に配置された複数の画素を有し、
前記複数の画素は、複数の第1の画素と複数の第2の画素とを含み、前記第1の画素は、第1の色のカラーフィルタを有し、前記第2の画素は、前記第1の色と異なる第2の色のカラーフィルタを有し、

前記複数の第1の画素および前記複数の第2の画素は周期的に配置され、

前記第1の画素から出力された信号は、前記第1のAD変換器および前記第2のAD変換器のいずれか1つに入力され、

前記第2の画素から出力された信号は、前記第1のAD変換器および前記第2のAD変換器のうち前記第1の画素から出力された前記信号が入力されるAD変換器と異なるAD変換器に入力される

請求項4に記載のイメージセンサ。

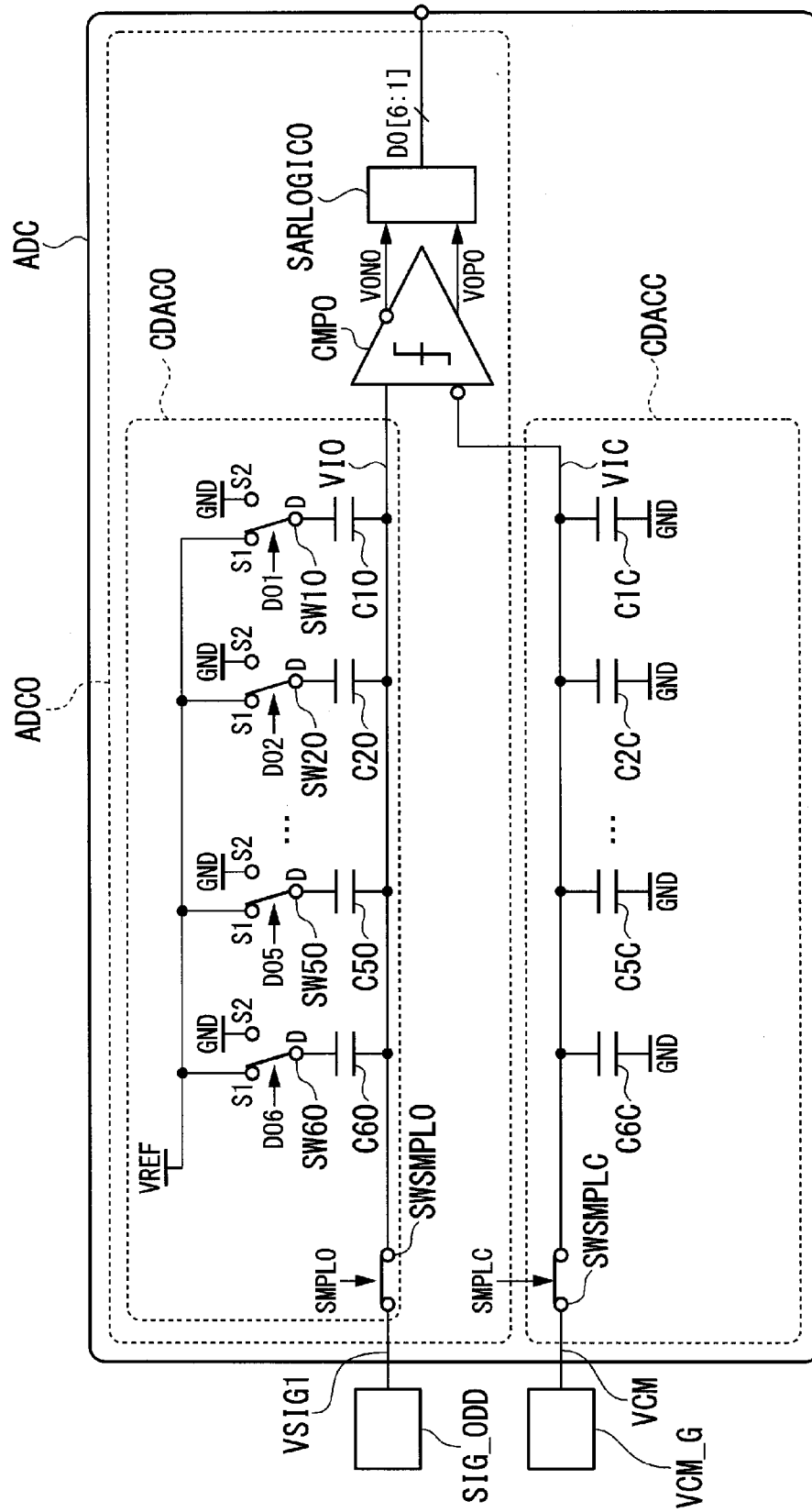
条約第19条(1)に基づく説明書

請求項1において、段落[0069]および図1に基づく補正を行った。請求項1に係る発明は、ダイナミックコンパレータに連なる映像信号側と基準信号側とのインピーダンスを略同一とすることで、ダイナミックコンパレータによるキックバックノイズを低減している。

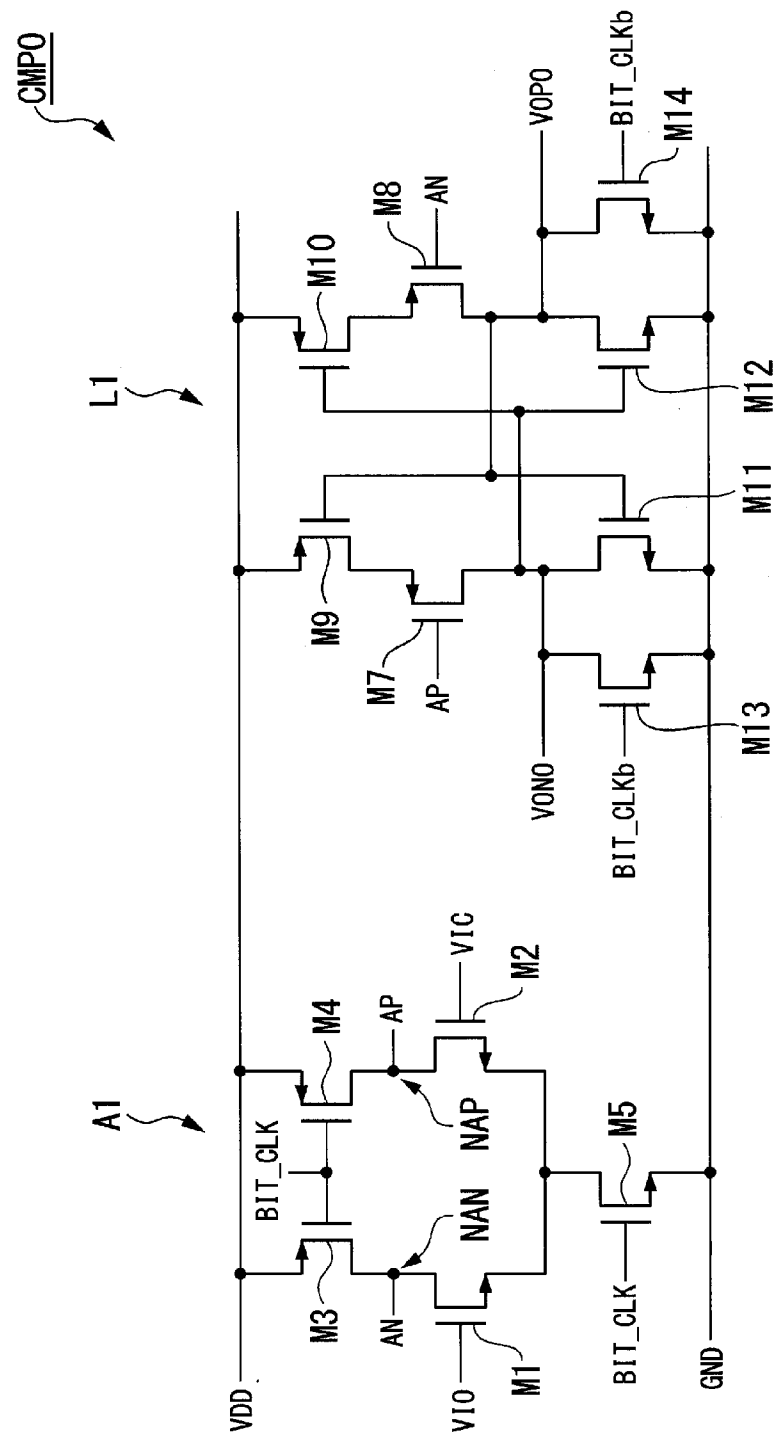
文献1では、DAC回路の容量C10-1～C10-7の合計容量と同じ容量をもつ1つの容量素子C60が設けられている。しかしながら、上位ビット比較用の容量C10-1～C10-7に加え、下位ビット比較用の抵抗R7～R10が設けられているため、映像信号側（容量C10-1～C10-7および抵抗R7～R10）と基準信号側（容量素子C60）との各合計インピーダンスは異なる。そのため、文献1の構成にダイナミックコンパレータを設けたとしても、キックバックノイズは効率よく低減されない。

文献1の容量素子C60は、ダイナミックコンパレータのキックバックノイズ対策ではなく、リーク電流対策であると推測される。

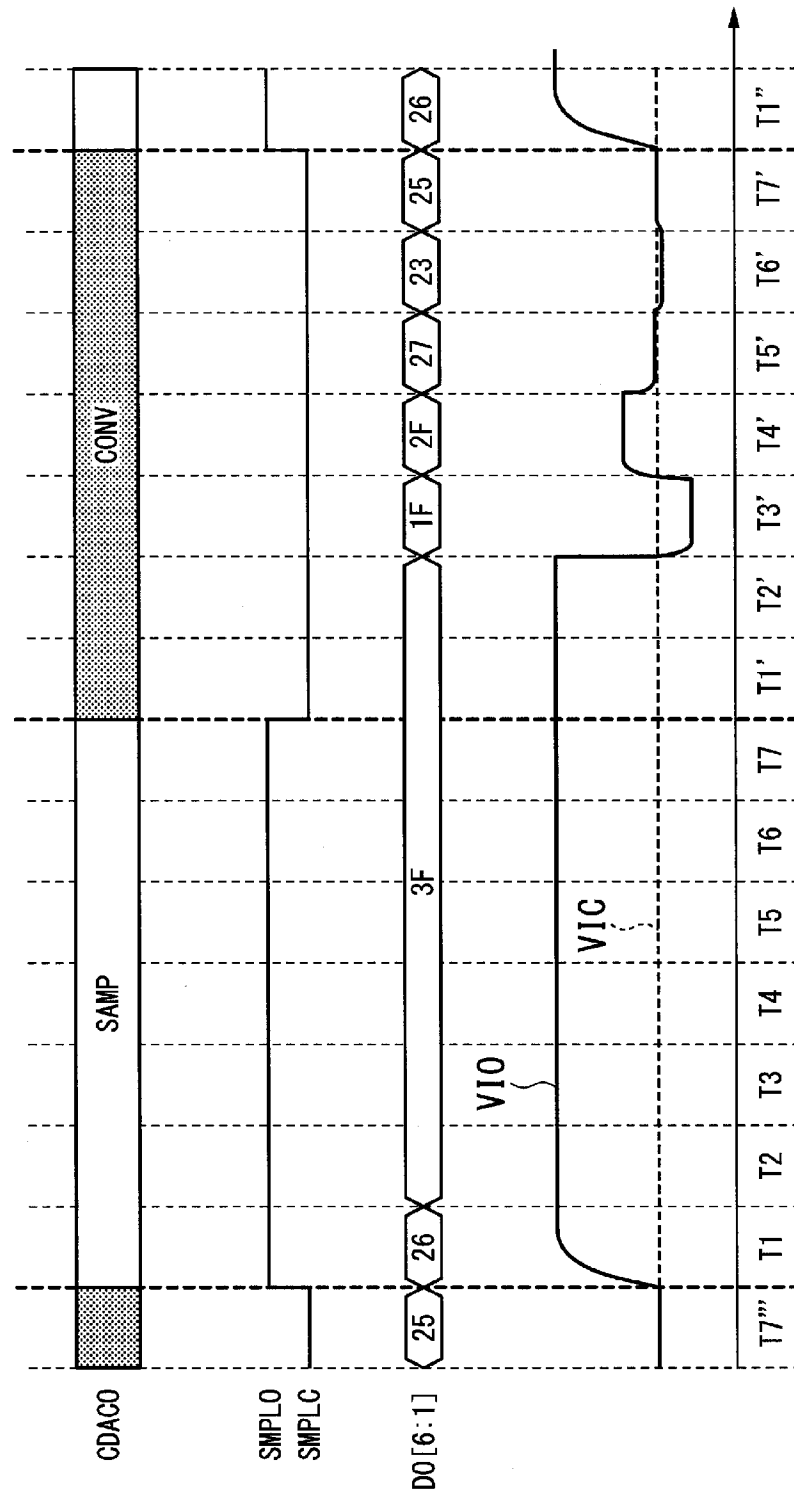
[図1]



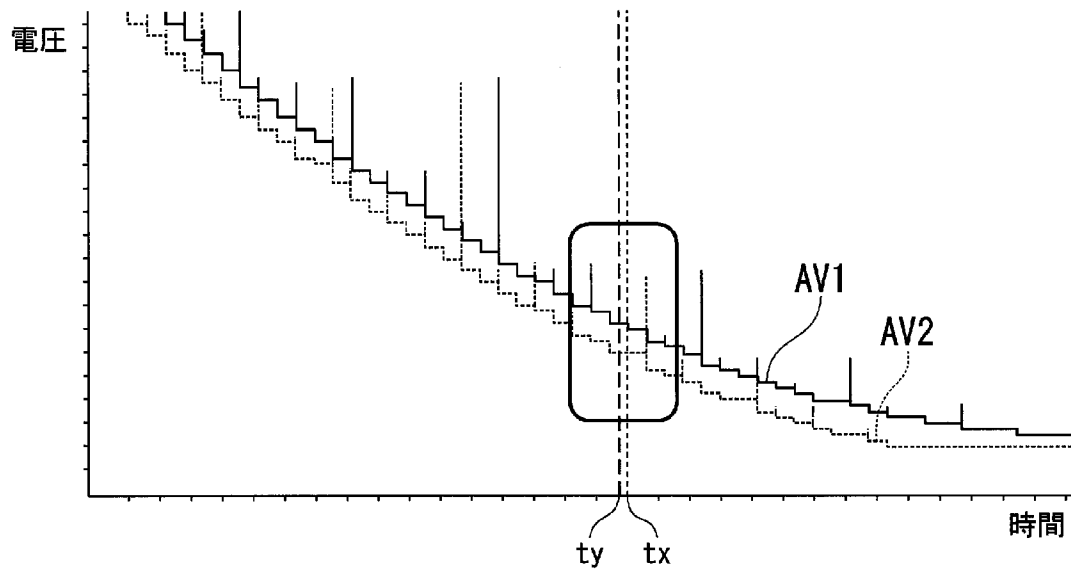
[図2]



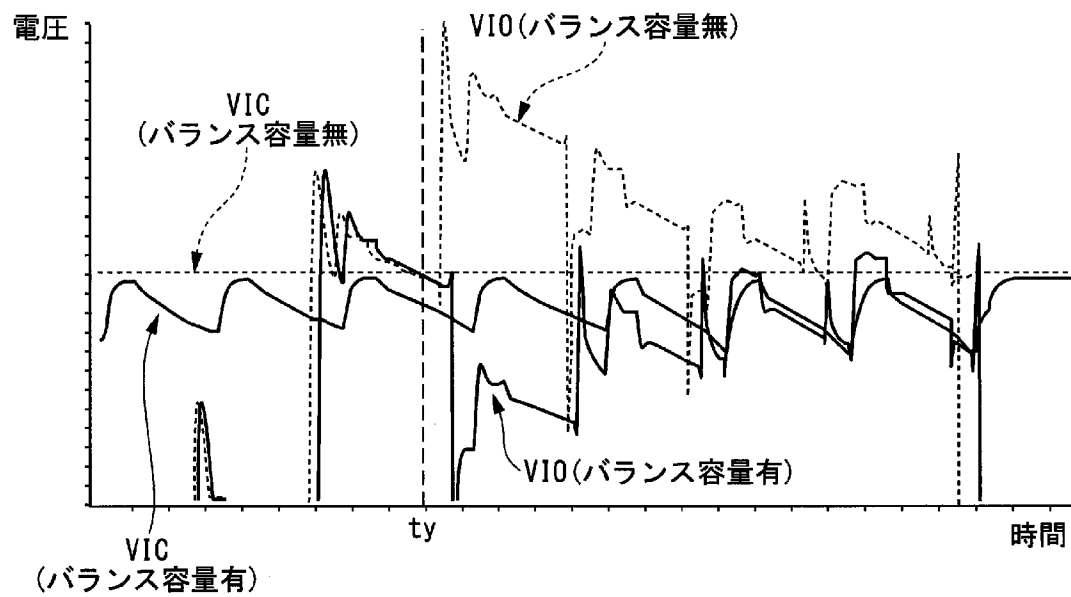
[図3]



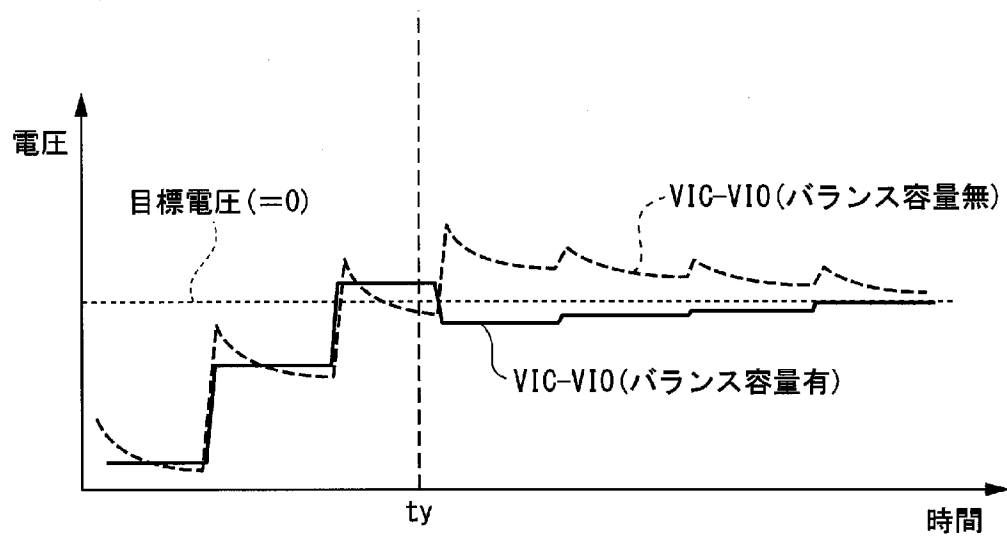
[図4]



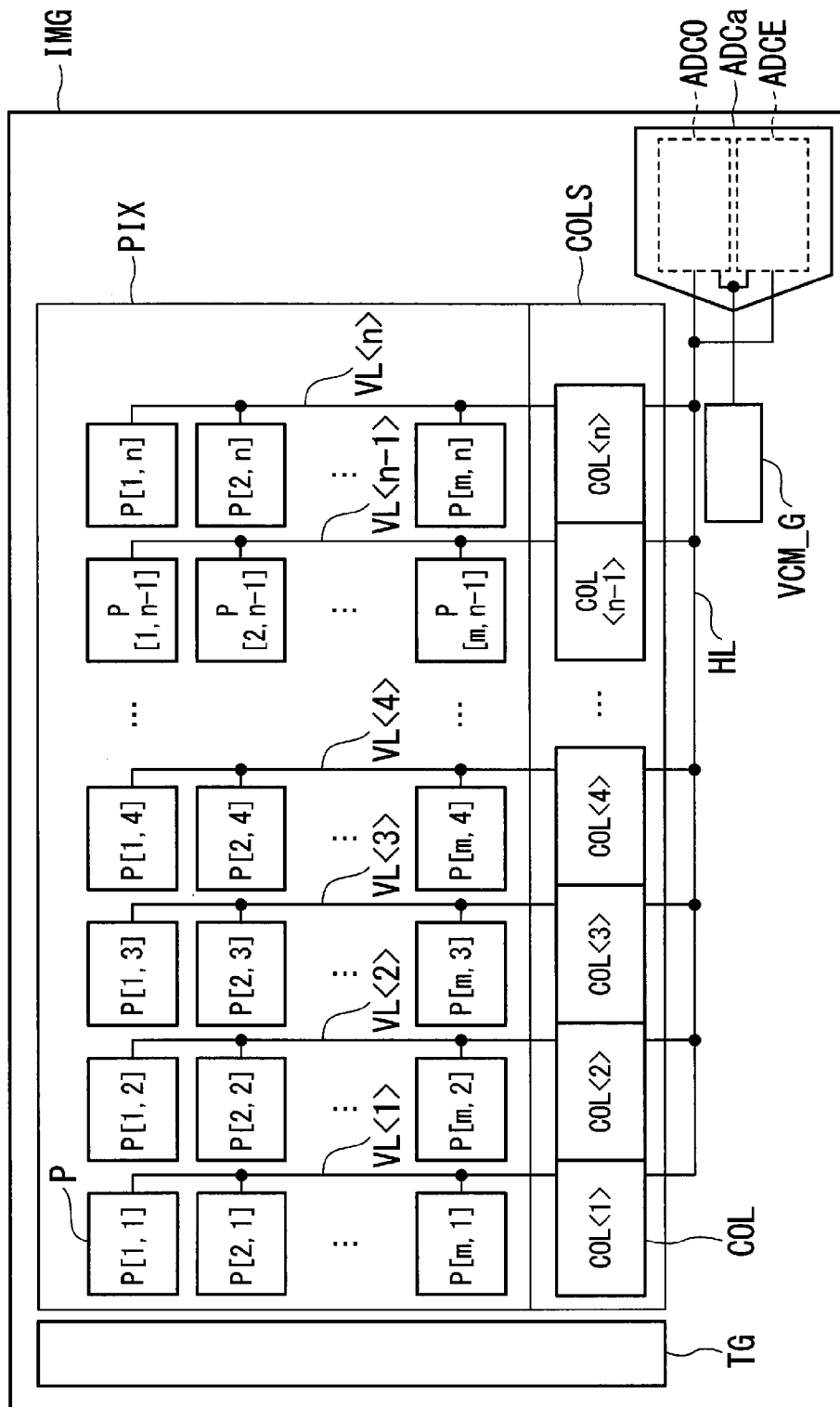
[図5]



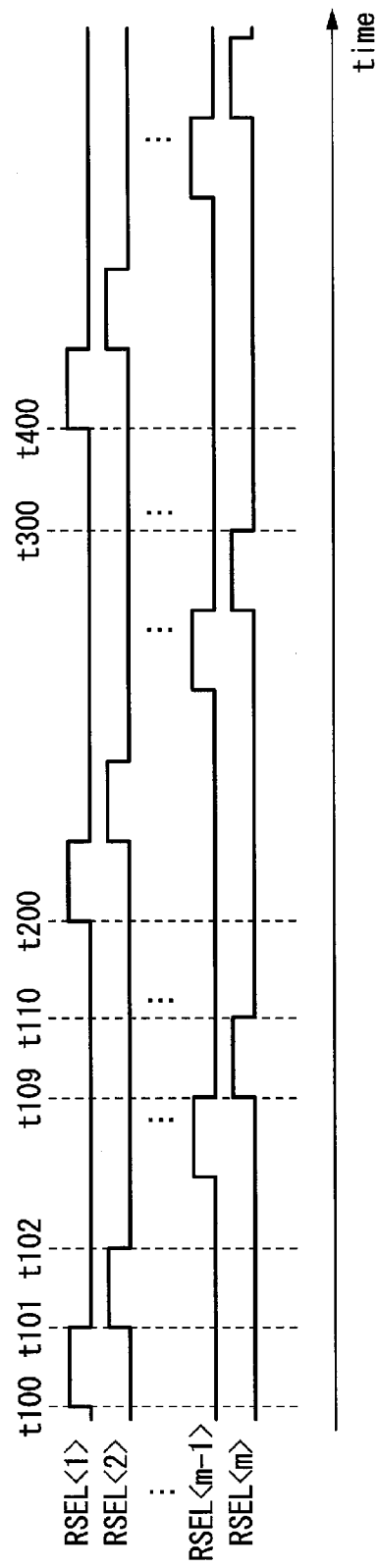
[図6]



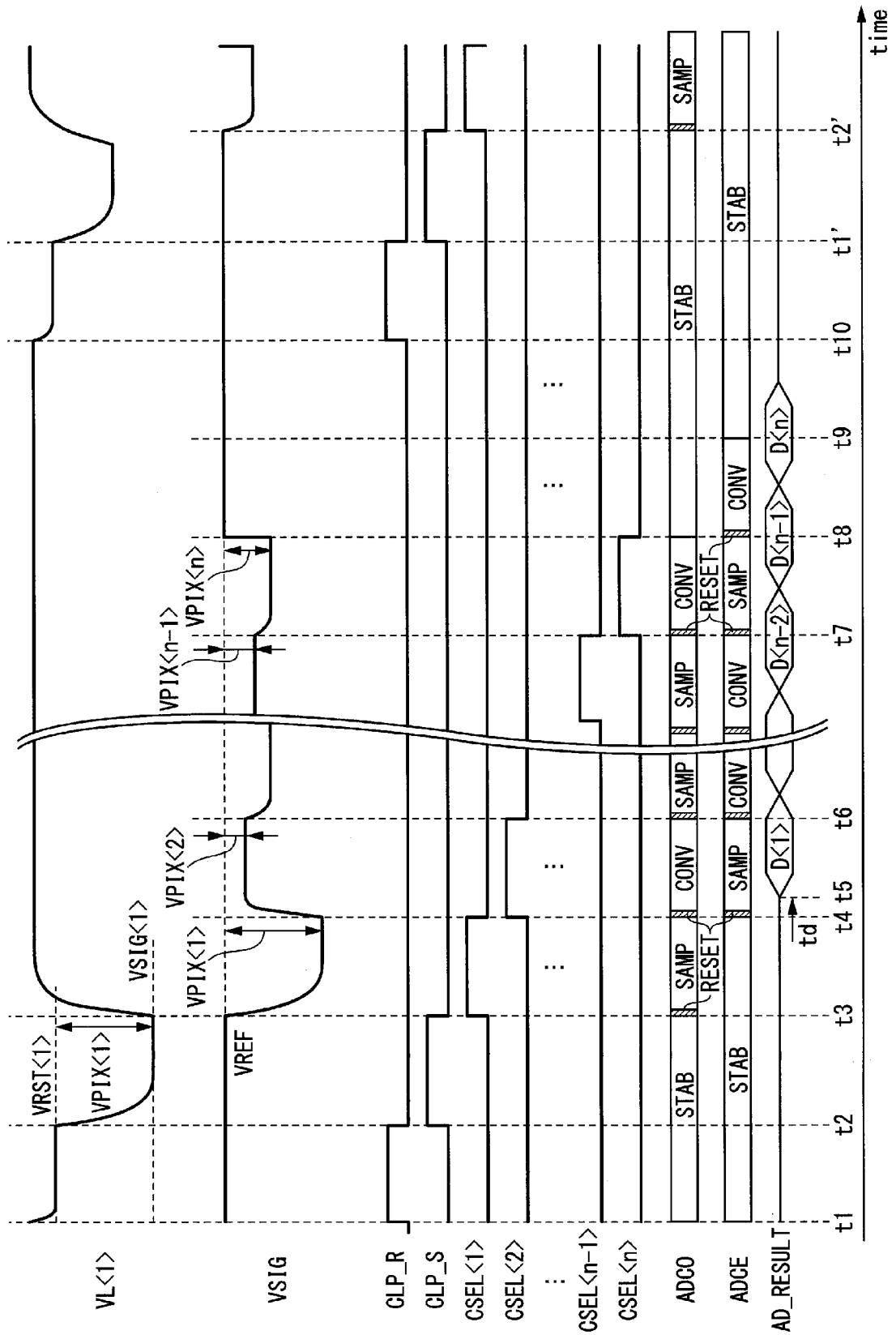
[図7]



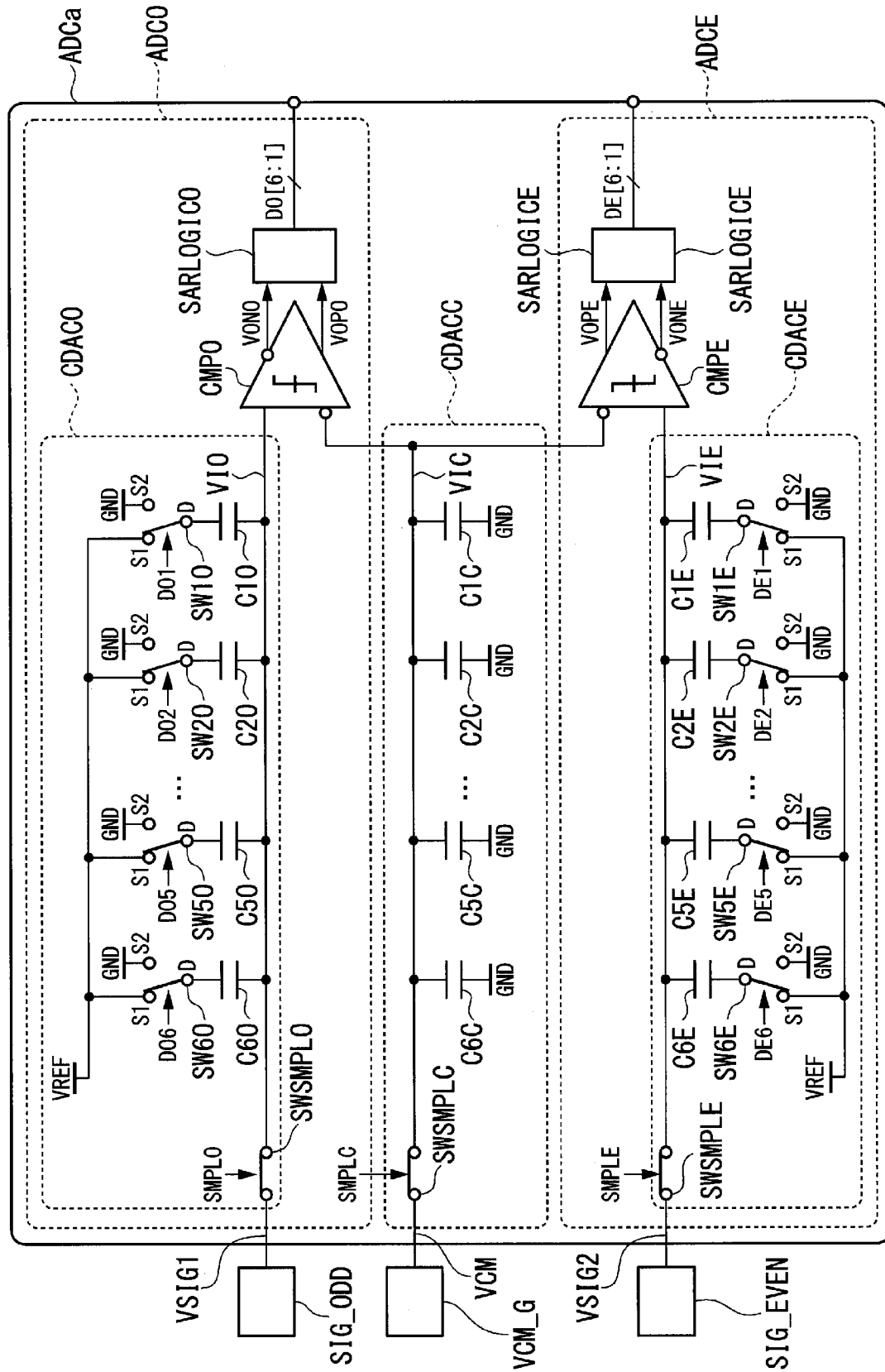
[図8]



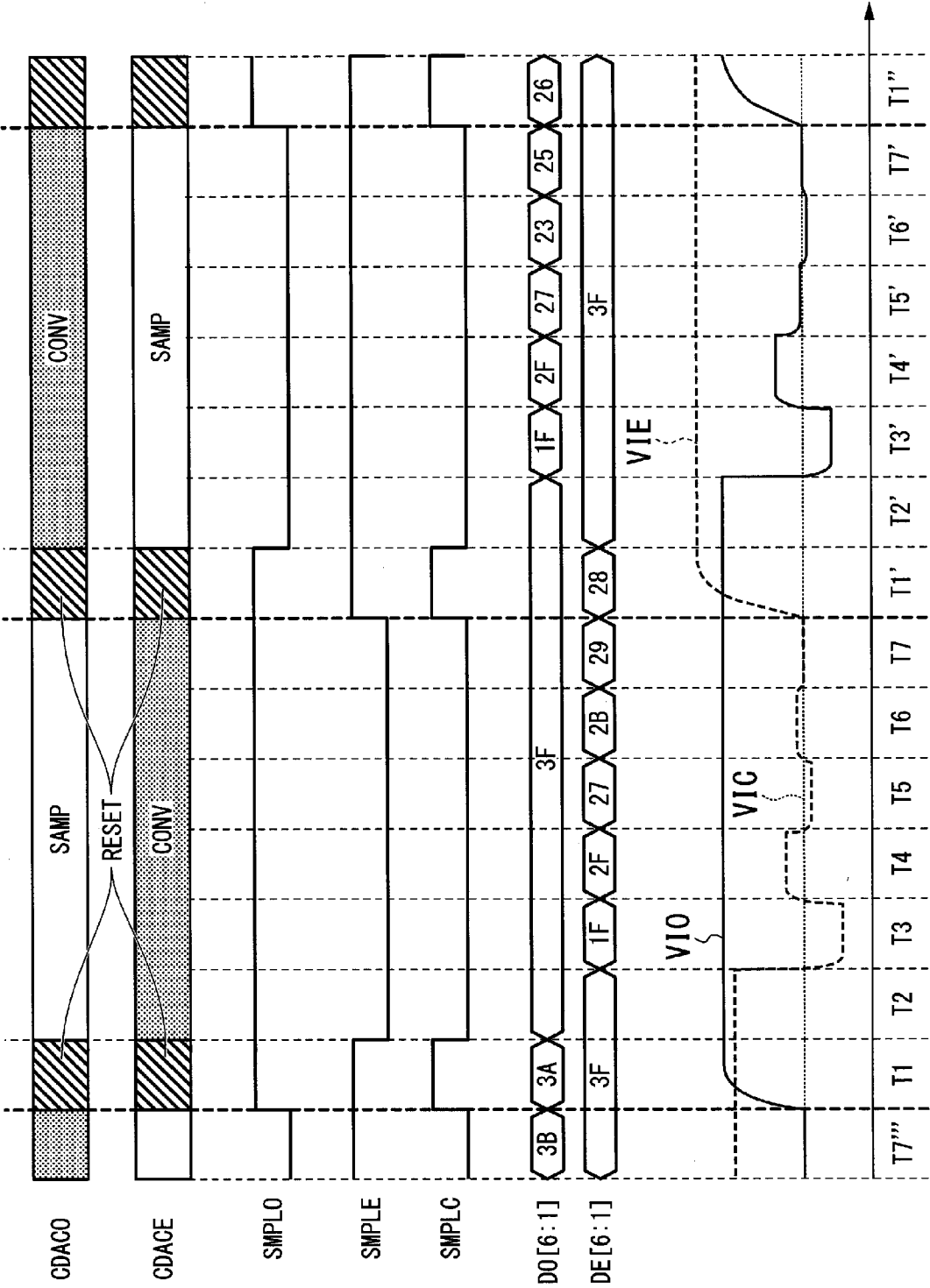
[図9]



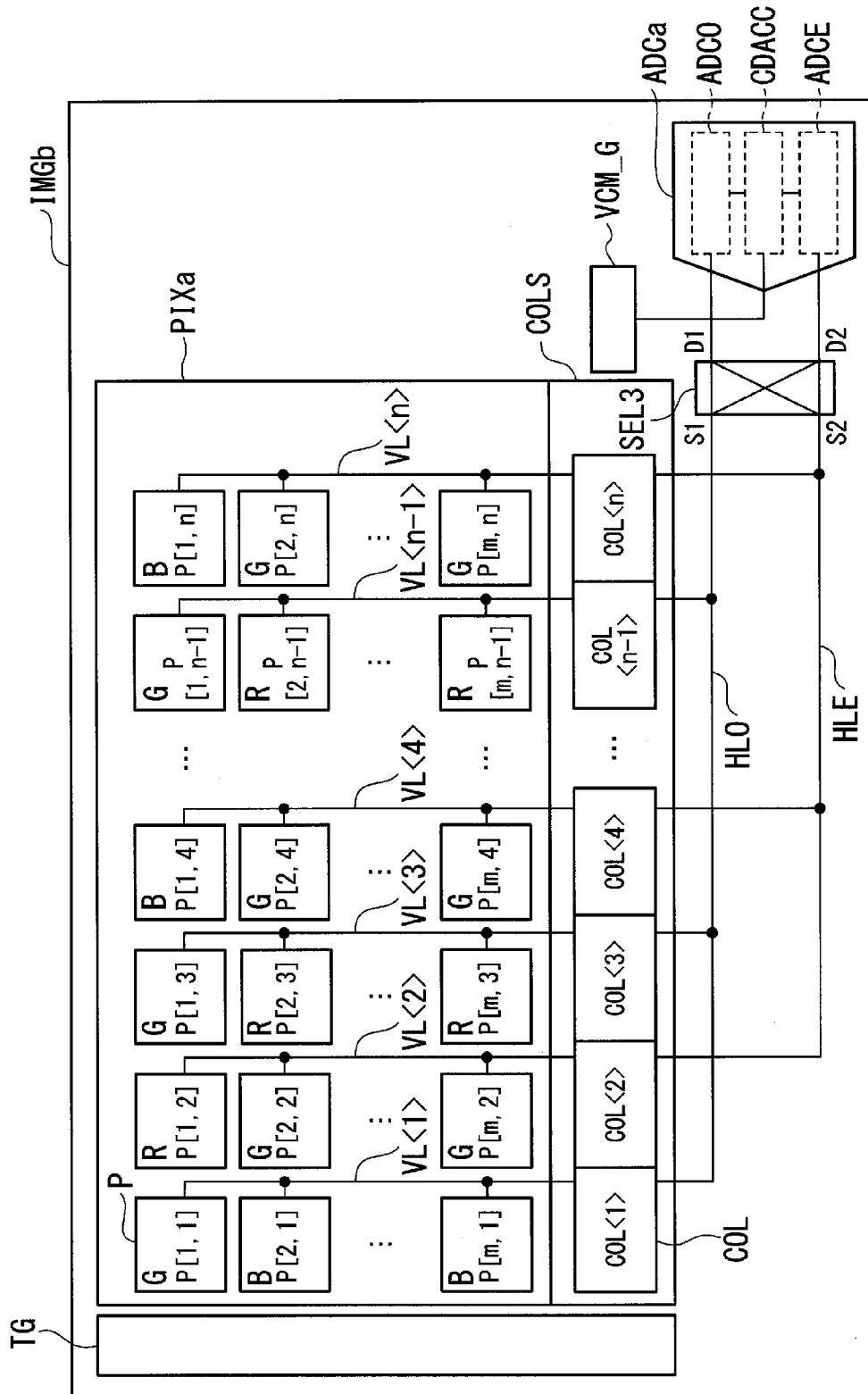
[図10]



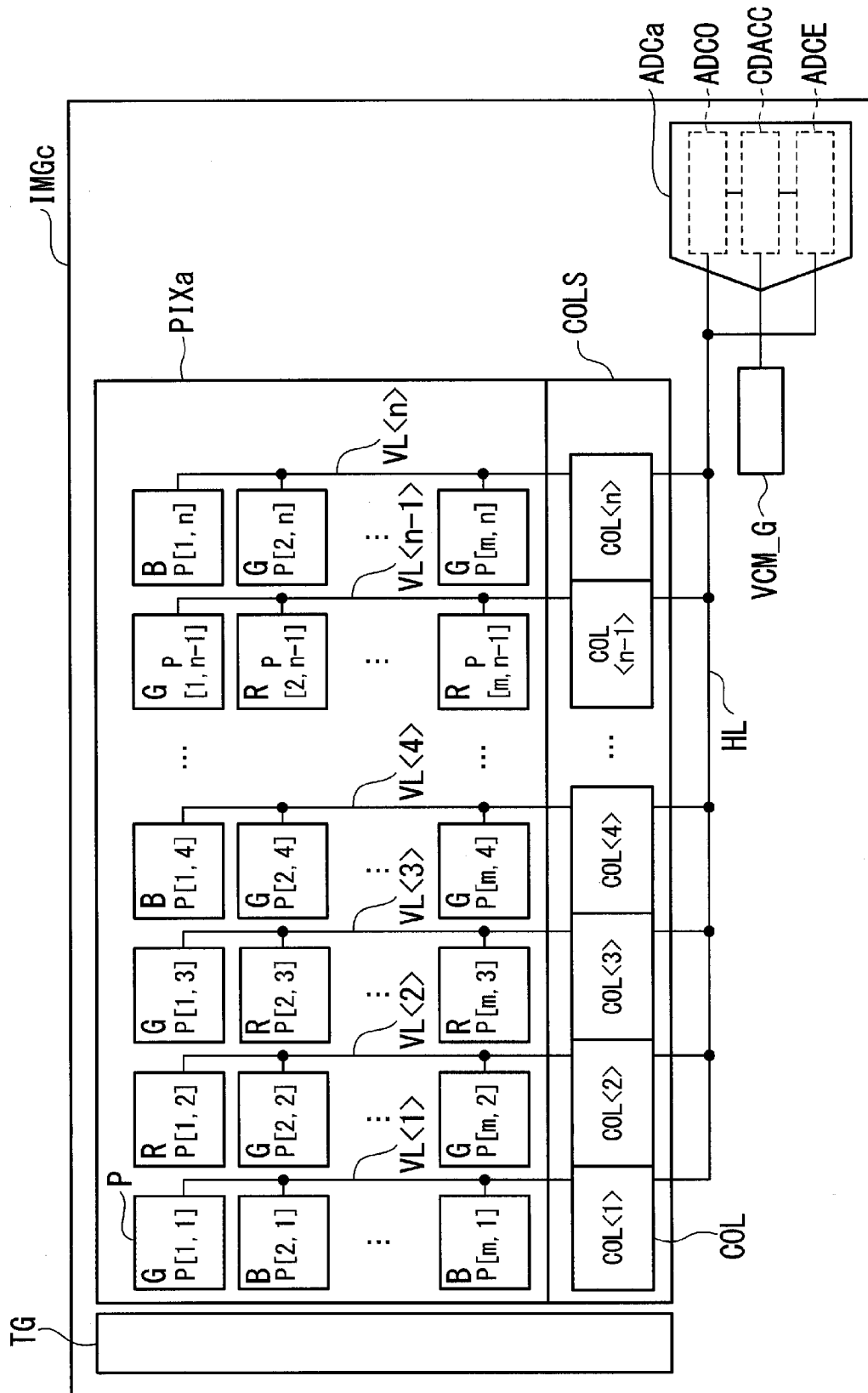
[図11]



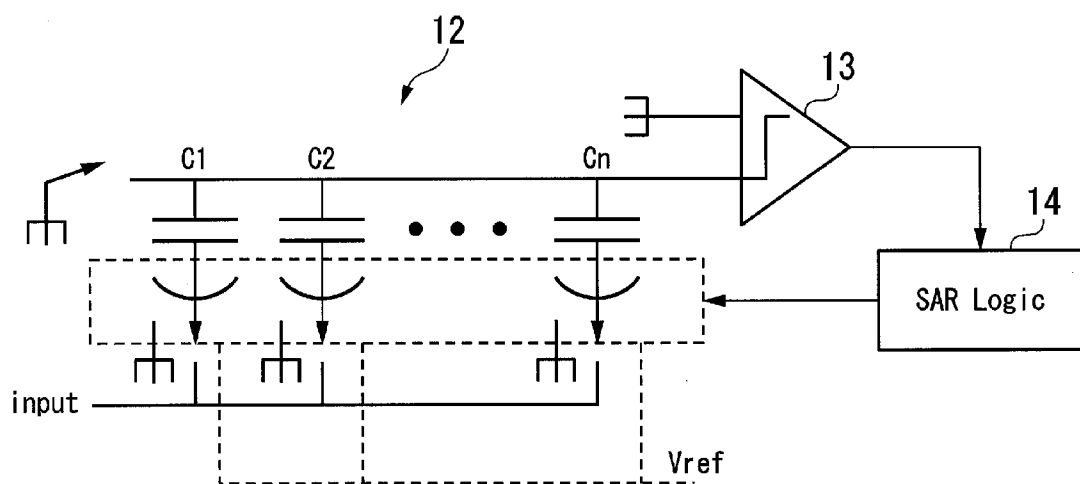
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/011727

A. CLASSIFICATION OF SUBJECT MATTER

H03M1/38(2006.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/38, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-120092 A (Yamaha Corp.), 16 June 2011 (16.06.2011), paragraphs [0013] to [0018]; fig. 1 (Family: none)	1-3 4-6
Y	JP 5-196417 A (Ando Electric Co., Ltd.), 06 August 1993 (06.08.1993), paragraphs [0009] to [0017]; fig. 1 to 2 (Family: none)	4-6
A	JP 2011-82879 A (Renesas Electronics Corp.), 21 April 2011 (21.04.2011), paragraphs [0039] to [0075]; fig. 2 & US 2011/0084862 A1 paragraphs [0043] to [0063]; fig. 2	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 June 2017 (05.06.17)

Date of mailing of the international search report
13 June 2017 (13.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/011727

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/0241912 A1 (NXP B.V.), 06 October 2011 (06.10.2011), paragraphs [0002] to [0005]; fig. 1 to 2 & WO 2010/044000 A1	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03M1/38(2006.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03M1/38, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2011-120092 A（ヤマハ株式会社）2011.06.16, 段落[0013]-[0018], 図1（ファミリーなし）	1-3 4-6
Y	JP 5-196417 A（安藤電気株式会社）1993.08.06, 段落[0009]-[0017], 図1-2（ファミリーなし）	4-6
A	JP 2011-82879 A（ルネサスエレクトロニクス株式会社）2011.04.21, 段落[0039]-[0075], 図2 & US 2011/0084862 A1, [0043]-[0063], [FIG. 2]	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.06.2017

国際調査報告の発送日

13.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

緒方 寿彦

5W

8321

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2011/0241912 A1 (NXP B.V) 2011.10.06, 段落[0002]-[0005], 図 1-2 & WO 2010/044000 A1	1-6