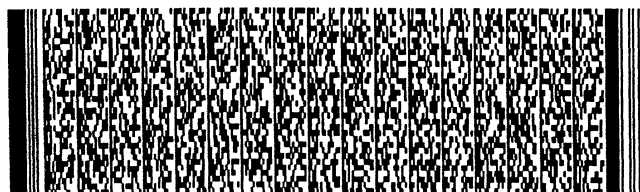


申請日期： 91.12.17	IPC分類
申請案號： 91136326	H01L21/51

(以上各欄由本局填註)

發明專利說明書 200305951

一、 發明名稱	中 文	半導體積體電路裝置製造方法與半導體積體電路裝置
	英 文	Method for manufacturing semiconductor integrated circuit device and semiconductor integrated circuit device
二、 發明人 (共1人)	姓 名 (中文)	1. 野口 純司
	姓 名 (英文)	1. Junji NOGUCHI
	國 籍 (中英文)	1.
	住居所 (中 文)	1. 日本國東京都千代田區丸之內一丁目5番1號新九大樓日立製作所股份有限公司智慧財產權部
	住居所 (英 文)	1. Hitachi, Ltd., Intellectual Property Group, New Marunouchi Bldg., 5-1, Marunouchi 1-chome, Chiyoda-Ku, Tokyo 100-8220, Japan
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日立製作所股份有限公司
	名稱或 姓 名 (英文)	1. Hitachi, Ltd.
	國 籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中 文)	1. 日本國東京都千代田區神田駿河台四丁目6番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 6, Kanda-Surugadai 4-Chome, Chiyoda-ku, Tokyo, Japan
	代表人 (中文)	1. 作田康夫
	代表人 (英文)	1. Yasuo SAKUTA



91514(9HITACHI).ptd

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

日本 JP

2001/12/18

2001-384535

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主

日期：

四、☐有

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明（1）

發明領域

本發明與製造半導體裝置之方法及半導體裝置技術有關，尤其與適於製造具嵌入互連結（包含主要由銅組成之主導體膜）之半導體裝置之方法之技術及此半導體裝置有關。

發明背景

嵌入互連結結構之形成，係將接線材料埋入互連結開孔中，諸如依稱之為“波紋技術”（單波紋及雙波紋技術）之金屬化技術，於絕緣膜中形成之互連結穿圳或孔。當以銅作為主接線材料時，與諸如鋁等金屬相較，其較易擴散至絕緣膜中。故以薄障壁金屬膜覆蓋於銅製嵌入互連結表面（底表面與側表面），以抑制或避免銅自嵌入互連結擴散至絕緣膜，造成嵌入互連結與絕緣膜之直接接觸。或者，可於內有互連結開孔之絕緣膜之上表面形成例如氮化矽膜製之互連結罩絕緣膜，並以之覆蓋嵌入互連結之上表面，藉此抑制或避免銅自嵌入互連結之上表面擴散至絕緣膜。

波紋金屬化技術述如日本專利公開案第 2000-323479 號，其中形成具相異表面高度之嵌入互連結結構、銅互連結及絕緣膜。在日本專利公開案第 111843/1999 號中，揭示之嵌入互連結結構，係於嵌入互連結中形成上表面高度低於絕緣膜之銅層，並接著於所得鋸齒部中埋入障壁絕緣膜。在日本專利公開案第 50632/1998 號中，揭示之嵌入互連結結構，係相對於絕緣膜降低嵌入互連結之障壁金屬與銅層之上表面高度，並將障壁絕緣膜埋入鋸齒部中。在日本專利公開案第 2000-277612 號

五、發明說明（2）

中，揭示藉由所形成之嵌入互連結之金屬膜與障壁金屬之表面高度高於絕緣膜，而在化學力學拋光（CMP）後，避免殘留泥漿之技術。在日本專利公開案第 189602/1998 號中，揭示形成之鎢栓之上表面高度略高於絕緣膜，並環繞嵌入栓之技術。

5 發明概述

根據研究結果，本發明人發現上述採用銅做為主導體層之嵌入互連結形成技術有下列問題。特別言之，當以銅作為接線材料時，時間相依介電崩潰（TDDB）生命期遠較其他金屬材料短（諸如鋁或鎢）。此外，由於互連結槽之更為窄化，有效電場強度隨之而增。近年來，就降低互連結電容觀點考量，傾向採用介電常數低於矽氧化物之絕緣材料作為內層絕緣膜。低介電常數絕緣膜一般均具低介電崩潰，故使其不易維持長 TDDB 生命期。

15 本發明之一目的在提供得以改善以銅做為主導體膜之互連結間之介電崩潰強度之技術。

自本文之描述及隨附圖式，即可明瞭本發明之上述及其它目的與新型特徵。

以下將簡述本申請案所揭本發明之典型發明概況。

20 在本發明中，構成互連結之主導體膜係由銅形成，且其在電場密集部分，與周圍絕緣膜之拋光表面隔離。

在本發明中，構成互連結之主導體膜係由銅形成，並環繞於電場密集處。

本申請案提供之本發明包括：

五、發明說明(3)

(1) 製造半導體裝置之方法，包括步驟：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

(c) 在該互連結開孔中形成一互連結，其具一主要由銅組成之導體膜；

(d) 在該互連結開孔之開孔側上之該導體膜之一角落處形成一錐形體；及

(e) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜。

(1-1) 如上述(1)中之方法，其中該錐形體為一圓錐形體，其係藉由在一氮氣、一氬氣或一氮-氬氣體混合物之一環境下，或在一採用氣體之電漿環境下，熱處理該晶圓形成。

(1-2) 如上述(1)中之方法，進一步包括在步驟(c)與(e)之間，使該第一絕緣膜及該互連結歷經還原電漿處理。

(1-3) 如上述(1-2)中之方法，其中該還原電漿處理係氮電漿處理、氬電漿處理，或採用其處理之組合。

(1-4) 如上述(1)中之方法，其中該步驟(a)具子步驟：

(a1) 沉積一相對厚絕緣膜；及

(a2) 在步驟(a1)後，於其上沉積一相對薄絕緣膜，其介電常數較該相對厚絕緣膜高。

(1-5) 如上述(1-4)中之方法，其中該相對厚絕緣膜之介電常數較二氧化矽膜低。

(1-6) 如上述(1-4)中之方法，其中該相對薄絕緣膜係由碳化矽、碳氮化矽或氮氧化矽製成。

五、發明說明（4）

（1-7）如上述（1）中之方法，其中該第一絕緣膜係介電常數較二氧化矽膜低之單一物質絕緣膜。

（1-8）如上述（1）中之方法，其中該第二絕緣膜係由碳化矽、碳氮化矽或氮氧化矽製成。

5 （2）一種製造半導體裝置之方法，包括步驟：

 （a）沉積一第一絕緣膜於一晶圓上；

 （b）於該第一絕緣膜中形成一互連結開孔；

 （c）在該互連結開孔中形成一互連結，其具一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組
10 成）；

 （d）在該互連結開孔之開孔側上之該第二導體膜之一角落處形成一錐形體；及

 （e）於該第一絕緣膜及該互連結上沉積一第二絕緣膜。

 （2-1）如上述（2）中之方法，其中該錐形體為一
15 圓錐形體，其係藉由在一氮氣、一氬氣或一氮-氬氣體混合物之一環境下，或在一採用氣體之電漿環境下，熱處理該晶圓形成。

 （2-2）如上述（2）中之方法，進一步包括在步驟
 （c）與（e）之間，使該第一絕緣膜及該互連結歷經還
20 原電漿處理。

 （2-3）如上述（2-2）中之方法，其中該還原電漿處理係氮電漿處理、氬電漿處理，或採用其處理之組合。

 （2-4）如上述（2）中之方法，其中該步驟（a）

五、發明說明（5）

包括子步驟：

（a1）沉積一相對厚絕緣膜；及

（a2）在步驟（a1）後，於其上沉積一相對薄絕緣膜，其介電常數較該相對厚絕緣膜高。

5 （2-5）如上述（2-4）中之方法，其中該相對厚絕緣膜之介電常數較二氧化矽膜低。

（2-6）如上述（2-4）中之方法，其中該相對薄絕緣膜係由碳化矽、碳氮化矽或氮氧化矽製成。

10 （2-7）如上述（2）中之方法，其中該第一絕緣膜係介電常數較二氧化矽膜低之單一物質絕緣膜。

（2-8）如上述（2-7）中之方法，其中該步驟（c）包括子步驟：

（c1）於該第一絕緣膜上及該互連結開孔中沉積該第一導體膜；

15 （c2）於該第一導體膜上沉積該第二導體膜；

（c3）選擇性拋光該第二導體膜，俾於該互連結開孔中留下該第一及第二導體膜；及

（c4）選擇性拋光該第一導體膜，俾於該互連結開孔中留下該第一及第二導體膜，藉此形成該互連結。

20 （2-9）如上述（2-8）中之方法，其中在該拋光步驟（c3）中採用之研磨料之量為0或少於在該拋光步驟（c4）中採用者。

（2-10）如上述（2）中之方法，其中該第二絕緣膜係由碳化矽、碳氮化矽或氮氧化矽製成。

五、發明說明（6）

(2-11) 如上述 (2) 中之方法，其中該第二絕緣膜係一薄片膜，其係藉由沉積一第三絕緣膜於該第一絕緣膜及該互連結上所得，俾使該第一導體膜免於氧化，並接著採用一含氧氣體，以化學蒸氣沉積沉積一第四絕緣膜於該第三絕緣膜上。

- 5 (2-12) 如上述 (2-11) 中之方法，其中該第三絕緣膜係由氮化矽製成。

(2-13) 如上述 (2-11) 中之方法，其中該第三絕緣膜係由碳化矽或碳氮化矽製成。

- 10 (2-14) 如上述 (2-11) 中之方法，其中該第四絕緣膜係採用一含三甲基氧矽烷及氧化氮之氣體混合物，以化學蒸氣沉積製成之氮氧化矽。

(2-15) 如上述 (2-11) 中之方法，其中該第三絕緣膜較該第四絕緣膜薄。

- 15 (3) 一種製造半導體裝置之方法，在一晶圓上形成之各複數個互連結層之金屬化中，包括：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

- 20 (c) 在該互連結開孔中形成一互連結，其包含一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）；及

(d) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜，

其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之金屬化步驟中，該方法進一步包括在該等步驟

(c) 與 (d) 之間，在該互連結開孔之開孔側上之該第二導體

五、發明說明（7）

膜之一角落處形成一錐形體之步驟，及

其中在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之金屬化步驟中，未形成該錐形體而沉積該第二絕緣膜。

5 (4) 一種製造半導體裝置之方法，在晶圓上形成之至少複數個互連結層之二之金屬化中，包括：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

10 (c) 在該互連結開孔中形成一互連結，其包含一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）；及

(d) 在該互連結開孔之開孔側上之該第二導體膜之一角落處形成一錐形體；及

(e) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜，

15 其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之互連結中形成之該第二導體膜之該錐形體大於在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之互連結中之該第二導體膜之該錐形體。

20 (5) 一種製造半導體裝置之方法，在晶圓上形成之各複數個互連結層之金屬化中，包括：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

(c) 在該互連結開孔中形成一互連結，其包含一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅

五、發明說明（8）

組成)；及

(d) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜，

其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之金屬化形成步驟中，該方法進一步包括在該等
5 步驟(c)與(d)之間，在沉積該第二絕緣膜之一側上之該第二導體膜之第一表面與在被沉積該第二絕緣膜之一側上之該第一導體膜之第二表面間形成一步階差之步驟，及

其中在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之金屬化步驟中，在未形成該步階差之步驟下，
10 沉積該第二絕緣膜。

(6) 一種製造半導體裝置之方法，在晶圓上形成之至少複數個互連結層之二之金屬化中，包括：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

15 (c) 在該互連結開孔中形成一互連結，其包含一第一導體膜(具可抑制銅擴散之障壁性質)及一第二導體膜(主要由銅組成)；及

(d) 在被沉積一第二絕緣膜之一側上之該第二導體膜之第一表面與在被沉積該第二絕緣膜之一側上之該第一導體膜之第
20 二表面間形成一步階差；及

(e) 於該第一絕緣膜及該互連結上沉積該第二絕緣膜，

其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之互連結中形成之該第二導體膜之該步階差大於在相對遠離該晶圓之主表面之互連結層之互連結中之該第二導

五、發明說明（9）

體膜之該步階差。

（6-1）如上述（6）中之方法，其中：

步驟（d）係選擇性蝕刻該第二導體膜之第一表面之一表面層，俾於該晶圓之主表面之一方向中，形成相對於該第一絕緣膜之第二表面凹陷之該第二導體膜之第一表面之步驟。

（7）一種製造半導體裝置之方法，在晶圓上形成之各複數個互連結層之金屬化中，包括：

（a）沉積一第一絕緣膜於一晶圓上；

（b）於該第一絕緣膜中形成一互連結開孔；

10 （c）在該互連結開孔中形成一互連結，其包含一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）；及

（d）於該第一絕緣膜及該互連結上沉積一第二絕緣膜，

其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之金屬化步驟中，該方法進一步包括在該等步驟（c）與（d）之間，在被沉積該第二絕緣膜之一側上之該等第一及第二導體膜之第一表面與在被沉積該第二絕緣膜之一側上之該第一導體膜之第二表面間形成一步階差之步驟，及

15 其中在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之金屬化步驟中，在未形成該步階差下，沉積該第二絕緣膜。

（8）一種製造半導體裝置之方法，在晶圓上形成之至少複數個互連結層之二之金屬化中，包括：

（a）沉積一第一絕緣膜於一晶圓上；

五、發明說明（10）

(b) 於該第一絕緣膜中形成一互連結開孔；

(c) 在該互連結開孔中形成一互連結，其包含一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）；及

5 (d) 在被沉積一第二絕緣膜之一側上之該等第一及第二導體膜之第一表面與在被沉積該第二絕緣膜之一側上之該第一絕緣膜之第二表面間形成一步階差；及

(e) 於該第一絕緣膜及該互連結上沉積該第二絕緣膜，

10 其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之互連結中形成之該步階差大於在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之互連結中之該步階差。

(8-1) 如上述（8）中之方法，其中：

15 步驟（d）係選擇性蝕刻該等第一及第二導體膜之第一表面之一表面層，俾於該晶圓之主表面之一方向中，形成相對於該第一絕緣膜之拋光表面凹陷之該等第一及第二導體膜之第一表面之步驟。

(8-2) 如上述（8）中之方法，其中：

20 步驟（d）係選擇性蝕刻該第一絕緣膜之第二表面，俾於遠離該晶圓之主表面之一方向中，使該等第一及第二導體膜之第一表面相對於該第一絕緣膜之第二表面突出之步驟。

(9) 一種半導體裝置，包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由在互連結開孔中埋入導體膜（具

五、發明說明（11）

主要由銅組成之），且在互連結開孔之開孔側上之導體膜之一角落處具一錐形體而形成；及

（c）一第二絕緣膜，其係沉積於第一絕緣膜及互連結上。

（10）一種半導體裝置，包括：

5 （a）一互連結開孔，其係在一第一絕緣膜中形成；

（b）一互連結，其係藉由在互連結開孔埋入一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成），且在互連結開孔之開孔側上之導體膜之一角落處具一錐形體而形成；及

10 （c）一第二絕緣膜，其係沉積於第一絕緣膜及互連結上。

（11）一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

（a）一互連結開孔，其係在一第一絕緣膜中形成；

15 （b）一互連結，其係藉由埋入一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）於互連結開孔，且在互連結開孔之開孔側上之第二導體膜之一角落處具一錐形體而形成；及

（c）一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

20 在複數個互連結層中，在相對接近半導體基板之主表面之互連結層中形成一互連結，其配備有在互連結開孔之開孔側上之第二導體膜之一角落處之一錐形體；及

在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層中，未於第二導體膜上形成錐形體，但形成一互連

五、發明說明（12）

結，俾使所形成之被沉積第二絕緣膜之一側上之第二導體膜之第一表面位準大致等於在被沉積第二絕緣膜之一側上之第一絕緣膜之第二表面位準。

（12）一種半導體裝置，其具在一半導體基板上形成之複
5 數個互連結層，至少複數個互連結層之二包括：

（a）一互連結開孔，其係在一第一絕緣膜中形成；

（b）一互連結，其係藉由埋入一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）於互連結開孔，且在互連結開孔之開孔側上之第二導體膜之一角落處具
10 一錐形體而形成；及

（c）一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

在複數個互連結層中，在相對接近晶圓之主表面之互連結層之互連結中之第二導體膜之錐形體大於在複數個互連結層
15 中，在相對遠離晶圓之主表面之互連結層之互連結中之第二導體膜之錐形體。

（13）一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

（a）一互連結開孔，其係在一第一絕緣膜中形成；

（b）一互連結，其係藉由埋入一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）於互連結開孔而形成；及
20

（c）一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

五、發明說明（13）

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中，於被沉積第二絕緣膜之一側上之第二導體膜之第一表面與被沉積第二絕緣膜之一側上之第一導體膜及第一絕緣膜之第二表面間形成一步階差；

- 5 在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層之互連結中，所形成之第二導體膜之第一表面位準大致等於第一導體膜及第一絕緣膜之第二表面位準。

（14）一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

- 10 （a）一互連結開孔，其係在一第一絕緣膜中形成；

（b）一互連結，其係藉由埋入一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）於互連結開孔，且在被沉積一第二絕緣膜之一側上之第二導體膜之第一表面與在被沉積第二絕緣膜之一側上之第一導體膜及第一絕緣膜之第二表面間具一步階差而形成；及

- 15

（c）沉積於第一絕緣膜及互連結上之第二絕緣膜，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中之步階差大於在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層之互連結中之步階差。

- 20 （14-1）如上述（14）中之半導體裝置，其中於半導體基板之主表面之一方向中，藉由形成相對於第一導體膜及第一絕緣膜之第二表面凹陷之第二導體膜之第一表面而形成步階差。

（15）一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

五、發明說明（14）

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）於互連結開孔而形成，具；及

5 (c) 一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中，於被沉積第二絕緣膜之一側上之第一及第二導體膜之第一表面與被沉積第二絕緣膜之一側上之第一絕緣膜之第二表面間形成一步階差；

在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層之互連結中，所形成之第一及第二導體膜之第一表面位準大致等於第一絕緣膜之第二表面位準。

(16) 一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜（具可抑制銅擴散之障壁性質）及一第二導體膜（主要由銅組成）於互連結開孔，且在被沉積一第二絕緣膜之一側上之第一及第二導體膜之第一表面與在被沉積第二絕緣膜之一側上之第一絕緣膜之第二表面間具一步階差而形成；及

(c) 沉積於第一絕緣膜及互連結上之第二絕緣膜，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中之步階差大於在複數個互連結層中，在相

五、發明說明（15）

對遠離半導體基板之主表面之互連結層之互連結中之步階差。

（16-1）如上述（16）中之半導體裝置，其中於半導體基板之主表面之一方向中，藉由形成相對於第一絕緣膜之第二表面凹陷之第一及第二導體膜之第一表面而形成步階差。

- 5 （16-2）如上述（16）中之半導體裝置，其中於遠離該晶圓之主表面之一方向中，使第一及第二導體膜之第一表面相對於第一絕緣膜之第二表面突出而形成步階差。

圖式之簡單說明

- 為增進對本發明及其優點之完全瞭解，可參閱下列詳細說明暨隨附之圖示，其中：
- 10

圖1係供測量本發明之實施例之TDDB生命期之樣本平面圖；

圖2係沿圖1之線B-B'截取之剖面圖；

圖3係沿圖1之線C-C'截取之剖面圖；

- 15 圖4係當採用圖1之樣本時，闡釋測量概要之簡圖；

圖5係依本發明之一實施例之半導體裝置之製造步驟流程圖；

圖6係依本發明之一實施例之半導體基板製造步驟期間之局部平面圖；

- 20 圖7係沿圖6之線X1-X1截取之剖面圖；

圖8係在圖7之後，在半導體裝置製造步驟中，對應於圖5之線X1-X1部份之剖面圖；

圖9係在圖8之後，在半導體裝置製造步驟中，對應於圖5之線X1-X1部份之剖面圖；

五、發明說明（16）

圖10係在圖9之後，在半導體裝置製造步驟中，對應於圖5之線X1-X1部份之剖面圖；

圖11係係在圖10之後，在半導體裝置製造步驟中，對應於圖5之線X1-X1部份之剖面圖；

5 圖12係圖11之局部放大剖面圖；

圖13係在圖11與12之後，在半導體裝置製造步驟中，對應於圖5之線X1-X1部份之剖面圖；

圖14係在圖13之後，在半導體裝置製造步驟中，對應於圖5之線X1-X1部份之剖面圖；

10 圖15係在圖14之後，在半導體裝置製造步驟中，對應於圖5之線X1-X1部份之剖面圖；

圖16係在圖15之後，在半導體之製造步驟期間之片段平面圖；

圖17係沿圖16之線X2-X2截取之剖面圖；

15 圖18係圖17之局部放大剖面圖；

圖19係依本發明之另一實施例之半導體裝置之製造步驟流程圖；

圖20係依本發明之另一實施例，在半導體基板之製造步驟期間之局部剖面圖；

20 圖21係依本發明之又一實施例，在半導體基板之製造步驟期間之局部剖面圖；

圖22係依本發明之又一實施例，在半導體基板之製造步驟期間之局部剖面圖；

圖23概略闡釋依本發明之又一實施例之半導體裝置之局部

五、發明說明（17）

剖面圖；

圖24概略闡釋依本發明之又一實施例之半導體裝置之局部剖面圖；

圖25概略闡釋依本發明之又一實施例之半導體裝置之局部剖面圖；

圖26概略闡釋依本發明之又一實施例之半導體裝置之局部剖面圖；及

圖27概略闡釋依本發明之又一實施例之半導體裝置之局部剖面圖。

10 較佳實施例之詳細說明

在詳細描述本申請案之本發明前，先將描述實施例中採用之各術語涵義。

1. 本文採用之“時間相關介電崩潰（TDDB）生命期”係指客觀測量時間相關介電崩潰之測量值，該術語係指在預定溫度下（例如 140°C），在電極間施加相當高電壓時，決定之時間（生命期），所繪圖中，描繪自電壓施加至介電崩潰之時間對施加電場，並於圖中外推實際電場強度（例如 0.2 兆伏特/公分）。

圖 1 至 3 分別闡釋為測量 TDDB 生命期，在本申請案中使用的樣本，其中圖 1 係一平面圖，圖 2 及 3 分別為沿圖 1 之線 B-B' 與 C-C' 截取之剖面圖。此樣本可於晶圓之測試設備群（TEG）區中實際形成。如所示，在第二層互連結 M2 中形成一對類梳狀互連結 L，並分別連接至最上層之墊 P1、P2。藉由施加電場於類梳狀互連結 L 間而測量電流。墊 P1、P2 係測量端子。類梳狀互連結 L 寬度、兩相鄰互連結間距及其厚度均

五、發明說明（18）

為 0.5 微米。所形成之互連結之面長為 1.58×10^5 微米。

圖 4 係為闡釋測量概要之簡圖。樣本為測量台 S 所支撐，並將電流-電壓測量裝置（I/V 測量裝置）連接於墊 P1 與 P2 間。加熱器 H 將樣本台 S 加熱，俾調整樣本溫度至 140°C 。雖然定電壓施壓法與定電流施壓法均可測量 Tddb 生命期，本發明係採用前者，其中所示施加於絕緣膜之平均電場為定值。在施加電壓後，電流密度隨時間之流逝而降低，接著可觀察到電流驟增（介電崩潰）。在此將漏電流密度達到 1 微安培/公分²之時間定為 Tddb 生命期（在 5 兆伏特/公分之 Tddb 生命期）。除非另外附註，文中採用之“Tddb”術語係指在 0.2 兆伏特/公分下之崩潰時間（生命期），但更廣義言之，有時其係在預定電場強度下崩潰之時間。除非另外附註，Tddb 生命期係指 140°C 之樣本溫度。利用上述類梳狀互連結 L 測量 Tddb 生命期，但無需贅述，其即係實際互連結間崩潰生命期之寫照。

2. 本文採用之“電漿處理”係指暴露基板表面之處理，或當在基板上形成諸如絕緣膜或金屬膜等組件時，暴露組件表面於電漿條件之環境下，並於表面施行電漿之化學或力學（撞擊）活動。一般視需要供應特定氣體（處理氣體）予以氣體清淨之反應腔，同時以高頻電場等反應將氣體離子化而形成電漿。但在實行上，不可能以處理氣體完全清淨腔。故在下述實施例中，術語“氮電漿”並非指完全的氮電漿，在電漿中可含雜質氣體（氮、氧、二氧化碳、水蒸氣及/或等）。電漿可能包含諸如稀釋氣體或添加氣體等其它氣體，自不在話下。

3. 本文採用之“還原空氣之電漿（還原電漿）”係指反應基、

五、發明說明（19）

離子、原子或分子具還原反應之電漿環境，亦即優先存在抽氧反應。基與離子包含原子或分子基與離子。在電漿環境中，不僅具單一反應物，亦可具多種反應物。例如：在該環境中可共存氫基與 NH_3 基。

- 5 4. 本文採用之“銅製”係指以銅為主成分。無疑地，高純度銅亦含雜質，故銅製組件可具添加物或雜質。其不僅適用於銅，對其它金屬（氮化鈦等）亦然。

- 10 5. 本文採用之“化學力學拋光（CMP）”一般係指藉由在使拋光墊接觸之條件下之表面方向中，相對移動拋光墊（由相對軟類布片狀材料製成），同時施加泥漿，將欲拋光之表面拋光。本發明之實施例包含化學力學圍繞（CML），其中藉由相對於硬研磨料表面移動欲拋光之表面而施行拋光，此外，並包含採用固定研磨料與未採用研磨料之無研磨 CMP 之拋光。

- 15 6. 本文採用之“無研磨料化學力學拋光”係指採用具重量百分率濃度低於 0.5% 之研磨粒之泥漿之化學力學拋光，而“具研磨料化學力學拋光”係指採用具重量百分率濃度高於 0.5% 之研磨粒之泥漿之化學力學拋光。以上係相對名之。在第一與第二步驟中均施行具研磨料化學力學拋光之情況下，在第一步驟中之拋光，若第一步驟較第二步驟之拋光濃度低至少一位數時，
20 低至少兩位數更佳，有時稱之為無研磨料化學力學拋光。本文採用之“無研磨料化學力學拋光”以及對欲拋光之整體金屬膜之平坦化處理而施行之無研磨料化學力學拋光包含對主要處理之無研磨料化學力學拋光及對次級處理之無研磨料化學力學拋光之組合。

五、發明說明（20）

7.本文採用之”拋光液體（泥漿）”一般係指在化學蝕刻劑中藉由混合研磨粒所得之懸浮液，但在本申請案中，包含在考量本發明之特性下，無研磨粒之拋光液體。

8.本文採用之”抗腐蝕”係指藉由在金屬表面上形成抗腐蝕及
5 /或拒水性保護膜，以避免或抑制以 CMP 進行拋光之化學物，一般均採用苯并三唑（BTA）為化學物（欲知詳細資料，請參閱日本專利公開申請案第 64594/1996 號）。

9.本文採用之”無刮傷”係指在以上述 CMP 拋光之整體晶圓表面上，超過預定大小或在預定單位面積內未偵測到缺陷之狀態。
10 ”預定大小”因半導體裝置之世代或類型而異。但在本發明之實施例中，以對缺陷之線中（in-line）比較測試決定，在直徑 200 毫米之晶圓拋光表面範圍內未偵測到 0.3 微米或更大的缺陷。

10.本文採用之”傳導障壁膜”一般係指在嵌入互連結之側表面或底表面上形成之相對薄且具擴散障壁性質之傳導膜，藉以
15 避免銅擴散至內層絕緣膜或下方層中。一般均採用諸如鈦（Ti）與鉭（Ta）等耐熱金屬，即諸如氮化鈦（TiN）與氮化鉭（TaN）等耐熱金屬氮化物。

11.本文採用之”嵌入互連結或嵌入金屬互連結”一般係指以
20 諸如單波紋或雙波紋技術等金屬化技術將互連結圖案化，更特別言之，藉由將傳導膜埋入絕緣膜中之諸如穿圳或孔等互連結開孔內，並接著移除絕緣膜上之非必要傳導膜而形成互連結。”單波紋”一般係指以兩步驟埋入栓金屬與互連結金屬之嵌入互連結形成處理，而”雙波紋”則指同時埋入栓金屬與互連結金屬之

五、發明說明（21）

嵌入互連結形成處理。傾向以銅嵌入互連結做為多層結構。

12.本文採用之"半導體裝置"除非特別描述，否則不僅指特別於單晶矽基板上製造者，亦指在諸如絕緣體上之矽（SOI）基板等其它基板，或供製造薄膜電晶體（TFT）液晶用之基板上製造者。

13.本文採用之"晶圓"係指在半導體積體電路之製造中，採用之矽或其它半導體單晶基板（一般而言，為接近平碟型之半導體晶圓）、藍寶石基板、玻璃基板、其它絕緣或半絕緣、半導體基板或其組合基板。

14.本文採用之"半導體積體電路晶片或半導體晶片（而後簡稱為"晶片"）"係指完成晶圓處理（或預備步驟）並分為單位電路群之晶圓。

15.本文採用之"氮化矽或氮化矽膜"不僅指 Si_3N_4 ，亦指含矽之氮化物或具類似成分之絕緣膜。

16.本文採用之"低介電常數絕緣膜（低-K 絕緣膜）"係指例如：介電常數較保護膜中所含矽氧化物膜（例如四乙氧基矽烷（TEOS）氧化物膜）之絕緣膜。特定介電常數 ϵ 不高於約 4.1 或 4.2 之 TEOS 氧化物膜稱之為低介電常數絕緣膜。

在下述實施例中，為便利之故，將視需要分為多節或多個實施例。所謂多段或實施例並非彼此獨立，其間均具關係，除非在它處特別描述之部分或整體之細部或補充描述，均係改良實例。

在下述實施例中，當參閱構件數時（包含數、值、量與範圍），構件數不以特定數為限，除非特別描述，或在很顯然將

五、發明說明（22）

數量限制為特定數之情況下，較特定數高或低均可。

此外，在下述實施例中，無需贅述者係除非特別描述，或很顯然係屬必要條件者，組成構件（包含構件步驟）常非屬必要。

- 5 類似地，在下述實施例中，當參閱組成構件之外型或位置關係時，亦包含與其近似或類似者。並適用於上述值與範圍。

在描述實施例之所有圖式中，將以類似代號表示功能類似之部件，其重複描述則略之。

- 10 在本發明之實施例中採用之圖式中，有時加入影線，俾利對平面圖之了解。

在本發明之實施例中，場效電晶體金屬絕緣體半導體場效電晶體（MISFET）之縮語為 MIS，p 通道型 MISFET 之縮語為 pMIS，n 通道型 MISFET 之縮語為 nMIS。

接著將按隨附圖式，特別描述本發明之實施例。

- 15 （實施例 1）

在此實施例 1 中，依圖 5 之生產流程圖，根據圖 6 至 18 解釋之情況係本發明之技術構想，應用於互補 MIS（CMIS）-大型積體電路（LSI）之製造方法。圖 5 中虛線所含步驟顯示於相同處理腔中之處理。

- 20 圖 6 係 CMIS-LSI 製造步驟期間之局部平面圖，圖 7 為沿圖 6 之線 X1-X1 之剖面圖。半導體基板 1（而後將簡稱為“基板”）建構 p-型單晶矽（特殊電阻約為 1 至 10 歐姆公分（ Ωcm ））製成之晶圓 1W。半導體基板 1 之主表面（其上形成裝置之表面）上具絕緣穿圳（淺槽絕緣（SGI））或淺穿圳絕緣

五、發明說明（23）

(STI) 2。藉由將例如氧化矽膜埋入在基板 1S 之主表面上形成之穿圳中而形成絕緣穿圳 2。亦在基板 1S 之主表面側上形成 p 型井 PWL 與 n 型井 NWL。於 p 型井 PWL 引入硼，而於 n 型井 NWL 引入磷。在絕緣穿圳 2 所納之 p 型井 PWL 與 n 型井 NWL 之主動區中，分別形成 nMISQn 與 pMISQp。

nMISQn 與 pMISQp 之閘極絕緣膜 3 厚約 6 奈米。此處採用之“膜厚度”係指二氧化矽之膜厚度，一般均與實際膜厚度不符。閘極絕緣膜 3 可由氮氧化矽膜，而非氧化矽膜形成。換言之，可能於閘極絕緣膜 3 與基板 1S 介面處導致氮之分離。因採用氮氧化矽膜，故可改善閘極絕緣膜 3 之熱載子電阻，導致介電崩潰強度之改善。此外，與氧化矽膜相較，於基板 1S 側採用氮氧化矽膜較不易為閘極材料中之雜質穿透，故得以抑制因擴散導致之臨限電壓變動。可於諸如 NO、NO₂ 或 NH₃ 等含氮氣體中，對基板 1s 熱處理而形成氮氧化矽膜。

藉由在低電阻多晶矽膜上堆疊鈦矽化物 (TiSi_x) 層或鈷矽化物 (TiSi_x) 層，而形成 nMISQn 與 pMISQp 之閘極 4。閘極結構不以上述為限，可為低電阻多晶矽膜、氮化鎢 (WN) 膜與鎢 (W) 膜之薄片膜形成之所謂的多金屬閘極結構。在閘極 4 兩側表面上，形成氧化矽製之側壁 5。

nMISQn 之源極與汲極之半導體區 6 具與通道相鄰之 n⁻型半導體區，及連接至 n⁻型半導體區且配置離開通道 n⁻型半導體區間隔之 n⁺型半導體區。將磷與鎵引入 n⁻型半導體區與 n⁺型半導體區中。換言之，pMISQp 之源極與汲極之半導體區 7 具與通道相鄰之 p⁻型半導體區，及連接至 p⁻型半導體區且配置離開

五、發明說明（24）

通道 p^- 型半導體區間隔之 p^+ 型半導體區。將硼引入 p^- 型半導體區與 p^+ 型半導體區中。在半導體區 6、7 之部分上表面上，形成鈦矽化物層或鈷矽化物層。

於基板 1S 上沉積絕緣膜 8。絕緣膜 8 係由例如硼摻雜磷矽玻璃（BPSG）等膜製成，其所具再流動性質高到足以填充閘極 4 中之窄空間。絕緣膜 8 可為以旋轉塗佈形成之玻璃上旋轉（SOG）。自接觸孔 9 底部起，部分暴露半導體區 6 或 7 之上表面（矽化物層表面）。在接觸孔 9 中，形成栓 10。栓 10 係以 CVD 沉積氮化鈦（TiN）膜與鎢（W）於絕緣膜 8（包含接觸孔內）上，並以 CMP 或蝕回在絕緣膜 8 之非必要氮化矽膜與鎢膜而形成，藉以僅留下接觸孔 9 內之膜。

在絕緣膜 8 上形成例如鎢製之第一層互連結 L1。第一層互連結 L1 經栓 10 電氣互連結至 nMISQn 或 pMISQp 之閘極 4 或源極/汲極之半導體區 6 或 7。不僅鎢膜可做為第一層互連結 L1，其它膜亦可。例如諸如鋁（Al）或鋁合金等簡單基板之膜，或利用諸如鈦（Ti）或氮化鈦（TiN）等金屬膜形成薄片金屬膜，做為上述基板之膜之上下層。

在絕緣膜 8 上沉積絕緣膜 11a，以覆蓋第一層互連結 L1。絕緣膜 11a 係由諸如有機聚合物或有機矽土玻璃等低介電常數材料（所謂的低-K 絕緣膜、低-K 材料）製成。有機聚合物之實例包含“SiLK”（美國 Dow Chemical CO. 產品，特定介電常數：2.7、熱阻溫度：490℃或更高、介電崩潰強度：4.0 至 5.0MV/Vm），及“FLARE”，聚烯丙基乙醚（PAE）系列材料（美國 Honeywell Electronic Materials 產品，特定介電常數：

五、發明說明 (25)

2.8、熱阻溫度：400℃或更高)。此 PAE 材料具高基本性能及優良力學強度、熱穩定度與成本表現。有機矽土玻璃 (SiOC 材料) 實例包含 "HSG-R7" (美國 Applied Materials 產品，特定介電常數：2.8、熱阻溫度：650℃)、"Black Diamond" (美國 Applied Materials 產品，特定介電常數：3.0 至 2.4、熱阻溫度：450℃)，及 "p-MTES" (Hitachi Kaihatsu 產品，特定介電常數：3.2)。此外，"CORAL" (美國 Novellus Systems, Inc. 產品，特定介電常數：2.7 至 2.4、熱阻溫度：500℃)，及 "Aurora 2.7" (Nippon ASM 產品，特定介電常數：2.7、熱阻溫度：450℃) 可為另一 SiOC 系列材料之實例。

亦適於供絕緣膜用之低介電常數材料為 FSG (SiOC 系列材料)、HSQ 系列材料、MSQ 系列材料、多孔 HSQ 系列材料、多孔 MSQ 系列材料及多孔有機材料。HSQ 系列材料之特定實例包含 "OCD T-12" (Tokyo Ohka Kogyo Co., Ltd. 產品，特定介電常數：3.4 至 2.9、熱阻溫度：450℃)、"FOx" (美國 Dow Corning Corp. 產品，特定介電常數：2.9) 及 "OCL T-32" (Tokyo Ohka Kogyo 產品，特定介電常數：2.5、熱阻溫度：450℃)。MSQ 系列材料之特定實例包含 "OCD T-9" (Tokyo Ohka Kogyo 產品，特定介電常數：2.7、熱阻溫度：600℃)、"LKD-T200" (JSR 產品，特定介電常數：2.7 至 2.5、熱阻溫度：450℃)、"HOSP" (美國 Honeywell Electronic Materials 產品，特定介電常數：2.5、熱阻溫度：550℃)、"HSG-RZ25" (Hitachi Chemical 產品，特定介電常數：2.5、熱阻溫度：650℃)、"OCL T-31" (Tokyo Ohka

五、發明說明（26）

Kogyo 產品，特定介電常數：2.3、熱阻溫度：500℃），及“LKD-T400”（JSR 產品，特定介電常數：2.2 至 2、熱阻溫度：450℃）。多孔 HSQ 系列材料之實例包含“XLK”（美國 Dow Corning Corp.產品，特定介電常數：2.5 至 2）、“OCL T-72”（Tokyo Ohka Kogyo Co., Ltd.產品，特定介電常數：2.2 至 1.9、熱阻溫度：450℃）、“Hanoglass”（美國 Honeywell Electronic Materials 產品，特定介電常數：2.2 至 1.8、熱阻溫度：500℃或更高），及“MesoELK”（美國 Air Products and Chemicals, Inc.產品，特定介電常數：2 或更低）。多孔 MSQ 系列材料之實例包含“HSG-6211x”（Hitachi Chemical 產品，特定介電常數：2.4、熱阻溫度：650℃）、“ALCAP-S”（Asahi Kasei Kogyo 產品，特定介電常數：2.3 至 1.8、熱阻溫度：450℃）、“OCL T-77”（Tokyo Ohka Kogyo 產品，特定介電常數：2.2 至 1.9、熱阻溫度：600℃）、“HSG-6210X”（Hitachi Chemical 產品，特定介電常數：2.1、熱阻溫度：650℃），及“silica aerogel”（Kobe Steel 產品，特定介電常數：1.4 至 1.1）。多孔有機材料實例包含“PolyELK”（美國 Air Products and Chemicals, Inc.產品，特定介電常數：2 或更低、熱阻溫度：490℃）。上述 SiOC 系列材料或 SiOF 系列材料係由例如化學蒸氣沉積（CVD）形成。例如：上述“Black Diamond”係採用三甲基矽烷與氧氣之氣體混合物，以 CVD 形成，而上述“p-MTES”則係採用甲基三乙氧基矽烷與 N₂O 之氣體混合物，以 CVD 形成。其它低介電常數絕緣材料則係由例如塗佈方法形成。

五、發明說明（27）

自此低-K 材料製成之絕緣膜 11a 上沉積絕緣膜 12a，供做低-K 罩。此絕緣膜 12a 係由例如矽氧化物（ SiO_x ）（代表物為二氧化矽（ SiO_2 ））膜製成，在化學力學拋光（CMP）後，並具維持力學強度、保護表面與維持絕緣膜 11a 之抗濕氣之功能。絕緣膜 12a 較絕緣膜 11a 薄，且其厚度約為例如 25 至 100 奈米，較佳約 50 奈米。絕緣膜 12a 不以矽氧化物膜為限，可為其它膜。例如可採用氮化矽（ Si_xN_y ）膜、碳化矽（ SiC ）膜或碳氮化矽（ SiCN ）膜。可利用電漿 CVD 形成這些氮化矽膜、碳化矽膜與碳氮化矽膜。"BLOK"（AMAT 產品，特定介電常數：4.3）係以電漿 CVD 形成之碳化矽。為形成之，採用三甲基矽烷與氮（或 N_2 或 NH_3 ）之氣體混合物。在這些絕緣膜 11a 與 12a 中，製做使部份第一層互連結 L1 暴露在外之穿孔 13。在此穿孔 13 中，埋入以例如鎢製之栓 14。

首先，在此實施例中，以電漿 CVD 沉積絕緣膜 15a 於上述絕緣膜 12a 與栓 14 上。絕緣膜 15a 係以例如電漿 CVD 形成之氮化矽膜製成，且其厚度為例如約 25 至 50 奈米，較佳約 50 奈米。絕緣膜 15a 之附加實例可包含單基板之膜，諸如以電漿 CVD 形成之碳化矽膜、以電漿 CVD 形成之 SiCN 膜，及以電漿 CVD 形成之氮氧化矽（ SiON ）膜。與採用氮化矽膜者相較，採用這些膜可大幅降低介電常數，藉以降低半導體裝置之互連結電容，並改善其操作速度。當以電漿 CVD 形成碳化矽膜時，可以"BLOK"（AMAT 產品）為一實例。用於膜形成之氣體係如上述。為形成 SiCN 膜，採用氮（ He ）、氮（ NH_3 ）與三甲基矽烷（3MS）之氣體混合物。當以電漿 CVD 形成氮氧

五、發明說明（28）

化矽膜時，可以“PE-TMS”（Canon 產品，特定介電常數：3.9）為一實例。檔採用上述氮氧化矽膜時，膜厚度為例如約 25 至 50 奈米，較佳約 50 奈米。為形成之，採用三甲基氧矽烷（TMS）與氧化氮（ N_2O ）之氣體混合物。

- 5 而後依序沉積絕緣膜（第一絕緣膜）11b 與絕緣膜 12b 於絕緣膜 15a 上。絕緣膜 11b 與絕緣膜 11a 係由介電常數相同之絕緣膜製成。在絕緣膜 11b 上之絕緣膜 12b 係由供絕緣膜 12a 用之相同絕緣膜及與該處類似者製成，做為低-K 罩絕緣膜之用。以光阻膜為罩，利用乾蝕刻移除絕緣膜 11b、12b 較佳，
- 10 藉此形成互連結穿圳（互連結開孔）16a（圖 5 中之步驟 100）。藉由調整使絕緣膜 11b、12b 之蝕刻選擇率高於絕緣膜 15a 而形成互連結穿圳 16a，藉以賦予絕緣膜 15a 蝕刻阻體之功能。特別述之，一到絕緣膜 15a 表面即停止蝕刻，接著以選擇性蝕刻移除絕緣膜 15a。故得以改善形成互連結穿圳 16a 後
- 15 之深度之精確度，並避免對互連結穿圳 16a 過度蝕刻。如圖 6 所示，此互連結穿圳 16a 具類帶狀平面外型，且自互連結穿圳 16a 底部露出栓 14 之上表面。

- 圖8係在圖7之後之製造步驟中，對應於圖6之線X1-X1之部份半導體裝置之局部剖面圖；而圖9係在圖8之後之製造步驟
- 20 中，對應於圖6之線X1-X1之部份半導體裝置之局部剖面圖。

如圖8所示，以濺鍍或類似方法（圖5中之步驟101），將由例如氮化鈦（TiN）製且厚度約50奈米之薄傳導障壁膜（第一導體膜）17a沉積於整個基板1S之主表面上。此傳導障壁膜17a具避免銅（供形成導體膜之用，稍後述之）擴散之功用；

五、發明說明（29）

改善主導體膜對絕緣膜11b、12a、12b與15a之黏著之功用；
及改善銅在主導體膜再流動後之濕潤之功用。以耐熱金屬氮化物（諸如幾乎不與銅反應之氮化鎢（WN）或氮化鉭（TaN）較佳）取代氮化鈦做為此傳導障壁膜17a。取代氮化鈦，採用添
5 加矽（Si）之耐熱金屬氮化物或諸如鉭（Ta）、鈦（Ti）、鎢（W）、鎢化鈦（TiW）合金等不易與銅反應之耐熱金屬等材料。依實施例1，即使傳導障壁膜17a厚度縮減至例如10奈米，或6至7奈米，甚至5奈米或更小，亦可獲得良TDDDB特性。

接著沉積相對厚（厚度為例如約800至1600奈米）之銅製
10 主導體膜（第二導體膜）18a於傳導障壁膜17a上（圖5中之步驟101）。在此實施例1中，以例如鍍製法形成主導體膜18a。因採用鍍製法，故可以低成本形成具良膜品質及良填充性質之主導體膜18a。在此情況下，先以濺鍍沉積銅製之薄導體膜於傳導障壁膜17a上，接著以電鍍或無電鍍製於其上長成較厚之銅
15 製導體膜，藉以沉積主導體膜22a。為鍍製之故，採用以銅硫酸鹽為主成分之鍍製溶液。或者，可以濺鍍形成主導體膜18a。在以濺鍍形成傳導障壁膜17a與導體膜18a上，可採用慣常採用之濺鍍，但採用諸如長擲濺鍍或視準濺鍍等高方向性濺鍍，以改善填充性質及膜品質較佳。亦可以CVD形成主導體膜
20 18a。接著，在非氧化空氣中（例如氫氣），約475℃下，以對基板1S之熱處理導致主導體膜18a之再流動，藉以使銅密集填充於互連結穿圳16a中。

接著以CMP對主導體膜18a與傳導障壁膜17a拋光（圖5中之步驟102）。慣用之具研磨料CMP處理在此亦適用，但在實施

五、發明說明（30）

例1中，CMP包括兩步驟，亦即採用上述無研磨料CMP（第一步驟）與具研磨料CMP（第二步驟）。以下將更特別描述此CMP處理。

5 第一步驟目的在對銅製之主導體膜18a較佳拋光。拋光溶液（泥漿）包含供形成保護膜用之抗蝕劑、銅之氧化劑，及銅之氧化物膜之蝕刻成分，但大致上以無研磨料較佳。拋光溶液之研磨料成分之重量百分比為0.5% 或更低，較佳為0.1% 或更低，尤其為0.05% 或更低，更佳為0.01% 或更低。但可將延磨料摻入拋光劑中，約佔其總量之3至4%。將拋光溶液汁pH值調
10 整至銅之侵蝕範圍。此外，調整其組成，使得主導體膜18a相對於傳導障壁膜17a之拋光選擇率為例如至少5。此拋光溶液之一實例中，泥漿具氧化劑及有機酸。氧化劑之實例包含過氧化氫（ H_2O_2 ）、氨水、氯化氨及氯氧化氨，而有機酸則包含檸檬酸、丙二酸、反丁烯二酸、蘋果酸、己二酸、安息香酸、磷苯二甲酸、酒石酸、乳酸、琥珀酸及草酸。在上述中，過氧化氫
15 係適於拋光溶液用之氧化劑，因為其無金屬成分且非強酸。檸檬酸係適於拋光溶液用之氧化劑，因為其係常見之食物添加物、具低毒性、棄置時無害、無味，且在水中溶解率高。在此實施例中，所採用之拋光溶液係藉由添加體積百分比5% 之過
20 氧化氫及重量百分率0.03% 之檸檬酸於純水中而得，藉以調整研磨料含量至重量百分率低於0.01%。採用之抗蝕劑實例為BTA。

第一步驟之無研磨料CMP對主導體膜18a之拋光，主要係藉由化學因子為之，同時導致主導體膜18a之保護作用及蝕刻

五、發明說明（31）

作用。當化學力學以上述拋光溶液施行拋光時，銅表面先為氧化劑氧化，並於其表面形成薄氧化物層。接著為可水解氧化物之物質，藉以分解氧化物層並呈水溶液狀態。氧化物層厚度降低。氧化物層之薄化部份復暴露於氧化物質且厚度增加。如上述反應重複進行化學力學拋光。藉由與拋光墊之接觸而移除保護膜。此無研磨料拋光溶液之化學力學拋光，特別述於本申請案之發明人申請之日本專利申請案第299937/1997與317233/1998號。

在第一步驟後之第二步驟目的在對傳導障壁膜17a較佳拋光。此第二步驟對傳導障壁膜17a之拋光，主要係藉由與拋光墊接觸之力學因子為之。此處採用之拋光溶液包含上述抗蝕劑、上述氧化劑及氧化物膜之蝕刻成分，並具研磨料。在實施例1中，所採用之拋光溶液係藉由添加體積百分比5%之過氧化氫、重量百分率0.03%之檸檬酸及重量百分率0.5至0.8%之研磨料於純水中而得，但不以之為限。研磨料量主要以不使下方絕緣膜12b為度。其量設定為例如重量百分率1%或更低。採用例如膠狀矽土（ SiO_2 ）為研磨料。採用膠狀矽土可大幅降低CMP對絕緣膜12b之拋光錶面之損害，藉以達成無刮傷拋光。亦可以礬土（ Al_2O_3 ）取代膠狀矽土做為研磨料。與第一步驟相較，第二步驟中採用之氧化劑量較少，亦即拋光溶液中之抗蝕劑量相對增加。在主導體膜18a相對於傳導障壁膜17a之拋光選擇率較上述無研磨料CMP低之條件下施行拋光，例如選擇率為3或更低。在第二步驟之此條件下之拋光，可強化對銅製之主導體膜18a之保護，同時抑制其氧化，故可避免主導體膜18a之

五、發明說明（32）

過渡拋光或避免對其造成挫傷或侵蝕。結果即可抑制或避免互連結電阻之增加或變動，導致半導體裝置性能改善。

如圖9所示，藉此CMP處理，在互連結穿圳16a中形成嵌入第二層互連結（互連結）L2。嵌入第二層互連結L2具相對薄傳導障壁膜17a與相對厚主導體膜18a，並經栓14與第一層互連結L1電氣連接。依此實施例1，採用上述CMP拋光形成嵌入第二層互連結L2，可大幅減少CMP對絕緣膜12b之拋光表面之損害，並達成上述無刮傷拋光。在上述實例中，沉積絕緣罩絕緣膜12b於低-K材料製之絕緣膜11b上。依此實施例之CMP可達成無刮傷拋光，故無需配置絕緣罩絕緣膜（例如絕緣膜12b）。簡言之，可將絕緣膜11b暴露於CMP。在本申請案之發明人申請之日本專利申請案第2001-316557號（2001.10.15提出）等中，揭示低-K無障壁技術。

基板1S之表面拋光後，接著歷經抗蝕處理。此抗蝕處理部，與建構拋光處理部類似。在此抗蝕處理部中，基板之主表面壓倚於拋光墊（附接於一平台表面）。在拋光泥漿之力學移除後，將具諸如苯三氮二烯伍圓（BTA）等抗蝕劑之化學物溶液饋送至基板1S之主表面，藉以於在基板1S之主表面上形成之銅互連結之表面部分上形成拒水性保護膜。經抗蝕處理後之基板1S暫時儲存於沉浸處理部中，以避免表面變乾。此沉浸處理部維持所得抗蝕基板1S表面濕潤直到清洗後。例如設計此部以儲存預定數量之基板1S為沉浸於溢滿純水之沉浸槽（儲存槽）之型式。此時，以冷卻至溫度低到足以大致避免嵌入第二層互連結L2進行電化學侵蝕反應之純水饋送於沉浸槽，更可確保嵌

五、發明說明（33）

入第二層互連結L2免受侵蝕。避免基板變乾之方法不以上述為限，亦即儲存於沉浸槽中，但至少盡量維持基板1S表面濕潤，例如另一方法係以純水浴饋送至基板。可將此沉浸處理部（基板儲存部）設計為具高阻礙結構，以避免基板1S表面在儲存期間暴露於照明光線下。故得以避免因光電效應產生短路電流。對此CMP處理與裝置之描述，見於例如本發明人之日本專利申請案第226876/1999與2000-300853號。

接著，施行CMP後清洗步驟，同時維持基板1S表面濕潤。首先，使基板1S歷經鹼性清洗。此處理目的在移除外來物質，諸如CMP處理後之泥漿。在CMP期間附著於基板1S之酸性泥漿被中和，而於基板1之異電（zeta）電位方向中配置外來物質及清洗刷。為消除其間之吸附力，於基板1之表面施行擦洗（或刷洗），同時供應弱鹼性溶液至該處，例如pH接近8或更高者。

圖 10 係在圖 9 之後之製造步驟中，對應於圖 5 之線 X1-X1 之部份半導體裝置之局部剖面圖。此處之基板 1S（尤其是暴露出嵌入第二層互連結 L2 之 CMP 表面）歷經還原處理。特別述之，基板 1S（尤其是 CMP 表面）經過熱處理，例如在氫氣中，200 至 475°C 下（較佳為 300°C），0.5 至 5 分鐘（較佳約 2 分鐘）（氫氣（H₂）退火處理，圖 5 中之步驟 103）。對銅而言，此處理可減少 CMP 後在嵌入第二層互連結 L2 表面上形成銅氧化物膜，藉以抑制或避免嵌入第二層互連結 L2 為後續之酸性清洗蝕刻。結果即可同時抑制與避免互連結電阻之增加、互連結電阻之變動及步階差之發生與蝕刻侵蝕之發生。無

五、發明說明（34）

此還原處理，在 CMP 處理後，諸如 BTA 等有機物質即會黏著於基板 1S 表面，成為清洗後之罩，並擾亂絕緣膜 12b 表面層之平滑蝕刻。但藉由實施例 1 中之還原處理，即可移除在 CMP 處理後，諸如 BTA 等有機物質之黏著，而充分且均勻地
5 移除絕緣膜 12b 表面層。藉此還原處理，即可明顯改善半導體裝置之 TDDDB 生命期。上述氫氣退火特別適用於以鍍製形成之銅系列主導體膜之嵌入互連結。此類氫氣退火處理會導致鍍製形成之銅之再結晶，使得互連結電阻下降。此外，氫氣退火處理可抑制或避免罩膜因熱應力而剝落。但在某些情況下無需氫
10 氣退火處理。此氫氣退火處理可於 CMP 後清洗處理（包含酸性清洗及稍後將描述之烘乾）後，但在稍後將描述之電將處理前施行。

接著施行基板 1S 之酸性清洗。其目的在改善 TDDDB 特性、移除殘餘金屬、減少在絕緣膜 12b 表面上之懸浮鍵、移除
15 絕緣膜 12b 表面上不均勻處等。將氫氟酸溶液饋送至基板 1S 表面，以移除因蝕刻導致之外來粒子。僅需加入氫氟酸清洗即可改善 TDDDB 特性，其係因以酸處理移除表面受損層而使介面處之黏著改善所致。接著以旋轉烘乾機將基板 1S 烘乾，並供後續步驟之用。

20 在上述實例中，描述以下列順序施行之鹼性清洗處理、還原處理及酸性清洗處理。與鹼性清洗-酸性清洗序列相較，以約 2 圖表可獲得 TDDDB 特性之改善。處理序列可變，不以上述為限。例如：施行 CMP 處理及後續之還原處理，接著依序以鹼性清洗處理與酸性清洗處理做為清洗後處理。或可採用鹼性清

五、發明說明（35）

洗處理、還原處理及酸性清洗處理序列。僅由酸性清洗即可改善 TDDb 特性。在上述 CMP 後清洗處理時或之前，基板 1S 表面可經過純水擦洗、純水超音波清洗、流動純水清洗或純水旋轉清洗；或者基板 1S 背表面可經過純水擦洗。清洗方法、
5 氮氣退火方法及這些處理之序列之作用或效果之細節述如本申請案之發明人申請之日本專利申請案第 2001-131941 號（2001.4.27 提出）。

在乾處理晶圓 1W 後，接著將其載入電漿強化 CVD 系統中形成互連結罩絕緣膜。電漿強化 CVD 系統並無特殊限制，但
10 在此實施例中，採用者係二極體平行板電漿強化 CVD 系統。

在此實施例1中，晶圓1W被撐托於電漿強化CVD系統之處理腔中，並經熱處理，同時饋送氮氣（N₂）至裝置中。換言之，晶圓1W之主表面（CMP表面）於氮氣流動氣體中經過退火處理。藉由此處理，嵌入第二層互連結L2之主導體膜18a之上表面（CMP表面，第一表面），尤其是接觸部（上角落）即
15 為傳導障壁膜17a所環繞（圖5中之步驟104）。圖11係在此類環繞處理後之半導體裝置製造步驟中，對應於圖6之線X1-X1部份之剖面圖；而圖12則係圖11之局部放大剖面圖。依實施例1，嵌入第二層互連結L2中之主導體膜18a之CMP表面側上之上角落凹陷，並形成圓錐形體。換言之，所形成在CMP側上之主導體膜18a之剖面外型與圖11或12中之上部處之傳導障壁膜17a之距離較大。在主導體膜18a之上角落處之圓錐形體大小為互連結穿圳16a之高度與寬度所界定（尤其為法線之梯度所界定）。圓錐形體之寬度（在與主導體膜18a之上表面水平方向上
20

五、發明說明（36）

之寬度）較閘極絕緣膜3之厚度高。

在此熱處理期間，在氮氣中，其上置放晶圓1W之載體之溫度溫度約360至400℃。施行熱處理例如1分鐘。當將此熱處理期間之壓力相對設高時，即易於環繞主導體膜18a。可以氮氣
5 做為處理氣體，但若採用氮氣，可於相對低溫範圍內形成良圓錐形體。如圖12所示，在嵌入第二層互連結L2之側壁上形成在向上方向之互連結寬度較寬之錐形體。嵌入第二層互連結L2之側表面與絕緣膜11a之上表面間形成之角度 α 範圍自80至90°，更特別言之，曰88.7°。在嵌入第二層互連結L2之上側上之寬
10 度（互連結穿圳16a之上側寬度），以及在兩相鄰嵌入第二層互連結間之上側上之距離（兩相鄰嵌入第二層互連結L2之上角落間距）為例如0.25微米或更小，或0.2微米或更小。兩相鄰嵌入第二層互連結L2間之最小間距為例如0.5微米或更小。互連結穿圳16a之方位比約為1。

15 接著將氮氣自電漿強化CVD系統之處理腔中排出並藉由關閉電源而停止電漿供應。接著晶圓1W歷經如下述之還原電漿處理（圖5中之步驟105）。圖13與14分別係在還原電漿處理期間，對應於圖5之線X1-X1之部份晶圓1W之剖面圖。

20 在饋送氮氣至電漿強化CVD系統之處理腔後，藉由施加電漿電力，使基板1S（尤其是暴露出嵌入第二層互連結L2之CMP表面）歷經氮氣電漿處理，如圖13所示。例如對直徑8英吋（約200毫米）之基板1S施行氮電漿處理，其施行條件如下：5.0陶爾（ $=6.6661 \times 10^2$ 帕斯卡）處理壓力，600瓦特射頻（RF）功率，400℃基板溫度，500立方公分/分鐘氮氣流速，

五、發明說明 (37)

及10至30秒之處理時間。設定電極對電極距離於600密爾(15.24毫米)。對處理而言，採用僅由氫(H)組成之氣體或氫(H)與氮(N)之氣體混合物。

如本發明人申請之日本專利申請案第226876/1999及2000-5 300853號，此氫電漿處理具有機物質之高移動容量(與稍後即將描述之氮電漿處理相較較高)，故幾可完全移除CMP後，在泥漿中所含BTA及泥漿成份；供CMP後清洗用之有機酸；及處理期間產生之有機殘餘物，藉以降低介面處之漏電流。結果即可進一步改善TDDB生命期。

10 將氮氣自電漿強化CVD系統之處理腔中排出並關閉電漿電源後，藉由饋送氮氣至電漿強化CVD系統之處理腔並使腔與空氣隔絕且施加電漿電力，使基板1S表面(暴露出嵌入第二層互連結L2之CMP表面)歷經氮(NH₃)電漿處理。例如對直徑8英吋(約200毫米)之基板1S施行氮電漿處理，其施行條件如下：約0.5至1.0陶爾(=66.6612至133.332帕斯卡)處理壓力，供應約500至1000瓦特功率至電漿處理裝置之上電極，供應約0至1000瓦特(0較佳)功率至電漿處理裝置之下電極，約15 300至400℃基板溫度，500至1500立方公分/分鐘氮氣流速，及5至60秒之處理時間。設定電極對電極距離於300至600密爾20 (7.62至15.24毫米)。

藉此氮電漿處理，可將CMP後在氧化之銅互連結表面上之銅氧化物(CuO、CuO₂)還原為銅(Cu)，此外，並在嵌入第二層互連結L2之上表面(顯著窄區)上形成氮化銅(CuN)層，以避免銅於設定流動後之矽化。在互連結間之絕緣膜12b

五、發明說明（38）

之上表面（顯著窄區）上形成SiN或SiH，持續補償絕緣膜12b表面上之懸浮鍵，亦得以改善稍後即將描述之單絕緣膜與嵌入第二層互連結L2或絕緣膜12b間之黏著，並降低經過介面之漏電流。此舉亦可帶來TDDDB生命期之改善。

- 5 藉由依序施行氫電漿處理與氮電漿處理，即可還原主要由銅組成之嵌入第二層互連結L2之表面；形成矽化物障壁層；清洗絕緣膜12b之介面；及導致SiH或SiN效應。故可進一步改善可靠性。本發明人已揭示藉由沉積氮化矽膜（以電漿CVD形成）於氧化矽膜（以電漿CVD，利用例如四甲基氧矽烷
- 10 （TEOS）氣體）上，並接著施行氫電漿處理與氮電漿處理之組合，形成內層絕緣膜所得之樣本，顯示之TDDDB生命期與僅經過氮電漿處理之樣本相較，有約兩位數之改善。本發明之測試亦揭示即使採用上述SiLK做為內層絕緣膜，當採用氫電漿與氮電漿組合時，在約0.13至0.17Mv/cm之操作環境下10年，亦
- 15 可達成充分之可靠性。

- 注意，當然還原電漿處理條件不以上述為限。依本發明人之研究，電漿損害會隨壓力之增加而減低，同時亦可降低基板中TDDDB生命期之變動，並隨基板溫度之增加而延伸TDDDB生命期。此外，已發現到在銅表面上，易隨基板溫度、RF功率及處理時間之增加而導致小丘。在視裝置結構之條件下考量這些發現與變動，可將還原電漿處理條件設定如次：約0.5至6陶爾（ $=0.66661 \times 10^2$ 至 7.99932×10^2 帕斯卡）處理壓力，供應約500至1000瓦特功率至電漿處理裝置之上電極，300至600瓦特RF功率，350至450℃基板溫度，50至1000立方公分/分鐘氫氣流
- 20

五、發明說明（39）

速，20至500立方公分/分鐘氮氣流速，及5至180秒之處理時間，及150至1000密爾（3.81至25.4毫米）之電極對電極距離。

在上述實例中，氫電漿處理之後為氮電漿處理。其順序並不以之為限，可採用各種改良。例如在氮電漿處理後，可持續施行氫電漿處理，同時維持真空狀態。或可僅施行氮電漿處理做為還原處理。在此類情況下，亦可改善TDDb生命期。

在上述實例中，圓錐形體形成步驟後為還原電漿處理。以此順序施行這些處理，即可藉由在主導體膜18a表面上之還原電漿處理維持穩定效應。或可於還原電漿處理後形成圓錐形體。或可於氫電漿處理後接著為氮電漿處理，形成圓錐形體。可同時施行還原處理及圓錐形體形成。當同時施行還原處理與圓錐形體形成時，載體溫度（近乎表示晶圓1W溫度）為例如約350至400℃，處理時間為例如1至3分鐘，較佳約2分鐘。

將氮氣自電漿強化CVD系統之處理腔中排出並關閉電漿電源後，即施行設定流動（圖5中之步驟106），接著以電漿CVD沉積互連結罩絕緣膜於晶圓1W之主表面上（圖5中之步驟107）。圖15係沉積互連結罩絕緣膜（第二絕緣膜，稍候將成為第一絕緣膜）後，對應於圖5之線X1-X1之部份晶圓1W之剖面圖。絕緣膜15b與未加工材料及絕緣膜15a之厚度類似。

上述設定流動亦稱之為“穩定化”，其主要係為在形成互連結罩絕緣膜之前，提高膜形成穩定度之預備步驟。在此設定流動後接著為膜形成。特別述之，將載運氣體饋送至電漿強化

五、發明說明（40）

CVD 之處理腔後數十秒，即在未停止載運氣體流動下，將處理氣體饋送至處理腔。維持在此狀態數秒後（設定流動），即藉由施加電漿電源而開始膜形成處理。為自氮化矽膜形成絕緣膜 15b，在設定流動後即利用氮氣做為載運氣體，並以氮氣（NH₃）與矽烷氣體（SiH₄）做為處理氣體。為自碳化矽膜形成絕緣膜 15b，在設定流動後即利用氦氣（He）做為載運氣體，並以三甲基矽烷氣體（3MS）做為處理氣體。為自 SiCN 形成絕緣膜 15b，在設定流動後即利用氮氣（He）做為載運氣體，並以氮氣（NH₃）與三甲基矽烷氣體（3MS）做為處理氣體。為自氮氧化矽氣體形成絕緣膜 15b，在設定流動後即以三甲基氧矽烷氣體（TMS）與氧化氮（N₂O）做為處理氣體。

圖 16 係在圖 15 之後之製造步驟中，半導體裝置之局部剖面圖，而圖 17 則係沿圖 16 之線 X2-X2 之剖面圖。在此闡釋嵌入第三層互連結（互連結）L3。在互連結罩絕緣膜 15b 上沉積絕緣膜（第一絕緣膜）11c。絕緣膜 11c 之材料及形成方法與採用上述低-K 材料之絕緣膜 11a、11b 類似。在絕緣膜 11c 上沉積絕緣膜（第一絕緣膜）12c。絕緣膜 12c 之材料、形成方法及功能與絕緣膜 12a、12b 類似。在絕緣膜 12c 上沉積絕緣膜 15c。絕緣膜 15c 之材料、形成方法及功能與絕緣膜 15a、15b 類似。在絕緣膜 15c 上沉積絕緣膜（第一絕緣膜）11d。絕緣膜 11d 之材料、形成方法及功能與絕緣膜 12a 至 12c 類似。依此實施例 1，以上述低介電常數材料形成複數個互連結層之絕緣膜，得以降低整體互連結電容，故可改善具銅系列嵌入互連結結構之半導體裝置之操作速度。

五、發明說明（41）

在這些絕緣膜 15c、11d、12d 中，自上觀之，所形成之互連結穿圳（互連結開孔）16b 為帶狀。在此互連結穿圳 16b 中，埋入構成嵌入第三層互連結 L3 之傳導障壁膜 17b 與主導體膜 18b。在絕緣膜 15b、11c、12c 中，自上觀之，所形成之

5 穿孔（互連結開孔）19 大致為圓形，且自互連結穿圳 16b 之底表延伸至嵌入第二層互連結 L2 之上表面。嵌入第三層互連結 L3 經埋於穿孔 19 中之傳導障壁膜 17b 與主導體膜 18b 電氣互連結至嵌入第二層互連結 L2。此嵌入第三層互連結 L3 係以雙波紋法形成。特別述之，於絕緣膜 15c、11d、12d 中形成

10 互連結穿圳 16b，並於絕緣膜 15b、11c、12c 中形成穿孔 19 後，即依序沉積傳導障壁膜 17b 與主導體膜（第二導體膜）18b。換言之，同時埋入互連結穿圳 16b 與穿孔 19 及傳導障壁膜 17b 與主導體膜 18b。以與嵌入第二層互連結 L2 之傳導障壁膜 17a 與主導體膜 18a 類似方法，沉積傳導障壁膜 17b 與

15 主導體膜 18b。傳導障壁膜 17b 與主導體膜 18b 之材料亦與傳導障壁膜 17a 與主導體膜 18a 類似。如同嵌入第二層互連結 L2 之形成，以 CMP 將傳導障壁膜 17b 與主導體膜 18b 拋光後，以與形成嵌入第二層互連結 L2 時採用之類似步驟，形成嵌入第三層互連結 L3。嵌入第三層互連結 L3 與嵌入第二層互

20 連結 L2 類似，在其上角落處具圓錐形體。在絕緣膜 12d 與嵌入第三層互連結 L3 上，沉積互連結罩絕緣膜（第二絕緣膜，其稍後可為第一絕緣膜）15d。此絕緣膜 15d 與絕緣膜 15a、15b 類似。

圖 18 係嵌入第二層互連結 L2 或嵌入第三層互連結 L3 之

五、發明說明（42）

局部放大剖面圖。依此實施例，嵌入第二層互連結 L2 或嵌入第三層互連結 L3 之主導體膜 18a 或 18b 之上角落處具圓錐形體。故得以舒緩施加於與其上角落對應之部分主導體膜 18a 或 18b（鄰近傳導障壁膜 17a 或 17b）之電場。根據本發明人之研究，對應於主導體膜 18a 或 18b 之上角落處部分之電場 E1 對傳導障壁膜 17a 或 17b 之上角落部分之電場 E2 之比可控制為 1:2。換言之，對應於主導體膜 18a 或 18b 之上角落處部分之電場強度可降至傳導障壁膜 17a 或 17b 之上角落之電場強度的一半。此外，可維持具高擴散係數之銅製之主導體膜 18a 或 18b 與絕緣膜 12b 或 12d（其中易形成漏電流徑）之 CMP 表面（第二表面）之距離。故得以抑制或避免兩相鄰嵌入第二層互連結 L2、L2 或兩相鄰嵌入第三層互連結 L3、L3 間形成漏電流徑。因而改善 TDDB 生命期。

（實施例 2）

圖 19 係依本發明之另一實施例之半導體裝置之製造步驟流程圖。在此實施例 2 中，如圖 19 所示，在設定流動步驟 106 中，形成嵌入互連結之主導體膜之圓錐形體。特別述之，當互連結罩絕緣膜係由氮化矽膜、碳化矽膜、SiCN 膜或氮氧化矽膜製成時，在饋送設定流動之處理氣體前，先饋送諸如氮氣或氮氣等載運氣體。而將開始饋送載運氣體至開始饋送處理氣體之時間，設定較慣常設定流動長，在僅引入載運氣體期間施行退火，並將階段溫度設定如實施例 1 中所述溫度，晶圓 1W 歷經與實施例 1 之圓形成步驟中所述類似之退火處理，藉以於嵌入互連結之主導體膜 18a 或 18b 之上角落處形成圓錐形體。在

五、發明說明（43）

此情況下，未加入圓錐形體形成步驟，故得以簡化製造過程，並促進製造時間之縮短。除上述步驟外，此實施例概與實施例 1 類似。

（實施例 3）

- 5 在實施例 3 中，將描述形成互連結罩絕緣膜為多層膜。以絕緣膜做為多層膜之因係為解決本發明人首次發現之問題，當以諸如上述“PE-TMS”（Canon 產品）等 SiON 膜做為互連結罩絕緣膜時，在形成絕緣膜時，傳導障壁膜之氧化係無可避免。圖 20 係依本發明之進一步實施例，在半導體裝置製造期間之
- 10 局部剖面圖。

- 在腔與外界空氣隔絕下，歷經上述氮電漿處理後，即以 CVD 沉積互連結罩絕緣膜（第二絕緣膜）15b 於嵌入第二層互連結 L2 之上表面與絕緣膜 12b 上，沉積絕緣膜 15b 係為避免嵌入第二層互連結 L2 之傳導障壁膜 17a 之暴露部分氧化。故
- 15 在接連沉積氧化障壁絕緣膜（第三絕緣膜）15b1 於絕緣膜 12b 與嵌入第二層互連結 L2 之上，以抑制或避免傳導障壁膜 17a 氧化（亦即保護使之免於氧化）後，利用電漿 CVD（採用三甲基氧矽烷（TMS，化學式： $\text{SiH}(\text{OCH}_3)_2$ ）氣體與氧化氮（ N_2O ）氣體之混合氣體），沉積氮氧化矽（SiON）製之絕緣
- 20 膜（第四絕緣膜）15b2，例如“PE-TMS”（Canon 產品，介電常數：3.9）於絕緣膜 15b1，同時維持腔與空氣隔絕之真空狀態。藉此絕緣膜，在沉積氮氧化矽（SiON）膜後，即可抑制或避免傳導障壁膜 17a 氧化。故得以抑制或避免非所欲之銅擴散至主導體膜 18a 中（否則將因傳導障壁膜 17a 氧化而發生），

五、發明說明（44）

藉以改善 TDDb 生命期。此外，大部分或全部互連結罩絕緣膜 15b 係由介電常數較氮化矽膜低之材料製成，故可降低互連結電容，藉以改善半導體裝置之操作速度。此外，具優良抗濕性之 PE-TMS 可做為嵌入第二層互連結之互連結罩絕緣膜，因而改善半導體裝置之可靠性。形成此抗氧化膜之方式如後。

第一方法係自例如具禁止或抑制銅擴散功能之絕緣膜（諸如氮化矽（SiN）膜、碳化矽（SiC）膜或矽碳氮化物膜）形成氧化障壁絕緣膜 15b1。氧化障壁絕緣膜 15b1 厚度為例如 1 奈米或更厚些，為降低互連結結構之整體介電常數，故其較絕緣膜 15b2 薄。絕緣膜 15b2 厚約 50 奈米或更薄些。絕緣膜 15b2 之含氮量約 1 至 8%。剛形成絕緣膜 15b2 時，腔中壓力為例如約 0.5 至 1.0 陶爾（=66.6612 至 133.332 帕斯卡），三甲基氧矽烷氣體流速為例如約 100 至 150 立方公分/分鐘， N_2O 氣體流速為例如 4000 立方公分/分鐘或更低，施加於電漿強化 CVD 系統之上下電極之功率為例如約 500 至 1000 瓦特。與以氮化矽膜形成之氧化障壁絕緣膜 15b1 相較，以碳化矽或矽碳氮化物做為氧化障壁絕緣膜 15b1 之介電常數較低，藉以降低互連結電容。因而改善半導體裝置之操作速度。

第二方法係在無氧氣條件下，尤其在不具高氧化特性之 N_2O 氣體下，以電漿強化 CVD 沉積形成諸如“PE-TMS”（Canon 產品，介電常數：3.9）等氮氧化矽（SiON）膜之氧化障壁絕緣膜 15b1。在此情況下，絕緣膜 15b1 亦具抑制或避免銅擴散之功能。

在無氧氣條件下，採用三甲基氧矽烷（TMS）氣體與氮

五、發明說明（45）

(NH₃) 氣或三甲基氧矽烷 (TMS) 氣體與氮 (N₂) 氣之混合氣體。在此情況下，氧化障壁絕緣膜 15b1 厚約 1 至 10 奈米。在其上之絕緣膜 15b2 厚度如第一步驟中所述。絕緣膜 15b1 或 15b2 之含氮量約 1 至 8%。剛形成絕緣膜 15b1 時，腔中壓力
5 為例如約 0.5 至 1.0 陶爾 (=66.6612 至 133.332 帕斯卡)，三甲基氧矽烷氣體流速為例如約 100 至 150 立方公分/分鐘，N₂O 氣體流速為例如 0 立方公分/分鐘或更低，若採用 N₂ 氣體，則其流速為例如約 4000 立方公分/分鐘或更低，若採用 NH₃ 氣體，則其流速為例如約 1500 立方公分/分鐘或更低，施加於電
10 漿強化 CVD 系統之上下電極之功率與第一方法類似。絕緣膜 15b2 之形成方法與第一方法中所述類似。由於在第二方法中，絕緣膜 15b1 與 15b2 兩者均可自氮氧化矽膜形成，諸如具低介電常數之"PE-TMS"，故與第一方法相較，第二方法得以降低互連結電容，並改善半導體裝置之操作速度。此外，藉由自
15 氮氧化矽膜（諸如具優良抗濕性之"PE-TMS"）形成整體絕緣膜 15b（絕緣膜 15b1 與 15b2），故得以改善半導體裝置之可靠性。

第三方法係以電漿強化 CVD 沉積形成諸如上述"PE-TMS"等氮氧化矽膜之氧化障壁絕緣膜 15b1，其中在一形成膜時，
20 即採用具低氧化性且在含氧物（尤其是具高氧化性之 N₂O）中還原之含 N₂/O₂ 氣體。在此情況下，絕緣膜 15b1 亦具抑制或避免銅擴散之功能。為還原含氧物，以滿足上述條件，採用三甲基氧矽烷氣體、N₂ 氣體與 O₂ 氣體混合物；三甲基氧矽烷氣體、NH₃ 氣體與 O₂ 氣體混合物；及三甲基氧矽烷氣體、NH₃ 氣

五、發明說明 (46)

體、 N_2 氣體與 O_2 氣體混合物；或三甲基氧矽烷氣體、 NH_3 氣體與 N_2O 氣體之氣體混合物。在此情況下， N_2 氣或 NH_3 氣係充做氣體混合物中之稀釋氣體。

絕緣膜 15b1 及 15b2 之厚度與第二方法中所述類似。剛形成絕緣膜 15b1 時，腔中壓力及施加於電漿強化 CVD 系統之上下電極之功率與第一或第二方法類似。當剛形成膜時，若以三甲基氧矽烷氣體、 N_2 氣體與 O_2 氣體混合物做為處理氣體，則三甲基氧矽烷氣體、 N_2 氣體與 O_2 氣體之流速分別為例如約 75 至 150 立方公分/分鐘、約 4000 立方公分/分鐘或更低，及約 4000 立方公分/分鐘或更低。當採用三甲基氧矽烷氣體、 NH_3 氣體與 O_2 氣體混合物時，三甲基氧矽烷氣體、 NH_3 氣體與 O_2 氣體流速分別為例如約 75 至 150 立方公分/分鐘、約 1500 或更低，及約 4000 立方公分/分鐘或更低。當採用三甲基氧矽烷氣體、 NH_3 氣體、 N_2 氣體與 O_2 氣體混合物時，三甲基氧矽烷氣體、 NH_3 氣體、 N_2 氣體與 O_2 氣體流速分別為例如約 75 至 150 立方公分/分鐘、約 1500 或更低、約 4000 立方公分/分鐘，及約 4000 立方公分/分鐘。當採用三甲基氧矽烷氣體、 N_2O 氣體、 NH_3 氣體混合物時，三甲基氧矽烷氣體、 N_2O 氣體、 NH_3 氣體流速分別為例如約 75 至 150 立方公分/分鐘、約 4000 立方公分/分鐘，及約 1500 立方公分/分鐘。絕緣膜 15b2 之形成條件與第一和第二方法類似。做為第三方法之一應用，可以第三方法形成絕緣膜 15b。特別述之，可在氧氣還原氣體條件下，以電漿強化 CVD 沉積出自僅由氮化矽膜組成之膜之整體絕緣膜 15b。在此情況下，由於改變氣體類型及對非所需

五、發明說明 (47)

者之控制，故易於形成絕緣罩絕緣膜並可縮短膜形成時間。

在上述中，利用三甲基氧矽烷氣體形成氮化矽膜 (SiON，氮含量約 1 至 8%)。惟氣體並不以之為限，亦可採用其它氣體。對在第一方法中之絕緣膜 15b2 之形成，以及在第二方法
5 中之絕緣膜 15b1、15b2 之形成而言，氣體混合物係選自單矽烷、雙矽烷及 TEOS、氮氣及氧氣 (或 N₂O 或臭氧 (O₃))，或可採用含氮氣之氣體混合物。或者，氣體混合物可選自三甲基矽烷 (3MS) 氣體及四甲基矽烷 (4MS)，與氧化氮 (N₂O) 氣體 (或氧化氮氣體與氨 (NH₃))；或於氣體混合物內具添加之
10 氮氣 (N₂)；氮氣 (N₂) 與氧氣 (O₂) 混合物；或氮氣、氧氣與氨氣混合物。在此情況下，因可抑制或避免傳導障壁膜 17a 之暴露部分之氧化，故可改善 TDDB 生命期。傳導障壁膜之氧化及應付此問題之對策，揭示於本申請案之發明人申請之日本專利申請案第 2001-341339 號 (2001.11.7 提出)。

15 (實施例 4)

在實施例 4 中，並未配置如實施例 1 中所述絕緣罩絕緣膜。圖 21 係依本發明之進一步實施例之半導體裝置之局部剖面圖。在低-K 材料製之絕緣膜 11b 之上表面 (CMP 表面，第二表面) 上，直接沉積互連結罩絕緣膜 15b，無絕緣罩絕緣
20 膜。互連結罩絕緣膜 15b 可具如實施例 3 中之多層結構。在此實施例 4 中，因未配置絕緣罩絕緣膜，並可改善 TDDB 生命期，降低互連結電容。故得以改善半導體裝置之操作速度。

(實施例 5)

在實施例 5 中，描述去除傳導障壁膜之嵌入互連結結構

五、發明說明 (48)

(無障壁嵌入互連結結構)。圖 22 係依本發明之進一步實施例，在其製造步驟期間之半導體裝置之局部剖面圖。銅組成之主導體膜 18a 直接與互連結穿圳 16a 中之絕緣膜 11b、12a、12b、15a 接觸。在實施例 5 中，亦可如實施例 4 般，去除絕緣罩絕緣膜。依實施例 5，可大幅縮減嵌入第二層互連結 L2 之互連結電阻。此外，無傳導障壁膜而直接連接不同層之互連結，使得不同層互連結間之接觸電阻大幅降低，並可降低在微小穿孔處之電阻。故即使將互連結穿圳 16 或穿孔 9 最小化，亦可改善半導體裝置性能。因而進步至以最小化之互連結建構半導體裝置。

在實施例 5 中，在主導體膜 18a 之上角落形成圓錐形體，並將銅製之主導體膜 18a 之上角落配置與該處相鄰之絕緣膜 12b 之上表面 (CMP 表面，第二表面) 遠離。如實施例 1 至 4，這些外型造成得以抑制或避免在兩相鄰嵌入第二層互連結 L2、L3 中之漏電流徑之形成，藉以改善 TDDB 生命期。此處之無障壁嵌入互連結結構揭示於例如日本專利申請案第 2000-104015、2000-300853 或 2001-131941 號 (2001.8.27 提出)。

(實施例 6)

在實施例 6 中，採用上述嵌入互連結之特性供互連結層之用。在半導體裝置之互連結層中，在接近在基板上形成之微小構件之下互連結層處之兩相鄰互連結之間距較窄，且在未來日趨顯著。在此情況下，因銅擴散更易導致對 TDDB 生命期之損害。在接近在相對遠離微小構件之上互連結層處之兩相鄰互連

五、發明說明（49）

結之間距相對較寬，且在因銅擴散導致之 TDDB 生命期之損害上，有一定程度之邊界。在半導體裝置之製造過程中，步驟數增加，附增加熱處理步驟或附增步驟導致非所欲之步階差，造成處理-智慧限制。

- 5 故在此實施例 6 中，調整實施例 1 中所述嵌入互連結結構，供具小邊界之下互連結層之用，同時施行慣用之嵌入互連結結構於具大邊界之上互連結層。圖 23 概略闡釋實施例 6 之半導體裝置之局部剖面圖。互連結層 N1 係為例如下互連結層，諸如互連結寬度或互連結間距相對小之第一層或第二層互連結層，同時互連結層 Nx 係為例如上互連結層，諸如互連結寬度或互連結間距相對大之第五層或第六層互連結層。以 0.13 微米世代為例釋之，假設互連結層 N1 為第一層互連結層，嵌入互連結（互連結）之互連結寬度與互連結-對-互連結距離為例如 0.18 微米；同時假設互連結層 Nx 為第五層互連結層，嵌入互連結（互連結）之互連結寬度與互連結-對-互連結距離為例如 0.36 微米。以 0.1 微米世代為例釋之，假設互連結層 N1 為第一層互連結層，嵌入互連結（互連結）之互連結寬度與互連結-對-互連結距離為例如 0.14 微米；同時假設互連結層 Nx 為第五層互連結層，嵌入互連結（互連結）之互連結寬度與互連結-對-互連結距離為例如 0.28 微米。

在圖 23 中，所形成之下互連結層 N1 之嵌入互連結 Ln 具與實施例 1 類似結構，亦即，具有在主導體膜 18a 之上角落形成之圓錐形體。換言之，所形成之上互連結層 Nn 之嵌入互連結 Ln 具慣用結構。特別述之，並未在主導體膜 18a 之上角落

五、發明說明（50）

形成錐形體，且主導體膜 18a 之上表面（第一表面）高度近乎與絕緣膜 12b 上表面（MP 表面，第二表面）高度疊合。上述結構有助於改善 TDDB 生命期。此外，因可滿足處理-智慧限制，故得以完整提供高可靠性之半導體裝置。

5 （實施例 7）

在實施例 7 中，描述依互連結層改變嵌入互連結之圓錐形體狀態之技術。圖 24 概略闡釋實施例 7 之半導體裝置之局部剖面圖。在此實施例 7 中，所形成之所有下互連結層 N1 與上互連結層 Nx 之嵌入互連結 Ln 均具與實施例 1 類似結構，亦即，在主導體膜 18 之上表面具圓錐形體，例外處在於所形成之下嵌入互連結 Ln 之主導體膜 18 之圓錐形體之深度 d1 較上嵌入互連結 Ln 之主導體膜 18 之圓錐形體之深度 d2 深。換言之，在下互連結層 N1 之嵌入互連結 Ln 中之主導體膜 18 之上角落之圓錐形體較大。形成此結構之原因係如實施例 6 中所述，下互連結層之兩相鄰互連結間距窄，故因傾向出現銅擴散導致 TDDB 生命期降低，同時上互連結層之兩相鄰互連結間距寬，並相對具邊界。藉由增加在下互連結層 N1（其中銅擴散傾向造成困擾）之嵌入互連結 Ln 中之圓錐形體大小，並藉由縮減在上互連結層 Nx（具一邊界）之嵌入互連結 Ln 中之主導體膜 18a 之圓錐形體大小而滿足處理-智慧限制，即可藉由延伸 TDDB 生命期而整體改善半導體裝置之可靠性。

（實施例 8）

在實施例 8 中，描述依互連結層改變嵌入互連結之步階差狀態之技術。圖 25 概略闡釋實施例 8 之半導體裝置之局部剖

五、發明說明（51）

面圖。在實施例 8 中，所形成之下互連結層 N1 或上互連結層 Nx 之嵌入互連結 Ln 之主導體膜 18 之上表面（第一表面）高度較傳導障壁膜 17a 與絕緣膜 12b 之上表面（CMP 表面，第二表面）高度低。藉由此結構，主導體膜 18a 與 CMP 表面間距，及主導體膜 18a 之角落與互連結層 Ln 之角落（傳導障壁膜 17a 之角落）（電場密集）位置間距變大，可抑制或避免形成漏電流徑，藉以改善 TDDB 生命期。

此種在嵌入互連結 Ln 之主導體膜 18a 之上表面形成步階差之技術，揭示於本申請案之發明人之日本專利申請案第 2001-131941 號（2001.8.27 提出）。但在實施例 8 中，與實施例 6 或 7 中所述理由類似，所形成之下嵌入互連結層 Ln 中之主導體膜 18a 之步階差 d3 大於上嵌入互連結層 Ln 中之主導體膜 18a 之步階差 d4。故依此實施例 8，藉由在下互連結層 N1（其中銅擴散傾向造成困擾）之嵌入互連結 Ln 之上表面上形成相對大步階差，即可改善 TDDB 生命期，同時藉由在上互連結層 Nx（具一邊界）之嵌入互連結 Ln 中之主導體膜 18a 之上表面上形成相對小步階差，藉以抑制或避免因步階差產生之不便，滿足處理-智慧限制，即可整體改善半導體裝置之可靠性。

做為實施例 8 之一改良實例，可形成下互連結層 N1 之嵌入互連結 Ln 如實施例 1 等中所述嵌入互連結結構，並可形成上互連結層 Nx 之嵌入互連結 Ln 如圖 25 中所示。做為另一改良實例，可形成下互連結層 N1 之嵌入互連結 Ln 如圖 25 中所示，並可形成上互連結層 Nx 之嵌入互連結 Ln 如實施例 1 等中所述結構或圖 23 之上互連結層 Nx 中採用之常見結構。

五、發明說明（52）

（實施例 9）

在實施例 9 中，描述依一互連結層改變步階差狀態之另一技術。圖 26 概略闡釋實施例 9 之半導體裝置之局部剖面圖。在實施例 9 中，所形成之下互連結層 N1 或上互連結層 Nx 之
5 嵌入互連結 Ln 之主導體膜 18a 與傳導障壁膜 17a 之上表面（第一表面）高度較絕緣膜 12b 之上表面（CMP 表面，第二表面）高度低。在上述結構中，維持主導體膜 18a 遠離 CMP 表面，可抑制或避免形成漏電流徑，藉以改善 TDDb 生命期。

此外，在嵌入互連結 Ln 之上表面形成步階差之技術，揭示
10 於本申請案之發明人之日本專利申請案第 2001-131941 號（2001.8.27 提出）。但在此實施例中，與實施例 6 至 8 中所述理由類似，所形成之下互連結層 N1 之嵌入互連結 Ln 中之主導體膜 18a 之步階差 d5 大於上互連結層 Nx 之嵌入互連結 Ln 中之主導體膜 18a 之步階差 d6。依實施例 9，藉由在下互連結層
15 N1（其中銅擴散傾向造成困擾）之嵌入互連結 Ln 之上表面上形成相對大步階差，即可改善 TDDb 生命期。換言之，藉由在上互連結層 Nx（具一邊界）之嵌入互連結 Ln 之上表面上形成相對小步階差，藉以抑制或避免因步階差產生之不便，滿足處理-智慧限制，即可整體改善半導體裝置之可靠性。

20 做為實施例 9 之一改良實例，可形成下互連結層 N1 之嵌入互連結 Ln 如實施例 1 等中所述嵌入互連結結構，並可形成上互連結層 Nx 之嵌入互連結 Ln 如圖 26 中所示。做為另一改良實例，可形成下互連結層 N1 之嵌入互連結 Ln 如圖 26 中所示，並可形成上互連結層 Nx 之嵌入互連結 Ln 如實施例 1 等中

五、發明說明（53）

所述嵌入互連結結構或圖 23 之上互連結層 Nx 中採用之常見嵌入互連結結構。

（實施例 10）

在實施例 10 中，將接著描述依互連結層位置，改變嵌入互連結之步階差狀態之進一部技術。圖 27 概略闡釋實施例 10 之半導體裝置之局部剖面圖。在實施例 10 中，下互連結層 N1 與上互連結層 Nx 之嵌入互連結 Ln 之主導體膜 18a 與傳導障壁膜 17a 之上表面高度（CMP 表面、第一表面）較絕緣膜 12b 之上表面（第二表面）突出。此結構得以維持主導體膜 18a 遠離 CMP 表面，藉以抑制或避免形成漏電流徑。在此情況下，由於結構中並無絕緣罩絕緣膜，故可於上述還原電漿處理後即蝕刻移除絕緣膜 11b 之上表面而形成上述步階差，簡化製造過程。

此於嵌入互連結 Ln 之上表面形成步階差之技術，揭示於例如本發明之發明人之日本專利申請案第 2001-131941 號（2001.8.27 提出）。在實施例 10 中，與上述實施例 6 至 9 中所述理由類似，所形成之下互連結層 N1 之嵌入互連結 Ln 中之突出步階差 d7 大於上互連結層 Nx 之嵌入互連結 Ln 中之突出步階差 d8。藉由在下互連結層 N1（其中銅擴散傾向造成困擾）之嵌入互連結 Ln 之上表面上形成相對大突出步階差，即可改善 TDDB 生命期，同時藉由在上互連結層 Nx（具一邊界）之嵌入互連結 Ln 之上表面上形成相對小突出步階差，藉以抑制或避免因步階差產生之不便，滿足處理-智慧限制，即可整體改善半導體裝置之可靠性。

五、發明說明（54）

做為實施例 10 之一改良實例，可形成下互連結層 N1 之嵌入互連結 Ln 如實施例 1、8 或 9 中所述嵌入互連結結構，並可形成上互連結層 Nx 之嵌入互連結 Ln 如圖 27 中所示。做為另一改良實例，可形成下互連結層 N1 之嵌入互連結 Ln 如圖 27 5 中所示，並可形成上互連結層 Nx 之嵌入互連結 Ln 如實施例 1、8 或 9 中所述嵌入互連結結構或圖 23 之上互連結層 Nx 中採用之常見嵌入互連結結構。

本發明人已藉由一些實施例特別描述本發明。但應知曉，本發明並不以之為限，在不悖離本發明之範疇下，可於一定範圍內變化。

在實施例 1 至 10 中描述，在無真空中斷下，在後續處理（電漿處理）後形成罩膜。或者，可於形成罩膜之後，一經後續處理，即施行真空中斷。在前者情況下，更可彰顯本發明之優點，但以後續氮電漿處理形成之薄氮化物層會抑制氧化物層之形成，即使晶圓在真空中斷後暴露於空氣中亦然。故即使在真空中斷後，亦可提供本發明之部分優點。

可改良在嵌入互連結中之主導體膜上形成圓錐形體之方法，不以實施例 1 至 10 中所述為限。例如可藉由在真空條件下，維持腔之內部於電漿強化 CVD 系統中，並在不饋送氣體至腔下，對晶圓做熱處理，而在嵌入互連結中之主導體膜之一上角落處形成圓錐形體。

在上述實施例中，在供形成絕緣罩絕緣膜用之膜形成裝置中之嵌入互連結之上表面上形成圓錐形體。或者，可在膜形成裝置外之氫氣或氮氣中，以熱處理於嵌入互連結之上表面上形

五、發明說明 (55)

成圓錐形體。更特別言之，將低溫氫氣退火之溫度或時間設定較上述實施例高或長。在此情況下，溫度約為 300 至 400°C 較佳，同時處理時間約 30 秒至 15 分較佳。

至此描述之本發明人所為之本發明之應用，係具 CMIS 電
5 路之半導體裝置之製造技術，其已成為本發明之背景，但本發明並不以之為限，其尚可應用於各種半導體裝置之製造方法中，諸如具諸如動態隨機存取記憶體 (DRAM)、靜態隨機存取記憶體 (SRAM)、快閃記憶體、電子可清除程式化唯讀記憶體 (EEPROM) 與含鐵電子隨機存取記憶體 (FRAM) 之記憶體
10 電路之半導體裝置；具諸如微處理器之邏輯電路之半導體裝置；及混合型半導體裝置，其在一半導體基板上具上述記憶體電路與邏輯電路。本發明至少適用於具嵌入銅互連結結構之半導體裝置、半導體記憶體電路裝置、電子電路裝置、電子裝置或微機械之製造方法。

15 以下將簡述本申請案所揭本發明之典型發明所具優點。

藉由維持電場密集之部分主導體膜與周圍絕緣膜之拋光表面隔離，可改善具由銅組成之主導體膜之互連結間之介電崩潰強度。

圖式之代號說明

- | | |
|---------|--------|
| 1 半導體基板 | 2 絕緣穿圳 |
| 3 閘極絕緣膜 | 4 閘極電極 |
| 5 側壁 | 6 半導體區 |
| 7 半導體區 | 8 絕緣膜 |
| 9 接觸孔 | 10 栓 |

五、發明說明 (56)

11 絕緣膜

12 絕緣膜

13 穿孔

14 栓

15 絕緣膜

16 互連結穿圳

17 傳導障壁膜

18 主導體膜

裝

訂

線

四、中文發明摘要（發明之名稱：**半導體積體電路裝置製造方法與半導體積體電路裝置**）

本發明揭示一種半導體裝置製造方法，包括（a）沉積一第一絕緣膜於一晶圓上，（b）於該第一絕緣膜中形成一互連結開孔，（c）在該互連結開孔中形成一互連結，其具一主要由銅組成之導體膜，（d）在該互連結開孔之開孔側上之該導體膜之一角落處形成一錐形體，及（e）於該第一絕緣膜及該互連結上沉積一第二絕緣膜。本發明得以改善互連結（具一主要由銅組成之主導體膜）間的介電崩潰強度。

英文發明摘要（發明之名稱：**METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**）

Provided is a manufacturing method of a semiconductor device which comprises (a) depositing a first insulating film over a wafer, (b) forming an interconnect opening in the first insulating film, (c) forming, in the interconnect opening, an interconnect having a conductor film comprised mainly of copper, (d) forming a taper at a corner of said conductor film on the opening side of the interconnect opening, and (e) depositing a second insulation film over the first insulation film and interconnect. The present invention makes it possible to improve dielectric breakdown strength between interconnects each having a main conductor film comprised mainly of copper.

六、申請專利範圍

1. 一種製造一半導體裝置之方法，包括步驟：
 - (a) 沉積一第一絕緣膜於一晶圓上；
 - (b) 於該第一絕緣膜中形成一互連結開孔；
 - (c) 在該互連結開孔中形成一互連結，其具一主要由銅
- 5 組成之導體膜；
 - (d) 在該互連結開孔之開孔側上之該導體膜之一角落處形成一錐形體；及
 - (e) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜。
2. 如申請專利範圍第1項之方法，其中該錐形體為一圓錐
- 10 形體，其係藉由在一氮氣、一氬氣或一氮-氬氣體混合物之一環境下，或在一採用氣體之電漿環境下，熱處理該晶圓形成。
3. 如申請專利範圍第1項之方法，進一步包括在步驟(c)與(e)之間，使該第一絕緣膜及該互連結歷經還原電漿處理。
- 15 4. 如申請專利範圍第3項之方法，其中該還原電漿處理係氮電漿處理、氬電漿處理，或採用其處理之組合。
5. 如申請專利範圍第1項之方法，其中該步驟(a)具子
- 步驟：
 - (a1) 沉積一相對厚絕緣膜；及
 - 20 (a2) 在步驟(a1)後，於其上沉積一相對薄絕緣膜，其介電常數較該相對厚絕緣膜高。
6. 如申請專利範圍第5項之方法，其中該相對厚絕緣膜之介電常數較二氧化矽膜低。
7. 如申請專利範圍第5項之方法，其中該相對薄絕緣膜係

六、申請專利範圍

由碳化矽、碳氮化矽或氮氧化矽製成。

8. 如申請專利範圍第1項之方法，其中該第一絕緣膜係一單一物質絕緣膜，其介電常數較二氧化矽膜低。

9. 如申請專利範圍第1項之方法，其中該第二絕緣膜係由
5 碳化矽、碳氮化矽或氮氧化矽製成。

10. 一種製造一半導體裝置之方法，包括步驟：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

(c) 在該互連結開孔中形成一互連結，其具一第一導體
10 膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成；

(d) 在該互連結開孔之開孔側上之該第二導體膜之一角落處形成一錐形體；及

(e) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜。

11. 如申請專利範圍第10項之方法，其中該錐形體為一圓錐形體，其係藉由在一氮氣、一氨氣或一氮-氨氣體混合物之一環境下，或在一採用氣體之電漿環境下，熱處理該晶圓形成。
15

12. 如申請專利範圍第10項之方法，進一步包括在步驟

(c) 與 (e) 之間，使該第一絕緣膜及該互連結歷經還原電漿
20 處理。

13. 如申請專利範圍第12項之方法，其中該還原電漿處理係氮電漿處理、氫電漿處理，或採用其處理之組合。

14. 如申請專利範圍第10項之方法，其中該步驟 (a) 包括子步驟：

六、申請專利範圍

(a1) 沉積一相對厚絕緣膜；及

(a2) 在步驟(a1)後，於其上沉積一相對薄絕緣膜，其介電常數較該相對厚絕緣膜高。

5 15.如申請專利範圍第14項之方法，其中該相對厚絕緣膜之介電常數較二氧化矽膜低。

16.如申請專利範圍第14項之方法，其中該相對薄絕緣膜係由碳化矽、碳氮化矽或氮氧化矽製成。

17.如申請專利範圍第10項之方法，其中該第一絕緣膜係一單一物質絕緣膜，其介電常數較二氧化矽膜低。

10 18.如申請專利範圍第17項之方法，其中該步驟(c)包括子步驟：

(c1) 於該第一絕緣膜上及該互連結開孔中沉積該第一導體膜；

(c2) 於該第一導體膜上沉積該第二導體膜；

15 (c3) 選擇性拋光該第二導體膜，俾於該互連結開孔中留下該第一及第二導體膜；及

(c4) 選擇性拋光該第一導體膜，俾於該互連結開孔中留下該第一及第二導體膜，藉此形成該互連結。

20 19.如申請專利範圍第18項之方法，其中在該拋光步驟(c3)中採用之研磨料之量為0或少於在該拋光步驟(c4)中採用者。

20.如申請專利範圍第10項之方法，其中該第二絕緣膜係由碳化矽、碳氮化矽或氮氧化矽製成。

21.如申請專利範圍第10項之方法，其中該第二絕緣膜係

六、申請專利範圍

一疊層膜，其係藉由沉積一第三絕緣膜於該第一絕緣膜及該互連結上，俾保護該第一導體膜使之免於氧化，並接著採用一含氧氣體，以化學蒸氣沉積沉積一第四絕緣膜於該第三絕緣膜上。

5 22.如申請專利範圍第21項之方法，其中該第三絕緣膜係由氮化矽製成。

23.如申請專利範圍第21項之方法，其中該第三絕緣膜係由碳化矽或碳氮化矽製成。

10 24.如申請專利範圍第21項之方法，其中該第四絕緣膜係採用一含三甲基氧矽烷及氧化氮之氣體混合物，以化學蒸氣沉積製成之氮氧化矽。

25.如申請專利範圍第21項之方法，其中該第三絕緣膜較該第四絕緣膜薄。

15 26.一種製造一半導體裝置之方法，在一晶圓上形成之各複數個互連結層之金屬化中，包括：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

20 (c) 在該互連結開孔中形成一互連結，其包含一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成；及

(d) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜，

其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之金屬化步驟中，該方法進一步包括在該等步驟(c)與(d)之間，在該互連結開孔之開孔側上之該第二導

六、申請專利範圍

體膜之一角落處形成一錐形體之步驟，及

其中在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之金屬化步驟中，未形成該錐形體而沉積該第二絕緣膜。

- 5 27.一種製造一半導體裝置之方法，在一晶圓上形成之複數個互連結層之至少二層之金屬化中，包括：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

- 10 (c) 在該互連結開孔中形成一互連結，其包含一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成；及

(d) 在該互連結開孔之開孔側上之該第二導體膜之一角落處形成一錐形體；及

(e) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜，

- 15 其中在該等複數個互連結層中，在相對接近該晶圓之主表面之互連結層之互連結中形成之該第二導體膜之該錐形體大於在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之互連結中之該第二導體膜之該錐形體。

- 20 28.一種製造一半導體裝置之方法，在一晶圓上形成之各複數個互連結層之金屬化中，包括：

(a) 沉積一第一絕緣膜於一晶圓上；

(b) 於該第一絕緣膜中形成一互連結開孔；

(c) 在該互連結開孔中形成一互連結，其包含一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由

六、申請專利範圍

銅組成；及

- (d) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜，
其中在該等複數個互連結層中，在相對接近該晶圓之主
表面之互連結層之金屬化形成步驟中，該方法進一步包括在該
5 等步驟(c)與(d)之間，在沉積該第二絕緣膜之一側上之該
第二導體膜之第一表面與在被沉積該第二絕緣膜之一側上之該
第一導體膜之第二表面間形成一步階差之步驟，及

- 其中在該等複數個互連結層中，在相對遠離該晶圓之主
表面之互連結層之金屬化步驟中，在未形成該步階差之步驟
10 下，沉積該第二絕緣膜。

29.一種製造一半導體裝置之方法，在一晶圓上形成之複
數個互連結層之至少二層之金屬化中，包括：

- (a) 沉積第一絕緣膜於一晶圓上；
(b) 於該第一絕緣膜中形成一互連結開孔；
15 (c) 在該互連結開孔中形成一互連結，其包含一第一導
體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由
銅組成；及

- (d) 在被沉積一第二絕緣膜之一側上之該第二導體膜之
第一表面與在被沉積該第二絕緣膜之一側上之該第一導體膜之
20 第二表面間形成一步階差；及

(e) 於該第一絕緣膜及該互連結上沉積該第二絕緣膜，
其中在該等複數個互連結層中，在相對接近該晶圓之主
表面之互連結層之互連結中形成之該第二導體膜之該步階差大
於在相對遠離該晶圓之主表面之互連結層之互連結中之該第二

六、申請專利範圍

導體膜之該步階差。

- 30.如申請專利範圍第29項之方法，其中該步驟(d)係選擇性蝕刻該第二導體膜之第一表面之一表面層，俾於該晶圓之主表面之一方向中，形成相對於該第一絕緣膜之第二表面凹
- 5 陷之該第二導體膜之第一表面之步驟。

31.一種製造一半導體裝置之方法，在一晶圓上形成之各複數個互連結層之金屬化中，包括：

- (a) 沉積一第一絕緣膜於一晶圓上；
 - (b) 於該第一絕緣膜中形成一互連結開孔；
 - 10 (c) 在該互連結開孔中形成一互連結，其包含一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成；及
 - (d) 於該第一絕緣膜及該互連結上沉積一第二絕緣膜，
- 其中在該等複數個互連結層中，在相對接近該晶圓之主
- 15 表面之互連結層之金屬化步驟中，該方法進一步包括在該等步驟(c)與(d)之間，在被沉積該第二絕緣膜之一側上之該等第一及第二導體膜之第一表面與在被沉積該第二絕緣膜之一側上之該第一導體膜之第二表面間形成一步階差之步驟，及

- 其中在該等複數個互連結層中，在相對遠離該晶圓之主
- 20 表面之互連結層之金屬化步驟中，在未形成該步階差下，沉積該第二絕緣膜。

32.一種製造一半導體裝置之方法，在一晶圓上形成之複數個互連結層之至少二層之金屬化中，包括：

- (a) 沉積第一絕緣膜於一晶圓上；

六、申請專利範圍

(b) 於該第一絕緣膜中形成一互連結開孔；

(c) 在該互連結開孔中形成一互連結，其包含一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成；及

5 (d) 在被沉積一第二絕緣膜之一側上之該等第一及第二導體膜之第一表面與在被沉積該第二絕緣膜之一側上之該第一絕緣膜之第二表面間形成一步階差；及

(e) 於該第一絕緣膜及該互連結上沉積該第二絕緣膜，
其中在該等複數個互連結層中，在相對接近該晶圓之主
10 表面之互連結層之互連結中形成之該步階差大於在該等複數個互連結層中，在相對遠離該晶圓之主表面之互連結層之互連結中之該步階差。

33.如申請專利範圍第32項之方法，其中該步驟(d)係選擇性蝕刻該等第一及第二導體膜之第一表面之一表面層，俾
15 於該晶圓之主表面之一方向中，形成相對於該第一絕緣膜之拋光表面凹陷之該等第一及第二導體膜之第一表面之步驟。

34.如申請專利範圍第32項之方法，其中該步驟(d)係選擇性蝕刻該第一絕緣膜之第二表面，俾於遠離該晶圓之主表面之一方向中，使該等第一及第二導體膜之第一表面相對於該
20 第一絕緣膜之第二表面突出之步驟。

35.一種半導體裝置，包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成，於互連

六、申請專利範圍

結開孔，且在互連結開孔之開孔側上之第二導體膜之一角落處具一錐形體而形成；及

(c) 一第二絕緣膜，其係沉積於第一絕緣膜及互連結上。

- 5 36.一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，該複數個互連結層之至少二層包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成，於互連結開孔而形成；及

- 10

(c) 一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層中形成一互連結，其配備有在互連結開孔之開孔側上之第二導體膜之一角落處之一錐形體；及

- 15

在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層中，未於第二導體膜上形成錐形體，但形成一互連結，俾使所形成之被沉積第二絕緣膜之一側上之第二導體膜之第一表面位準大致等於在被沉積第二絕緣膜之一側上之第一絕緣膜之第二表面位準。

- 20

37.一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜，具可抑制

六、申請專利範圍

銅擴散之障壁性質，及一第二導體膜，主要由銅組成，於互連結開孔，且在互連結開孔之開孔側上之第二導體膜之一角落處具一錐形體而形成；及

(c) 一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

在複數個互連結層中，在相對接近晶圓之主表面之互連結層之互連結中之第二導體膜之錐形體大於在複數個互連結層中，在相對遠離晶圓之主表面之互連結層之互連結中之第二導體膜之錐形體。

10 38.一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成於互連結開孔而形成；及

(c) 一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中，於被沉積第二絕緣膜之一側上之第二導體膜之第一表面與被沉積第二絕緣膜之一側上之第一導體膜及第一絕緣膜之第二表面間形成一步階差；

在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層之互連結中，所形成之第二導體膜之第一表面位準大致等於第一導體膜及第一絕緣膜之第二表面位準。

六、申請專利範圍

39.一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，至少複數個互連結層之二包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成，於互連結開孔，且在被沉積一第二絕緣膜之一側上之第二導體膜之第一表面與在被沉積第二絕緣膜之一側上之第一導體膜及第一絕緣膜之第二表面間具一步階差而形成；及

(c) 沉積於第一絕緣膜及互連結上之第二絕緣膜，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中之步階差係大於在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層之互連結中之步階差。

40.如申請專利範圍第39項之半導體裝置，其中於半導體基板之主表面之一方向中，藉由形成相對於第一導體膜及第一絕緣膜之第二表面呈凹陷之第二導體膜之第一表面而形成步階差。

41.一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，該複數個互連結層之至少二層包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜（主要由銅組成，於互連結開孔而形成，具；及

六、申請專利範圍

(c) 一第二絕緣膜，其係沉積於第一絕緣膜及互連結上，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中，於被沉積第二絕緣膜之一側上之第一及第二導體膜之第一表面與被沉積第二絕緣膜之一側上之第一絕緣膜之第二表面間形成一步階差；

在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層之互連結中，所形成之第一及第二導體膜之第一表面位準大致等於第一絕緣膜之第二表面位準。

42. 一種半導體裝置，其具在一半導體基板上形成之複數個互連結層，該複數個互連結層之至少二層包括：

(a) 一互連結開孔，其係在一第一絕緣膜中形成；

(b) 一互連結，其係藉由埋入一第一導體膜，具可抑制銅擴散之障壁性質，及一第二導體膜，主要由銅組成，於互連結開孔，且在被沉積一第二絕緣膜之一側上之第一及第二導體膜之第一表面與在被沉積第二絕緣膜之一側上之第一絕緣膜之第二表面間具一步階差而形成；及

(c) 沉積於第一絕緣膜及互連結上之第二絕緣膜，其中：

在複數個互連結層中，在相對接近半導體基板之主表面之互連結層之互連結中之步階差係大於在複數個互連結層中，在相對遠離半導體基板之主表面之互連結層之互連結中之步階差。

43. 如申請專利範圍第42項之半導體裝置，其中於半導體

六、申請專利範圍

基板之主表面之一方向中，藉由形成相對於第一絕緣膜之第二表面呈凹陷之第一及第二導體膜之第一表面而形成步階差。

- 44.如申請專利範圍第42項之半導體裝置，其中於遠離該晶圓之主表面之一方向中，使第一及第二導體膜之第一表面相
- 5 對於第一絕緣膜之第二表面呈突出而形成步階差。

●
裝

訂

線
●

圖 1

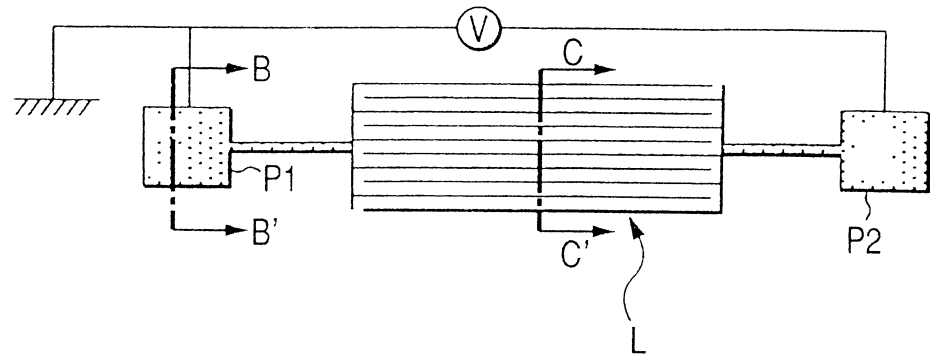


圖 2

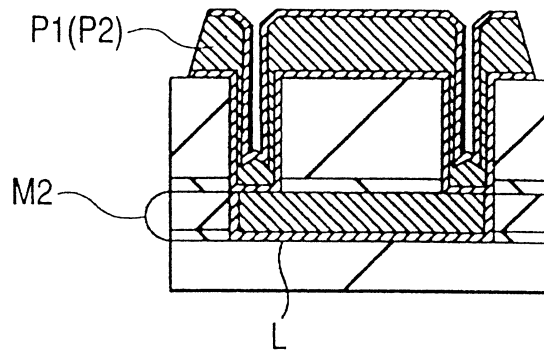


圖 3

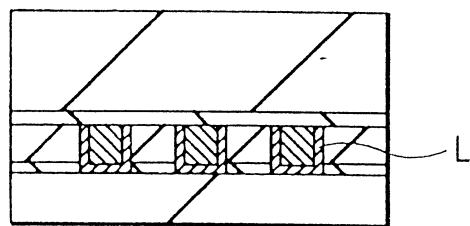


圖 4

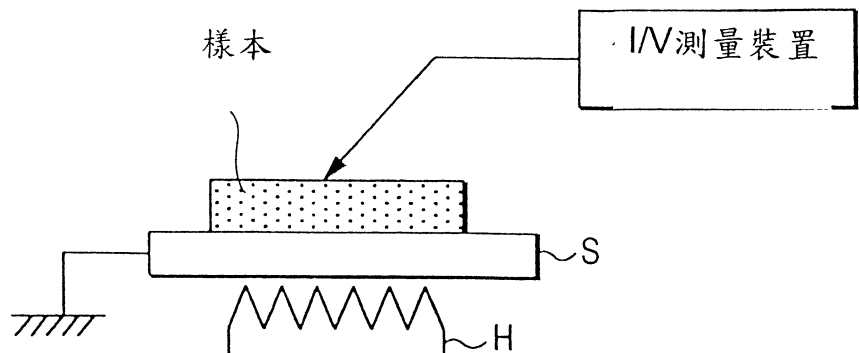


圖5

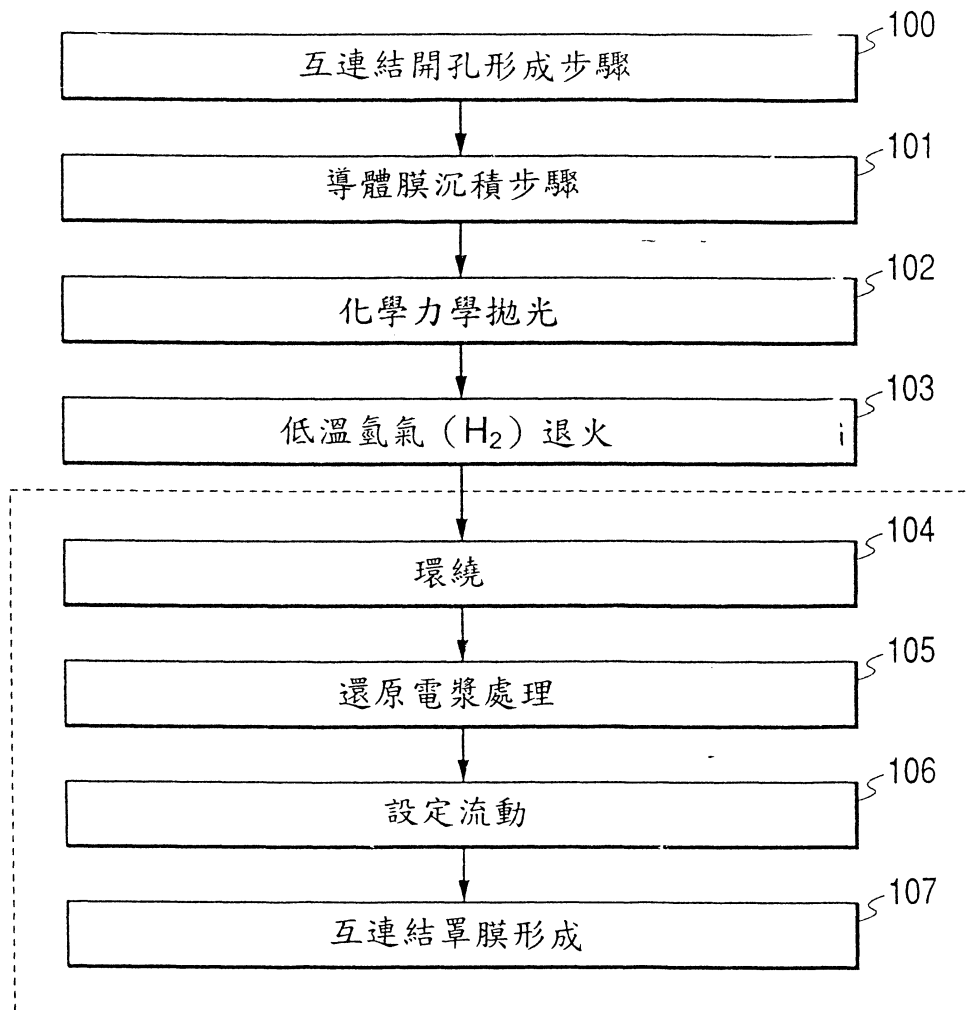


圖 6

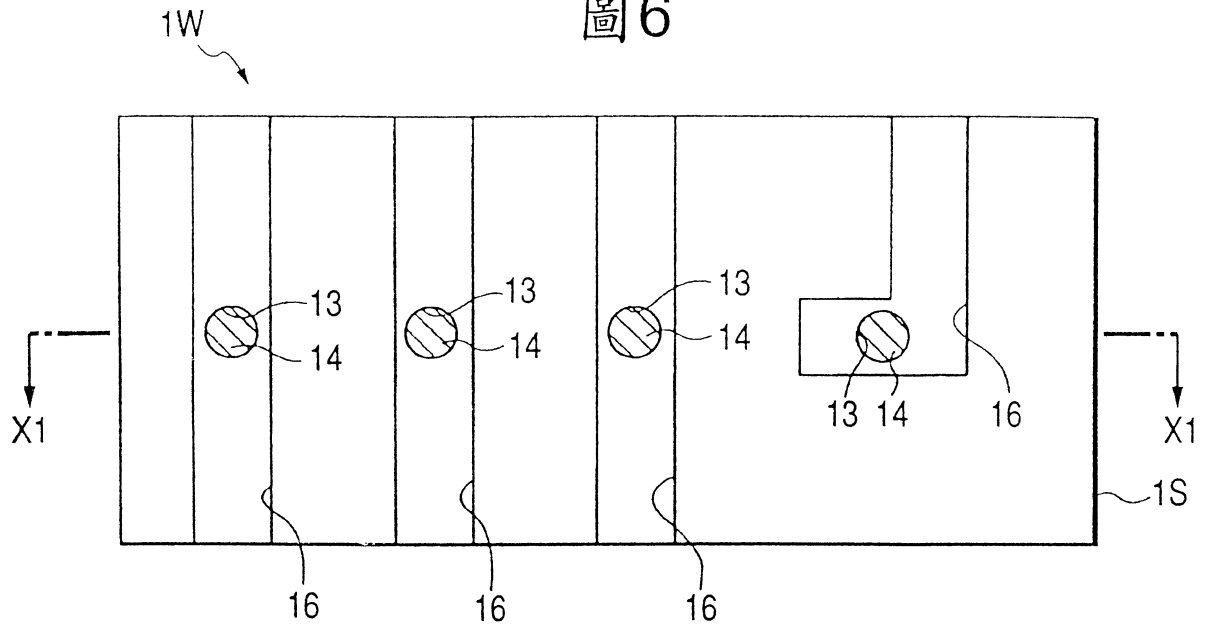


圖 7

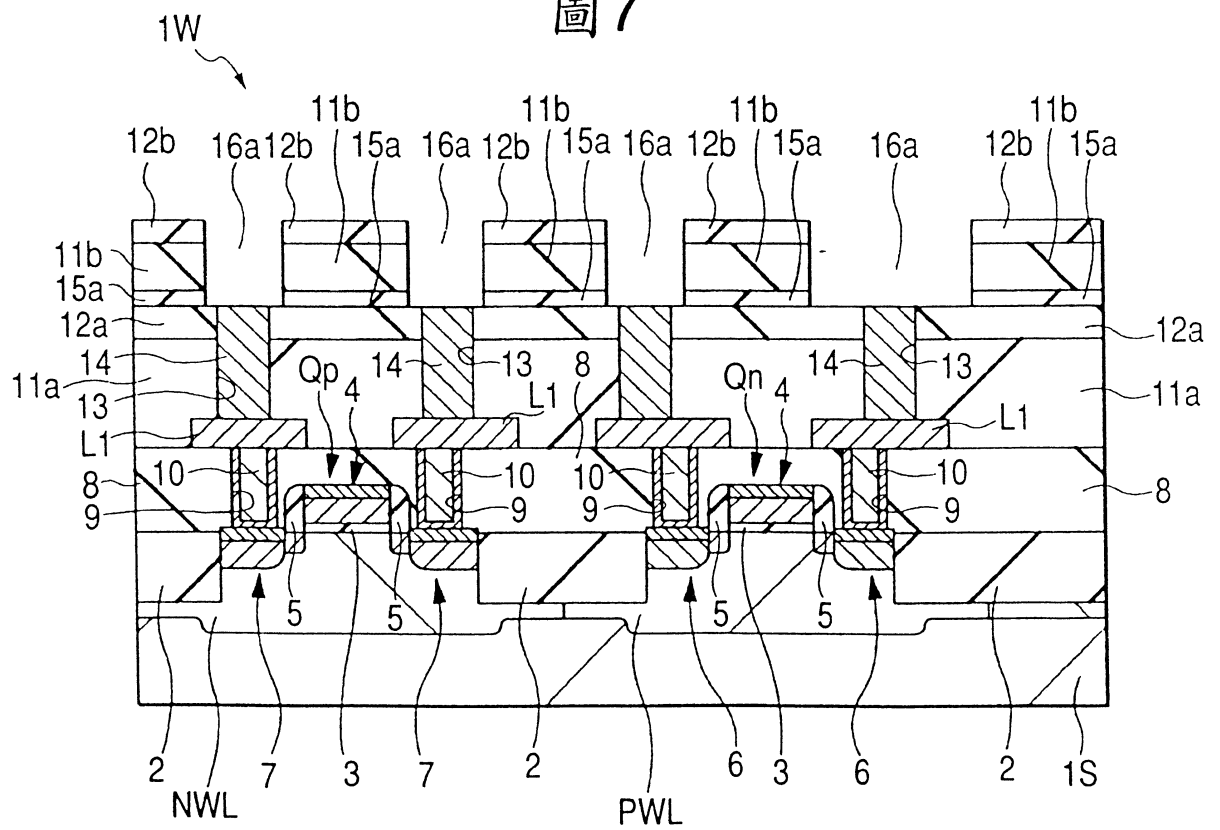


圖 8

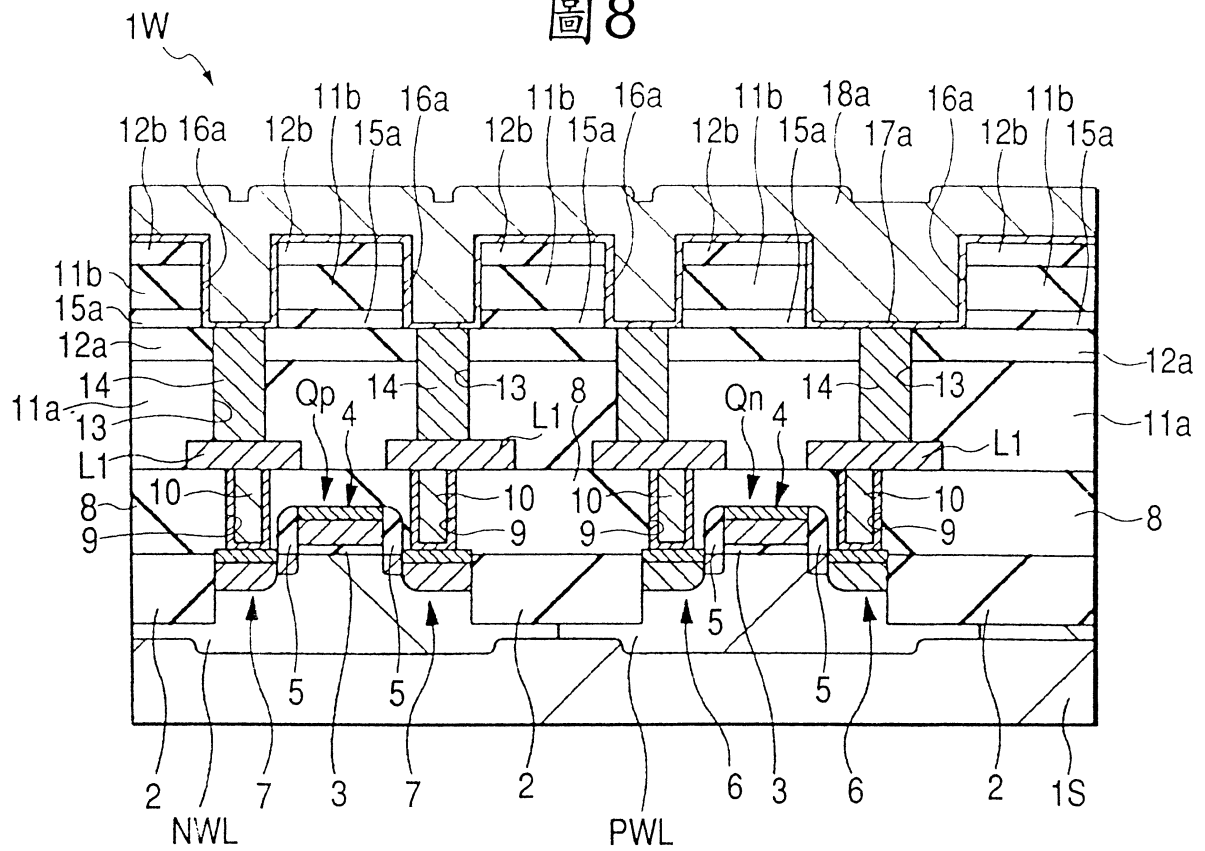


圖 9

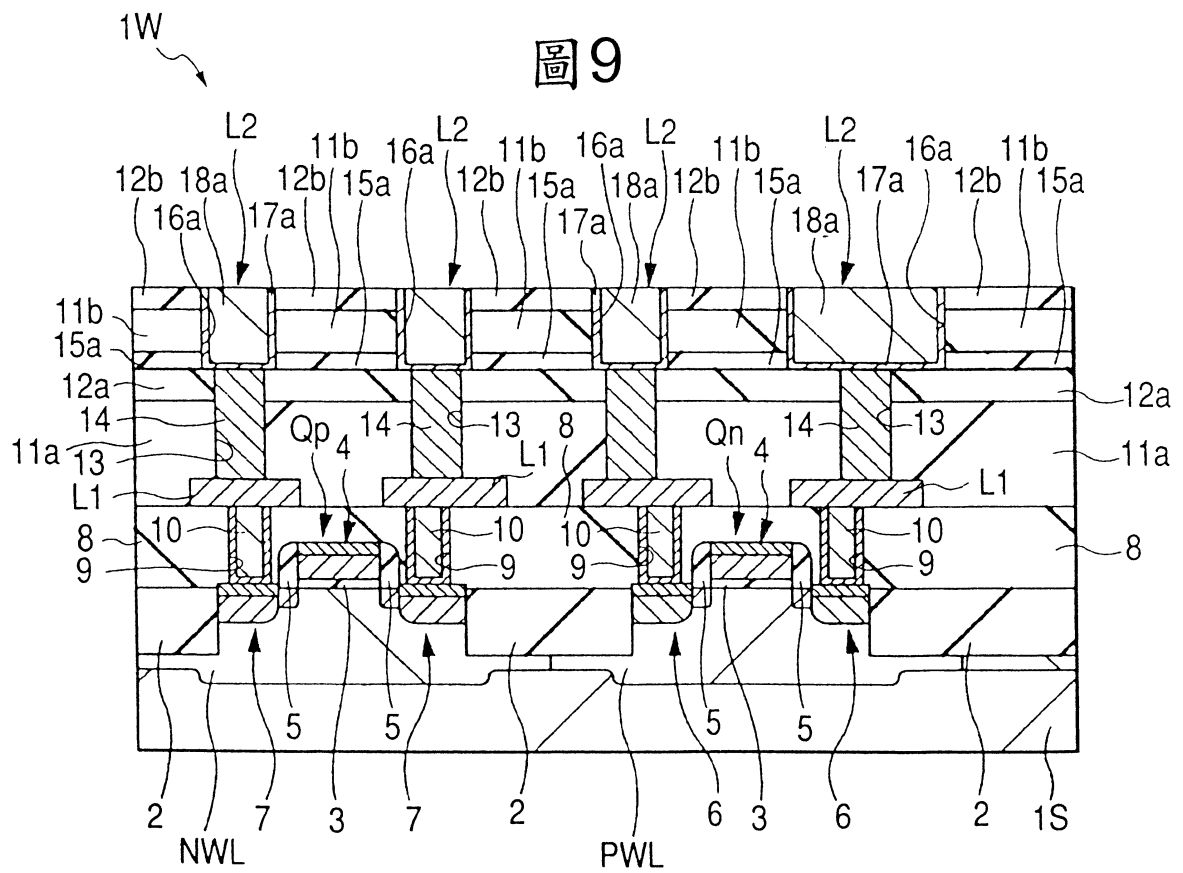


圖 10

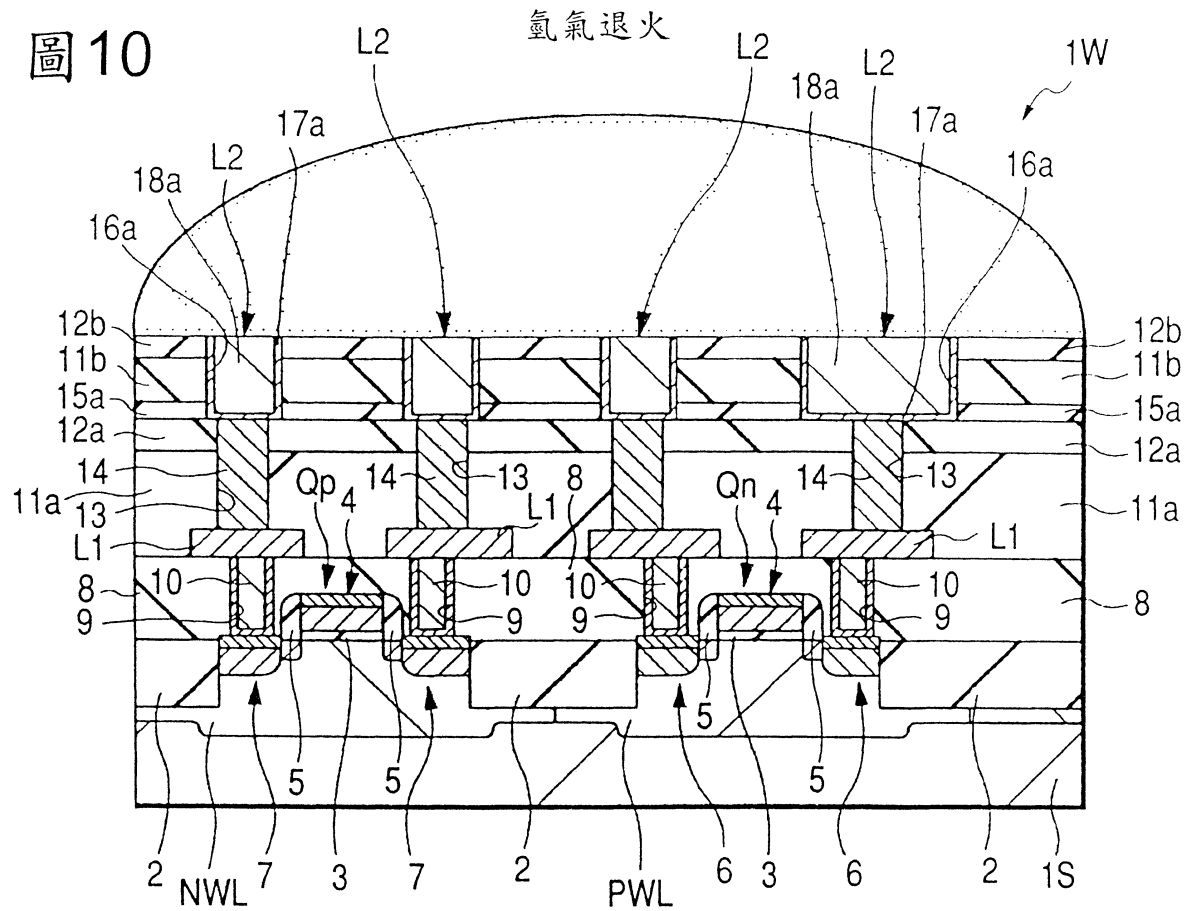


圖 11

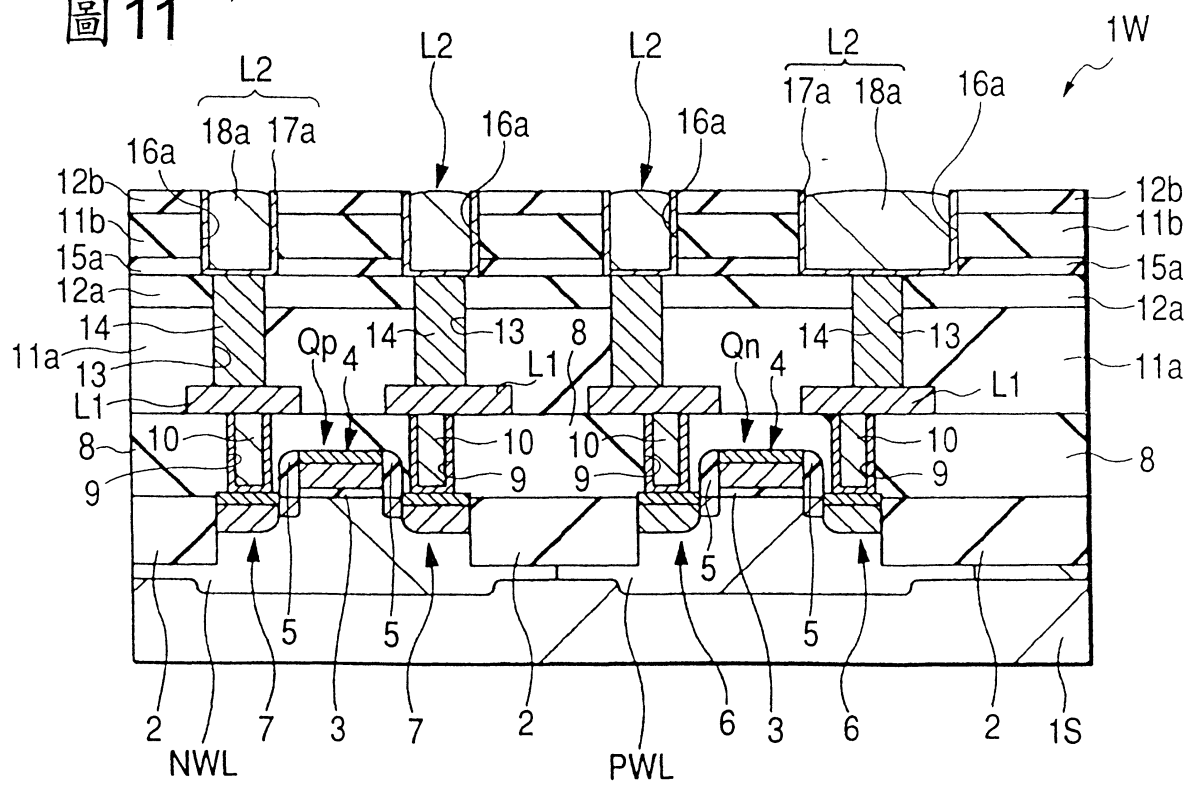


圖 12

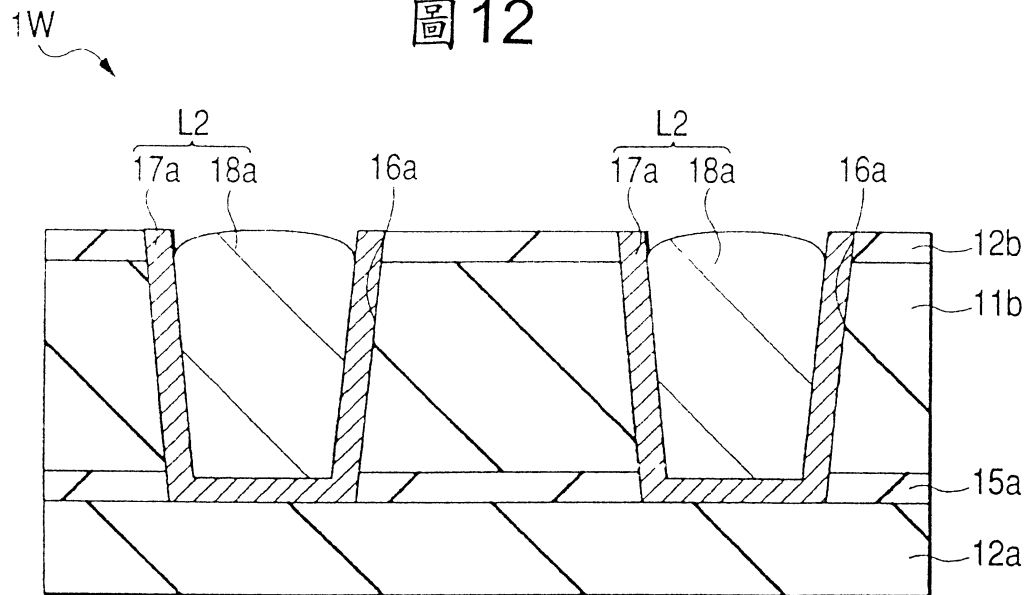


圖 13

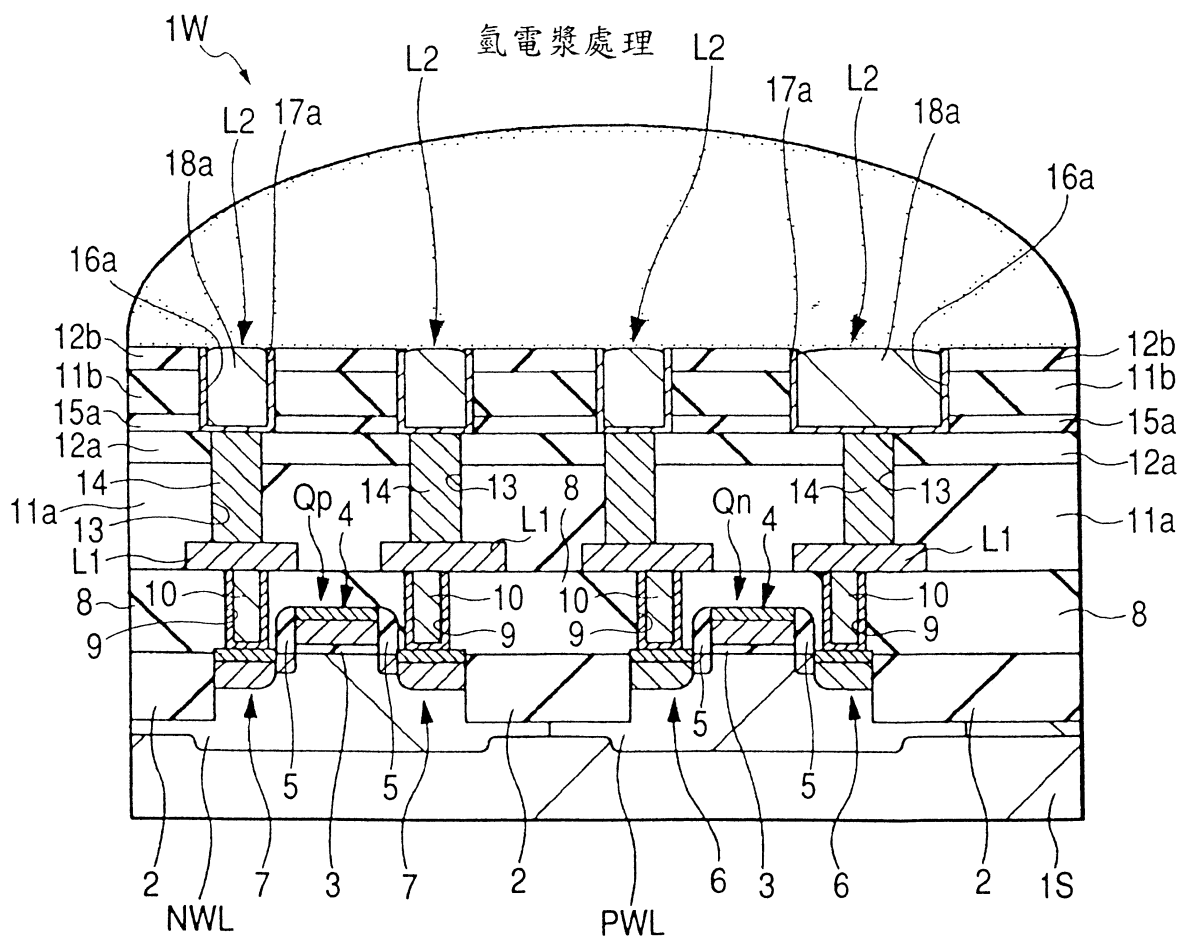


圖 14

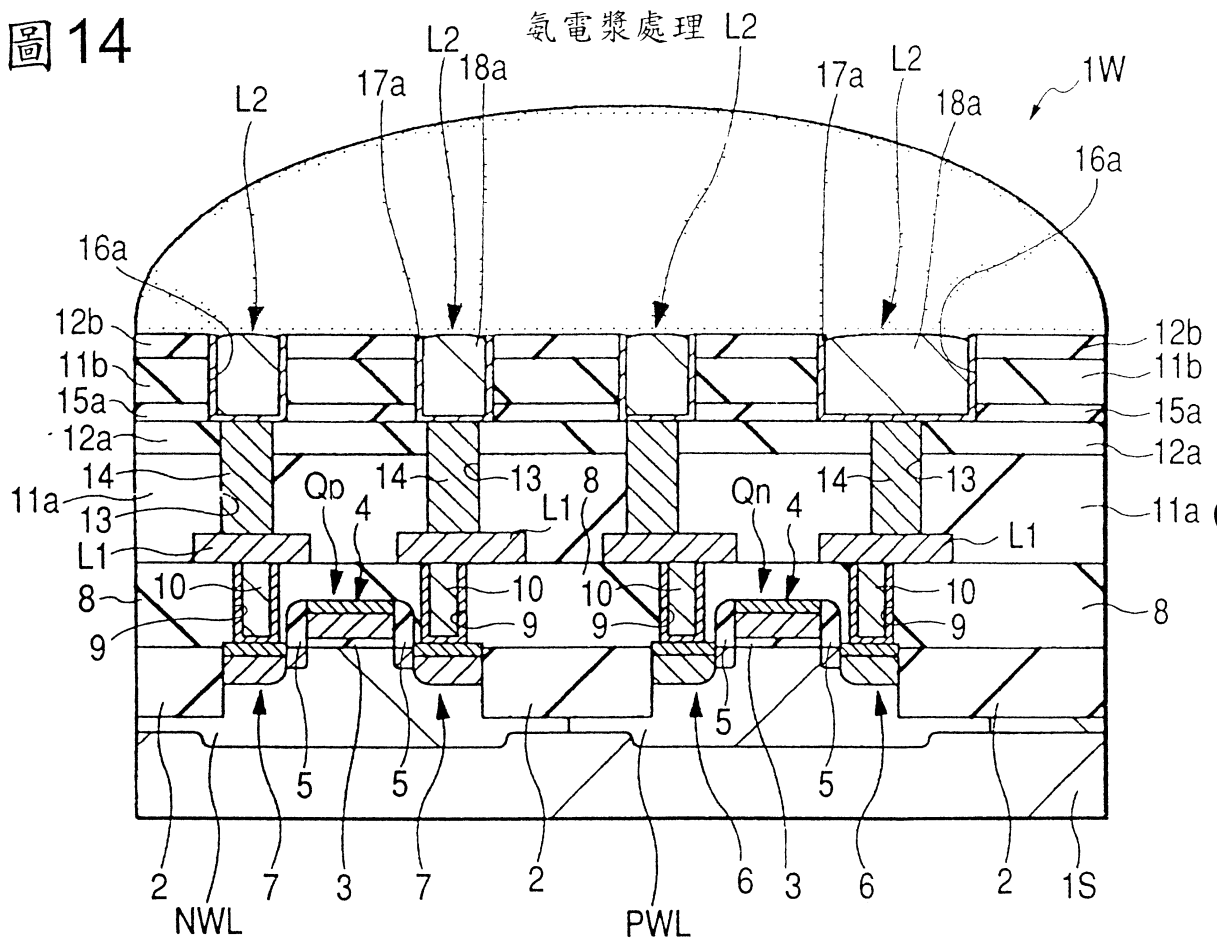


圖 15

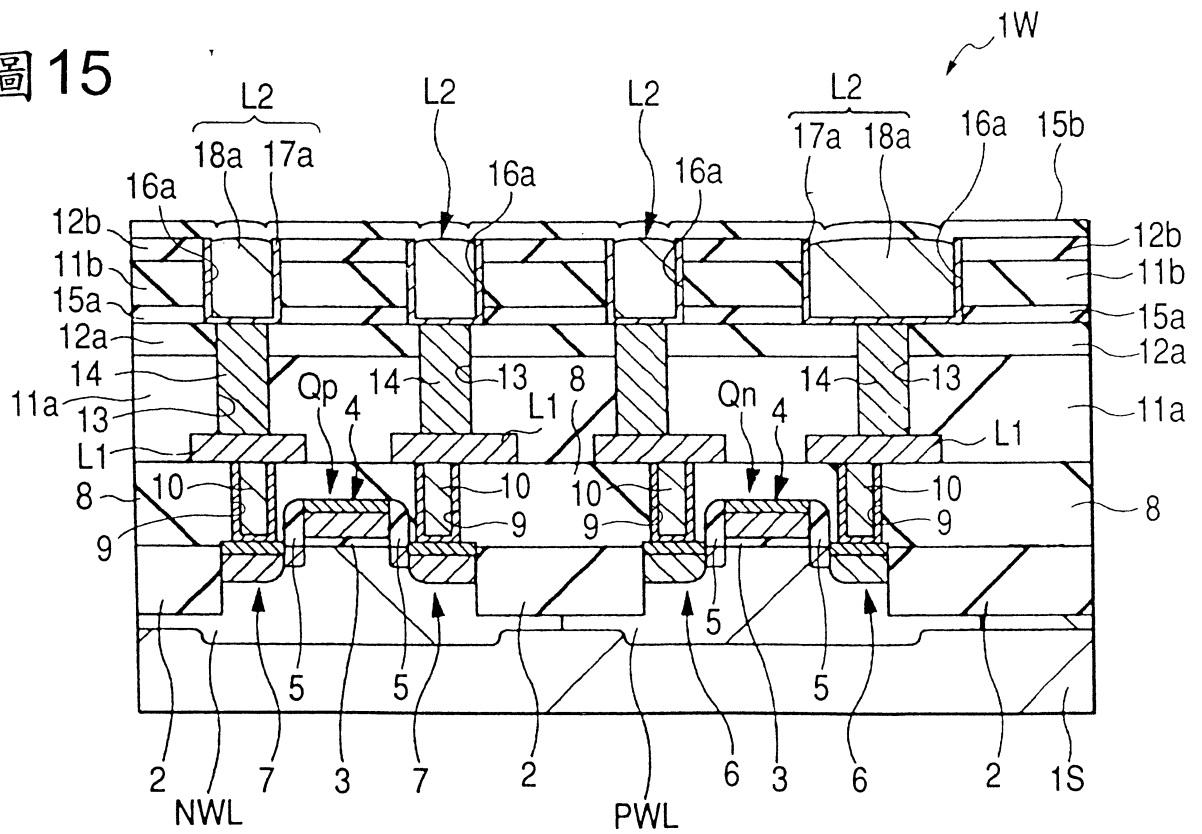


圖 16

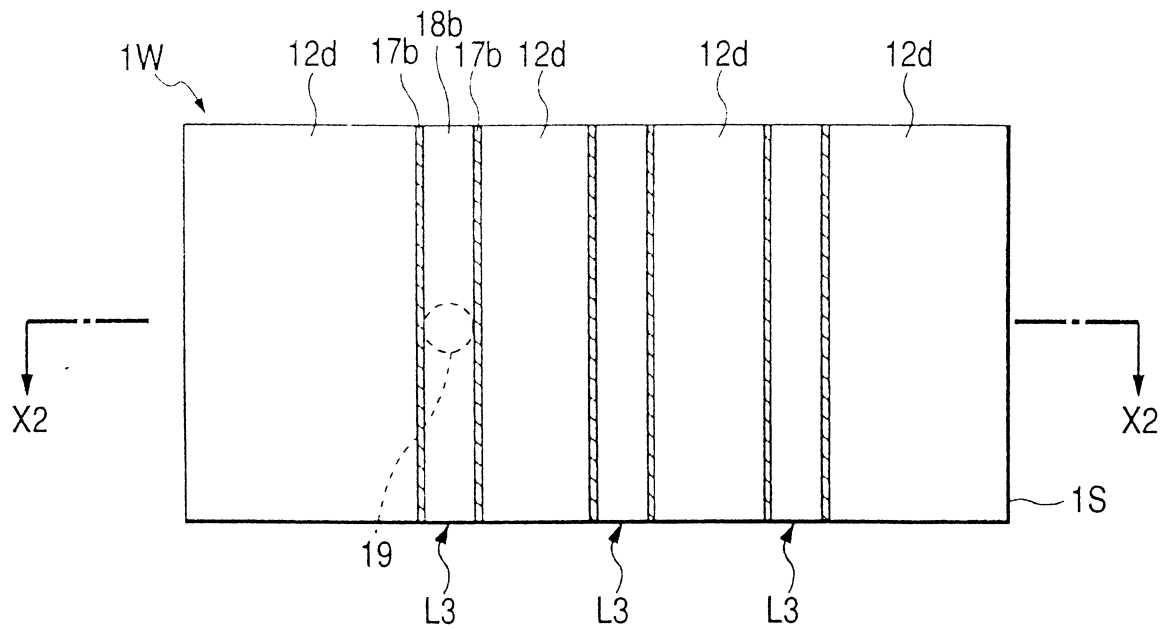


圖 17

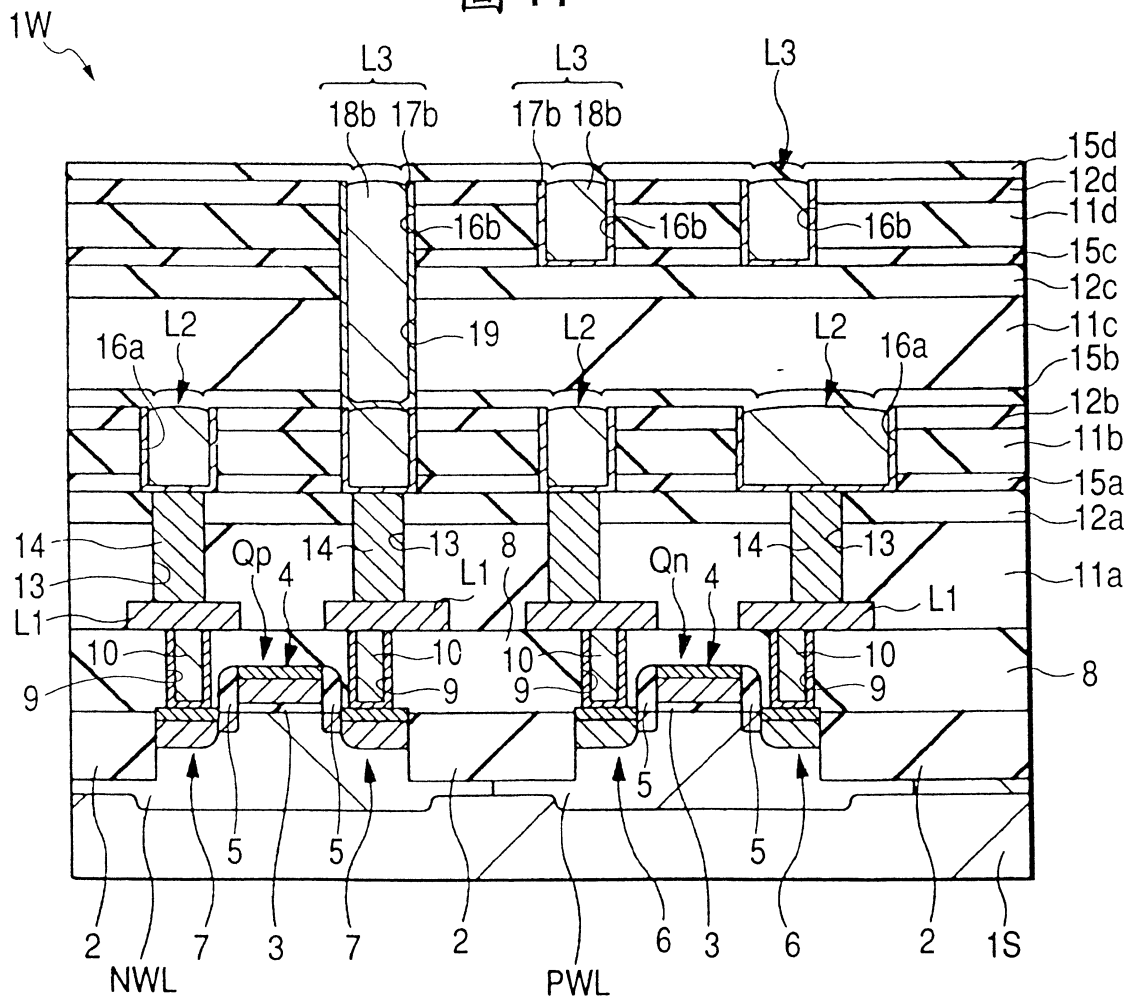


圖 18

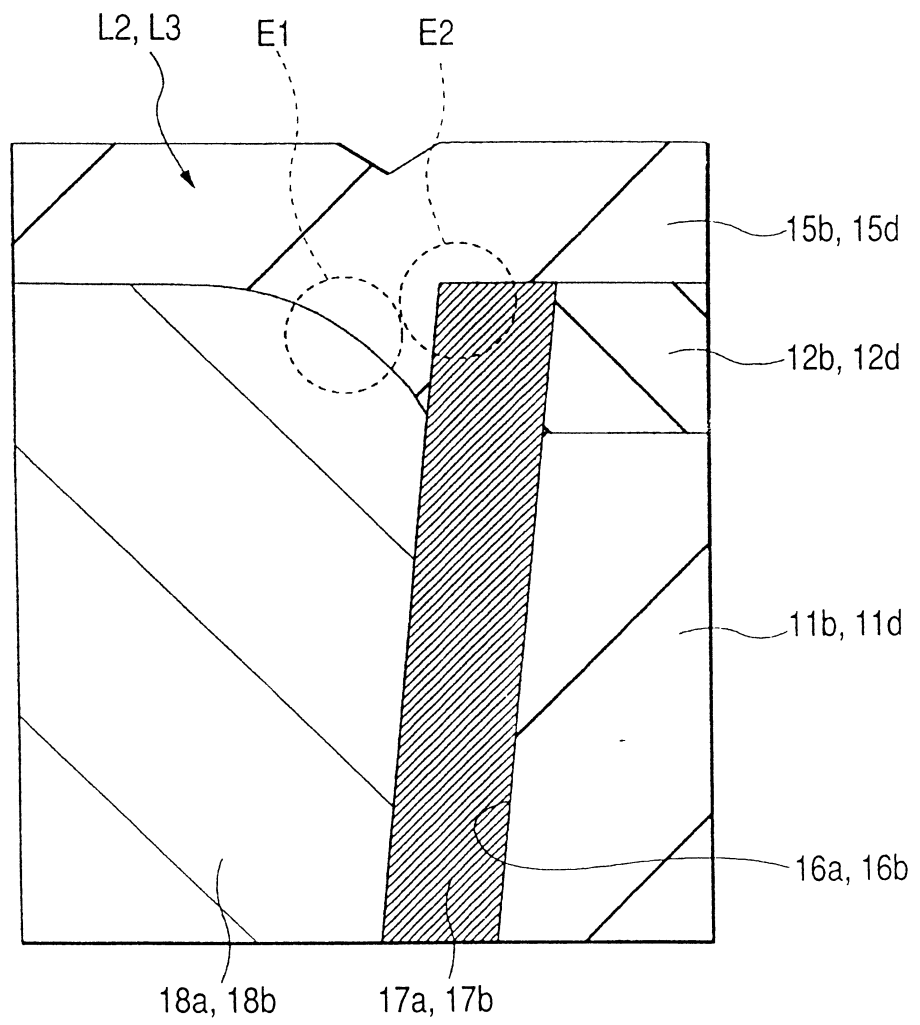


圖 19

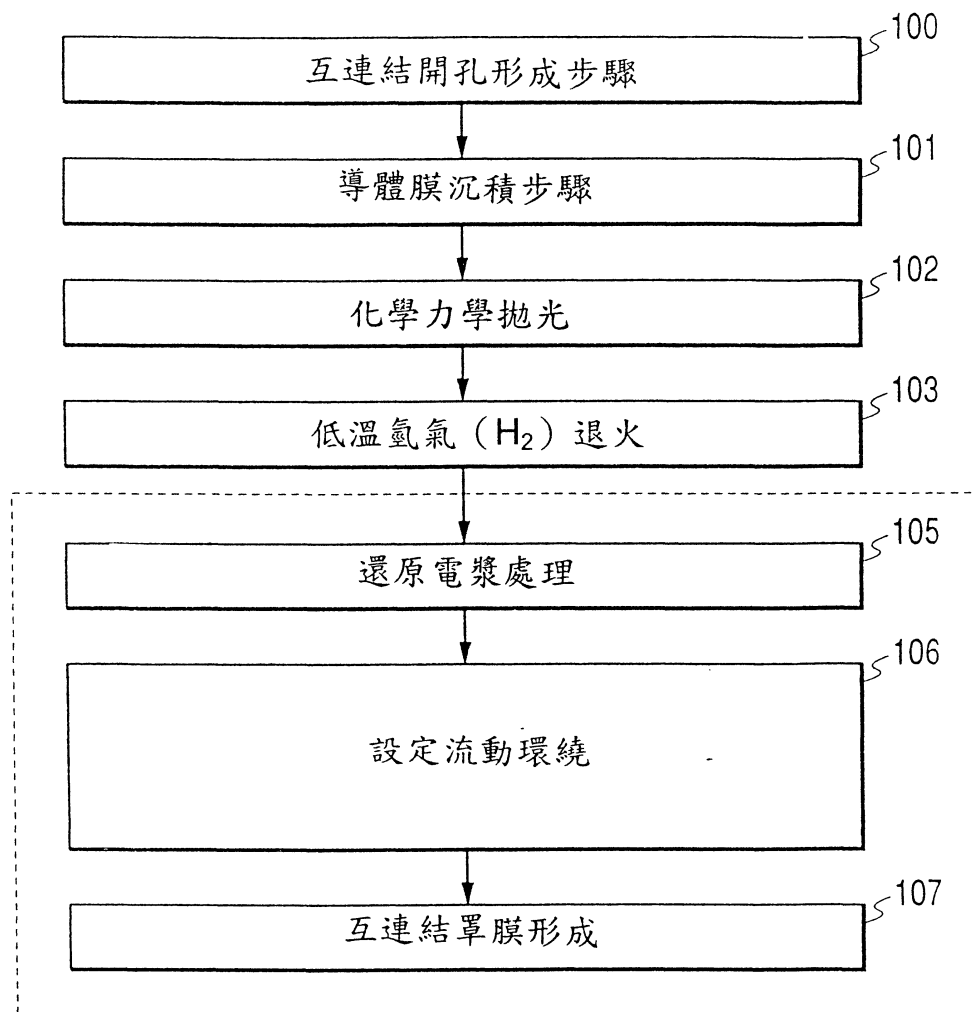


圖 23

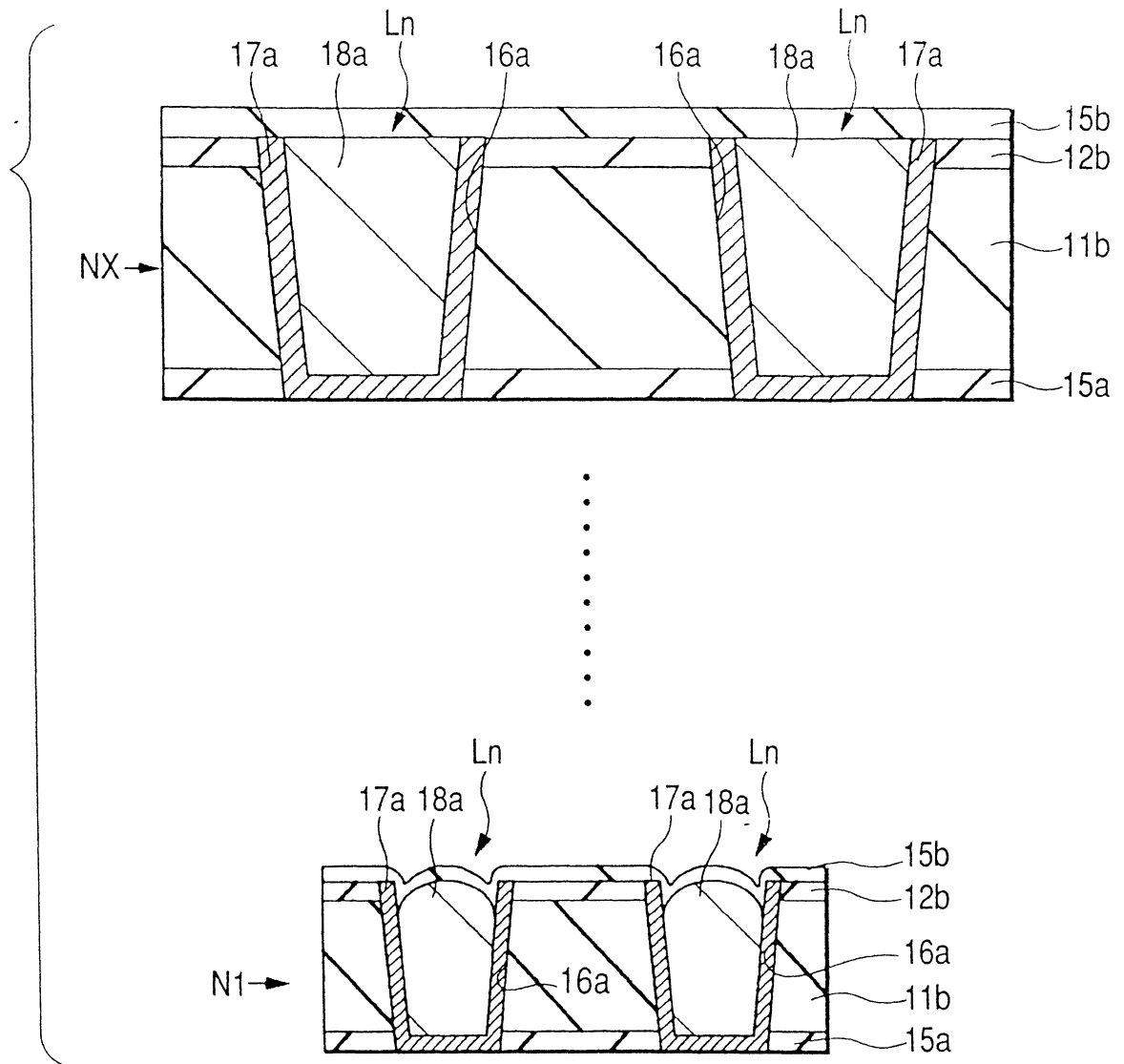


圖 24

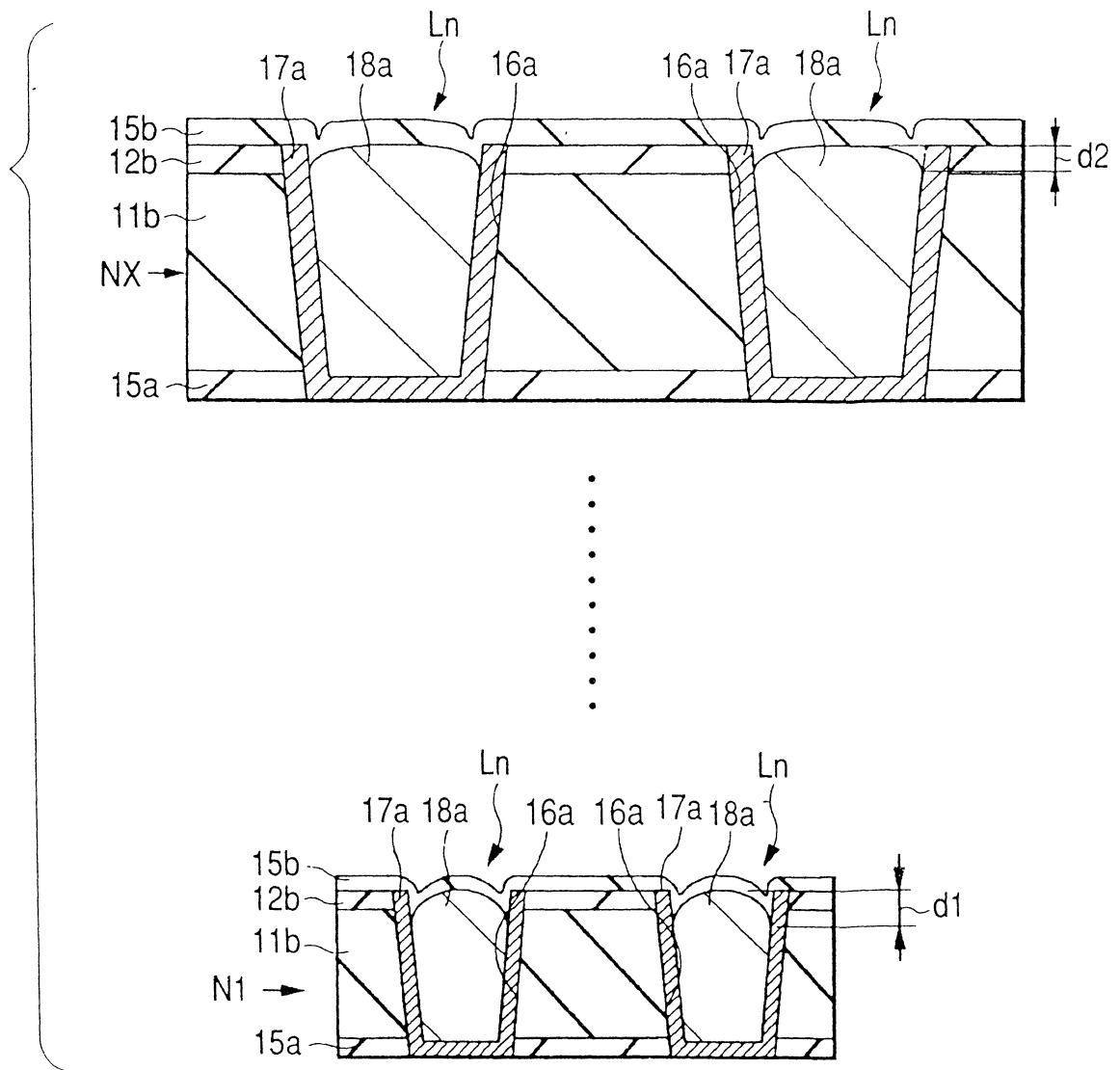


圖 25

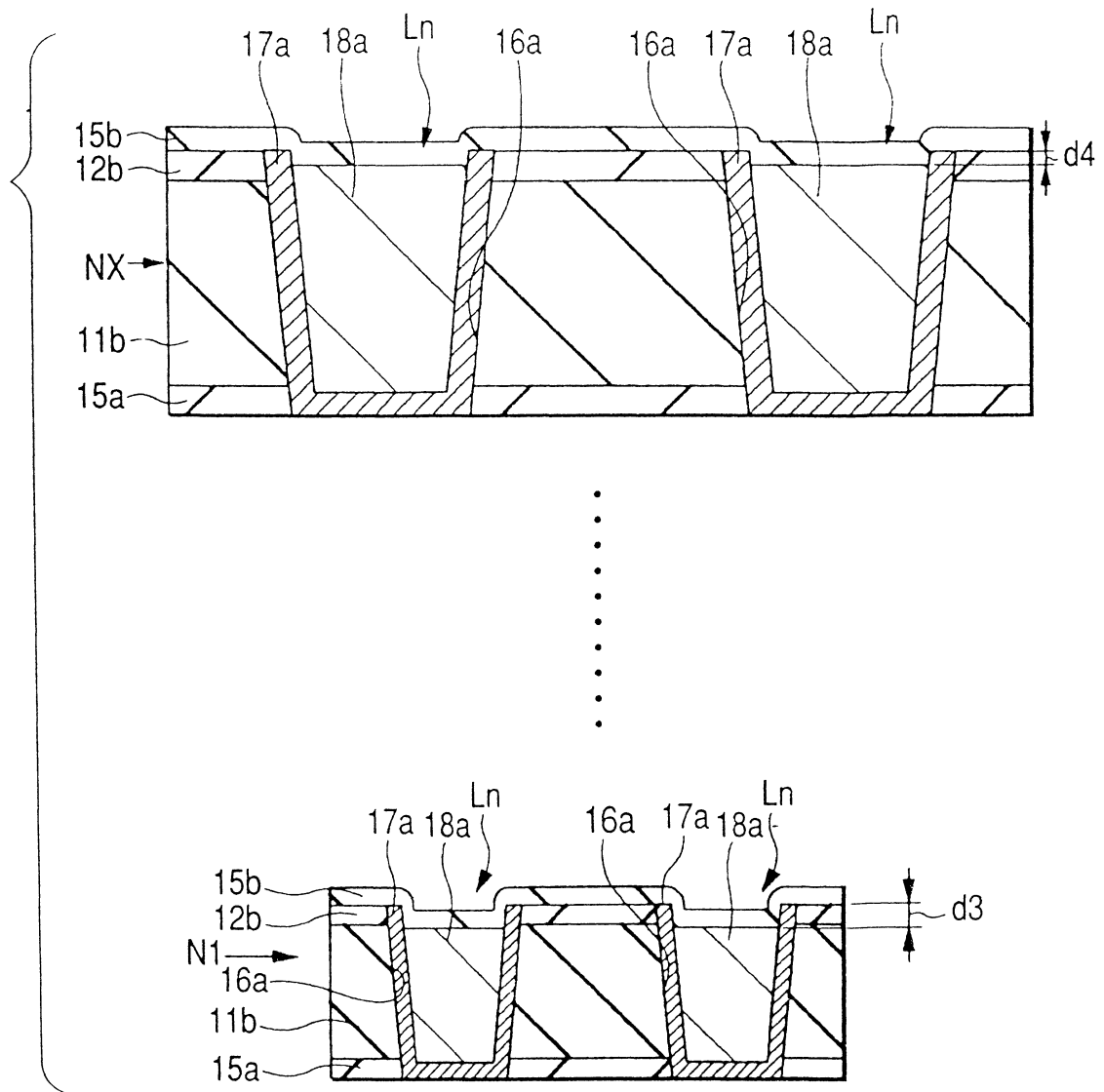


圖 26

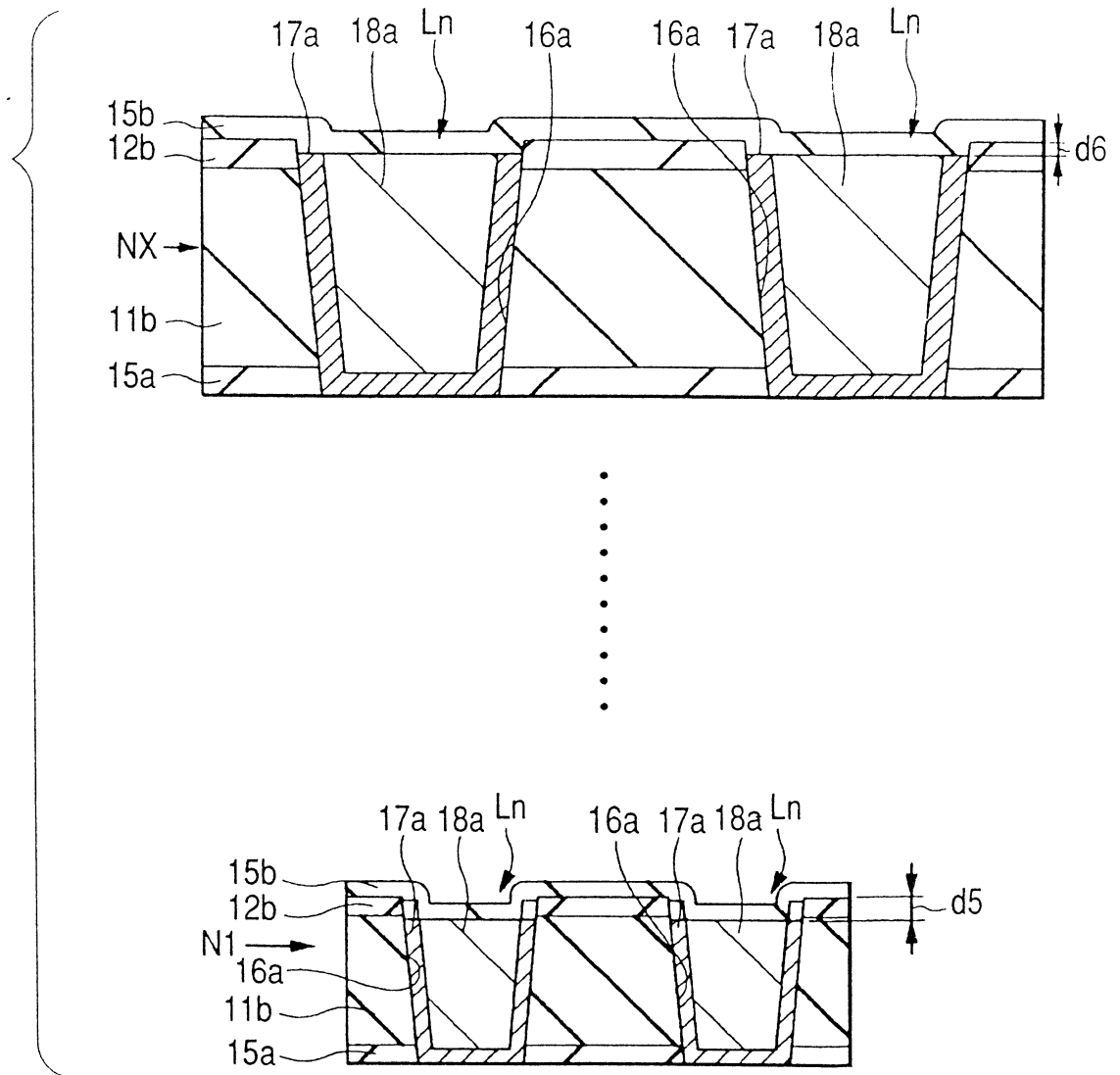
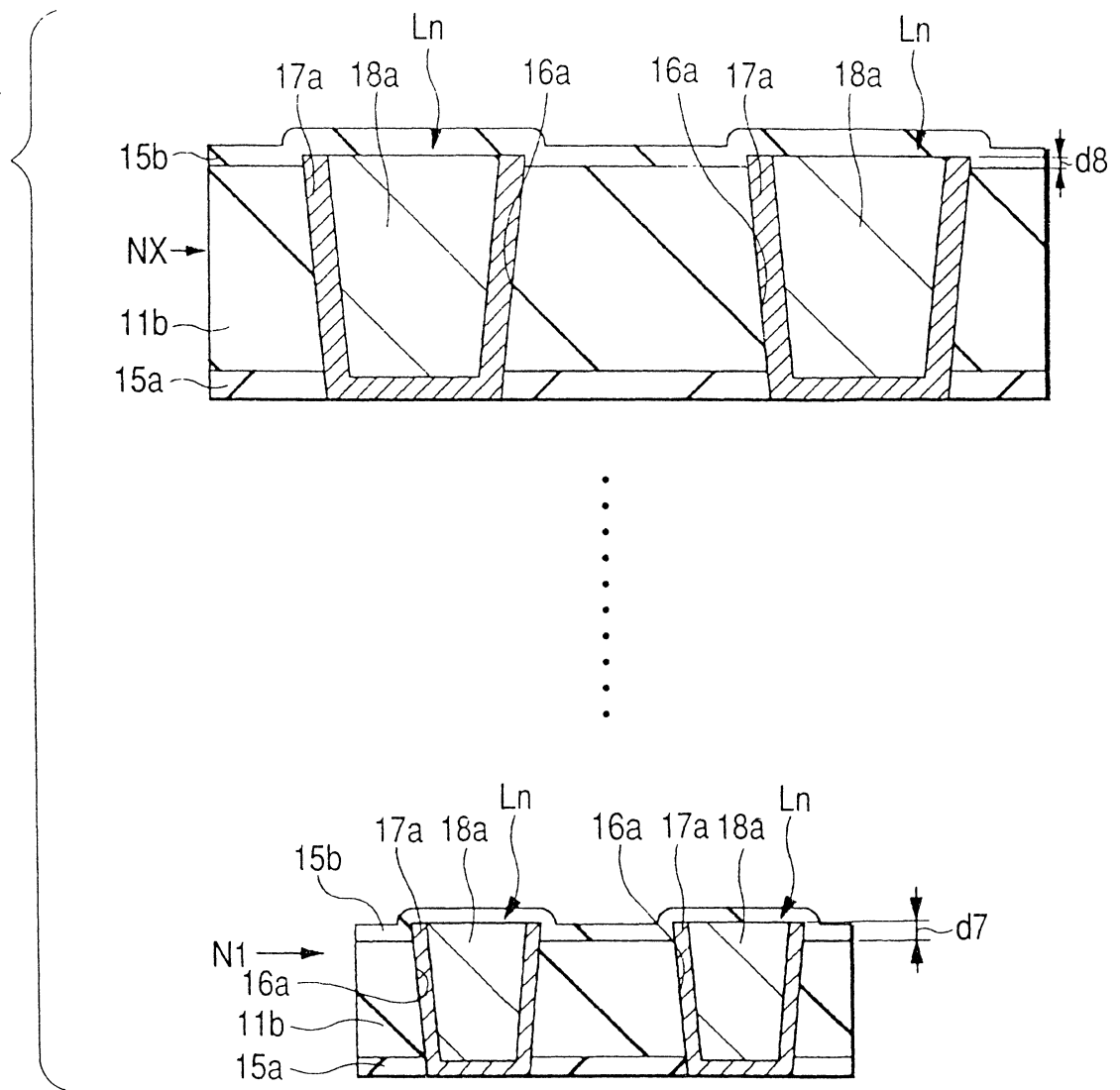


圖 27



(一)、本案指定代表圖爲：第1圖

(二)、本代表圖之元件代表符號簡單說明：

- | | |
|----|-------|
| 1 | 半導體基板 |
| 2 | 絕緣穿圳 |
| 3 | 閘極絕緣膜 |
| 4 | 閘極電極 |
| 5 | 側壁 |
| 6 | 半導體區 |
| 7 | 半導體區 |
| 8 | 絕緣膜 |
| 9 | 接觸孔 |
| 10 | 栓 |
| 11 | 絕緣膜 |
| 12 | 絕緣膜 |
| 13 | 穿孔 |
| 14 | 栓 |
| 15 | 絕緣膜 |
| 16 | 互連結穿圳 |
| 17 | 傳導障壁膜 |
| 18 | 主導體膜 |