

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7522136号
(P7522136)

(45)発行日 令和6年7月24日(2024.7.24)

(24)登録日 令和6年7月16日(2024.7.16)

(51)国際特許分類

F I

G 0 9 F	9/302(2006.01)	G 0 9 F	9/302	Z
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00	3 5 2
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 3 8
G 0 9 G	3/3225(2016.01)	G 0 9 G	3/3225	
G 0 9 G	3/3266(2016.01)	G 0 9 G	3/3266	

請求項の数 12 (全25頁) 最終頁に続く

(21)出願番号	特願2021-570495(P2021-570495)
(86)(22)出願日	令和2年3月27日(2020.3.27)
(65)公表番号	特表2023-528699(P2023-528699 A)
(43)公表日	令和5年7月6日(2023.7.6)
(86)国際出願番号	PCT/CN2020/081857
(87)国際公開番号	WO2021/189485
(87)国際公開日	令和3年9月30日(2021.9.30)
審査請求日	令和5年3月22日(2023.3.22)

(73)特許権者	510280589 京東方科技集團股 ぶん 有限公司 BOE TECHNOLOGY GROU P CO., LTD. 中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號 No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(74)代理人	100108453 弁理士 村山 靖彦
(74)代理人	100110364 弁理士 実広 信哉
(72)発明者	朱 志 堅

最終頁に続く

(54)【発明の名称】 表示基板及び表示方法、表示装置

(57)【特許請求の範囲】

【請求項 1】

表示基板であって、

表示領域と、表示領域を取り囲むオフセット領域とを備え、前記表示基板の位置する平面に垂直な方向において、前記表示基板は、シリコン系基板と、シリコン系基板に設置される発光構造層と、前記発光構造層の前記シリコン系基板から離れる側に設置されるパッケージ層とを備え、前記表示領域のシリコン系基板に第1画素駆動回路が集積され、前記オフセット領域のシリコン系基板に第2画素駆動回路が集積され、

前記第1画素駆動回路は前記表示領域の発光構造層に接続され、少なくとも一部の前記第1画素駆動回路は、正常に表示するとき、前記第1画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供するように構成され、

前記第2画素駆動回路は前記オフセット領域の発光構造層に接続され、少なくとも一部の前記第2画素駆動回路は、正常に表示するとき、前記第2画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供しないように構成され、

前記表示領域が正常に動作する場合、前記オフセット領域における表示ユニットは動作せず、

前記表示領域が前記オフセット領域に移動する場合、前記表示領域が移動で到達したオフセット領域の表示ユニットのみが動作し、前記オフセット領域の残りの表示ユニットは動作しない、表示基板。

【請求項 2】

10

20

すべての前記第1画素駆動回路は、いずれも前記第1画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供するように構成される、請求項1に記載の表示基板。

【請求項3】

前記オフセット領域は左側オフセット領域、右側オフセット領域及び/又は上側オフセット領域及び下側オフセット領域を備え、前記左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数の差分は10行を超えず、前記上側オフセット領域及び下側オフセット領域に含まれる画素ユニット行数の差分は10行を超えない、請求項1に記載の表示基板。

【請求項4】

前記左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数は同じであり、前記上側オフセット領域及び下側オフセット領域に含まれる画素ユニット行数は同じである、請求項3に記載の表示基板。

10

【請求項5】

前記左側オフセット領域又は右側オフセット領域の画素ユニットの列数と前記表示領域の画素ユニットの列数との比率は1%以上であり、前記上側オフセット領域又は下側オフセット領域の画素ユニットの行数と表示領域の画素ユニットの行数との比率は1%以上である、請求項3に記載の表示基板。

【請求項6】

前記表示基板は、前記パッケージ層の前記発光構造層から離れる側に設置されるカラーフィルム層を更に備え、前記表示領域及びオフセット領域のカラーフィルム層は、それぞれアレイ状に設置される第1色ユニット、第2色ユニット及び第3色ユニットを備える、請求項1に記載の表示基板。

20

【請求項7】

オフセット領域を少なくとも部分的に取り囲むダミー画素領域を更に備え、前記表示基板の位置する平面に垂直な方向において、前記ダミー画素領域は、シリコン系基板と、シリコン系基板に設置される発光構造層と、前記発光構造層の前記シリコン系基板から離れる側に設置されるパッケージ層とを備える、請求項1に記載の表示基板。

【請求項8】

表示装置であって、請求項1～7のいずれか1項に記載の表示基板を備え、ゲートドライバ、ソースドライバ及びタイミングコントローラを更に備え、

30

前記ゲートドライバは、タイミングコントローラから出力されたゲート制御信号を受信し、走査信号を生成して走査線を介して表示基板における実際表示領域に伝送するように構成され、前記実際表示領域は前記表示基板における画素ユニットの画素欠点の位置及び数に基づいて調整し、

前記ソースドライバは、タイミングコントローラから出力されたデータ電圧及びソース制御信号を受信し、対応のデータ電圧信号を生成してデータ線を介して表示基板における実際表示領域に出力するように構成され、

前記タイミングコントローラは、外部から入力された赤緑青データ及びタイミング制御信号を受信し、赤緑青データ及びタイミング制御信号に基づいてデータ電圧及びソース制御信号を生成してソースドライバに出力し、ゲート駆動信号を生成してゲートドライバに出力するように構成される、表示装置。

40

【請求項9】

前記実際表示領域が前記表示基板における画素ユニットの画素欠点の位置及び数に基づいて調整することは、

初期表示の時、前記ゲートドライバ及びソースドライバがA行目～B行目、C列目～D列目の画素ユニットを駆動して表示させることと、

前記表示領域の左側縁部に近接するC列目～(C+N)列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバがA行目～B行目、(C+N+1)列目～(D+N+1)列目の画素ユニットを駆動して表示させることと、

50

前記表示領域の右側縁部に近接する(D - N) 列目 ~ D 列目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバが A 行目 ~ B 行目、(C - N - 1) 列目 ~ (D - N - 1) 列目の画素ユニットを駆動して表示させることと、

前記表示領域の上側縁部に近接する A 行目 ~ (A + M) 行目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバが (A + M + 1) 行目 ~ (B + M + 1) 行目、C 列目 ~ D 列目の画素ユニットを駆動して表示させることと、

前記表示領域の下側縁部に近接する(B - M) 行目 ~ B 行目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバが (A - M - 1) 行目 ~ (B - M - 1) 行目、C 列目 ~ D 列目の画素ユニットを駆動して表示させることと、を含み、

A、B、C、D、N 及び M がいずれも 1 以上の自然数であり、且つ $A < B$ 、 $C < D$ 、 $N < C$ 、 $M < A$ である、請求項 8 に記載の表示装置。

【請求項 10】

表示基板に適用される表示方法であって、前記表示基板は表示領域と、表示領域を取り囲むオフセット領域とを備え、前記表示方法は、

前記表示領域の複数の画素ユニットに対して画素欠点の検出を行うことと、

前記表示領域の一侧縁部に近接する第 1 所定個数の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行又はソースドライバから出力された画素列が画素欠点の位置する側の対側のオフセット領域へ移動するように調整することと、を含み、

前記ゲートドライバから出力された画素行又はソースドライバから出力された画素列が移動で到達した、画素欠点の位置する側の対側のオフセット領域の表示ユニットのみが動作し、前記オフセット領域の残りの表示ユニットは動作しない、表示方法。

【請求項 11】

表示領域の一侧縁部に近接する第 1 所定個数の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行又はソースドライバから出力された画素列が画素欠点の位置する側の対側へ移動するように調整することは、

初期表示の時、前記ゲートドライバ及びソースドライバが A 行目 ~ B 行目、C 列目 ~ D 列目の画素ユニットを駆動して表示させることと、

前記表示領域の左側縁部に近接する C 列目 ~ (C + N) 列目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を (C + N + 1) 列目 ~ (D + N + 1) 列目に調整することと、

前記表示領域の右側縁部に近接する(D - N) 列目 ~ D 列目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を (C - N - 1) 列目 ~ (D - N - 1) 列目に調整することと、

前記表示領域の上側縁部に近接する A 行目 ~ (A + M) 行目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を (A + M + 1) 行目 ~ (B + M + 1) 行目に調整することと、

前記表示領域の下側縁部に近接する(B - M) 行目 ~ B 行目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を (A - M - 1) 行目 ~ (B - M - 1) 行目に調整することと、を含み、

A、B、C、D、N 及び M がいずれも 1 以上の自然数であり、且つ $A < B$ 、 $C < D$ 、 $N < C$ 、 $M < A$ である、請求項 10 に記載の表示方法。

【請求項 12】

前記表示領域の複数の画素ユニットに対して画素欠点の検出を行うことは、

前記表示領域の複数の画素ユニットをグループ分けすることと、

複数のグループを駆動して順次発光させることと、

各グループが発光するとき、該グループにおける画素ユニットが発光するかどうかによ

10

20

30

40

50

って、該グループに画素欠点が含まれるかどうか及び含まれる画素欠点の数を決定することと、を含む請求項 10 に記載の表示方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は表示技術分野に関するが、それに限らず、特に表示基板及び表示方法、表示装置に関する。

【背景技術】

【0002】

拡張現実／仮想現実（VR／AR、Virtual Reality／Augmented Reality）技術の日々進歩及び市場の急速な成長に伴い、VR／AR分野に適用されるディスプレイパネルも急速に小型化、高画素密度（PPI、Pixels Per Inch）、高速応答及び高色域の方向へ発展しており、シリコン系有機発光ダイオード（OLED、Organic Light-Emitting Diode）マイクロディスプレイパネルはその中の目立つ方向である。シリコン系OLEDマイクロディスプレイ技術は遅れて始まるが、その小型化及び高PPIの利点に頼って、表示分野の新しい注目技術となっている。

10

【発明の概要】

【課題を解決するための手段】

【0003】

以下は本明細書に詳しく説明される主題の概要である。本概要は特許請求の範囲を制限するためのものではない。

20

【0004】

本開示の実施例は表示基板を提供し、表示領域と、表示領域を取り囲むオフセット領域とを備え、前記表示基板の位置する平面に垂直な方向において、前記表示基板は、シリコン系基板と、シリコン系基板に設置される発光構造層と、前記発光構造層の前記シリコン系基板から離れる側に設置されるパッケージ層とを備え、前記表示領域のシリコン系基板に第1画素駆動回路が集積され、前記オフセット領域のシリコン系基板に第2画素駆動回路が集積され、前記第1画素駆動回路は前記表示領域の発光構造層に接続され、少なくとも一部の前記第1画素駆動回路は、正常に表示するとき、前記第1画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供するように構成され、前記第2画素駆動回路は前記オフセット領域の発光構造層に接続され、少なくとも一部の前記第2画素駆動回路は、正常に表示するとき、前記第2画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供しないように構成される。

30

【0005】

いくつかの可能な実現方式では、すべての前記第1画素駆動回路は、いずれも前記第1画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供するように構成される。

【0006】

いくつかの可能な実現方式では、前記オフセット領域は左側オフセット領域、右側オフセット領域及び／又は上側オフセット領域及び下側オフセット領域を備え、前記左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数の差分は10行を超えず、前記上側オフセット領域及び下側オフセット領域に含まれる画素ユニット行数の差分は10行を超えない。

40

【0007】

いくつかの可能な実現方式では、前記左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数は同じであり、前記上側オフセット領域及び下側オフセット領域に含まれる画素ユニット行数は同じである。

【0008】

いくつかの可能な実現方式では、前記左側オフセット領域又は右側オフセット領域の画素ユニットの列数と前記表示領域の画素ユニットの列数との比率は1%以上であり、前記

50

上側オフセット領域又は下側オフセット領域の画素ユニットの行数と表示領域の画素ユニットの行数との比率は1%以上である。

【0009】

いくつかの可能な実現方式では、前記表示基板は、前記パッケージ層の前記発光構造層から離れる側に設置されるカラーフィルム層を更に備え、前記表示領域及びオフセット領域のカラーフィルム層は、それぞれアレイ状に設置される第1色ユニット、第2色ユニット及び第3色ユニットを備える。

【0010】

いくつかの可能な実現方式では、前記表示基板はオフセット領域を少なくとも部分的に取り囲むダミー画素領域を更に備え、前記表示基板の位置する平面に垂直な方向において、前記ダミー画素領域は、シリコン系基板と、シリコン系基板に設置される発光構造層と、前記発光構造層の前記シリコン系基板から離れる側に設置されるパッケージ層とを備える。

10

【0011】

本開示の実施例は更に表示装置を提供し、上記いずれか1項に記載の表示基板を備え、ゲートドライバ、ソースドライバ及びタイミングコントローラを更に備え、前記ゲートドライバは、タイミングコントローラから出力されたゲート制御信号を受信し、走査信号を生成して走査線を介して表示基板における実際表示領域に伝送するように構成され、前記実際表示領域は前記表示基板における画素ユニットの画素欠点の位置及び数に基づいて調整し、前記ソースドライバは、タイミングコントローラから出力されたデータ電圧及びソース制御信号を受信し、対応のデータ電圧信号を生成してデータ線を介して表示基板における実際表示領域に出力するように構成され、前記タイミングコントローラは、外部から入力された赤緑青データ及びタイミング制御信号を受信し、赤緑青データ及びタイミング制御信号に基づいてデータ電圧及びソース制御信号を生成してソースドライバに出力し、ゲート駆動信号を生成してゲートドライバに出力するように構成される。

20

【0012】

いくつかの可能な実現方式では、前記実際表示領域が前記表示基板における画素ユニットの画素欠点の位置及び数に基づいて調整することは、

初期表示の時、前記ゲートドライバ及びソースドライバがA行目～B行目、C列目～D列目の画素ユニットを駆動して表示させることと、

30

前記表示領域の左側縁部に近接するC列目～(C+N)列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバがA行目～B行目、(C+N+1)列目～(D+N+1)列目の画素ユニットを駆動して表示させることと、

前記表示領域の右側縁部に近接する(D-N)列目～D列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバがA行目～B行目、(C-N-1)列目～(D-N-1)列目の画素ユニットを駆動して表示させることと、

前記表示領域の上側縁部に近接するA行目～(A+M)行目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバが(A+M+1)行目～(B+M+1)行目、C列目～D列目の画素ユニットを駆動して表示させることと、

40

前記表示領域の下側縁部に近接する(B-M)行目～B行目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、前記ゲートドライバ及びソースドライバが(A-M-1)行目～(B-M-1)行目、C列目～D列目の画素ユニットを駆動して表示させることと、を含み、

A、B、C、D、N及びMがいずれも1以上の自然数であり、且つA<B、C<D、N<C、M<Aである。

【0013】

本開示の実施例は更に表示方法を提供し、表示領域の複数の画素ユニットに対して画素

50

欠点の検出を行うことと、表示領域の一侧縁部に近接する第1所定個数の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行又はソースドライバから出力された画素列が画素欠点の位置する側の対側へ移動するように調整することと、を含む。

【0014】

いくつかの可能な実現方式では、前記表示領域の一侧縁部に近接する第1所定個数の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行又はソースドライバから出力された画素列が画素欠点の位置する側の対側へ移動するように調整することは、

初期表示の時、前記ゲートドライバ及びソースドライバがA行目～B行目、C列目～D列目の画素ユニットを駆動して表示させることと、

10

前記表示領域の左側縁部に近接するC列目～(C+N)列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を(C+N+1)列目～(D+N+1)列目に調整することと、

前記表示領域の右側縁部に近接する(D-N)列目～D列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を(C-N-1)列目～(D-N-1)列目に調整することと、

前記表示領域の上側縁部に近接するA行目～(A+M)行目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を(A+M+1)行目～(B+M+1)行目に調整することと、

20

前記表示領域の下側縁部に近接する(B-M)行目～B行目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を(A-M-1)行目～(B-M-1)行目に調整することと、を含み、

A、B、C、D、N及びMがいずれも1以上の自然数であり、且つ $A < B$ 、 $C < D$ 、 $N < C$ 、 $M < A$ である。

【0015】

いくつかの可能な実現方式では、前記表示領域の複数の画素ユニットに対して画素欠点の検出を行うことは、前記表示領域の複数の画素ユニットをグループ分けすることと、複数のグループを駆動して順次発光させることと、各グループが発光するとき、該グループにおける画素ユニットが発光するかどうかによって、該グループに画素欠点が含まれるかどうか及び含まれる画素欠点の数を決定することと、を含む。

30

【0016】

図面の概要及び本開示の実施形態を閲覧して理解した後、他の態様を分かることができる。

【図面の簡単な説明】

【0017】

【図1】図1は本開示の表示基板の構造模式図である。

【図2】図2は図1における表示基板の左側縁部の画素が破損される場合、実際表示領域が右へ移動する模式図である。

【図3】図3は図1における表示基板の下側縁部の画素が破損される場合、実際表示領域が上へ移動する模式図である。

40

【図4】図4は本開示の表示基板の断面模式図である。

【図5】図5は本開示のシリコン系基板の回路原理の模式図である。

【図6】図6は本開示の電圧制御回路及び画素駆動回路の回路実現の模式図である。

【図7】図7は本開示の表示基板のシリコン系基板が製造された後の模式図である。

【図8】図8は本開示の表示基板の第1絶縁層及び第1導電性ピラーが形成された後の模式図である。

【図9】図9は本開示の表示基板の反射電極が形成された後の模式図である。

【図10】図10は本開示の表示基板の第2絶縁層及び第2導電性ピラーが形成された後の模式図である。

50

【図 1 1】図 1 1 は本開示の表示基板の陽極層が形成された後の模式図である。

【図 1 2】図 1 2 は本開示の表示基板の有機発光層及び陰極が形成された後の模式図である。

【図 1 3】図 1 3 は本開示の表示基板のパッケージ層が形成された後の模式図である。

【図 1 4】図 1 4 は本開示の表示基板のカラーフィルム層が形成された後の模式図である。

【図 1 5】図 1 5 は本開示の有機発光層の構造模式図である。

【図 1 6】図 1 6 は本開示の表示方法の模式的なフローチャートである。

【発明を実施するための形態】

【0018】

本開示の目的、技術案及び利点をより明確にするために、以下に図面を参照しながら本開示の実施例を詳しく説明する。実施形態は複数の異なる形式で実施されてもよい。当業者が容易に理解できる事実は、本開示の趣旨及びその範囲を逸脱せずに、方式及び内容を様々な形式に変換することができることである。従って、本開示は下記実施形態に記載の内容のみに限定されると解釈されるべきではない。衝突しない限り、本開示の実施例及び実施例の特徴は互いに任意に組み合わせられることができる。

10

【0019】

図面において、明確にするために、各構成要素のサイズ、層の厚さ又は領域を拡大して示す場合がある。従って、本開示の実施形態は該サイズに限定されず、図面における各部材の形状及びサイズは真の比率を反映しない。また、図面に理想的な例を模式的に示すが、本開示の実施形態は図面に示される形状又は数値に限定されるものではない。

20

【0020】

本明細書における「第 1」、「第 2」、「第 3」等の序数用語は構成要素の混同を回避するために設定されたものであり、数の面で限定するためのものではない。

【0021】

本明細書において、便宜上、「中央部」、「上」、「下」、「前」、「後」、「鉛直」、「水平」、「頂」、「底」、「内」、「外」等の方位又は位置関係を示す言葉を使用して図面を参照しながら構成要素の位置関係を説明することは、本明細書を説明しやすくして説明を簡素化するためのものに過ぎず、指す装置又は素子が必ず特定の方位を有し、特定の方位で構成及び操作しなければならないことを指示又は暗示するものではなく、従って、本開示を制限するものと理解されるべきではない。構成要素の位置関係は各構成要素を説明する方向によって適切に変化する。従って、明細書に説明される言葉に限定されず、状況に応じて適切に取り替えることができる。

30

【0022】

本明細書において、特に明確に規定及び限定しない限り、用語の「取付」、「接続」、「連結」は広義的に理解されるべきである。例えば、固定接続、又は取り外し可能な接続、又は一体接続であってもよく、機械的接続、又は接続であってもよく、直接接続、又は中間素子による間接接続、又は 2 つの素子の内部の連通であってもよい。当業者であれば、具体的な状況に応じて上記用語の本開示における具体的な意味を理解することができる。

【0023】

本明細書において、トランジスタとは少なくともゲート電極、ドレイン電極及びソース電極の 3 つの端子を備える素子を指す。トランジスタはドレイン電極（ドレイン電極端子、ドレイン領域又はドレイン電極）とソース電極（ソース電極端子、ソース領域又はソース電極）との間にチャンネル領域を有し、且つ電流はドレイン電極、チャンネル領域及びソース電極を流れることができる。本明細書において、チャンネル領域とは電流が主に流れる領域を指す。

40

【0024】

本明細書において、第 1 極がドレイン電極であり、第 2 極がソース電極であることであってもよく、又は、第 1 極がソース電極であり、第 2 極がドレイン電極であることであってもよい。極性が反対であるトランジスタを使用する場合又は回路動作中の電流方向が変化する場合等に、「ソース電極」及び「ドレイン電極」の機能は互いに交換される場合が

50

ある。従って、本明細書において、「ソース電極」及び「ドレイン電極」は互いに交換されることができる。

【0025】

本明細書において、「接続」は構成要素が、ある電気的作用を有する素子により一体に接続される状況を含む。「ある電気的作用を有する素子」は接続される構成要素間の電気信号の授受を行うことができる限り、特に制限しない。「ある電気的作用を有する素子」の例は電極及び配線のほか、更にトランジスタ等のスイッチング素子、抵抗器、インダクタ、コンデンサ、他の様々な機能を持つ素子等を含む。

【0026】

本明細書において、「平行」とは2つの直線がなす角度が -10° 以上且つ 10° 以下の状態を指し、従って、該角度が -5° 以上且つ 5° 以下の状態も含む。また、「垂直」とは2つの直線がなす角度が 80° 以上且つ 100° 以下の状態を指し、従って、 85° 以上且つ 95° 以下の角度の状態も含む。

10

【0027】

本明細書において、「フィルム」及び「層」は互いに交換されることができる。例えば、「導電層」を「導電フィルム」に置換できる場合がある。それと同様に、「絶縁フィルム」を「絶縁層」に置換できる場合がある。

【0028】

シリコン系OLEDマイクロディスプレイの製造過程において、パッケージ、表面実装等のプロセスにより表示モジュールのある辺の表示エリアの一部の画素が破損され、更に表示時に実際に表示する画素点数が予め設計された画素点数より少ないことをもたらす場合がある。

20

【0029】

本開示の少なくとも1つの実施例は表示基板を提供し、該表示基板は表示領域と、表示領域を取り囲むオフセット領域とを備え、表示基板の位置する平面に垂直な方向において、表示基板はシリコン系基板と、シリコン系基板に設置される発光構造層と、発光構造層のシリコン系基板から離れる側に設置されるパッケージ層とを備え、表示領域のシリコン系基板に第1画素駆動回路が集積され、オフセット領域のシリコン系基板に第2画素駆動回路が集積され、第1画素駆動回路は表示領域の発光構造層に接続され、少なくとも一部の第1画素駆動回路は正常に表示するとき、第1画素駆動回路に電気的に接続される発光構造層に駆動信号を提供するように構成され、第2画素駆動回路はオフセット領域の発光構造層に接続され、少なくとも一部の第2画素駆動回路は正常に表示するとき、第2画素駆動回路に電気的に接続される発光構造層に駆動信号を提供しないように構成される。

30

【0030】

本開示のいくつかの実施例は上記表示基板に対応する表示装置及び表示方法を更に提供する。

【0031】

本開示の上記実施例に係る表示基板によれば、オフセット領域を設置することにより、パッケージ、表面実装等のプロセスにより表示モジュールのある縁部の表示領域の一部の画素ユニットが破損される場合、実際表示領域の位置がオフセット領域へ移動するように調整して、パッケージ・表面実装により破損された画素ユニットを避けることができ、それにより実際に表示する画素点数が予め設計された画素点数に一致するように確保する。

40

【0032】

図1は本開示の表示基板の構造模式図である。図1に示すように、本実施例では、該表示基板は表示領域100と、表示領域100を取り囲むオフセット領域200とを備え、表示基板の位置する平面に垂直な方向において、表示基板は、シリコン系基板と、シリコン系基板に設置される発光構造層と、発光構造層のシリコン系基板から離れる側に設置されるパッケージ層とを備え、表示領域のシリコン系基板に第1画素駆動回路が集積され、オフセット領域のシリコン系基板に第2画素駆動回路が集積され、第1画素駆動回路は表示領域の発光構造層に接続され、少なくとも一部の第1画素駆動回路は、正常に表示する

50

とき、第1画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供するように構成され、第2画素駆動回路はオフセット領域の発光構造層に接続され、少なくとも一部の第2画素駆動回路は、正常に表示するとき、第2画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供しないように構成される。

【0033】

1つの例示的な実施例では、すべての第1画素駆動回路は、いずれも第1画素駆動回路に電氣的に接続される発光構造層に駆動信号を提供するように構成される。

【0034】

1つの例示的な実施例では、図1に示すように、表示基板はオフセット領域200を少なくとも部分的に取り囲むダミー画素領域300を更に備えてもよく、表示基板の位置する平面に垂直な方向において、ダミー画素領域300は、シリコン系基板と、シリコン系基板に設置される発光構造層と、前記発光構造層のシリコン系基板から離れる側に設置されるパッケージ層とを備えてもよい。

10

【0035】

1つの例示的な実施例では、図1に示すように、表示基板はダミー画素領域300を取り囲む陰極リング400を更に備えてもよく、表示基板の位置する平面に垂直な方向において、陰極リング400はシリコン系基板に設置される給電電極層と、給電電極層のシリコン系基板から離れる側に設置される反射層と、反射層の給電電極層から離れる側に設置される陽極層と、陽極層の反射層から離れる側に設置される陰極層とを備えてもよい。

【0036】

1つの例示的な実施例では、図1に示すように、表示領域100は複数の第1画素ユニット101を備え、オフセット領域200は複数の第2画素ユニット201を備え、第2画素ユニット201は第1画素ユニット101の予備画素ユニットとして構成される。

20

【0037】

1つの例示的な実施例では、該表示基板はシリコン系OLEDマイクロディスプレイ基板又は他のいかなるタイプの表示基板であってもよい。シリコン系OLEDマイクロディスプレイ基板は単結晶シリコンウエハをアクティブ駆動バックプレートとして用い、高PPI、高度に集積され、体積が小さく、持ちやすく、耐震性が高く、超低消費電力等の優れた特性を有する。

【0038】

1つの例示的な実施例では、オフセット領域200は左側オフセット領域、右側オフセット領域、上側オフセット領域及び下側オフセット領域のうちのいずれか1つ又は複数を含んでもよく、左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数の差分は10行を超えず、上側オフセット領域及び下側オフセット領域に含まれる画素ユニット上行数の差分は10行を超えない。

30

【0039】

1つの例示的な実施例では、左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数は同じであってもよい。

【0040】

図2に示すように、表示領域100の左側縁部に近接する第1画素ユニット101には第2所定比率を超える画素欠点102が含まれる場合、ソースドライバから出力された画素列が右側へ移動するように調整し、即ち実際表示領域は右へ移動する。同様に、表示領域100の右側縁部に近接する第1画素ユニット101には第2所定比率を超える画素欠点102が含まれる場合、ソースドライバから出力された画素列が左側へ移動するように調整し、即ち実際表示領域は左へ移動する。

40

【0041】

1つの例示的な実施例では、左側オフセット領域の第2画素ユニットの列数と表示領域の第1画素ユニットの列数との比率は1%以上であり、右側オフセット領域の第2画素ユニットの列数と表示領域の第1画素ユニットの列数との比率は1%以上である。例示的に、表示領域に1920行*1080列の第1画素ユニットが含まれる場合、左側オフセッ

50

ト領域に含まれる第2画素ユニットの列数は0列～16列であり、右側オフセット領域に含まれる第2画素ユニットの列数は0列～16列である。合理的な数の第2画素ユニットを設置することにより、表示基板の実際表示空間が浪費されないようにするとともに、一定の候補表示空間を保持させ、所定表示領域の第1画素ユニットの縁部が破損される場合に使用に備える。

【0042】

1つの例示的な実施例では、上側オフセット領域及び下側オフセット領域に含まれる画素ユニット行数は同じであってもよい。

【0043】

図3に示すように、表示領域100の下側縁部に近接する第1画素ユニット101には第2所定比率を超える画素欠点102が含まれる場合、ゲートドライバから出力された画素行が上側へ移動するように調整し、即ち実際表示領域は上へ移動する。同様に、表示領域100の上側縁部に近接する第1画素ユニット101には第2所定比率を超える画素欠点102が含まれる場合、ゲートドライバから出力された画素行が下側へ移動するように調整し、即ち実際表示領域は下へ移動する。

10

【0044】

1つの例示的な実施例では、上側オフセット領域の第2画素ユニットの行数と表示領域の第1画素ユニットの行数との比率は1%以上であり、下側オフセット領域の第2画素ユニットの行数と表示領域の第1画素ユニットの行数との比率は1%以上である。例示的に、表示領域に1920行×1080列の第1画素ユニットが含まれる場合、上側オフセット領域に含まれる第2画素ユニットの行数は0行～16行であり、下側オフセット領域に含まれる第2画素ユニットの行数は0行～16行である。合理的な数の第2画素ユニットを設置することにより、表示基板の実際表示空間が浪費されないようにするとともに、一定の候補表示空間を保持させ、所定表示領域の第1画素ユニットの縁部が破損される場合に使用に備える。

20

【0045】

本実施例では、図4に示すように、表示基板に垂直な平面において、表示基板の表示領域100及びオフセット領域200は、それぞれシリコン系基板10と、シリコン系基板10に設置される発光構造層20と、発光構造層20に設置されるパッケージ層40と、パッケージ層40に設置されるカラーフィルム層50とを備える。表示基板の表示領域100及びオフセット領域200のシリコン系基板10には、駆動信号を生成するための画素駆動回路、ゲート駆動信号を生成するためのゲート駆動回路、及びデータ信号を生成するためのデータ駆動回路が集積される。発光構造層20は、シリコン系基板10に積層される反射層、陽極層、有機発光層及び陰極層を備え、反射層は陰極層とマイクロキャピティ構造を構成することに用いられ、有機発光層から直接射出された光と反射層により反射された光とを互いに干渉させ、射出光の色域を向上させ、射出光の輝度を強化する。例示的な実施形態では、発光構造層20は更に画素定義層又は平坦層等の構造フィルム層を備えてもよい。パッケージ層40が発光構造層20を包むことは、パッケージ層40が発光構造層20のシリコン系基板10から離れる側の上面に設置され、及び発光構造層20のすべての側面に設置され、パッケージ層40とシリコン系基板10により密閉されたチャンバーが構成され、発光構造層20が該密閉されたチャンバー内に設置されることを意味する。シリコン系基板10に平行する平面及びシリコン系基板10に垂直な平面において、パッケージ層40のシリコン系基板10での正投影は、発光構造層20のシリコン系基板10での正投影を含む。

30

40

【0046】

1つの例示的な実施例では、表示領域100及びオフセット領域200のカラーフィルム層50は、それぞれアレイ状に設置される第1色ユニット53、第2色ユニット54及び第3色ユニット55を備え、第1色ユニット53、第2色ユニット54及び第3色ユニット55は、それぞれ赤(R)色カラーフィルタユニット(CF、Color Filter)、緑(G)色カラーフィルタユニット及び青(B)色カラーフィルタユニットのう

50

ちの1つであってもよい。いくつかの可能な実現方式では、カラーフィルム層50における色ユニットは互いにオーバーラップしてブラックマトリックスとされてもよく、又は色ユニットの間にブラックマトリックスを設置する。本開示は白色光+カラーフィルムの方式を用いて、2000より大きな高解像度を実現することができ、VR/ARニーズを満足することができる。

【0047】

1つの例示的な実施例では、有機発光層33のうちの少なくとも1層は全面的に設置されてもよく、又は独立して各画素領域に応じて設置されてもよく、各画素領域における各色の発光層が積層されて白色光を発することができればよい。

【0048】

1つの例示的な実施例では、有機発光層33は、赤、緑、青の3つの色の発光層がそれぞれアレイ状に配置されるものであってもよく、各画素領域から独立して赤色光、青色光、緑色光を発する。

【0049】

1つの例示的な実施例では、ダミー画素領域300がカラーフィルム構造を備えず、例えば基板におけるある側のオフセット領域200における表示ユニットが使用されていない場合、オフセット領域200における表示ユニットの上方のカラーフィルム層はダミーカラーフィルムとして、カラーフィルム層の製造時の露光・現像の不均一による不均一問題を緩和することができる。

【0050】

1つの例示的な実施例では、ダミー画素領域300はカラーフィルム構造を備えてもよく、表示領域におけるカラーフィルム層の設置方式と同じであってもよく、本実施例では詳細な説明は省略する。

【0051】

1つの例示的な実施例では、陰極リング400の上方にカラーフィルム層が設置されてもよく、該領域のカラーフィルム層は外周領域に延在してもよい。

【0052】

1つの例示的な実施例では、表示基板は更にカバープレート70を備えてもよく、カバープレート70はカラーフィルム層50の上方に設置され、カラーフィルム層50への保護機能を実現することができる。例示的な実施形態では、カバープレート70はシーラントによりシリコン系基板10に接続され、シーラントはシリコン系基板10とカバープレート70との間に設置され、水蒸気と酸素の侵入を阻止するために保障を提供することができ、シリコン系OLED表示基板の耐用年数を大幅に延ばす。他の例示的な実施形態では、シーラントはカバープレート70の側面に設置されてもよく、カバープレート70の周りの側面とシリコン系基板10との間がシーラントにより密封され、シーラントのシリコン系基板10から離れる側の端面は、カバープレート70のシリコン系基板10に隣接する側の表面とカバープレート70のシリコン系基板10から離れる側の表面との間に位置し、これにより、密封効果を確保することができるだけでなく、シーラントがカバープレート70より高いことによる表示基板の厚さの増加を防止することもできる。例示的な実施形態では、カバープレート70は表示領域100に設置され、位置合わせ及び密封を良く実現し、切断過程におけるカバープレート70の割れを回避することができる。

【0053】

1つの例示的な実施例では、表示基板は更に保護層60を備えてもよく、保護層60はカラーフィルム層50とカバープレート70との間に設置され、保護層60はカラーフィルム層50を被覆する。例示的な実施形態では、保護層60はSiC又はSiCNxを用いてもよく、SiC又はSiCNxが無機特性を有する傾向があるため、カラーフィルム層50を保護することができ、カラーフィルム層50の劣化損傷を減少させ、耐用年数を延ばす一方、平坦表面を形成することができ、後続のカバープレートの貼付プロセスにおける接着剤のレベリングを容易にし、カバープレートの貼付品質を向上させる。

【0054】

10

20

30

40

50

図5は本開示のシリコン系基板の回路原理の模式図である。シリコン系基板10は表示領域100(AAエリア)及びオフセット領域200に位置する複数の表示ユニットと、外周領域に位置する制御回路とを備え、表示領域100における複数の表示ユニットは規則的に配置され、複数の表示行及び複数の表示列を形成し、各表示ユニットは画素駆動回路103と、画素駆動回路103に接続される発光デバイス104とを備え、画素駆動回路103は少なくとも駆動トランジスタを備える。制御回路は少なくとも複数の電圧制御回路110を備え、各電圧制御回路110は複数の画素駆動回路103に接続される。例えば、1つの電圧制御回路110は1つの表示行における画素駆動回路103に接続され、該表示行の画素駆動回路103における駆動トランジスタの第1極は共同で該電圧制御回路110に接続され、各駆動トランジスタの第2極はこの表示ユニットの発光デバイス104の陽極に接続され、発光デバイス104の陰極は第2電源信号VSSの入力端子に接続される。電圧制御回路110はそれぞれ第1電源信号VDDの入力端子、初期化信号Vinitの入力端子、リセット制御信号REの入力端子及び発光制御信号EMの入力端子に接続され、電圧制御回路110は、リセット制御信号REに応答して、初期化信号Vinitを駆動トランジスタの第1極に出力して、対応の発光デバイス104をリセットするように制御するように構成される。電圧制御回路110は更に、発光制御信号EMに
10
20
応答して、第1電源信号VDDを駆動トランジスタの第1極に出力して、発光デバイス104を駆動して発光させるように構成される。1つの表示行における画素駆動回路103は共同で電圧制御回路110に接続されることにより、表示領域100における各画素駆動回路103の構造を簡素化し、表示領域100における画素駆動回路103の占有面積を低減することができ、これにより、より多くの画素駆動回路103及び発光デバイス104を表示領域100に設置し、高PPI表示を実現する。電圧制御回路110は、リセット制御信号REの制御によって初期化信号Vinitを駆動トランジスタの第1極に出力し、対応の発光デバイス104をリセットするように制御し、前のフレームが発光する際に発光デバイス104に印加した電圧の次のフレームによる発光への影響を回避することができ、残影現象を改善することができる。

【0055】

例示的な実施形態では、3つの異なる色の表示ユニットにより1つの画素ユニットが構成され(該画素ユニットは第1画素ユニットであってもよく、又は第2画素ユニットであってもよい)、3つの表示ユニットはそれぞれ赤色表示ユニット、緑色表示ユニット及び青色表示ユニットであってもよい。いくつかの可能な実現方式では、1つの画素ユニットは4つ、5つまたはより多くの表示ユニットを備えてもよく、実際の応用環境に応じて設計して決定されてもよく、ここで制限しない。いくつかの可能な実現方式では、1つの電圧制御回路110は、同一の表示行における2つの隣接する表示ユニットの画素駆動回路103に接続されてもよく、又は同一の表示行における3つまたはより多くの表示ユニットの画素駆動回路103に接続されてもよく、ここで制限しない。

【0056】

図6は本開示の電圧制御回路及び画素駆動回路の回路実現の模式図である。図6に示すように、発光デバイスはOLEDを備えてもよく、OLEDの陽極は駆動トランジスタM0の第2極Dに接続され、OLEDの陰極は第2電源信号VSSの入力端子に接続され、第2電源信号VSSの電圧は一般的に負電圧又は接地電圧V_{GND}(一般的に0Vである)であり、初期化信号Vinitの電圧は接地電圧V_{GND}として設定されてもよい。例示的な実施形態では、OLEDはMicro-OLED又はMini-OLEDであってもよく、高PPI表示を実現することに役立つ。

【0057】

例示的な実施形態では、電圧制御回路110は1つの表示行における2つの画素駆動回路103に接続され、画素駆動回路103は駆動トランジスタM0、第3トランジスタM3、第4トランジスタM4及び蓄電コンデンサCstを備え、電圧制御回路110は第1トランジスタM1及び第2トランジスタM2を備える。駆動トランジスタM0、第1トランジスタM1、第2トランジスタM2、第3トランジスタM3、第4トランジスタM4は

10

20

30

40

50

、いずれもシリコン系基板に製造された金属酸化物半導体電界効果トランジスタ（MOS、Metal Oxide Semiconductor）である。

【0058】

第1トランジスタM1の制御電極はリセット制御信号REの入力端子に接続され、リセット制御信号REを受信することに用いられ、第1トランジスタM1の第1極は初期化信号Vinitの入力端子に接続され、初期化信号Vinitを受信することに用いられ、第1トランジスタM1の第2極はそれぞれ対応の駆動トランジスタM0の第1極S及び第2トランジスタM2の第2極に接続される。第2トランジスタM2の制御電極は発光制御信号EMの入力端子に接続され、発光制御信号EMを受信することに用いられ、第2トランジスタM2の第1極は第1電源信号VDDの入力端子に接続され、第1電源信号VDDを受信することに用いられ、第2トランジスタM2の第2極はそれぞれ対応の駆動トランジスタM0の第1極S及び第1トランジスタM1の第2極に接続される。例示的な実施形態では、第1トランジスタM1及び第2トランジスタM2のタイプは異なってもよく、例えば、第1トランジスタM1はN型トランジスタであり、第2トランジスタM2はP型トランジスタであり、又は、第1トランジスタM1はP型トランジスタであり、第2トランジスタM2はN型トランジスタである。いくつかの可能な実現方式では、第1トランジスタM1及び第2トランジスタM2のタイプは同じであってもよく、実際の応用環境に応じて設計して決定されてもよく、ここで制限しない。

10

【0059】

画素駆動回路103は駆動トランジスタM0、第3トランジスタM3、第4トランジスタM4及び蓄電コンデンサCstを備える。駆動トランジスタM0の制御電極G、駆動トランジスタM0の第1極Sは第1トランジスタM1の第2極及び第2トランジスタM2の第2極に接続され、駆動トランジスタM0の第2極DはOLEDの陽極に接続される。第3トランジスタM3の制御電極は第1制御電極走査信号S1の入力端子に接続され、第1制御電極走査信号S1を受信することに用いられ、第3トランジスタM3の第1極はデータ信号DAの入力端子に接続され、データ信号DAを受信することに用いられ、第3トランジスタM3の第2極は駆動トランジスタM0の制御電極Gに接続される。第4トランジスタM4の制御電極は第2制御電極走査信号S2の入力端子に接続され、第2制御電極走査信号S2を受信することに用いられ、第4トランジスタM4の第1極はデータ信号DAの入力端子に接続され、データ信号DAを受信することに用いられ、第4トランジスタM4の第2極は駆動トランジスタM0の制御電極Gに接続される。蓄電コンデンサCstの第1端子は駆動トランジスタM0の制御電極Gに接続され、蓄電コンデンサCstの第2端子は接地端子GNDに接続される。例示的な実施形態では、駆動トランジスタM0はN型トランジスタであってもよく、第3トランジスタM3及び第4トランジスタM4のタイプは異なってもよく、例えば、第3トランジスタM3はN型トランジスタであり、第4トランジスタM4はP型トランジスタである。データ信号DAの電圧が高グレースケールに対応する電圧である場合、P型の第4トランジスタM4をオンにすることによりデータ信号DAを駆動トランジスタM0の制御電極Gに伝送し、データ信号DAの電圧が例えばN型の第3トランジスタM3の閾値電圧から影響を受けることを回避することができる。データ信号DAの電圧が低グレースケールに対応する電圧である場合、N型の第3トランジスタM3をオンにすることによりデータ信号DAを駆動トランジスタM0の制御電極Gに伝送し、データ信号DAの電圧がP型の第4トランジスタM4の閾値電圧から影響を受けることを回避することができる。そうすると、駆動トランジスタM0の制御電極Gに入力された電圧範囲を広げることができる。いくつかの可能な実現方式では、第3トランジスタM3及び第4トランジスタM4のタイプについて、第3トランジスタM3はP型トランジスタであってもよく、第4トランジスタM4はN型トランジスタであってもよい。いくつかの可能な実現方式では、画素駆動回路は3T1C、5T1C又は7T1C回路構造であってもよく、又は内部補償又は外部補償機能を有する回路構造であってもよく、本開示はこれを制限しない。

20

30

40

【0060】

50

以下、表示基板の製造過程の例によって表示基板の構造について説明する。本開示の所謂「パターニングプロセス」はフィルム層の堆積、フォトレジストのコーティング、マスクの露光、現像、エッチング及びフォトレジストの剥離処理を含む。堆積はスパッタリング、蒸着及び化学気相堆積のうちのいずれか1つ又は複数を用いてもよく、コーティングはスプレー及びスピコートの中のいずれか1つ又は複数を用いてもよく、エッチングはドライエッチング及びウェットエッチングの中のいずれか1つ又は複数を用いてもよい。「薄膜」とはある材料を基板に堆積又はコーティングプロセスにより製造した1層の薄膜を指す。製造過程全体において該「薄膜」がパターニングプロセスを行う必要がない場合、該「薄膜」は更に「層」と称されてもよい。製造過程全体において該「薄膜」がパターニングプロセスを行う必要がある場合、パターニングプロセスの前に「薄膜」と称され、パターニングプロセスの後で「層」と称される。パターニングプロセスを経た後の「層」には少なくとも1つの「パターン」が含まれる。本開示で言われる「AとBが同一層に設置される」とは、AとBが同一のパターニングプロセスにより同時に形成されることを意味する。本開示で言われる「Aの正投影がBの正投影を含む」とは、Bの正投影がAの正投影範囲内に位置し、又はAの正投影がBの正投影を被覆することを意味する。

【0061】

(1) シリコン系基板10を製造し、図7に示すように、シリコン系基板10は表示領域100と、表示領域100を取り囲む外周領域とを備え、外周領域はオフセット領域200、ダミー画素領域300及び陰極リング400を備え、表示領域100及びオフセット領域200のシリコン系基板10にいずれも画素駆動回路が集積され、陰極リング400のシリコン系基板10に給電回路が集積される。例示的な説明として、図7には表示領域100の3つの表示ユニット、即ち第1最優先表示ユニット、第2最優先表示ユニット及び第3最優先表示ユニットを示し、オフセット領域200の3つの表示ユニット、即ち第1候補表示ユニット、第2候補表示ユニット及び第3候補表示ユニットを示し、画素駆動回路に含まれる駆動トランジスタ11を示し、陰極リング400の給電電極401を示す。例示的な実施形態では、表示領域100及びオフセット領域200の駆動薄膜トランジスタはそれぞれ活性層、ゲート電極、ソース電極、ドレイン電極及びゲート接続電極を備え、ソース電極及びドレイン電極はそれぞれ導電性ピラーによって活性層に接続され、ゲート接続電極は導電性ピラーによってゲート電極に接続される。シリコン系基板10の製造は成熟したCMOS集積回路プロセスを用いてもよく、本開示はこれを制限しない。製造が完了した後、シリコン系基板10の表面には表示領域100のソース電極、ドレイン電極及びゲート接続電極、オフセット領域200のソース電極、ドレイン電極及びゲート接続電極、陰極リング400の給電電極401が露出する。

【0062】

(2) シリコン系基板10に第1絶縁薄膜を堆積し、パターニングプロセスにより第1絶縁薄膜をパターニングして、シリコン系基板10を被覆する第1絶縁層12のパターンを形成し、表示領域100及びオフセット領域200の第1絶縁層12にそれぞれ複数の第1ビアを形成し、陰極リング400の第1絶縁層12に少なくとも1つの第2ビアを形成し、複数の第1ビアがそれぞれ各表示ユニットのドレイン電極を露出させ、第2ビアが給電電極401を露出させる。その後、図8に示すように、第1絶縁層12における第1ビア及び第2ビア内に複数の第1導電性ピラー13を形成し、第1ビアにおける第1導電性ピラー13はその位置する表示ユニットのドレイン電極に接続され、第2ビアにおける第1導電性ピラー13は陰極リング400の給電電極401に接続される。例示的な実施形態では、第1導電性ピラー13は金属材料により製造されてもよく、充填処理により第1導電性ピラー13を形成した後、更に研磨処理することができ、研磨プロセスにより第1絶縁層12及び第1導電性ピラー13の表面を腐食して摩擦して、第1絶縁層12及び第1導電性ピラー13の一部の厚さを除去し、第1絶縁層12及び第1導電性ピラー13に面一の表面を形成させる。いくつかの可能な実現方式では、第1導電性ピラー13は金属タングステン(W)を用いてもよく、タングステン金属で充填されるビアはタングステンビア(W-via)と称される。第1絶縁層12の厚さが比較的大きい場合、タングス

テンピアを用いることにより導電通路の安定性を確保することができる。タングステンピアの製造プロセスが成熟したため、得られた第1絶縁層12の表面平坦度が高く、接触抵抗の低減に役立つ。タングステンピアはシリコン系基板10と反射層との接続に適用されるだけでなく、反射層と陽極層との接続及び他の配線層間の接続にも適用される。

【0063】

(3) 図9に示すように、上記構造が形成されるシリコン系基板10に第1金属薄膜を堆積し、パターニングプロセスにより第1金属薄膜をパターニングし、第1絶縁層12に反射層のパターンを形成し、反射層は表示領域100、オフセット領域200、ダミー画素領域300及び陰極リング400内に設置される複数の反射電極14を備え、各表示ユニットにおいて、反射電極14は第1導電性ピラー13によってドレイン電極に接続され、陰極リング400において、反射電極14は第1導電性ピラー13によって給電電極401に接続される。例示的な実施形態では、各表示ユニットの反射電極14は後続形成される陰極とマイクロキャビティ構造を構成することに用いられ、反射電極の高反射効果を利用して、有機発光層から直接射出された光と反射電極により反射された光とを互いに干渉させ、射出光の色域を向上させ、射出光の輝度を強化する。

【0064】

(4) 上記構造が形成されるシリコン系基板10に第2絶縁薄膜を堆積し、パターニングプロセスにより第2絶縁薄膜をパターニングして、シリコン系基板10を被覆する第2絶縁層15のパターンを形成し、表示領域100及びオフセット領域200の第2絶縁層15にそれぞれ複数の第3ビアを形成し、ダミー画素領域300の第2絶縁層15に複数の第4ビアを形成し、陰極リング400の第2絶縁層15に少なくとも1つの第5ビアを形成し、複数の第3ビアがそれぞれ各表示ユニットの反射電極14を露出させ、複数の第4ビアがそれぞれ各ダミー画素領域300の反射電極14を露出させ、第5ビアが陰極リング400の反射電極14を露出させる。その後、図10に示すように、第2絶縁層15における第3ビア、第4ビア及び第5ビア内に複数の第2導電性ピラー16を形成し、第3ビアにおける第2導電性ピラー16はその位置する表示ユニットの反射電極14に接続され、第4ビアにおける第2導電性ピラー16はダミー画素領域300の反射電極14に接続され、第5ビアにおける第2導電性ピラー16は陰極リング400の反射電極14に接続される。例示的な実施形態では、第2導電性ピラー16は金属材料により製造されてもよく、充填処理により第2導電性ピラー16を形成した後、更に研磨処理することができ、研磨プロセスにより第2絶縁層15及び第2導電性ピラー16の表面を腐食して摩擦して、第2絶縁層15及び第2導電性ピラー16の一部の厚さを除去し、第2絶縁層15及び第2導電性ピラー16に面一の表面を形成させる。いくつかの可能な実現方式では、第2導電性ピラー16は金属タングステン(W)を用いてもよい。

【0065】

(5) 図11に示すように、上記構造が形成されるシリコン系基板10に透明導電薄膜を堆積し、パターニングプロセスにより透明導電薄膜をパターニングし、表示領域100、オフセット領域200、ダミー画素領域300及び陰極リング400の第2絶縁層15にそれぞれ陽極層のパターンを形成し、陽極層は表示領域100、オフセット領域200、ダミー画素領域300及び陰極リング400に設置される複数の陽極31を備え、陽極31は第2導電性ピラー16によって反射電極14に接続される。本開示では、陽極31は第2導電性ピラー16によって反射電極14に接続され、反射電極14は第1導電性ピラー13によって駆動薄膜トランジスタ11のドレイン電極に接続され、そうすると、画素駆動回路の提供する電気信号は反射電極14を介して陽極31に伝送され、反射電極14は画素駆動回路と陽極との間の導電通路を形成する一方、マイクロキャビティ構造を形成し、画素駆動回路の発光デバイスに対する制御に役立つだけでなく、表示基板の構造をよりコンパクトにし、シリコン系OLED表示装置の小型化にも役立つ。

【0066】

(6) 上記構造が形成されるシリコン系基板10に画素定義薄膜をコーティングし、マスク、露光、現像プロセスにより表示領域100、オフセット領域200、ダミー画素領

10

20

30

40

50

域 3 0 0 及び陰極リング 4 0 0 に画素定義層 (P D L) 3 2 のパターンを形成し、各表示ユニットにおいて、画素定義層 3 2 に画素開口が開設され、画素開口が陽極 3 1 の表面を露出させる。その後、図 1 2 に示すように、表示領域 1 0 0、オフセット領域 2 0 0 及びダミー画素領域 3 0 0 に有機発光層 3 3 及び陰極 3 4 を順次形成し、各表示ユニットにおいて、有機発光層 3 3 はその位置する表示ユニットの陽極 3 1 に接続され、面状の陰極 3 4 は各表示ユニットの有機発光層 3 3 に接続され、陰極リング 4 0 0 に陰極 3 4 を形成し、陰極リング 4 0 0 の陰極 3 4 は画素開口によって陽極 3 1 に接続される。例示的な実施形態では、陰極 3 4 は半透過半反射電極であり、上記形成される反射電極 1 4 とマイクロキャビティ構造を構成する。

【 0 0 6 7 】

上記製造過程において、第 1 絶縁薄膜及び第 2 絶縁薄膜はシリコン酸化物 (S i O x)、シリコン窒化物 (S i N x) 又は酸窒化ケイ素 (S i O N) を用いてもよく、単層構造であってもよく、又は多層複合構造であってもよい。第 1 金属薄膜は金属材料、例えば銀 (A g)、銅 (C u)、アルミニウム (A l) 又はモリブデン (M o) 等を用いてもよく、又は金属からなる合金材料、例えばアルミニウムネオジム合金 (A l N d) 又はモリブデンニオブ合金 (M o N b) 等を用いてもよく、合金材料は単層構造であってもよく、又は多層複合構造例えば M o / C u / M o の複合構造であってもよい。透明導電薄膜は酸化インジウムスズ (I T O) 又は酸化インジウム亜鉛 (I Z O)、又は I T O / A g / I T O の複合構造を用いてもよく、画素定義層はポリイミド、アクリル又はポリエチレンテレフタレート等を用いてもよい。

【 0 0 6 8 】

(7) 図 1 3 に示すように、上記構造が形成されるシリコン系基板 1 0 において、表示領域 1 0 0、オフセット領域 2 0 0、ダミー画素領域 3 0 0 及び陰極リング 4 0 0 にパッケージ層のパターンを形成し、パッケージ層 4 0 は薄膜パッケージ構造である。

【 0 0 6 9 】

(8) 図 1 4 に示すように、上記構造が形成されるシリコン系基板 1 0 において、表示領域 1 0 0、オフセット領域 2 0 0、ダミー画素領域 3 0 0 及び陰極リング 4 0 0 にカラーフィルム層 5 0 のパターンを形成し、表示領域 1 0 0 及びオフセット領域 2 0 0 のカラーフィルム層 5 0 は、互いに間隔を置いて設置され又は互いにオーバーラップして設置される第 1 色ユニット 5 3、第 2 色ユニット 5 4 及び第 3 色ユニット 5 5 を備え、ダミー画素領域 3 0 0 及び陰極リング 4 0 0 のカラーフィルム層 5 0 は、パッケージ層において下から上まで順次積層設置される第 1 色ユニット 5 3 及び第 2 色ユニット 5 4 を備える。例示的な実施形態では、第 1 色ユニットは緑色ユニット G であってもよく、第 2 色ユニットは赤色ユニット R であってもよく、第 3 色ユニットは青色ユニット B であってもよい。いくつかの可能な実現方式では、カラーフィルム層 5 0 の製造過程は、まず青色ユニット B を形成し、次に赤色ユニット R を形成し、それから緑色ユニット G を形成することを含む。青色カラーフィルムの接着性が比較的大きく、青色ユニット B を先に形成することによりカラーフィルム層 5 0 が陰極から剥離する可能性を低下させることができる。赤色ユニット R の接着性が比較的小さいが、流動性が高いため、赤色ユニット R の形成過程において、青色ユニット B 及び赤色ユニット R の陰極から離れる側の表面の気泡数を減少させることができ、それにより青色ユニット B 及び赤色ユニット R の両方のオーバーラップ位置での膜厚の均一性を向上させることができる。緑色ユニット G の基材と赤色ユニット R の基材がほぼ同じであるため、緑色ユニット G と赤色ユニット R との間の接着力が比較的大きく、カラーフィルム層 5 0 が陰極から剥離する可能性を低下させることができる。いくつかの可能な実現方式では、カラーフィルム層 5 0 は他の色ユニット、例えば白色又は黄色のもの等を備えてもよい。

【 0 0 7 0 】

後続のプロセスにおいて、密封プロセスを用いてカバープレート 7 0 を形成し、カバープレート 7 0 とシリコン系基板 1 0 はシーラントにより固定される。シリコン系基板 1 0、カバープレート 7 0 及びシーラントは密閉された空間を形成するため、水蒸気と酸素を

10

20

30

40

50

阻止する保障を提供し、シリコン系OLED表示基板の耐用年数を大幅に延ばす。その後、形成された表示マザーボードを切断して、独立した表示基板を形成する。

【0071】

図15は本開示の有機発光層の構造模式図である。図15に示すように、本開示の有機発光層の構造は、陽極と陰極との間に順次積層される第1発光サブ層331、第1電荷発生層332、第2発光サブ層333、第2電荷発生層334及び第3発光サブ層335を備える。第1発光サブ層331は第1色光を射出するように設定され、順次積層される第1正孔輸送層(HTL)3311、第1発光材料層(EML)3312及び第1電子輸送層(ETL)3313を備える。第2発光サブ層333は第2色光を射出するように設定され、順次積層される第2正孔輸送層3331、第2発光材料層3332及び第2電子輸送層3333を備える。第3発光サブ層335は第3色光を射出するように設定され、順次積層される第3正孔輸送層3351、第3発光材料層3352及び第3電子輸送層3353を備える。第1電荷発生層332は第1発光サブ層331と第2発光サブ層333との間に設置され、2つの発光サブ層を直列接続してキャリアの伝達を実現することに用いられる。第2電荷発生層334は第2発光サブ層333と第3発光サブ層335との間に設置され、2つの発光サブ層を直列接続してキャリアの伝達を実現することに用いられる。本開示の有機発光層は第1色光を射出する第1発光材料層と、第2色光を射出する第2発光材料層と、第3色光を射出する第3発光材料層とを備えるため、有機発光層が最終的に射出した光は混合光である。例えば、第1発光材料層が赤色光を射出する赤色光材料層であり、第2発光材料層が緑色光を射出する緑色光材料層であり、第3発光材料層が青色光を射出する青色光材料層であるように設定してもよく、従って、有機発光層は最終的に白色光を射出する。

10

20

【0072】

例示的な実施形態では、図15に示される有機発光層は例示的な構造に過ぎず、本開示はこれを制限しない。実際に実施するとき、実際の必要に応じて有機発光層の構造を設計することができる。例えば、各発光サブ層において、電子及び正孔を発光材料層に注入する効率を向上させるために、更に正孔注入層(HIL)及び電子注入層(EIL)を設置してもよい。更に例えば、有機発光層の構造を簡素化するために、第1電子輸送層3313、第1電荷発生層332及び第2正孔輸送層3331をキャンセルしてもよく、即ち第2発光材料層3332は直接に第1発光材料層3312に設置されてもよい。

30

【0073】

いくつかの可能な実現方式では、有機発光層は第1色光を射出する有機発光層及び第1色光の相補光を射出する有機発光層を用いてもよく、該2つの有機発光層はシリコン系基板に対して順次積層され、それにより全体的に白色光を発し、本開示はこれを制限せず、白色光を発することを実現できればよい。

【0074】

本開示の表示基板の構造及びその製造過程から分かるように、オフセット領域を設置することにより、パッケージ、表面実装等のプロセスにより表示モジュールのある縁部の表示領域の一部の第1画素ユニットが破損される場合、実際表示領域の位置がオフセット領域へ移動するように調整して、パッケージ・表面実装により破損された画素ユニットを避けることができ、それにより実際に表示する画素点数が予め設計された画素点数に一致するように確保する。

40

【0075】

本開示の製造プロセスは成熟した製造装置を利用して実現されることができ、プロセスへの改良が比較的小さく、互換性が高く、プロセスフローが簡単であり、装置を周期的にメンテナンスすることが容易であり、生産効率が高く、生産コストが低く、歩留まりが高く、大規模な量産に役立ち、製造された表示基板は仮想現実装置又は拡張表示装置に適用でき、又は他のタイプの表示装置に適用され、高い利用可能性を有する。

【0076】

本開示の構造及びその製造過程は例示的な説明に過ぎず、例示的な実施形態では、実際

50

の必要に応じて対応構造を変更し及びパターンニングプロセスを追加又は削除することができる。例えば、各表示ユニットのマイクロキャピティ構造の長さは同じであってもよく、又は異なってもよい。更に例えば、表示領域に反射電極を形成するプロセスにおいて、ボンディングエリアに対応のボンディングパッドを形成してもよく、本開示はここで具体的に制限しない。

【0077】

本開示は更に表示方法を提供し、図16に示すように、該表示方法はステップS1～ステップS2を含む。

【0078】

ステップS1は、表示領域の複数の画素ユニットに対して画素欠点の検出を行うことを含む。

10

【0079】

1つの例示的な実施例では、前記表示領域の複数の画素ユニットに対して画素欠点の検出を行うことは、

表示領域の複数の画素ユニットをグループ分けすることと、

複数のグループを駆動して順次発光させることと、

各グループが発光するとき、該グループにおける画素ユニットが発光するかどうかによって、該グループに画素欠点が含まれるかどうか及び含まれる画素欠点の数を決定することと、を含む。

【0080】

20

ステップS2は、表示領域の一側縁部に近接する第1所定個数の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行又はソースドライバから出力された画素列が画素欠点の位置する側の対側へ移動するように調整することを含む。

【0081】

1つの例示的な実施例では、ゲートドライバから出力された画素行又はソースドライバから出力された画素列が画素欠点の位置する側の対側へ移動するように調整することは、

初期表示の時、ゲートドライバ及びソースドライバがA行目～B行目、C列目～D列目の画素ユニットを駆動して表示させることと、

表示領域の左側縁部に近接するC列目～(C+N)列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を(C+N+1)列目～(D+N+1)列目に調整することと、

30

表示領域の右側縁部に近接する(D-N)列目～D列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を(C-N-1)列目～(D-N-1)列目に調整することと、

表示領域の上側縁部に近接するA行目～(A+M)行目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を(A+M+1)行目～(B+M+1)行目に調整することと、

表示領域の下側縁部に近接する(B-M)行目～B行目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を(A-M-1)行目～(B-M-1)行目に調整することと、を含む、

40

A、B、C、D、N及びMがいずれも1以上の自然数であり、且つA<B、C<D、N<C、M<Aである。

【0082】

例示的に、A=17、B=1937、C=17、D=1097であり、左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数はいずれも16列であり、上側オフセット領域及び下側オフセット領域に含まれる画素ユニット行数はいずれも16行であり、第2所定比率は50%であり、表示領域の左側縁部に近接する17列目～20列目の画素ユニットには50%を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を21列目～1101列目に調整し、表示領域の右側縁部に近接する1094

50

列目～1097列目の画素ユニットには50%を超える画素欠点が含まれる場合、ソースドライバから出力された画素列を13列目～1093列目に調整し、表示領域の上側縁部に近接する17行目～20行目の画素ユニットには50%を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を21行目～1941行目に調整し、表示領域の下側縁部に近接する1934行目～1937行目の画素ユニットには50%を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行を13行目～1933行目に調整する。

【0083】

本実施例の表示方法によれば、表示領域の一側縁部に近接する第1所定個数の第1画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行又はソースドライバから出力された画素列が画素欠点の位置する側の対側へ移動するように調整することにより、パッケージ、表面実装等のプロセスにより表示モジュールのある辺の表示エリアの一部の画素ユニットが破損される場合、実際表示領域の位置を調整して、パッケージ・表面実装により破損された画素を避けることができ、それにより実際に表示する画素点数が予め設計された画素点数に一致するように確保する。

10

【0084】

本開示は上記表示基板を備える表示装置を更に提供する。表示装置は仮想現実装置、拡張現実装置又はニアアイ表示装置であってもよく、又は携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム又はカーナビゲーション、又はいかなる他の表示機能を有する製品又は部材であってもよい。該表示装置は更にゲートドライバ、ソースドライバ及びタイミングコントローラを備え、

20

ゲートドライバは、行走査線GLによって表示基板に接続され、タイミングコントローラから出力されたゲート制御信号GCSを受信し、走査信号を生成し、且つ該走査信号を走査線GLによって表示基板における実際表示領域に伝送するように構成され、実際表示領域が表示基板における第1画素ユニットの画素欠点の位置及び数に基づいて調整し、

ソースドライバは、タイミングコントローラから出力されたデータ電圧Vdata及びソース制御信号SCSを受信し、対応のデータ(data)電圧信号を生成してデータ線DLを介して表示基板における実際表示領域に出力するように構成され、実際表示領域が表示基板における画素ユニットの画素欠点の位置及び数に基づいて調整し、

タイミングコントローラは、外部から入力されたRGB(赤緑青)データ及びタイミング制御(Timing Control)信号を受信し、RGBデータ、タイミング制御信号及び出力しようとする画素列に基づいてデータ電圧Vdata及びソース制御信号SCSを生成してソースドライバに出力し、出力しようとする画素行に基づいてゲート駆動信号GCSを生成し、且つ該ゲート駆動信号GCSをゲートドライバに出力するように構成される。

30

【0085】

1つの例示的な実施例では、実際表示領域が表示基板における第1画素ユニットの画素欠点の位置及び数に基づいて調整することは、

初期表示の時、ゲートドライバ及びソースドライバがA行目～B行目、C列目～D列目の画素ユニットを駆動して表示させることと、

40

表示領域の左側縁部に近接するC列目～(C+N)列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバ及びソースドライバがA行目～B行目、(C+N+1)列目～(D+N+1)列目の画素ユニットを駆動して表示させることと、

表示領域の右側縁部に近接する(D-N)列目～D列目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバ及びソースドライバがA行目～B行目、(C-N-1)列目～(D-N-1)列目の画素ユニットを駆動して表示させることと、

表示領域の上側縁部に近接するA行目～(A+M)行目の画素ユニットには第2所定比率を超える画素欠点が含まれる場合、ゲートドライバ及びソースドライバが(A+M+1

50

) 行目 ~ (B + M + 1) 行目、C 列目 ~ D 列目の画素ユニットを駆動して表示させることと、

表示領域の下側縁部に近接する (B - M) 行目 ~ B 行目の画素ユニットには第 2 所定比率を超える画素欠点が含まれる場合、ゲートドライバ及びソースドライバが (A - M - 1) 行目 ~ (B - M - 1) 行目、C 列目 ~ D 列目の画素ユニットを駆動して表示させることと、を含み、

A、B、C、D、N 及び M がいずれも 1 以上の自然数であり、且つ $A < B$ 、 $C < D$ 、 $N < C$ 、 $M < A$ である。

【 0 0 8 6 】

例示的に、 $A = 17$ 、 $B = 1937$ 、 $C = 17$ 、 $D = 1097$ であり、左側オフセット領域及び右側オフセット領域に含まれる画素ユニット列数はいずれも 16 列であり、上側オフセット領域及び下側オフセット領域に含まれる画素ユニット行数はいずれも 16 行であり、第 2 所定比率は 50% であり、表示領域の左側縁部に近接する 17 列目 ~ 20 列目の画素ユニットには 50% を超える画素欠点が含まれる場合、ソースドライバから出力された画素列は 21 列目 ~ 1101 列目であり、表示領域の右側縁部に近接する 1094 列目 ~ 1097 列目の画素ユニットには 50% を超える画素欠点が含まれる場合、ソースドライバから出力された画素列は 13 列目 ~ 1093 列目であり、表示領域の上側縁部に近接する 17 行目 ~ 20 行目の画素ユニットには 50% を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行は 21 行目 ~ 1941 行目であり、表示領域の下側縁部に近接する 1934 行目 ~ 1937 行目の画素ユニットには 50% を超える画素欠点が含まれる場合、ゲートドライバから出力された画素行は 13 行目 ~ 1933 行目である。

【 0 0 8 7 】

以上は本開示に開示される実施形態であって、本開示を理解しやすくするために用いた実施形態に過ぎず、本開示を制限するためのものではない。当業者であれば、本開示に開示される趣旨や範囲を逸脱せずに、実施形態及び細部に対していかなる修正や変更を行うことができるが、本開示の特許保護範囲は依然として添付の特許請求の範囲に限定される範囲に準じるべきである。

【 符号の説明 】

【 0 0 8 8 】

- 1 0 0 表示領域
- 2 0 0 オフセット領域
- 3 0 0 ダミー画素領域
- 4 0 0 陰極リング
- 1 0 1 第 1 画素ユニット
- 1 0 2 画素欠点
- 2 0 1 第 2 画素ユニット
- 1 0 3 画素駆動回路
- 1 0 4 発光デバイス
- 1 1 0 電圧制御回路
- 1 0 シリコン系基板
- 1 1 駆動薄膜トランジスタ
- 1 2 第 1 絶縁層
- 1 3 第 1 導電性ピラー
- 1 4 反射電極
- 1 5 第 2 絶縁層
- 1 6 第 2 導電性ピラー
- 2 0 発光構造層
- 3 1 陽極
- 3 2 画素定義層
- 3 3 有機発光層

10

20

30

40

50

- 3 4 陰極
- 4 0 パッケージ層
- 5 0 カラーフィルム層
- 5 3 第1色ユニット
- 5 4 第2色ユニット
- 5 5 第3色ユニット
- 6 0 保護層
- 7 0 カバープレート
- 4 0 1 給電電極
- 3 3 1 第1発光サブ層
- 3 3 2 第1電荷発生層
- 3 3 3 第2発光サブ層
- 3 3 4 第2電荷発生層
- 3 3 5 第3発光サブ層
- 3 3 1 1 第1正孔輸送層
- 3 3 1 2 第1発光材料層
- 3 3 1 3 第1電子輸送層
- 3 3 3 1 第2正孔輸送層
- 3 3 3 2 第2発光材料層
- 3 3 3 3 第2電子輸送層
- 3 3 5 1 第3正孔輸送層
- 3 3 5 2 第3発光材料層
- 3 3 5 3 第3電子輸送層

10

20

【図面】

【図 1】

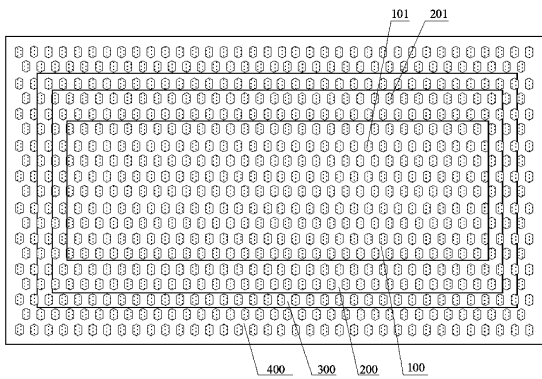


图 1

【図 2】

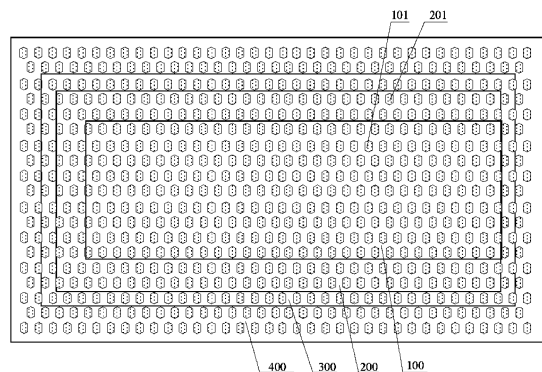


图 2

30

40

50

【 图 3 】

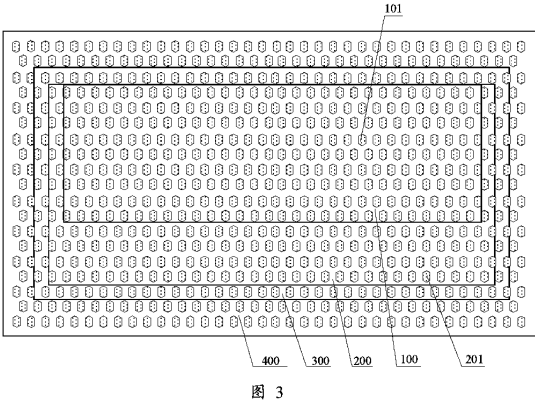


图 3

【 图 4 】

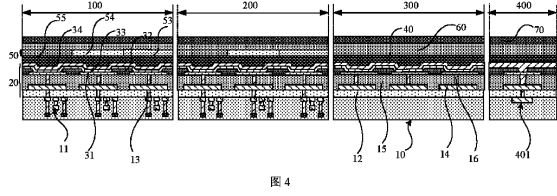


图 4

10

【 图 5 】

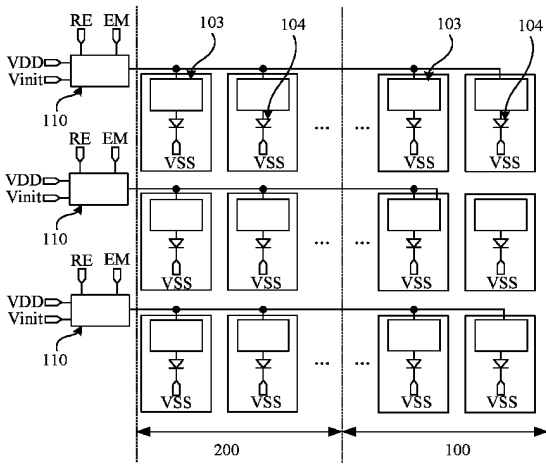


图 5

【 图 6 】

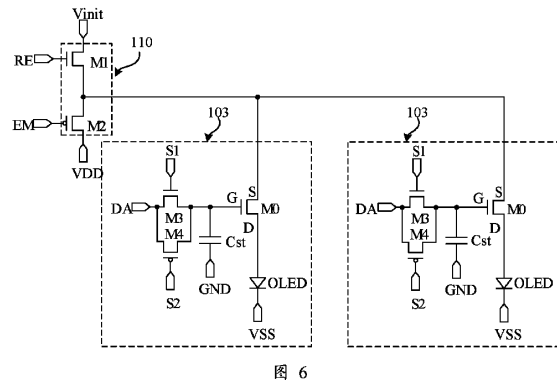


图 6

20

【 图 7 】

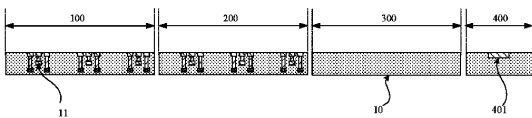


图 7

【 图 8 】

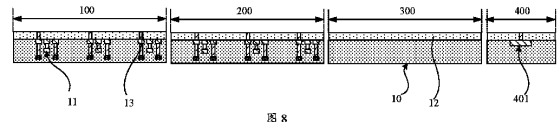


图 8

30

40

50

【 図 9 】

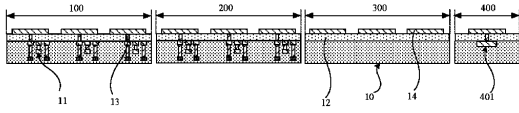


图 9

【 图 10 】

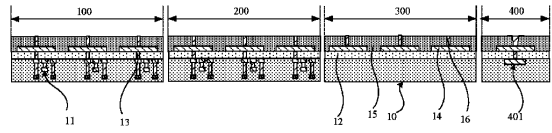


图 10

【 图 11 】

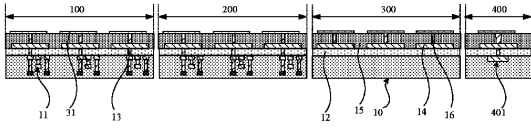


图 11

【 图 12 】

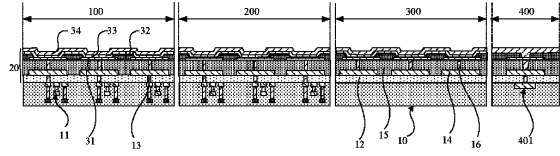


图 12

10

【 图 13 】

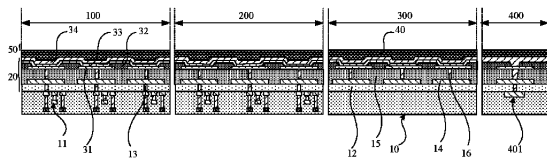


图 13

【 图 14 】

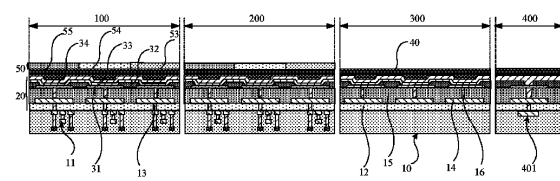


图 14

20

30

40

50

【 図 1 5 】

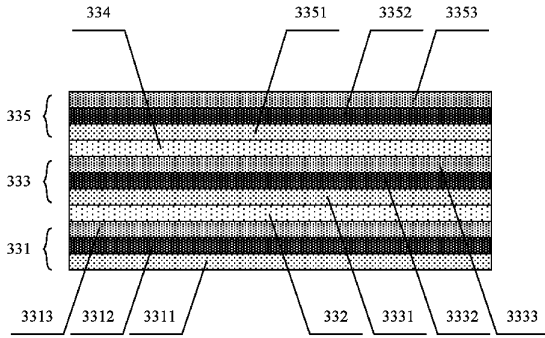
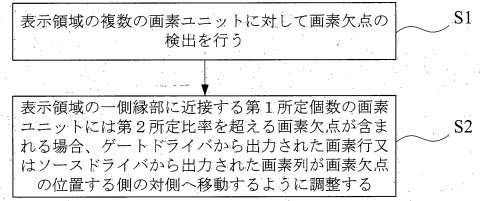


图 15

【 図 1 6 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

G 0 9 G 3/3275(2016.01)
 G 0 9 G 3/20 (2006.01)
 H 1 0 K 50/844(2023.01)
 H 1 0 K 59/121(2023.01)
 H 1 0 K 59/95 (2023.01)
 H 1 0 K 77/10 (2023.01)

F I

G 0 9 G 3/3275
 G 0 9 G 3/20 6 7 0 B
 G 0 9 G 3/20 6 7 0 H
 G 0 9 G 3/20 6 2 1 M
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/20 6 2 1 J
 H 1 0 K 50/844
 H 1 0 K 59/121
 H 1 0 K 59/95
 H 1 0 K 77/10

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市 経 済 技 術 開 発 区 地 澤 路 9 号
 敖 雨

(72)発明者 中華人民共和国 1 0 0 1 7 6 北京市 経 済 技 術 開 発 区 地 澤 路 9 号
 盧 鵬 程

審査官 西田 光宏
 中華人民共和国 1 0 0 1 7 6 北京市 経 済 技 術 開 発 区 地 澤 路 9 号

(56)参考文献

特開 2 0 1 9 - 0 2 1 4 5 0 (J P , A)
 特開平 1 0 - 0 5 5 1 5 5 (J P , A)
 特開 2 0 0 4 - 3 0 4 1 3 5 (J P , A)
 米国特許出願公開第 2 0 1 9 / 0 2 8 8 2 4 5 (U S , A 1)
 特開 2 0 1 7 - 2 1 9 6 6 9 (J P , A)
 特開 2 0 0 5 - 0 0 4 1 3 0 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 3 2 0 4 3 7 (U S , A 1)
 特開 2 0 1 2 - 0 0 8 4 0 5 (J P , A)
 特開 2 0 1 1 - 2 1 0 5 3 1 (J P , A)
 米国特許出願公開第 2 0 2 0 / 0 0 5 1 4 8 2 (U S , A 1)
 米国特許第 0 9 0 9 3 0 2 3 (U S , B 1)
 特開 2 0 2 0 - 0 2 7 7 5 3 (J P , A)
 特表 2 0 1 9 - 5 3 0 9 0 6 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

F 2 1 S 2 / 0 0
 F 2 1 V 8 / 0 0
 G 0 2 F 1 / 1 3 3 - 1 / 1 3 3 6 3
 G 0 2 F 1 / 1 3 3 9 - 1 / 1 3 4 1
 G 0 2 F 1 / 1 3 4 7
 G 0 2 F 1 / 1 3 6 - 1 / 1 3 6 8
 G 0 6 F 3 / 0 3
 G 0 6 F 3 / 0 4 1 - 3 / 0 4 7
 G 0 9 F 9 / 0 0 - 9 / 4 6
 G 0 9 G 3 / 0 0 - 3 / 3 8
 H 0 1 L 2 1 / 5 2
 H 0 1 L 2 1 / 5 8
 H 1 0 K 5 0 / 0 0 - 9 9 / 0 0