

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2019년 5월 9일 (09.05.2019)



(10) 국제공개번호
WO 2019/088403 A1

(51) 국제특허분류:

H01J 49/42 (2006.01)

H01J 49/02 (2006.01)

(21) 국제출원번호:

PCT/KR2018/008315

(22) 국제출원일:

2018년 7월 24일 (24.07.2018)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2017-0144292 2017년 10월 31일 (31.10.2017) KR

(71) 출원인: 아이디 퀴앤티크 에스.에이. (ID QUANTIQUE S.A.) [CH/CH]: 1227 까루즈 슈만 드 라 말브레리 3, Carouge (CH). 서울대학교 산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]: 08826 서울시 관악구 관악로 1, Seoul (KR).

(72) 발명자: 권영대 (KWON, Yeongdae); 04539 서울시 중구 을지로 65 SK T-타워, Seoul (KR). 김태현 (KIM, Tae-hyun); 04539 서울시 중구 을지로 65 SK T-타워, Seoul (KR). 조동일 (CHO, Dong Il); 06288 서울시 강남구 삼성로 150, 111-101, Seoul (KR). 이민재 (LEE, Min-jae); 05793 서울시 송파구 송이로37가길 19, 나동 201호, Seoul (KR). 홍석준 (HONG, Seokjun); 08725 서울시 관악구 성현로 80, 124동 2102호, Seoul (KR).

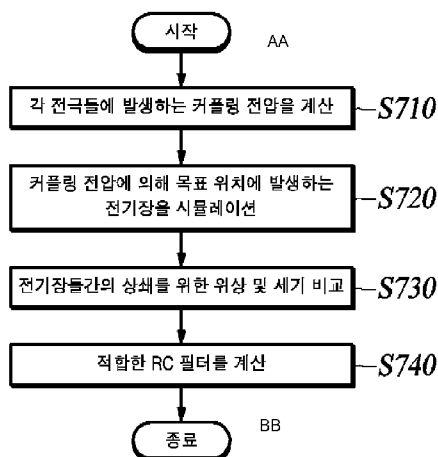
(74) 대리인: 이철희 (LEE, Chulhee); 06229 서울시 강남구 도곡로33길 26, 베리타스빌딩 2-4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) Title: FILTER FOR ION TRAP DEVICE AND DESIGNING METHOD THEREFOR

(54) 발명의 명칭: 이온트랩 장치를 위한 필터 및 그 설계방법



(57) Abstract: Embodiments of the present invention provide a filter for an ion trap device and a designing method therefor, wherein, a conventional RC filter is used, in which an electric field decreases in inverse proportion to the magnitude of capacitance of a capacitor included in the RC filter, and additionally electric fields in opposite directions induced by RF coupling are offset, so that micro vibrations occurring in an ion are suppressed and the degree of integration of an ion trap can be thus increased.

(57) 요약서: 본 발명의 실시예들은 종래의 RC 필터를 사용하되, RC 필터에 포함된 커패시터의 커패시턴스 크기에 반비례하는 감소 외에 추가적으로 RF 커플링으로 인해 유발된 서로 반대 방향의 전기장들을 상쇄시킴으로써 이온에 발생하는 미세진동을 억제하여 이온트랩의 집적도를 높일 수 있도록 하는 이온트랩 장치를 위한 필터 및 그 설계방법을 제공한다.

S710 ... Calculate coupling voltage generated in individual electrodes
S720 ... Simulate electric field generated in target position due to coupling voltage
S730 ... Compare phases and intensities for offset between electric fields
S740 ... Calculate suitable RC filter
AA ... Start
BB ... End

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 이온트랩 장치를 위한 필터 및 그 설계방법 기술분야

[1] This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2018-2015-0-00385) supervised by the IITP(Institute for Information & communications Technology Promotion).

[2] 본 발명의 실시예들은 무선주파수(RF) 커플링(coupling)에 의해 발생한 전압이 유발하는 전기장을 목표 위치에서 상쇄시켜 억제할 수 있는 이온트랩 장치를 위한 필터 및 설계방법에 관한 것이다.

배경기술

[3] 이하에 기술되는 내용은 단순히 본 발명에 따른 실시예들과 관련되는 배경 정보만을 제공할 뿐 종래기술을 구성하는 것이 아니다.

[4] 이온트랩(ion trap)은 양자정보 처리기술을 구현할 수 있는 플랫폼 중 하나이다. 이온트랩에 포획된 이온은 외부환경의 영향을 거의 받지 않고 서로 간의 강력한 커플링(coupling)을 형성할 수 있다. 1995년에 양자 컴퓨터에 응용하는 개념이 제시된 이래로, 이온트랩은 세계 각국의 연구 그룹으로부터 활발하게 연구되고 있다. 이온트랩은 양자 컴퓨터 및 양자통신 기술구현을 위한 가장 유력한 플랫폼으로서 주목받고 있다.

[5] 이온트랩으로 인해 생성되는 전기장의 형태는 이온트랩 전극의 모양 및 배열에 따라 다양한 형태가 될 수 있으나, 가장 기본적으로 도 1과 같이 4개의 전극봉(e1, e2, e3, e4)으로 인해 생성되는 전기장의 모양으로 설명이 가능하다.

[6] 도 1은 3차원 이온트랩의 원리를 설명하기 위한 개념도이다.

[7] 도 1의 (a)에서 전극봉 e1과 e4를 접지하고 전극봉 e2와 e3에 무선주파수(radio frequency; RF)의 높은 전압을 인가하면, 도 1의 (b)와 같은 전기장이 형성되고, 인가되는 전압의 주파수에 의해 전기장의 방향 및 크기가 지속적으로 바뀐다. 인가되는 전압의 평균적인 힘에 의해 발생한 전위는 판더로모티브 전위(ponderomotive potential)라 칭한다.

[8] 포획된 이온의 질량과 인가된 RF 전압의 세기 및 주파수가 특정 수학 조건을 만족하면, 전하를 띤 입자는 전극봉(e1, e2, e3, e4) 사이의 가운데 지점(도 1의 (b) 참조)으로 향하도록 힘을 받게 된다.

[9] 도 1의 (c)는 전극봉(e1, e2, e3, e4) 사이에 형성되는 판더로모티브 전위의 개형을 나타낸 도면이다. 형성된 전위가 이온을 포획하기 위해서는 전극봉 e1과 e4를 접지하지 않고 $V1 > V2$ 가 되도록 전압을 인가하여 도 1의 (a)의 트랩으로 표시된 영역에 이온을 포획할 수 있다.

[10] 미세 가공과 이온트랩 집적화 등의 어려움 때문에, 도 1의 (a)에 제시된 3차원

구조의 이온트랩 장치를 현실적인 방법으로는 실리콘(silicon; Si) 칩 위에 구현하기 어렵다. 따라서, 이온트랩 장치는 미세전자기계시스템(microelectromechanical system; MEMS) 공정을 이용하여 구현할 수 있는 2차원 이온트랩 구조로 변형할 필요가 있다.

[11] 도 2의 (a)는 2차원 이온트랩의 설계 원리를 설명하기 위한 개념도이다. 도 2의 (b)는 발생하는 전기장의 방향과 형성되는 판더로모티브 전위를 나타낸 도면이다.

[12] 도 2의 (a)는 3차원 구조의 전극을 2차원 평면에 컨포멀 매핑(conformal mapping)하는 방법을 나타낸다. 도 2의 (a)의 원주에 위치한 검은색으로 표기된 부위가 RF 전극에 인가되는 전압을 나타내며 원주의 나머지 부분은 접지된다. 원주의 최하단부에는 새로운 전극을 생성시킬 기준 평면이 존재하고, 기준 평면은 원주에 접선으로 맞닿아 있다. 각 전극의 양쪽 끝에 위치한 지점을 원주의 접선 방향으로 연장한 후 기준 평면에 사영시켜 새로운 전극을 생성시킨다. 생성된 2차원 이온트랩은 3차원 이온트랩이 이온을 포획하는 위치와 동일한 위치에 이온을 포획한다.

[13] 도 2의 (b)는 도 2의 (a) 방식을 이용하여 설계된 2차원 이온트랩과 그로 인한 판더로모티브 전위를 나타낸 도면이다. 검게 채워진 두 개의 전극에 RF 전압을 인가하고 각 전극의 양 옆은 접지시킨다.

[14] 전술한 원리를 이용하여 전극 구조를 제작하면, 도 2의 (b)의 삼각형(Δ) 위치에 전하를 띤 입자가 포획되게 된다.

[15] 이온트랩의 경우, RF 전압을 이용하여 이온을 포획하기 때문에, 필연적으로 주변에 존재하는 DC 전극들에 RF 커플링 전압을 발생시킨다. RF 커플링 전압으로 인해 발생한 전기장은 RF 전극이 발생시키는 전기장과 다른 위상을 가지고 있으므로 일반적인 방법으로 보정(compensation)이 불가능하다. 특히, 3차원 이온트랩 칩과는 달리 2차원 이온트랩 칩에서 RF 전극과 주변 전극 사이의 거리는 수 μm 정도로 매우 작다. 2차원 이온트랩 칩에서 RF 전극과 주변 전극 사이의 거리로 인해 RF 전극과 주변 전극이 갖는 커패시턴스(capacitance)가 상대적으로 크기 때문에 RF 커플링에 의한 영향이 크다.

[16] 도 3은 2차원 이온트랩에서 RF 전극이 발생시키는 전기장의 방향을 도시한다.

[17] 이온트랩에서의 이온은 RF 전극과 DC 전극에 의해 형성된 전기장이 모두 0이 되는 지점인 영점(null point)에 포획된다. 또한, DC 전극에 유발된 RF 커플링 전압은 RF 전극에 입력되는 RF 전극과는 다른 위상을 가진 전기장을 생성한다. 따라서, 이온트랩 전기장에 존재하는 영점의 위치가 수시로 바뀌게 되어 포획된 이온이 완전히 고정되지 못하고 흔들리는 이른바, 이온 미세진동(ion micromotion)이 발생하게 된다. 미세진동이 발생한 이온의 에너지는 증가하게 되고, 이온의 에너지 증가는 해당 이온을 불안정하게 만들어 궁극적으로 해당 이온의 포획 수명이 감소한다. 포획된 이온에 안정적으로 양자 정보를 저장하기 위하여, 이온의 수명 감소는 최대한 억제되어야 한다.

- [18] 도 4는 2차원 이온트랩에 실드 전극을 배치하는 경우, 실드 전극이 포획된 이온에 미치는 영향을 설명하기 위한 도면이다.
- [19] 일반적인 회로에 있어서, 도전체 사이에 발생하는 RF 커플링을 차단하기 위해 가장 널리 사용되는 방법은 도 4의 (b)에 도시한 것과 같이 RF 전극과 다른 전극 사이에 도체로 형성된 실드(shield)를 삽입하는 방법이다. 전극들이 실드에 의해 차단되면, 전극들 사이의 상호 커패시턴스(mutual capacitance)가 제거되어, 수학적 1에 따라 RF 커플링이 발생하지 않게 된다. 전술한 방법은 다른 전극에 RF 커플링 전압을 발생시키지 않는다. 그러나 전술한 방법은 전극들 사이에 실드를 배치시키기 때문에, 실드가 RF 전극이 형성한 전기장의 특성을 변화시키고, 실드 자체를 RF 커플링의 영향에 노출시키게 되는 문제점이 있다. 따라서, 원하는 형태의 전기장을 유지할 필요성이 높은 이온트랩에는 실드를 이용한 RF 커플링 보호 기술을 도입하기 어렵다.
- [20] 일반적으로 이온트랩의 경우, 전기장에 영향을 주지 않도록 전극들에 RC 필터를 장착하여 RC 필터가 장착된 전극들로 커플링되는 RF 전압들을 억제한다.
- [21] [수식1]

$$H(j\omega) = \frac{V_{CRF}}{V_{RF}} = \frac{\frac{1}{j\omega(C_{DC} + C_{on-chip})} \cdot (R_{DC} + R_{ext} + j\omega L_{DC})}{\frac{1}{j\omega C_{RF-DC}} + \frac{1}{j\omega(C_{DC} + C_{on-chip})} \cdot (R_{DC} + R_{ext} + j\omega L_{DC})}$$

- [22] 여기서, 수학적 1에 기술된 RC 필터의 특성에 의해 커플링 전압은 RC 필터에 포함된 커패시터(capacitor)의 커패시턴스에 반비례한다. 따라서, 전기장을 정밀하게 전기장을 형성하거나 유지하기 위해서는 커플링 전압 억제를 위해 장착되어야 할 커패시터의 커패시턴스가 증가하게 된다. 그러나 높은 커패시턴스를 갖는 커패시터는 높은 집적도를 요구하는 회로에 적용하기 어렵다.
- [23] 따라서, 이온트랩 칩의 집적도 감소를 최소화한 상태에서 이온을 효율적으로 포획하기 위하여 커패시턴스의 크기를 증가시키는 것 이외의 방법으로 커플링 전압의 영향을 감소시킬 수 있는 방안이 필요하다.

발명의 상세한 설명

기술적 과제

- [24] 본 발명의 실시예들은 RF 전압이 인가된 전극 주변의 다른 전극들에서 발생한 RF 커플링 전압에 의해 유발된 전기장을 억제하기 위해 장착하는 RC 필터에 포함되는 커패시터의 커패시턴스를 증가시키지 않으면서도 전기장 억제 성능을 개선할 수 있는 이온트랩 장치를 위한 필터 및 그 설계방법을 제공하는 데에 주된 목적이 있다.

과제 해결 수단

- [25] 본 발명의 일 실시예는 상면, 하면 및 기 설정된 두께를 갖도록 형성되는 기판,

상기 상면의 일부 영역에 형성되는 RF 전극 및 상기 상면의 다른 일부 영역에 상기 RF 전극과 전기적으로 분리되어 형성되는 DC 전극을 포함하는 구조물과 외부의 DC 전원 사이를 전기적으로 연결하는 필터에 있어서, 상기 상면에 형성되어 DC 전극의 일부와 전기적으로 연결되는 커패시터; 및 상기 구조물의 외부에 형성되어 상기 구조물과 전기적으로 연결되는 저항을 포함하며, 상기 커패시터의 정전용량값인 제 1 커패시턴스 및 상기 저항의 저항값인 제 1 저항값은 상기 RF 전극에 인가되는 기 설정된 주파수를 갖는 RF 입력전압과 상기 RF 입력전압에 의해 상기 DC 전극에 커플링되는 RF 결합전압을 고려하여 설계되는 것을 특징으로 하는 이온트랩 장치를 위한 필터를 제공한다.

- [26] 본 발명의 일 실시예는 상면, 하면 및 기 설정된 두께를 갖도록 형성되는 기판, 상기 상면의 일부 영역에 형성되는 RF 전극 및 상기 상면의 다른 일부 영역에 상기 RF 전극과 전기적으로 분리되어 형성되는 DC 전극을 포함하는 구조물과 외부의 DC 전원 사이를 전기적으로 연결하는 필터 설계방법에 있어서, 상기 RF 전극에 인가되는 기 설정된 주파수를 갖는 RF 입력전압과 상기 RF 입력전압에 의해 상기 DC 전극에 커플링되는 RF 결합전압의 관계를 설정하고 계산하는 과정; 상기 RF 전극에 의해 발생하는 제 1 전기장 및 상기 DC 전극에 의해 발생하는 제 2 전기장을 시뮬레이션하는 과정; 및 상기 구조물 주변의 소정 위치에서 상기 제 1 전기장의 크기 및 상기 제 2 전기장의 크기가 상쇄되도록 하는 필터의 값을 계산하는 과정을 포함하는 이온트랩 장치를 위한 필터 설계방법을 제공한다.

발명의 효과

- [27] 본 발명의 일 실시예에 따르면, 종래의 RC 필터를 이용한 전기장 발생 억제 기술과는 달리, 커패시턴스를 증가시키지 않으면서도 RF 커플링으로 인해 유발된 전기장을 억제할 수 있는 효과가 있다.
- [28] 본 발명의 일 실시예의 다른 측면에 의하면, 미세진동 억제를 위해 대형 커패시터를 장착할 필요가 없어 이온트랩의 집적도를 높일 수 있는 효과가 있다.
- [29] 본 발명의 일 실시예의 또 다른 측면에 의하면, RF 전압을 활용하여 전기장을 생성하는 다양한 기술들에 적용할 수 있도록 하는 필터 설계방법을 제공할 수 있는 효과가 있다.

도면의 간단한 설명

- [30] 도 1은 3차원 이온트랩의 원리를 설명하기 위한 개념도이다.
- [31] 도 2의 (a)는 2차원 이온트랩의 설계 원리를 설명하기 위한 도면이다.
- [32] 도 2의 (b)는 발생하는 전기장의 방향과 이에 해당되는 판더로모티브 전위를 나타내는 도면이다.
- [33] 도 3은 2차원 이온트랩에서 RF 전극이 발생시키는 전기장의 방향을 나타낸 도면이다.
- [34] 도 4는 2차원 이온트랩에 실드 전극을 배치하는 경우, 실드 전극이 포획된

이온에 미치는 영향을 설명하기 위한 도면이다.

- [35] 도 5의 (a)는 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터가 적용되지 않은 이온트랩 칩의 등가 회로도이다.
- [36] 도 5의 (b)는 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터가 적용된 이온트랩 칩의 DC 전극에 입력되는 전압이 필요한 경우의 등가 회로도이다.
- [37] 도 6은 커플링 전압에 의해 발생된 전기장이 포획된 이온에 미치는 영향을 설명하기 위한 도면이다.
- [38] 도 7은 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 설명하기 위한 순서도이다.
- [39] 도 8은 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 적용한 이후에 이온 포획 지점에서 커플링 전압에 의해 발생된 전기장이 포획된 이온에 미치는 영향을 설명하기 위한 도면이다.
- [40] 도 9는 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 적용하기 전후에 이온 포획 지점에서 커플링 전압으로 인해 발생한 전기장의 크기를 나타내는 그래프이다.

발명의 실시를 위한 최선의 형태

- [41] 이하, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어서 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 실시예들의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.
- [42] 이하, 첨부 도면을 참조하여 본 발명의 실시예들에 따른 이온트랩 장치를 위한 필터 및 그 설계방법을 설명하면 아래와 같다.
- [43] 도 5의 (a)는 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터가 적용되지 않은 이온트랩 칩의 등가 회로도이다. 도 5의 (b)는 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터가 적용된 이온트랩 칩의 DC 전극에 입력되는 전압이 필요한 경우의 등가 회로도이다.
- [44] 도 3에 도시한 통상적인 2차원 이온트랩 칩에 형성된 하나의 DC 전극을 선택하고, RF 전극에서 발생한 전기장에 의해 DC 전극에 커플링된 전압을 계산하는 경우로 가정한다. 이온트랩 장치를 위한 필터의 설계를 위해, 이온트랩 장치에서 전기장을 발생시키거나 커플링시키는 개별 구성요소들을 살펴볼 필요가 있다.
- [45] 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터는 DC 전극을 포함하는 구조물, 예컨대, 이온트랩 칩과 DC 입력전압(V_{DC})을 공급하는 외부의 DC 전원 사이를 전기적으로 연결한다. 이온트랩 칩은 기판, RF 전극 및 DC 전극을 포함할 수 있다. 여기서, 기판은 반도체 기판일 수 있다. 기판은 RF 전극 및 DC 전극이

형성되는 상면, 하면 및 기 설정된 두께를 갖도록 형성된다. RF 전극 및 DC 전극은 통상적인 반도체 공정을 통해 형성될 수 있다. RF 전극 및 DC 전극은 하나의 금속 원소로 형성될 수도 있고, 적어도 두 가지의 금속 원소를 포함하는 혼합물, 화합물 또는 합금으로 형성될 수도 있다.

- [46] 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터는 제 1 커패시턴스를 갖는 추가 커패시터($C_{\text{on-chip}}$) 및 이온트랩 칩과 외부의 DC 전원 사이에 직렬로 연결되는 제 1 저항값을 갖는 외부 저항(R_{ext})을 포함한다. 이온트랩 칩의 RF 전극에 인가되는 RF 입력전압(V_{RF}) 및 이 RF 입력전압(V_{RF})에 의해 DC 전극에 커플링되는 RF 결합전압(V_{CRF}) 사이의 관계는 수학식 1과 같이 표현할 수 있다. 전술한 과정에서 RF 전극에 인가되는 기 설정된 주파수를 갖는 RF 입력전압과 RF 입력전압에 의해 DC 전극에 커플링되는 RF 결합전압의 관계를 설정하고 계산한다(S710). 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법은 전술한 과정에서 RF 전극 및 DC 전극 각각의 기생 커패시턴스 및 RF 전극과 DC 전극 사이의 상호 커패시턴스를 고려하여 DC 전극에 발생하는 유도 전하량을 계산한다.
- [47] 여기서, C_{DC} 및 $C_{\text{RF-DC}}$ 는 각각 DC 전극과 접지 사이의 기생 커패시턴스 및 RF 전극과 DC 전극 사이의 상호 커패시턴스를 나타낸다. R_{DC} 및 L_{DC} 는 각각 외부 저항(R_{ext})과 DC 전원을 잇는 전류 경로의 저항성 성분(resistive component) 및 유도성 성분(inductive component)을 나타낸다. ω 는 RF 입력전압의 주파수이다.
- [48] 수학식 1을 살펴보면, RF 결합전압(V_{CRF})의 크기는 추가 커패시터의 제 1 커패시턴스를 이용하여 조절할 수 있다는 것을 알 수 있다.
- [49] 도 3에 도시한 이온트랩 장치에 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 적용하기 위해서는 도 3에 도시한 이온트랩 장치의 전극을 보다 상세히 살펴볼 필요가 있다. 본 발명의 일 실시예에 따른 이온트랩 장치를 필터 설계방법이 적용되는 이온트랩 장치는 기판 상에 형성된 DC 전극 및 RF 전극을 포함한다. 또한, DC 전극은 제 1 내부 DC 전극, 제 1 외부 DC 전극, 제 2 내부 DC 전극 및 제 2 외부 DC 전극을 포함할 수 있다. 또한, RF 전극은 제 1 RF 전극 및 제 2 RF 전극을 포함할 수 있다. 제 1 RF 전극은 제 1 내부 DC 전극과 제 1 외부 DC 전극 사이에 형성된다. 제 2 RF 전극은 제 2 내부 DC 전극과 제 2 외부 DC 전극 사이에 형성될 수 있다. 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법에서 RF 결합전압의 관계를 설정하고 계산하는 과정(S710)은 제 1 외부 DC 전극 및 제 2 외부 DC 전극에 발생한 RF 결합전압인 외부 RF 결합전압과 제 1 내부 DC 전극 및 제 2 내부 DC 전극에 발생한 RF 결합전압인 내부 RF 결합전압 각각의 크기와 위상을 계산할 수 있다.
- [50] 한편, 이온트랩 장치에 필터를 적용하여 소정의 위치, 예를 들어, 이온 포획 위치에 형성되는 전기장을 상쇄시키기 위해서는 각 전극들에 의해 발생하는 전기장의 크기를 계산할 필요가 있다. 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법에서는 경계요소법(boundary element method; BEM)을

활용하는 하전입자광학(charged particle optics; CPO) 상용 소프트웨어를 이용하였으나, 3차원 공간 내의 전자기장을 시뮬레이션할 수 있는 그 어떠한 도구도 본 발명의 특징을 활용할 수 있다.

- [51] 이하의 실시예들에서는 MEMS 기술에 기초한 평면형 이온트랩 칩에 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 및 그 설계방법을 적용한 경우에 대하여 설명한다.
- [52] 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 및 그 설계방법은 도 1에 도시한 설계내용에 기초하여 도 5의 (b)에 도시한 등가회로 구조를 가정한다. 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 설계방법은 RF 전극에 단위 전압이 인가된다는 가정하에 각 DC 전극들에 발생하는 유도 전하량을 계산한다. 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 설계방법은 기판 상에 형성된 전극들에 존재하는 기생 커패시턴스를 추정하여 각 전극 사이의 커패시턴스를 계산한다. 각 전극들에 유발된 RF 커플링 전압인 RF 결합전압의 크기 및 위상은 수학식 1을 이용하여 계산한다. 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터는 각 DC 전극들에 단위 전압이 인가된 경우, 이온 포획 위치에서의 전기장 크기를 계산할 수 있다(S720). 여기서, RF 전극에 의해 발생하는 전기장인 제 1 전기장 및 DC 전극에 의해 발생하는 제 2 전기장을 계산할 수 있다.
- [53] 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 설계방법은 S720에서 계산한 결과값을 S710에서 계산한 RF 결합전압과 곱함으로써, 이온 포획 위치에서의 RF 결합전압으로 인해 유발된 전기장의 크기와 위상을 계산할 수 있다. 일반적인 2차원 이온트랩 장치에서 RF 전극들 및 DC 전극들은 이온의 포획 위치를 기준으로 서로 대칭인 위치에 존재한다. 따라서, 2차원 이온트랩 장치가 형성된 기판과 수평인 방향으로 형성되는 전기장들은 별도의 조치가 없더라도 서로 상쇄된다. 따라서, 2차원 이온트랩 장치가 형성된 기판에 수직인 방향의 전기장들만이 이온에 영향을 주게 된다.
- [54] 도 6은 커플링 전압에 의해 발생한 전기장이 포획된 이온에 미치는 영향을 설명하기 위한 도면이다.
- [55] 여기서, 도 6의 (b) 및 도 6의 (c)에 도시된 바와 같이, 이온 포획 위치에서 내부 DC 전극에 유발된 RF 커플링 전압이 발생시키는 전기장(E_{IDC})에 의한 전속(electric flux)의 방향과 외부 DC 전극에 유발된 RF 커플링 전압이 발생시키는 전기장(E_{ODC})이 형성하는 전속의 방향은 서로 반대이다. 따라서, 외부 DC 전극에 유발된 RF 커플링 전압(V_{ODC})과 내부 DC 전극에 유발된 RF 커플링 전압(V_{IDC})의 크기 및 위상을 조절하여 이온 포획 위치에서 두 전기장을 서로 상쇄시킬 수 있다. 두 전기장을 서로 상쇄함에 따라, 두 전기장이 이온 포획 위치에 존재하는 이온에 아무런 영향을 주지 않도록 조절하는 것이 가능하다(S730). 도 6의 (a)는 본 발명의 일 실시예에 따른 이온트랩을 위한 필터 설계방법을 적용하여 두 전기장이 이온 포획 위치에 존재하는 이온에 아무런 영향을 주지 않도록 한 경우의 전기장 분포를 도시한다.

[56] 본 발명의 일 실시예에서는 E_{IDC} 가 E_{ODC} 보다 3배 정도 더 큰 상태를 가정하여 본 발명의 일 실시예에 따른 이온트랩을 위한 필터 설계방법을 적용하도록 한다.

[57] $C_p = C_{on-chip} + C_{DC}$ 이고 $R = R_{ext} + R_{DC}$ 라고 가정하고 수학적 1을 참조하면, V_{CRF} 의 위상이 변화하지 않도록 하기 위해서는 수학적 2의 값이 일정하게 조절되어야 한다는 것을 알 수 있다.

[58] [수식2]

$$\frac{Im(H)}{Re(H)} = \frac{R}{L\omega + C_p R^2 \omega + C_{RF-DC} R^2 \omega + C_p L^2 \omega^3 + C_{RF-DC} L^2 \omega^3}$$

[59] 통상적인 이온트랩 장치에서 $C_p \gg C_{RF-DC}$, $C_p R^2 \omega \gg C_p L^2 \omega^3$ C_{DC} 이고 $C_p R^2 \omega \gg L\omega$ 이므로, $C_p R$ 을 일정하게 유지시킬 때, 위상의 변화를 최소화하는 것이 가능하다.

[60] [수식3]

$$|H| = \sqrt{(Im(H))^2 + (Re(H))^2} = \frac{\sqrt{(C_p C_{RF-DC} R^2 \omega^2)^2 + (C_{RF-DC} R \omega)^2}}{(C_p R \omega + C_{RF-DC} R \omega)^2 + (1 - C_p L \omega^2 - C_{RF-DC} L \omega^2)^2}$$

[61] V_{CRF} 는 수학적 3과 비례하고, 통상적인 선형 이온트랩 장치에서는 $C_p R \gg 1$ 및 $R \gg L\omega$ 이므로 수학적 3의 $|H|$ 가 C_p 에 반비례한다는 것을 확인할 수 있다. 따라서, V_{IDC} 와 V_{ODC} 는 모두 $C_{on-chip}$ 을 이용하여 조절할 수 있다. 그러나 위상차는 C_p 에 반비례하므로 $C_{on-chip}$ 만을 변화시켜 E_{ODC} 와 E_{IDC} 를 동일하게 조절하는 것만으로는 두 전기장을 상쇄하기가 어렵다. 여기서, E_{ODC} 와 E_{IDC} 는 외부 DC 전극에 의해 발생하는 전기장 및 내부 DC 전극에 의해 발생하는 전기장 각각을 의미한다.

[62] 동일한 커패시턴스를 갖는 C_p 를 설치하면, E_{IDC} 가 E_{ODC} 보다 3배 크고, E_{IDC} 및 E_{ODC} 각각이 V_{RF} 와 갖는 위상차가 Φ 로 동일한 경우, E_{ODC} 와 E_{IDC} 의 합은 수학적 4와 같이 나타낼 수 있다.

[63] [수식4]

$$\begin{aligned} & E_{ODC} \sin(\omega t + \Phi) + [-3E_{ODC} \sin(\omega t + \Phi)] \\ &= -2E_{ODC} \sin(\omega t + \Phi) \\ &= -2E_{ODC} (\sin \omega t \cos \Phi + \cos \omega t \sin \Phi) \\ &= -2E_{ODC} (\sin \omega t + \cos \omega t \cdot \Phi) \end{aligned}$$

[64] 또한, 내부 DC 전극에 연결된 커패시터의 커패시턴스를 $3C_p$ 의 크기에 맞춰 형성한 경우, E_{ODC} 와 E_{IDC} 의 합은 수학적 5와 같이 나타낼 수 있다.

[65] [수식5]

$$\begin{aligned}
& E_{ODC} \sin(\omega t + \Phi) - E_{ODC} \sin\left(\omega t + \frac{1}{3} \Phi\right) \\
& = 2E_{ODC} \cos\left(\frac{2\omega t + \frac{4}{3}\Phi}{2}\right) \sin\left(\frac{-\frac{2}{3}\Phi}{2}\right) \\
& = 2E_{ODC} \cos\left(\omega t + \frac{1}{3}\Phi\right) \sin\left(-\frac{1}{3}\Phi\right) \\
& = 2E_{ODC} \left[\cos \omega t \cos\left(\frac{2}{3}\Phi\right) - \sin \omega t \sin\left(\frac{2}{3}\Phi\right) \right] \cdot \sin\left(-\frac{1}{3}\Phi\right) \\
& = 2E_{ODC} \left[\cos \omega t - \sin \omega t \cdot \left(\frac{2}{3}\Phi\right) \right] \cdot \left(-\frac{1}{3}\Phi\right) \\
& = 2E_{ODC} \left[\cos \omega t \cdot \left(-\frac{1}{3}\Phi\right) + \sin \omega t \cdot \left(\frac{2}{3}\Phi\right) \right]
\end{aligned}$$

[66] 동일한 위상의 전기장은 DC 전원으로부터 인가되는 DC 전압(V_{DC})을 조절하여 이온의 포획 위치를 미세하게 변경시킴으로써 억제할 수 있다. 따라서, 실제로 억제할 수 없는 전기장 성분은 내부 DC 전극과 외부 DC 전극에 설치된 필터에 포함된 커패시터의 커패시턴스가 동일한 경우의 $2E_{ODC}\cos\omega t \cdot \Phi$ 이다. 또한, 내부 DC 전극과 외부 DC 전극에 설치된 필터에 포함된 커패시턴스의 비율이 3:1인 경우, 억제할 수 없는 전기장 성분은 $2E_{ODC}\cos\omega t \cdot (-\frac{1}{3}\Phi)$ 이다. 여기서, 억제할 수 없는 전기장 성분의 크기가 $\frac{1}{3}$ 로 커패시턴스의 비율에 비례하여 감소한 것을 알 수 있는데, 이는 위상차를 별도로 보정하지 않았기 때문이며, 외부 저항(R_{ext})의 저항값인 제 1 저항값을 C_p 와 반비례하도록 설정함으로써 전기장의 크기를 조절함과 동시에 위상 변화를 억제할 수 있다(S740).

[67] 전술한 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법은 도 7에 도시한 바와 같이 정리할 수 있다.

[68] 도 7은 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 도시하는 흐름도이다. 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법에 대해서는 도면들과 함께 이미 설명하였으므로, 추가적인 설명은 생략한다.

[69] 시중에서 판매되는 커패시터들을 활용하여 E_{IDC} 와 E_{ODC} 의 크기의 비율이 약 3:1인 경우, 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 적용하여 도 5의 (b)의 포함된 등가회로 파라미터를 계산하였으며, 이 값들을 표 1에 나타내었다.

[70] [표1]

ω	V_{RF}	L_{DC}	C_{DC}	C_{RF-DC} (내부)	C_{RF-DC} (외부)	R_{DC}
$2\pi \times 25.38 \times 10^6 \text{ rad/s}$	300V	420 nH	10 pF	98.3 fF	94.4 fF	0.2 Ω

[71] 모든 DC 전극들에 560 pF의 커패시터 즉, $C_{on-chip} = 560 \text{ pF}$ 인 추가 커패시터와 10 k Ω 의 저항값을 갖는 저항 즉, $R_{ext} = 10 \text{ k}\Omega$ 의 저항값을 갖는 외부 저항을 설치한 경우와 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을

적용하기 위해, 내부 DC 전극에 3개의 560 pF의 커패시턴스를 갖는 커패시터들($C_{\text{on-chip}} = 1680 \text{ pF}$)과 3.3 k Ω 의 저항값을 갖는 저항($R_{\text{ext}} = 3.3 \text{ k}\Omega$)을 연결하고, 외부 DC 전극들에 560 pF의 커패시턴스를 갖는 커패시터($C_{\text{on-chip}} = 560 \text{ pF}$)와 10 k Ω 의 저항값을 갖는 저항($R_{\text{ext}} = 10 \text{ k}\Omega$)을 연결한 경우, 커플링 전압이 포획된 이온에 미치는 영향을 도 8에 도시하였고, 그 시뮬레이션 결과를 도 9에 도시하였다.

- [72] 도 8은 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 적용한 이후에 이온 포획 지점에서 커플링 전압에 의해 발생된 전기장이 포획된 이온에 미치는 영향을 설명하기 위한 도면이다.
- [73] 도 8의 (a)를 참조하면, 내부 DC 전극들에 의해 형성된 전기장 E_{IDC} 가 외부 DC 전극들에 의해 형성된 전기장 E_{ODC} 보다 약 3배가량 커, 모든 DC 전극들에 의해 형성된 전기장이 이온 포획 지점에서 상쇄되지 않는다는 것을 알 수 있다. 반면에, 도 8의 (b)를 참조하면, 이온 포획 지점에서 위로 향하는 전기장의 크기와 아래로 향하는 전기장의 크기가 거의 같다는 것을 알 수 있다.
- [74] 도 9는 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법을 적용하기 전후에 이온 포획 지점에서 커플링 전압으로 인해 발생한 전기장의 크기를 나타내는 그래프이다.
- [75] 도 9의 (a) 주파수의 변화에 따른 전기장의 위상 변화 및 도 9의 (b) 주파수의 변화에 따른 전기장의 크기 변화를 참조하면, 전기장의 위상 변화가 거의 없어, E_{IDC} 와 E_{ODC} 의 크기를 거의 유사하게 맞출 수 있었으며, 결과적으로 도 9의 (c)에 도시된 바와 같이, 본 발명의 일 실시예에 따른 이온트랩을 위한 필터 설계방법이 적용되기 이전에 비해, 이온 포획 위치에서의 전기장 크기를 5%까지 감소시킬 수 있다는 것을 확인할 수 있다.
- [76] 본 발명의 일 실시예에 따른 이온트랩 장치를 위한 필터 설계방법에서 필터의 값을 계산하는 과정(S740)은 제 1 내부 DC 전극, 제 2 내부 DC 전극, 제 1 외부 DC 전극 및 제 2 외부 DC 전극에 각각 제 1 내부 커패시턴스를 갖는 제 1 내부 커패시터, 제 2 내부 커패시턴스를 갖는 제 2 내부 커패시터, 제 1 외부 커패시턴스를 갖는 제 1 외부 커패시터 및 제 2 외부 커패시턴스를 갖는 제 2 외부 커패시터를 전기적으로 연결하고, 제 1 내부 커패시턴스 및 제 2 내부 커패시턴스가 동일한 값을 갖고, 제 1 외부 커패시턴스와 제 2 외부 커패시턴스가 동일한 값을 갖도록 설정할 수 있다. 또한, 계산된 전기장의 크기에 따라 각각의 커패시턴스 값을 조절할 수 있다.
- [77] 또한, 시판 물품이 아닌 더욱 정밀한 전용 저항과 커패시터를 설계하여 활용하면, 전기장의 추가적인 감소가 가능할 것이다.
- [78] 감소된 전기장은 미세진동의 크기에 직접적인 영향을 미치므로, RF 커플링으로 인한 미세진동 또한 본 기법을 통하여 전기장과 동일한 비율로 감소한다고 기대할 수 있다.
- [79] 도 7에서는 각각의 과정을 순차적으로 실행하는 것으로 기재하고 있으나,

반드시 이에 한정되는 것은 아니다. 다시 말해, 도 7에 기재된 과정을 변경하여 실행하거나 하나 이상의 과정을 병렬적으로 실행하는 것으로 적용 가능할 것이므로, 도 7은 시계열적인 순서로 한정되는 것은 아니다.

- [80] 한편, 도 7에 도시된 흐름도의 각 단계는 컴퓨터로 읽을 수 있는 기록매체(computer-readable recording medium)에 컴퓨터가 읽을 수 있는 코드로서 구현하는 것이 가능하다. 컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 즉, 컴퓨터가 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등) 및 캐리어 웨이브(예를 들면, 인터넷을 통한 전송)와 같은 저장매체를 포함한다. 또한, 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.
- [81] 이상의 설명은 본 발명에 따른 실시예들의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명에 따른 실시예들이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 실시예들의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 따른 실시예들은 본 실시예들의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예들에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명에 따른 실시예들의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명에 따른 실시예들의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

산업상 이용가능성

- [82] 본 발명은 종래의 RC 필터를 이용한 전기장 발생 억제 기술과는 달리, 커패시턴스를 증가시키지 않으면서도 RF 커플링으로 인해 유발된 전기장을 억제할 수 있고, 통상적인 2차원 이온트랩 장치에 적용하는 경우, RF 커플링으로 인한 이온에 발생하는 미세진동을 억제시켜 이온트랩의 집적도를 높일 수 있는 유용한 발명이다.

[83]

[84] CROSS-REFERENCE TO RELATED APPLICATION

- [85] 본 특허출원은 2017. 10. 31.에 한국에 출원한 특허출원번호 제10-2017-0144292호에 대해 미국 특허법 119(a)조(35 U.S.C § 119(a))에 따라 우선권을 주장하면, 그 모든 내용은 참고문헌으로 본 특허출원에 병합된다. 아울러, 본 특허출원은 미국 이외에 국가에 대해서도 위와 동일한 이유로 우선권을 주장하면 그 모든 내용은 참고문헌으로 본 특허출원에 병합된다.

[86]

청구범위

- [청구항 1] 상면, 하면 및 기 설정된 두께를 갖도록 형성되는 기판, 상기 상면의 일부 영역에 형성되는 RF 전극 및 상기 상면의 다른 일부 영역에 상기 RF 전극과 전기적으로 분리되어 형성되는 DC 전극을 포함하는 구조물과 외부의 DC 전원 사이를 전기적으로 연결하는 필터에 있어서, 상기 상면에 형성되어 상기 DC 전극의 일부와 전기적으로 연결되는 커패시터; 및
상기 구조물의 외부에 형성되어 상기 구조물과 전기적으로 연결되는 저항을 포함하며, 상기 커패시터의 정전용량값인 제 1 커패시턴스 및 상기 저항의 저항값인 제 1 저항값은 상기 RF 전극에 인가되는 기 설정된 주파수를 갖는 RF 입력전압과 상기 RF 입력전압에 의해 상기 DC 전극에 커플링되는 RF 결합전압을 고려하여 설계되는 것을 특징으로 하는 이온트랩 장치를 위한 필터.
- [청구항 2] 제 1 항에 있어서,
상기 DC 전극은 적어도 한 쌍의 내부 DC 전극과 적어도 한 쌍의 외부 DC 전극을 포함하며, 상기 제 1 커패시턴스 및 상기 제 1 저항값 각각은 상기 RF 결합전압에 의해 유발되어 상기 적어도 한 쌍의 내부 DC 전극과 상기 적어도 한 쌍의 외부 DC 전극 각각이 형성하는 전기장이 소정의 위치에서 서로 상쇄되도록 하는 값을 갖도록 설정되는 것을 특징으로 하는 이온트랩 장치를 위한 필터.
- [청구항 3] 상면, 하면 및 기 설정된 두께를 갖도록 형성되는 기판, 상기 상면의 일부 영역에 형성되는 RF 전극 및 상기 상면의 다른 일부 영역에 상기 RF 전극과 전기적으로 분리되어 형성되는 적어도 하나의 DC 전극을 포함하는 구조물과 외부의 DC 전원 사이를 전기적으로 연결하는 필터 설계방법에 있어서,
상기 RF 전극에 인가되는 기 설정된 주파수를 갖는 RF 입력전압과 상기 RF 입력전압에 의해 상기 적어도 하나의 DC 전극에 커플링되는 RF 결합전압의 관계를 설정하고 계산하는 과정;
상기 RF 결합전압에 의해 유발되어 상기 적어도 하나의 DC 전극이 발생시키는 적어도 하나의 전기장을 시뮬레이션하는 과정; 및
상기 구조물 주변의 소정 위치에서 상기 적어도 하나의 전기장의 크기가 상쇄되도록 하는 필터의 값을 계산하는 과정을 포함하는 이온트랩 장치를 위한 필터 설계방법.
- [청구항 4] 제 3 항에 있어서,
상기 RF 결합전압의 관계를 설정하고 계산하는 과정은,
상기 RF 전극 및 상기 적어도 하나의 DC 전극 각각의 기생 커패시턴스 및

상기 RF 전극과 상기 적어도 하나의 DC 전극 사이의 상호 커패시턴스를 고려하여 상기 적어도 하나의 DC 전극에 발생하는 유도 전하량을 계산하는 것을 특징으로 하는 이온트랩 장치를 위한 필터 설계방법.

[청구항 5]

제 4 항에 있어서,
상기 필터의 값을 계산하는 과정은,
상기 소정 위치에서 상기 적어도 하나의 전기장의 크기와 위상을 계산하는 것을 특징으로 하는 이온트랩 장치를 위한 필터 설계방법.

[청구항 6]

제 5 항에 있어서,
상기 필터의 값을 계산하는 과정은,
상기 RF결합전압의 값을 계산하기 위해 제 1 커패시턴스 값을 갖는 커패시터를 상기 적어도 하나의 DC 전극과 접지 사이에 연결되도록 상기 상면 또는 상기 하면 중 선택된 한 영역에 형성하는 것을 특징으로 하는 이온트랩 장치를 위한 필터 설계 방법.

[청구항 7]

제 6 항에 있어서,
상기 필터의 값을 계산하는 과정은,
상기 구조물과 상기 외부의 DC 전원 사이에 제 1 저항값을 갖는 저항을 추가하고, 상기 제 1 저항값을 변화시켜 상기 적어도 하나의 전기장의 위상을 보정하는 것을 특징으로 하는 이온트랩 장치를 위한 필터 설계방법.

[청구항 8]

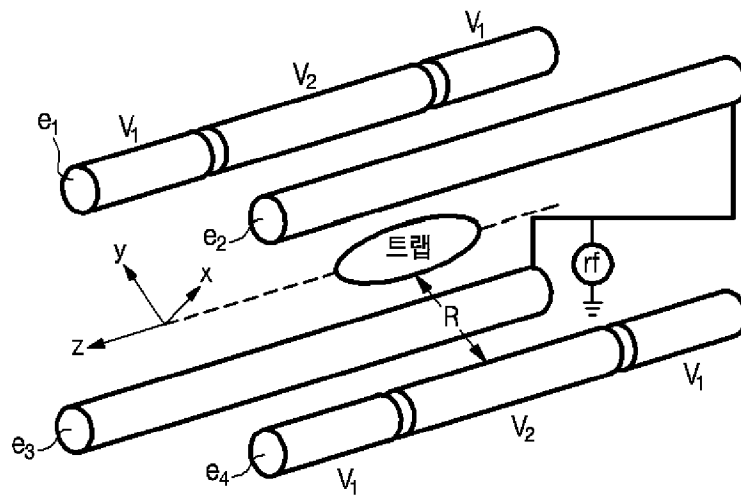
제 3 항에 있어서,
상기 적어도 하나의 DC 전극은 제 1 내부 DC 전극, 제 1 외부 DC 전극, 제 2 내부 DC 전극 및 제 2 외부 DC 전극을 포함하고, 상기 RF 전극은 제 1 RF 전극 및 제 2 RF 전극을 포함하며, 상기 제 1 RF 전극은 상기 제 1 내부 DC 전극과 상기 제 1 외부 DC 전극 사이에 형성되고, 상기 제 2 RF 전극은 상기 제 2 내부 DC 전극과 상기 제 2 외부 DC 전극 사이에 형성되며,
상기 RF 결합전압의 관계를 설정하고 계산하는 과정은,
상기 제 1 외부 DC 전극 및 상기 제 2 외부 DC 전극에 발생한 RF 결합전압인 외부 RF 결합전압과 상기 제 1 내부 DC 전극 및 상기 제 2 내부 DC 전극에 발생한 RF 결합전압인 내부 RF 결합전압 각각의 크기와 위상을 계산하는 것을 특징으로 하는 이온트랩 장치를 위한 필터 설계방법.

[청구항 9]

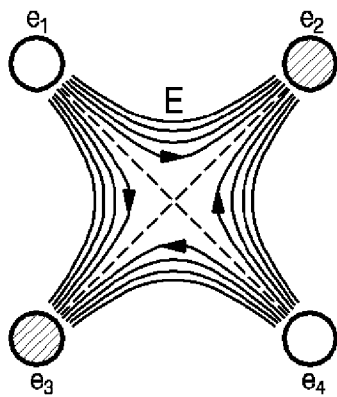
제 8 항에 있어서,
상기 필터의 값을 계산하는 과정은,
상기 제 1 내부 DC 전극, 상기 제 2 내부 DC 전극, 상기 제 1 외부 DC 전극 및 상기 제 2 외부 DC 전극에 각각 제 1 내부 커패시턴스를 갖는 제 1 내부 커패시터, 제 2 내부 커패시턴스를 갖는 제 2 내부 커패시터, 제 1 외부 커패시턴스를 갖는 제 1 외부 커패시터 및 제 2 외부 커패시턴스를 갖는 제 2 외부 커패시터를 전기적으로 연결하고, 상기 제 1 내부 커패시턴스

및 상기 제 2 내부 커패시턴스가 동일한 제 1 값을 갖고, 상기 제 1 외부 커패시턴스와 제 2 외부 커패시턴스가 동일한 제 2 값을 갖도록 설정하는 과정을 포함하는 것을 특징으로 하는 이온트랩 장치를 위한 필터 설계방법.

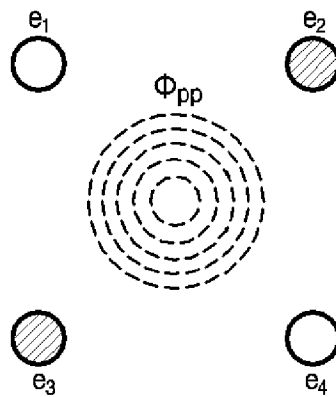
[도 1]



(a)

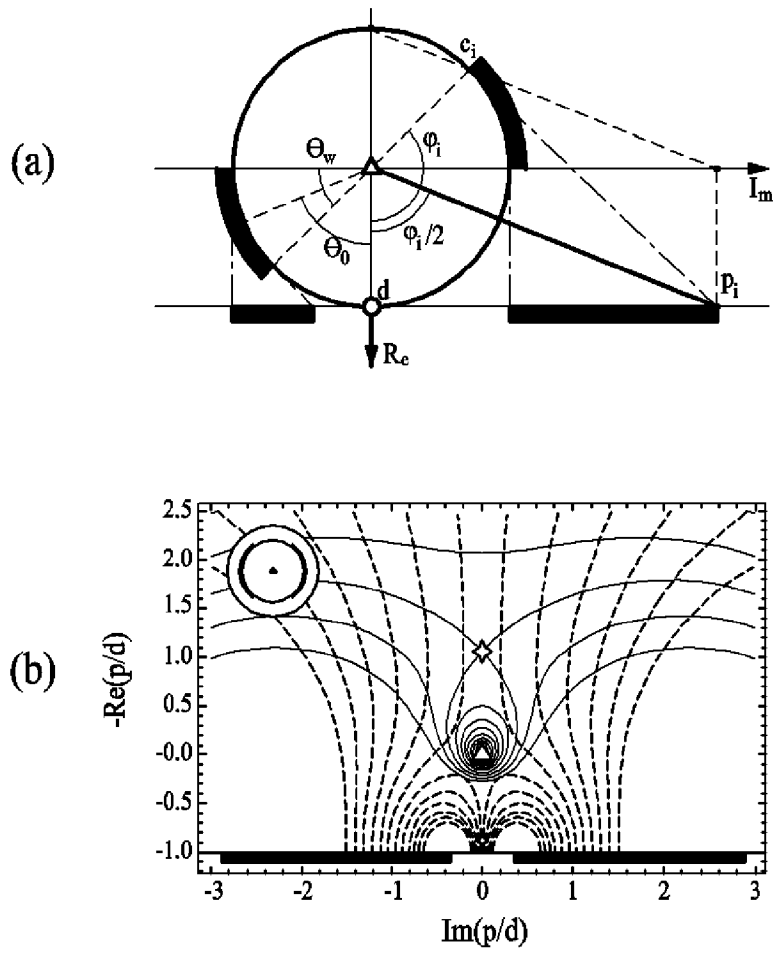


(b)

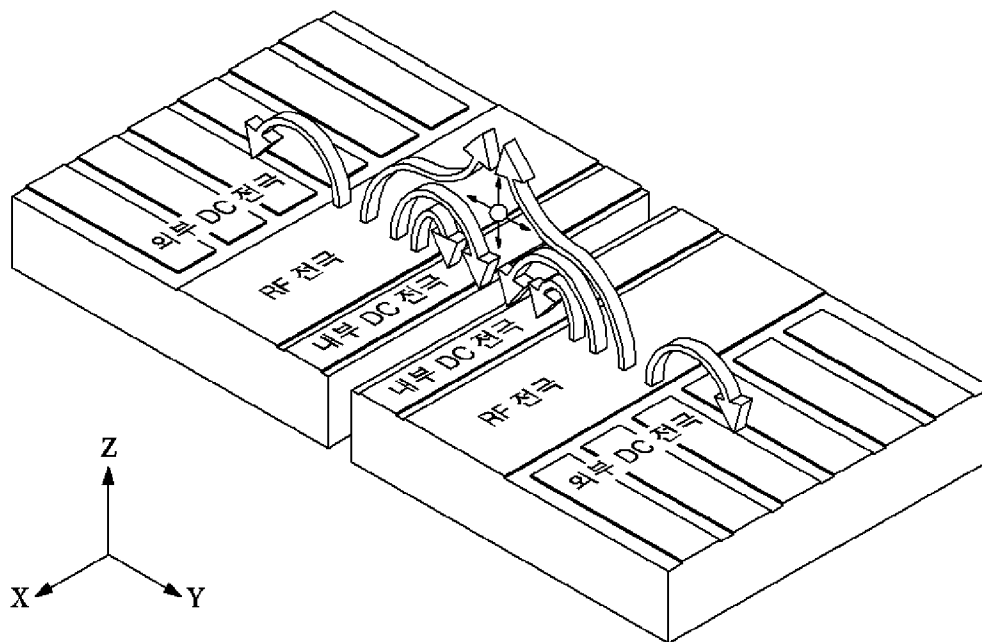


(c)

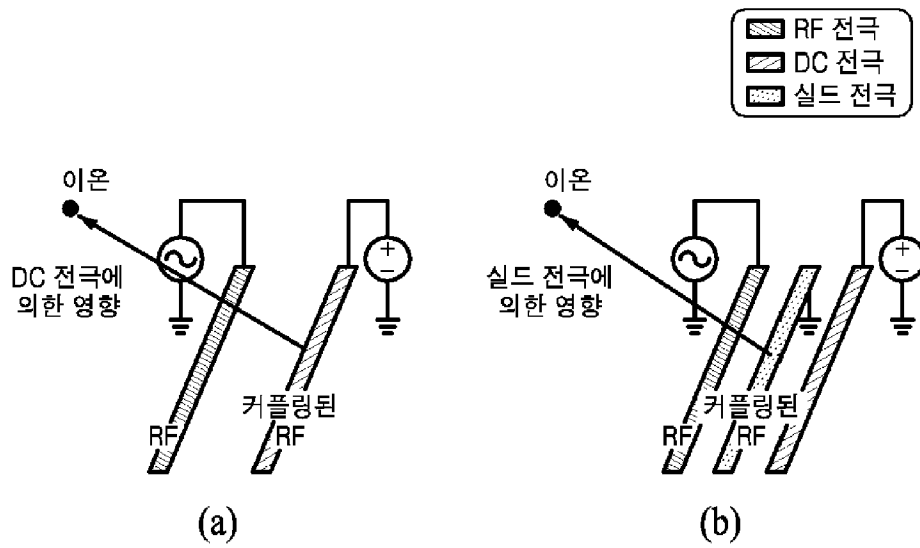
[도2]



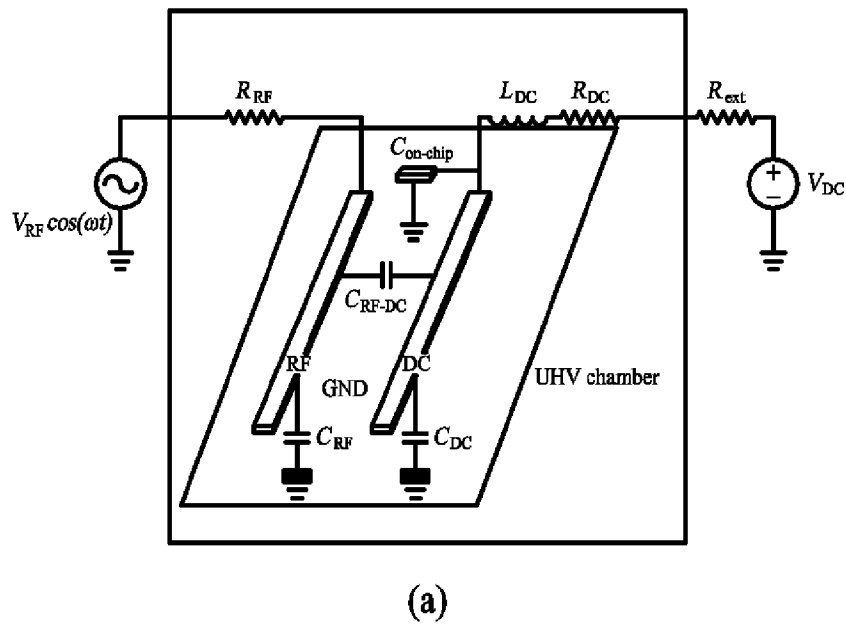
[도3]



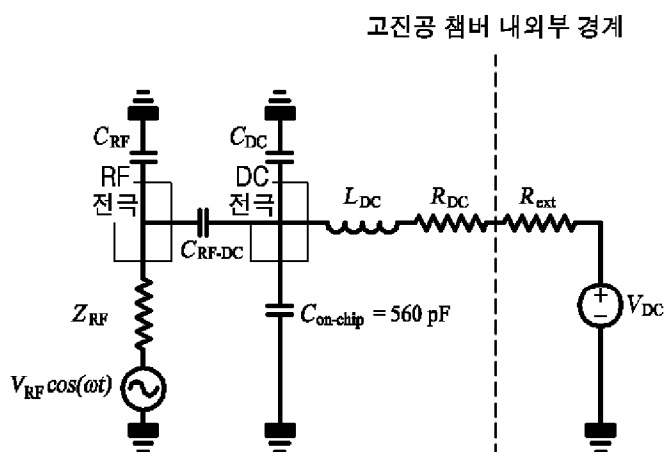
[도4]



[도5]

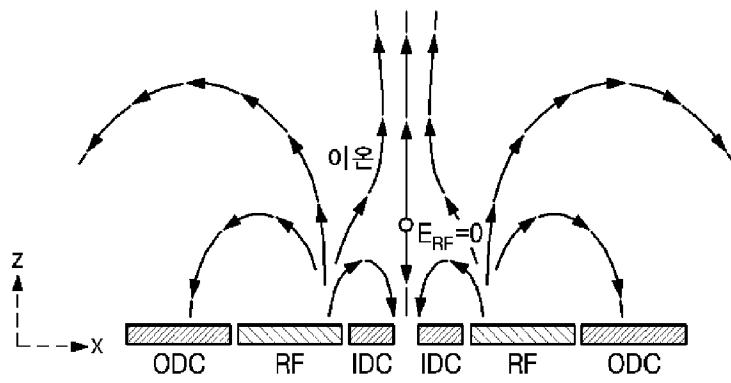


(a)

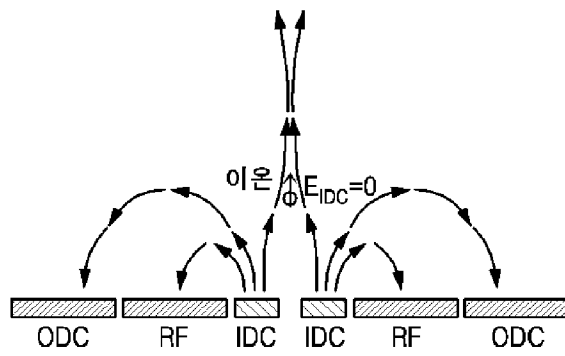


(b)

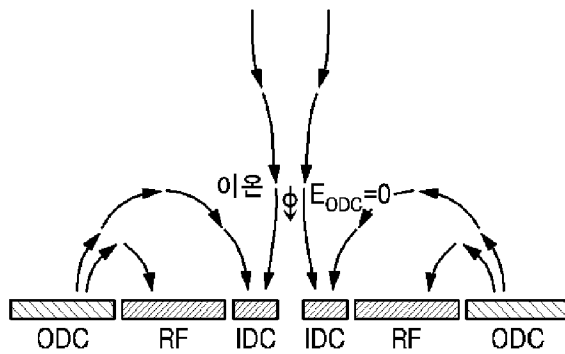
[도6]



(a)

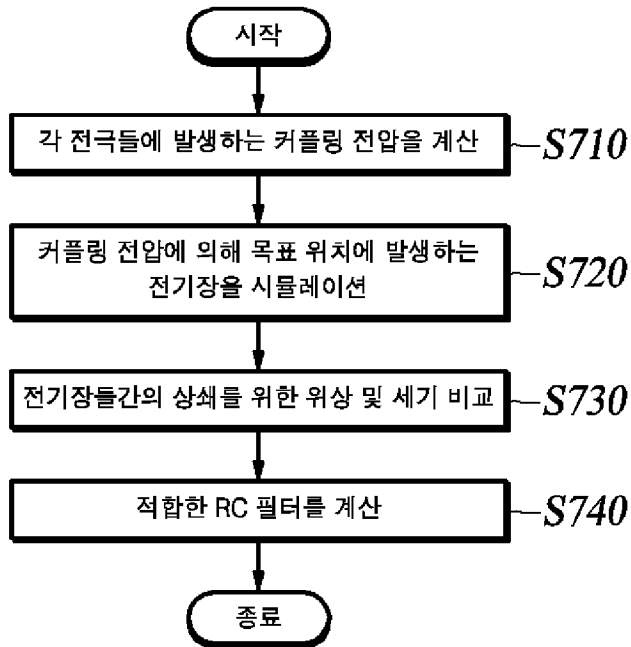


(b)

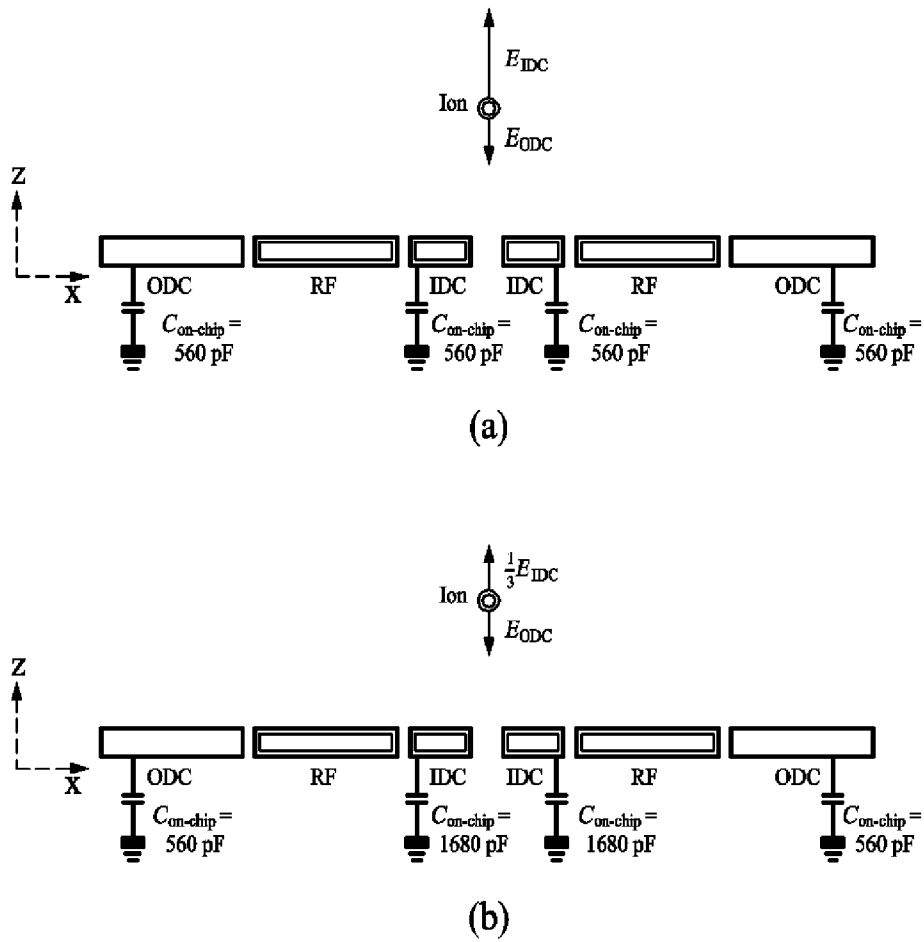


(c)

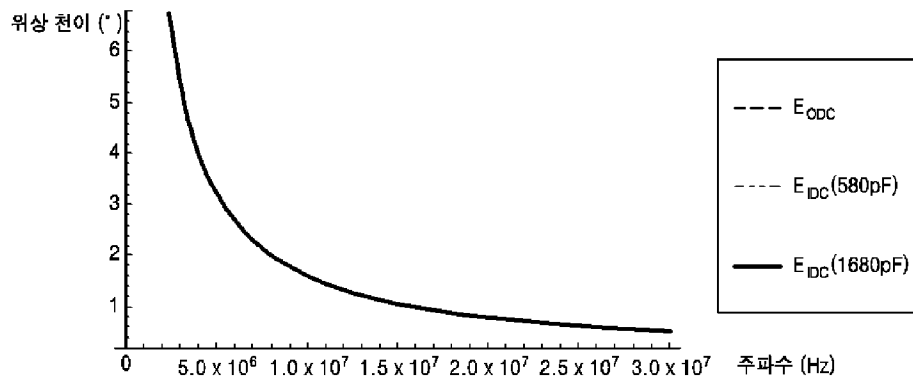
[도7]



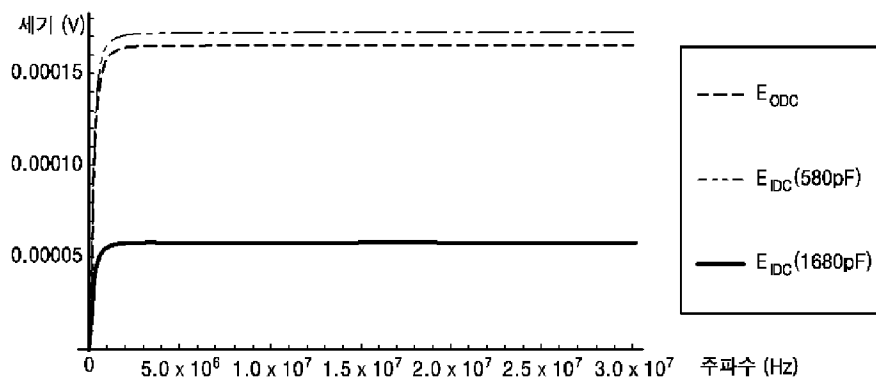
[도8]



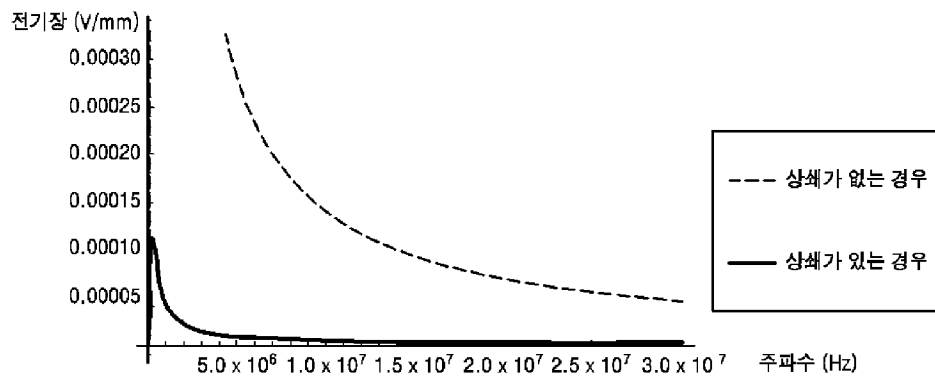
[도9]



(a)



(b)



(c)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/008315

A. CLASSIFICATION OF SUBJECT MATTER

H01J 49/42(2006.01)i, H01J 49/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01J 49/42; B32B 3/00; H01L 21/3065; H01J 49/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: ion trap, filter, capacitor, resistance, compensation, RF, DC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2006-0169882 A1 (PAU, Stanley et al.) 03 August 2006 See paragraphs [0030], [0038], [0046], [0048]; and figures 2a-2b, 5, 7.	1-3
A		4-9
Y	KR 10-2009-0083929 A (BROOKS AUTOMATION, INC.) 04 August 2009 See paragraphs [0075], [0142]; and figures 3, 13A-13B.	1-3
A	KR 10-2005-0089976 A (LAM RESEARCH CORPORATION) 09 September 2005 See paragraphs [0037]-[0039]; and figure 7.	1-9
A	KR 10-2009-0125153 A (LAM RESEARCH CORPORATION) 03 December 2009 See paragraphs [0030]-[0041]; and figures 3-4.	1-9
X	LEE, Minjae et al., Method for Canceling the Effects of Parasitic Electric Fields from Crosstalks in Microfabricated Ion Trap., The 24th Korean Conference on Semiconductors, 15 February 2017 See page 3. ※ The document does not declare exceptions to lack of novelty but is a document declaring exceptions to lack of novelty by the applicant at the time of filing the earlier application that serves as the basis for claiming the rights of priority.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 OCTOBER 2018 (26.10.2018)

Date of mailing of the international search report

26 OCTOBER 2018 (26.10.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/008315

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2006-0169882 A1	03/08/2006	US 7180078 B2	20/02/2007
KR 10-2009-0083929 A	04/08/2009	CN 101578684 A	11/11/2009
		CN 101578684 B	15/10/2014
		CN 104362069 A	18/02/2015
		EP 2076917 A2	08/07/2009
		JP 2010-509732 A	25/03/2010
		JP 5324457 B2	23/10/2013
		KR 10-1465502 B1	26/11/2014
		TW 200832490 A	01/08/2008
		TW 1484529 B	11/05/2015
		US 2010-0084549 A1	08/04/2010
		US 9000364 B2	07/04/2015
		WO 2008-063497 A2	29/05/2008
		WO 2008-063497 A3	19/02/2009
		WO 2008-063497 A8	14/08/2008
KR 10-2005-0089976 A	09/09/2005	AU 2003-297165 A1	22/07/2004
		CN 1726584 A	25/01/2006
		CN 1726584 C	09/04/2008
		EP 1573795 A1	14/09/2005
		EP 1573795 A4	18/07/2007
		EP 1573795 B1	15/02/2017
		JP 2006-511059 A	30/03/2006
		JP 5129433 B2	30/01/2013
		KR 10-1029948 B1	19/04/2011
		TW 200423249 A	01/11/2004
		TW 1327752 B	21/07/2010
		US 2004-0118344 A1	24/06/2004
		US 2006-0112878 A1	01/06/2006
		US 2013-0306240 A1	21/11/2013
		US 8518211 B2	27/08/2013
		US 9190302 B2	17/11/2015
		WO 2004-059716 A1	15/07/2004
KR 10-2009-0125153 A	03/12/2009	CN 101652839 A	17/02/2010
		CN 101652839 B	14/11/2012
		CN 102365717 A	29/02/2012
		CN 105887050 A	24/08/2016
		EP 2417626 A2	15/02/2012
		EP 2417626 A4	06/08/2014
		JP 2010-524156 A	15/07/2010
		JP 2012-523101 A	27/09/2012
		JP 2015-207777 A	19/11/2015
		JP 5492070 B2	14/05/2014
		JP 5808736 B2	10/11/2015
		KR 10-1453118 B1	30/10/2014
		KR 10-1700981 B1	31/01/2017
		KR 10-2012-0009440 A	31/01/2012

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/008315

Patent document cited in search report	Publication date	Patent family member	Publication date
		SG 10201401262U A	28/08/2014
		SG 174503 A1	28/11/2011
		TW 200903629 A	16/01/2009
		TW 201108872 A	01/03/2011
		TW 1447805 B	01/08/2014
		TW 1517764 B	11/01/2016
		US 2008-0237187 A1	02/10/2008
		US 2010-0252199 A1	07/10/2010
		US 2017-0213734 A9	27/07/2017
		US 8450635 B2	28/05/2013
		WO 2008-121654 A1	09/10/2008
		WO 2010-117970 A2	14/10/2010
		WO 2010-117970 A3	13/01/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01J 49/42(2006.01)i, H01J 49/02(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01J 49/42; B32B 3/00; H01L 21/3065; H01J 49/02

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 이온트랩, 필터, 커패시터, 저항, 상쇄, RF, DC

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2006-0169882 A1 (STANLEY PAU 등) 2006.08.03 단락 [0030], [0038], [0046], [0048]; 및 도면 2a-2b, 5, 7 참조.	1-3
A		4-9
Y	KR 10-2009-0083929 A (브룩스 오토메이션, 인크.) 2009.08.04 단락 [0075], [0142]; 및 도면 3, 13A-13B 참조.	1-3
A	KR 10-2005-0089976 A (램 리써치 코포레이션) 2005.09.09 단락 [0037]-[0039]; 및 도면 7 참조.	1-9
A	KR 10-2009-0125153 A (램 리써치 코포레이션) 2009.12.03 단락 [0030]-[0041]; 및 도면 3-4 참조.	1-9
X	MINJAE LEE 등. Method for Canceling the Effects of Parasitic Electric Fields from Crosstalks in Microfabricated Ion Trap. 제24회 한국반도체학술대회, 2017.02.15 페이지 3 참조. ※ 신규성 상실의 예외에 관한 선언은 없으나 위 문헌은 출원인이 우선권 주장의 기초가 된 선출원 출원시 공지예외 선언한 문헌임.	1-9

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2018년 10월 26일 (26.10.2018)

국제조사보고서 발송일

2018년 10월 26일 (26.10.2018)

ISA/KR의 명칭 및 우편주소



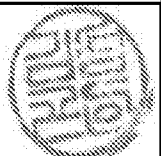
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성곤

전화번호 +82-42-481-8746



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2006-0169882 A1	2006/08/03	US 7180078 B2	2007/02/20
KR 10-2009-0083929 A	2009/08/04	CN 101578684 A	2009/11/11
		CN 101578684 B	2014/10/15
		CN 104362069 A	2015/02/18
		EP 2076917 A2	2009/07/08
		JP 2010-509732 A	2010/03/25
		JP 5324457 B2	2013/10/23
		KR 10-1465502 B1	2014/11/26
		TW 200832490 A	2008/08/01
		TW 1484529 B	2015/05/11
		US 2010-0084549 A1	2010/04/08
		US 9000364 B2	2015/04/07
		WO 2008-063497 A2	2008/05/29
		WO 2008-063497 A3	2009/02/19
		WO 2008-063497 A8	2008/08/14
KR 10-2005-0089976 A	2005/09/09	AU 2003-297165 A1	2004/07/22
		CN 1726584 A	2006/01/25
		CN 1726584 C	2008/04/09
		EP 1573795 A1	2005/09/14
		EP 1573795 A4	2007/07/18
		EP 1573795 B1	2017/02/15
		JP 2006-511059 A	2006/03/30
		JP 5129433 B2	2013/01/30
		KR 10-1029948 B1	2011/04/19
		TW 200423249 A	2004/11/01
		TW 1327752 B	2010/07/21
		US 2004-0118344 A1	2004/06/24
		US 2006-0112878 A1	2006/06/01
		US 2013-0306240 A1	2013/11/21
		US 8518211 B2	2013/08/27
		US 9190302 B2	2015/11/17
		WO 2004-059716 A1	2004/07/15
KR 10-2009-0125153 A	2009/12/03	CN 101652839 A	2010/02/17
		CN 101652839 B	2012/11/14
		CN 102365717 A	2012/02/29
		CN 105887050 A	2016/08/24
		EP 2417626 A2	2012/02/15
		EP 2417626 A4	2014/08/06
		JP 2010-524156 A	2010/07/15
		JP 2012-523101 A	2012/09/27
		JP 2015-207777 A	2015/11/19
		JP 5492070 B2	2014/05/14
		JP 5808736 B2	2015/11/10
		KR 10-1453118 B1	2014/10/30
		KR 10-1700981 B1	2017/01/31
		KR 10-2012-0009440 A	2012/01/31

국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

SG 10201401262U A	2014/08/28
SG 174503 A1	2011/11/28
TW 200903629 A	2009/01/16
TW 201108872 A	2011/03/01
TW I447805 B	2014/08/01
TW I517764 B	2016/01/11
US 2008-0237187 A1	2008/10/02
US 2010-0252199 A1	2010/10/07
US 2017-0213734 A9	2017/07/27
US 8450635 B2	2013/05/28
WO 2008-121654 A1	2008/10/09
WO 2010-117970 A2	2010/10/14
WO 2010-117970 A3	2011/01/13