

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
G09G 3/36

(11) 공개번호 특1998-081772  
(43) 공개일자 1998년11월25일

(21) 출원번호	특1998-015016
(22) 출원일자	1998년04월27일
(30) 우선권주장	97-111183 1997년04월28일 일본(JP)
(71) 출원인	닛뽕덴끼가부시끼가이사 가네꼬히사시
(72) 발명자	일본 도오교도 미나또꾸 시바 5초메 7방 1고 쓰찌히로시
(74) 대리인	일본 도오교도 미나또꾸 시바 5초메 7방 1고닛뽕덴끼 가부시끼가이사나이 박해선, 조영원

**심사청구 : 있음**

**(54) 저전력소비와 정밀한 전압출력을 갖는 액정 표시용 구동 회로**

**요약**

액티브 매트릭스 설계에 액정 표시용 구동 회로가 제공된다. 구동 회로는 다중값 전압 생성 회로, 선택 회로 및 출력회로를 구비한다. 출력 회로는 선택 회로에 의해서 선택된 전압을 입력하는 출력 회로 입력 단자, 출력 회로 입력 단자 및 구동 회로 출력 단자 사이에 접속된 제 1 스위치, 제 1 전압원에 접속된 드레인과 출력 회로 입력 단자에 접속된 게이트와 구동 회로 출력 단자에 접속된 소오스를 갖는 트랜지스터, 및 구동 회로 출력 단자와 제 2 전압원 사이에 접속된 제 2 스위치를 포함한다. 제 1 구동 기간 동안, 구동 회로 출력 단자는 제 1 스위치 및 제 2 스위치를 제어함으로써 소정의 전압으로 프리차지된다. 제 2 구동 기간 동안, 트랜지스터는 소오스 팔로워로서 동작하여 전압을 구동 회로 출력 단자로 출력한다. 제 3 구동 기간 동안, 출력 회로 입력 단자의 전압이 제 1 스위치를 통해 구동 회로 출력 단자로 직접 출력된다.

**대표도**

**도5**

**명세서**

**도면의 간단한 설명**

- 도 1 은 제 1 종래예의 회로도.
- 도 2 는 제 1 종래 기술의 출력 파형도.
- 도 3 은 제 2 종래 기술의 회로도.
- 도 4 는 제 3 종래 기술의 회로도.
- 도 5 는 본 발명에 따른 제 1 실시예의 액정 표시용 구동 회로의 회로도.
- 도 6 은 도 5 에 나타난 구동 회로의 제 1 구동예의 출력 파형도.
- 도 7 은 도 5 에 나타난 구동 회로의 제 2 구동예의 출력 파형도.
- 도 8 은 본 발명에 따른 제 2 실시예의 액정 표시용 구동 회로의 회로도.
- 도 9 는 도 8 에 나타난 구동 회로의 구동예의 출력 파형도.
- 도 10 은 본 발명에 따른 제 3 실시예의 액정 표시용 구동 회로의 회로도.
- 도 11 은 도 10 에 나타난 구동 회로의 구동예의 출력 파형도.
- 도 12 는 본 발명에 따른 제 4 실시예의 액정 표시용 구동 회로의 회로도.
- 도 13 은 도 12 에 나타난 구동 회로의 구동예의 출력 파형도.
- 도 14 는 구동 회로의 시뮬레이션에 이용되는 데이터선 부하의 등가 회로도.
- 도 15 는 제 1 실시예의 출력 파형도.
- 도 16 은 제 2 예의 출력 파형도.
- 도 17 은 제 3 예의 출력 파형도.

## \*도면의 주요부분에 대한 부호의 설명\*

- 1 : 저항열
- 2 : 계조 전압선군
- 3 : 선택 회로
- 4 : 출력 회로
- 5 : 데이터선 부하
- 8 : 출력 회로 입력 단자
- 9 : 구동 회로 출력 단자
- 11 : p 채널형 MOS 트랜지스터
- 12 , 13 : 스위치

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 액티브 매트릭스 구동 장치의 액정 표시용 구동 회로에 관한 것이다.

액정 표시는 각종 장치, 예를들면, 박형, 경량 및 저전력의 특성을 갖는 노트북 컴퓨터와 같은 포터블 장치 및 포터블 터미날에 이용된다. 이들중에서, 액티브 매트릭스 구동 장치를 이용한 액정 표시는 고속 응답, 고정세 표시 및 다중 레벨 계조 표시의 특성에 대한 요구가 증가되고 있다. 액티브 매트릭스 구동 장치를 이용한 액정 표시의 구동부는 통상적으로 투명 픽셀 전극을 갖는 반도체 기판 및 그상에 배치된 박형 트랜지스터 (TFT), 그의 표면에 형성된 투명전극 (고통전극) 을 갖는 대향 기판, 및 그사이에 액정을 봉입하도록 서로 대향하는 2 개의 기판을 갖는 구조물로 구성된다. 계조 전압은 스위칭 기능을 갖는 TFT 를 제어함으로써 각 픽셀 전극에 인가되고 액정의 투과도는 각 픽셀 전극과 대향하는 기판상의 전극 사이의 전압차에 의해서 변경된다. 인가될 계조 전압 (데이터 신호) 을 각 픽셀로 전송하고 데이터선 및 TFT 용 스위칭 제어 신호 (스캐닝 신호) 를 전송하는 스캐닝선이 반도체 기판상에 배선된다. 펄스형 스캐닝 신호는 게이트 드라이버로부터 각 스캐닝선으로서 전송된다. 스캐닝선의 스캐닝 신호가 하이 레벨로 되는 경우, 스캐닝선에 접속된 모든 TFT 가 턴온되고, 데이터선으로 전송된 계조 전압 (데이터 신호) 은 TFT 를 통해 픽셀전극으로 인가된다. 스캐닝 신호가 로우 레벨이 되어 TFT 를 오프 상태로 변경시킨 경우, 픽셀 전극에 인가된 계조 전압 및 공통 전극에 인가된 전압은 계조 전압이 픽셀 전극으로 재인가될 때까지 유지된다. 모든 픽셀 전극은 스캐닝 신호를 각 스캐닝선으로 순차적으로 전송함으로써 소정의 전압이 인가되고, 스크린상의 표시는 프레임 주기로 재인가에 의해서 성취될 수 있다

본 방법에서, 액정은 액정 표시시 데이터선을 통해 픽셀 전극으로 계조 전압을 인가함으로써 구동된다. 데이터선을 구동하는 데이터 드라이버는 하나의 픽셀에 대한 액정용량 뿐만아니라 배선 저항 및 배선용량을 포함한 대용량 부하를 구동해야 한다. 대용량 데이터선 부하는 고정세 표시 및 다중 레벨 계조 표시를 성취하기 위해서 정밀도가 높으며 고속으로 구동될 필요가 있고, 고성능 데이터 드라이버가 요구되어, 각종 데이터 드라이버가 개발되어 왔다. 이들중에서, 도 1 에 나타낸 제 1 종래 기술은 정밀도가 높은 출력을 가능하게 하는 것 중 하나이다. 종래 기술에서, 저항열 (1A) 에 의해서 생성된 계조 전압은 선택 회로 (3) 에 의해서 선택되어 데이터선 부하로 직접 출력되고, 정밀한 전압은 저항열 (1) 로 이루어진 저항 소자의 저항비에 의존하고, 정밀도가 높은 전압 출력이 제공될 수 있다. 비록, 도 1 은 하나의 데이터선에 대한 구동회로를 나타내고 있지만, 복수의 데이터선에서도 각 데이터선에 대한 출력 전압의 변화는 저항열을 분할함으로써 생성되지 않는다.

더욱이, 스캐닝선의 수 및 데이터선의 수는 미세 패널에 기인하여 증가되고, 하나의 데이터에 대한 출력 기간이 단축되고, 전류 공급 능력이 높은 출력이 데이터선 부하를 고속으로 구동하기 위해서 데이터 드라이버에 대해 요구된다. 도 3 에 나타낸 제 2 종래 기술 및 도 4 에 나타낸 제 3 종래 기술 (일본국 특허 출원번호 제 27623/96 호) 은 이러한 요구를 만족시키는 것들이다. 제 2 종래 기술 (도 3 에 도 시험) 의 구동회로는 저항열 (1A) 에 의해서 생성된 계조 전압이 선택 회로 (3) 에 의해서 선택되어 연산 증폭기 (7) 에 의해서 증폭되고 하나의 데이터선 부하로 출력된다. 구동 회로는 임피던스 변환이 연산증폭기 (7) 에 의해서 수행되어 전류 공급 능력이 높은 출력 능력을 갖기 때문에, 데이터선 부하는 고속으로 구동될 수 있다. 제 3 종래 기술 (도 4 에 도 시험) 은 저항소자군 (31) 에 의해서 생성된 전압이 반도체 스위치군 (SW<sub>1</sub>, SW<sub>2</sub>, ..., SW<sub>n+1</sub>) 에 의해서 선택되어 MOS 트랜지스터 (Tr) 의 게이트로 바이어스되고, 문턱 전압에 의해서 게이트 바이어스 전압으로부터 감소된 전압은 출력될 소오스로부터 취해진다. 본 회로에서, MOS 트랜지스터 (Tr) 는 소오스 팔로워로서 동작되고, 다중값 전압은 저임피던스로 출력될 수 있고, 데이터선 부하는 본 회로가 데이터 드라이버용 구동 회로로서 이용되는 경우 고속으로 구동될 수 있다. 또한, 저항 소자군 (31) 의 양단부에 전압 제어 회로 (32) 및 전류 제어 회로 (33) 가 접속되어 MOS 트랜지스터 (Tr) 의 문턱전압의 변화를 보정하기 때문에 정밀도가 높은 전압이 생성된다.

포터블 장치 및 포터블 터미날용 액정 표시를 이용하기 위해서는, 정밀도가 높은 전압 출력 및 고속 구동 능력 뿐만아니라 저전력소비가 요구된다.

### 발명이 이루고자 하는 기술적 과제

그러나, 제 1 종래 기술 (도 1 에 도시함) 에서는, 계조 전압이 저항열 (1A) 내의 각 접속 단자로부터 출력되기 때문에, 출력 임피던스가 계조 전압에 따라 변한다. 이 경우에, 구동 속도는 데이터선 부하의 임피던스 및 저항열 (1A) 의 출력 임피던스에 따른 지연 시정수에 의존하기 때문에, 임의의 계조에 대응하는 데이터선을 고속으로 구동시키기 위해서는 계조 전압을 생성하는 저항열 (1A) 의 저항값을 작게하여 지연 시정수를 작게할 필요가 있다. 그러나, 전원 전압이 일정한 경우 저항열 (1A) 에 흐르는 전류가 커지게 되고, 구동 회로에서의 전력소비가 증가되는 문제가 있다.

한편, 제 2 종래 기술 (도 3 에 도시함) 기술에 대해서는, 저항열 (1A) 에 흐르는 전류 및 데이터선의 충전 및 방전을 통한 전력소비 외에 증폭기의 내부 전류를 통한 전력소비가 발생하기 때문에, 다수의 데이터선을 갖는 고정세 패널에서는 전력소비가 고려되어야 한다. 또한, 연산 증폭기는 트랜지스터의 특성의 변화에 따른 오프셋을 가지기 때문에, 출력 전압 정밀도에 변화가 발생할 수 있다.

제 3 종래 기술 (도 4 에 도시함) 에 대해서는, 비록 전력소비가 저항 소자군을 흐르는 전류 및 데이터선 부하의 충전 및 방전을 통해서 존재하더라도, MOS 트랜지스터에 의해서 임피던스 변환이 수행되기 때문에 저항 소자군을 흐르는 전류는 억제될 수 있어, 전력 소비가 비교적 작다. 그러나, MOS 트랜지스터의 문턱 전압의 변화에 따라 출력 전압이 변경되는 것을 방지하기 위해서 구동전압 제어 회로와 전류 제어 회로가 저항 소자군의 양 단부에 접속되기 때문에 회로의 구성이 복잡해진다.

이러한 방법에서, 종래 기술의 구동 회로는 다수의 데이터선을 갖는 고정세 패널에 대해 간단한 회로 구성을 이용하여 저전력소비, 고속 구동 및 정밀도가 전압 출력을 동시에 실현시키는 것은 곤란하다.

본 발명의 목적은 간단한 회로 구성을 이용하여 전전력 소비, 고속 구동 및 정밀도가 높은 전압 출력을 동시에 실현시키는 액정 표시용 구동 회로를 제공하는데 있다.

### 발명의 구성 및 작용

본 발명에 따른 제 1 액정 표시용 구동 회로에서, 출력 회로는 선택 회로에 의해서 선택된 전압을 입력하는 출력 회로 입력 단자, 구동 회로 출력 단자, 제 1 전압원, 제 2 전압원, 출력 회로 입력 단자와 구동 회로 출력 단자 사이에 접속된 제 1 스위치, 제 1 전압원에 접속된 드레인과 출력 회로 입력 단자에 접속된 게이트 및 구동 회로 출력 단자에 접속된 소오스를 갖는 트랜지스터, 및 구동 회로 출력 단자와 제 2 전압원 사이에 접속된 제 2 스위치를 포함한다.

본 발명에 따른 제 2 액정 표시의 구동 회로에서, 출력 회로는 선택 회로에 의해서 선택된 전압을 입력하는 출력 회로 입력 단자, 구동 회로 출력 단자, 제 1 전압원, 제 2 전압원, 출력 회로 입력 단자와 구동 회로 출력 단자 사이에 접속된 스위치, 제 1 전압원에 접속된 드레인과 출력 회로 입력 단자에 접속된 게이트 및 구동 회로 출력 단자에 접속된 소오스를 갖는 n 채널형 트랜지스터, 제 2 전압원에 접속된 드레인과 출력 회로 입력 단자에 접속된 게이트 및 구동 회로 출력 단자에 접속된 소오스를 갖는 p 채널형 트랜지스터를 포함한다.

본 발명의 동작을 설명한다. 다중값 전압 생성 수단은 직렬로 접속된 저항 소자를 갖는 저항열로 이루어지고 전압은 간략히 설명한 저항열내의 각 접속 단자로부터 생성되는 간단한 구조의 경우를 설명한다. 더욱이, 선택 회로에 의해서 선택되어 출력 회로로 입력되는 임의의 계조 전압은  $V_k$  로, 출력 회로의 n 채널형 트랜지스터의 문턱 전압은  $V_t$  로, p 채널형 트랜지스터의 문턱 전압은  $V_t$  로 가정한다. 구동 회로 출력 단자에 접속되어 데이터선 부하가 구동되는 경우를 설명한다.

우선, 제 1 액정 표시용 구동 회로를 설명한다.

출력 회로는 3 단계의 구동 기간, 즉, 제 1 스위치 및 제 2 스위치를 제어함으로써 제 2 전압원이 구동 회로 출력 단자를 소정의 전압으로 프리차지 시키는 제 1 구동 기간, 트랜지스터가 소오스 팔로워로서 동작하여 구동 회로 출력 단자로 전압을 출력하는 제 2 구동 기간, 및 출력 회로 입력 단자의 전압이 제 1 스위치를 통해 구동 회로 출력 단자로 직접 출력되는 제 3 구동 기간을 갖는다.

제 1 구동 기간에서, 출력 회로의 제 1 스위치 및 제 2 스위치가 턴온 되는 경우, 제 1 트랜지스터의 게이트 및 소오스는 동일한 전위가 되기 때문에, 제 1 트랜지스터는 오프상태가 되고 제 2 전압원은 데이터선 부하를 소정의 전압으로 프리차지시킨다. 제 1 스위치 및 제 2 스위치는 제 2 구동 기간에서 턴오프되고, 선택 회로에서 선택된 계조 전압 ( $V_k$ ) 은 제 1 트랜지스터의 게이트로 바이어스되고, 전압 ( $V_k - V_t$ ) 은 구동 회로 출력 단자를 통해 소오스로부터 데이터선 부하로 출력된다. 이때에, 제 1 트랜지스터는 소오스 팔로워로서 동작되고, 전기적인 전하가 임피던스 변화를 통해 제 1 전압원으로부터 제공되고, 데이터선 부하는 전압 ( $V_k - V_t$ ) 부근까지 고속으로 구동될 수 있다. 제 3 구동 기간에서, 제 1 스위치가 턴온되고 제 2 스위치가 턴오프된 경우, 그후, 제 1 트랜지스터가 턴오프되고 계조 전압 ( $V_k$ ) 이 제 1 스위치를 통해 데이터선으로 직접 출력된다. 이때에, 저항열에 의해서 생성된 전압은 데이터선 부하로 직접 출력되기 때문에, 제 3 구동 기간에서의 구동 속도는 저항열의 출력 임피던스에 의존한다. 저항열에 대해서, 출력 임피던스 변화는 계조 전압에 의존하고, 제 3 구동 기간에서의 구동 속도는 데이터선 부하의 임피던스 및 저항열의 출력 임피던스를 통한 지연 시정수에 의존한다. 그러나, 제 3 구동 기간에서는, 전압차가 거의 문턱 전압 ( $V_t$ ) 인 경우에만 구동되고, 요구되는 정확한 출력 전압은 비교적 큰 지연 시정수를 갖는 경우에도 단시간에 도달된다. 따라서, 저항열의 비교적 큰 저항값에 의해서 저항열을 흐르는 전류가 억제될 수 있고, 구동 회로의 전력 소비를 감소시키는 것이 가능하다. 이 방법에서는, 하나의 출력 기간동안 구동을 성취하기 위해 3 단계의 구동 기간을 제공하기 때문에, 제 1 구동은 전체적으로 하나의 출력 기간동안 성취될 수 있고, 정밀도가 높은 계조 전압은 다중 값 전압 생성 수단으로부터 출력된 전압을 직접 출력함으로써 데이터선으로 출력될 수 있다. 또한, 구동 회로는 단순 구조로 구현될 수 있고, 저전력 소비로 구동될 수 있다.

다음으로, 제 2 액정 표시용 구동 회로를 설명한다.

출력 회로는 2 단계의 구동 기간, 즉, n 채널형 트랜지스터 또는 p 채널형 트랜지스터가 소오스 팔로워로서 동작되어 스위치를 제어함으로써 구동 회로 출력 단자로 전압을 출력하는 제 1 구동 기간, 및 출력 회로 입력 단자의 전압이 스위치를 통해 구동 회로 출력 단자로 직접 출력되는 제 2 구동 기간을 갖는다.

제 2 액정 표시용 구동 회로에 대한, 제 1 구동 기간 및 제 2 구동 기간의 동작은 제 1 액정 표시용 구동 회로의 제 2 구동 기간 및 제 3 구동 기간의 동작과 유사하다. 프리차지는 제 2 액정 표시의 구동 회로에 요구되지 않는 것을 알 수 있다. 그 이유는 출력 전압이 앞선 출력 기간에서의 출력 전압보다 높은 경우 n 채널형 트랜지스터가 제 1 구동 기간에서 동작되고, 앞선 출력 기간에서의 출력 전압보다 출력 전압이 낮은 경우 p 채널형 트랜지스터가 동작되기 때문이다. 따라서, 하나의 출력 기간 동안 구동을 성취하기 위해서 2 단계의 구동 기간을 제공함으로써, 고속 구동이 전체적으로 하나의 출력 기간 동안 성취될 수 있고, 정밀도가 높은 계조 전압이 구동 기간에서 저항열에 의해서 생성되고 전압을 직접 출력하기 때문에 데이터선 부하로 출력될 수 있다. 또한, 구동 회로는 간단한 구성으로 구현될 수 있고 저전력 소비로 구동될 수 있다.

제 1 종래 기술과 비교하면, 본 발명은 저항열을 흐르는 전류가 억제되는 경우에도 고속 구동을 실현할 수 있기 때문에, 전력 소비는 제 1 종래 기술과 비교하여 감소될 수 있다. 제 2 종래 기술과 비교한 바에 따르면, 또한 본 발명은 연산 증폭기의 내부 전류와 같은 전력 손실이 없기 때문에 제 2 종래 기술과 비교하여 저전력 소비를 실현할 수 있다. 또한, 본 발명에서, 다중값 전압 출력 수단의 출력 전압은 데이터선 부하로 직접 출력되고, 연산 증폭기의 오프셋에 따른 출력 전압의 변동은 제 2 종래 기술에 나타나는 것 만큼 존재하지 않기 때문에, 정밀도가 높은 전압이 데이터선 부하로 출력될 수 있다. 제 3 종래 기술과 비교한 바에 따르면, 본 발명은 트랜지스터의 문턱 전압의 변동을 보정하는 보정 전류가 소거되어, 회로 구조가 단순하고 설계가 용이하다.

본 발명의 상술한 목적, 형태 및 이점은 본 발명의 예를 나타낸 첨부된 도면을 참조한 이하의 상세한 설명으로부터 명백해질 것이다.

도 5 를 참조하면, 본 발명에 따른 제 1 실시예의 액정 표시용 구동 회로는, 복수의 전압 ( $V_1, V_2, \dots, V_n$ ) 을 출력하는 다중값 전압 생성 회로 (1), 다중값 전압 생성 회로 (1) 에 의해서 생성된 전압 ( $V_1$  내지  $V_n$ ) 으로부터 구동에 요구되는 전압을 선택하는 선택 회로 (3) 및 소망하는 전압을 출력하기 위해 선택 회로 (3) 에 의해서 선택된 전압을 구동 회로 출력 단자 (9) 를 통해 하나의 데이터선 부하 (5) 로 입력하는 출력 회로 (4) 를 구비한다.

다중값 전압 생성 회로 (1) 는 직렬로 접속된 저항 소자를 갖는 저항열로 구성되고, 계조 전압은 저항열 내의 각 접속 단자 ( $N_1, N_2, \dots, N_n$ ) 로부터 데이터 드라이버의 복수의 출력에 공통인 계조 전압선군 (2) 으로 출력된다. 임의의 계조는 선택 회로 (3) 에서 선택되고, 계조 전압은 출력 회로 (4) 로부터 하나의 데이터선 부하 (5) 로 출력되고, 전압은 임의의 기간 동안 유지된다. 도 5 는 하나의 데이터선을 구동하기 위해 요구되는 선택 회로 (3) 및 출력 회로 (4) 의 구성 요소만 나타내고 있다. 다중 데이터선에 전압이 출력되는 경우, 선택 회로 (3) 및 출력 회로 (4) 가 각 데이터선에 제공된다. 출력 회로 (4) 는 출력 회로 입력 단자 (8), 구동 회로 출력 단자 (9), p 채널형 MOS 트랜지스터 (이하 PMOS 트랜지스터라함) (11), 스위치 (12) 및 스위치 (13) 를 구비한다. PMOS 트랜지스터 (11) 는 접지된 드레인, 출력 회로 입력 단자 (8) 에 접속된 게이트, 및 구동 회로 출력 단자 (9) 에 접속된 소오스를 갖는다. 스위치 (12) 는 출력 회로 입력 단자 (8) 와 구동 회로 출력 단자 (9) 사이에 접속되고, 스위치 (13) 는 구동 회로 출력 단자 (9) 와 전압 소오스 (VCC) 사이에 접속된다.

도 6 은 도 5 에 나타낸 회로 구성의 제 1 구동 예를 나타낸 2 개의 출력 기간에 대한 출력 파형도이다. 표 1 는 이러한 경우의 각 스위치의 상태를 나타내고 있다.

[표 1]

	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>
선택 회로(3)	모드 오프	S <sub>1</sub> 만 온		모두 오프	S <sub>n</sub> 만 온	
스위치 (12)	온	오프	온	오프		
스위치 (13)	온	오프		온	오프	

구동 방법을 상기 표를 기초하여 간략하게 설명한다. PMOS 트랜지스터 (11) 의 문턱 전압은 VT 로 지시되고 전압원 (VCC) 의 전압 (VCC) 은 V<sub>1</sub> 보다 큰 것으로 가정한다. 기간 (T<sub>1</sub>) 에서, 스위치 (13) 는 턴온되고, 하나의 데이터선 부하 (5) 는 전압 (VCC) 으로 먼저 프리차지된다. 이때에, 스위치 (12) 가 턴온되고, PMOS 트랜지스터 (11) 는 턴오프된다. 또한 선택 회로 (3) 의 스위치 (S<sub>1</sub> 내지 S<sub>n</sub>) 는 모두 턴오프되어 전류가 전압원 (VCC) 로부터 계조 전압선군 (2) 으로 역으로 흐르는 것을 방지한다. 이하 이 기간을 프리차지 기간이라 한다. 다음으로, 기간 (T<sub>2</sub>) 에서는, 선택회로의 스위치 (S<sub>1</sub>) 만 턴온되어 계조 전압 (V<sub>1</sub>) 이 선택된다. PMOS 트랜지스터 (11) 의 게이트가 전압 (V<sub>1</sub>) 으로 바이어스되고, 양 스위치 (12) 및 스위치 (13) 가 턴오프되고, PMOS 트랜지스터 (11) 는 턴온되고, 그 후, PMOS 트랜지스터 (11) 가 턴온되고, 하나의 데이터선 부하 (5) 에 축적된 전하는 트랜지스터 (11) 의 드레인의 접지 표면으로 방전되고, 데이터선 부하 (5) 의 전압은 VCC 로부터 신속하게 방전되어 전압 (V<sub>1</sub>-VT) 에 근접한다. MOS 트랜지스터 (11) 가 소오스 팔로워로서 동작되어 하나의 데이터선 부하 (5) 를 구동시키는 기간을 이하 트랜지스터 구동 기간이라 한다. 다음으로, 기간 (T<sub>3</sub>) 에서, 스위치

(12) 가 턴오픈되는 경우, 그후, PMOS 트랜지스터 (11) 는 턴오프되고, 계조 전압 ( $V_1$ ) 은 스위치 (12) 를 통해 하나의 데이터선 부하 (5) 로 직접 출력되고, 하나의 출력 기간이 완료된다. 선택 회로 (3) 의 출력이 하나의 데이터선 부하 (5) 로 직접 출력되는 이 기간은 이하 직접 구동 기간이라한다. 마찬가지로, 다음 출력 기간 ( $T_4$  내지  $T_6$ ) 동안, 하나의 데이터선 부하 (5) 는  $T_4$  프리차지 기간에서 전압 ( $V_{CC}$ ) 으로 프리차지되고, 계조 전압 ( $V_n$ ) 이 선택되어 전압 ( $V_n - V_T$ ) 은  $T_5$  트랜지스터 구동 기간에서 하나의 데이터선 부하 (5) 로 출력되고, 계조 전압 ( $V_n$ ) 은  $T_6$  직접 구동 기간에서 하나의 데이터선 부하 (5) 로 직접 출력된다.

이러한 구동 방법에서, 고속 구동은 소오스 팔로워로서 역할을 하는 PMOS 트랜지스터 (11) 와 같이 트랜지스터 구동 기간에서 계조에 의존하지 않고 낮은 임피던스에서 성취될 수 있고, 선택 회로 (3) 의 출력이 직접 구동 기간에서 하나의 데이터선 부하 (5) 로 직접 출력됨으로서 정밀도가 높은 전압이 출력될 수 있다. 출력 임피던스는 직접 구동 기간에서 계조 전압에 의존하여 변하고, 구동 속도는 데이터선 부하의 임피던스 및 저항열의 출력 임피던스를 통한 지연 시정수에 의존하는 것을 알 수 있다. 그러나, 문턱 전압 ( $V_T$ ) 에 대한 전압차만이 직접 구동 기간에서 구동될 수 있고, 요구되는 정확한 출력 전압은 비교적 큰 시정수에서도 단시간에 도달될 수 있다. 따라서, 고속 구동은 저항열의 큰 저항값에서도 전체적으로 하나의 출력 기간동안 성취될 수 있다. 특히, 본 실시예에서는 저항열을 흐르는 전류가 억제될 수 있고, 전 구동 회로에 대한 전력 소비가 감소될 수 있다. 임의의 계조 전압 ( $V_k$ ) 이 트랜지스터 구동 기간에서 등식 ( $V_{CC} - V_k$ ) -  $V_T$  을 만족하며, 트랜지스터 (11) 는 턴오프 상태로 유지되고, 직접 동작 기간에서의 구동되는 전압차는 문턱 전압 ( $V_T$ ) 과 동일하거나 또는 적기 때문에, 고속 구동이 직접 구동 기간에만 성취될 수 있다. 또한, 본 실시예는 다중 출력을 갖는 데이터 드라이버 (IC) 에 이용되는 경우, 데이터선의 출력 전압은 저항열로 구성된 저항소자의 저항비에 의존하기 때문에, IC 사이 또는 IC 내의 PMOS 트랜지스터의 문턱 전압에서 변화가 생기더라도, 정밀도가 높은 전압 출력이 문턱 전압의 변화에 의존하지 않고 제공될 수 있다. 이 방법에서, 본 실시예는 정밀도가 높은 전압 출력, 고속 구동 및 단순한 회로구조를 갖는 저전력 소비를 동시에 실현할 수 있다.

비록, 전압원 ( $V_{CC}$ ) 이 정전압인 경우를 나타내고 있지만, 전압 ( $V_{CC}$ ) 의 레벨은 각 출력 기간 동안 변경될 수 있다. 도 7 은 전압원 ( $V_{CC}$ ) 의 전압이 각 출력 기간 동안 변경되는 제 2 구동 예를 나타내고 있다. 도 7 은 전압원 ( $V_{CC}$ ) 의 전압이  $V_{CC1}$  및  $V_{CC2}$  로 변경되는 경우의 출력 파형도를 나타내고 있고, 스위칭 제어는 도 6 과 유사하게 수행된다. 이 경우, 전압은  $V_{CC1}V_1V_{CC2}V_n$  으로 설정된다.

본 실시예에서, 트랜지스터 (11) 의 문턱 전압 ( $V_T$ ) 의 절대값이 작을수록 더 효과적이다. 절대값이 작은 문턱 전압을 갖는 트랜지스터가 이용되는 경우, 직접 구동 기간에서 구동되어야 하는 전압차가 감소되고, 구동 속도가 더욱 고속으로 되기 때문에, 저항을 흐르는 전류가 억제되어 요구되는 구동 속도의 한계내에서 전력 소비가 감소된다.

도 8 을 참조하면, 본 발명에 따른 제 2 실시예의 액정 표시용 구동 회로는 도 5 에 나타난 구동 회로의 PMOS 트랜지스터 (11) 대신에 n 채널형 MOS 트랜지스터 (이하 NMOS 트랜지스터라 함) (14) 를 가지며, 그의 드레인은 전압원 ( $V_{DD}$ ) 에 접속된다.

도 9 는 도 8 에 나타난 회로 구조의 제 1 구동예를 나타낸 데이터선 부하 (5) 에 대한 2 개의 출력 기간 동안의 출력 파형이다. 표 2 는 각 경우의 각 스위치의 상태를 나타낸다.

[표 2]

	$T_1$	$T_2$	$T_3$	$T_4$	$T_5$	$T_6$
선택 회로(3)	모두 오프	$S_1$ 만 온		모두 오프	$S_1$ 만 온	
스위치 (12)	온	오프	온	오프		
스위치 (13)	온	오프		온	오프	

본 실시예의 구동 방법은 도 6 의 구동 방법과 유사하다.  $T_1$  및  $T_4$  는 프리차지 기간이고,  $T_2$  및  $T_5$  는 트랜지스터 구동 기간이고,  $T_3$  및  $T_6$  는 선택 회로 (3) 의 출력이 데이터선 부하 (5) 로 직접 출력되는 직접 구동 기간이다. 본 방법에서의 구동에 따르면, 정밀도가 높은 전압 출력, 고속 구동 및 저전력 소비가 제 1 실시예와 유사한 간단한 회로 구조로 동시에 실현될 수 있다.

본 발명에 따른 제 3 실시예의 액정 표시용 구동 회로는 제 1 실시예 및 제 2 실시예와는 출력 회로 (4) 에서만 차이가 있다. 출력 회로 (4) 는 출력 회로 입력 단자 (8), 구동 회로 출력 단자 (9), 스위치 (12), NMOS 트랜지스터 (15) 및 PMOS 트랜지스터 (16) 로 구성된다. 스위치 (12) 는 제 2 실시예와 유사한 출력 회로 입력 단자 (8) 와 제 1 구동 회로 출력 단자 (9) 사이에 접속되고, NMOS 트랜지스터 (15) 는 전압원 ( $V_{DD}$ ) 에 접속된 드레인, 출력 회로 입력 단자 (8) 에 접속된 게이트 및 구동 회로 출력 단자 (9) 에 접속된 소오스를 가지며, PMOS 트랜지스터 (16) 는 접지에 접속된 드레인, 출력 회로 입력 단자 (8) 에 접속된 게이트, 구동 회로 출력 단자 (9) 에 접속된 소오스를 갖는다.

도 11 은 도 10 에 나타난 회로 구조의 구동예를 나타낸 2 개의 출력 기간동안의 출력 파형이다. 표 3 은 이러한 경우의 각 스위치의 상태를 나타낸다.

[표 3]

	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>
선택 회로(3)	S <sub>1</sub> 만 온		S <sub>n</sub> 만 온	
스위치 (12)	오프	온	오프	온

구동 방법을 상기 표에 기초하여 간략히 설명한다. NMOS 트랜지스터 (15) 및 PMOS 트랜지스터 (16)의 문턱 전압은  $V_t$  및  $V_T$  로 각각 지시된다. T<sub>1</sub> 은 스위치 (12) 가 턴오프되는 트랜지스터 구동 기간이고, 스위치 (S<sub>1a</sub>) 는 선택 회로 (3) 에서 턴온되어 계조 전압 (V<sub>1</sub>) 을 선택하고, NMOS 트랜지스터 (15) 및 PMOS 트랜지스터 (16) 의 게이트는 전압 (V<sub>1</sub>) 으로 바이어스된다. 이 점에서, 앞선 출력 기간에서 하나의 데이터선 부하 (5) 에 유지되는 전압은 V<sub>1</sub> 보다 충분히 낮고, NMOS 트랜지스터 (15) 는 턴온되어 PMOS 트랜지스터 (16) 가 턴오프된다. 그후, 하나의 데이터선 부하 (5) 에서의 전압은 전압 (V<sub>1</sub>-V<sub>t</sub>) 에 근접한다. T<sub>2</sub> 는, 스위치 (12) 가 턴온된 경우, NMOS 트랜지스터 (15) 및 PMOS 트랜지스터 (16) 가 턴오프되고, 계조 전압 (V<sub>1</sub>) 이 하나의 데이터선 부하 (5) 로 직접 출력되어 하나의 출력 기간이 종료되는 직접 구동 기간이다. 후속 출력 기간에서는, 계조 전압 (V<sub>n</sub>) 이 선택회로 (3) 에 의해서 선택된 경우, NMOS 트랜지스터 (15) 는 턴오프되고 PMOS 트랜지스터 (16) 는 T<sub>3</sub> 트랜지스터 구동 기간에서 활성화된다. 하나의 데이터선 부하 (5) 의 전압은 급속히 감소되어 전압 (V<sub>n</sub>-V<sub>T</sub>) 에 근접한다. 그후, 스위치 (12) 가 T<sub>4</sub> 직접 구동 기간에서 턴온되고, NMOS 트랜지스터 (15) 및 PMOS 트랜지스터 (16) 가 턴오프되고, 계조 전압 (V<sub>n</sub>) 은 하나의 데이터선 부하 (5) 에 직접 출력된다.

본 방식에서의 구동 방법에 따르면, 고속 구동은 트랜지스터 구동 기간에서 소오스 팔로워로서 역할을 하는 트랜지스터에 의해서 계조에 의존하지 않고 낮은 임피던스에서 성취될 수 있고, 정밀도가 높은 전압은 직접 구동 기간에서 선택 회로 (3) 의 출력을 하나의 데이터선 부하 (5) 로 직접 출력함으로써 출력될 수 있다. 출력될 전압과 앞선 출력 기간에서 유지된 전압 사이의 전위차가 NMOS 트랜지스터 (15) 또는 PMOS 트랜지스터 (16) 의 문턱 전압의 절대값보다 낮은 경우라도, 양 NMOS 트랜지스터 (15) 및 PMOS 트랜지스터 (16) 가 T<sub>1</sub> 및 T<sub>3</sub> 트랜지스터 구동 기간에서 턴오프될 수도 있고, 구동될 전압차가 문턱 전압과 동일하거나 또는 작은 직접 구동 기간에서만 충분히 고속인 구동이 성취될 수 있는 것을 알 수 있다.

더욱이, 본 실시예는 제 1 실시예에서 수행되는 프리차지가 소거되기 때문에, 제 1 실시예에 비하여 더욱 전력이 절약되고 및 고속 구동이 성취될 수 있다. 그 이유는 출력 전압이 앞선 출력 기간에서의 출력 전압보다 높은 경우 NMOS 트랜지스터 (15) 가 트랜지스터 구동 기간에서 동작되고, 출력 전압이 앞선 기간에서의 출력 전압 보다 낮은 경우 PMOS 트랜지스터 (16) 가 동작되기 때문이다. 제 1 실시예에 설명한 바와 같이, 또한, 본 실시예는 저항열이 큰 저항값을 갖는 경우에도 고속 구동을 성취할 수 있고, 전 구동 회로에 대해서 전력 소비가 감소될 수 있다. 더욱이, 본 실시예가 다중 출력을 갖는 데이터 구동 IC 에 이용되는 경우, IC 사이 또는 IC 내의 트랜지스터의 문턱 전압의 변경이 발생하는 경우에도 정밀도가 높은 전압 출력이 제공될 수 있다. NMOS 트랜지스터 (15) 의 드레인 또는 PMOS 트랜지스터의 드레인이 도 10 의 정전압으로 전압원에 접속되더라도, 트랜지스터는 각 출력 기간 동안 가변 전압을 갖는 임의의 전압원에 접속될 수도 있는 것을 알 수 있다.

본 방법에서, 정밀도가 높은 출력, 고속 구동 및 저전력 소비가 본 실시예의 간단한 회로 구조를 가지고 동시에 성취될 수 있다.

도 12 를 참조하면, 본 발명에 따른 제 4 실시예의 액정 표시용 구동 회로는 도 5 에 나타낸 구동 회로를 부분적으로 향상 시킴으로써 제공된 회로이고, 선택 회로 (3) 및 출력 회로 (4) 의 구조는 도 5 의 구조와 동일하다. 이하, 도 12 를 참조하여, 도 5 의 구성 요소와 상이한 구성 요소를 설명한다. 다중값 전압 생성 회로 (1) 는 직렬로 접속된 저항 소자를 갖는 저항열로 이루어지고, n (여기에서 n 은 자연수임) 계조 전압 및 소정의 전압 만큼 각 계조 전압으로부터 이동된 n 개의 보조 전압은 저항열 내의 2n 접속 단자로부터 출력된다. 임의의 계조 전압은 V<sub>k</sub> 로 지시되고 (여기에서 k 는 n 과 동일한거나 또는 작은 자연수임), 계조 전압 (V<sub>k</sub>) 으로부터 전압 (V<sub>ok</sub>) 만큼 이동된 보조 전압 (여기에서 k 는 n 과 동일하거나 또는 작은 자연수임) 은 (V<sub>k</sub>+V<sub>ok</sub>) 로 지시되고, 계조 전압 (V<sub>k</sub>) 또는 보조 전압 (V<sub>k</sub>+V<sub>ok</sub>) 을 출력하는 계조 전압선은 L<sub>k</sub> (여기에서 k 는 n 과 동일하거나 또는 작은 자연수임) 로 지시된다. 도 12 에서는 V<sub>ok0</sub> 임을 알 수 있다. 스위치 (SW<sub>k</sub> 및 SW<sub>ok</sub>) 는 계조 전압 (V<sub>k</sub>) 및 보조 전압 (V<sub>k</sub>+V<sub>ok</sub>) 을 생성하는 저항열내의 각 접속 단자와 계조 전압선 (L<sub>k</sub>) 사이에 접속되고, 계조 전압 (V<sub>k</sub>) 또는 전압 (V<sub>k</sub>+V<sub>ok</sub>) 은 계조 전압선 (L<sub>k</sub>) 으로 출력될 수도 있도록 제어된다. 모든 k<sub>s</sub> 에 대해 유사하게 접속된 2n 개의 스위치는 스위치군 (6) 으로서 언급된다. 구동 방법에 대한 이하의 설명을 용이하게 하기 위해서, 계조 전압 (V<sub>1</sub>), 보조 전압 (V<sub>1</sub>+V<sub>o1</sub>), 계조 전압 (V<sub>n</sub>) 및 보조 전압 (V<sub>n</sub>+V<sub>on</sub>) 의 출력을 제어하는 스위치는 스위치군 (6) 에서 각각 스위치 (101, 102, 103 및 104) 라한다.

도 13 은 도 12 에 나타낸 회로 구조의 구동예를 나타낸 2 개의 출력 기간 동안 데이터선 부하 (5) 의 출력 파형도이다. 표 4 는 이러한 경우에 스위치군 (6) 의 스위치들 (101 내지 104) 의 상태를 나타내고 있다.

[표 4]

	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>
선택 회로(3)	모드 오프	S <sub>1</sub> 만 온		모두 오프	S <sub>n</sub> 만 온	
스위치 (101)	오프		온	오프		온
스위치 (102)	온		오프	온		오프
스위치 (103)	오프		온	오프		온
스위치 (104)	온		오프	온		오프
스위치 (12)	온	오프			오프	온
스위치 (13)	온	오프		온	오프	

이하 구동 방법을 상기 표에 기초하여 설명한다. T<sub>1</sub> 내지 T<sub>2</sub> 에서 스위치 (12) 및 스위치 (13) 의 제어 방법은 제 1 실시예의 제어 방법과 유사하고, T<sub>1</sub> 및 T<sub>4</sub> 는 프리차지 기간이고, T<sub>2</sub> 및 T<sub>5</sub> 는 트랜지스터 구동 기간이고, T<sub>3</sub> 및 T<sub>6</sub> 은 선택 회로 (3) 의 출력이 하나의 데이터선 부하 (5) 로 직접 출력되는 직접 구동 기간이다. 게다가, 스위치군 (6) 은 본 실시예에 제공되며, 스위치군 (6) 의 제어 및 효과를 설명한다. 스위치군 (6) 은 프리차지기간 및 트랜지스터 구동 기간에서 보조 전압 (V<sub>k</sub>+V<sub>ok</sub>) 이 계조 전압선군 (2) 으로 출력되고, 계조 전압 (V<sub>k</sub>) 은 직접 구동 기간에서 계조 전압선군 (2) 으로 출력된다. 특히, T<sub>1</sub> 및 T<sub>2</sub> 에서, 스위치 (101 및 103) 와 같은 계조 전압의 출력을 제어하는 스위치들은 모두 턴오프되고, 스위치 (102 및 104) 와 같은 보조 전압의 출력을 제어하는 스위치들은 모두 턴온된다.

T<sub>2</sub> 에서 선택회로 (3) 의 스위치 (S<sub>1</sub>) 가 턴온되는 경우, 보조 전압 (V<sub>1</sub>+V<sub>o1</sub>) 은 PMOS 트랜지스터 (11) 의 게이트로 바이어스되고, 하나의 데이터선 부하 (5) 의 전압은 프리차지 전압 (V<sub>CC</sub>) 으로부터 전압 (V<sub>1</sub>+V<sub>o1</sub>-V<sub>T</sub>) 으로 급속하게 하강한다. 스위치 (101 및 103) 와 같은 계조 전압의 출력을 제어하는 스위치들이 모두 턴온되고 스위치 (102 및 104) 와 같은 보조 전압의 출력을 제어하는 스위치들은 모두 T<sub>3</sub> 에서 턴오프되는 경우, 계조 전압선군 (2) 의 전압은 보조전압으로부터 계조 전압으로 절환되고, 선택 회로 (3) 에서 선택된 계조 전압 (v<sub>1</sub>) 은 하나의 데이터선 부하 (5) 로 직접 출력된다. 마찬가지로, T<sub>4</sub> 내지 T<sub>6</sub> 동안, 전압 (V<sub>n</sub>+V<sub>on</sub>-V<sub>T</sub>) 은 T<sub>5</sub> 에서 출력되고, 계조 전압 V<sub>n</sub> 은 T<sub>6</sub> 에서 하나의 데이터선 부하 (5) 로 출력된다.

본 동작은 임의의 계조 전압 (V<sub>k</sub>) 이 출력되는 경우와 유사하다.

비록 제 1 실시예에 따른 효과와 유사한 효과가 이러한 구동방법을 통해 획득될 수 있더라도, 본 실시예는, 제 1 실시예와 비교하여 저전력 소비 및 고속 구동을 실현할 수 있다. 그이유를 이하 설명한다. PMOS 트랜지스터 (11) 의 기판 바이어스 전압은 소오스 전압과 동일하고, PMOS 트랜지스터 (11) 의 문턱 전압 (V<sub>T</sub>) 은 본 실시예의 게이트 바이어스 전압과 무관하게 일정하다. 이 경우에, 다중값 전압 생성 회로 (1) 에서 저항열의 설계시, 전압 (V<sub>ok</sub>) 은 모든 k<sub>s</sub> 에 대해 일정 값으로 설정될 수 있다.

V<sub>ok</sub> 가 V<sub>T</sub> 에 가까운 값을 갖도록 설계된 경우, 트랜지스터 구동 기간에서 데이터선 부하 (5) 의 전압이 V<sub>k</sub>+V<sub>ok</sub>-V<sub>T</sub> 이기 때문에 소망되는 계조 전압 (V<sub>k</sub>) 부근까지 고속 구동이 성취될 수 있다. 비록, 제 1 실시예에서는, 직접 구동 기간에서는 PMOS 트랜지스터 (11) 의 문턱 전압 (V<sub>T</sub>) 분의 전압차를 구동해야 하지만, 본 실시예에서는 V<sub>ok</sub> 를 설정함으로써, 직접 구동 기간에서 문턱 전압 (V<sub>T</sub>) 에 의존하지 않는 미소 전압차만을 구동할 필요가 있다. 따라서, 본 실시예는 제 1 실시예에서의 요구값 보다 큰 저항값을 갖도록 저항열이 설계되더라도 충분히 고속인 구동을 달성할 수 있기 때문에, 저항열을 흐르는 전류가 억제되어, 제 1 실시예에 비하여 구동 회로의 전력 소비를 더욱 감소시키는 것이 가능하게 된다.

더욱이, 본 실시예는, NMOS 트랜지스터를 이용한 출력 회로 (4) 를 포함한 제 2 실시예에 적용될 수 있고, 또한, 본 실시예의 효과와 유사한 효과가 이 경우에 획득될 수 있다.

다음으로, 제 1 내지 제 4 실시예에 기술한 액정 표시용 구동 회로에 있어서, 본 발명의 효과는 특히 시뮬레이션을 수행하여 얻어진 구동 속도 및 전력 소비에 대한 결과로부터 입증된다. 제 2 실시예 (도 8) 는 제 1 실시예 (도 5 에 도시함) 의 출력 회로의 PMOS 트랜지스터 (11) 대신에 NMOS 트랜지스터 (14) 를 포함하고, 결과적으로 나타나는 효과는 제 1 실시예의 효과와 유사하므로, 제 2 실시예에 대한 시뮬레이션을 통한 효과의 입증은 시뮬레이션시 생략한다.

대각선이 9 인치인 VGA 패널에 대응하는 하나의 데이터선 부하를 본 발명에 따른 (도 5, 도 10 및 도 12 에 나타낸) 구동 회로에 접속하여 시뮬레이션을 실행하고, 구동 속도 및 전력 소비는 각 구동 회로에 대한 데이터선의 단부에서의 출력 전압의 변화로부터 추정된다. 도 14 는 시뮬레이션에 이용되는 하나의 데이터선 부하의 등가 회로를 나타낸다. 구동 회로 (10) 는 도 5, 도 10, 및 도 12 에 나타낸 회로 구조를 갖는 하나의 데이터선 구동 회로이고, 하나의 데이터선 부하 (20) 는 액정용량, 배선 저항 (R<sub>1</sub>), 배선용량 (C<sub>o</sub>), 및 단자 저항 (R<sub>3</sub>) 을 포함한 등가 회로이다. R<sub>1</sub>=5kΩ, R<sub>3</sub>=10kΩ, R<sub>3</sub>=1GΩ, 및 C<sub>o</sub>=10pF 으로 가정한다. 시뮬레이션에서, 구동 회로 (10) 의 가변 전압원 (V<sub>CC</sub>) 은 전원 전압 (V<sub>DD</sub>) 과 동일하고, V<sub>DD</sub>=5V 이다. 또한, 데이터선 부하에 대한 구동 회로 (10) 의 하나의 출력 기간은 40 μs 이다. 구동 속도를 추정하는데 있어서, 직접구동 기간에서 구동 속도는 계조에 의존하기 때문에, 출력 설정 전압은 0.5 V, 2.5 V 및 4.5 V 의 3 개의 레벨을 갖도록 설정되고, 4.5 V 로 초기 상태로부터, 제 1 출력 기간은 2.5 V, 제 2 출력 기간은 0.5 V, 제 3 출력 기간은 2.5 V, 제 4 기간은 4.5 V 로 하나의 사이클 동안 출력이 설정된다. 구동 속도를 추정하는데 있어서, 각출력

기간의 개시로부터 출력 설정 전압이 정확히 40 mV 까지 도달할 때까지의 시간은 VGA 패널의 계조 전압 정밀도 (40mV) 를 이용하여 추정한다. 프리차지 기간이 상기 시간에 포함되는 것을 알 수 있다. 게다가, 전력 소비를 추정하는데 있어서, 하나의 데이터선 부하 (20) 가 하나의 사이클 기간에서 구동되는 경우 전원 전압 (VDD) 에서 소비된 전력이 추정될 수 있다. 이 전력 소비는 저항열을 흐르는 전류, 및 하나의 데이터선 부하의 충전 및 방전을 통한 것이고, 데이터선 당 구동 소비전력이다. 다중 데이터선으로 출력하는 구동 회로의 경우에, 저항열을 흐르는 전류는 데이터선 수에 비례하고 구동 전력 소비는 또한 데이터선의 수에 비례한다.

게다가, 본 발명과 비교해서, 유사한 시뮬레이션이 제 1 종래 기술 (도 1 에 도시함) 에 대해 수행되었다. 10  $\mu\text{A}$  의 전류가 제 1 종래 기술의 저항열을 가로질러 흐르는 경우 본 발명과 함께 비교가 이루어진다. 도 2 는 제 1 종래 기술에 대해 수행된 시뮬레이션에 의해서 획득된 출력 파형도이다.

(예 1)

도 15 는 제 1 실시예에서의 하나의 사이클동안 (4 개의 출력 기간) 데이터선 단부 전압 (점선) 및 전원 (VDD) 에서 소비되는 전력 (P) (실선) 의 출력 파형도이다. 구동 조건은 저항열을 흐르는 전류는  $I = 10 \mu\text{A}$  이고, PMOS 트랜지스터 (11) 의 문턱 전압은  $V_T = -0.5\text{V}$  이다. 하나의 출력 기간동안의 구동 타이밍을 표 5 에 나타낸다.

[표 5]

	회로도	출력 파형도	프리차지 주기	트랜지스터 구동 주기	직접 구동 주기
예 1	도 5	도 15	5 $\mu\text{s}$	3 $\mu\text{s}$	32 $\mu\text{s}$
예 2	도 10	도 16		3 $\mu\text{s}$	37 $\mu\text{s}$
예 3	도 12	도 17	5 $\mu\text{s}$	3 $\mu\text{s}$	32 $\mu\text{s}$
제 1 종래예	도 1	도 2			40 $\mu\text{s}$

프리차지 기간의 5  $\mu\text{s}$  이고, 트랜지스터 구동 기간은 3  $\mu\text{s}$  이고, 직접 구동 기간은 32  $\mu\text{s}$  이다. 데이터선 단부 전압에서의 변화가 제 1 실시예와 비교하여 트랜지스터 구동 기간에서 고속인 것이 명백하다. 표 6 은 정확한 40 mV 도달 시간 및 전력 소비에 대해 제 1 종래 기술과의 비교를 나타낸다.

[표 6]

	회로도	구동 조건	정확한 40 mV 도달 시간 [ $\mu\text{s}$ ]				전력 소비 [ $\mu\text{W}$ ]
			5V - 2.5V	- 0.5 V	- 2.5V	- 4.5V	
예 1	도 5	$I = 10 \mu\text{A}$ , $V_T = -0.5\text{V}$	22.6	14.0	22.6	13.9	57.2
		$I = 8 \mu\text{A}$ , $V_T = -0.2\text{V}$	21.2	13.8	21.2	13.0	47.4
예 2	도 10	$I = 8 \mu\text{A}$ , $V_T = 0.5\text{V}$ , $V_T = -0.5\text{V}$ ,	20.8	9.7	21.0	11.8	48.1
예 3	도 12	$I = 5 \mu\text{A}$ , $V_T = -0.5\text{V}$ , $V_{ok} = -0.55\text{V}$	8.5	12.7	8.4	7.1	33.6
제 1 종래예	도 1	$I = 10 \mu\text{A}$	21.2	8.8	21.2	8.7	51.8

저항열에서 생성된 계조 전압이 데이터선 부하 (20) 로 직접 출력되는 경우, 구동 속도는 시정수가 계조 전압에 따라 변하는 것과 마찬가지로 계조 전압에 따라 변경된다. 표 6 에서 알 수 있는 바와 같이, 40 mV 에 정확하게 도달 시간은 출력 전압이 2.5V 인 경우 가장 길며, 구동 회로의 구동 속도를 결정한다.

도 5 에 나타낸 구동 회로는 구동 조건이  $I = 10 \mu\text{A}$  이고  $V_T = -0.5\text{V}$  인 경우 구동 속도 및 전력 소비 양측면에서 제 1 종래 기술보다 적다. 이것은 도 5 에 나타낸 구동 회로가 프리차지를 요구하기 때문에, 프리차지에 기인하여 여분의 충전 및 방전에 의해서 요구되는 시간 및 프리차지 기간이 존재한다. 그러나, PMOS 트랜지스터 (11) 의 문턱 전압은  $V_T = -0.5\text{V}$  로부터  $V_T = -0.2\text{V}$  로 변경되고, 저항열을 흐르는 전류는  $I = 8 \mu\text{A}$  로 변경되고, 도 5 에 나타낸 구동 회로는 구동 속도 및 전력 소비의 양측면에서 제 1 종래 기술에 비해 향상될 수 있다. 따라서, 문턱 전압의 절대 값이 작은 트랜지스터가 이용되는 경우, 직접 구동시 구동되어야 하는 전압차가 더 작아지고, 구동 속도는 더욱 고속화되기 때문에, 저항열을 흐르는 전류는 억제될 수 있고, 전력 소비는 요구되는 구동 속도의 한계내에서 감소될 수 있다. 본 방법에서의, 본 발명 (도 5 에 도시함) 에 따른 구동 회로의 결과를 나타낸다.

도 16 은 제 3 실시예 (도 10) 에서 하나의 사이클 동안 (4 개의 출력 기간) 데이터선 단부 전압 (점선)



및 전원 전압 (VDD) 에서 소비되는 전력 (P) (실선) 의 파형도이다. 구동 조건은 저항열을 흐르는 전류는  $I=8 \mu\text{A}$  이고, NMOS 트랜지스터 (15) 의 문턱 전압은  $V_t=0.5 \text{ V}$  이고, PMOS 트랜지스터 (16) 의 문턱 전압은  $V_t=-0.5 \text{ V}$  이고, 양 MOS 트랜지스터 (15 및 16) 는 소오스와 동일한 기판 전압을 갖는다. 하나의 출력 기간 동안의 구동 시간을 표 5 에 나타낸다. 프리차지는 도 10 에 나타낸 구동 회로에 요구되지 않고, 트랜지스터 구동 주기는  $3 \mu\text{s}$  이고, 직접 구동 주기는  $37 \mu\text{s}$  이다. 데이터선 단부 전압의 변화는 제 1 종래 기술과 비교하여 트랜지스터 구동 기간에서 고속인 것이 명백하다. 표 6 은 1LSB 에 정확하게 도달하는 시간 및 전력 소비에 대한 제 1 종래 기술과의 비교를 나타내고 있다.

프리차지는 도 10 에 나타낸 구동 회로에 대해서는 요구되지 않고,  $40 \text{ mV}$  에 정확하게 도달 시간은 도 5 에 나타낸 구동 회로보다 더 짧고, 프리차지에 의한 전력 소비는 존재하지 않는다. 따라서, 저항열을 흐르는 전류가  $8 \mu\text{A}$  이더라도, 도 10 에 나타낸 구동 회로는 구동 속도 및 전력 소비의 양측면에서 도 5 에 나타낸 제 1 실시예의 구동 회로에 비해 향상된다. 문턱 전압의 절대값이 작은 트랜지스터가 제 1 실시예와 유사하게 이용되는 경우, 고속 구동 및 저전력 소비가 성취될 수 있다.

도 17 은 제 4 실시예에서 하나의 사이클 동안 (4 개의 출력 기간) 데이터선 단부 전압 (점선) 및 전원 전압 (VDD) 에서 소비되는 전력 (P) (실선) 의 출력 파형도이다. 구동 조건은 저항을 가로지르는 전류는  $I=5 \mu\text{A}$  이고, P 형 트랜지스터 (11) 의 문턱 전압은  $V_t=-0.5 \text{ V}$  이고,  $V_{ok}=-0.55 \text{ V}$  (여기에서 k 는 n 과 동일하거나 또는 작은 자연수임) 이다. 하나의 출력 주기 동안의 구동 시간을 표 4 에 나타낸다. 구동 시간은 제 1 실시예의 구동 시간과 유사하고, 프리차지 기간은  $5 \mu\text{s}$  이고, 트랜지스터 구동 기간은  $3 \mu\text{s}$  이고, 직접 구동 기간은  $32 \mu\text{s}$  이다. 데이터선 단부 전압의 변화는 제 1 종래 기술 (도 2 에 도함) 과 비교하여 트랜지스터 구동 기간에서 고속이다. 표 6 은  $40 \text{ mV}$  에 정확하게 도달하는 시간 및 전력 소비에 대한 제 1 종래 기술과의 비교를 나타낸다.

적정 구동 시간에 구동되어야 하는 전압차는 도 12 에 나타낸 구동 회로의 최적의 설정 전압 ( $V_{ok}$ ) 에 의해 트랜지스터의 문턱전압에 무관할 만큼 충분히 작을 수 있기 때문에,  $40 \text{ mV}$  에 정확하게 도달하는 시간은 충분히 작고 저항열을 흐르는 전류는 억제될 수 있다. 트랜지스터 구동 주기에서 PMOS 트랜지스터 (11) 의 게이트에 바이어스된 보조 전압이  $(V_k+V_{ok})0$  인 경우  $0 \text{ V}$  로 설정된 것을 알 수 있다. 따라서, 본 실시예에서 출력 전압이  $0.5 \text{ V}$  인 경우 이상적으로는 게이트 바이어스가  $0.5 \text{ V}$  이지만, 실제로는  $0 \text{ V}$  이기 때문에,  $40 \text{ mV}$  에 정확하게 도달하는 시간은 어느정도, 즉,  $12.7 \mu\text{s}$  로 길어진다. 그러나, 이 경우에, 도 5 및 도 10 에 나타낸 구동 회로 및 제 1 실시예와 비교하여 고속 구동 및 저전력 소비가 실현될 수 있다.

본 발명의 바람직한 실시예를 특정 어휘를 이용하여 설명했지만, 상기 설명은 설명을 목적으로만 한 것이고, 변경 및 수정은 이하 청구항의 취지 또는 범주로부터 벗어나지 않고 이루어질 수 있는 것으로 이해되어야 한다.

### 발명의 효과

이상의 설명에 따르면, 본 발명은 간단한 회로 구성을 이용하여 전전력 소비, 고속 구동 및 정밀도가 높은 전압 출력을 동시에 실현시키는 액정 표시용 구동 회로를 제공하는데 있다.

### (57) 청구의 범위

#### 청구항 1

복수의 전압을 생성시키는 다중값 전압 생성 수단,

상기 다중값 전압 생성 수단에 의해서 생성된 전압으로부터 구동에 요구되는 전압을 선택하는 선택 회로 수단, 및

상기 선택 회로 수단에 의해서 선택된 전압을 입력하고, 소망의 전압을 구동 회로 출력 단자로 출력하는 출력 회로 수단을 구비하고,

상기 출력 회로 수단은 상기 선택 회로 수단에 의해서 선택된 전압을 입력하는 출력 회로 입력 단자, 상기 구동 회로 출력 단자, 제 1 전압원, 제 2 전압원, 상기 출력 회로 입력 단자와 상기 구동 회로 출력 단자 사이에 접속된 제 1 스위치, 상기 제 1 전압원에 접속된 드레인과 상기 출력 회로 입력 단자에 접속된 게이트와 상기 구동 회로 출력 단자에 접속된 소오스를 갖는 트랜지스터, 및 상기 구동 회로 출력 단자와 상기 제 2 전압원 사이에 접속된 제 2 스위치를 포함하는 것을 특징으로 하는 액정 표시용 구동 회로.

#### 청구항 2

제 1 항에 있어서, 상기 출력 회로 수단은 3 단계의 구동 기간, 즉, 상기 구동 회로 출력 단자가 상기 제 1 스위치 및 상기 제 2 스위치를 제어함으로써 상기 제 2 전압원에 의해 소정의 전압으로 프리차지되는 제 1 구동 기간, 상기 트랜지스터가 소오스 팔로워로서 동작하여 전압을 상기 구동 회로 출력 단자로 출력하는 제 2 구동 기간, 및 상기 출력 회로 입력 단자에서의 전압이 상기 제 1 스위치를 통해 상기 구동 회로 출력 단자로 직접 출력되는 제 3 구동 기간을 갖는 것을 특징으로 하는 액정 표시용 구동 회로.

#### 청구항 3

제 1 항에 있어서, 상기 다중값 전압 생성 수단은 제 3 전압원, 제 4 전압원 및 상기 제 3 전압원과 상기 제 4 전압원 사이에 접속된 저항소자군을 구비한 전압 분배 회로인 것을 특징으로 하는 액정 표시용 구동 회로.

#### 청구항 4

제 1 항에 있어서, 상기 다중값 전압 생성 수단은  $n$  개의 전압 ( $V_k$ ) ( $k=1, 2, \dots, n$ ) 및 전압 ( $V_k$ ) 으로부터 전압 ( $V_{ok}$ ) 만큼 이동된  $n$  개의 보조 전압 ( $V_k+V_{ok}$ ) ( $k=1, 2, \dots, n$ ) 을 생성하는 수단, 상기  $n$  개의 전압 ( $V_k$ ) 또는 상기  $n$  개의 보조 전압 ( $V_k+V_{ok}$ ) 이 출력되는 다중값 전압 생성 수단 출력 단자, 상기  $n$  개의 전압 ( $V_k$ ) 의 상기 다중값 전압 생성 수단 출력 단자로의 출력을 제어하는 제 1 스위치군, 및 상기  $n$  개의 보조 전압 ( $V_k+V_{ok}$ ) 의 상기 다중값 전압 생성 수단 출력 단자로의 출력을 제어하는 제 2 스위치군을 포함하는 것을 특징으로 하는 액정 표시용 구동 회로.

#### 청구항 5

복수의 전압을 생성하는 다중값 전압 생성 수단,

상기 다중값 전압 생성 수단에 의해서 생성된 전압으로부터 구동에 요구되는 전압을 선택하는 선택회로 수단, 및

상기 선택 회로 수단에 의해서 선택된 전압을 입력하고, 소정의 전압을 구동 회로 출력 단자로 출력하는 출력 회로 수단을 구비하고,

상기 출력 회로 수단은 상기 선택 회로 수단에 의해서 선택된 전압을 입력하는 출력 회로 입력 단자, 상기 구동 회로 출력 단자, 제 1 전압원, 제 2 전압원, 상기 출력 회로 입력 단자와 상기 구동 회로 출력 단자 사이에 접속된 스위치, 제 1 전압원에 접속된 드레인과 상기 출력 회로 입력 단자에 접속된 게이트와 상기 구동 회로 출력 단자에 접속된 소오스를 갖는  $n$  채널형 MOS 트랜지스터, 및 상기 제 2 전압원에 접속된 드레인과 상기 출력 회로 입력 단자에 접속된 게이트와 상기 구동 회로 출력 단자에 접속된 소오스를 갖는  $p$  채널형 트랜지스터를 포함하는 것을 특징으로 하는 액정 표시용 구동 회로.

#### 청구항 6

제 5 항에 있어서, 상기 출력 회로 수단은 2 단계의 구동 기간, 즉, 상기  $n$  채널형 MOS 트랜지스터 또는  $p$  채널형 MOS 트랜지스터가 소오스 팔로워로서 동작되고 상기 스위치가 제어됨으로서 전압이 상기 구동 회로 출력 단자로 출력되는 제 1 구동 기간, 및 상기 출력 회로 입력 단자에서의 전압이 상기 스위치를 통해 상기 구동 회로 출력 단자로 직접 출력되는 제 2 구동 기간을 갖는 것을 특징으로 하는 액정 표시용 구동 회로.

#### 청구항 7

제 5 항에 있어서, 상기 다중값 전압 생성 수단은 제 3 전압원, 제 4 전압원, 및 제 3 전압원과 제 4 전압원 사이에 접속된 저항소자군을 구비한 전압 분배 회로인 것을 특징으로 하는 액정 표시용 구동 회로.

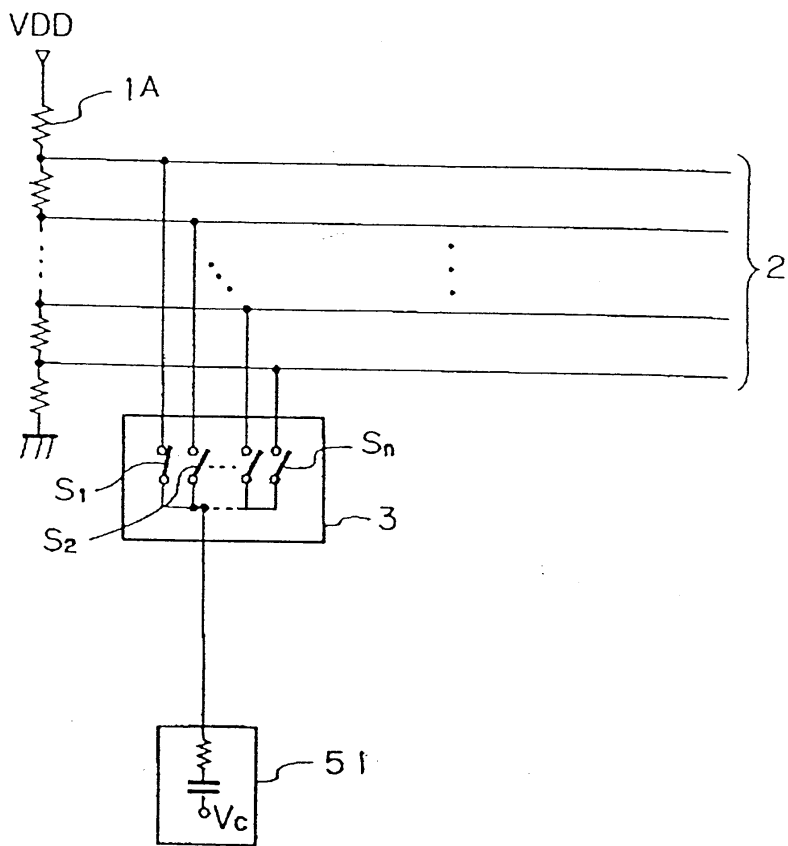
#### 청구항 8

제 5 항에 있어서, 상기 다중값 전압 생성 수단은  $n$  개의 전압 ( $V_k$ ) ( $k=1, 2, \dots, n$ ) 및 전압 ( $V_k$ ) 으로부터 전압 ( $V_{ok}$ ) 만큼 이동된  $n$  개의 보조 전압 ( $V_k+V_{ok}$ ) ( $k=1, 2, \dots, n$ ) 을 생성하는 수단, 상기  $n$  개의 전압 ( $V_k$ ) 또는 상기  $n$  개의 보조 전압 ( $V_k+V_{ok}$ ) 이 출력되는 다중값 전압 생성 수단 출력 단자, 상기  $n$  개의 전압 ( $V_k$ ) 의 상기 다중값 전압 생성 수단 출력 단자로의 출력을 제어하는 제 1 스위치군, 및 상기  $n$  개의 보조 전압 ( $V_k+V_{ok}$ ) 의 상기 다중값 전압 생성 수단 출력 단자로의 출력을 제어하는 제 2 스위치군을 포함하는 것을 특징으로 하는 액정 표시용 구동 회로.

**도면**

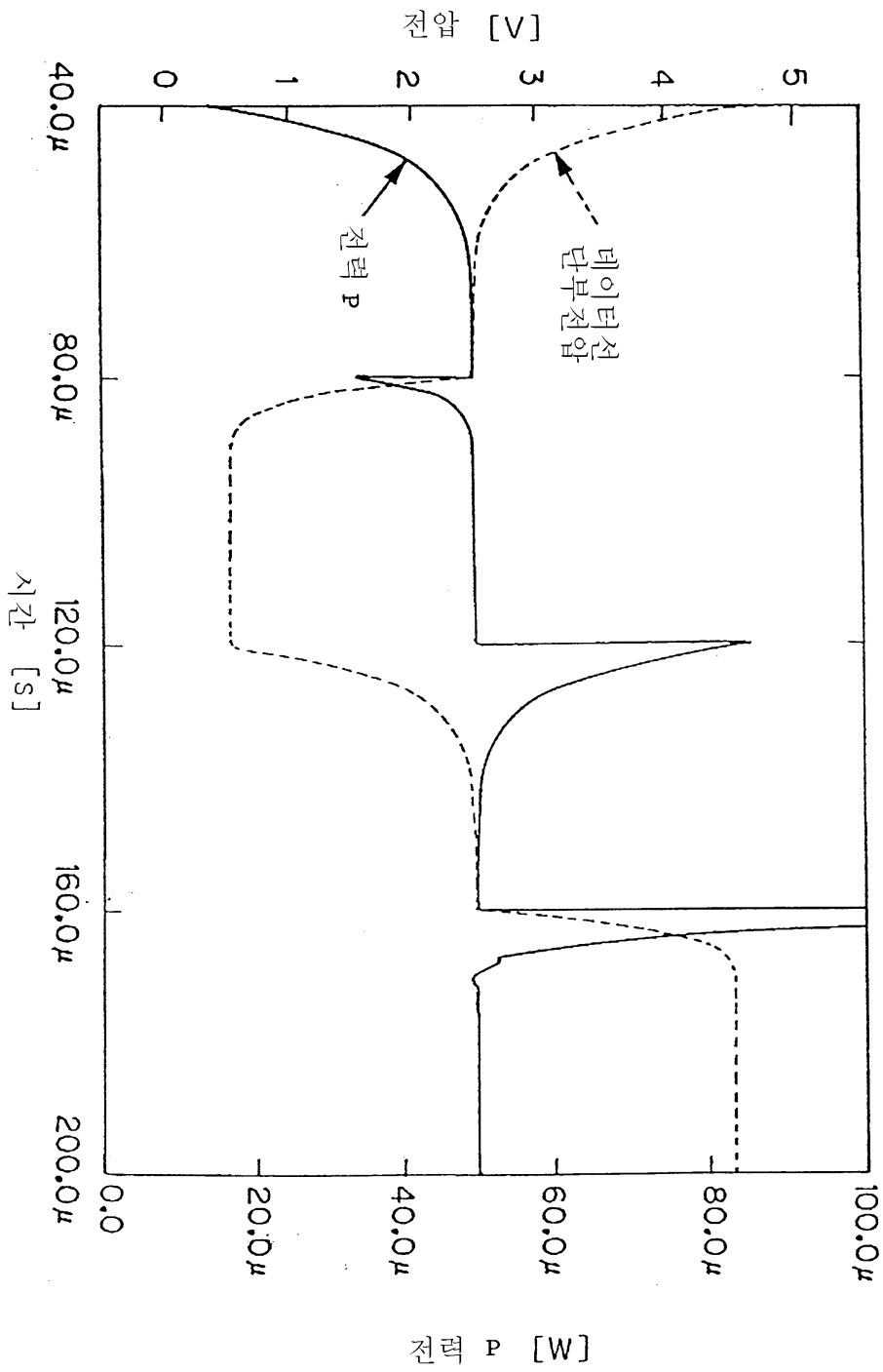
도면1

## 종래 기술



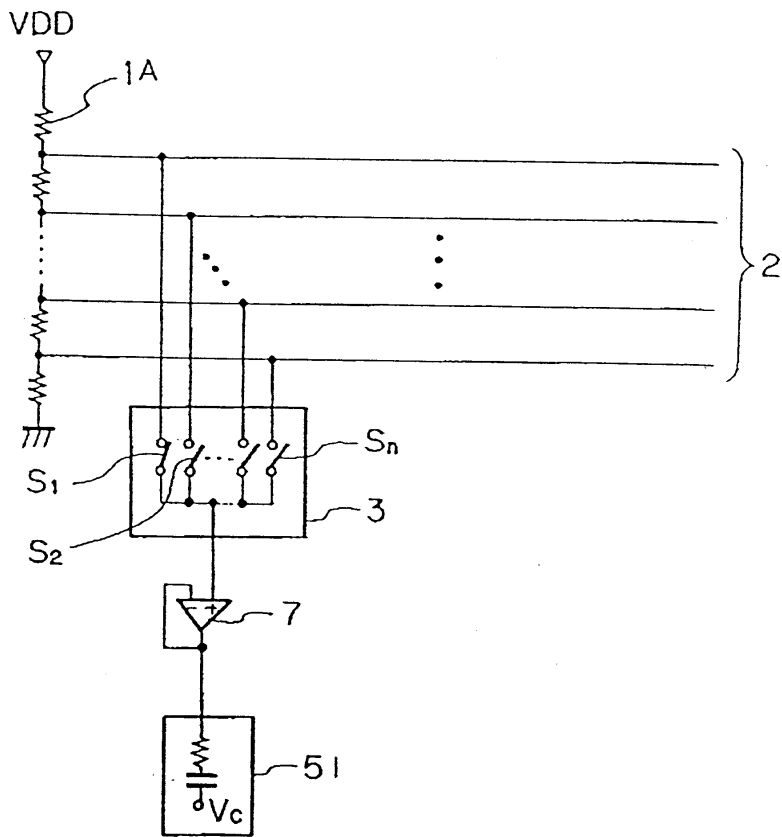
도면2

종래 기술



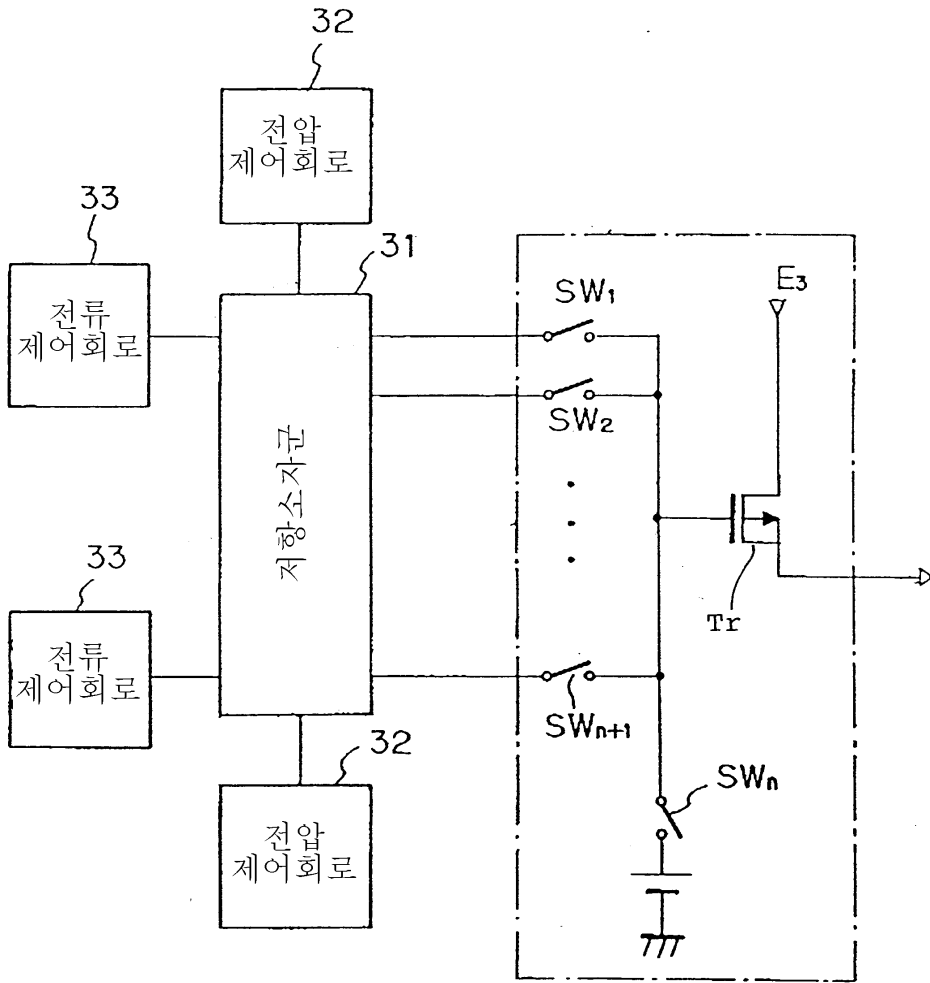
도면3

## 종래 기술

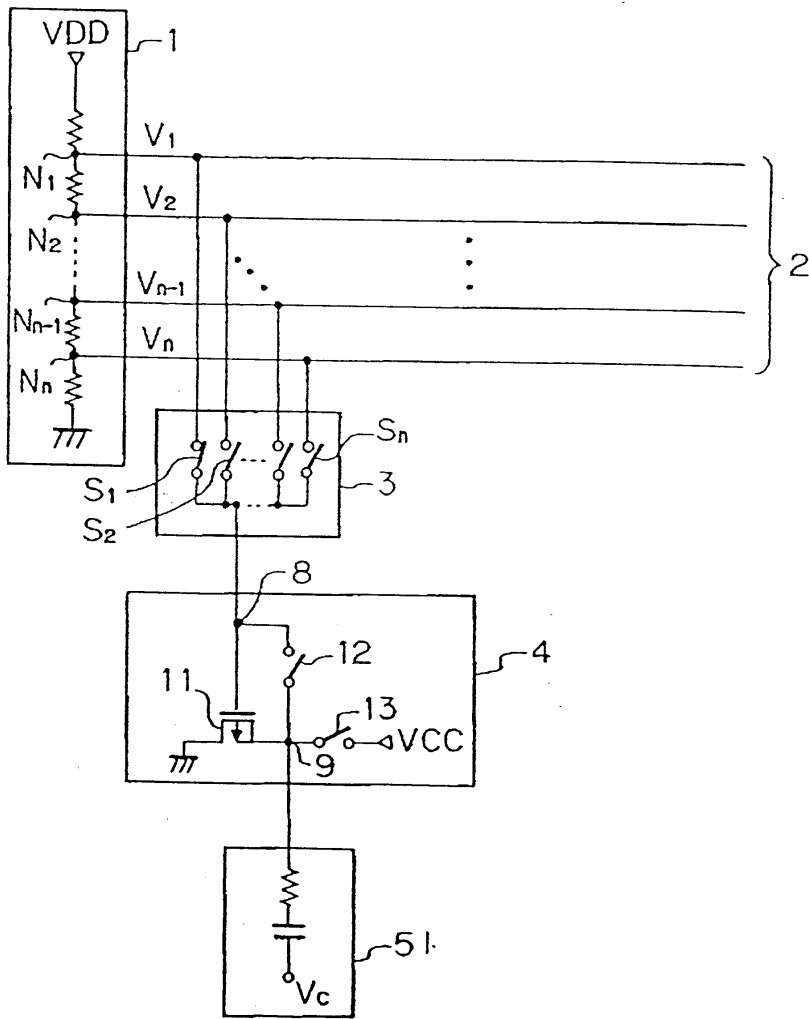


도면4

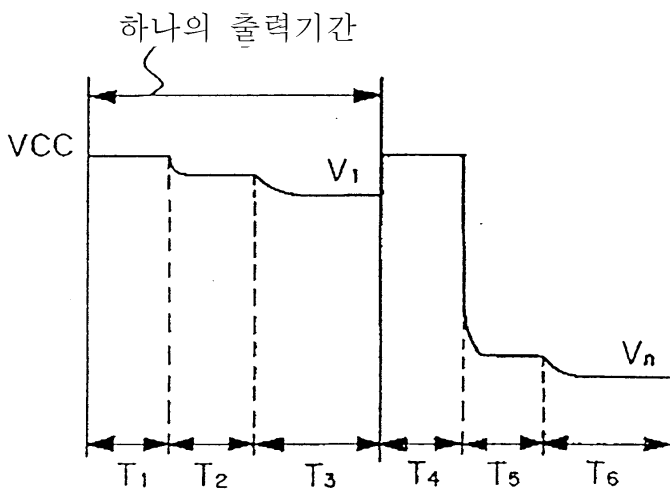
종래 기술



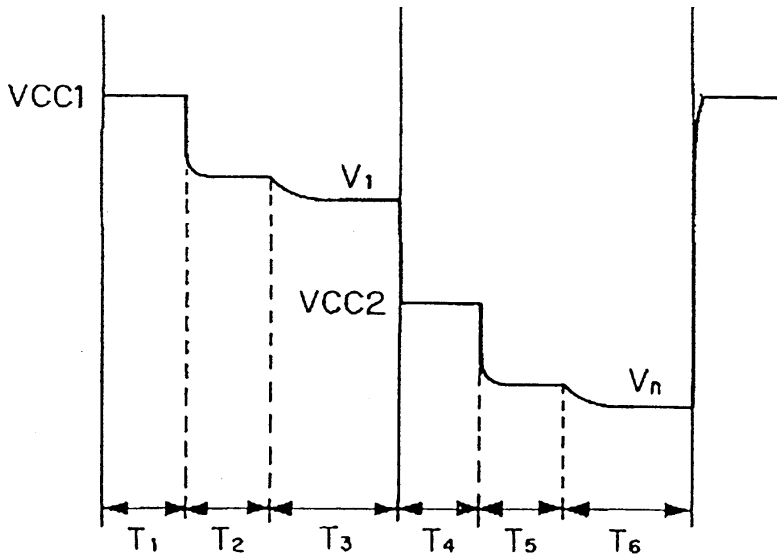
도면5



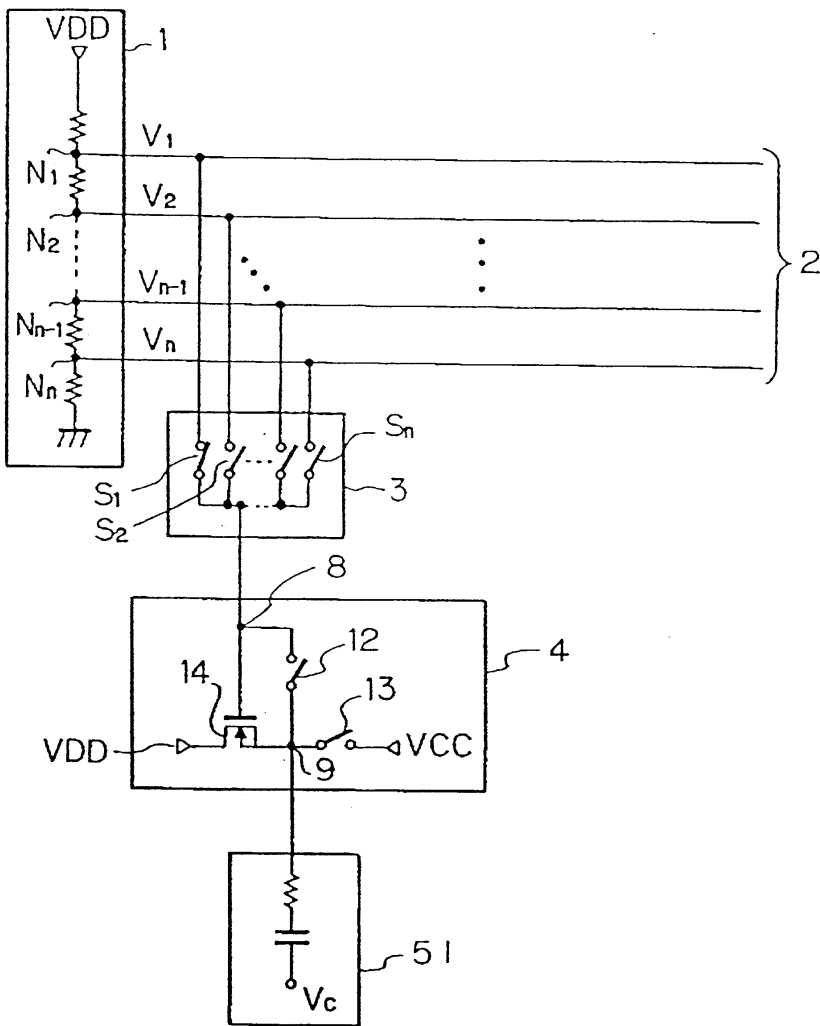
도면6



도면7

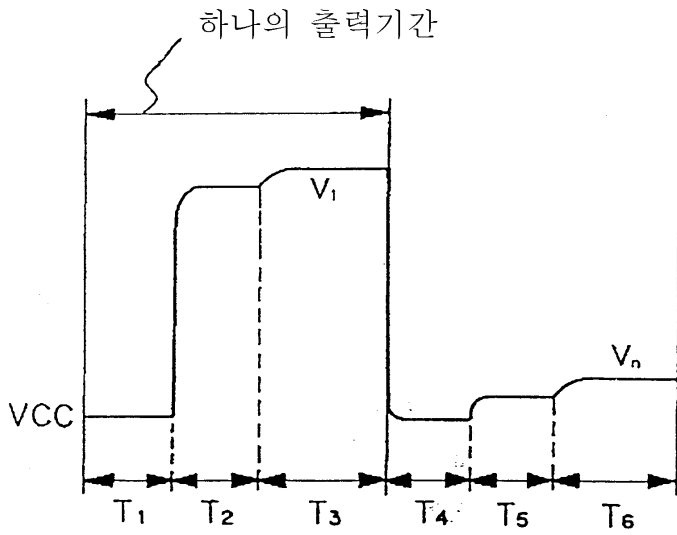


도면8

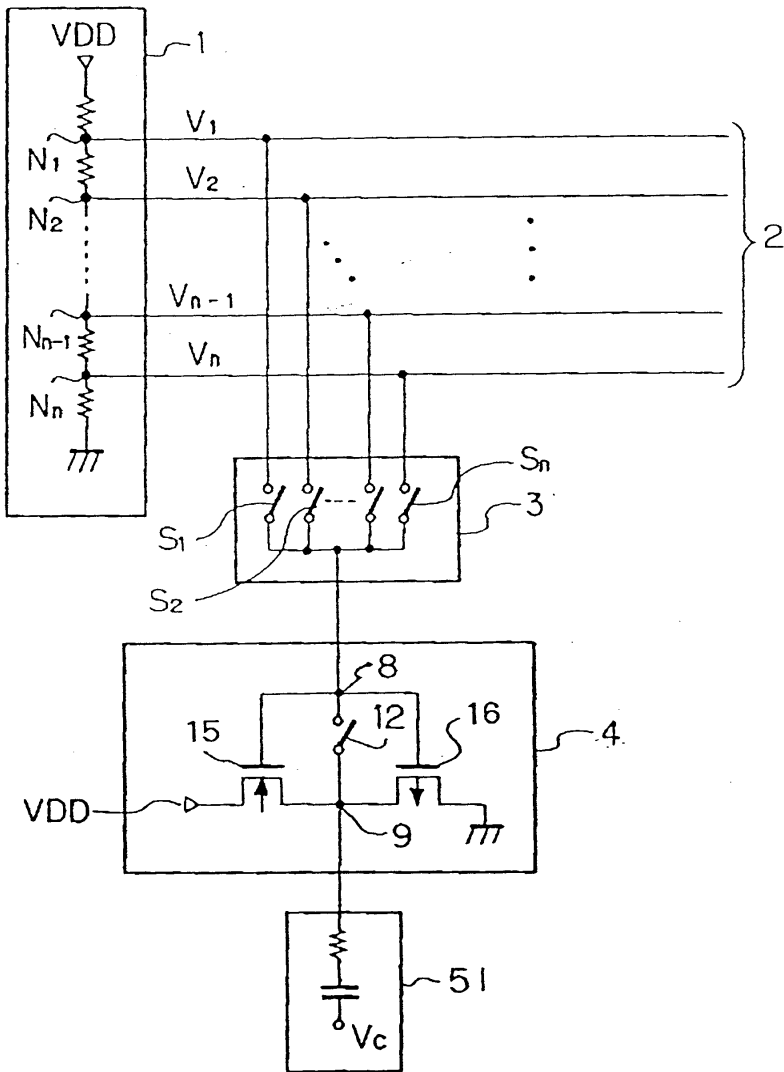




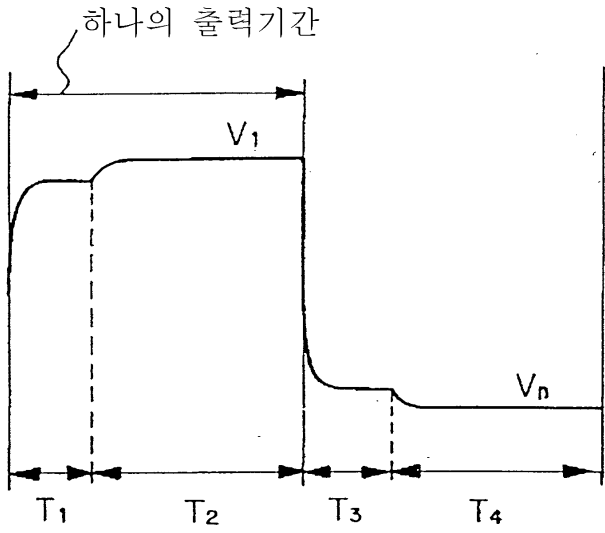
도면9



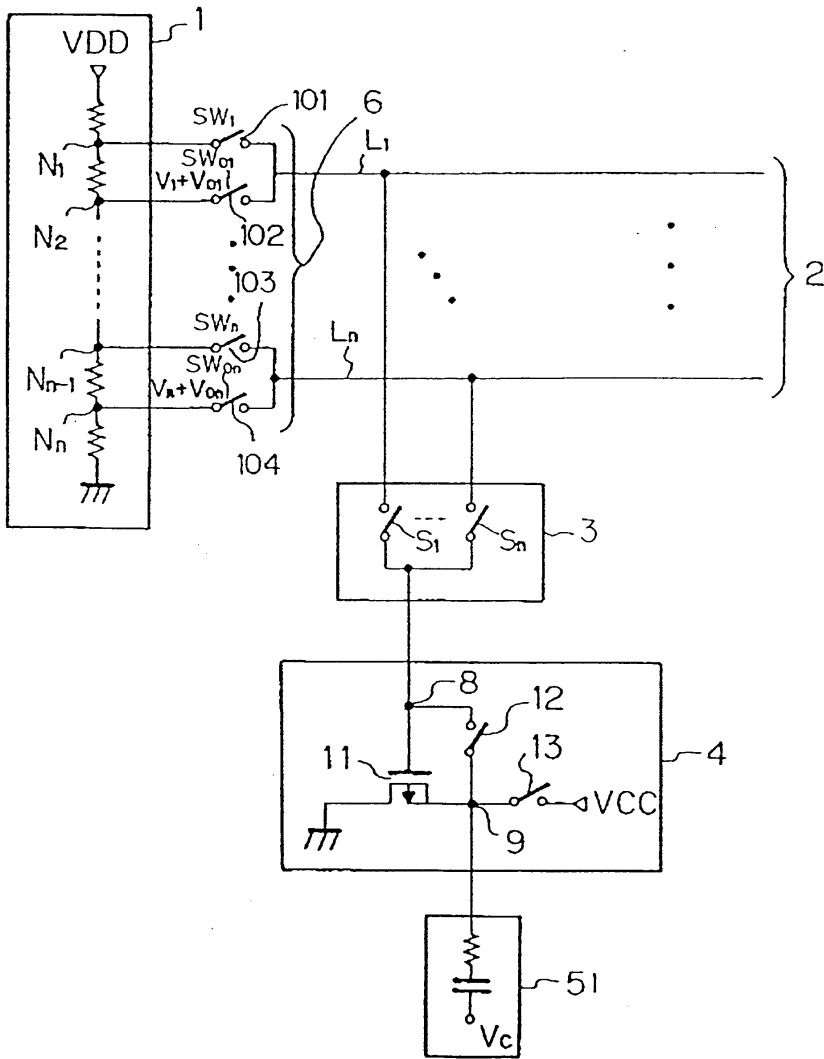
도면10



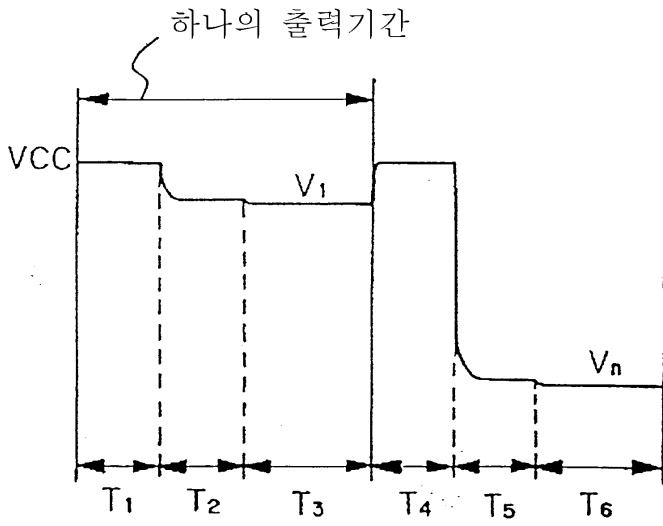
도면11



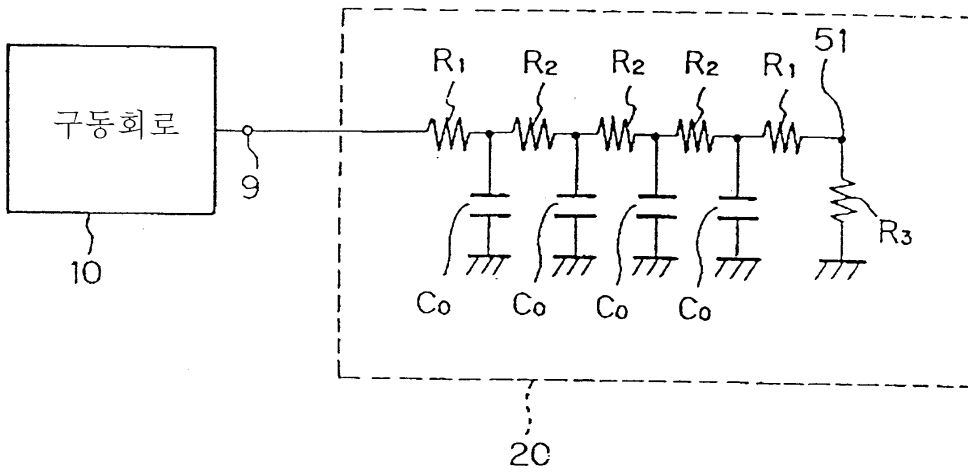
도면12



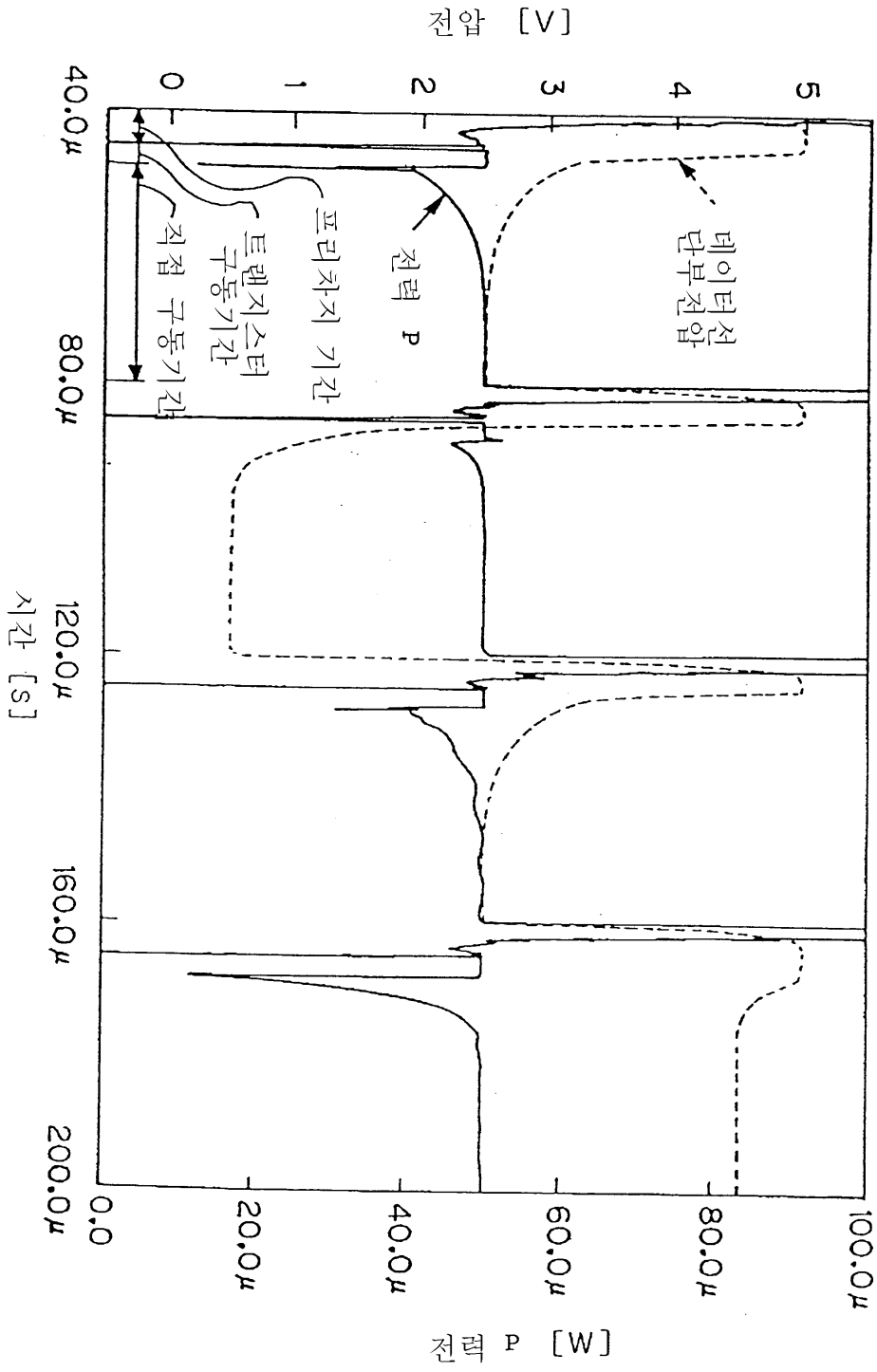
도면13



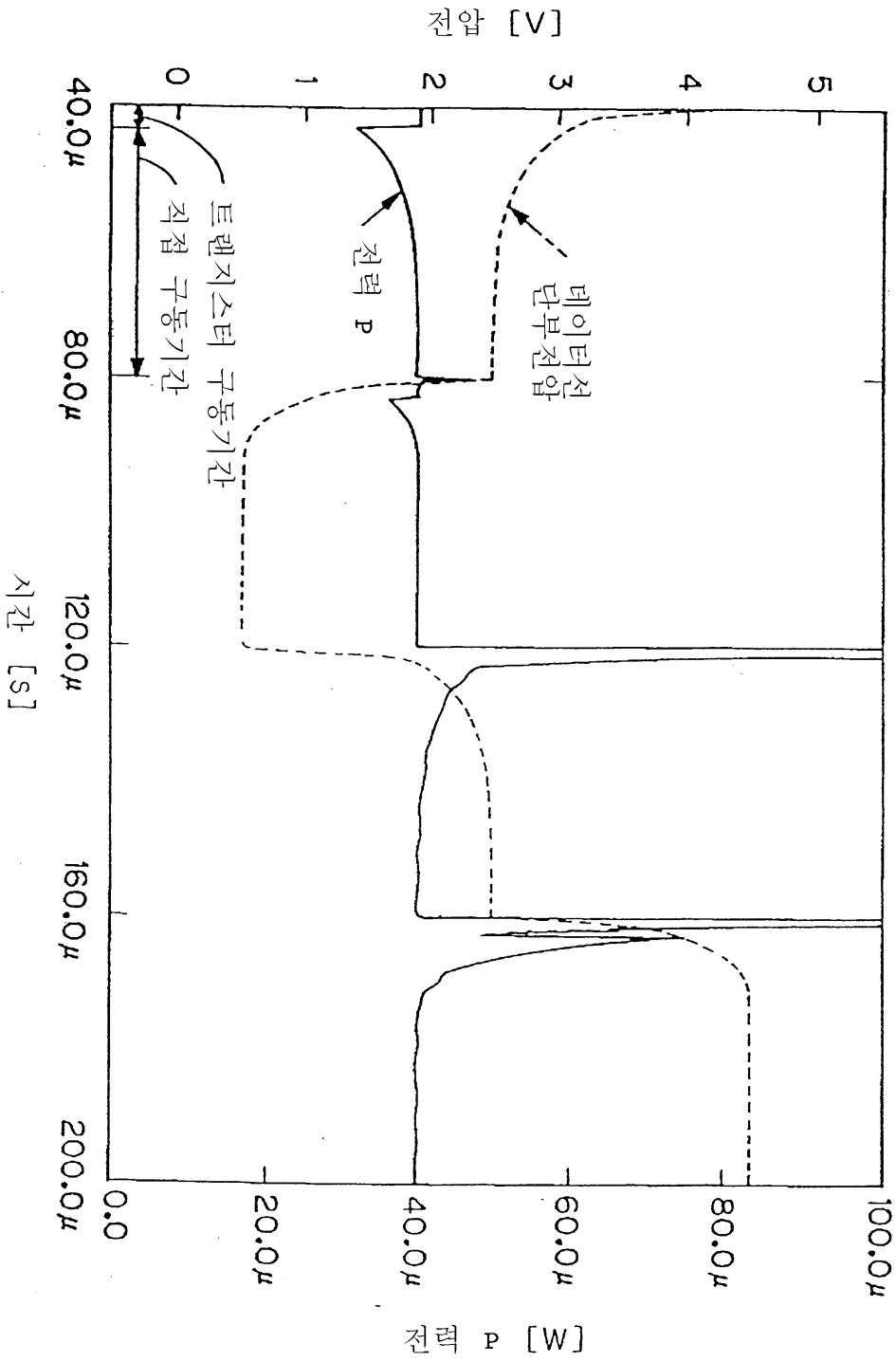
도면14



도면15



도면 16



도면17

